



UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO

JOÃO JOSÉ FERREIRA EVANGELISTA FILHO

**DISPOSITIVOS SiC EM CONVERSORES DE POTÊNCIA: CIRCUITO DE
COMANDO E ASPECTOS TÉRMICOS.**

CAMPINAS

2025

JOÃO JOSÉ FERREIRA EVANGELISTA FILHO

**DISPOSITIVOS SiC EM CONVERSORES DE POTÊNCIA: CIRCUITO DE
COMANDO E ASPECTOS TÉRMICOS.**

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica, na Área de Energia Elétrica.

Orientador: Prof. Dr. José Antenor Pomilio

Este trabalho corresponde à versão final da dissertação defendida pelo aluno João José Ferreira Evangelista Filho, e orientada pelo Prof. Dr. José Antenor Pomilio

CAMPINAS

2025

Ficha catalográfica
Universidade Estadual de Campinas (UNICAMP)
Biblioteca da Área de Engenharia e Arquitetura
Vanessa Evelyn Costa - CRB 8/8295

Ev14d Evangelista Filho, João José Ferreira, 1997-
Dispositivos SiC em conversores de potência : circuito de comando e aspectos térmicos / João José Ferreira Evangelista Filho. – Campinas, SP : [s.n.], 2025.

Orientador: José Antenor Pomilio.
Dissertação (mestrado) – Universidade Estadual de Campinas (UNICAMP), Faculdade de Engenharia Elétrica e de Computação.

1. Carbetto de silício. 2. Conversores de potência. 3. Semicondutores. 4. Eletrônica de potência. 5. Análise térmica. I. Pomilio, José Antenor, 1960-. II. Universidade Estadual de Campinas (UNICAMP). Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações complementares

Título em outro idioma: SiC devices in power converters : gate drive circuit and thermal aspects

Palavras-chave em inglês:

Silicon carbide
Power converters
Semiconductors
Power electronics
Thermal analysis

Área de concentração: Energia Elétrica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora:

José Antenor Pomilio [Orientador]
Pedro José dos Santos Neto
Tiago Davi Curi Busarello

Data de defesa: 07-04-2025

Programa de Pós-Graduação: Engenharia Elétrica

Objetivos de Desenvolvimento Sustentável (ODS)
Não se aplica

Identificação e informações acadêmicas do(a) aluno(a)

- ORCID do autor: <https://orcid.org/0009-0008-9976-1286>
- Currículo Lattes do autor: <http://lattes.cnpq.br/6896804127190696>

Prof. Dr. José Antenor Pomilio (Presidente)

Prof. Dr. Pedro José dos Santos Neto

Prof. Dr. Tiago Davi Curi Busarello

A ata de defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no SIGA (Sistema de Fluxo de Dissertação/Tese) e na Secretaria de Pós Graduação da Faculdade de Engenharia Elétrica e de Computação.

AGRADECIMENTOS

A minha querida mãe, Janaina, e ao meu querido pai, João José, obrigado pela motivação e orientação que vai além do aspecto maternal, familiar e profissional.

A minha querida avó e madrinha, Helena, por seu exemplo de vida, guerreira em todas as épocas e situações, obrigado pela motivação e por vibrar com cada vitória conquistada na minha vida. Ao meu querido avô e padrinho, Francisco Monteiro (Chico Passeata) *in memoriam*, sempre estará presente nas minhas lembranças e boas recordações. A minha querida avó, Zélia, por todas as energias e alegrias com minhas façanhas. Ao meu querido avô, Sérgio, pelo o seu exemplo de firmeza e honestidade na sua vida.

Ao meu orientador, professor José Antenor Pomilio por todos os ensinamentos, mentoria e momentos que o senhor dedicou durante nossas reuniões e testes de bancada no LCEE.

Aos meus amigos de laboratório Robson, Caique, Mateus, Débora, Alex, José e Kristian pelos momentos de descontração. Ao Robson pelo companheirismo, ensinamentos e ajuda nos momentos de desenvolvimento, simulação e *debug* de *hardware*.

Aos membros da banca de qualificação professores Pedro Neto e Robson pelas correções e ajustes desse trabalho.

A engenheira responsável pela parceria com a Embraer Gabriela Ferreira, obrigado pelos novos conhecimentos em aeronáutica durante os seminários semestrais.

A Universidade Estadual de Campinas (UNICAMP) pela a infraestrutura e capacidade de realização dos testes computacionais e bancada.

O presente trabalho foi realizado com apoio da Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), Brasil. Processo nº 2023/05240-1.

A Embraer, o Instituto Tecnológico de Aeronáutica (ITA), e Centro de Pesquisa em Engenharia para Mobilidade Aérea do Futuro (CPE-MAF/FLYMOV) pela parceria, apoio financeiro, e tema desse trabalho de mestrado.

*“Siga, de mãos dadas, o caminho da esperança
busque a paz no ritmo compassado das batidas do coração
abra as portas da tolerância, abrace o entendimento
proteja a vida (a sua e a do universo) e ela te protegerá
já que nada é tão bom que não possa melhorar.”*

Chico Passeata.

RESUMO

O uso de dispositivos semicondutores de banda larga (WBG) em sistemas de eletrônica de potência para aeronaves totalmente elétricas (AEA) é o foco da pesquisa. Este estudo é realizado no contexto do desenvolvimento de tecnologias sustentáveis. O principal objetivo é testar circuitos de comando para transistores WBG. O foco é na eficiência térmica e na compatibilidade eletromagnética (EMC). Os dispositivos de banda larga, como nitreto de gálio (GaN) e carbeto de silício (SiC), são ideais para aeronaves elétricas porque têm vantagens sobre os transistores de silício (Si) convencionais, como maior capacidade de tensão de bloqueio, melhor eficiência térmica e menores perdas. Desenvolver modelos de simulação de *gate Drivers* que tenham em conta as perdas de dispositivos é um dos desafios que as pesquisas enfrentam. Para entender e resolver problemas experimentais, é necessário simular os fenômenos causados pela rápida comutação dos dispositivos WBG e pelos elementos parasitas dos circuitos. Com vistas a aplicações aeronáuticas, os transistores de Si e SiC são comparados em termos de perdas elétricas e perdas térmicas.

Palavras-Chave: EMI, SiC, gate Drivers.

ABSTRACT

The use of wide-bandgap (WBG) semiconductor devices in power electronics systems for all-electric aircraft (AEA) is the focus of the research. As part of the Paris This study is conducted in the context of developing sustainable technologies. The main objective is to test control circuits for WBG transistors, focusing on thermal efficiency and electromagnetic compatibility (EMC). Wide-bandgap devices, such as gallium nitride (GaN) and silicon carbide (SiC), are ideal for electric aircraft because they have advantages over conventional silicon (Si) transistors, such as higher blocking voltage capacity, better thermal efficiency, and lower losses. Developing simulation models for gate drivers that take device losses into account is one of the challenges the research faces. To understand and solve experimental problems, it is necessary to simulate the phenomena caused by the fast switching of WBG devices and the parasitic elements of the circuits. Si and SiC transistors are compared in terms of electrical and thermal losses.

Keywords: EMI, SiC, gate Drivers.

SUMÁRIO

1. CONTEXTUALIZAÇÃO	11
1.1 PADRÕES DE TENSÃO AERONÁUTICAS	15
1.2 DISPOSITIVOS WBG	17
1.3 OBJETIVOS	20
1.4 CONTRIBUIÇÕES	21
1.5 ESTRUTURAÇÃO DO TEXTO	21
1.6 PUBLICAÇÕES NO PERÍODO	21
2. ESTUDO E DESENVOLVIMENTO DE UM CIRCUITO DE COMANDO	22
2.1 FILTRO PASSA-BAIXAS	23
2.2 CIRCUITO DE TEMPO MORTO	24
2.3 CIRCUITO DE INTERTRAVAMENTO	24
2.4 ESTÁGIO DE SAÍDA	26
2.5 ESCOLHA DO CI GATE DRIVER	26
2.6 CONCLUSÕES PARCIAIS	29
3. SIMULAÇÃO DO CIRCUITO DE COMANDO E CONVERSOR COM MOSFET SiC	31
3.1 INTRODUÇÃO DA SIMULAÇÃO DO CIRCUITO DE COMANDO	31
3.2 SIMULAÇÕES EM TRANSIÇÃO SUAVE	34
3.3 SIMULAÇÕES EM TRANSIÇÃO FORÇADA	40
3.4 CONCLUSÕES PARCIAIS	51
4. RESULTADOS EXPERIMENTAIS	52
4.1 ENSAIO DO CONVERSOR MEIA PONTE COM MOSFET Si	55
4.2 ENSAIO DO CONVERSOR MEIA PONTE COM MOSFET SiC	57
4.3 DISPOSITIVO PARA OS ENSAIOS DE COMUTAÇÃO FORÇADA	63
4.4 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / COM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E $R_G = 3\Omega$	67
4.5 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% /	

SEM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E RG = 30Ω	74
4.6 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / COM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E RG = 30Ω	82
4.7 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / SEM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E RG = 30Ω	84
4.8 ESTIMATIVAS DE PERDAS DO CONVERSOR SiC	91
4.9 CONCLUSÕES PARCIAIS	97
5. CONCLUSÕES	99
REFERÊNCIAS	102
APÊNDICE A – SELEÇÃO DE OSCILOSCÓPIOS E PONTEIRAS	106
APÊNDICE B – CÓDIGOS SPICE	130
APÊNDICE C - ANÁLISE DOS CI GATE DRIVER DISPONÍVEIS COMERCIALMENTE E ALINHADOS COM O OBJETIVO DO PROJETO	139
APÊNDICE D - ANÁLISE NO DOMÍNIO DA FREQUÊNCIA DO LOOP DO SENSOR DE CORRENTE HALL.	141
APÊNDICE E - VERSÕES DOS PROTÓTIPOS	146

1. CONTEXTUALIZAÇÃO

De acordo com o relatório "*Global Carbon Budget 2024*", as emissões globais de CO₂ atingiram um recorde em 2024, totalizando 41,6 bilhões de toneladas, um aumento de 2% em relação a 2023 (CARBON BRIEF, 2024). Além disso, o relatório enfatiza a necessidade urgente de ações mais eficazes e coordenadas para mitigar as mudanças climáticas, incluindo a aceleração da transição para energias renováveis, melhorias na eficiência energética e a implementação de políticas robustas de redução de emissões.

A demanda global por viagens aéreas aumentou 8,1% em relação a 2023. Esse crescimento foi acompanhado por uma expansão de 5,7%, resultando em uma taxa de ocupação de 81,6%. Apesar do aumento da eficiência energética das aeronaves, o crescimento na demanda levou a um aumento proporcional nas emissões de CO₂. A Associação Internacional de Transporte Aéreo, *International Air Transport Association*, (IATA) estima que as emissões globais do setor aéreo tenham subido 6% em comparação com 2023, acompanhando o aumento na quantidade de passageiros e voos internacionais (IATA, 2024).

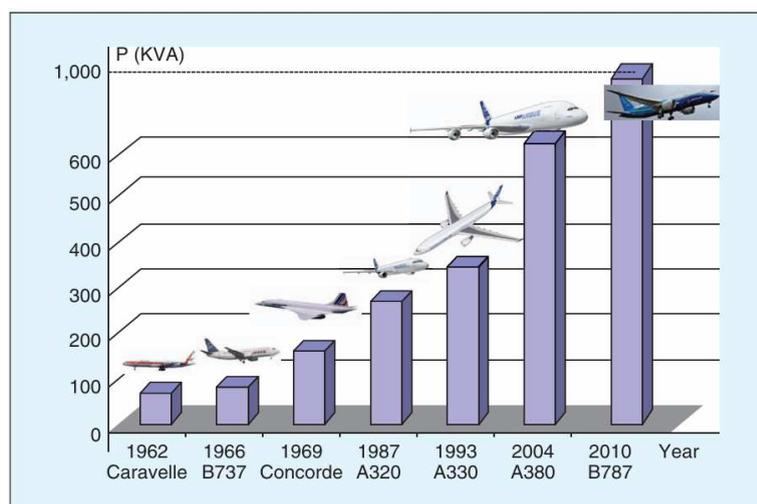
Desde a pandemia de COVID-19, o setor aéreo no Brasil tem mantido um ritmo de expansão, com destaque para o desempenho registrado em 2023. Neste ano, o número de decolagens aumentou 10,5%, enquanto o total de passageiros transportados cresceu 15,3% em comparação a 2022, considerando tanto voos domésticos quanto internacionais. No mercado doméstico, foram realizadas 789 mil decolagens, representando um crescimento de 8% em relação ao ano anterior, com 91 milhões de passageiros transportados, o que equivale a um aumento de 11,2%. No segmento internacional, os avanços foram ainda mais expressivos: 122 mil decolagens, um crescimento de 29,9%, e 21 milhões de passageiros transportados, um aumento significativo de 37,5% (ANAC, 2024).

O Acordo de Paris estabeleceu metas para reduzir e eliminar as emissões globais de Gases de Efeito Estufa (GEE) até 2050. No contexto de uma aeronave mais elétrica, *More Electric Aircraft* (MEA), que utiliza motores de combustão para propulsão, a demanda por eletricidade é relativamente pequena. Por exemplo, no Boeing 737, são necessários mais de 25 MW durante a decolagem, enquanto a demanda por eletricidade é de aproximadamente 100 kW.

A indústria aeronáutica tem focado cada vez mais no desenvolvimento e aplicação de tecnologias que impactem positivamente os custos gerais, incluindo projeto, operação e manutenção, além de contribuir para a redução do consumo de combustível. Além de avanços na estrutura aerodinâmica e na otimização dos motores, os sistemas de equipamentos estão assumindo um papel crucial, particularmente na diminuição dos custos operacionais, garantindo a manutenção mínima e máxima disponibilidade. Nesse contexto, a utilização de energia elétrica tem sido ampliada, visando melhorar a eficiência e reduzir os custos em projetos futuros.

A Figura 1 ilustra o aumento da potência elétrica necessária em aeronaves ao longo das décadas, destacando a evolução para sistemas mais elétricos. O Caravelle de 1962 demandava cerca de 50 kVA, enquanto o Boeing 787 de 2010 atingiu 1.000 kVA. Esse crescimento reflete a substituição de sistemas hidráulicos e pneumáticos por elétricos, melhorando eficiência, manutenção e confiabilidade, além de atender às demandas por tecnologia e conforto.

Figura 1 - Evolução geracional da potência elétrica em aeronaves.



Fonte: Sareni (2012).

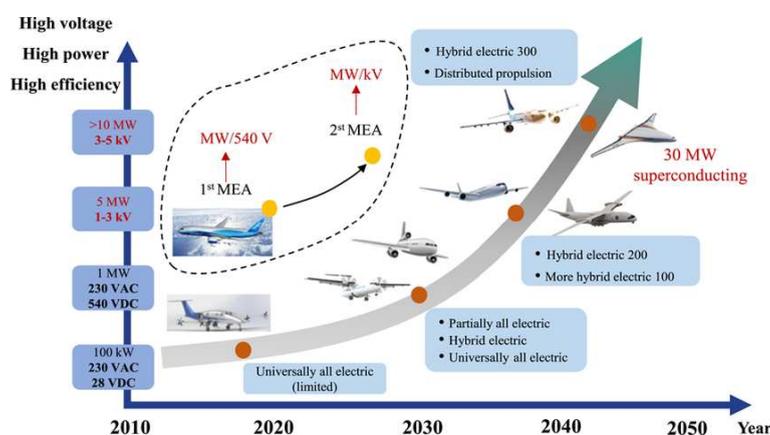
Nas aeronaves totalmente elétricas (AEA), toda a potência propulsiva deve ser fornecida pelo sistema elétrico de potência, *Electric Power System* (EPS) (Ghassemi, 2022), que também alimenta todas as outras cargas. A energia para propulsão das AEAs é fornecida por dispositivos de armazenamento a bordo ou, em

uma solução híbrida, por uma célula de combustível (Buticchi, 2022). É necessária alta-tensão, na ordem de kV, para reduzir os níveis de corrente (Felder, 2014). As tendências atuais para operações em alta-tensão de aeronaves totalmente elétricas consideram tensões acima de 1 kV no barramento principal (Barzkar, 2020). O projeto E-Fan X (Airbus, Siemens, Rolls Royce) utiliza uma rede de corrente contínua de 3 kV (Ebersberger, 2022). No projeto turboelétrico NASA N3-X, a eletricidade é gerada por motores e distribuída para alimentar quatorze motores elétricos (Ghassemi, 2022) e (Cano, 2021).

O sistema de potência de uma AEA pode ser analisado como uma microrrede isolada. Todos os conversores e cargas embarcadas devem garantir segurança, alta confiabilidade e eficiência. Os conversores de eletrônica de potência (PE) são necessários para suprimir falhas, sustentar o fluxo de energia ao reconfigurar o sistema elétrico da aeronave em caso de falhas e manter a operação adequada das cargas (Schefer, 2020).

A Figura 2 ilustra a evolução rumo a aeronaves totalmente elétricas com previsão até 2050, destacando o aumento de potência, eficiência e tensão. Em 2020, os sistemas alcançaram 1MW e $540V_{CC}$, com aeronaves mais elétricas. Até 2030, potências acima de 5MW e tensões de 1~3kV avançam a eletrificação. Em 2040, aeronaves híbridas com propulsão distribuída dominam, e, até 2050, sistemas supercondutores permitirão aeronaves totalmente elétricas com 30MW, focado em eficiência e sustentabilidade.

Figura 2 - A tendência de desenvolvimento de energia elétrica em aeronaves MEA e AEA.



Fonte: Li (2023).

A distribuição e conversão de energia em aeronaves totalmente elétricas são aspectos fundamentais para viabilizar a eletrificação nesse setor. Sistemas eficientes de gerenciamento de energia são desenvolvidos e implementados para permitir a distribuição elétrica por toda a aeronave e a conversão para as tensões e frequências adequadas aos diversos subsistemas e componentes (Wileman, 2021; Fard, 2022).

Aeronaves totalmente elétricas geralmente utilizam uma combinação de sistemas de distribuição de energia em corrente contínua e alternada. A CC é frequentemente usada para sistemas críticos, como aviônicos, enquanto a CA é adequada para propulsão elétrica e outras aplicações (Rahrovi, 2019) e (Degoutte, 2019). A eletrônica de potência desempenha um papel crucial na conversão entre diferentes níveis de tensão e frequências, garantindo que a energia seja entregue de forma eficiente onde for necessária. O objetivo é alcançar alta eficiência nos sistemas de distribuição e conversão de energia, minimizando o peso para melhorar o desempenho geral da aeronave.

Os sistemas de aeronaves totalmente elétricas frequentemente devem incorporar redundância para garantir a disponibilidade e confiabilidade de energia, reduzindo o risco de falhas no sistema (Deshpande, 2020). Os sistemas de distribuição e conversão de energia devem se integrar perfeitamente aos sistemas de controle da aeronave para garantir uma operação segura e coordenada.

O cenário das AEAs demanda uma quantidade significativa de energia elétrica, tornando necessário o uso de materiais avançados, como semicondutores de banda larga, como SiC (Carbeto de Silício) e GaN (Nitreto de Gálio), para melhorar o desempenho e a eficiência dos dispositivos de conversão de energia. Além disso, é fundamental garantir uma gestão térmica eficaz para dissipar o calor gerado pelos componentes de eletrônica de potência, prevenindo superaquecimentos e garantindo a longevidade do sistema (Schefer, 2020).

1.1 PADRÕES DE TENSÃO AERONÁUTICAS

A norma MIL-STD-704F define os limites para tensões em barramentos CC e CA, além de especificar restrições para distorções, dentre outras características. Seu objetivo é assegurar a compatibilidade entre o sistema elétrico da aeronave e os equipamentos embarcados.

A geração elétricas da CA tradicional em aeronaves opera com frequência fixa (115 V, 400 Hz). Esse padrão é amplamente utilizado em aeronaves de porte médio, como os modelos Embraer E190 e E195. Já a geração moderna adota frequência variável (230/400 V, 360-800 Hz), aplicada em aeronaves, como o Boeing 787, o Airbus A380 e o A350.

A Tabela 1 mostra possíveis níveis de tensão CC para o uso em AEA. A tensão de 28V alimenta os sistemas aviônicos. As aplicações de média potência, como sistemas de controle de temperatura e cargas eletromecânicas, podem ser alimentadas com 800V (ou $\pm 400V$). As aplicações de baixa potência, como entretenimento, tomadas (Vca 115V/50-60Hz) e iluminação, podem ser alimentadas com 540V (ou $\pm 270V$). É importante notar que atualmente os únicos níveis de tensão padronizados para o uso aeronáutico são 28V e 270V (Departamento de Defesa dos EUA, 2008).

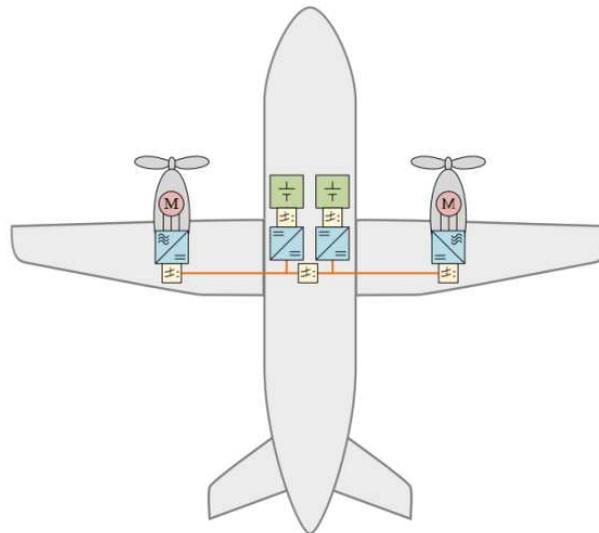
Tabela 1 - Barramentos de Tensões CC AEA.

Níveis de Tensão	
Aplicação	Valor (CC)
Propulsão	2kV
Aviônica	28V
Cargas de Média Potência	800V
Cargas de Baixa Potência	270V

Fonte: Própria Autoria (2024).

A Figura 3 ilustra uma possível estrutura da rede elétrica em uma aeronave totalmente elétrica. A propulsão é feita por dois motores elétricos, cada um acionando um propulsor. As baterias alimentam o sistema, sendo separadas dos conversores CC/CC por chaves de segurança. Um barramento de 1 kV distribui energia para os inversores, que controlam os motores. Os conversores auxiliares são necessários para alimentar outros sistemas da aeronave a partir do barramento de 1 kV.

Figura 3 - Diagrama do sistema de distribuição de energia elétrica AEA.

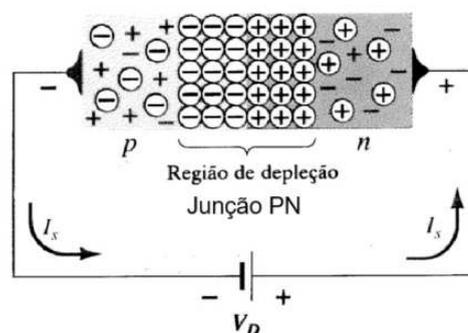


Fonte: SaĖirkaya (2023).

1.2 DISPOSITIVOS WBG

Os semicondutores são materiais essenciais para a eletrônica contemporânea, possuem características intermediárias entre condutores e isolantes. Sua função depende da manipulação da condutividade elétrica por meio da dopagem. Isso cria regiões de tipo n, que têm excesso de elétrons, e regiões de tipo p, que têm excesso de lacunas. A Figura 4 ilustra simplificada a estrutura interna de uma junção pn.

Figura 4 - Estrutura interna de uma junção PN.



Fonte: UFPR (2024).

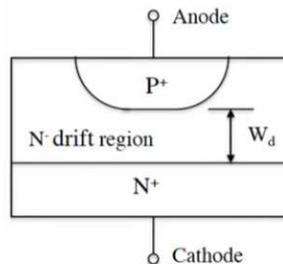
Ao redor da junção pn tem-se a chamada região de depleção, onde a recombinação elimina os portadores de carga livre. Isso cria íons fixos, que formam um campo elétrico e uma barreira de potencial. Quanto maior a tensão de aplicação do semicondutor, maior será a região de depleção, conseqüentemente maior será a capacitância de junção, que se manifesta quando a junção está reversamente polarizada.

A concentração de dopantes refere-se à densidade de átomos introduzidos no semicondutor. As lacunas que servem como portadores de carga, o que impacta diretamente a largura da região de depleção e a capacitância da junção.

A junção PN pode ser caracterizada por três parâmetros mais importantes, conforme mostrado na Figura 5. Esses parâmetros são a concentração de dopantes

do tipo n (N_d), o comprimento da região de deriva (W_d) e o campo elétrico de ruptura (E_{BD}).

Figura 5 - Junção PN em semiconductor.



Fonte: KESHMIRI (2020).

A concentração de dopantes do tipo n (N_d) é relacionada com quantidade de átomos, que fornecem elétrons para a condução elétrica. Essa concentração influencia a largura da região de depleção, determina a distribuição do campo elétrico, afeta a capacitância da junção e a resposta de frequência do dispositivo. A concentração de dopantes se relaciona com a capacidade de bloqueio de tensão, determinando o valor em que ocorre a ruptura elétrica, definindo o limite operacional dos dispositivos antes de danos permanentes.

A Tabela 2 ilustra algumas propriedades dos dispositivos de Si (Silício), SiC (Carbeto de Silício) e GaN (Nitreto de Gálio), os dados foram obtidos com as tensões de 900V, para respectivos semicondutores. Os valores analisados relacionam a concentração de dopantes do tipo n (N_d), o comprimento da região de deriva (W_d) e o campo elétrico de ruptura (E_{BD}). Nota-se que o Si tem características inferiores ao SiC e GaN. Devido ao maior valor de campo elétrico de ruptura dos dispositivos WBG, suportam uma tensão elevada com maior facilidade que os Si. Para uma dada tensão de bloqueio, supondo uma junção PN que suporte 1000V, dispositivos SiC ou GaN podem operar com maior concentração de dopantes (N_d) e menor comprimento de deriva (W_d). Como resultado, SiC e GaN exibem menor resistência no estado ligado e, conseqüentemente, perdas consideravelmente menores em comparação ao Si.

Tabela 2 - Propriedades de Semicondutores.

Parâmetro	Si	SiC	GaN
$E_{BD} \left(\frac{MV}{cm} \right)$	0,3	3,0	3,3
$N_d (cm^{-3})$	$6 \cdot 10^{14}$	$6 \cdot 10^{16}$	$1,5 \cdot 10^{17}$
$W_d (\mu m)$	67,0	6,7	4,0
$T_c \left(\frac{W}{cm \cdot K} \right)$	1,5	4,9	1,3

Fonte: KESHMIRI (2020).

A menor condutividade térmica (T_c) no silício apresenta maiores limitações para manter o dispositivo em uma faixa segura de temperatura comparado ao SiC. Essas limitações abrem espaço para materiais como o carbeto de silício devido à sua capacidade de condutividade térmica superior ao silício. Porém, comparado com o GaN, o Si apresenta melhor condutividade térmica, única vantagem relevante em comparação com os demais materiais WBG (KESHMIRI, 2020).

As vantagens do SiC são claras em aplicações de alta potência em que sua maior capacidade de potência e juntamente com menores perdas resultam em maior eficiência. O SiC, devido à menor espessura da camada de depleção, maior concentração de dopantes e maior campo de ruptura, permite tempos de comutação mais rápidos e menores perdas durante a comutação (KESHMIRI, 2020).

No entanto, a produção de SiC enfrenta desafios significativos. O crescimento de cristais de alta qualidade é complexo e caro, resultando em custos de produção mais elevados. Além disso, os processos de fabricação de SiC são menos maduros e mais complexos em comparação com o silício, apresentando dificuldades na junção de materiais e no tratamento de defeitos cristalinos. A disponibilidade de componentes de SiC é limitada, refletindo em um preço mais elevado (KESHMIRI, 2020).

As capacitâncias e indutâncias parasitas presentes nos circuitos eletrônicos podem introduzir oscilações e picos de tensão indesejados durante a comutação de um interruptor, seja um diodo ou transistor. Se essas perturbações afetarem o sinal

de comando dos transistores, o efeito se agrava. Novas tecnologias devem ser incluídas no *gate Driver* para diminuir a propagação de EMI (*Electromagnetic Interference*). Utilizar tecnologias como *Active Clamp Miller*, Proteção Contra Dessaturação, Proteção Contra Sobrecorrente Diferencial e Monitoramento do Estágio de Saída do *gate* (Infineon, 2022), é importante para permitir a operação segura e confiável dos conversores.

Quando aeronaves totalmente elétricas utilizam dispositivos SiC em seus sistemas, considerações sobre interferência eletromagnética são fundamentais. Alta frequência de chaveamento e rápida transição entre os estados ligado e desligado têm o potencial de produzir componentes espectrais que podem interferir em outros sistemas da aeronave e afetar sistemas sensíveis de aviação e comunicação (Song, 2023) e (Nikolaev, 2023).

1.3 OBJETIVOS

O objetivo geral desta dissertação de mestrado se refere ao estudo, modelagem e verificação experimental de circuitos de comando de transistores SiC. São considerados tendo como cenário o uso em aeronave, e aspectos de compatibilidade eletromagnética e térmicos.

Os objetivos específicos são:

1. Desenvolver modelos de simulação de *gate Drivers*: incluindo impactos de EMI e perdas dos dispositivos;
2. Desenvolver modelos de simulação de fenômenos resultantes da inter-relação entre a comutação rápida de dispositivos WBG e os elementos parasitas do circuito conversor, cargas e cabos;
3. Análise comparativa de transistores Si e SiC;
4. Verificação experimental dos fenômenos e de ações de mitigação em protótipo de pequena escala.

1.4 CONTRIBUIÇÕES

- Seleção de *gate Drivers* e Resistores de *gate*: A escolha de *gate Drivers* e resistores de *gate* foi discutida, com base nos parâmetros obtidos do *datasheet* dos MOSFETs, garantindo operação otimizada e confiável.
- Simulação como ferramenta exploratória: O ambiente de simulação para MOSFET SiC tem o objetivo de explorar situações e sinais que seriam difíceis de reproduzir em testes de bancada reais. Isso permite uma análise mais abrangente do comportamento do circuito sob diversas condições.

1.5 ESTRUTURAÇÃO DO TEXTO

O texto se organiza da seguinte forma:

1. Introdução, este capítulo define os contextos e objetivos da dissertação;
2. Estudo do *gate Driver* para MOSFETs SiC;
3. Simulações de circuitos básicos com os MOSFETs e *gate Driver*;
4. Resultados Experimentais com resultados de bancada dos MOSFETs SiC e *gate Driver*;
5. Conclusões.

1.6 PUBLICAÇÕES NO PERÍODO

- J. J. Ferreira Evangelista Filho, J. P. Souza Pascon, J. F. Guerreiro, G. T. de Carvalho Ferreira and J. A. Pomilio, "Power Electronics for All-Electric Aircraft: A Review," 2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP), Florianopolis, Brazil, 2023, pp. 1-6, doi: 10.1109/SPEC56436.2023.10408644.

2. ESTUDO E DESENVOLVIMENTO DE UM CIRCUITO DE COMANDO

Os dispositivos SiC têm ganhado destaque em aplicações de conversão de potência devido às suas propriedades superiores em comparação com os dispositivos Si, como maior eficiência de comutação, suportar maiores tensões e temperaturas mais elevadas. No entanto, essas características também exigem circuitos de comando e *gate Drivers* especialmente projetados para garantir uma operação segura, eficiente e com desempenho ideal.

Os *gate Drivers* são responsáveis por aplicar os sinais corretos de acionamento às portas dos dispositivos de potência, controlando a velocidade de comutação, garantindo a integridade dos sinais e protegendo o dispositivo contra condições anormais. No caso dos dispositivos SiC, que comutam de forma muito mais rápida que os IGBTs ou MOSFETs de Si, os circuitos de comando devem ser capazes de lidar com desafios adicionais, como altas taxas de variação de tensão (dv/dt), EMI intensificada e exigências rigorosas de isolamento galvânico.

O circuito de comando completo é composto por quatro etapas, conforme ilustrado na Figura 6. A primeira etapa envolve a geração do sinal de PWM.

Figura 6 - Etapas no funcionamento do circuito de comando.



Fonte: Própria autoria (2024).

A segunda etapa do circuito consiste em um filtro passa-baixas projetado para atenuar frequências acima de 2 MHz. Esse filtro é implementado por um circuito RC passivo posicionado na entrada do circuito de comando. Sua principal função é minimizar interferências externas, especialmente ruídos gerados pela interação indutiva-capacitiva do cabeamento associado ao sinal PWM. Esses ruídos podem comprometer a integridade do sinal e a operação do sistema de comando. Por essa razão, é recomendado incluir e manter esse filtro no circuito de comando.

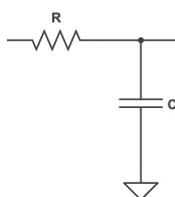
A próxima etapa consiste nos circuitos de tempo morto e intertravamento. O tempo morto é definido com portas lógicas e o atraso dos sinais é determinado por uma constante de tempo RC. O intertravamento é um mecanismo que garante a não sobreposição dos sinais de comando dos transistores. A utilização de tempo morto e intertravamento é essencial para evitar um curto-circuito entre as duas chaves na topologia meia ponte.

A quarta etapa consiste no estágio de saída e aplicação do pulso de *gate* do MOSFET. E isolamento galvânico dos sinais de baixa e alta potência. Além, de elevar os sinais lógicos, tipicamente entre 3,3V a 5V, para um estágio de saída de 12 a 20V.

2.1 FILTRO PASSA-BAIXAS

O circuito do filtro passa-baixas RC passivo está ilustrado na Figura 7. A frequência de corte do filtro foi definida como a 20ª harmônica (n) da frequência de chaveamento, resultando em um valor de 2 MHz (f_c).

Figura 7 - Filtro Passa-Baixas RC passivo.



Fonte: Própria autoria (2024).

A escolha da frequência de corte na 20ª harmônica da frequência de chaveamento de 100kHz (f_s), resulta que o sinal de PWM será menor impactado pela atenuação do filtro. A equação para definir a ordem harmônica é definida em (1):

$$n = \frac{f_c}{f_s} \quad (1)$$

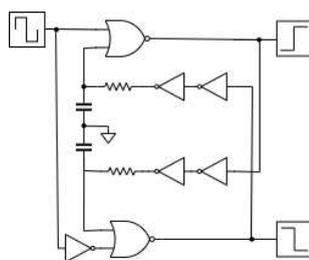
2.2 CIRCUITO DE TEMPO MORTO

A Figura 8 ilustra que o circuito de tempo morto é composto por duas portas lógicas *NOR* e duas portas lógicas *NOT*. O ajuste de tempo morto é definido a partir da constante de tempo RC, equação (2).

$$t = RC \quad (2)$$

O tempo morto foi gerado pelo circuito RC e foi preliminarmente ajustado para 100 ns. É importante destacar que esse ajuste é aproximado, pois o atraso do sinal pode ser influenciado pelo tipo de portas lógicas utilizadas no projeto, variando conforme a tecnologia empregada, como CMOS (MOSFET) ou TTL (Transistor). Essas variações impactam diretamente na precisão do tempo morto, sendo essencial considerar essas características durante o projeto do circuito. Em geral, portas lógicas CMOS, como *NOR* e *NOT*, apresentam atrasos típicos entre 8 e 15 ns, considerando uma transição de 80% da tensão de disparo, com $V_{dd} = 5$ V.

Figura 8 - Circuito de tempo morto.

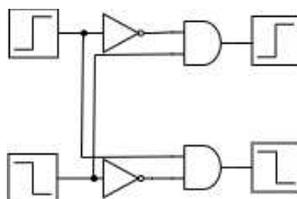


Fonte: Própria autoria (2024).

2.3 CIRCUITO DE INTERTRAVAMENTO

O circuito do Intertravamento, Figura 9, fornece uma garantia adicional para não haver condução simultâneas no circuito de comando e, em eventuais falhas e ruídos no circuito de tempo morto, esse circuito evita a sobreposição dos pulsos de comando. Caso os dois pulsos de *gate* sejam positivos, a saída será bloqueada, prevenindo problemas de condução simultânea MOSFETs.

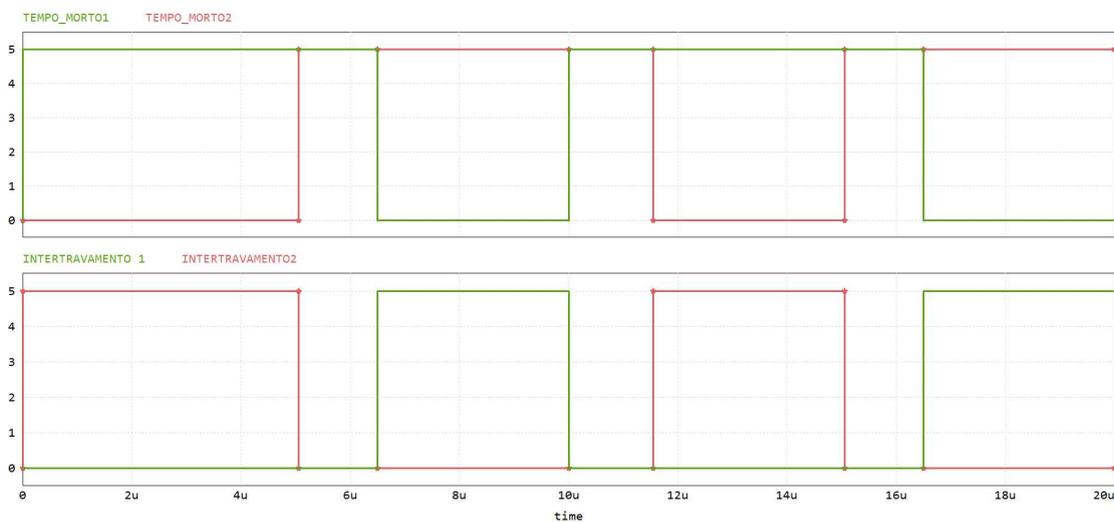
Figura 9 - Circuito de Intertravamento.



Fonte: Própria autoria (2024).

A Figura 10 ilustra a atuação do circuito de intertravamento em caso de falha do circuito de tempo morto. Caso ocorra sobreposição de sinais do circuito de tempo morto, por eventuais falhas ou interferências, o circuito de intertravamento garante o funcionamento correto do circuito.

Figura 10 - Formas de onda intertravamento, possível falha no circuito de tempo morto e atuação do circuito de intertravamento.

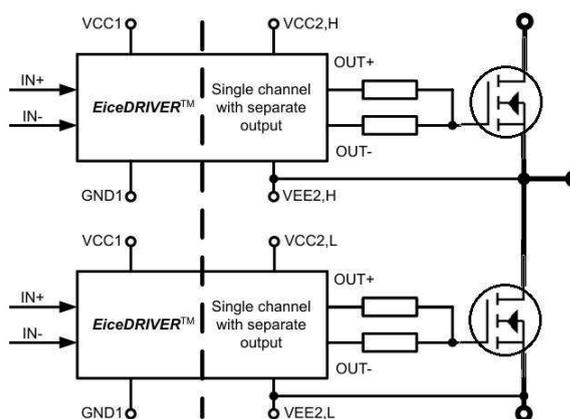


Fonte: Própria autoria (2024).

2.4 ESTÁGIO DE SAÍDA

A conexão dos MOSFETs será feita em uma topologia meia ponte. Cada MOSFET necessita de um *gate Driver*, como ilustrado na Figura 11. Os CI são *single channel* e às conexão são individuais para cada transistor.

Figura 11 - Conexão *gate Driver* com o transistor.



Fonte: Infineon (2023).

2.5 ESCOLHA DO CI GATE DRIVER

A escolha de um CI *gate Driver* adequado é uma etapa crucial no desenvolvimento de circuitos eletrônicos de potência, especialmente em aplicações que utilizam dispositivos semicondutores como MOSFETs, IGBTs ou WBG, como SiC e GaN.

O primeiro critério para a escolha do *gate Driver* é a compatibilidade com o transistor utilizado. MOSFETs e IGBTs possuem requisitos específicos de tensão e corrente no *gate*. Dispositivos WBG, como SiC e GaN, impõem desafios adicionais devido às suas altas taxas de variação de tensão dv/dt e corrente di/dt , exigindo *gate Drivers* que suportem comutações rápidas.

No caso de transistores SiC, a tensão de limiar de *threshold voltage* é tipicamente baixa, entre 2 a 3 V. Para garantir o desligamento confiável do MOSFET SiC, o *gate Driver* deve ser capaz de aplicar uma tensão negativa no *gate*. Assim, as tensões de V_{gs} recomendadas para operação estão na faixa tensão de +15 V a -3 V.

Outro fator determinante é o *rise time* do *gate Driver*, que deve ser inferior ao especificado no *datasheet* do transistor para assegurar uma comutação eficiente. Por exemplo, em um cenário em que o tempo de subida do MOSFET SiC é de 33ns, um *gate Driver* com *rise time* de 15ns é adequado, pois consegue atender às demandas de comutação rápida.

A frequência de chaveamento suportada pelo *gate Driver* também é um parâmetro importante, especialmente em aplicações de alta frequência. No caso apresentado, o PWM opera a 100kHz, enquanto o *gate Driver* selecionado suporta frequências de chaveamento de até 1MHz.

Um recurso como o *Miller Clamp* ajuda a mitigar um problema comum em transistores, conhecido como "ligamento não intencional" devido à capacitância Miller. Durante a comutação, a capacitância Miller pode induzir um aumento de tensão no Vgs, levando ao acionamento acidental do transistor. O *Miller Clamp* garante o *gate* desligado.

Os *gate Drivers dual-channel* são projetados para acionar dois transistores, como em topologias de meia ponte ou ponte completa. Porém, esses *Drivers* geralmente não oferecem isolamento elétrico entre os canais, o que limita a tensão de isolamento a cerca de 600V. Além disso, não possuem isolamento entre o circuito de comando e o lado da potência, tornando o sistema mais vulnerável em aplicações de alta tensão ou sujeitas a ruído eletromagnético. Esses *Drivers* frequentemente utilizam a técnica *Bootstrap* para a alimentação de seus estágios de alta e baixa tensão, o que reduz custos e simplifica o projeto, mas impõe limitações em termos de faixa de operação e confiabilidade.

Por outro lado, os *gate Drivers single-channel* são projetados para controlar um único transistor por vez. Esses *Drivers* possuem isolamento elétrico maior, com tensões de isolamento que podem chegar a 1kV. O isolamento individual entre os canais permite que cada transistor seja acionado de forma independente, proporcionando maior proteção contra falhas e interferências eletromagnéticas no lado da potência.

O *Driver* escolhido foi 1ED3250 da fabricante Infineon, esse *Driver* é capaz de operar com tensão de isolamento de até 1kV, possui disparo de desligamento do

transistor com tensão negativa, *single-channel*, tem o *rise time* de 15ns, tem a tecnologia *Miller Clamp*, e pode receber o sinal diferencial de controle PWM.

Antes de definir o CI *gate Driver*, deve-se extrair dados específicos do *datasheet* do MOSFET. Essas informações são necessárias para calcular a corrente de pico do *gate* e, a partir disso, ajustar o *Driver*.

O primeiro passo é definir as tensões positivas e negativas de V_{gs} , que determinam os níveis de tensão para ligar e desligar o MOSFET, obtidos do *datasheet*. Também é necessário conhecer a frequência de chaveamento do conversor, pois ela influencia a seleção dos resistores do *gate* impactando a capacidade de dissipação de potência do *Driver*.

Além disso, é importante conhecer a resistência intrínseca do *gate* do MOSFET. Ao obter esses parâmetros do *datasheets*, V_{cc} e V_{ee} tensões positivas e negativas de V_{gs} , R_{G_f} é a resistência intrínseca do *gate* do MOSFET, R_{OUT_L} é a mínima resistência de saída do *Driver*, e f_s é a frequência de chaveamento do conversor.

$$f_s = 100kHz$$

$$V_{cc} = 12V$$

$$V_{ee} = 0V$$

$$R_{G_f} = 3,3\Omega$$

$$R_{OUT_L} = 420m\Omega$$

A amplitude de tensão V_{gs} é calculada em (3), essa amplitude de tensão deve ser inferior à admitida ao especificado no *datasheet* do fabricante do MOSFET. A amplitude de tensão será usada para estimar a corrente de pico de *gate* do *Driver*.

$$\Delta V_G = |V_{cc}| + |V_{ee}| \quad (3)$$

Após obtida a amplitude da tensão de *gate*, é projetada a corrente de pico durante o acionamento do MOSFET.

$$I_G = \frac{\Delta V_G}{R_G + R_{OUT_L}} \quad (4)$$

A corrente calculada não deve ultrapassar o valor de corrente de pico suportada pelo *Driver*. Outro fator a ser considerado, é o valor máximo de dissipação de potência suportado pelo CI. Essa potência é calculada utilizando a carga total de *gate* do MOSFET.

$$Q_G = 162nC$$

O cálculo da potência dissipada do CI também não deve ultrapassar o valor definido no *datasheet*. Valores máximos admitidos no *datasheet* do CI 1ED3250 fornecidos pelo fabricante, informado na Tabela 3.

$$P_D = \Delta V_G f_s Q_G \quad (5)$$

Valores máximo admitidos no *datasheet* do CI 1ED3250:

Tabela 3 - Valores Máximos para o CI 1ED3250.

$I_G = 10A$	Corrente de Pico de <i>gate</i>
$P_D = 1100mW$	Potência Dissipada no CI

Fonte: Própria Autoria (2024).

Os valores obtidos com as equações são apresentados na Tabela 4.

Tabela 4 - Valores Calculados para o CI 1ED3250.

$I_G = 3,22A$	Corrente de Pico de <i>gate</i>
$P_D = 97,2mW$	Potência Dissipada no CI

Fonte: Própria Autoria (2024).

2.6 CONCLUSÕES PARCIAIS

A seleção dos circuitos auxiliares do circuito de comando devem respeitar as limitações definidas no *datasheet* dos componentes eletrônicos. As características do *Driver* devem ser analisadas, pois são fundamentais para o funcionamento

adequado do conversor. As especificações do CI devem ser respeitadas para a eficiência e operacionalidade correta dos dispositivos.

O capítulo 3 irá conduzir uma análise sobre as simulações dos circuitos SiC. O impacto do ajuste de resistência de gate será visto nos diferentes cenários das simulações.

3. SIMULAÇÃO DO CIRCUITO DE COMANDO E CONVERSOR COM MOSFET SiC

3.1 INTRODUÇÃO DA SIMULAÇÃO DO CIRCUITO DE COMANDO

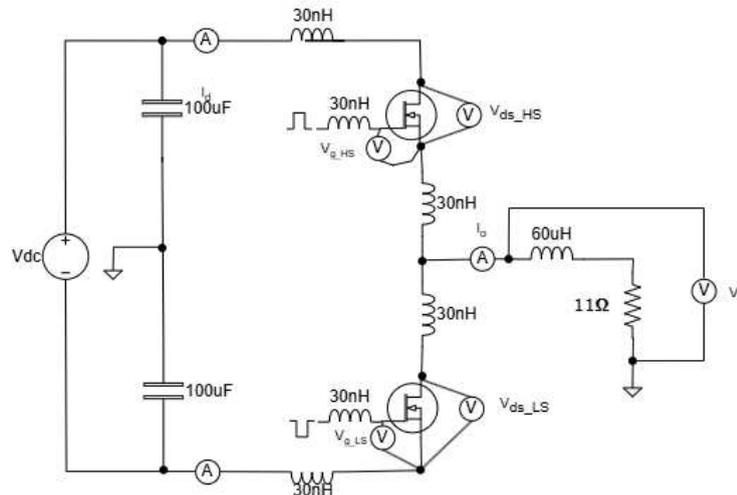
Os modelos SPICE (*Simulation Program with Integrated Circuit Emphasis*) são ferramentas cruciais na simulação e análise de circuitos eletrônicos, permitindo aos engenheiros prever o comportamento de circuitos antes da construção física. Esses modelos possibilitam a identificação e correção de problemas em estágios preliminares, economizando tempo e recursos significativos.

Os arquivos SPICE possibilitam aproximar o ambiente da simulação com o cenário da bancada. Esses modelos, apresentam características não ideais dos transistores, e o fabricante do semicondutor fornece os modelos da maioria dos produtos. Os respectivos modelos podem ser encontrados com suas *part number* ou no fabricante do semicondutor. O ambiente de simulação tem o objetivo de verificar o funcionamento do circuito antes de sua realização. Sua funcionalidade é permitir visualizar sinais que não seriam possíveis experimentalmente. Essa simulação consistiu em analisar os efeitos das indutâncias parasitas, ilustrado na Figura 12. Foram usados os modelos SPICE dos MOSFETs SiC C3M0021120K da *CREE/Wolfspeed*, e CI *gate Driver* 1ED3250 da Infineon, cujas características estão no apêndice. A escolha do MOSFET foi baseada em sua disponibilidade imediata no laboratório, garantindo agilidade na montagem e nos testes experimentais. Já a seleção do CI *gate Driver* foi motivada pela compatibilidade do seu modelo SPICE com o *software* PSIM. Outros modelos de CI foram analisados e suas características estão disponíveis no anexo.

As indutâncias parasitas foram adicionadas externamente e com um valor de 30nH. O valor de 30nH pode ser considerado para trilhas da placa com aproximadamente 3~4 cm de comprimento. Esse valor de indutância pode ser encontrado utilizando a equação (6). As constantes l é o comprimento da trilha (cm), w é a largura da trilha (cm), h é a distância do plano de terra (cm), e k é uma constante com valor 0,2.

$$L = 2l \cdot \ln\left(\frac{2l}{w+h}\right) - k \quad (6)$$

Figura 12 - Esquemático usado na simulação no PSIM.



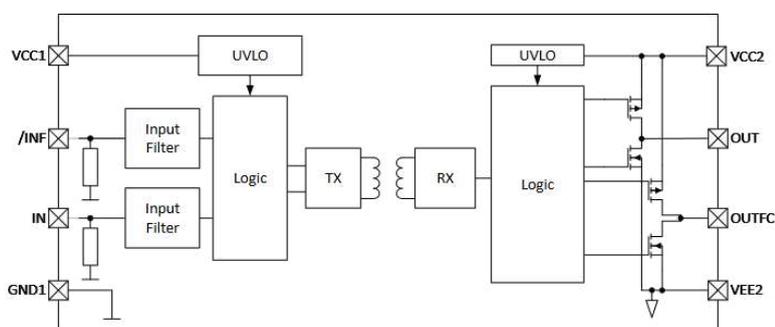
Fonte: Própria autoria (2024).

A Figura 13 ilustra um diagrama de blocos típico de um *gate Driver* isolado para MOSFET. Os blocos descritos na Figura são detalhados a seguir:

1. O *Driver* possui entradas diferenciais (IN e /INF). Opera com a diferença de tensão entre esses dois pinos, o que oferece maior imunidade a ruídos diferenciais e de modo comum em comparação com entradas de terminação única;
2. Os filtros de entrada ajudam a atenuar ruídos de alta frequência presentes nos sinais de entrada;
3. Lógica (Lado de Entrada) este bloco processa os sinais diferenciais de entrada, convertendo-os em um sinal lógico adequado para acionar o transmissor (TX). O transmissor, juntamente com o RX (receptor), implementa o isolamento galvânico. No *datasheet*, é descrito como "*Galvanically isolated coreless*" indica que o isolamento é realizado sem o uso de um núcleo de transformador tradicional. Utiliza tecnologia como acoplamento indutivo;

4. O receptor recebe o sinal transmitido através da barreira de isolamento e o converte de volta em um sinal lógico;
5. A lógica (Lado de Saída) deste bloco processa o sinal recebido e gera os sinais de controle para os MOSFETs de saída. É aqui que a função "*Active Miller Clamp*" é implementada;
6. Os MOSFETs de saída, em topologia *push-pull*, são responsáveis por fornecer a corrente necessária para carregar e descarregar a capacitância de *gate* do MOSFET. A especificação indica a capacidade do driver de fornecer 10 A de *gate*;
7. A proteção UVLO (*Undervoltage Lockout*) monitora as tensões VCC1 e VCC2. Se qualquer uma dessas tensões cair abaixo de um limiar pré-definido (8 V/10 V, conforme especificado), o *Driver* desliga a saída para proteger o MOSFET;
8. VCC1 e GND1 (Alimentação do Lado de Entrada) fornecem a alimentação para os circuitos do lado de entrada do *Driver*. Tensão em VCC1 de 3 a 15V. E GND1 é tipicamente 0V;
9. VCC2 e VEE2 (Alimentação do Lado de Saída Isolado): VCC2 fornece a alimentação para os circuitos do lado de saída e para os MOSFETs de saída isolada. 40 V é a tensão máxima que pode ser aplicada em VCC2. Enquanto VEE2 é o potencial de referência para o lado de saída, tipicamente é aplicada uma tensão negativa (-3 V).

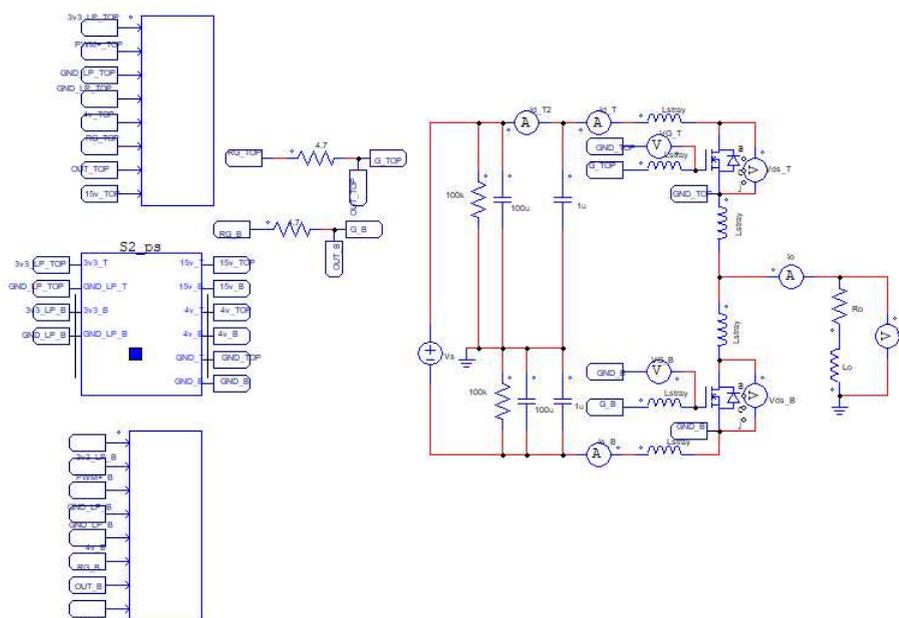
Figura 13 - Diagrama interno CI *gate Driver*.



Fonte: Própria autoria (2024).

O circuito completo de comando e conversor meia ponte pode ser visualizado na Figura 14 implementado no PSIM.

Figura 14 - Circuito completo circuito de comando e conversor com MOSFET SiC.

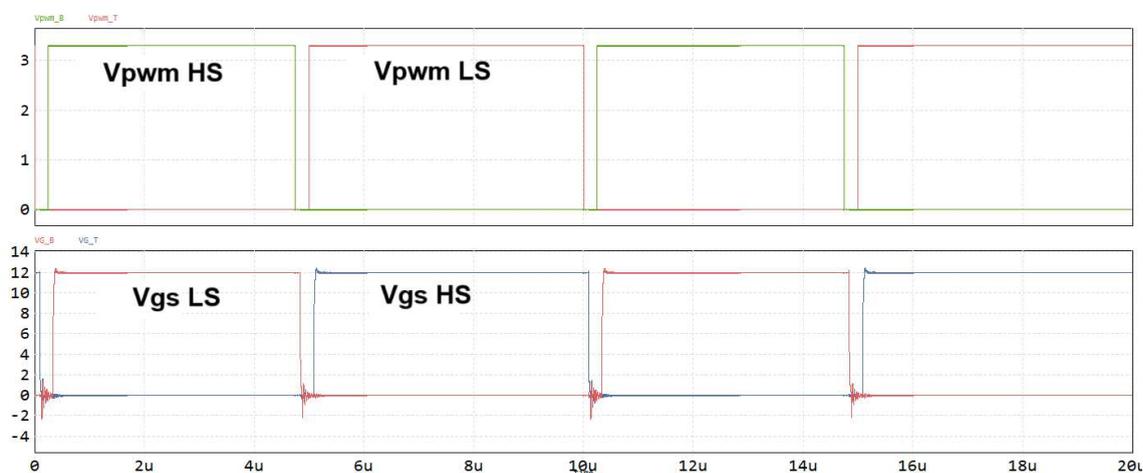


Fonte: Própria autoria (2024).

3.2 SIMULAÇÕES EM TRANSIÇÃO SUAVE

Alguns resultados das simulações podem ser visualizados nas Figuras a seguir. A Figura 15 ilustra os pulsos PWM 3,3V, com razão cíclica de 50% e tempo morto em 100 ns, e os pulsos de *gate* 12V dos MOSFETs. Esses sinais são isolados do sinal lógico. A Figura 15 representa a comutação dos MOSFETs com tensões $V_{dc} = 128V$.

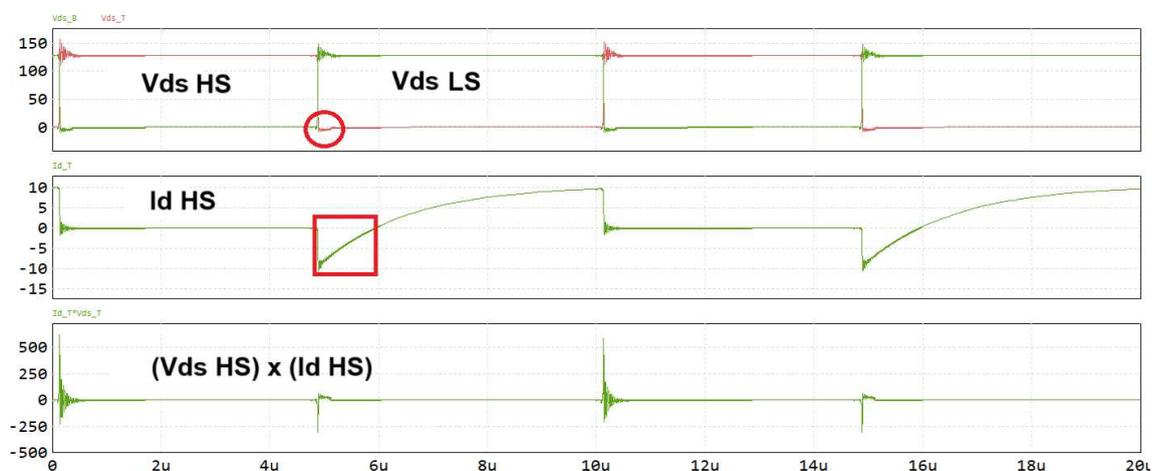
Figura 15 - Sinais lógicos PWM HS e LS, sinais Vds HS e LS MOSFET SiC conversor meia ponte.



Fonte: Própria autoria (2024).

A Figura 16 ilustra a comutação da tensão e corrente dos transistores *High* e *Low Side*. O retângulo indica o momento da condução reversa do MOSFET. Devido ao tempo morto, a condução reversa se inicia pelo diodo do MOSFET. Com a aplicação do comando de *gate* ocorre a formação do canal, por onde a corrente passa a circular. Isso pode ser verificado na Figura 16, na área marcada com círculo notando-se a diminuição da pequena tensão reversa, correspondente a condução do diodo. O terceiro gráfico representa a potência instantânea sobre o transistor HS e será objeto de análise na sequência.

Figura 16 - Sinais de V_{ds} High e Low Side, Corrente (I_d) de Dreno High Side e Potência Instantânea MOSFET High Side.

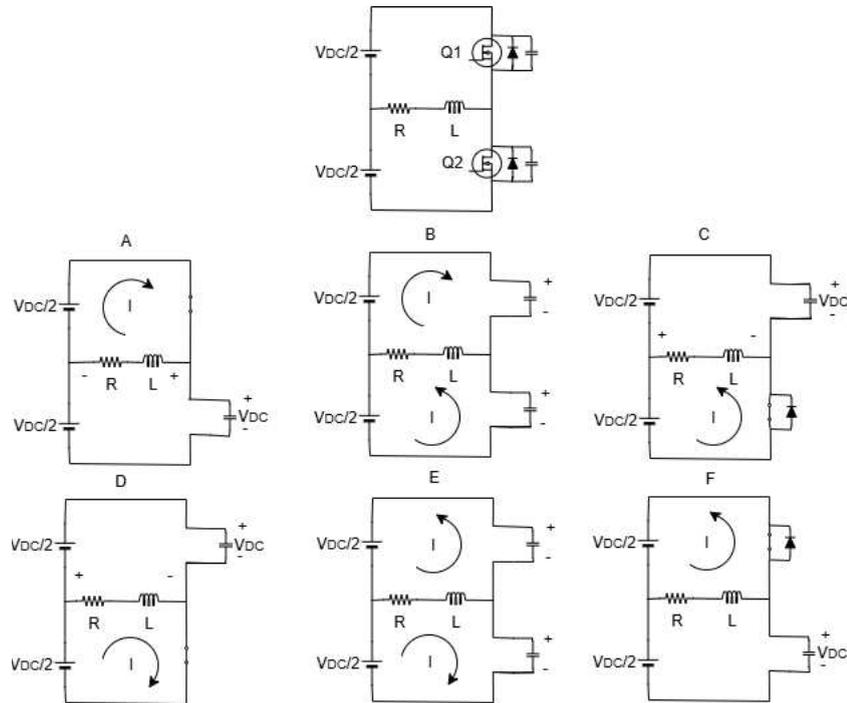


Fonte: Própria autoria (2024).

Um detalhamento das etapas de funcionamento do conversor meia ponte pode ser visualizado na Figura 17.

1. No início do ciclo, o MOSFET Q1 (HS) é ligado e começa a conduzir. Quando Q1 está ligado, a tensão V_{dc} está em Cds de Q2 (LS);
2. Quando Q1 é desligado, ocorre o intervalo morto para evitar a condução simultânea de Q1 e Q2. A corrente da carga se divide, carregando a capacitância *dreno-source* de Q1, e descarregando a capacitância de Q2;
3. Quando a tensão na capacitância de Q2 se anula, o respectivo diodo intrínseco entra em condução, em seguida pela condução reversa pelo canal. A capacitância de Q1 fica carregada com V_{dc} ;
4. Quando a corrente se anula, o transistor Q2 assume a corrente em sentido direto;
5. Q2 é desligado, iniciando outro intervalo morto. Novamente, nesse intervalo há troca carga de elétrica entre as capacitâncias;
6. Quando a tensão sobre Q1 se anula, o diodo reverso assume a corrente, sendo substituído pela condução de Q1, completando o ciclo.

Figura 17 - Inversor Meia Ponte e estágios de operação.

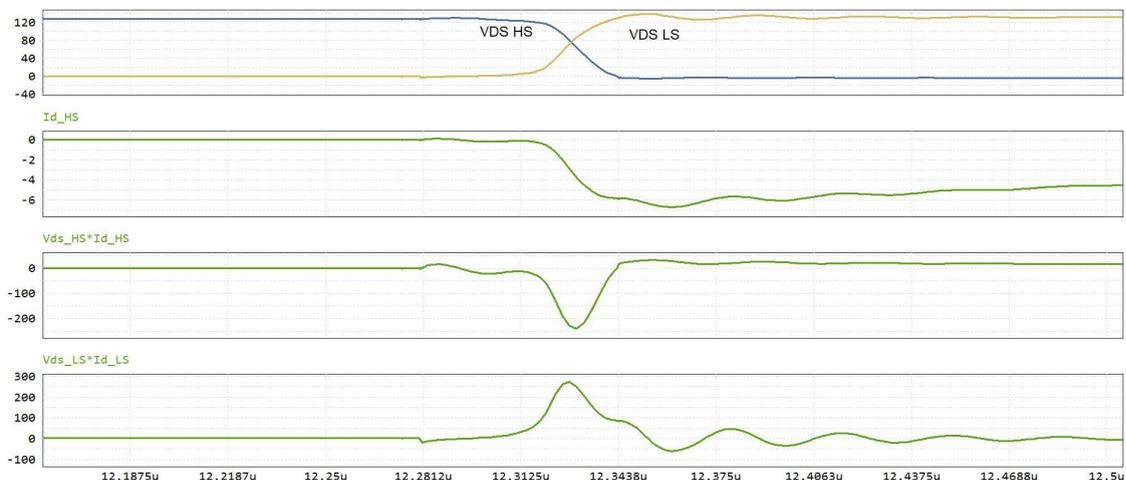


Fonte: Própria autoria (2024).

As Figuras 18 e 19 ilustram com maiores detalhes a comutação dos transistores durante o ligamento e desligamento. A potência instantânea não é dissipada no MOSFET, esse efeito ocorre durante as transições de tensões V_{ds} e troca de energia entre as capacitâncias dos MOSFETs *High e Low Side*, resultando em pico positivo em um transistor e negativo no outro.

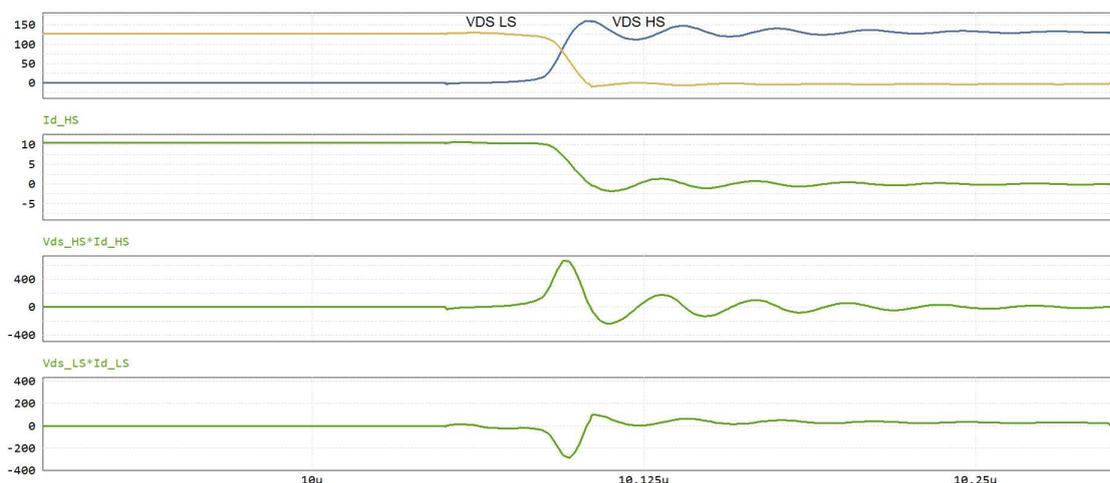
É importante observar que a potência ativa, em Watt, é definida como o valor médio da potência instantânea em um período de tempo. A potência instantânea tem como unidade (VA).

Figura 18 - Sinais de Vds *High* e *Low Side* durante o ligamento MOSFET *High Side*, Corrente (Id) de Dreno *High Side* e Potência Instantânea no MOSFET *High* e *Low Side*, respectivamente.



Fonte: Própria autoria (2024).

Figura 19 - Sinais de Vds *High* e *Low Side* durante o desligamento MOSFET *High Side*, Corrente (Id) de Dreno *High Side* e Potência Instantânea no MOSFET *High* e *Low Side*, respectivamente.



Fonte: Própria autoria (2024).

Os resultados demonstram que estimar as perdas do MOSFET apenas pelo produto dos sinais externos Vds e Id pode levar a conclusões imprecisas. Isso ocorre porque, durante a comutação, o comportamento do dispositivo é fortemente

influenciado pelos efeitos capacitivos internos, e não pela condução direta. A alta velocidade de chaveamento faz com que os sinais medidos não representem fielmente a dissipação real de energia, tornando necessária uma análise mais detalhada e baseada nas características internas do componente.

Os tempos de transição dos sinais são analisados a seguir. Os dados tempo de subida (t_R) e tempo de descida (t_F) dos sinais Vds LS, Vds HS e Id HS foram obtidos através da variação de 10% e 90% do valor de regime. Sendo dominado pela transição capacitiva, esses intervalos dependem da corrente no momento da comutação. Correntes maiores abreviam o intervalo de tempo.

Tabela 5 - Tempos de variações dos sinais Vds LS, Vds HS e Id HS, para $I_d = 10A$.

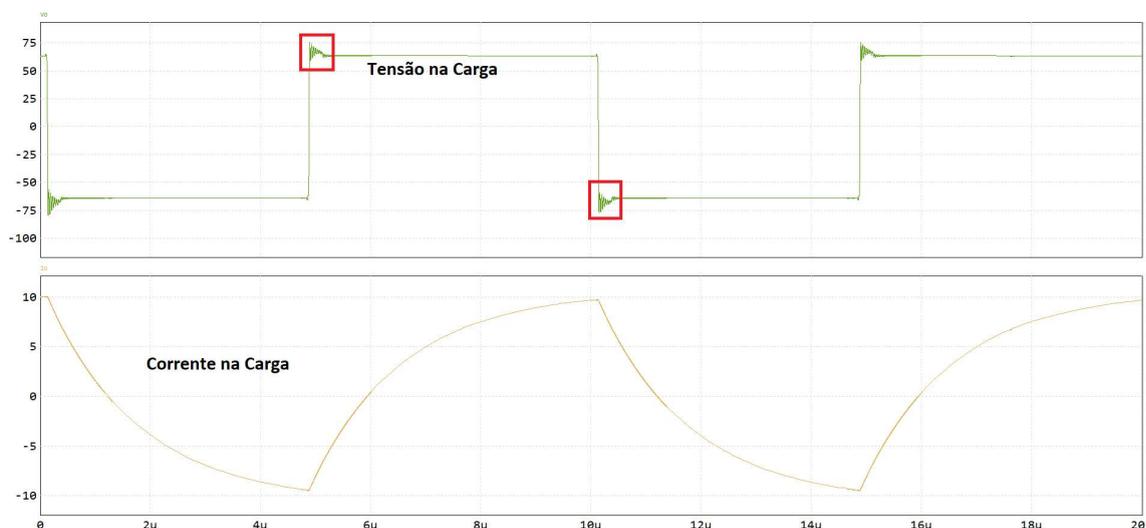
Intervalo	Vds LS	Vds HS	Id HS
t_R	15ns	12,3ns	37,5ns
t_F	11ns	13,5ns	13,5ns

Fonte: Própria autoria (2024).

Nas condições mostradas, os transistores operam com comutações suaves. No desligamento, pela ação das capacitâncias, a comutação é do tipo ZVS (*Zero Voltage Switching*). Na entrada em condução é ZVS + ZCS (*Zero Current Switching*). Restam as perdas por condução.

A Figura 20 ilustra os sinais na saída do conversor, tensão e corrente na carga. O retângulo indica o intervalo do tempo morto. Durante o tempo morto, a condução se dá pelo diodo reverso.

Figura 20 - Sinais de tensão e corrente na carga.



Fonte: Própria autoria (2024).

Os cenários encontrados nas simulações serão fundamentais para os ensaios realizados em bancada. Alguns dos sinais visualizados anteriormente serão novamente encontrados na bancada de testes. Com os modelos de simulação, estão dadas as condições de ensaio para a verificação via simulação e comprovação experimental do efeito dos chaveamentos em cargas indutivas e de cabos de alimentação. Esses ensaios pretendem subsidiar os impactos dos elevados dv/dt propiciados pelos dispositivos SiC em aplicação AEA.

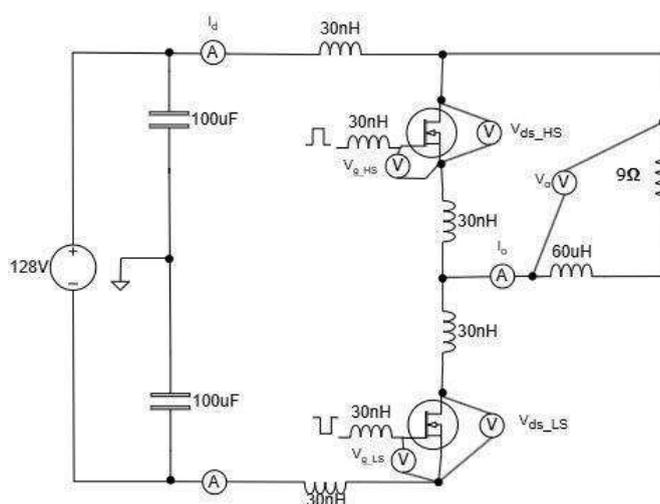
3.3 SIMULAÇÕES EM TRANSIÇÃO FORÇADA

Devido ao conversor operar com uma razão cíclica de 50%, os transistores realizam uma transição suave. Em um ambiente prático, a razão cíclica varia, e o comportamento da corrente de saída muda, nem sempre resultando em transições suaves.

Nos próximos ensaios, a razão cíclica foi alterada para 25%. Essa redução na razão cíclica impacta diretamente a corrente de saída. Anteriormente, a corrente de saída apresentava características simétricas: mesma amplitude positiva e negativa,

e cruzava o zero como um sinal CA. Com a redução da razão cíclica, essas características simétricas da corrente de saída serão alteradas. O sinal não terá os mesmos valores positivos e negativos e não cruzará o zero. A conexão com a carga RL mudou, ilustrada na Figura 21, de modo que a tensão sobre a carga será positiva quando o transistor LS conduzir pela chave HS e aproximadamente zero no intervalo de livre-circulação. A nova conexão promove o conversor operar em comutação forçada.

Figura 21. Esquemático usado na simulação carga RL e razão cíclica em 25%.

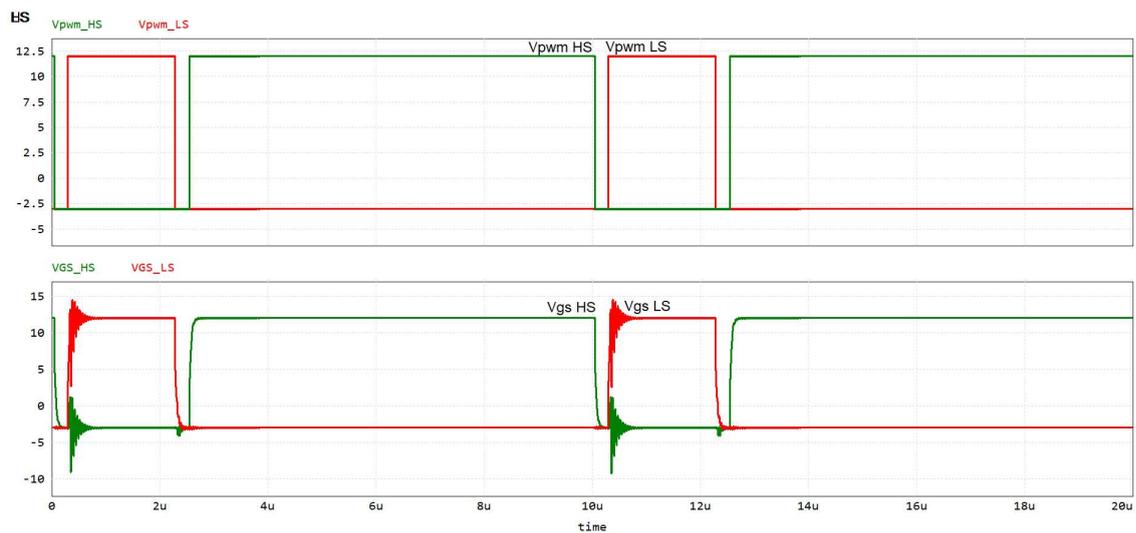


Fonte: Própria autoria (2024).

As Figuras 22 e 23 ilustram o comportamento dos sinais lógicos e de *gate* V_{gs} nos MOSFETs. Mostraram também os sinais de tensão e corrente de carga operando com razão cíclica em 25% e tempo morto de 250ns. Nota-se um pico na tensão de carga e também o comportamento da corrente de carga mudou. O aumento da razão cíclica e dos pontos de conexão levou essa corrente a não cruzar o zero, não havendo comutação suave. Devido aos elementos indutivos parasitas presentes na simulação, ocorreram picos de tensão V_{gs} e oscilações nos sinais V_{ds} e tensão de carga. Esses fenômenos foram causados pelas ressonâncias entre

elementos indutivos parasitas incluídos na simulação e as capacitâncias dos transistores.

Figura 22 - Sinais lógico e V_{gs} gate ($R_g = 3\Omega$).



Fonte: Própria autoria (2024).

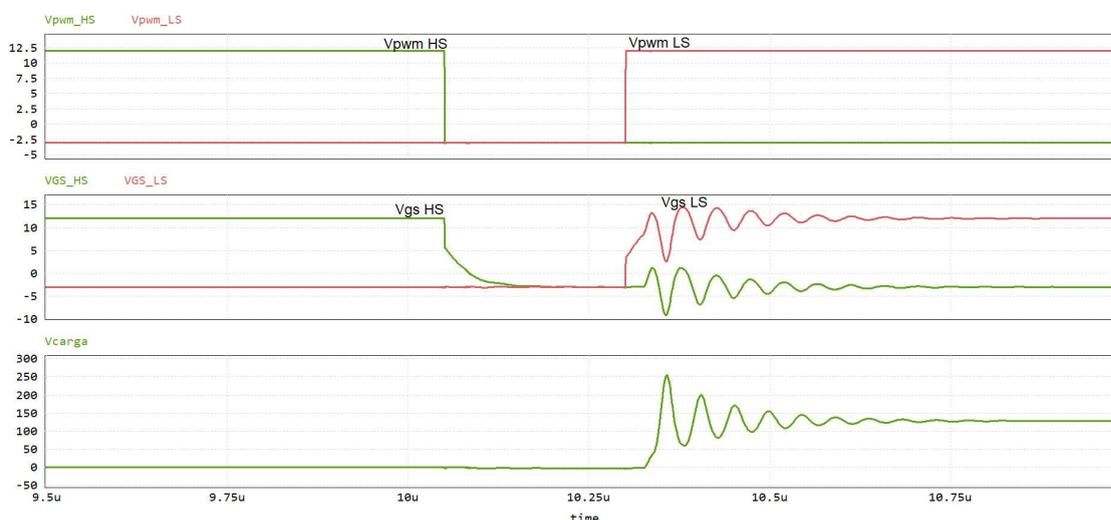
Figura 23 - Sinais de tensão e corrente cíclica em 25% na carga ($R_g = 3\Omega$).



Fonte: Própria autoria (2024).

A oscilação nos sinais Vgs podem ser visualizados na Figura 24 com maiores detalhes. A oscilação em 24MHz não acusou múltiplas comutações do transistor devido a oscilação atingir um pico de 1,2V em Vgs HS no desligamento, o *gate threshold* do MOSFET SiC tem o limiar de tensão de *gate* aproximadamente em 2,5V, não causando falso ligamento do MOSFET HS. Caso a oscilação fosse superior a tensão de *gate threshold*, o MOSFET iria conduzir, causando um curto-circuito no braço do conversor.

Figura 24 - Sinais lógicos, Vgs *gate*, Tensão de Carga escala de tempo reduzida (janela de tempo 10 μ s) ($R_g = 3\Omega$).

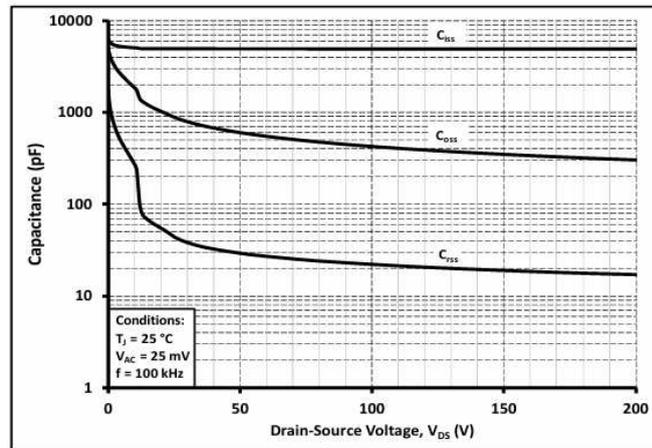


Fonte: Própria autoria (2024).

A origem da oscilação está no desligamento do diodo reverso do transistor HS, o qual assume a corrente durante o tempo morto. Essa oscilação na tensão Vds afeta também a tensão Vgs do transistor LS, podendo gerar comutações múltiplas. Uma maneira de minimizar esse efeito é tornar a entrada em condução do MOSFET LS mais lenta, aumentando a resistência de *gate*.

Uma oscilação em 24MHz (f_R) se manifesta quando o transistor LS é ligado. O MOSFET SiC apresenta uma capacitância de saída (C_{oss}) de 400pF, ver ábaco Figura 25.

Figura 25 - Capacitâncias vs Tensão de Dreno-Source (0-200V).



Fonte: Wolfspeed (2023).

Através desses dados, é possível estimar o valor da indutância parasita de ressonância do circuito (L_R), e ajustar o valor de resistência de *gate* para minimizar os picos de tensão.

$$L_R = \left(\frac{1}{2\pi \cdot f_R} \right)^2 \cdot \frac{1}{C_{oss}} \quad (7)$$

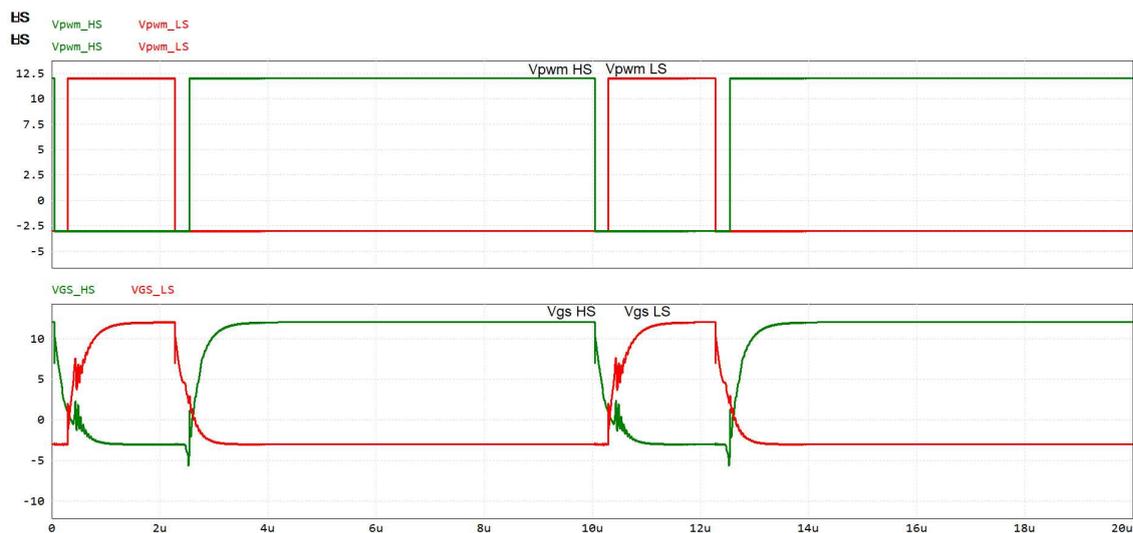
O valor aproximado para a indutância de ressonância L_R encontrado foi aproximadamente 120nH. Através do cálculo da frequência da oscilação L_R , equação (8), foi possível estimar um valor aproximado para a resistência de *gate* que amortece a oscilação de V_{gs} . O valor calculado foi 19 Ω , o valor escolhido para a resistência de *gate* foi 30 Ω . Valor de 30 Ω foi usado ao resistor disponível em laboratório usado nos testes de bancada.

$$Z_L = 2\pi f_R \cdot L_R \quad (8)$$

As Figuras 26 e 27 ilustram o comportamento dos sinais lógicos e *gate* V_{gs} dos MOSFETs e os sinais de tensão e corrente de carga do conversor operando com razão cíclica em 25% com o resistor de *gate* 30 Ω . Nota-se que os picos de tensão foram reduzidos. A redução do pico de tensão na carga ocorre devido aos

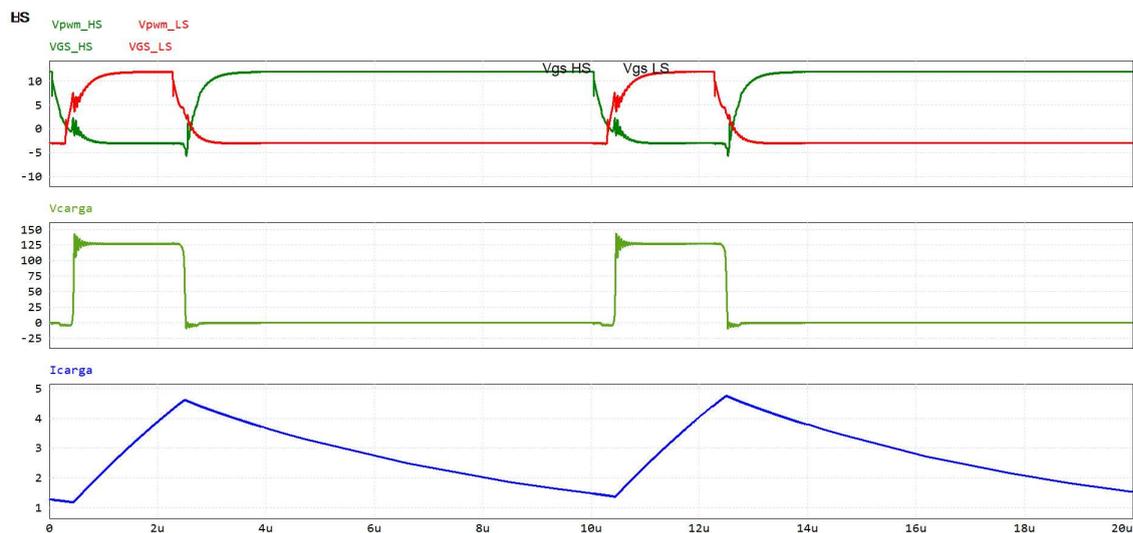
sinais de *gate* operarem mais lentamente, de modo que não excitam ressonâncias presentes nos circuitos.

Figura 26 - Sinais lógicos e V_{gs} *gate* ($R_g = 30\Omega$) com amortecimento.



Fonte: Própria autoria (2024).

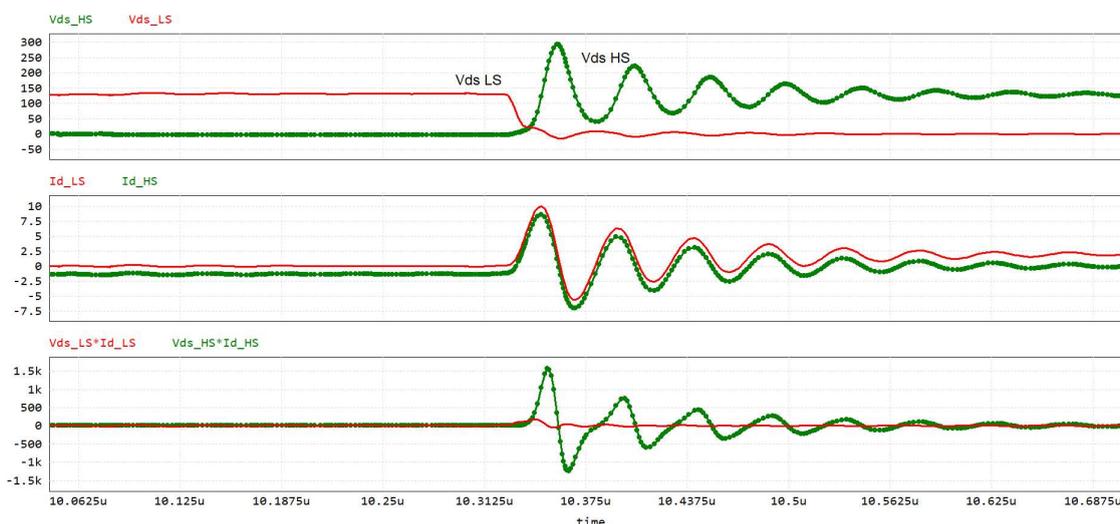
Figura 27 - Sinais de tensão e corrente cíclica em 25% na carga ($R_g = 30\Omega$).



Fonte: Própria autoria (2024).

As Figuras 28 e 29 ilustram os momentos das transições nos transistores com o resistor de *gate* em 3Ω .

Figura 28 - Sinais de V_{ds} *High* e *Low Side* durante o ligamento MOSFET *Low Side*, razão cíclica em 25%, Corrente (I_d) de Dreno *High* e *Low Side*, e potência instantânea no MOSFET *High* e *Low Side* ($R_g = 3\Omega$).



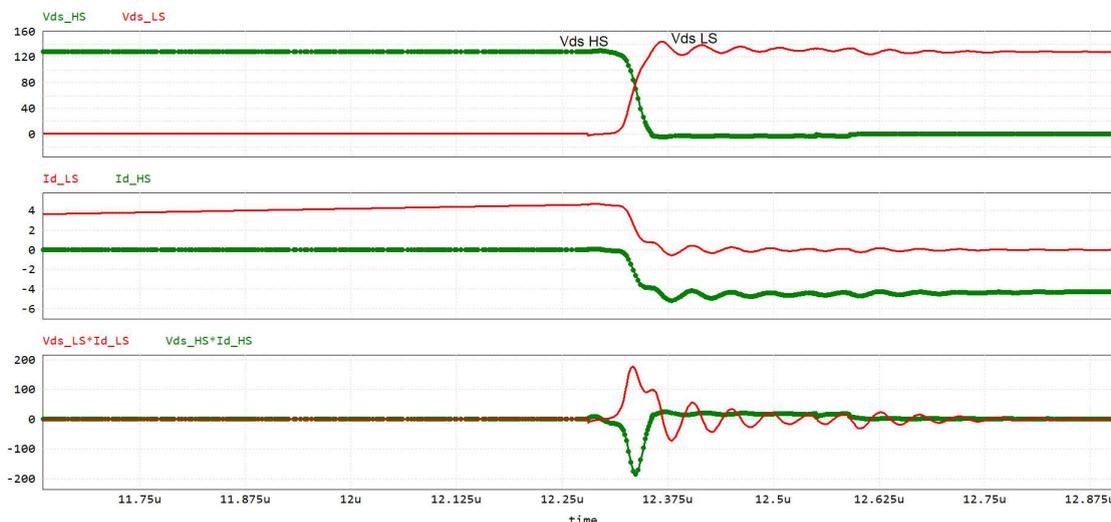
Fonte: Própria autoria (2024).

Nota-se que a potência instantânea durante o ligamento MOSFET *High* e *Low Side* possui valor praticamente médio zero. Esse efeito é causado pela troca de cargas entre as capacitâncias dos dispositivos.

A corrente I_{d_HS} é negativa e está transitando pelo diodo reverso, uma vez que o sinal de *gate* já foi retirado (tempo morto). Com a entrada em condução do transistor LS, o processo de desligamento do diodo reverso produz as oscilações pela interação entre a capacitância do dispositivo HS e as indutâncias do caminho da corrente. Embora, preocupante por problemas de interferência eletromagnética, o fato da potência instantânea ser oscilatória não produz valores elevados de energia dissipada, como se verá adiante.

A Figura 29 ilustra visualmente os sinais V_{ds} , I_d e potência instantânea em cada respectivo MOSFET HS e LS. Pode-se notar que a terceira janela comprova a troca de energia entre as capacitâncias dos MOSFETs *High* e *Low Side*, resultando em pico positivo em um transistor e negativo no outro.

Figura 29 - Sinais de Vds *High* e *Low Side* durante o desligamento MOSFET *Low Side*, razão cíclica em 25%, Corrente (I_d) de Dreno *High* e *Low Side*, e potência instantânea MOSFET *High* e *Low Side* ($R_g = 3\Omega$).



Fonte: Própria autoria (2024).

A Tabela 6 resume alguns dos valores das variações de tempo (10 a 90%) do sinal Vds LS e HS, durante a transição do transistor LS para ligar e desligar. Os valores para o transistor HS são comprometidos pela oscilação que a altera o tempo de transição de 10% a 90% da variação de Vds.

Tabela 6 - Tempos de variações dos sinais Vds LS e Vds HS ($R_g = 3\Omega$, $D = 25\%$).

LS ligando		LS desligando	
Vds LS	Vds HS	Vds LS	Vds HS
$t_F = 19\text{ns}$	$t_R = 8\text{ns}$	$t_F = 27\text{ns}$	$t_R = 25\text{ns}$
Icarga = 1,35A		Icarga = 4,6A	

Fonte: Própria autoria (2024).

A principal consequência é a redução na velocidade de comutação, tornando os processos de chaveamento mais lentos. Também ocorre um pequeno aumento nos atrasos entre o sinal lógico de controle e a comutação efetiva dos dispositivos. Contudo, esses atrasos não afetam de forma significativa as perdas, sendo mais relevantes para o controle do tempo de acionamento do sistema.

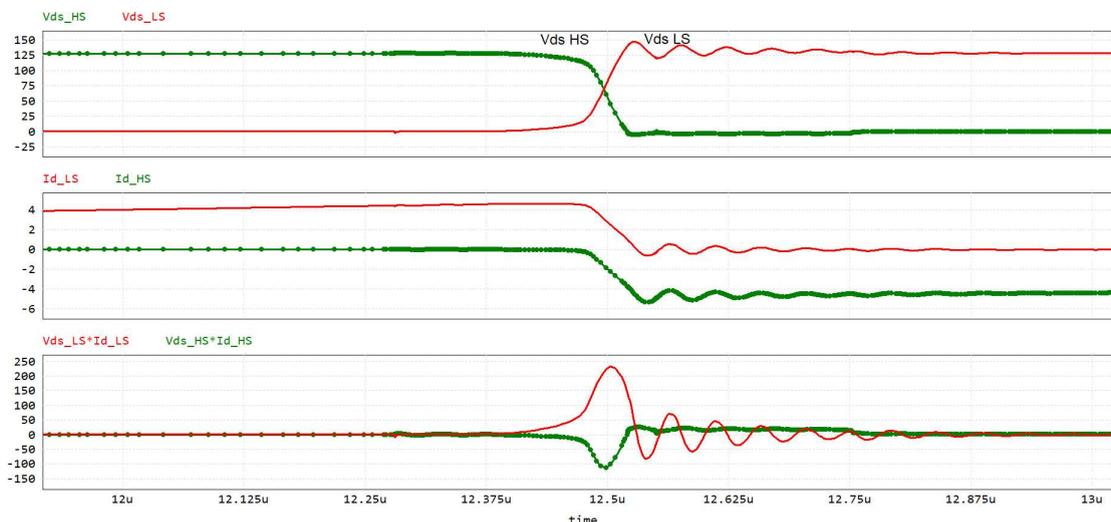
As Figuras 30 e 31 mostram detalhes das comutações com $R_g = 30\Omega$. Notas-se que o acréscimo no resistor de *gate* reduziu as oscilações no transistor LS e também na tensão de carga. O resistor de *gate* maior reduziu significativamente os picos de tensões, devido aos sinais de V_{gs} estarem mais lentos e não excitaram ressonâncias presentes no circuito. O aumento de 10 vezes o valor do resistor de *gate*, os tempos de subida das tensões V_{ds} HS e LS tiveram o dobro do tempo, não foram proporcionais ao acréscimo do resistor de *gate*.

Figura 30 - Sinais de V_{ds} *High* e *Low Side* durante o ligamento MOSFET *Low Side*, razão cíclica em 25%, Corrente (I_d) de Dreno *High* e *Low Side*, e potência instantânea no MOSFET *High* e *Low Side* ($R_g = 30\Omega$).



Fonte: Própria autoria (2024).

Figura 31 - Sinais de Vds *High* e *Low Side* durante o desligamento MOSFET *Low Side*, razão cíclica em 25%, Corrente (I_d) de Dreno *High* e *Low Side*, e potência instantânea MOSFET *High* e *Low Side* ($R_g = 30\Omega$).



Fonte: Própria autoria (2024).

A Tabela 7 apresenta os valores das variações de tempo (10% a 90%) do sinal Vds dos transistores LS e HS durante as transições de acionamento e desligamento do transistor LS. Observou-se que o aumento de 10 vezes no valor do resistor de *gate* dos MOSFETs impactou diretamente no tempo de transição desses sinais. Essa alteração resultou em um aumento significativo no tempo necessário para que o Vds atingisse o intervalo de 10% a 90% de sua variação total. Em particular, no pior cenário, foi observado um aumento de aproximadamente duas vezes no tempo de transição do Vds do transistor HS durante o ligamento. Esse comportamento é esperado, uma vez que o aumento da resistência de *gate* reduz a velocidade de comutação dos transistores, suavizando a variação do sinal, mas ao custo de uma maior dissipação de energia nas transições.

Tabela 7 - Tempos de variações dos sinais Vds LS, Vds HS ($R_g = 30\Omega$, $D = 25\%$).

LS ligando		LS desligando	
Vds LS	Vds HS	Vds LS	Vds HS
$t_F = 44\text{ns}$	$t_R = 17\text{ns}$	$t_F = 42\text{ns}$	$t_R = 44\text{ns}$
$I_{\text{carga}} = 1,35\text{A}$		$I_{\text{carga}} = 4,6\text{A}$	

Fonte: Própria autoria (2024).

O cálculo da energia nos transistores pode ser visualizado na Tabela 8, a seguir. A energia é calculada utilizando a função INT no PSIM. Essa função é o cálculo da integral no instante de tempo durante as transições de ligamento e desligamento de LS e HS.

O uso de uma resistência de *gate* de 30Ω no transistor *Low Side* (LS) resultou em uma energia dissipada cinco vezes maior do que a resistência de *gate* de 3Ω .

Por outro lado, o transistor *High Side* (HS) não apresentou variações significativas no comportamento. Quando o transistor LS é acionado, o diodo interno do MOSFET HS é desligado, fazendo com que o diodo conduza durante o tempo morto, um processo que não depende do *Driver*. Como o diodo não é diretamente controlado pelo *Driver*, a energia dissipada no diodo HS foi de aproximadamente $5\mu\text{J}$ em ambos os cenários com resistências de 30Ω e 3Ω .

Tabela 8 - Energia nos transistores HS e LS.

Energia				
30Ω	LS Ligando	$13,4\mu\text{J}$	LS Desligando	$10\mu\text{J}$
	HS Desligando	$4,5\mu\text{J}$	HS Ligando	$0,5\mu\text{J}$
3Ω	LS Ligando	$2,8\mu\text{J}$	LS Desligando	$4,7\text{J}$
	HS Desligando	$5,8\mu\text{J}$	HS Ligando	$0,43\mu\text{J}$

Fonte: Própria autoria (2024).

3.4 CONCLUSÕES PARCIAIS

O aumento da resistência de *gate* no LS torna o processo de desligamento mais lento, elevando a dissipação de energia. No HS, a energia de comutação é estável, influenciada principalmente pelas capacitâncias do transistor e indutâncias do circuito. A razão cíclica de 50% permite transições suaves na corrente de saída, mas, em cenários práticos, onde a razão cíclica varia, esse comportamento pode ser alterado. Ao diminuir a razão cíclica para 25%, a corrente de saída perde suas características simétricas, não cruzando mais o zero e resultando em transições menos suaves.

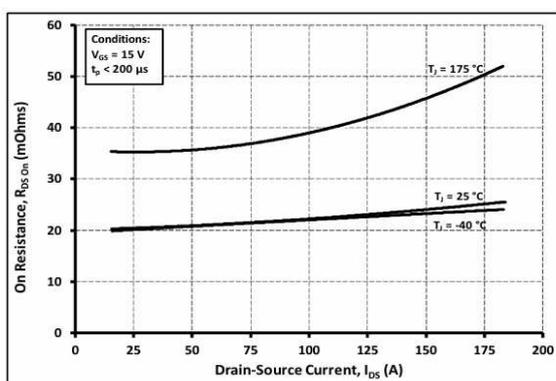
A resistência de *gate* no transistor LS tem impacto significativo na dissipação de energia: uma resistência de 30Ω resulta em uma dissipação cinco vezes maior do que uma resistência de 3Ω , uma solução seria usar o valor projetado 19Ω . Já no transistor HS, a energia dissipada permanece praticamente inalterada, pois o diodo interno do MOSFET HS conduz durante o tempo morto, independentemente do *Driver*. Elementos parasitas, como indutâncias e capacitâncias, causam oscilações e picos de tensão, especialmente durante a comutação. A escolha de uma resistência de *gate* de 30Ω , calculada com base na impedância de ressonância, reduz esses picos, pois os sinais de *gate* operam mais lentamente, evitando a excitação de ressonâncias indesejadas.

O capítulo 4 irá conduzir os resultados experimentais. Os ensaios vistos em simulação serão, novamente, conduzidos em protótipos e analisados os impactos da variação da resistência de *gate*.

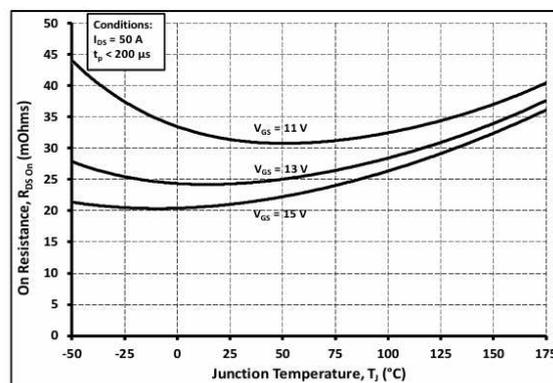
4. RESULTADOS EXPERIMENTAIS

A bancada de teste foi montada para comparar as características dos MOSFETs de silício e carbeto de silício. Foi utilizado o MOSFET de SiC modelo C3M0021120K, do fabricante CREE/Wolfspeed (datasheet em anexo). Suas principais especificações são: tensão dreno-source de 1.200 V, corrente de dreno de 74 A (a $T_c = 100^\circ\text{C}$) e resistência $R_{ds(on)}$ de 38 m Ω , conforme ilustrado na Figura 32. Ao utilizar o MOSFET SiC em aplicações de corrente superior a 74A é necessário reduzir a temperatura da cápsula, Figura 32, também outro fator que varia conforme a temperatura T_c é resistência R_{ds} . O SiC utiliza o encapsulamento TO-247-4L de 4 pinos, enquanto o Si usa o TO-247 padrão de 3 pinos, Figura 33.

Figura 32 - (a) Relação R_{ds} SiC x Corrente de Dreno; (b) Relação R_{ds} SiC x Temperatura da Junção.



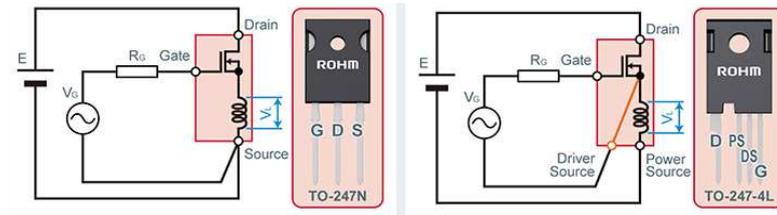
(a)



(b)

Fonte:Wolfspeed (2023).

Figura 33 - Encapsulamento TO-247 MOSFET Si e SiC



Fonte: Rohm (2019).

O MOSFET Si, a escolha foi o MTW10N100E, com 1kV de tensão *dreno-source*, 10A ($T_C = 100^\circ\text{C}$) de corrente de dreno e resistência R_{ds} de $1,3\Omega$. A diferença mais evidente entre eles é a resistência série em estado ligado, onde o R_{ds} do SiC é significativamente menor, proporcionando menores perdas de condução. O principal critério de seleção do MOSFET Si foi a proximidade de tensão com o dispositivo SiC. Caso se desejasse também a compatibilidade de corrente seria necessário colocar 8 destes em paralelo. Mesmo que isso seja feito, a resistência equivalente R_{ds} seria de $165\text{m}\Omega$, quatro vezes e meia maior que a resistência do MOSFET SiC.

Um exercício simples, supondo que a corrente de dreno seja 8A, o MOSFET SiC dissiparia 2,42W em $R_{ds} = 38\text{m}\Omega$. No caso do MOSFET Si único, a potência dissipada seria de 83,2W. Para realizar uma comparação equivalente seria com oito transistores Si em paralelo, cada um dissiparia 1,3W, totalizando 10,4W.

Nos encapsulamentos convencionais de 3 pinos (TO-247N), a tensão V_g é afetada devido à queda de tensão causada pela indutância série parasita no terminal *Source*. O encapsulamento TO-247-4L de 4 pinos separa o terminal do *Driver* daquela de potência, minimizando os efeitos da indutância parasita e melhorando o desempenho do circuito de comando (ROHM, 2019).

A capacitância de entrada e a carga total do *gate* são comparáveis entre os dois tipos de MOSFET. O SiC possui uma capacitância de entrada de $4,8\text{nF}$ e uma carga total do *gate* de 162nC , enquanto o Si tem uma capacitância de entrada de $3,5\text{nF}$ e uma carga total do *gate* de 100nC . O hipotético uso de oito MOSFETs Si em paralelo aumentaria proporcionalmente esses valores e seria necessário reprojeter o *Driver*.

O mesmo *Driver* foi usado para acionar ambos os MOSFETs. As diferenças que serão observadas serão devidas às características dos transistores e não ao *Driver*. O circuito de comando foi projetado com as mesmas especificações. As tensões do *Driver* variam de 12V a 0V, 12V representa o nível alto de ligamento da chave, enquanto 0V é o nível baixo de desligamento da chave. Os resistores de *gate* foram projetados para o mesmo valor de 3Ω. A topologia do ensaio foi a mesma meia ponte ZVS vista no capítulo de simulação.

Tabela 9 - Características dos MOSFETs Si e SiC ($T_c = 100^\circ\text{C}$).

Parâmetros	MTW10N100E (Si)	C3M0021120K (SiC)
V_{ds}	1000V	1200V
I_d	10A	78A
$V_{gs(th)}$	3,0V~7,0V	2,0V~2,5V
$V_{ds(on)}$	11,0V~15V	0,2V~0,8V
$R_{ds(on)}$	1,3Ω	38mΩ
C_{iss}	3500pF	4818pF
C_{oss}	264pF	180pF
C_{rss}	52pF	12pF
t_r	120ns	33ns
Q_G	120nC	162nC
<i>Encapsulamento</i>	TO-247-3N	TO-247-4P

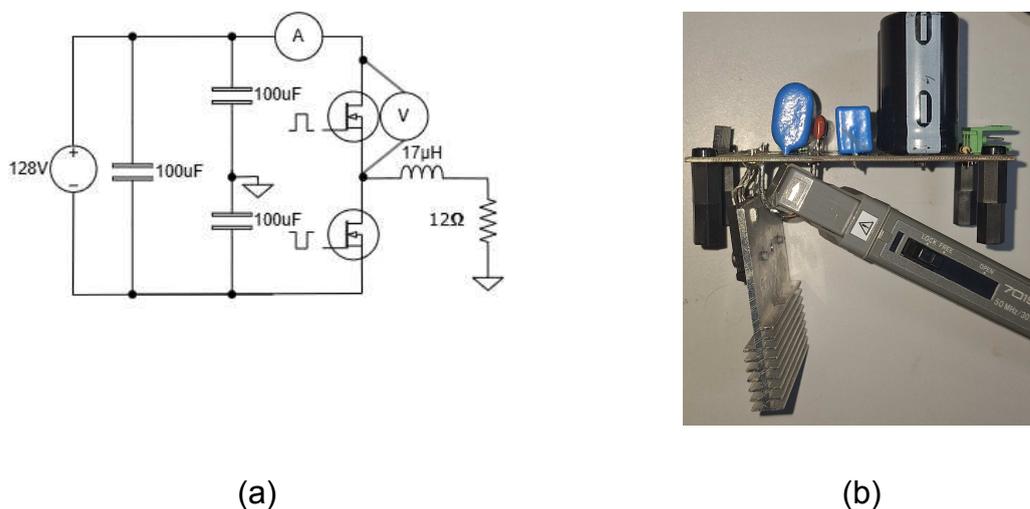
Fonte: Própria autoria (2024).

Em termos de estrutura interna do transistor, a alta tensão V_{ds} exige uma dopagem menor na região de dreno que leva um comprimento maior entre as junções PN. No SiC a dopagem pode ser maior devido ao campo elétrico suportado ser mais elevado. Dopagem maior e menor comprimento da região de deriva resultam R_{ds} menores.

Para analisar o desempenho desses MOSFETs, foi montado um conversor meia ponte com carga RL, foi definida a frequência de chaveamento em 100kHz. A carga usada foi um resistor de potência de 400W com resistência de 15Ω. Esse componente apresenta uma indutância parasita de 17μH devido à construção com

fios bobinados. A Figura 34 mostra o diagrama esquemático do conversor utilizado nos testes. O esquema completo pode ser encontrado no Apêndice D.

Figura 34 - Inversor Meia Ponte Medidas de Corrente e Tensão.



Fonte: Própria autoria (2024).

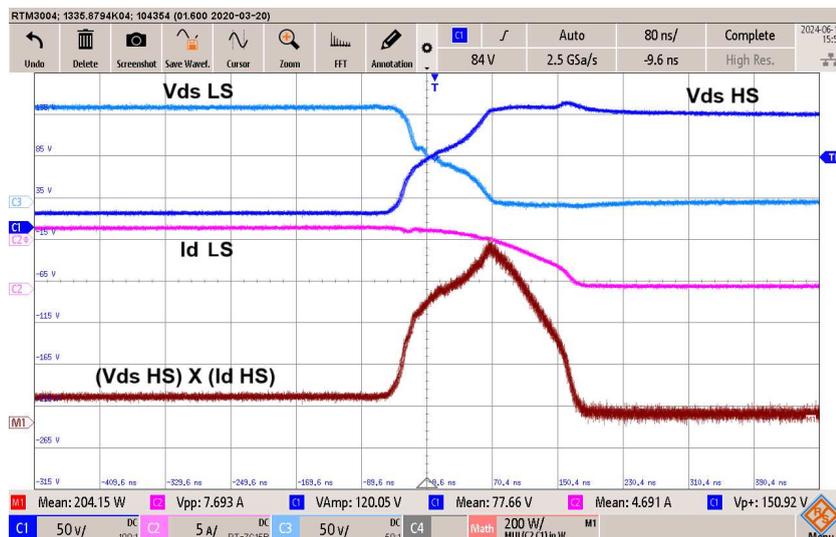
4.1 ENSAIO DO CONVERSOR MEIA PONTE COM MOSFET Si

O primeiro teste foi realizado com o MOSFET Si, como mostrado na Figura 36. O tempo de subida da tensão V_{ds} deste MOSFET foi 104ns. O valor do tempo de subida considera a variação de 10% a 90% do valor de tensão nominal.

A Figura 36 ilustra os sinais de tensão V_{ds} e corrente de dreno do MOSFET HS Si durante o desligamento. O produto da tensão V_{ds} *High Side* e corrente de dreno *High Side*, representa a potência instantânea no transistor.

Uma vez que o sinal de potência instantânea não apresenta oscilações, pode-se afirmar que representa a potência dissipada no dispositivo. A área sob o sinal de potência representa dissipada na comutação de desligamento. O patamar anterior à comutação representa a perda de condução do MOSFET Si. Todo o processo de desligamento ocorre a mais de 200ns. No momento do desligamento a corrente de dreno é 4,67A.

Figura 36 - Ensaio MOSFET Si no desligamento em HS, Vds LS (Esc. Vert.: 50V/div - sinal azul claro), Vds HS (Esc. Vert.: 50V/div - sinal azul), Corrente de Dreno LS ((Esc. Vert.: 5A/div - sinal rosa), Potência Instantânea HS (Esc. Vert.: 200W/div - sinal marrom) e escala de tempo (80ns/div).

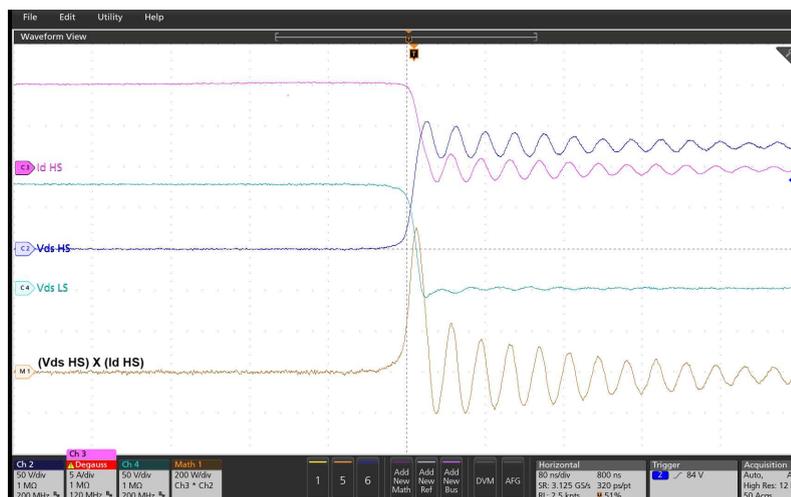


Fonte: Própria autoria (2024).

A Figura 37 ilustra os sinais de tensão Vds e corrente de dreno do MOSFET HS Si durante o ligamento nas mesmas condições da Figura 36. O processo de entrada em condução é muito mais rápido do que o desligamento, que é essencialmente determinado pelas características do *Driver*. Já o desligamento do MOSFET Si é determinado, principalmente, pelos processos internos do transistor, sendo pouco afetado pelo acionamento.

A corrente Id HS na Figura 37 assume um valor negativo por transistor pelo diodo reversor do transistor. A energia dissipada é menor do que no desligamento.

Figura 38. Ensaio MOSFET SiC no desligamento em HS, Vds LS (Esc. Vert.: 50V/div - sinal azul claro), Vds HS(Esc. Vert.: 50V/div - sinal azul), Corrente de Dreno LS ((Esc. Vert.: 5A/div - sinal rosa), Potência Instantânea HS (Esc. Vert.: 200W/div - sinal marrom) e escala de tempo (80ns/div).

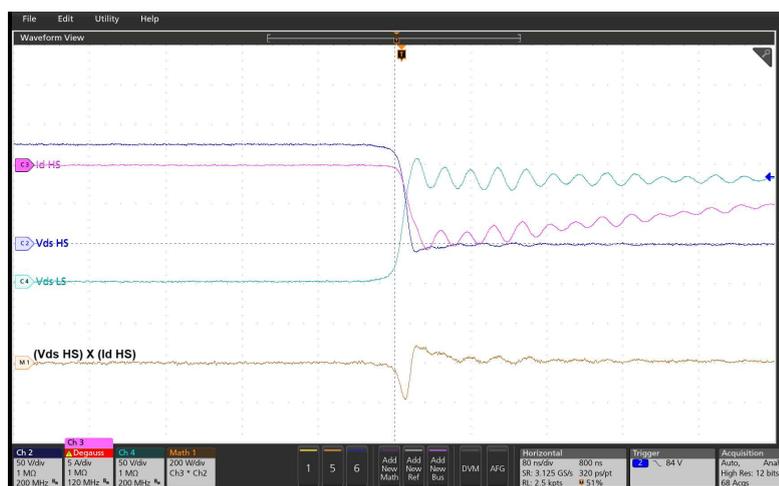


Fonte: Própria autoria (2024).

Em termos do sinal de potência instantânea, à exceção do primeiro pico, as oscilações não produzem energia dissipada significativa, uma vez que seu valor médio é nulo. Já o pico inicial precisa ser confrontado com o comportamento do outro transistor, pois pode estar associado a transferência de carga entre as capacitâncias.

A Figura 39 ilustra os sinais de tensão Vds e corrente de dreno do MOSFET SiC durante o ligamento. O produto da tensão Vds e corrente de dreno negativo não é uma potência dissipada no MOSFET. Efeito ocorre durante as transições de tensões Vds, e troca de carga entre as capacitâncias dos MOSFETs *High* e *Low Side*.

Figura 39 - Ensaio MOSFET SiC no desligamento em HS, Vds LS (Esc. Vert.: 50V/div - sinal azul claro), Vds HS(Esc. Vert.: 50V/div - sinal azul), Corrente de Dreno LS ((Esc. Vert.: 5A/div - sinal rosa), Potência Instantânea HS (Esc. Vert.: 200W/div - sinal marrom) e escala de tempo (80ns/div).



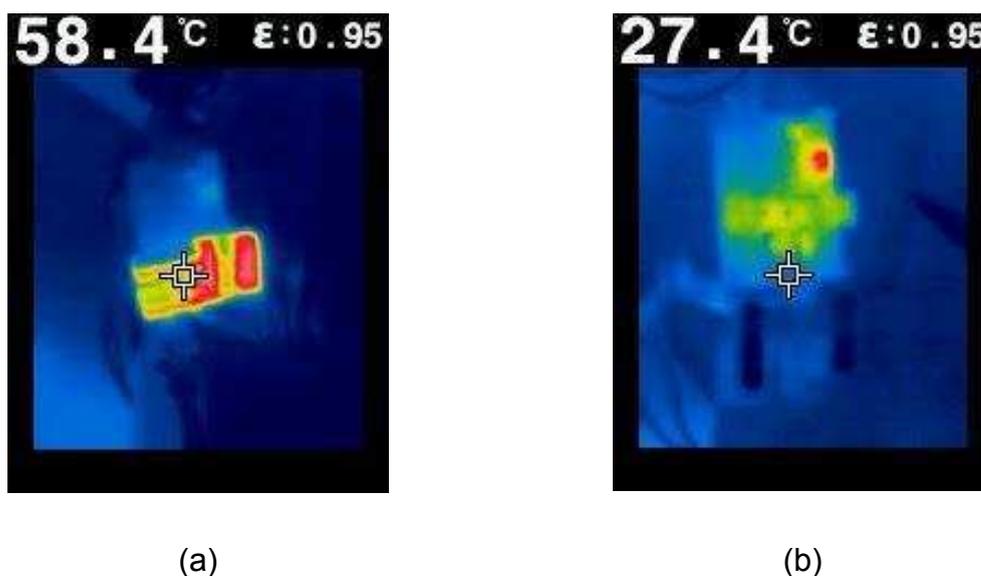
Fonte: Própria autoria (2024).

As Figuras 40a e 40b apresentam a análise térmica dos MOSFETs Si e SiC. Como mencionado anteriormente, o MOSFET Si tem maiores perdas por condução e comutação, o que leva a um aumento de temperatura. Em contraste, o MOSFET SiC, com suas menores perdas, resulta em um aquecimento reduzido. Isso se deve ao comportamento de banda larga desse dispositivo, que permite a operação com concentrações de dopantes muito maiores do que no Si. Como resultado, o SiC apresenta menor resistência elétrica e maior capacidade de suportar tensões elevadas, o que leva a menores perdas durante a condução e a comutação, reduzindo significativamente o aquecimento do componente. A temperatura local no momento da medida era 24°C. Ambos Si e SiC apresentaram o dissipador com semelhantes dimensões.

Assim como na simulação, dada a rapidez das comutações, pode-se dizer que estas se realizam como ZVS, com as próprias capacitâncias do MOSFET SiC servindo para a comutação suave. Isso não ocorre para o MOSFET Si, pois sua transição é muito mais lenta, caracterizando uma comutação dissipativa.

Outro fator que pode ser notado é as oscilações presentes na comutação do MOSFET SiC, isso é causado pela a rápida transição da tensão V_{ds} , que excita ressonâncias presentes no circuito eletrônico. Por outro lado, esse fenômeno não ocorre no Si, pois sua transição é mais lenta e não excita as componentes indutivas e capacitivas parasitas do circuito.

Figura 40 - Análise térmica (a) MOSFETs Si e (b) MOSFETs SiC.



Fonte: Própria autoria (2024).

Os testes e análises comparativas entre MOSFETs Si e SiC mostraram diferenças significativas em termos de desempenho elétrico e térmico. O MOSFET SiC apresenta vantagens importantes, como menor resistência série (R_{ds}), e menores perdas por condução, resultando em menor aquecimento.

No contexto de um conversor meia ponte, o tempo de variação da tensão V_{ds} nas comutações é influenciado pela corrente da carga. Quando a corrente de carga diminui, o tempo de variação da tensão V_{ds} tende a se prolongar.

Para corrente de carga baixa, resultam em tempos de variação mais lentos. Devido à baixa corrente de carga, o efeito do acionamento do *gate Driver* não é determinante na comutação dos transistores. Em baixas correntes, as capacitâncias do transistor definem o dv/dt da comutação. Portanto, para analisar a comutação limite do transistor, é fundamental trabalhar com correntes de cargas elevadas.

Dessa forma, os sinais analisados podem representar adequadamente o acionamento do *gate Driver* e do transistor.

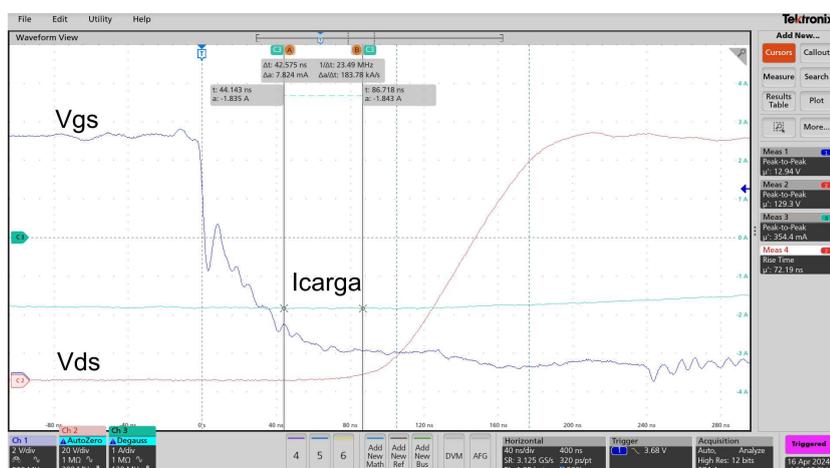
De modo simplificado, para o circuito, o processo de variação da tensão V_{ds} associado apenas a capacitância, determina um tempo de transição (Δt), Capacitância de saída (C_{oss}), tensão nominal (E), corrente de dreno (I_d)(9):

$$\Delta t = \frac{2C_{oss}E}{I_d} \quad (9)$$

No cenário de testes, o valor do indutor é $25 \mu\text{H}$, enquanto varia-se o valor da resistência para 6Ω , 12Ω e 22Ω . Durante esses intervalos de dezenas de nanossegundos, a corrente pode ser considerada constante devido à carga indutiva. É essa corrente que conduz a troca de cargas nas capacitâncias dos transistores, determinando assim o dv/dt no circuito.

A Figura 41 ilustra o momento de transição V_{gs} e V_{ds} , com carga 22Ω , e corrente de $1,83\text{A}$ no momento da comutação. O tempo de subida da tensão (V_{ds}) é de 72 ns . Nota-se que a qualidade do sinal V_{gs} em todos os cenários foi a mesma. Esse sinal se manteve estável e não houve falso acionamento dos transistores.

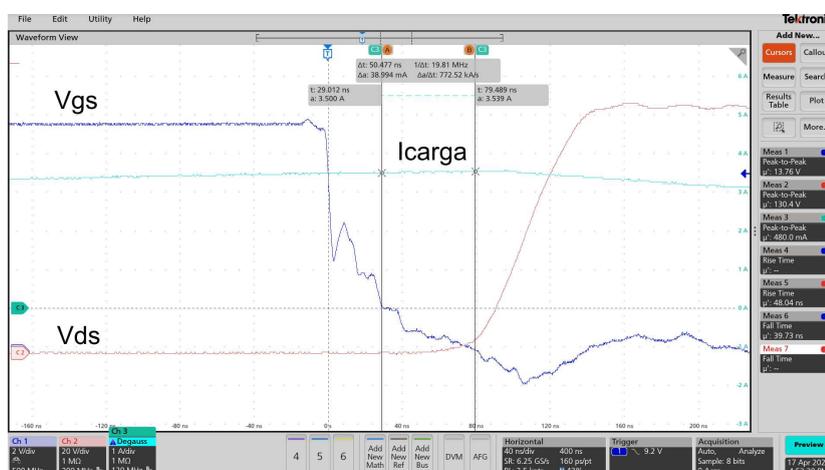
Figura 41 - Sinais de V_{gs} (Esc. Vert.: 2V/div), V_{ds} (Esc. Vert.: 20V/div) e Corrente de Carga (Esc. Vert.: 1A/div) para carga resistiva 22Ω (Esc. Hor.: 40ns/div).



Fonte: Própria autoria (2024).

A Figura 42 ilustra o momento de transição V_{gs} e V_{ds} , com carga 6Ω , e corrente de $3,50A$ no momento da comutação. O tempo de subida da tensão (V_{ds}) é de $44ns$. Considerando a equação (9) e que C_{oss} para $E = 128V$ é aproximadamente $400pF$ (conferir *datasheet*), o tempo de subida da tensão seria $56ns$ para $I_d = 1,83A$. Já para $I_d = 3,5A$ o tempo de subida da tensão seria $30ns$.

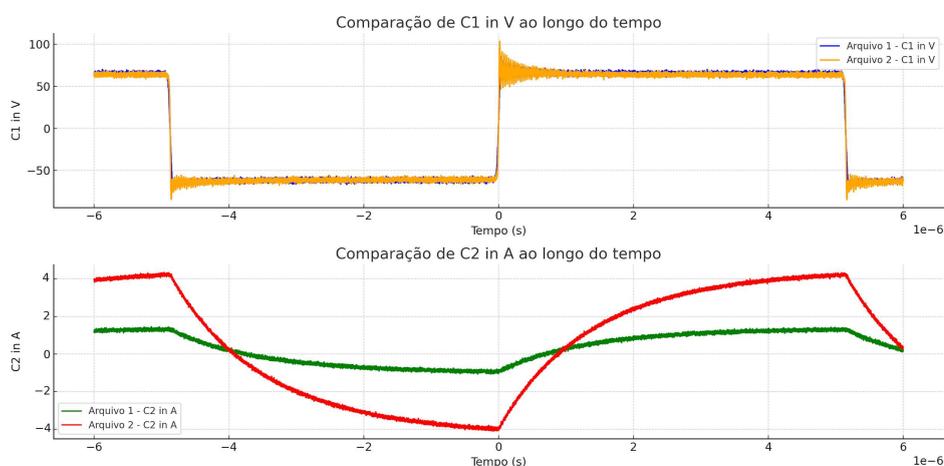
Figura 42. Sinais de V_{gs} (Esc. Vert.: $2V/div$), V_{ds} (Esc. Vert.: $20V/div$) e Corrente de Carga (Esc. Vert.: $1A/div$) para carga resistiva 6Ω (Esc. Hor.: $40ns/div$).



Fonte: Própria autoria (2024).

As amplitudes da corrente de carga podem ser visualizadas na Figura 43. Esses sinais de corrente foram coletados com as cargas de 6Ω e 22Ω .

Figura 43 - Tensão e corrente de carga do conversor meia ponte com cargas de 6Ω e 22Ω .



Fonte: Própria autoria (2024).

A Tabela 10 ilustra os valores obtidos nos ensaios de carga variável, os tempos de subida e corrente na comutação.

Tabela 10 - Valores Obtidos de Tempo de Subida com Carga Variável.

Carga	t_r (ns)	Corrente na comutação (A)
22Ω $25\mu\text{H}$	72	1,83
12Ω $25\mu\text{H}$	53	2,51
6Ω $25\mu\text{H}$	44	3,50

Fonte: Própria autoria (2024).

O intervalo de transição não é diretamente proporcional à corrente, pois depende do *gate Driver* e do próprio transistor. No entanto, o efeito capacitivo e a corrente no momento da transição limitam a velocidade da comutação.

4.3 DISPOSITIVO PARA OS ENSAIOS DE COMUTAÇÃO FORÇADA

Os ensaios e testes subsequentes foram conduzidos utilizando uma nova versão da placa de *Driver* e Conversor, Figura 44. Essa nova abordagem integra

funcionalidades em um design mais compacto e eficiente. As versões do Conversor e *Driver* podem ser visualizadas no Apêndice E.

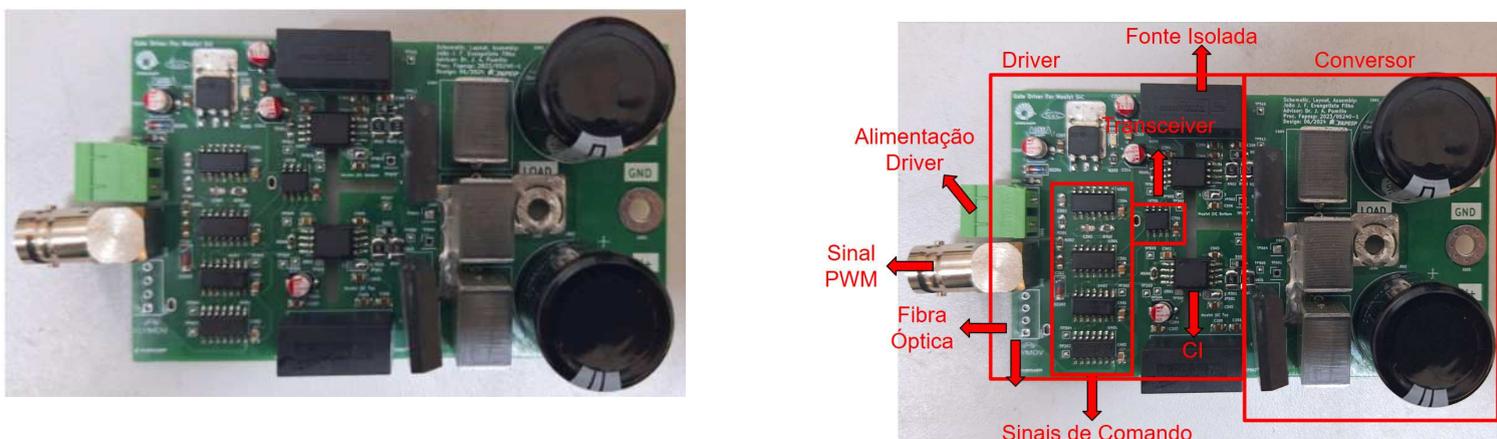
Uma das inovações mais significativas foi a inclusão de um *transceiver* diferencial para o sinal de comando. Essa tecnologia permite maior imunidade à EMI. Os sinais diferenciais ajudam a preservar a integridade dos comandos enviados para o *Driver*.

Outra melhoria fundamental foi a implementação do desligamento por tensão negativa no *gate* dos transistores. Essa funcionalidade é crucial para evitar o disparo indesejado dos MOSFETs, especialmente em dispositivos SiC que possuem menor tensão de limiar (V_{gs-TH}). A aplicação de uma tensão negativa durante o desligamento garante que os transistores permaneçam adequadamente desligados.

A integração do *Driver* e do Conversor em uma única placa representou um marco importante no projeto. Essa unificação resultou em um layout mais compacto, reduzindo a quantidade de interconexões e minimizando indutâncias parasitas. A redução dessas indutâncias é essencial para evitar oscilações em V_{ds} .

Outro avanço notável foi a adoção de fibra óptica para transmissão do PWM. Essa tecnologia elimina a necessidade de conexões elétricas diretas para o sinal de comando, proporcionando isolamento galvânico completa entre o circuito de controle e o circuito de potência. Além disso, a fibra óptica oferece alta imunidade à EMI.

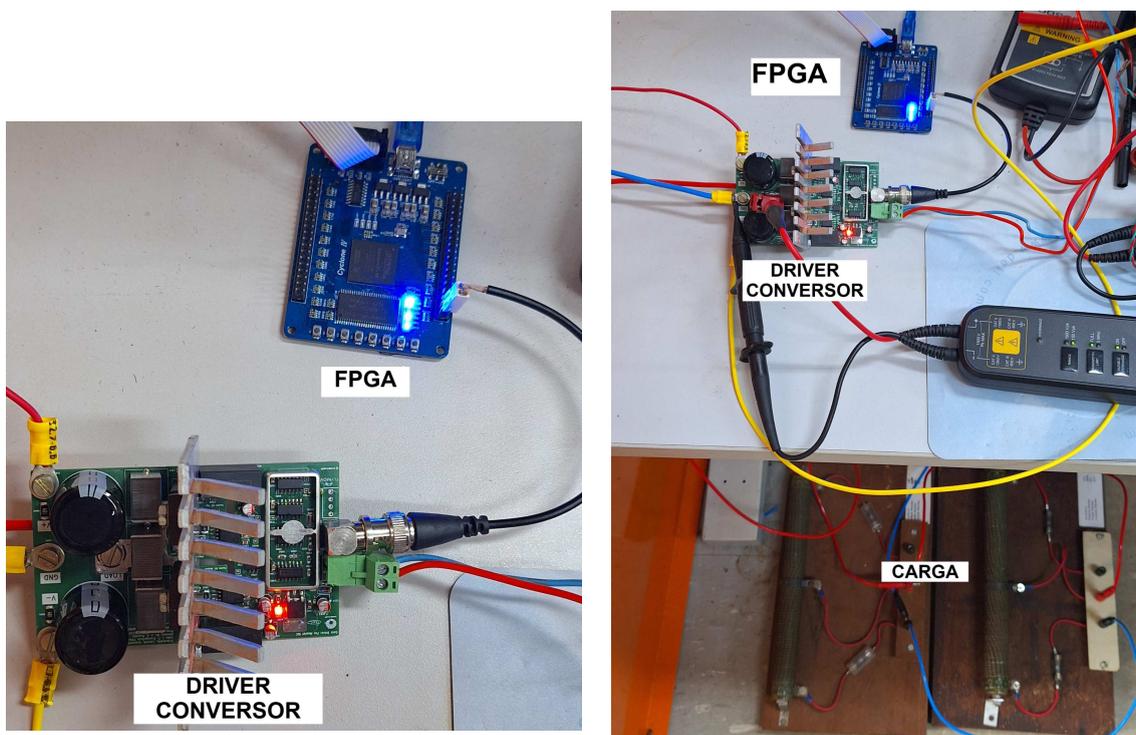
Figura 44 - Nova versão do *Driver* e Conversor.



Fonte: Própria autoria (2024).

A bancada de ensaios com a nova versão do Driver e Conversor pode ser vista na Figura 45. Os ensaios usam os dispositivos FPGA para gerar os pulsos PWM, a placa de Driver e Conversor SiC e uma carga resistiva.

Figura 45 - Bancada de testes da versão atual do Driver e Conversor.



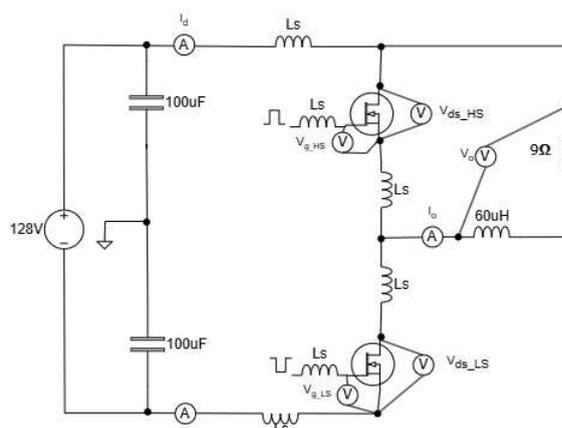
Fonte: Própria autoria (2024).

Anteriormente, com razão cíclica de 50%, os transistores realizam uma transição suave, não havendo problemas de recuperação reversa do diodo intrínseco dos MOSFETs.

Nos próximos ensaios, a razão cíclica foi alterada para 25%, aplicada ao transistor LS. Essa diminuição na razão cíclica impacta diretamente a corrente de saída. Anteriormente, a corrente de saída apresentava características simétricas: mesma amplitude positiva e negativa, e cruzava o zero como um sinal CA. Com a mudança da razão cíclica, essas características simétricas da corrente de saída serão alteradas. A corrente não terá os mesmos valores positivos e negativos e não cruzará o zero, levando a comutação forçada do diodo reversor do MOSFET HS. A fim de evitar que a corrente da carga se anule ou se inverta durante a operação, a

carga foi conectada ao terminal positivo da fonte, e a razão cíclica do sinal de controle foi ajustada para 25%. Essa configuração assegura que a corrente permaneça unidirecional, mesmo durante a comutação dos dispositivos no inversor meia ponte, ilustrada na Figura 46.

Figura 46 - Esquema da carga RL e razão cíclica em 25%.



Fonte: Própria autoria (2024).

Para realizar as medições de corrente no dreno dos MOSFETs *High* e *Low Side* usando uma sonda de corrente Hall, foi inserido um fio rígido em série com o dreno de cada transistor, como mostrado na Figura 47. No entanto, devido ao comprimento do fio (4 cm), é esperado que essa indutância adicional agrave as oscilações nos sinais medidos. Foram feitos quatro ensaios: com *loop* de corrente e resistor de *gate* de 3Ω; Sem *loop* de corrente e resistor de *gate* de 3Ω; Com *loop* de corrente e resistor de *gate* de 30Ω; Sem *loop* de corrente e resistor de *gate* de 30Ω.

Figura 47 - Fio rígido para medir as correntes de dreno (*loop* Indutivo).



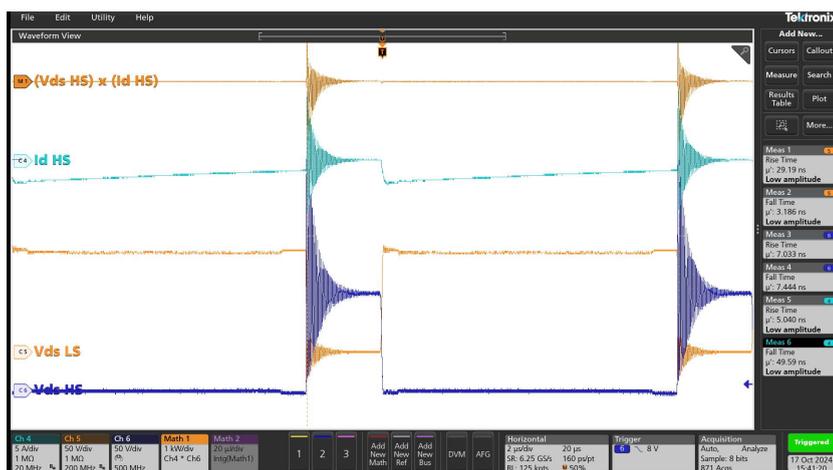
Fonte: Própria autoria (2024).

4.4 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / COM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E $R_G = 3\Omega$

As Figuras 48, 49 e 50 ilustram a comutação dos transistores. As próximas Figuras tiveram a corrente medida usando uma sonda de corrente com *loop* indutivo e resistor de *gate* de 3Ω .

A Figura 48 mostra que apenas uma das comutações é muito ruidosa, a da entrada em condução do MOSFET LS. A Figura 49 mostra detalhes dessa transição. O desligamento deste transistor se faz sem qualquer ruído.

Figura 48 - Sinais de Potência Instantânea no MOSFET HS (1kW/div), Corrente (I_d) de Dreno HS (5A/div), V_{ds} LS e HS (50V/div), (2 μ s/div), (Com *loop* e R_g 3Ω).



Fonte: Própria autoria (2024).

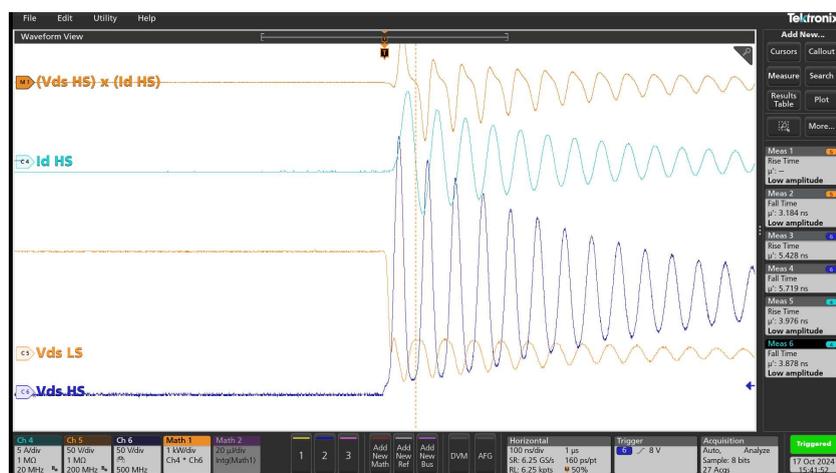
Com o transistor LS desligado, a corrente da carga circula em roda livre pelo canal do MOSFET LS. Devido ao tempo morto, o transistor HS é desligado antes de ser aplicado o sinal de gate do transistor inferior. Nesse intervalo a continuidade da corrente da carga se dá pelo diodo reverso do MOSFET HS. Isso pode ser verificado pela pequena mudança na tensão V_{ds} HS nos momentos que antecedem e sucedem a condução do MOSFET LS na Figura 48.

Quando o transistor LS entra em condução forçada o desligamento do diodo reverso da chave HS opera em livre-circulação, e é diretamente impactado pela recuperação reversa do diodo parasita de HS. Adiciona-se o efeito da indutância

aumentada pela colocação do ponto de observação da corrente de dreno, e resulta a forte oscilação observada na tensão V_{ds} HS, Figura 49. Ainda na respectiva corrente, a qual passa também pelo transistor LS devida as indutâncias internas da chave e suas conexões.

O produto de V_{ds} HS e I_{d} HS não é uma potência dissipada, mas se associa a uma troca de energia entre os elementos reativos do circuito. A potência instantânea durante o desligamento MOSFET HS possui valor médio praticamente zero, logo com pequena dissipação de potência. Uma qualificação das perdas será feita em seguida.

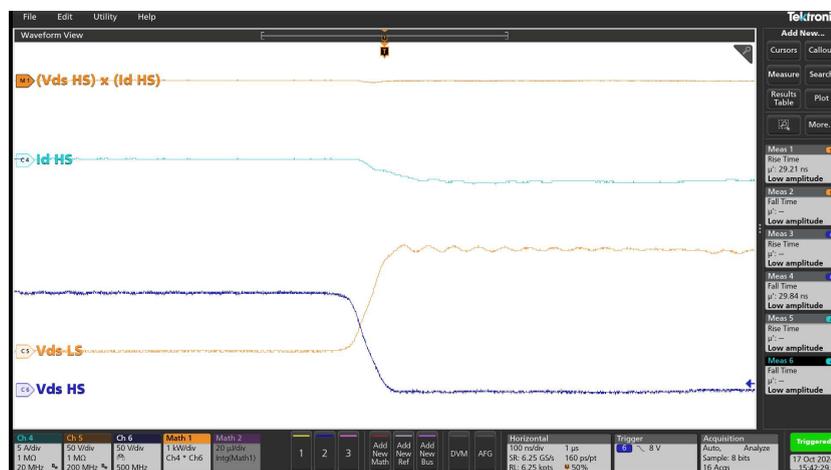
Figura 49 - Sinais HS e LS durante a entrada em condução do MOSFET LS, Potência Instantânea no MOSFET HS (1kW/div), Corrente (I_d) de Dreno HS (5A/div), V_{ds} LS e HS (50V/div), (100ns/div), (Com $loop$ e R_g 3 Ω).



Fonte: Própria autoria (2024).

A Figura 50 ilustra o ligamento do MOSFET HS. Nessa situação não ocorre as oscilações vistas anteriormente, uma vez que a entrada em condução do diodo intrínseco do transistor HS ocorre suavemente com a comutação ZVS produzida pelas capacitâncias dos transistores. Em seguida, o canal do MOSFET é formado e este assume a corrente, desligando o diodo com corrente nula. Note que a corrente de dreno (I_{d} HS) é negativa.

Figura 50 - Sinais HS e LS durante o ligamento do MOSFET LS, Potência Instantânea no MOSFET HS (1kW/div), Corrente (Id) de Dreno HS (5A/div), Vds LS e HS (50V/div), (100ns/div), (Com *loop* e R_g 3 Ω).

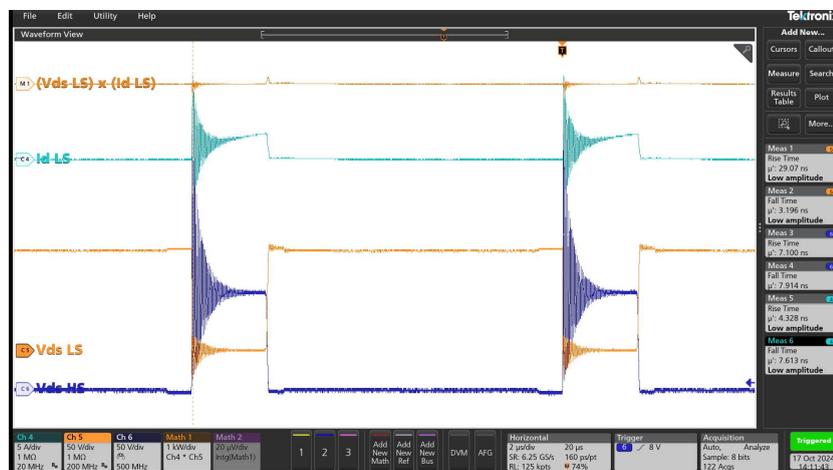


Fonte: Própria autoria (2024).

As Figuras 51, 52 e 53 ilustram as comutações dos transistores durante no ligamento e desligamento do MOSFET *Low Side*, respectivamente.

O desligamento do MOSFET LS, mostrado na Figura 51, não apresenta transitórios expressivos. Quando LS desliga, o diodo reverso (e posteriormente o canal) do transistor HS assume a continuidade da corrente da carga. Essa transição é dominada pela troca de energia entre as capacitâncias dos transistores.

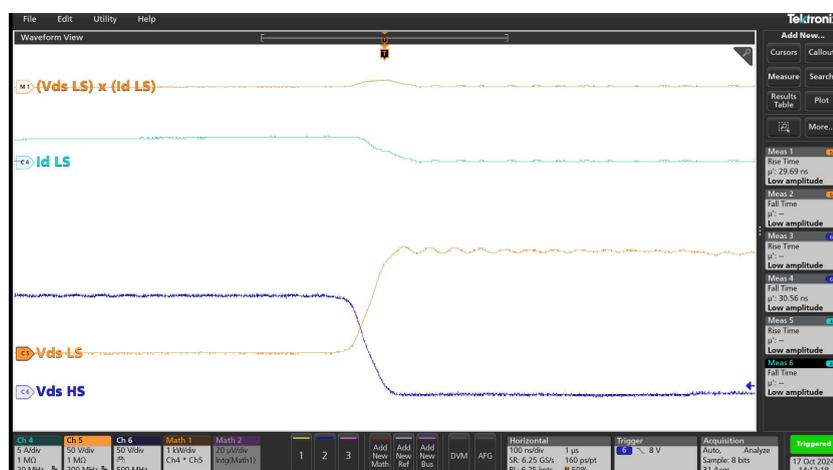
Figura 51 - Sinais de Potência Instantânea no MOSFET LS (1kW/div), Corrente (I_d) de Dreno LS (5A/div), V_{ds} LS e HS (50V/div), (2 μ s/div), (Com *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

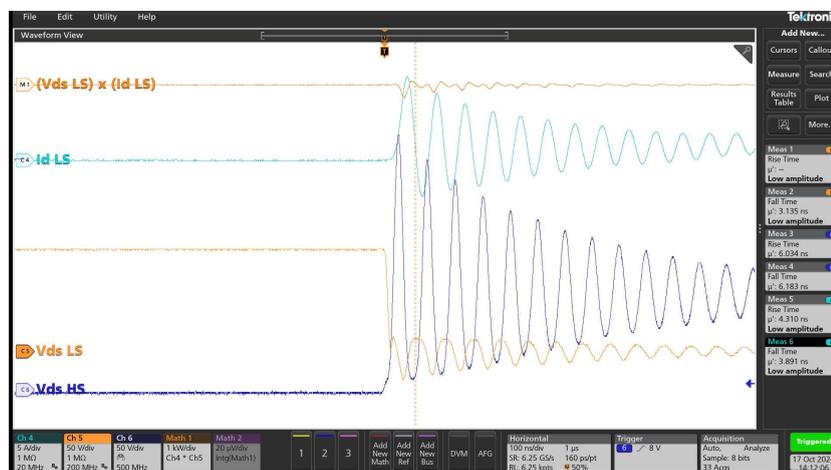
Na entrada em condução do transistor LS, o processo de desligamento do diodo reverso produz as oscilações pela interação entre a capacitância do dispositivo HS e as indutâncias do caminho da corrente.

Figura 51 - Sinais HS e LS durante o desligamento do MOSFET LS, Potência Instantânea no MOSFET LS (1kW/div), Corrente (I_d) de Dreno LS (5A/div), V_{ds} LS e HS (50V/div), (100ns/div), (100ns/div), (Com *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

Figura 52 - Sinais HS e LS durante o ligamento do MOSFET LS, Potência Instantânea no MOSFET LS (1kW/div), Corrente (Id) de Dreno LS (5A/div), Vds LS e HS (50V/div), (100ns/div), (100ns/div), (Com *loop* e Rg 3Ω).



Fonte: Própria autoria (2024).

A Tabela 11 ilustra os valores de tempos de subida e descida das tensões Vds HS e LS durante as transições de ligamento e desligamento do transistor LS. O t_R medido em Vds HS é afetado pela forte oscilação nessa sinal de tensão. De qualquer modo, vê-se nas comutação do MOSFET LS, pouco afetada pela ressonância, que o processo de desligamento é mais lento.

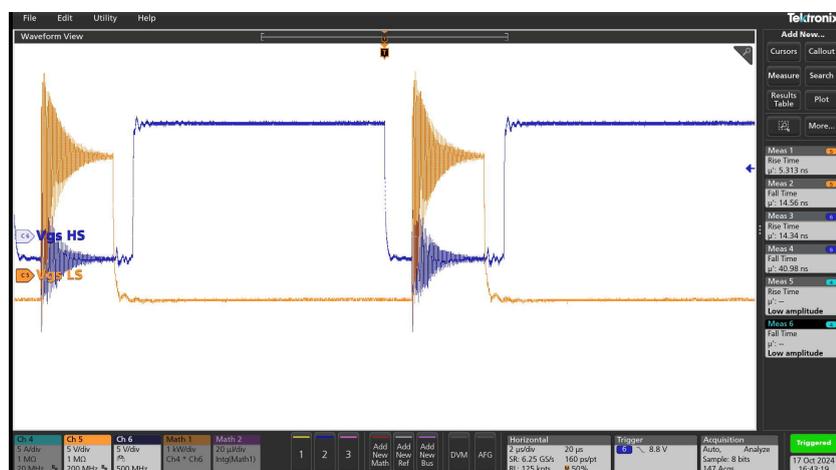
Tabela 11 - Tempos de variações dos sinais Vds LS e Vds HS (Rg = 3Ω, Com *loop*).

LS ligando		LS desligando	
Vds LS	Vds HS	Vds LS	Vds HS
$t_F = 3ns$	$t_R = 6ns$	$t_R = 29ns$	$t_F = 30ns$

Fonte: Própria autoria (2024).

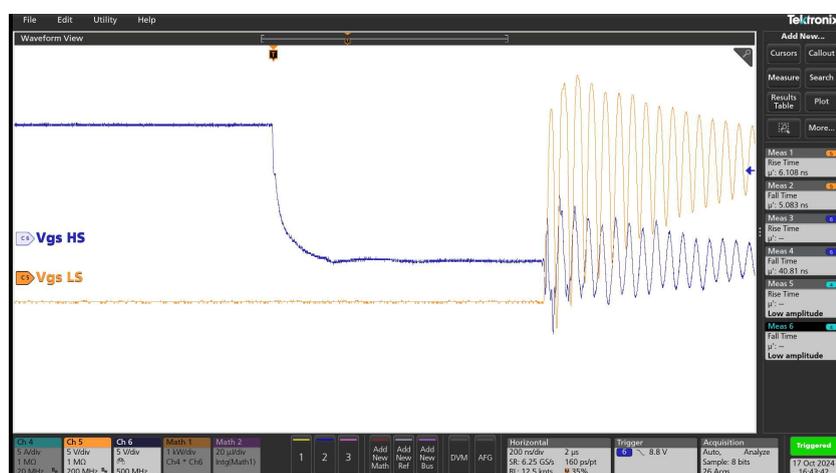
A forte oscilação na tensão *Dreno-Source* no desligamento do dispositivo HS (diodo reverso) levava a uma variação na tensão *gate-Source* dos transistores (Figura 53), podendo criar situações problemáticas de múltiplas comutações e aumento de perdas nos dispositivos.

Figura 53 - Sinais de V_{gs} High e Low Side (5V/div), (2 μ s/div) (Com *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

Figura 54 - Detalhe dos sinais de V_{gs} HS e LS na entrada em condução no transistor LS (5V/div), (200ns/div) (Com *loop* e R_g 3 Ω).

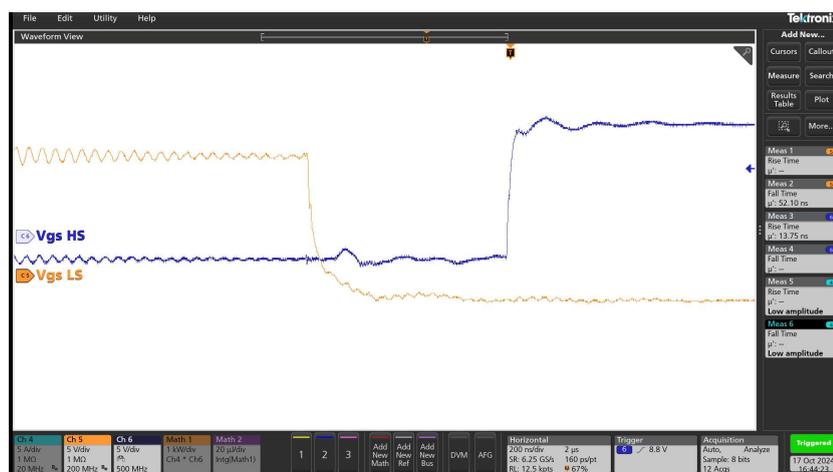


Fonte: Própria autoria (2024).

A variação observada na tensão V_{gs} é atribuída, principalmente, às oscilações da corrente de dreno durante os processos de comutação. Essas oscilações são influenciadas pelas indutâncias e capacitâncias parasitas presentes no *layout* do circuito e nos próprios dispositivos. A interação entre esses parasitas e a rápida variação da corrente provoca flutuações nos potenciais de referência, que

acabam sendo refletidas sobre o sinal de Vgs. Portanto, entende-se que essa variação em Vgs não é a causa das oscilações na corrente, mas sim um efeito secundário decorrente do comportamento dinâmico do circuito durante a comutação. Isso poderá ser verificado alterando as condições de ensaio.

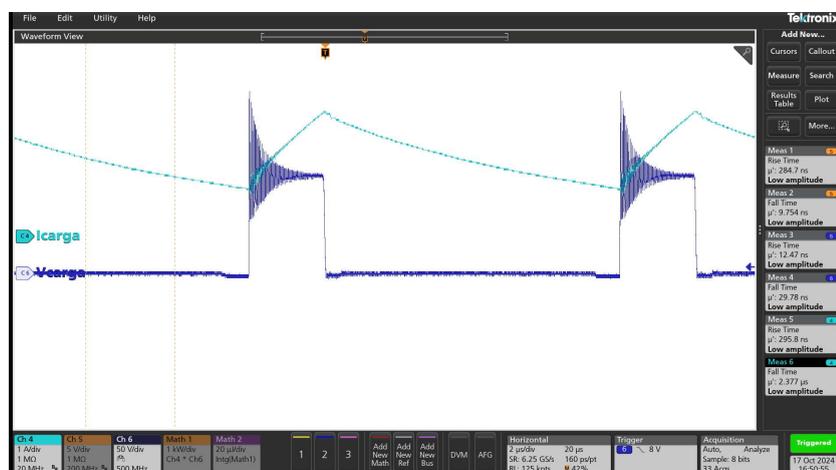
Figura 55 - Detalhe dos sinais de Vgs HS e LS na entrada em condução no transistor HS (5V/div), (200ns/div) (Com *loop* e Rg 3Ω).



Fonte: Própria autoria (2024).

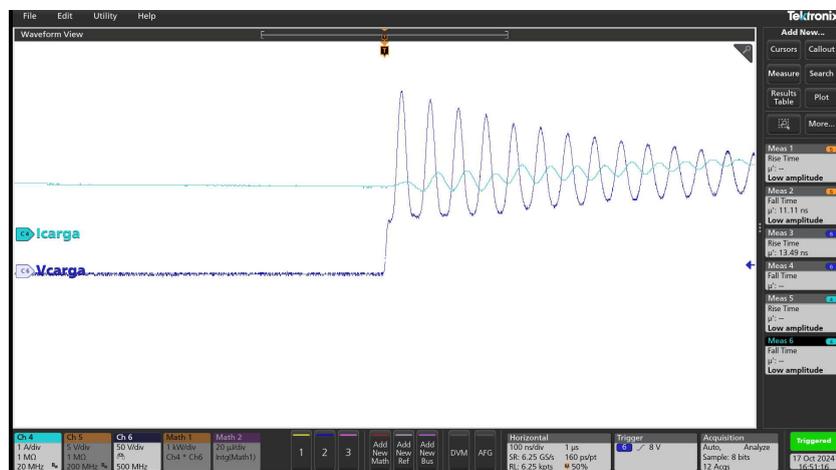
Como a carga está conectada nos terminais dos transistores HS, superará aquela mesma tensão Vds HS, ou seja, também submetida a um pico que atinge 240V, como mostrado nas Figuras 56 e 57.

Figura 55 - Sinais de tensão na carga (50V/div) e corrente na carga (1A/div), (2 μ s/div) (Com *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

Figura 56 - Detalhe dos sinais de tensão na carga (50V/div) e corrente na carga (1A/div), (100ns/div) (Com *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

4.5 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / SEM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E R_G = 3 Ω

O segundo cenário analisado foi a retirada do *loop* de medida de corrente. Manteve o valor de resistor de *gate* em 3 Ω . Novamente, foram analisados os sinais

Vds HS e LS, Figura 57. As oscilações continuam presentes, porém o pico de tensão na carga ainda continua (250V pico). Devido ao *loop* de corrente ter sido removido, a análise de potência ficou impossibilitada, pois não é possível observar a corrente de dreno.

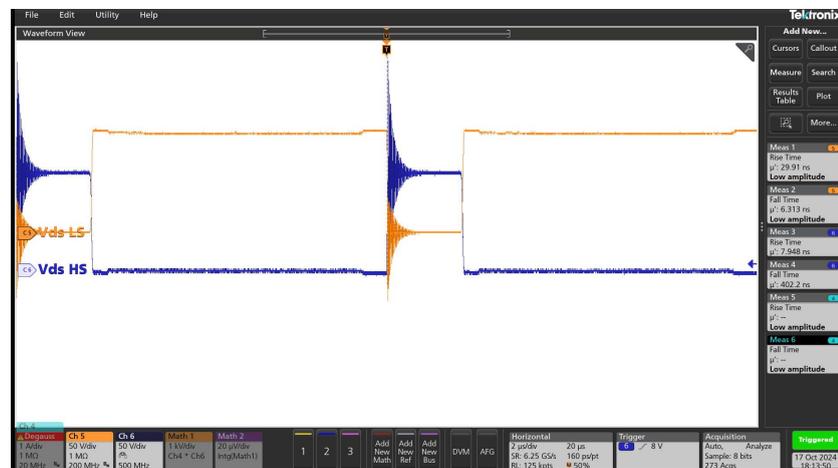
Com o objetivo de analisar se a oscilação é proveniente de uma ressonância do circuito de *gate*, deve-se considerar que, pelo modelo SPICE do fabricante, o MOSFET SiC tem uma indutância de *gate* (L_g) de 12,5nH e capacitância de *gate* (C_g) é 4,8nF. Isso leva a uma ressonância natural (ω_o) em 20,5MHz, o que é próximo do observado. No entanto, esses mesmo valores permitem determinar a resistência para que o circuito RLC de *gate* seja criticamente amortecido:

$$\omega_o = \frac{1}{2\pi\sqrt{L_g C_g}} \quad (9)$$

$$R_{crit} = 2L_g \omega_o = 1,6\Omega \quad (10)$$

Como o resistor interno de *gate* é 0,4 Ω e a externa é 3 Ω , verifica-se que o circuito é superamortecido e, portanto, não está na origem da oscilação. No entanto, como sua frequência natural é muito próxima do observado na tensão Vds é facilmente afetada pela oscilação.

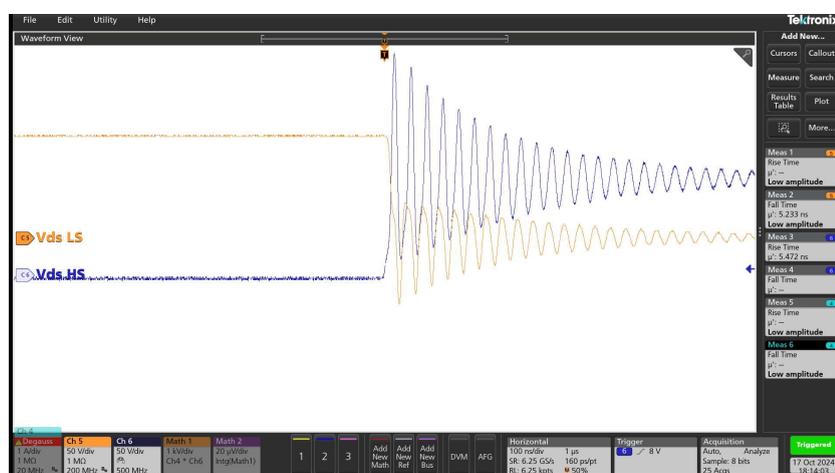
Figura 57 - Sinais de Vds *High* e *Low Side* (50V/div), respectivamente (2 μ s/div) (Sem *loop* e Rg 3 Ω).



Fonte: Própria autoria (2024).

Novamente, essas oscilações ocorreram devido às ressonâncias entre os elementos indutivos parasitas considerados e as capacitâncias dos transistores. O desligamento do MOSFET LS ocorre de forma suave, ZVS, com a troca de carga elétrica entre as capacitâncias dos transistores, até a entrada em condução do diodo reverso do transistor HS.

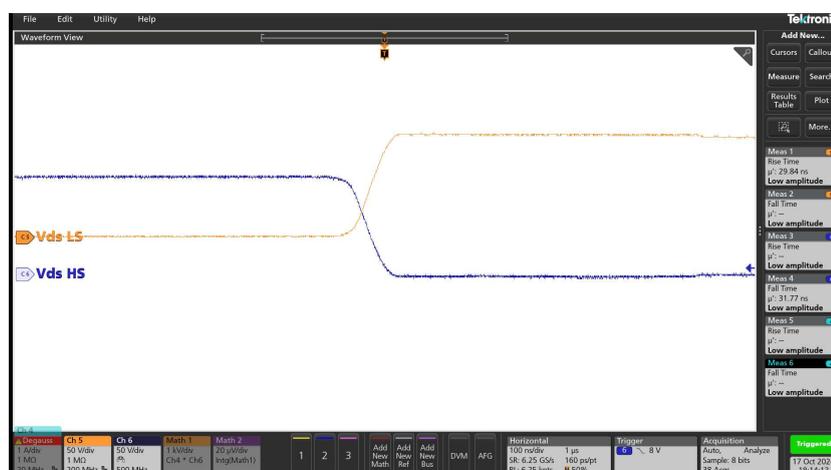
Figura 58 - Detalhe dos sinais de Vds HS e LS durante a entrada em condução do MOSFET LS (50V/div) (Sem *loop* e Rg 3Ω).



Fonte: Própria autoria (2024).

A oscilação em 22MHz ocorre durante a entrada em condução do transistor LS, e esse efeito é devido a recuperação reversa do diodo HS que opera em roda-livre, durante o tempo morto.

Figura 59 - Detalhe dos sinais de Vds HS e LS durante o desligamento MOSFET LS (50V/div) (Sem *loop* e Rg 3Ω).



Fonte: Própria autoria (2024).

A Tabela 12 resume os tempos de variação nos MOSFETs HS e LS.

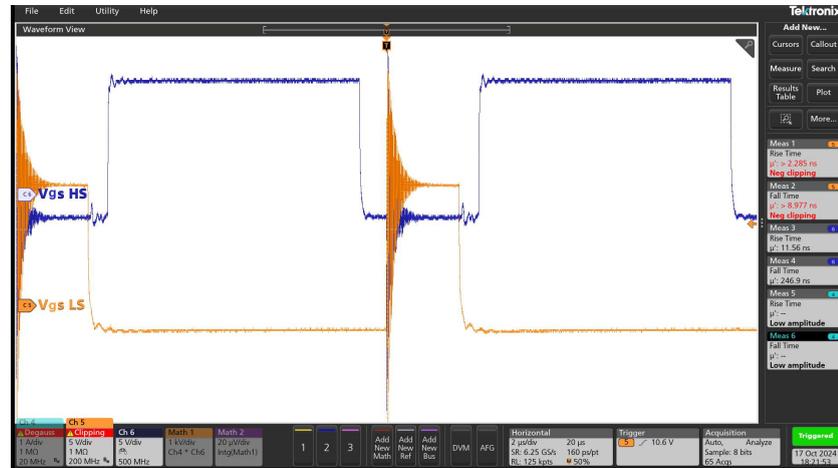
Tabela 12 - Tempos de variações dos sinais Vds LS e Vds HS (Rg = 3Ω, Sem *loop*).

LS ligando		LS desligando	
Vds LS	Vds HS	Vds LS	Vds HS
$t_F = 5,2\text{ns}$	$t_R = 5,4\text{ns}$	$t_R = 29\text{ns}$	$t_F = 31\text{ns}$

Fonte: Própria autoria (2024).

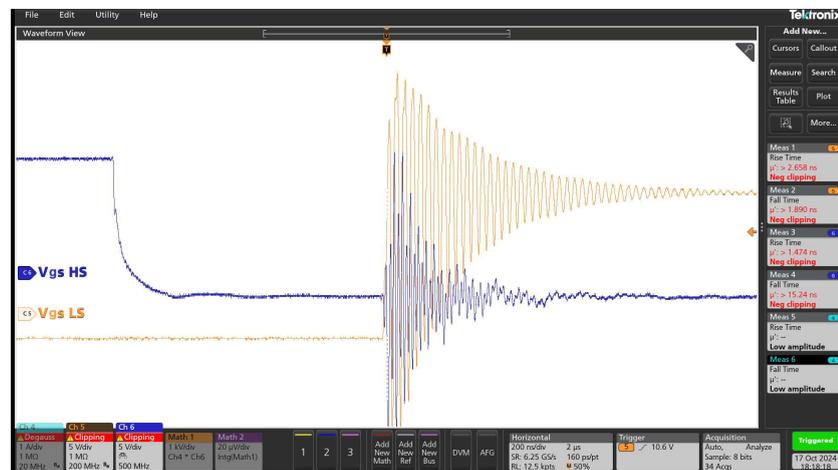
Foi observado que a oscilação na tensão *dreno-source* durante a entrada em condução do dispositivo LS (devido à recuperação reversa do diodo) provocava uma variação na tensão Vgs dos transistores, conforme ilustrado na Figura 60. Isso poderia resultar em problemas, como múltiplas comutações e um aumento nas perdas dos dispositivos. As oscilações não causaram múltiplas comutações nos transistores, pois não atingiram o limiar de $V_{gs_{TH}}$, o fator que garantiu não ultrapassar $V_{gs_{TH}}$ foi desligar o MOSFET com tensão negativa.

Figura 60 - Sinais *Vgs High* e *Low Side* (5V/div), (2 μ s/div) (sem *loop* e R_g 3 Ω).



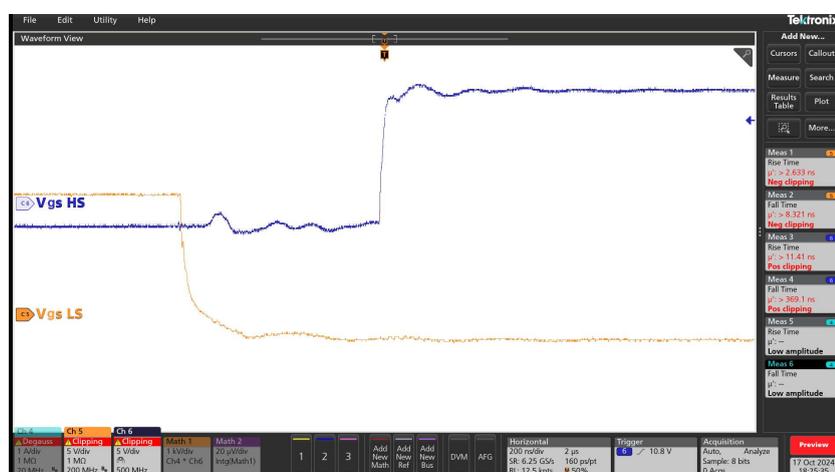
Fonte: Própria autoria (2024).

Figura 61 - Detalhes dos sinais de *Vgs HS* e *LS* na entrada em condução do MOSFET LS (5V/div), (200ns/div) (sem *loop* e R_g 3 Ω).



Fonte: Própria autoria (2024).

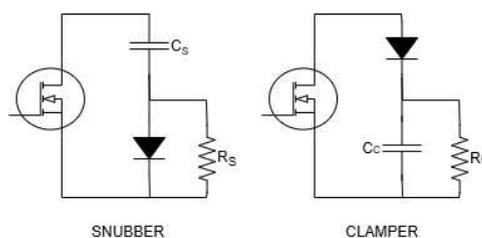
Figura 62 - Detalhes dos sinais de Vgs HS e LS no desligamento do MOSFET LS (5V/div), (200ns/div) (sem *loop* e Rg 3Ω).



Fonte: Própria autoria (2024).

A sobretensão pode ser contida por meio de circuitos auxiliares, como *snubber* RCD de desligamento ou um *clamper*, como mostra a Figura 63.

Figura 63 - Circuitos supressores de sobretensão: *Snubber* e *Clamper*.



Fonte: Própria autoria (2024).

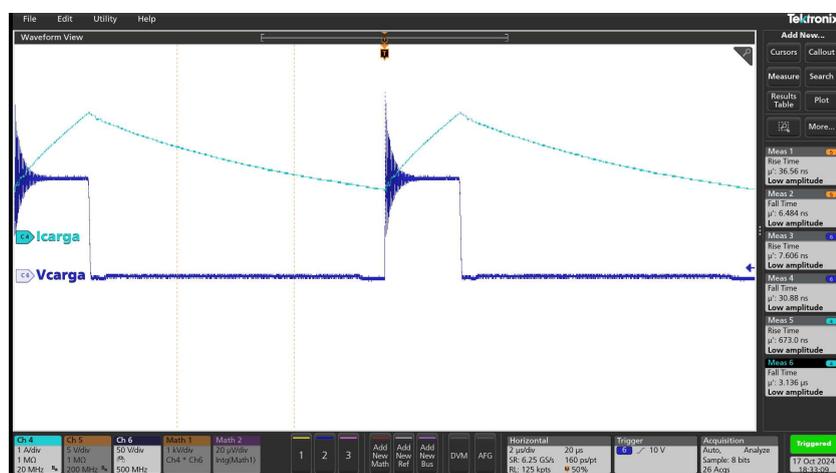
O *Snubber* retarda o crescimento da tensão Vds por conta do Capacitor Cs, cuja valor deve ser significativamente maior que a capacitância de saída do MOSFET (C_{OSS}). A energia armazenada em Cs será, posteriormente, dissipada em Rs e no transistor, quando este conduzir.

No caso do *Clamper*, o capacitor C_C opera com tensão um pouco maior que alimentação externa do circuito, de modo que quando ocorre o desligamento do MOSFET, C_C absorve a energia que excitaria a ressonância e dissipará em R_C .

Embora sejam soluções que possam ser consideradas em aplicações práticas, o foco deste trabalho está no comportamento do circuito de comando do transistor, de modo que serão analisadas soluções que possam ser realizadas por circuitos supressores. Não foi usado nenhuma das duas soluções de *Snubber* e *Clamper*, foi focado no controle do circuito de comando.

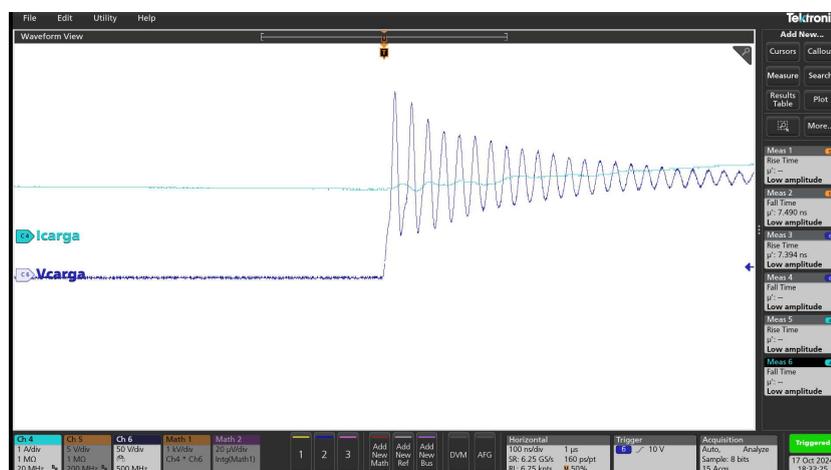
Devido às oscilações nos sinais V_{ds} dos transistores *High* e *Low Side*, foi observado um pico na tensão de carga, além de uma alteração no comportamento da corrente de carga, conforme mostrado nas Figuras 64 e 65. A redução da razão cíclica fez com que a corrente de carga não cruzasse o zero, eliminando a comutação suave. O pico da tensão de carga chegou a 250V.

Figura 64 - Sinais de tensão de saída (50V/div) e corrente de saída (1A/div), ($2\mu\text{s/div}$) (Sem *loop* e $R_g 3\Omega$).



Fonte: Própria autoria (2024).

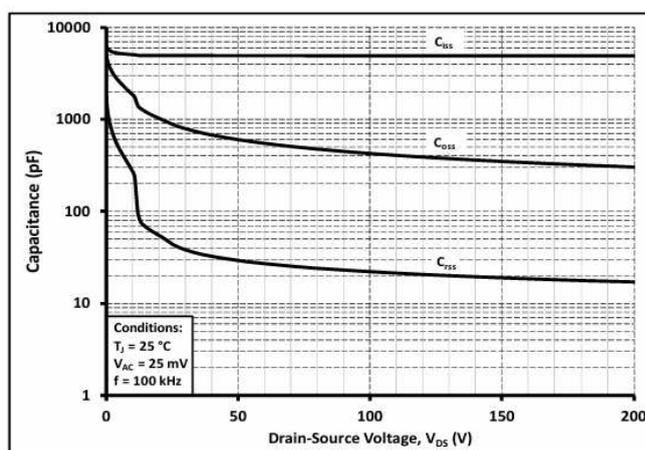
Figura 65 - Sinais de tensão de saída (50V/div) e corrente de saída (1A/div), (200ns/div) (Sem $loop$ e R_g 3 Ω).



Fonte: Própria autoria (2024).

A ressonância medida apresentou frequência de oscilação (f_R) de 22MHz. O MOSFET SiC apresenta uma capacitância de saída (C_{OSS}) de 400pF, Figura 66.

Figura 66 - Capacitâncias x Tensão Vds.



Fonte: Wolfspeed (2024).

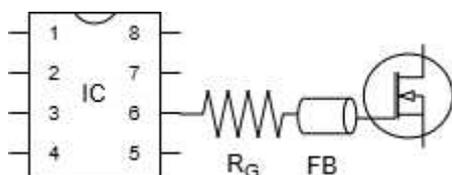
Através desses dados, é possível estimar o valor da indutância parasita de ressonância do circuito. O valor estimado L_R é 130nH.

$$L_R = \left(\frac{1}{2\pi \cdot f_R} \right)^2 \cdot \frac{1}{C_{oss}} \quad (11)$$

Para que a ressonância se torne amortecida seria necessária uma resistência série de 36Ω , o que claramente, não é factível. No entanto, como esse amortecimento é necessário apenas nas transições, tal efeito resistivo poderia ser obtido colocando o MOSFET na região ativa temporariamente, com a consequente dissipação de potência. Esse procedimento de tornar mais lentas as comutações pode ser realizado com o aumento da resistência de *gate*. Para efeito de verificação, a resistência externa foi elevada para 30Ω .

Além do aumento do resistor de *gate*, foi incluído no circuito um *Ferrite Bead* em série com o pino de *gate* dos MOSFETs. O núcleo de ferrita é um componente elétrico passivo que suprime ruídos de alta frequência em circuitos eletrônicos, Figura 67.

Figura 67 - *Ferrite Bead* adaptado no circuito.

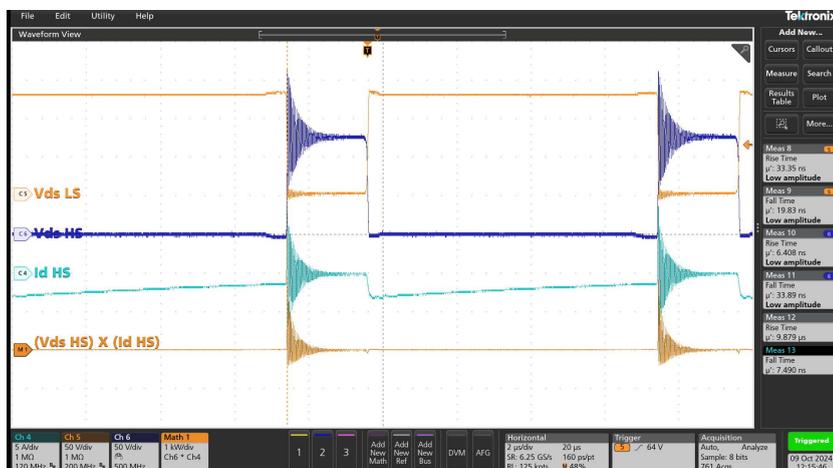


Fonte: Própria autoria (2024).

4.6 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / COM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E $R_G = 30\Omega$

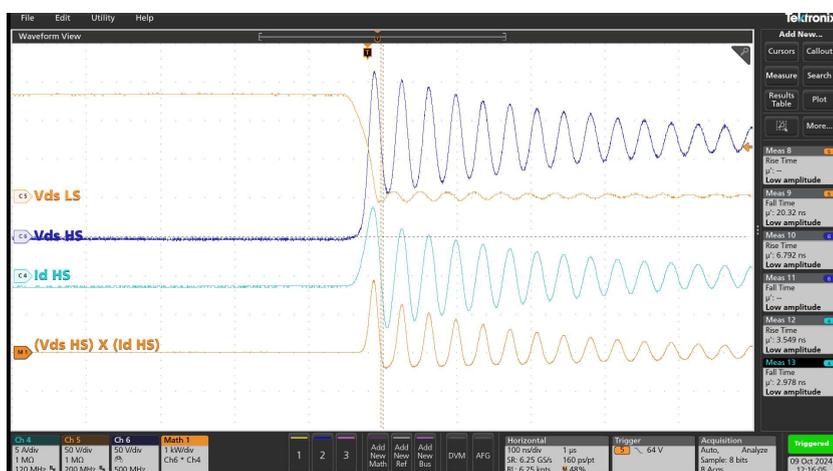
O terceiro cenário pode ser visualizado a partir da Figura 68 e 69. Pode-se observar que o pico de tensão foi reduzido, porém ainda presente devido ao *loop* de corrente em série como dreno do MOSFETs. Mesmo com o sinal de *gate* mais lento (resistor de *gate* ajustado em 30Ω), esse *loop* interage com as indutâncias parasitas e capacitâncias dos transistores, causando a oscilação.

Figura 68 - Sinais de Vds LS e HS (50V/div), Corrente (Id) de Dreno HS (5A/div) e Potência Instantânea no MOSFET HS, (2 μ s/div), (Com *loop* e Rg 30 Ω).



Fonte: Própria autoria (2024).

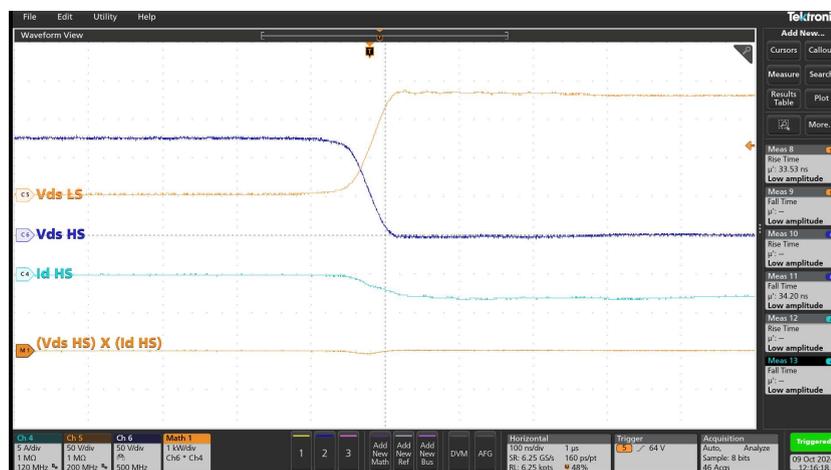
Figura 69 - Detalhe dos sinais de Vds LS e HS durante desligamento do MOSFET HS (50V/div), Corrente (Id) de Dreno HS (5A/div) e Potência Instantânea no MOSFET HS, (100ns/div), (Com *loop* e Rg 30 Ω).



Fonte: Própria autoria (2024).

A Figura 70 ilustra o acionamento do MOSFET HS, onde, nessa situação, as oscilações não ocorrem. A frequência de oscilação da entrada para a ressonância foi 5,5MHz.

Figura 70 - Detalhe dos sinais de Vds LS e HS durante ligamento do MOSFET HS (50V/div), Corrente (Id) de Dreno HS (5A/div) e Potência Instantânea no MOSFET HS, (100ns/div), (Com *loop* e Rg 30Ω).



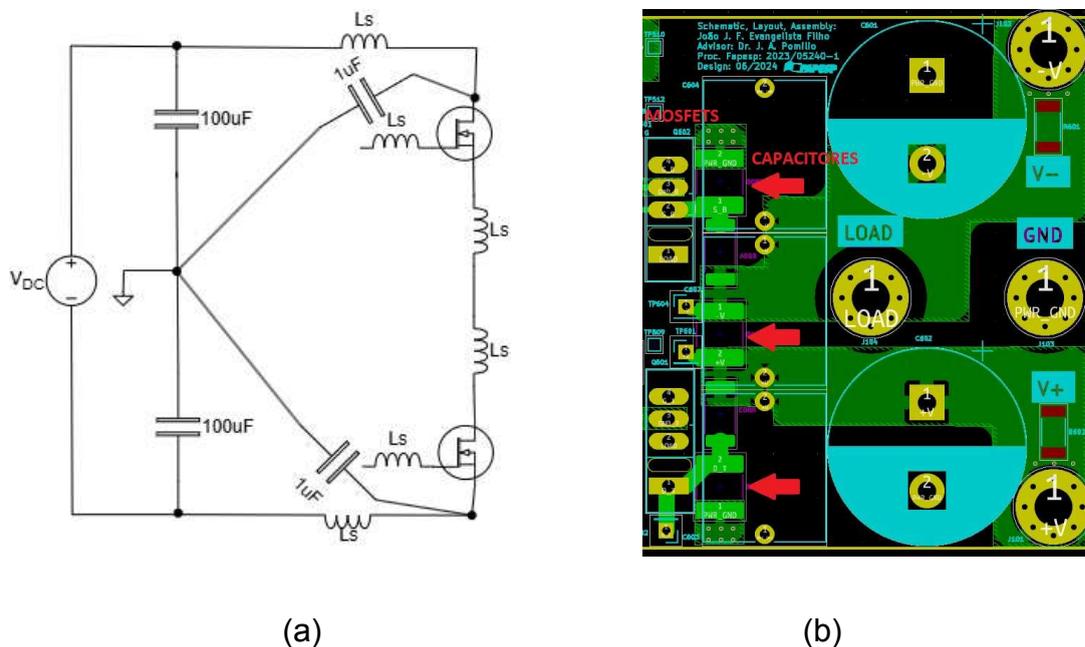
Fonte: Própria autoria (2024).

Assim, verifica-se que mantendo o *loop* de observação de corrente de dreno não se consegue uma efetiva melhora das comutações.

4.7 ENSAIOS DE COMUTAÇÃO FORÇADA COM RAZÃO CÍCLICA EM 25% / SEM LOOP DE MEDIDA DA SONDA DE CORRENTE HALL / E $R_G = 30\Omega$

Com a retirada do *loop* de medição da corrente foi possível conectar capacitores cerâmicos MLCC para alta frequência muito próximos aos transistores, minimizando o efeito indutivo entre a fonte CC e os transistores, ilustrado na Figura 71. Com isso, o circuito passa a ter apenas as indutâncias próximas dos encapsulamentos.

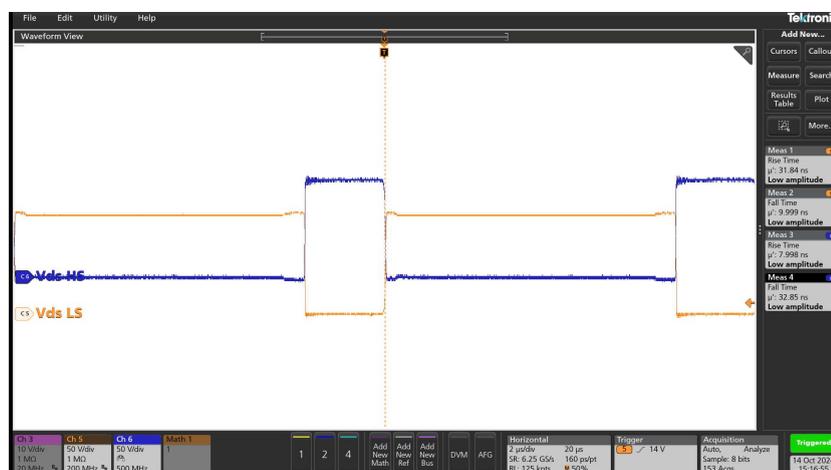
Figura 71 - Esquema dos capacitores MLCC próximos aos MOSFETs SiC (a); Montagem (b).



Fonte: Própria autoria (2024).

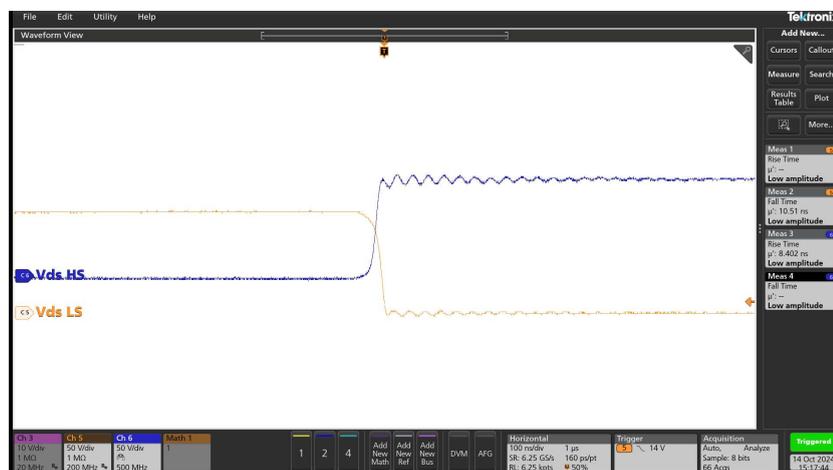
Os sinais V_{ds} HS e LS podem ser visualizados nas próximas Figuras 72, 73 e 74. É notável que a minimização da indutância e aumento da resistência de *gate*, reduziram as oscilações vistas nos cenários anteriores. Nessa situação, o aumento da resistência de *gate* foi suficiente para reduzir a oscilação.

Figura 72 - Sinais de V_{ds} HS e LS (50V/div), respectivamente (2µs/div) (Sem *loop* e R_g 30Ω).



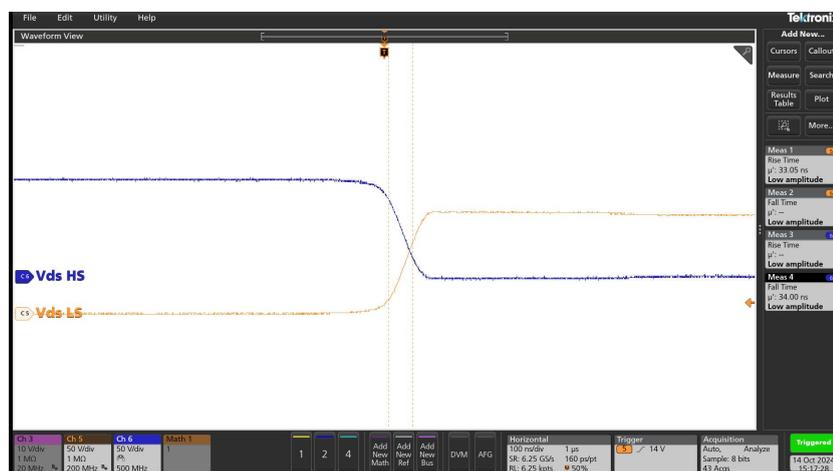
Fonte: Própria autoria (2024).

Figura 73 - Detalhes dos sinais de Vds HS e LS durante desligamento do MOSFET HS (50V/div), respectivamente (100ns/div) (Sem *loop* e Rg 30Ω).



Fonte: Própria autoria (2024).

Figura 74 - Detalhes dos sinais de Vds HS e LS durante ligamento do MOSFET HS (50V/div), respectivamente (100ns/div) (Sem *loop* e Rg 30Ω).



Fonte: Própria autoria (2024).

A Tabela 12 resume os tempos de variação nos MOSFETs HS e LS durante os intervalos de acionamento e desligamento do LS, respectivamente.

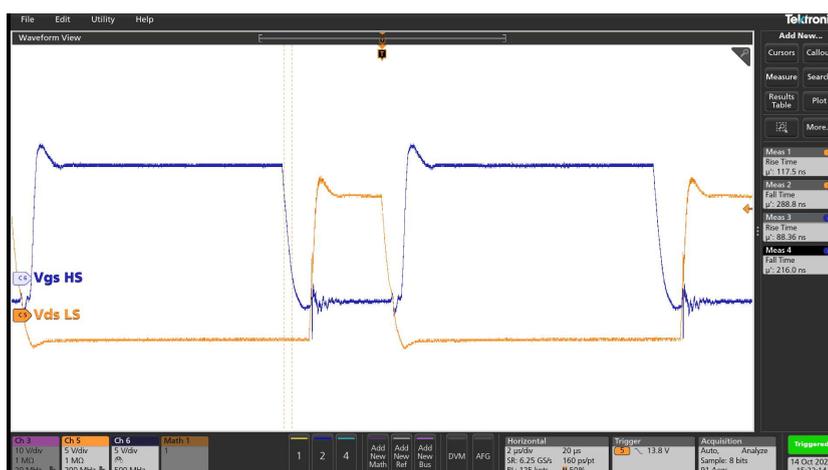
Tabela 12 - Tempos de variações dos sinais Vds LS e Vds HS ($R_g = 30\Omega$, Sem *loop*).

LS ligando		LS desligando	
Vds LS	Vds HS	Vds LS	Vds HS
$t_F = 10\text{ns}$	$t_R = 8,4\text{ns}$	$t_R = 33\text{ns}$	$t_F = 34\text{ns}$

Fonte: Própria autoria (2024).

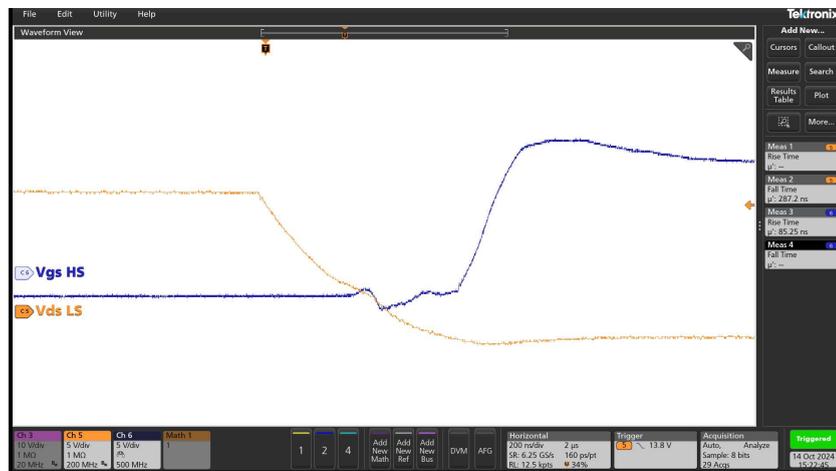
Os sinais Vgs não apresentaram oscilações causadas, anteriormente, por ressonância de Vds. Com a inclusão do resistor de *gate* 10 vezes superior, esses sinais ficaram levemente mais lentos. As Figuras 75, 76 e 77 ilustram o comportamento de Vgs HS e LS mais lentos e sem oscilações.

Figura 75 - Detalhes dos sinais de Vgs HS e LS (5V/div), (2 μs /div) (Sem *loop* e $R_g 30\Omega$).



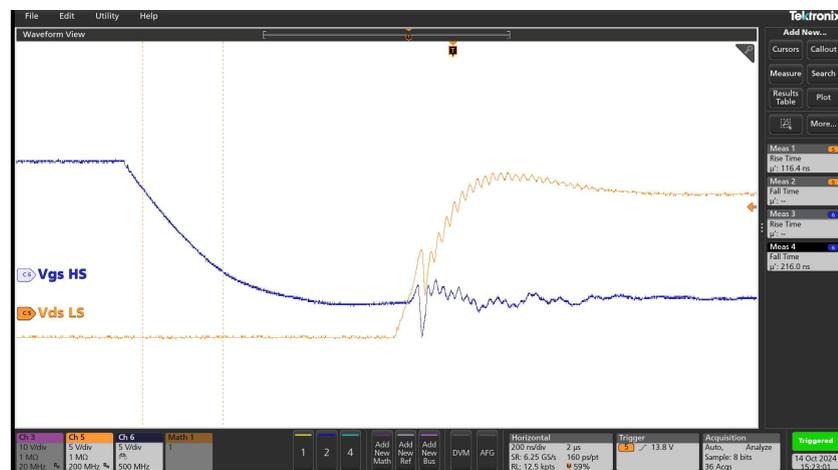
Fonte: Própria autoria (2024).

Figura 76 - Detalhes dos sinais de *Vgs High* e *Low Side* (5V/div), (200ns/div) (Sem *loop* e R_g 30 Ω).



Fonte: Própria autoria (2024).

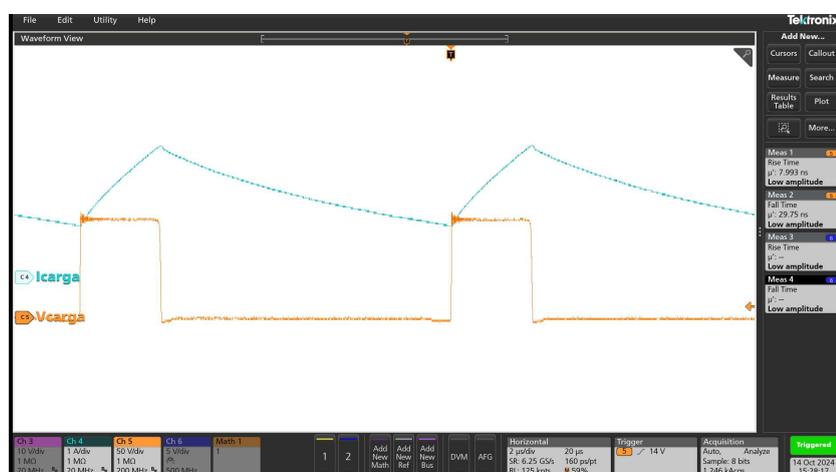
Figura 77 - Detalhes dos sinais de *Vgs High* e *Low Side* (5V/div), (200ns/div) (Sem *loop* e R_g 30 Ω).



Fonte: Própria autoria (2024).

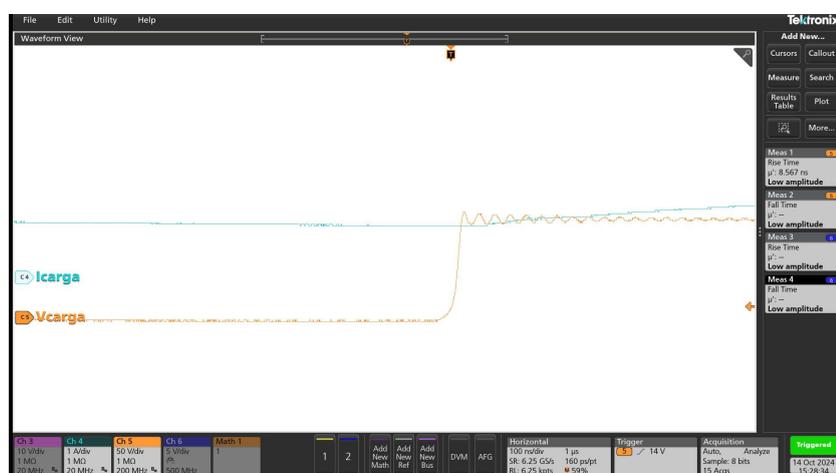
O aumento no valor do resistor de *gate* resultou na redução das oscilações no transistor e na tensão de carga. Não ocorrendo o spike na tensão de carga, ilustrado nas Figuras 79 e 80.

Figura 79 - Detalhes dos sinais de tensão de carga (50V/div) e corrente de carga (1A/div), (2 μ s/div) (Sem *loop* e R_g 30 Ω).



Fonte: Própria autoria (2024).

Figura 80 - Detalhes dos sinais de tensão de carga (50V/div) e corrente de carga (1A/div), (100ns/div) (Sem *loop* e R_g 30 Ω).



Fonte: Própria autoria (2024).

Apesar do aumento de 10 vezes no valor do resistor de *gate*, os tempos de subida das tensões V_{ds} HS e LS aproximadamente dobraram, logo não foram proporcionais ao acréscimo do resistor de gate.

O cálculo da energia dissipada nos transistores é apresentado na Tabela 13. Essa energia foi determinada utilizando a função de integral disponível no osciloscópio. Essa funcionalidade permite calcular a integral do produto de tensão e

corrente ($P = V \times I$) ao longo do tempo, especificamente durante as transições de chaveamento de ligamento e desligamento dos transistores LS e HS. Durante essas transições, ocorre um aumento rápido da potência instantânea, que se manifesta como um sinal em forma de degrau no gráfico da energia acumulada ao longo do tempo. A partir desse degrau, é possível estimar a energia dissipada nos dispositivos.

Por fim, foram estimadas as energias durante as transições nos transistores *High* e *Low Side*. A Tabela 13 a seguir ilustra as relações entre resistor de *gate* e energias durante as transições.

Tabela 13 - Energia nos transistores HS e LS

Energia				
30Ω	HS Ligando	8,5μJ	HS Desligando	5,4μJ
	LS Desligando	46,3μJ	LS Ligando	3,2μJ
3Ω	HS Ligando	8,5μJ	HS Desligando	5,2μJ
	LS Desligando	35,6μJ	LS Ligando	980nJ

Fonte: Própria autoria (2024).

O uso de uma resistência de *gate* de 30Ω no transistor *Low Side* resultou em uma dissipação de energia maior em comparação à resistência de 3Ω. Em contrapartida, o transistor *High Side* não apresentou mudanças significativas em seu comportamento. Quando o transistor LS é acionado, o diodo interno do MOSFET HS é desligado, e o diodo conduz durante o tempo morto, um processo que ocorre independentemente do *Driver*. Como o diodo não é controlado diretamente pelo *Driver*, a energia dissipada no diodo HS foi de aproximadamente 5 μJ em ambos os cenários, tanto com a resistência de 30Ω quanto com a de 3Ω.

O uso de uma resistência de *gate* maior no LS durante o desligamento resulta em uma operação mais lenta, o que é esperado, pois o desligamento mais gradual do MOSFET aumenta a dissipação de energia. No caso do interruptor HS, a energia dissipada durante o acionamento manteve-se praticamente inalterada, pois, inicialmente (tempo morto) é o diodo reverso que conduz.

4.8 ESTIMATIVAS DE PERDAS DO CONVERSOR SiC

As medições de potência instantânea nos transistores não garantiram precisão nos valores estimados devido à inclusão do *loop* de corrente, que aumentou significativamente as oscilações nos sinais V_{ds} . Para superar essa impossibilidade na medição de potência instantânea, foi realizada uma comparação entre a potência de entrada e a de saída do conversor. Além disso, uma análise térmica foi conduzida em dois cenários distintos, considerando o aumento da resistência de *gate*.

Com isso se busca uma avaliação mais precisa do comportamento do conversor e dos efeitos das diferentes resistências de *gate* na dissipação de energia. O conversor operou em dois modos distintos: com comutação em zero de tensão (ZVS) e sem comutação em zero de tensão (sem ZVS). Os ensaios tiveram parâmetros de entrada semelhantes, tensão de entrada 126V, corrente de alimentação 1,2A. A potência de carga manteve-se entre 150VA.

A Figura 81, como conversor opera com comutação suave, por sua vez, a carga está conectada ao ponto médio do barramento CC e a largura de pulso em 50%, a tensão e a corrente médias são zero, e todas as comutações são tipo ZVS.

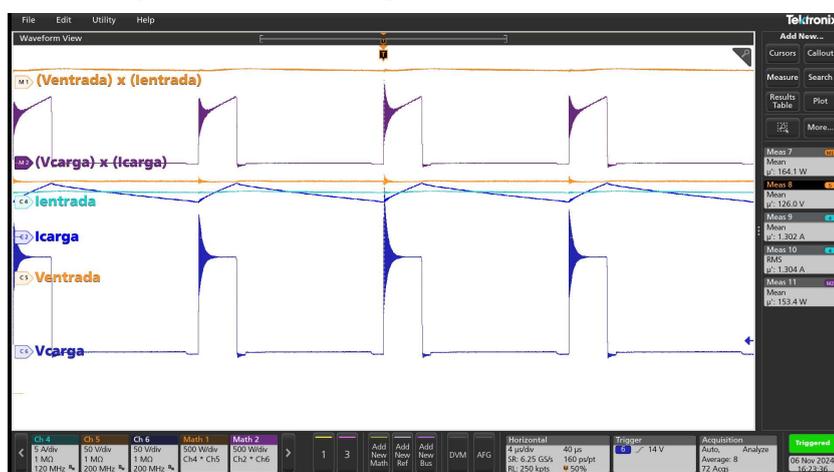
Figura 81 - Sinais de tensão x corrente (M2) de carga; tensão x corrente (M1) de entrada; corrente de entrada (C4), corrente de carga (C2); tensão de entrada (C5); tensão de entrada (C6). Modo de operação: Em ZVS. R_g 3 Ω .



Fonte: Própria autoria (2024).

A Figura 82, para conseguir que a corrente da carga não se inverta ou anule, a carga é deslocada para o terminal positivo da fonte e a largura de pulso é ajustada para 25%. Assim, a entrada em condução do MOSFET LS tornou-se dissipativa, causando o desligamento do diodo reverso do transistor HS.

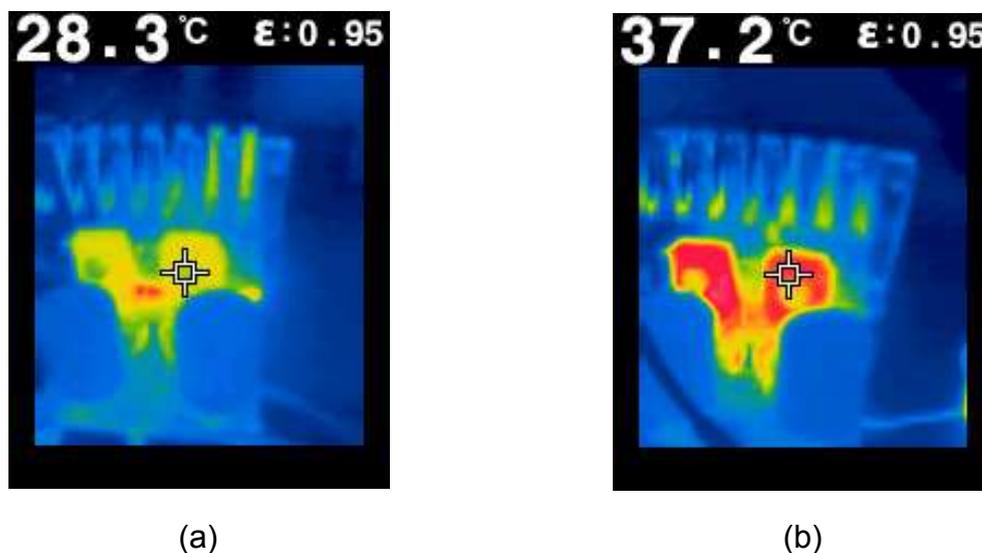
Figura 82 - Sinais de tensão x corrente de entrada (M1); tensão e corrente de carga (M2); corrente de entrada (C4); corrente de carga (C2); tensão de entrada (C5); tensão de carga (C6). Modo de operação: Sem ZVS. R_g 3 Ω .



Fonte: Própria autoria (2024).

A Figura 83 ilustra o comportamento térmico da variação do modo de operação do conversor utilizando o mesmo valor de R_g .

Figura 83 - Análise térmica (a) em ZVS e (b) sem ZVS Rg 3Ω.



Fonte: Própria autoria (2024).

A Tabela 15 resume os valores obtidos nos ensaios realizados. A frequência de chaveamento foi estabelecida em 100kHz, e a temperatura ambiente no momento da coleta de dados era de 25°C. A carga foi alterada para resultar aproximadamente os mesmos valores dos dois ensaios.

Tabela 15 - Valores obtidos com os ensaios em ZVS e sem ZVS Rg 3Ω.

Rg 3Ω		
	Em ZVS	Sem ZVS
f_s (kHz)	100	100
$V_{ENTRADA}$ ($V_{MÉDIA}$)	126,5	126
$I_{ENTRADA}$ ($A_{MÉDIA}$)	1,21	1,3
$P_{ENTRADA}$ (W)	152,6	164,1
V_{CARGA} (V_{EFICAZ})	63,4	57,5
I_{CARGA} (A_{EFICAZ})	3,45	2,91
P_{CARGA} (W)	148,1	153,4
$T_{AMBIENTE}$ (°C)	25	25
T_c (°C)	28,3	37,2
$T_c - T_{AMBIENTE}$ (°C)	3,3	12,2
$P_{ENTRADA} - P_{CARGA}$ (W)	4,45	10,7

Fonte: Própria autoria (2024).

Quando o conversor opera em ZVS, a potência instantânea é menor, resultando em um menor esforço térmico sobre a chave. Por outro lado, quando o conversor não opera em ZVS, a chave dissipa mais energia, o que leva a um aumento em seu aquecimento.

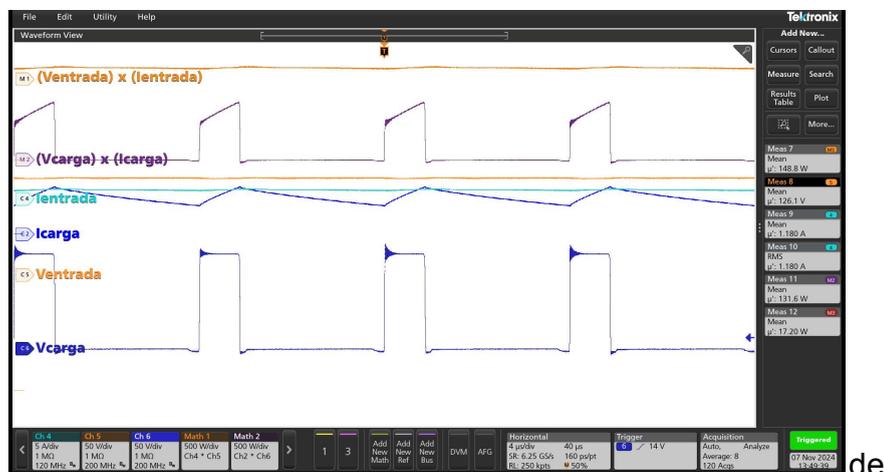
Nos próximos ensaios, o conversor operará novamente em condições de ZVS e sem ZVS, porém com o aumento de 10 vezes na resistência de *gate*. As Figuras 84, 85 e 86 ilustram os ensaios com R_g maior e análise térmica, respectivamente.

Figura 84 - Sinais de tensão x corrente (M1) de entrada; tensão x corrente (M2) de carga; corrente de entrada (C4), corrente de carga (C2); tensão de entrada (C5); tensão de entrada (C6).
Modo de operação: Em ZVS. R_g 30 Ω .



Fonte: Própria autoria (2024).

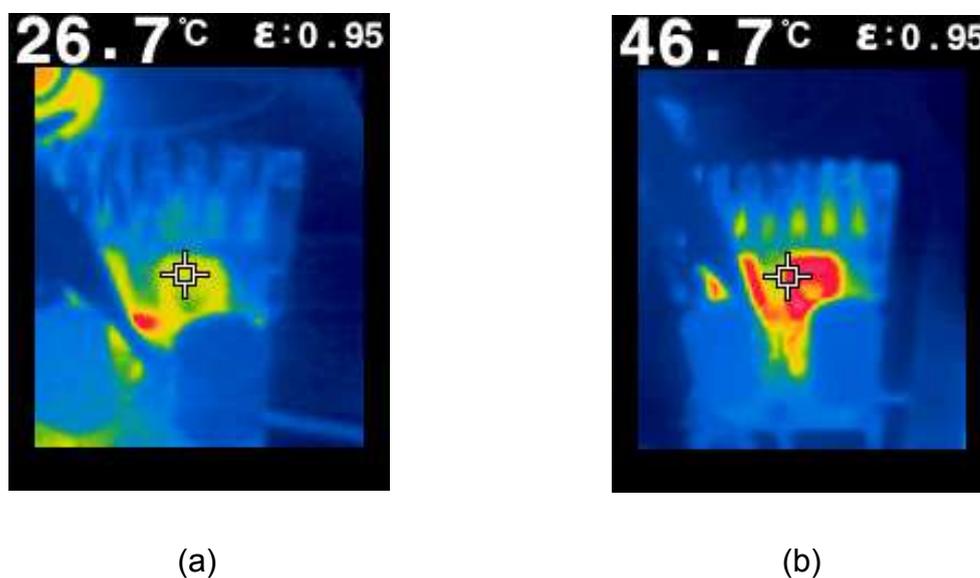
Figura 85 - Sinais de tensão x corrente de entrada (M1); tensão e corrente de carga (M2); corrente de entrada (C4); corrente de carga (C2); tensão de entrada (C5); tensão de carga (C6). Modo



de operação: Sem ZVS. Rg 30 Ω .

Fonte: Própria autoria (2024).

Figura 86 - Análise térmica (a) em ZVS e (b) sem ZVS Rg 30 Ω .



Fonte: Própria autoria (2024).

A Tabela 16 apresenta um resumo dos valores obtidos nos ensaios realizados. A análise dos conversores foi feita considerando características de entradas fixas de 126V e 1,2A. Além dos parâmetros de entrada previamente estabelecidos, um ponto crucial nos cenários com e sem ZVS foi a potência de carga

do conversor em torno de 150W. A frequência de chaveamento foi definida em 100kHz, e a temperatura ambiente durante a coleta dos dados era de 22°C.

Tabela 16 - Valores obtidos com os ensaios em VZS e sem VZS Rg 30Ω.

Rg 30Ω		
	Com ZVS	Sem ZVS
f_s (kHz)	100	100
$V_{ENTRADA}$ ($V_{MÉDIA}$)	126,5	126
$I_{ENTRADA}$ ($A_{MÉDIA}$)	1,21	1,18
$P_{ENTRADA}$ (W)	151,7	148,8
V_{CARGA} (V_{EFICAZ})	63,1	57,53
I_{CARGA} (A_{EFICAZ})	3,55	2,96
P_{CARGA} (W)	142	131,6
$T_{AMBIENTE}$ (°C)	22	22
T_c (°C)	26,7	46,7
$T_c - T_{AMBIENTE}$ (°C)	4,7	24,7
$P_{ENTRADA} - P_{CARGA}$ (W)	9,7	17,2

Fonte: Própria autoria (2024).

Por fim, as Tabelas 17 e 18 comparam os modos de operação ZVS e sem ZVS com a mudança de Rg.

Tabela 17 - Valores obtidos com os ensaios em VZS (Rg 3Ω e 30Ω).

Rg 3Ω e 30Ω (em VZS)		
	Em ZVS	Em ZVS
f_s (kHz)	100	100
$V_{ENTRADA}$ ($V_{MÉDIA}$)	126,5	126,5
$I_{ENTRADA}$ ($A_{MÉDIA}$)	1,21	1,21
$P_{ENTRADA}$ (W)	152,6	151,7
V_{CARGA} (V_{EFICAZ})	63,4	63,1
I_{CARGA} (A_{EFICAZ})	3,45	3,55
P_{CARGA} (W)	148,1	142
$T_{AMBIENTE}$ (°C)	25	22
T_c (°C)	28,3	26,7
$T_c - T_{AMBIENTE}$ (°C)	3,3	4,7
$P_{ENTRADA} - P_{CARGA}$ (W)	4,45	9,7

Fonte: Própria autoria (2024).

Tabela 18 - Valores obtidos com os ensaios sem VZS (R_g 3 Ω e 30 Ω).

R_g 3Ω e 30Ω (sem VZS)		
	Sem ZVS	Sem ZVS
f_s (kHz)	100	100
$V_{ENTRADA}$ ($V_{MÉDIA}$)	126	126
$I_{ENTRADA}$ ($A_{MÉDIA}$)	1,3	1,18
$P_{ENTRADA}$ (W)	164,1	148,8
V_{CARGA} (V_{EFICAZ})	57,5	57,53
I_{CARGA} (A_{EFICAZ})	2,91	2,96
P_{CARGA} (W)	153,4	131,6
$T_{AMBIENTE}$ ($^{\circ}C$)	25	22
T_c ($^{\circ}C$)	37,2	46,7
$T_c - T_{AMBIENTE}$ ($^{\circ}C$)	12,2	24,7
$P_{ENTRADA} - P_{CARGA}$ (W)	10,7	17,2

Fonte: Própria autoria (2024).

O aumento de 10 vezes na resistência de *gate* nos transistores, não ocasionou uma dissipação proporcional ao acréscimo da resistência. A dissipação de potência foi duas vezes maior em comparação à resistência de 3 Ω , em ZVS e sem ZVS. No modo de operação ZVS, não houve aumento significativo na temperatura da chave comparada com 3 Ω . Porém, quando não ocorre ZVS, a chave aquece significativamente, porém as oscilações em V_{ds} são minimizadas.

4.9 CONCLUSÕES PARCIAIS

Com base nos testes de bancada realizados, é possível concluir que a variação da resistência de *gate* influencia significativamente o comportamento dinâmico dos transistores, impactando diretamente a forma de onda de V_{gs} , as oscilações no sinal V_{ds} e a dissipação de energia. Valores menores de resistência resultaram em comutações mais rápidas, porém com maiores oscilações, especialmente associadas à recuperação reversa do diodo interno dos MOSFETs. Já resistências maiores promoveram transições mais suaves, com redução nas oscilações, mas aumento nas perdas de comutação.

Além disso, verificou-se que o método tradicional de medição de potência instantânea, utilizando loop de corrente e sonda *Hall*, introduz distorções significativas no comportamento do circuito, devido à alteração das características

parasitas. Por esse motivo, alternativas como a análise térmica e a comparação entre potência de entrada e saída se mostraram mais confiáveis para a avaliação das perdas.

5. CONCLUSÕES

Nesta dissertação, foi abordado o desenvolvimento de um *gate driver* voltado para conversores em meia ponte baseados em SiC, com potencial de aplicação em sistemas aeronáuticos. A análise demonstrou a influência crítica da resistência de gate e dos elementos parasitas no desempenho da comutação, na interferência eletromagnética e na dissipação de energia. Simulações e resultados experimentais confirmaram que a comutação rápida em dispositivos de SiC gera oscilações acentuadas de tensão e corrente, principalmente agravadas pela recuperação reversa dos diodos e pelas indutâncias parasitas introduzidas pelo *layout*.

Os modelos e as simulações apresentadas permitiram identificar vários elementos críticos para a ocorrência de não idealidades nas comutações dos transistores. Essas não idealidades estão associadas a elementos parasitas, indutâncias e capacitâncias que são inevitáveis por estarem presentes nos dispositivos e serem inerentes ao *layout* das montagens. Mesmo que as indutâncias sejam minimizadas, nunca serão nulas, de modo que as ressonâncias sempre estarão presentes.

O aumento da resistência de gate mostrou-se eficaz na atenuação dessas oscilações, embora tenha causado maiores perdas por comutação, especialmente em condições sem ZVS.

Foi verificada a importância de usar o controle do acionamento, através do *Driver* do transistor, para minimizar o efeito das ressonâncias e, com isso, obter comutações minimamente oscilatórias.

Em contraposição, o processo mais lento das comutações leva a um aumento na perda de potência nessas transições, devendo-se buscar uma solução de compromisso.

Verificou-se a influência da comutação do diodo reverso, ocasionando as maiores oscilações no circuito. A comutação desse diodo não é influenciada pelas condições do *Driver* do respectivo transistor.

Nas condições da simulação, com resistência de *gate* de 30Ω , perdas de comutação da ordem de $10\mu\text{J}$ levam a potências inferiores a 1W caso se opere abaixo de 100kHz , o que parece uma situação confortável do ponto de vista térmico.

As oscilações em V_{ds} e V_{gs} foram atribuídas ao *loop* gerado pela medição da corrente de dreno. Variações em V_{ds} causam flutuações diretas em V_{gs} , o que gera oscilações. Nos cenários em que o *loop* indutivo estava presente, o aumento da resistência de *gate* não foi suficiente para reduzir as variações em V_{ds} . No entanto, ao remover o *loop*, o aumento da resistência de *gate* tornou-se eficaz na minimização dessas oscilações.

Além disso, a estrutura atual dos ensaios com dispositivos WBG não permite uma estimativa precisa do valor da corrente de dreno dos transistores. Sem uma medição confiável dessa corrente, torna-se impreciso calcular a energia dissipada nos MOSFETs. A inclusão do *loop* de medição de corrente altera o circuito e é afetada pela indutância externa, comprometendo a fidelidade do comportamento esperado dos MOSFETs.

A análise realizada evidenciou que a medição direta da potência instantânea nos transistores foi comprometida pelas oscilações introduzidas pelo *loop* de corrente, tornando necessário o uso de métodos alternativos, como a comparação entre a potência de entrada e saída do conversor e a análise térmica. Os ensaios demonstraram que o aumento da resistência de *gate* impacta a dissipação de potência de forma não linear, resultando em um acréscimo de até duas vezes na dissipação quando comparado à resistência de 3Ω .

No modo ZVS, a dissipação extra de potência não se traduziu em um aumento expressivo da temperatura do transistor, indicando que a comutação em zero de tensão minimiza perdas adicionais. No entanto, no modo sem ZVS, a temperatura do transistor aumentou consideravelmente para 30Ω , evidenciando que a dissipação de potência ocorre de forma mais significativa na ausência da comutação suave. Apesar disso, as oscilações no V_{ds} foram reduzidas, sugerindo um efeito positivo da resistência de *gate* elevada na atenuação de ruídos e instabilidades.

Os resultados reforçam a importância da escolha adequada da resistência de *gate* para otimizar a eficiência e confiabilidade do conversor, equilibrando as perdas de comutação e os efeitos térmicos conforme o regime de operação adotado.

TRABALHOS FUTUROS

- Aperfeiçoamento dos protótipos para aplicações de potência elevada, ampliando a escalabilidade do sistema e otimizando a dissipação térmica em níveis mais altos de corrente;
- Implementação de *gate Drivers* em conversores de ponte completa, permitindo a operação de topologias mais complexas e eficientes para aplicações de alta potência;
- Desenvolvimento de um sistema de resistores de *gate* ajustável, capaz de modificar dinamicamente o valor da resistência conforme a oscilação dos sinais V_{ds} , mitigando oscilações indesejadas e otimizando as perdas por comutação;
- Análise do impacto da substituição de IGBTs e MOSFET Si por MOSFETs SiC/GaN em conversores multinível, avaliando ganhos em eficiência e redução de perdas.

REFERÊNCIAS

- ANAC, Mercado de transporte aéreo fecha 2023 em trajetória de crescimento. Disponível em: <<https://agenciagov.ebc.com.br/noticias/202404/mercado-de-transporte-aereo-fecha-2023-em-trajetoria-de-crescimento>>.
- ABNETT, K. Global CO2 emissions to hit record high in 2024, report says. Reuters, 13 nov. 2024.
- BARZKAR, A.; GHASSEMI, M. Electric Power Systems in More and All Electric Aircraft: A Review. IEEE Access, v. 8, p. 169314-169332, 2020. DOI: 10.1109/ACCESS.2020.3024168.
- BRANDER, T.; AL, E. Trilogy of magnetics: design guide for EMI filter design, SMPS & RF circuits. Waldenburg, Germany: Würth Elektronik, 2010.
- BUTICCHI, G.; WHEELER, P.; BOROYEVICH, D. The More-Electric Aircraft and Beyond. Proceedings of the IEEE, v. 111, n. 4, p. 356-370, April 2023. DOI: 10.1109/JPROC.2022.3152995.
- CANO, T. C. et al. Future of Electrical Aircraft Energy Power Systems: An Architecture Review. IEEE Transactions on Transportation Electrification, v. 7, n. 3, p. 1915-1929, Sept. 2021.
- DEGOUTTE, C. et al. Aircraft 270VDC power distribution improvements using wide band gap semi-conductors. 2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC), Toulouse, France, 2016, p. 1-6. DOI: 10.1109/ESARS-ITEC.2016.7841357.
- DIAS, M. P.; OTA, J. I. Y.; POMILIO, J. A. DC Current Redistributor for Compensating Unbalanced Loads and Interfacing Energy Storage Systems in More Electrical Aircraft. 2021 IEEE Southern Power Electronics Conference (SPEC), Kigali, Rwanda, 2021, p. 1-6.

- FARD, M. T. et al. Aircraft Distributed Electric Propulsion Technologies—A Review. *IEEE Transactions on Transportation Electrification*, v. 8, n. 4, p. 4067-4090, Dec. 2022. DOI: 10.1109/TTE.2022.3197332.
- FELDER, J. L. NASA N3-X with Turboelectric Distributed Propulsion. National Aeronautics and Space Administration, 2014.
- FERREIRA, C. IATA estima a triplicação da produção de Combustíveis de Aviação Sustentáveis (SAF) em 2024. Disponível em: <https://aeroin.net/iata-estima-a-triplicacao-da-producao-de-combustiveis-de-avicao-sustentaveis-saf-em-2024/>. Acesso em: 13 fev. 2025.
- GHASSEMI, M.; BARZKAR, A.; SAGHAFI, M. All-Electric NASA N3-X Aircraft Electric Power Systems. *IEEE Transactions on Transportation Electrification*, v. 8, n. 4, p. 4091-4104, Dec. 2022. DOI: 10.1109/TTE.2022.3158186.
- HENN, J. et al. Intelligent gate Drivers for Future Power Converters. *IEEE Transactions on Power Electronics*, v. 37, n. 3, p. 3484-3503, 1 mar. 2022.
- INFINEON. EiceDRIVER™ gate driver 1EDI3033AS Single channel isolated SiC-MOSFET driver. Datasheet, 2022.
- LI, Zhi et al. A review on insulation challenges towards electrification of aircraft. *High Voltage*, v. 8, 2023. DOI: 10.1049/hve2.12304.
- MERCADO de transporte aéreo fecha 2023 em trajetória de crescimento. Disponível em: <https://agenciagov.ebc.com.br/noticias/202404/mercado-de-transporte-aereo-fecha-2023-em-trajetoria-de-crescimento>. Acesso em: 13 fev. 2025.
- NIKOLAEV, A. A. et al. Current Electromagnetic Compatibility Problems of High-Power Industrial Electric Drives with Active Front-End Rectifiers Connected to a 6–35 kV Power Grid: A Comprehensive Overview. v. 16, n. 1, p. 293–293, Dec. 2022. DOI: <https://doi.org/10.3390/en16010293>.
- PASSENGER Demand Up 8.1% in November. Disponível em: <https://www.iata.org/en/pressroom/2025-releases/2025-01-09-02/>. Acesso em: 13 fev. 2025.

- RAHROVI, B.; EHSANI, M. A Review of the More Electric Aircraft Power Electronics. 2019 IEEE Texas Power and Energy Conference (TPEC), College Station, TX, USA, 2019, p. 1-6. DOI: 10.1109/TPEC.2019.8662158.
- ROBOAM, X.; SARENI, B.; ANDRADE, A. More Electricity in the Air: Toward Optimized Electrical Networks Embedded in More-Electrical Aircraft. *Industrial Electronics Magazine, IEEE*, v. 6, p. 6-17, 2012. DOI: 10.1109/MIE.2012.2221355.
- SAĞIRKAYA, H. Design and Verification of Aircraft Electrical Power System. 2023 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC), Venice, Italy, 2023, p. 1-6.
- SCHEFER, H. et al. Discussion on Electric Power Supply Systems for All Electric Aircraft. *IEEE Access*, v. 8, p. 84188-84216, 2020. DOI: 10.1109/ACCESS.2020.2991804.
- WILEMAN, A.; ASLAM, S.; PERINPANAYAGAM, S. A road map for reliable power electronics for more electric aircraft. *Progress in Aerospace Sciences*, v. 127, p. 100739, Nov. 2021. DOI: 10.1016/j.paerosci.2021.100739.
- XIANG, P. et al. An Active gate Driver of SiC MOSFET Module Based on PCB Rogowski Coil for Optimizing Trade-off Between Overshoot and Switching Loss. *IEEE Transactions on Power Electronics*, p. 1–16, 2022.
- XUE, P.; DAVARI, P. The Trade-off of Switching Losses and EMI Generation for SiC MOSFET with Common Source and Kelvin Source ConFigurations. 4 set. 2023.
- Wolfspeed Silicon Carbide Power MOSFET C3M C3M0021120K . Disponível em:
<https://assets.wolfspeed.com/uploads/2024/01/Wolfspeed_C3M0021120K_data_sheet.pdf>. Acesso em: 13 fev. 2024.

APÊNDICE A – SELEÇÃO DE OSCILOSCÓPIOS E PONTEIRAS

A estrutura de ensaio de dispositivos WBG consiste em analisar as formas de onda de tensão do conversor na topologia meia ponte. Este ensaio necessita de equipamentos capazes de aferir e garantir a integridade do sinal analisado, por se tratar de dispositivos WBG, a alta frequência e também alta potência podem influenciar na amostragem do sinal, pois podem comprometer os resultados das análises dos sinais de tensões deste conversor.

A primeira análise foi comparar os diferentes tipos de ponteiras de tensão isoladas. Este teste garante o comportamento e análise qualitativa de como essas ponteiras podem garantir a integridade do sinal analisado, pois cada ponteira tem seu limite de largura de banda e isso é um fator limitante ao se analisar dispositivos WBG. Outro fator a ser considerado é a tensão máxima suportada de cada ponteira, devido a esses conversores trabalharem com altas tensões é necessário garantir a isolamento galvânica do circuito a ser medido.

As ponteiras utilizadas na bancada de testes foram de especificações e marcas diferentes, desta forma pode-se analisar como a largura de banda pode impactar no sinal analisado. As ponteiras isoladas analisadas são ilustradas nas Figuras abaixo.



Figura A1. Ponteira Isolada Agilent 2772A, 600V, 20MHz.



Figura A2. Ponteira Isolada Yokogawa 700924, 1400V, 100MHz.



Figura A3. Ponteira Isolada Tektronix P5200, 1300V, 100MHz.



Figura A4. Ponteira Isolada Rohde & Schwarz RT-ZHD, 1500V, 100MHz.



Figura A5. Ponteira Isolada Tektronix THDP0200, 1500V, 200MHz.

A montagem da bancada de teste consiste com os respectivos equipamentos, gerador de sinal, osciloscópio, ponteira do sinal de referência do gerador de sinal e ponteira isolada. A Figura 6 ilustra como foi realizado os testes, primeiramente foi definido uma onda quadrada no gerador de sinais Siglent SDG 1032X, Figuras 7. O sinal do gerador de sinais foi conectado ao osciloscópio Tektronix MSO46 por duas ponteiras e dois canais, a ponteira de referência (Figura 8) e as ponteiras isoladas vistas anteriormente.

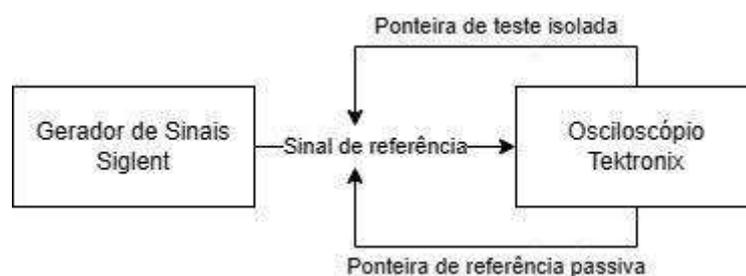


Figura A6. Diagrama da bancada de testes.

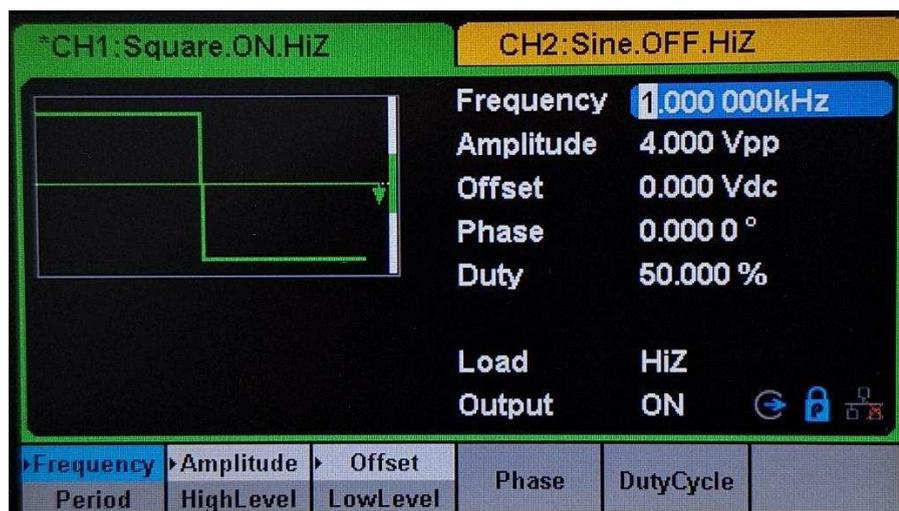


Figura A7. Onda quadrada no gerador de sinais Siglent SDG 1032X.

O sinal de referência é mostrado pela ponteira passiva TPP0500B, Figura 8. Esse sinal de referência tem uma subida de 2,31 ns, Figura 9.



Figura A8. Ponteira passiva TPP0500B, 300V, 500MHz.

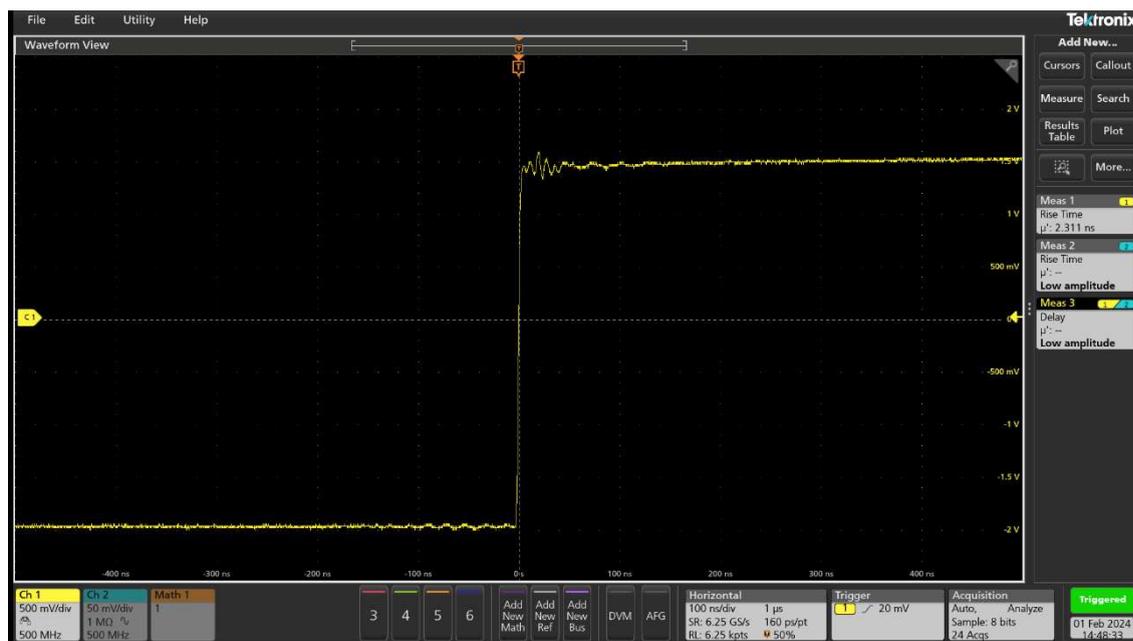


Figura A9. Sinal amostrado de referência pela ponteira passiva (tempo de subida 2,31ns).

Os testes com as ponteiras isoladas consistem na aferição do tempo de subida e atraso do sinal comparado com o sinal de referência. A ordem de testes foi seguindo de forma crescente a largura de banda de cada ponteira: Agilent, Yokogawa, Tektronix P5200, Rohde & Schwarz e Tektronix THDP0200, respectivamente.

O primeiro teste realizado foi com a ponteira Agilent 600V 20MHz, Figura 10. O tempo de subida para essa ponteira foi 8,05ns e atraso do sinal de referência de 24,10 ns.

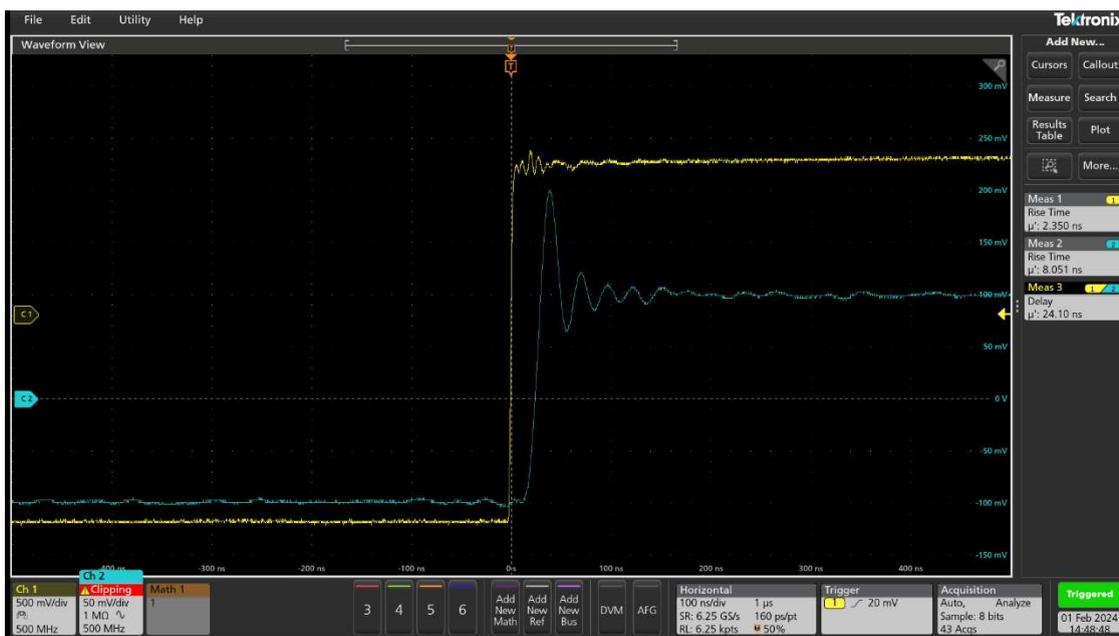


Figura A10. Sinal medido utilizando a ponteira isolada Agilent 20MHz (curva amarela [sinal de referência], curva verde [sinal da ponteira isolada Agilent 20MHz]).

O segundo teste realizado foram com as ponteiras Tektronix 1300V e Yokogawa 1400 ambas com largura de banda máxima de 100MHz, Figuras 11 e 12. O tempo de subida para essa ponteira da Yokogawa foi 3,47 ns e atraso do sinal de referência de 8,23 ns. O tempo de subida para essa ponteira da Tektronix foi 2,24 ns e atraso do sinal de referência de 16,26 ns

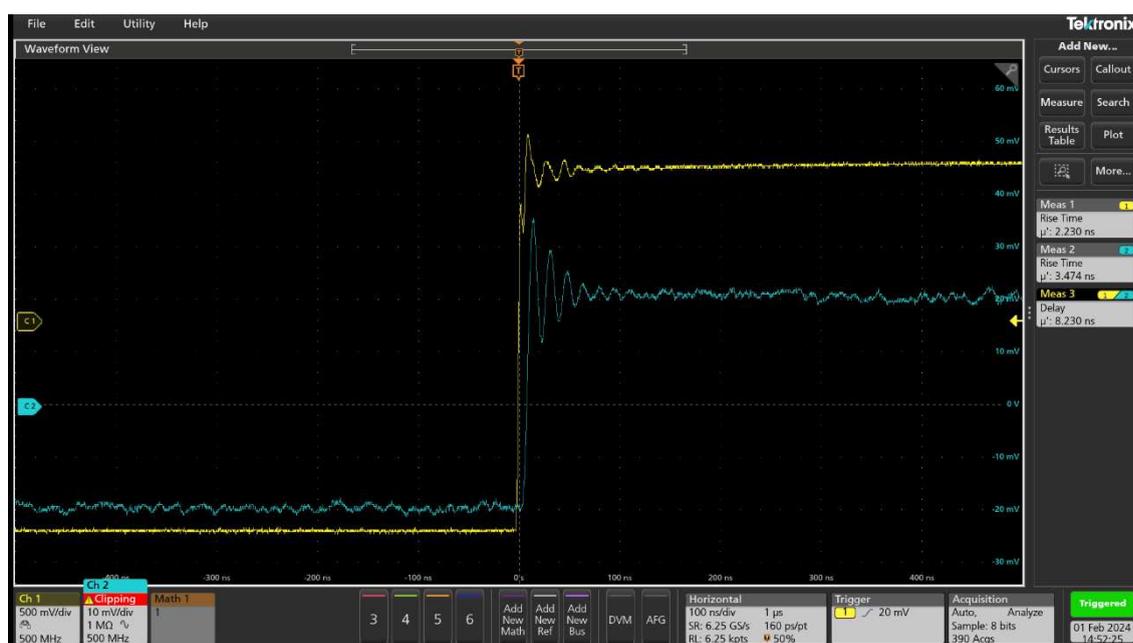


Figura A11. Sinal medido utilizando a ponteira isoladas Yokogawa 100MHz (curva amarela [sinal de referência], curva azul [sinal da ponteira isolada Yokogawa 100MHz]).

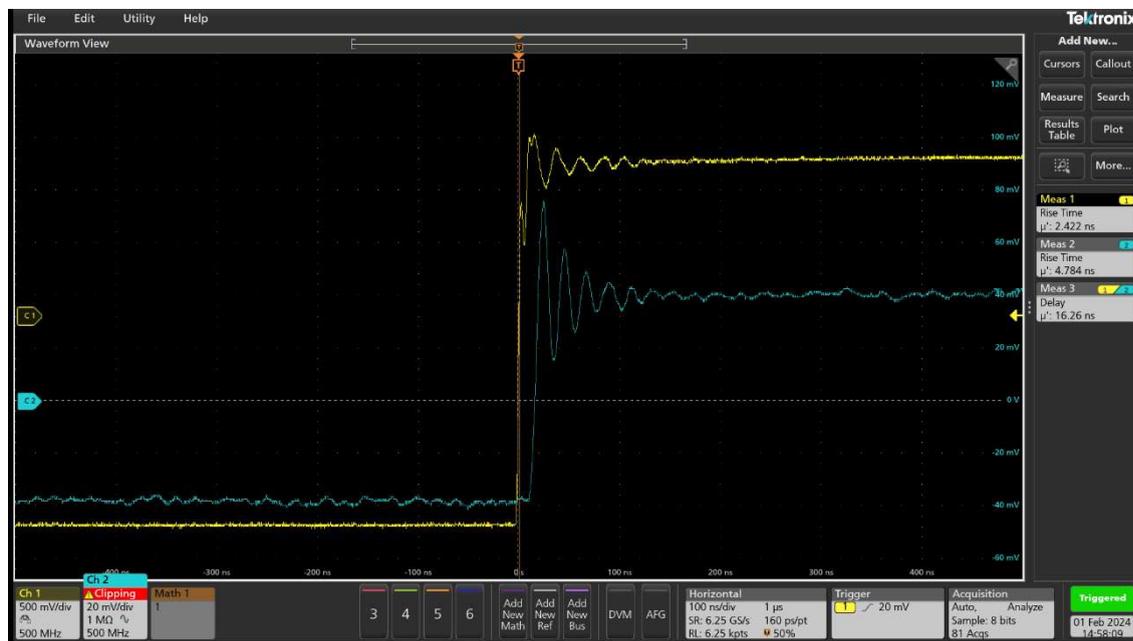


Figura A12. Sinal medido utilizando a ponteira isoladas Tektronix 100MHz (curva amarela [sinal de referência], curva azul [sinal da ponteira isolada Tektronix 100MHz]).

O terceiro teste realizado foi com a ponteira Rohde & Schwarz 1500V com largura de banda máxima de 100MHz, Figura 13. O tempo de subida para essa ponteira da Rohde & Schwarz RT-ZHD foi 2,8 ns e atraso do sinal de referência de 13,2 ns. O sinal de referência para esse ensaio foi medido utilizando a ponteira passiva Rohde & Schwarz RT-ZP05S com largura de banda de 500MHz, Figura 14.



Figura A13. Sinal medido utilizando a ponteira isolada Rohde & Schwarz RT-ZHD 100MHz (curva azul [sinal de referência ponteira RT-ZP05S], curva rosa [sinal da ponteira isolada RT-ZHD]).



Figura A14. Ponteira passiva de 300V, 500MHz Rohde & Schwarz RT-ZP05S.

O quarto teste realizado foi com a ponteira Tektronix 1500V com largura de banda máxima de 200MHz, Figura 15. O tempo de subida para essa ponteira da Tektronix THDP0200 foi 3,93 ns e atraso do sinal de referência de 8,94 ns.

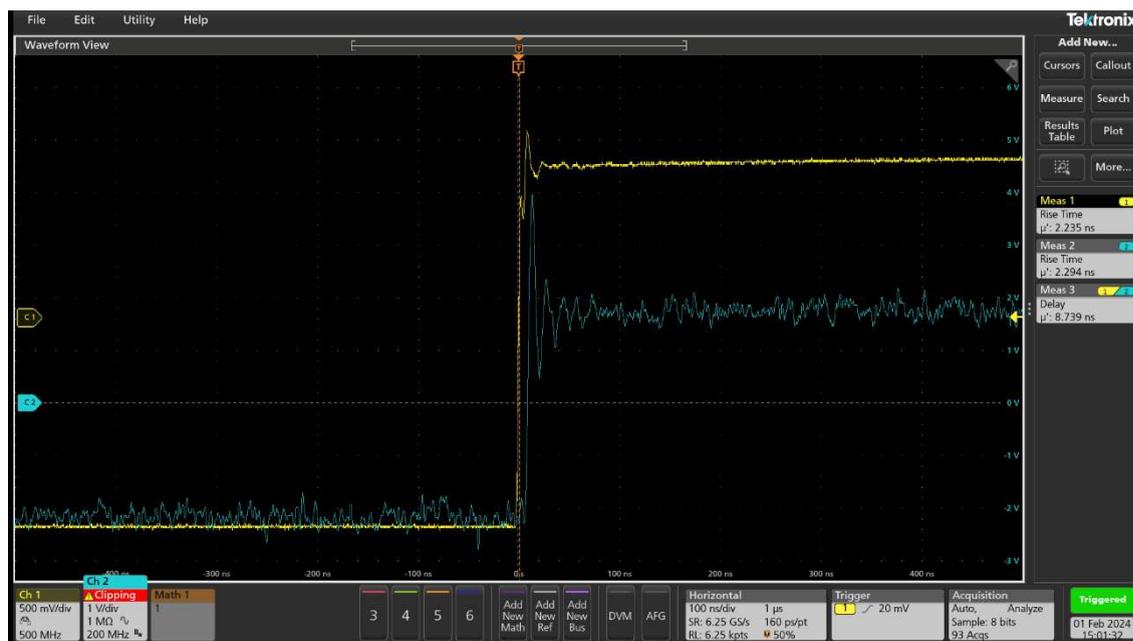


Figura A15. Sinal medido utilizando a ponteira isolada Tektronix 200MHz (curva amarela [sinal de referência], curva azul [sinal da ponteira isolada Tektronix 200MHz]).

A Tabela A1 resume os valores obtidos na bancada de testes anteriormente. A Tabela ilustra os valores de tempo de subida e atraso do sinal respectivos de cada ponteira isolada testada.

Marca Modelo	Largura de banda	Isolação máxima	Tipo de Isolação	Tempo de subida	Atraso
Referência Tektronix TPP0500B	500MHz	300V	Passivo	2,31ns	-
Referência Rohde & Schwarz RT-ZP05S	500MHz	300V	Passivo	2,8ns	-
Agilent 2772A	20MHz	600V	Ativo	8,05ns	24,10ns
Tektronix P5200	100MHz	1300V	Ativo	2,24ns	16,26ns
Yokogawa 700924	100MHz	1400V	Ativo	3,47ns	8,23ns
Rohde & Schwarz RT-ZHD	100MHz	1500V	Ativo	2,8ns	13,2ns
Tektronix THDP0200	200MHz	1500V	Ativo	3,93ns	8,94ns

Tabela A1. Comparativo de resultados das ponteiras isoladas.

A Tabela A2 resume as características dos osciloscópios utilizados nas bancadas de testes.

Marca Modelo	Largura de banda	Taxa de atualização	Tensão de leitura mínima
Rigol DS2102E	100MHz	1GSa/s	500 μ V/div
R&S RTM3004	100MHz	5GSa/s	500 μ V/div
Tektronix MSO46	500MHz	6,25GSa/s	500 μ V/div

Tabela A2. Comparativo das características dos osciloscópios.

A interferência do acoplamento magnético na leitura de sinais pode se manifestar de várias maneiras, dependendo do contexto. Este fenômeno pode induzir correntes elétricas, causar crosstalk magnético entre componentes, distorcer sinais transmitidos e tornar dispositivos mais sensíveis a interferências externas. Em especial, a leitura de sensores magnéticos e a propagação de sinais em meios condutores podem ser impactadas. Para minimizar tais problemas, são adotadas medidas como o uso de blindagem magnética, o posicionamento estratégico de

componentes, a seleção de materiais apropriados e a implementação de técnicas de cancelamento de ruído. Essas práticas visam assegurar a integridade dos sinais e a precisão das leituras em ambientes sujeitos ao acoplamento magnético.

Os ensaios anteriores foram suscetíveis a interferência do acoplamento magnético. O fenômeno causou falsos erros nas leituras do sinal, para mitigar esses efeitos magnéticos, a ponteira passiva utilizada de referência de sinal foi adaptada para a leitura do sinal do gerador de sinais. A Figura 16 ilustra a adaptação feita na ponteira. Ao reduzir o comprimento dos fios e conectar diretamente ao sinal de referência a leitura obteve resultados próximos aos esperados. As Figuras 17 e 18 ilustram o comportamento do sinal de referência antes e depois da adaptação feita.



Figura A16. Adaptação feita na ponteira.

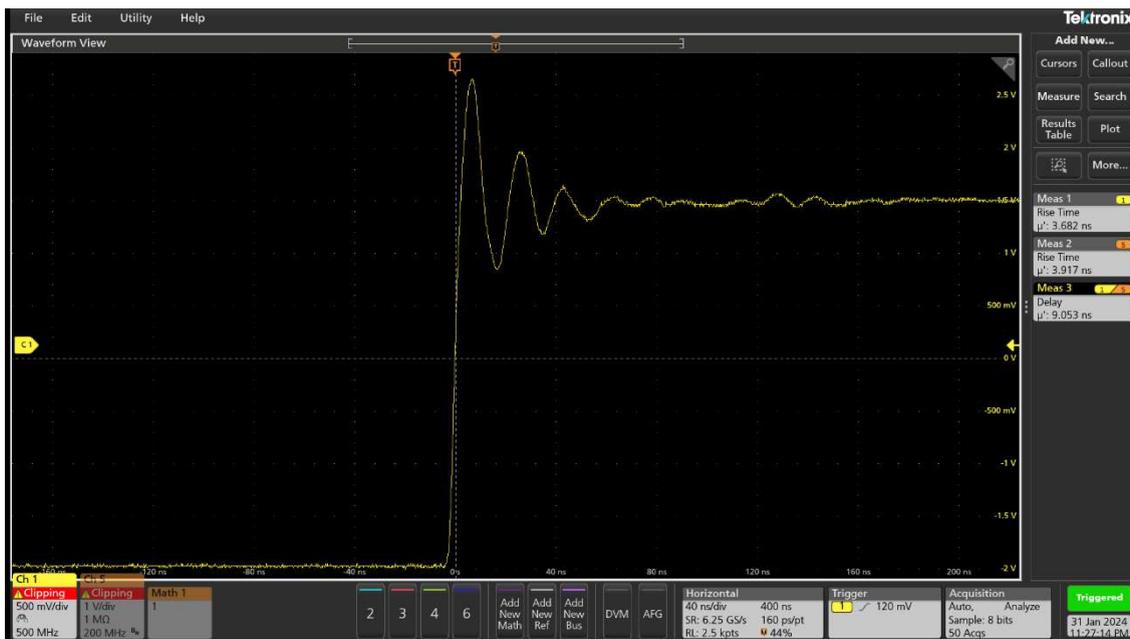


Figura A17. Sinal aferido antes da adaptação na ponteira.

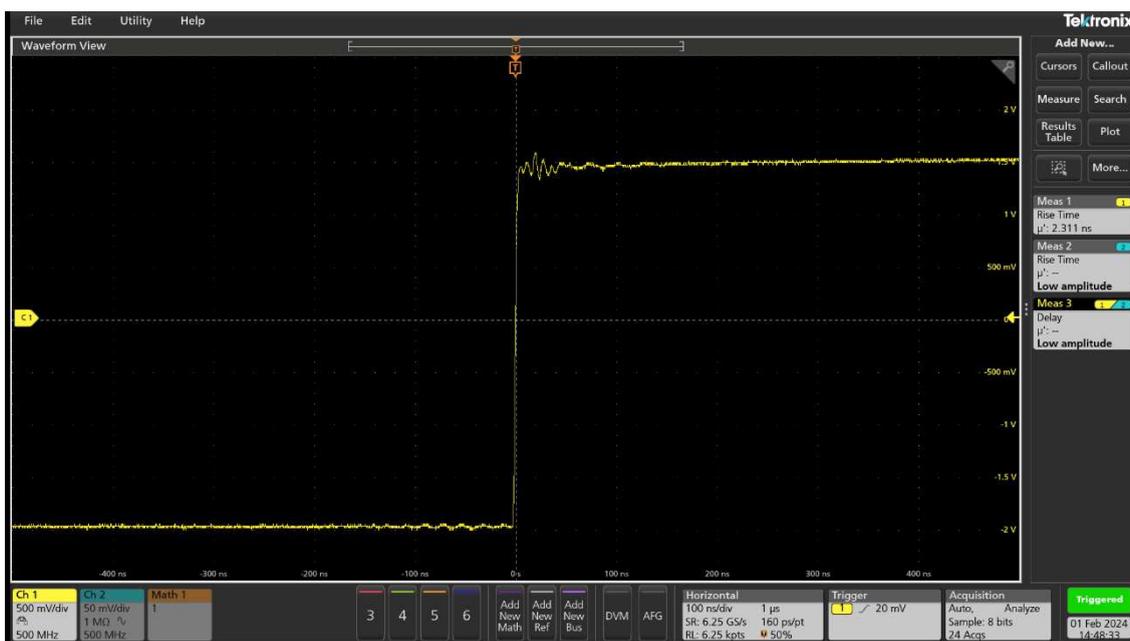


Figura A18. Sinal aferido depois da adaptação na ponteira.

A largura de banda e a tensão máxima suportada são fatores fundamentais em ponteiras isoladas. A largura de banda influencia na taxa de atualização do sinal analisado. As ponteiras vistas anteriormente suas conexões são feitas por cabos de

cobre, devido a esse tipo de construção, podem impactar negativamente no sinal visualizado, pois podem causar interferência eletromagnética no circuito.

Novas tecnologias de ponteiros isoladas como isolamento galvânico (óptico) ou RF para separar a tensão de referência da sonda da tensão de referência do osciloscópio. A Tektronix desenvolveu uma nova tecnologia (IsoVu) que usa isolamento galvânico para fornecer o melhor desempenho de rejeição de modo comum em uma ampla largura de banda.

A combinação de isolamento e alta frequência em sondas IsoVu fornece medições mais precisas do que as sondas diferenciais tradicionais para aplicações que exigem alta largura de banda durante a medição de sinais de alta tensão. A tecnologia IsoVu usa fibra óptica e um caminho de sinal analógico para isolamento galvânico completo entre o sistema de medição e o osciloscópio.

O uso de fibra óptica reduz os níveis de interferência eletromagnética do sistema de medição. Essa ponteira não utiliza cabos de cobre com comprimento elevado para fazer as medidas nos circuitos. A conexão é feita através de pin headers colocados em locais específicos do circuito, e a ponteira faz uso de conectores do tipo pin socket.

As pontas de sonda IsoVu possuem uma gama de conexões e acessórios que oferecem alto desempenho e acessibilidade, Figuras 19 e 20. Seu corpo de metal sólido protege o condutor central e minimiza a área do loop de terra para a menor interferência possível.

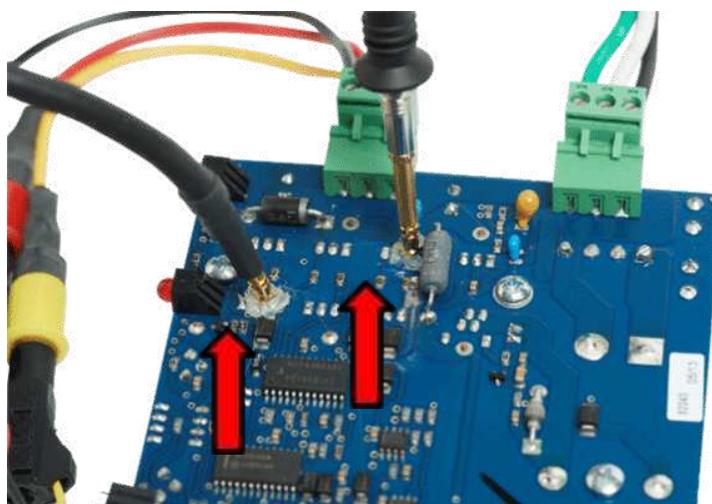


Figura A19. Ponteira IsoVu – conexão com o circuito. Fonte Tektronix.

As ponteiras IsoVu tem capacidade de isolamento até 2500V e largura de banda até 1GHz, Figura 15. Sua conexão ao osciloscópio é feita por fibra ótica. A fibra ótica é imune a interferência eletromagnética porque transmite dados usando sinais de luz, em vez de sinais elétricos. Ao contrário dos cabos de cobre, que utilizam sinais elétricos para transmitir informações, as fibras ópticas usam feixes de luz que são refratados através do núcleo da fibra. Essa tecnologia óptica não é afetada por campos magnéticos externos, tornando-a resistente a interferências eletromagnéticas.



Figura A20. Ponteira Tektronix IsoVu. Fonte Tektronix.

As ponteiras serão utilizadas para medir tensão em conversor meia ponte. Devido a alta tensão, essas ponteiras devem garantir a isolamento do circuito de potência e de medição. Os dispositivos WBG são capazes de lidar com altas tensões e altas frequências. Em um conversor meia ponte, as medidas essenciais de tensão são: tensão de entrada, tensão de saída e sinais de controle e comando. Essas medidas ajudam a garantir o correto funcionamento do circuito e o fornecimento adequado de energia para a carga.

A tecnologia IsoVu garante tensão de isolamento superior a ponteira com maior capacidade de tensão disponível na bancada de ensaio, Tektronix THDP0200, 1500V. As ponteiras IsoVu tem a disponibilidade de largura de banda de 500MHz e 1GHz, superior ao modelo utilizado na bancada de testes, Tektronix THDP0200, 200MHz. Por fim, a implantação dos modelos de ponteiras IsoVu de 2500V e largura

de banda de 500MHz ou 1GHz possibilitaram a integridade dos sinais de tensão amostrados, e igualmente a análise fidedigna do circuito do conversor meia ponte utilizando dispositivos WBG.

A aferição de corrente do conversor utilizou duas ponteiras isoladas da Yokogawa e Tektronix. A ponteira de corrente Yokogawa 701933 tem largura de banda máxima de 50MHz e corrente máxima de 30A, Figura 21. A ponteira de corrente Tektronix TCP0030A tem largura de banda máxima de 120MHz e corrente máxima de 30A, Figura 22.



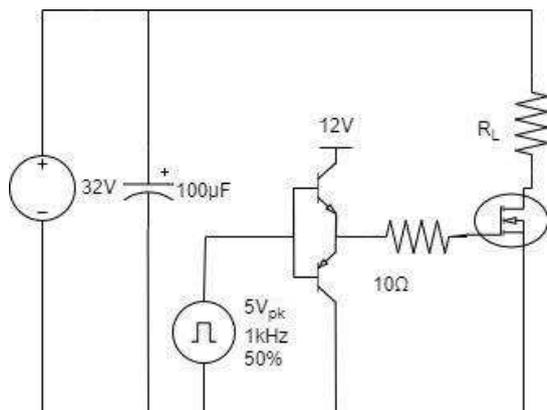
Figura A21. Yokogawa 701933



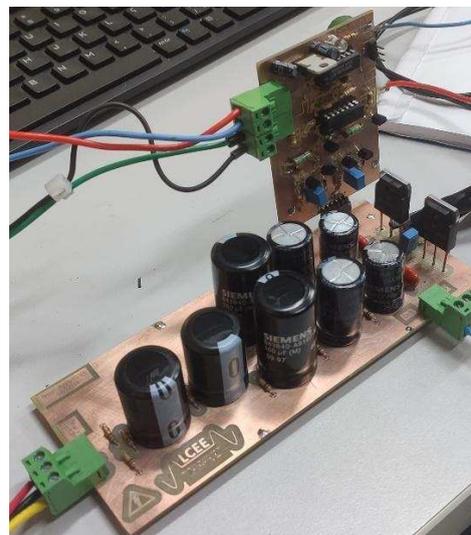
Figura A22. Tektronix TCP0030A

O primeiro ensaio consistiu em uma carga resistiva de 50Ω conectado ao conversor. A tensão de entrada definida foi 32V e razão cíclica de 50%. O

esquemático do circuito pode ser visualizado na Figura 23(a), a construção do protótipo de ensaio das ponteiros de corrente para esse ensaio, Figura 23(b). O conversor foi modificado para o modo source-comum.



(a)



(b)

Figura A23. (a) Esquemático do circuito do ensaio com 50% de razão cíclica e carga resistiva de 50Ω . (b) Construção do protótipo de ensaio das ponteiros de corrente.

A Figura 24 ilustra as curvas de corrente e tensão na carga resistiva, curvas amarela e azul respectivamente. Razão cíclica em 50% e carga resistiva de 50Ω . Valores de corrente e tensão média na carga 300 mA e 17,88V. As curvas foram obtidas utilizando a ponteira Yokogawa 701933.

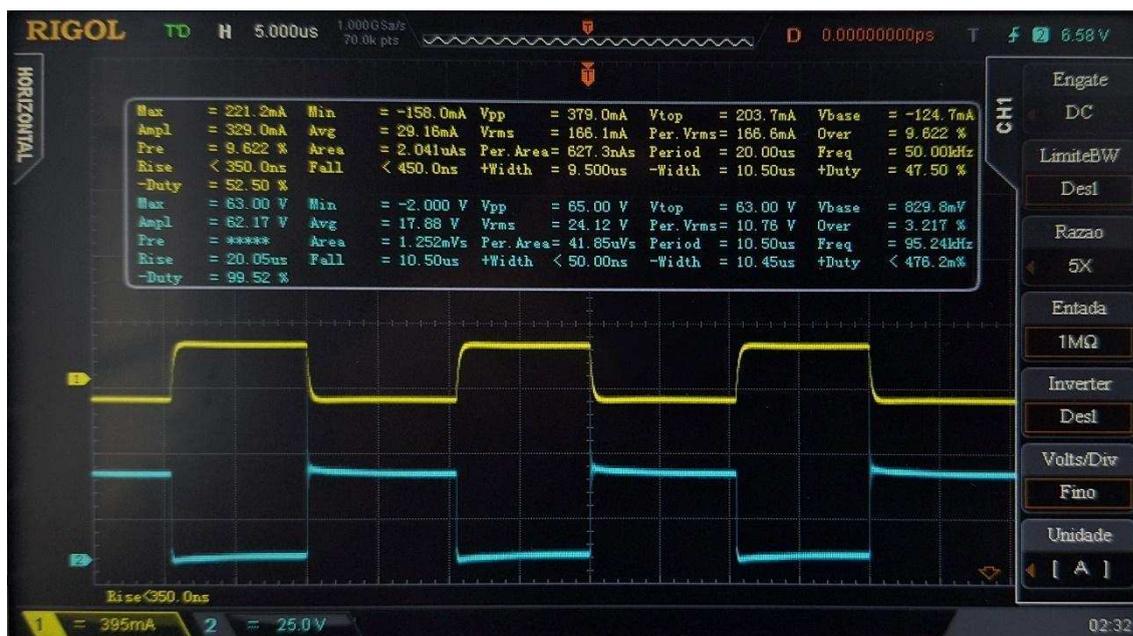


Figura A24. Curvas de corrente e tensão na carga do conversor.

Os próximos ensaios serão o comparativo das ponteiras da Yokogawa e Tektronix. A inclusão de um resistor shunt, 100mΩ, para o esquemático anterior foi necessário para obter um sinal de corrente de referência, Figura 25. A corrente de referência é obtida através do resistor shunt, para isso é utilizado a lei de ohm, equação 1. Onde V_{Rs} é a tensão do resistor shunt, R_s é o valor do resistor shunt, e I é a corrente do circuito. A largura de banda será analisada nessas ponteiras e como impactam nos tempos de subida e atraso do sinal de referência. A carga usada foi uma associação em paralelo de dois resistores de 15Ω, resultando em uma resistência equivalente de carga de 7,5Ω. A tensão do resistor shunt será aferida utilizando a ponteira passiva TPP0500B, Figura 8.

$$I = \frac{V_{Rs}}{R_s} \quad (1)$$

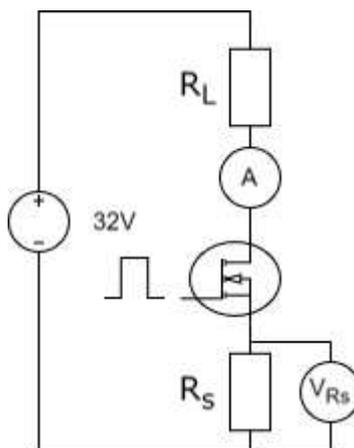


Figura A25. Esquemático dos ensaios dos testes das ponteiras de corrente.

Devido a não idealidades das cargas, os ensaios foram realizados em uma frequência de chaveamento de 1kHz. Pois em altas frequências esses elementos não se comportam linearmente, e suas características resistivas são alteradas.

O ensaio das ponteiras de corrente Yokogawa e Tektronix, Figura 26. O tempo de subida para essa ponteira da Yokogawa foi 487,4 ns e atraso do sinal de referência de 168,5 ns. O tempo de subida para essa ponteira da Tektronix foi 483,6 ns e atraso do sinal de referência de 165 ns. A ponteira de referência é ilustrada na curva amarela, a ponteira de corrente Yokogawa é ilustrada na curva azul. E a ponteira de corrente Tektronix é ilustrada na curva vermelha.

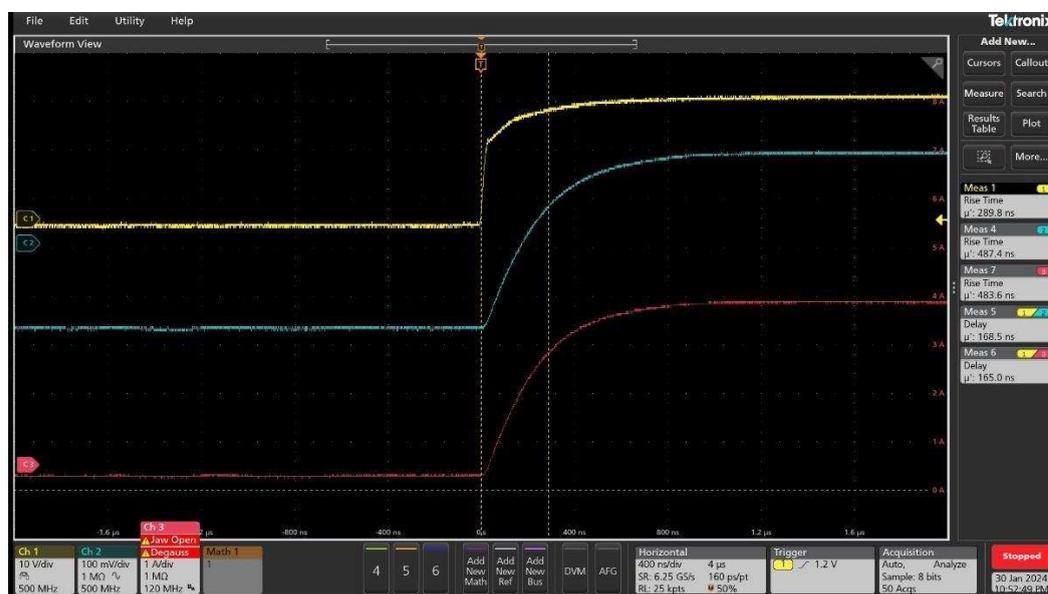


Figura A26. Corrente do conversor medido utilizando as ponteiras de corrente Tektronix e Yokogawa (curva amarela [sinal de referência], curva azul [sinal da ponteira isolada Yokogawa 50MHz]), curva vermelha [sinal da ponteira de corrente Tektronix 120MHz],

A Figura 27 ilustra o ensaio da leitura da tensão com o resistor shunt de $10\text{m}\Omega$. A redução da resistência do resistor shunt impacta diretamente o tempo de subida do sinal de referência. O tempo de subida para ponteira de referência foi $185,4\text{ ns}$

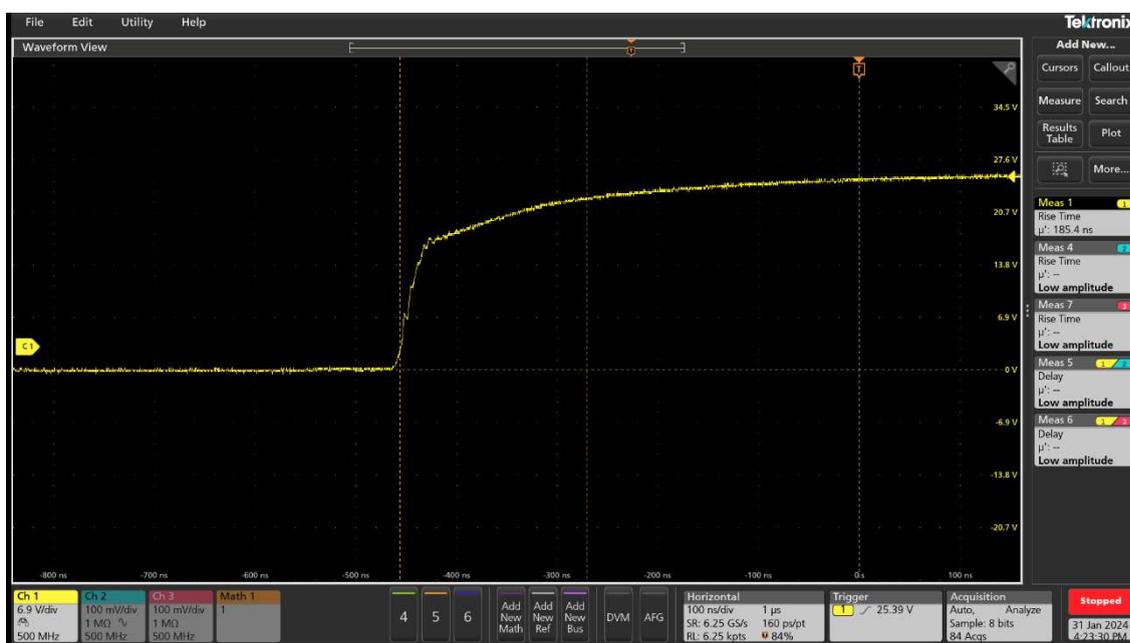


Figura A27. Corrente do conversor medido utilizando resistor shunt de $10\text{m}\Omega$. (curva amarela [sinal de referência])

A Tabela A3 resume os valores obtidos na bancada de testes anteriormente. A Tabela ilustra os valores de tempo de subida e atraso do sinal respectivos de cada ponteira de corrente testada.

Marca Modelo	Largura de banda	Tempo de subida	Atraso	Corrente Máxima
----------------	------------------	-----------------	--------	-----------------

Referência Tektronix TPP0500B	500MHz	289,9ns	-	-
Yokogawa 701933	50MHz	487,4ns	168,5ns	30A
Tektronix TCP0030A	120MHz	485ns	165ns	30A

Tabela A3. Comparativo de resultados das ponteiras isoladas.

A largura de banda e a corrente máxima suportada são fatores fundamentais em ponteiras isoladas. A largura de banda influencia na taxa de atualização do sinal analisado. A ensaio visto anteriormente a largura de banda maior não obteve valores dos tempos de subida e atrasa expressivamente superiores ao comparar com as ponteiras isoladas. As ponteiras fazem uso do efeito Hall para medir a corrente. Os sensores de efeito Hall medem a corrente através da tensão proporcional à corrente que flui através de um condutor, quando esse condutor é colocado em um campo magnético.

A carga resistiva foi analisada comportamento em frequência, bem como o resistor shunt. Resistores reais apresentam características não ideais que podem influenciar seu comportamento em relação à frequência. Mesmo que os resistores sejam projetados para oferecer apenas resistência ao fluxo de corrente, eles ainda podem ter componentes indutivos e capacitivos indesejados. Essas características parasitas geralmente não são significativas em baixas frequências, mas podem afetar o desempenho em frequências mais altas. Embora a resistência nominal seja constante para uma ampla faixa de frequências, em frequências muito altas, a resposta em frequência de um resistor pode começar a diminuir devido às características parasitas.

A resposta em frequência para os resistores de carga e shunt foram obtidas através do equipamento de análises do Bode 100. O Bode 100 é um analisador de rede vetorial que funciona como analisador de resposta de frequência, medidor de ganho/fase, e um analisador de impedância. As próximas Figuras ilustram os resultados obtidos utilizando esse equipamento.

A carga resistiva usada pode ser vista na Figura 28. As Figuras 29 e 30 ilustram o comportamento em frequência da carga de 7,5Ω. Pode-se analisar que apresentam características lineares até aproximadamente 100kHz. A carga resistiva apresentou uma característica indutiva baixa, menor que 5uH.

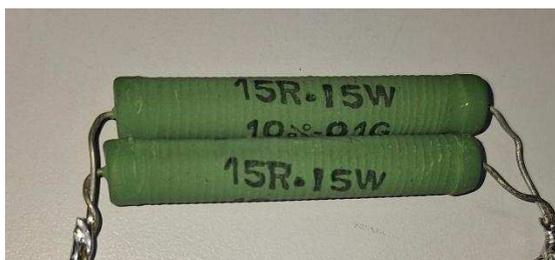


Figura A28. Carga resistiva de 7,5Ω.

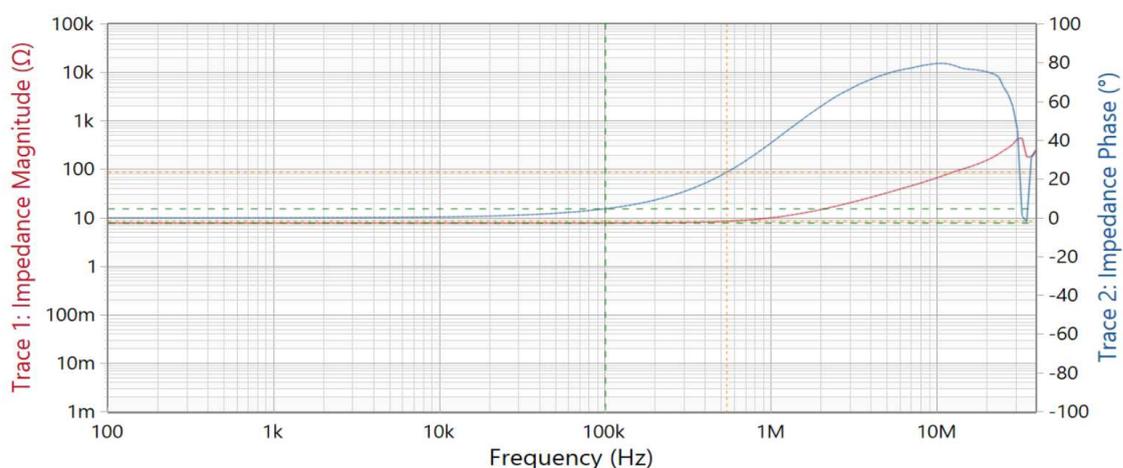


Figura A29. Reposta em frequência para a carga resistiva 7,5Ω. Impedância e Fase.

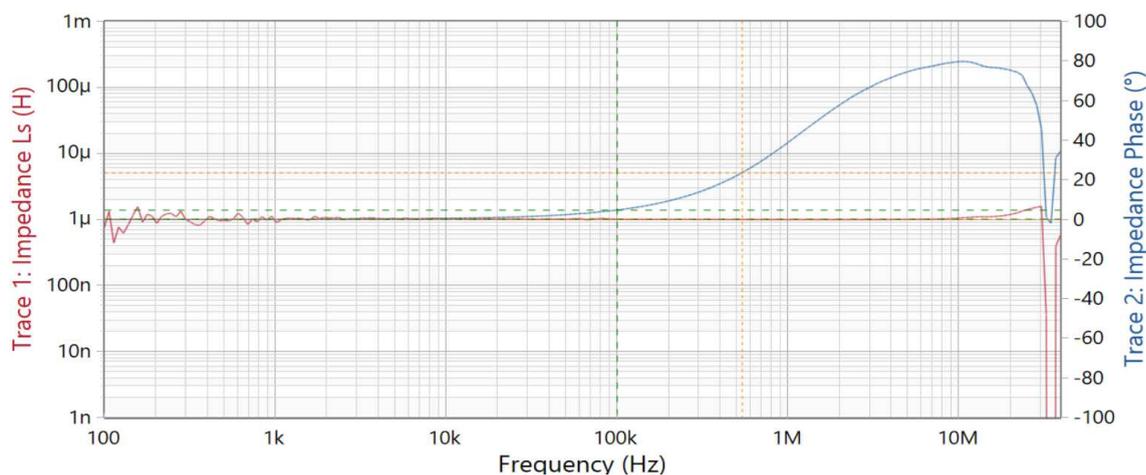


Figura A30. Reposta em frequência para a carga resistiva 7,5Ω. Indutância e Fase.

O resistor shunt de 100mΩ usado pode ser visto na Figura 31. A Figura A32 e A33 ilustram o comportamento em frequência do resistor shunt de 100mΩ. Pode-se analisar que apresentam características lineares até aproximadamente 40kHz. A carga resistiva apresentou uma característica indutiva baixa, menor que 270nH.



Figura A31. Resistor shunt de 100mΩ.

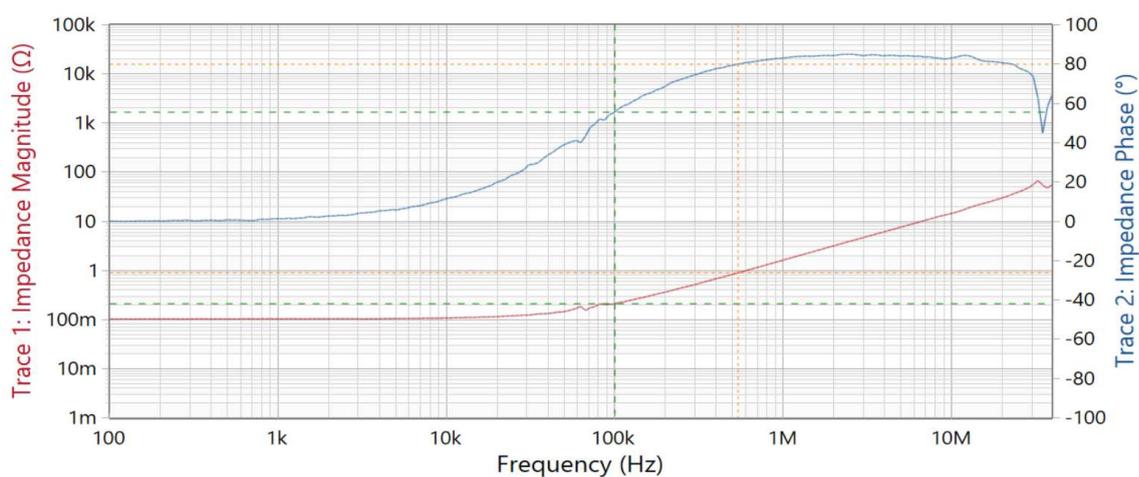


Figura A32. Resposta em frequência para o resistor shunt 100mΩ. Impedância e Fase.

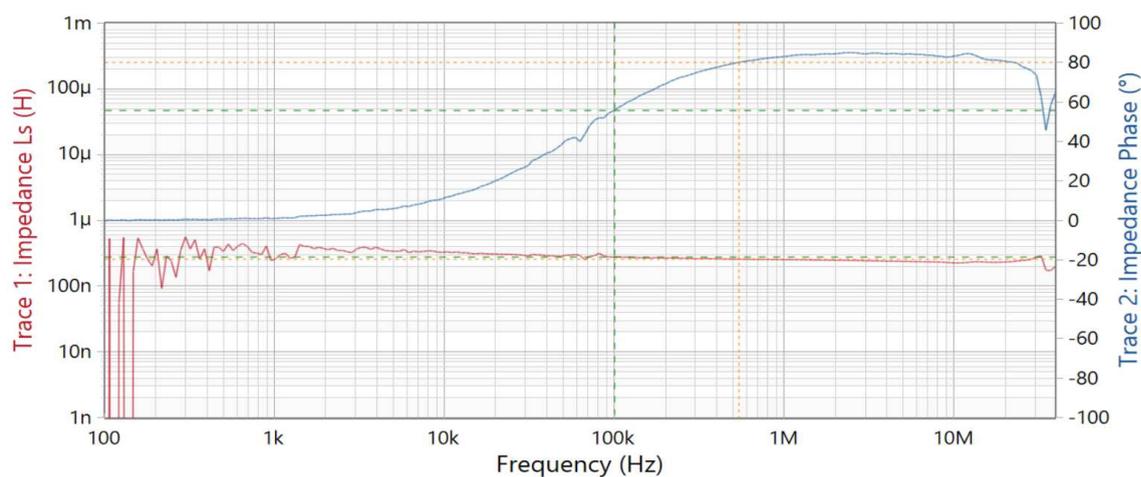


Figura A33. Resposta em frequência para o resistor shunt 100mΩ. Indutância e Fase.

O resistor shunt de 10mΩ usado pode ser visto na Figura 34. A Figura 35 e 36 ilustram o comportamento em frequência do resistor shunt de 10mΩ. Pode-se

analisar que apresentam características lineares até aproximadamente 12kHz. A carga resistiva apresentou uma característica indutiva baixa, menor que 15nH.



Figura A34. Resistor shunt 10mΩ.

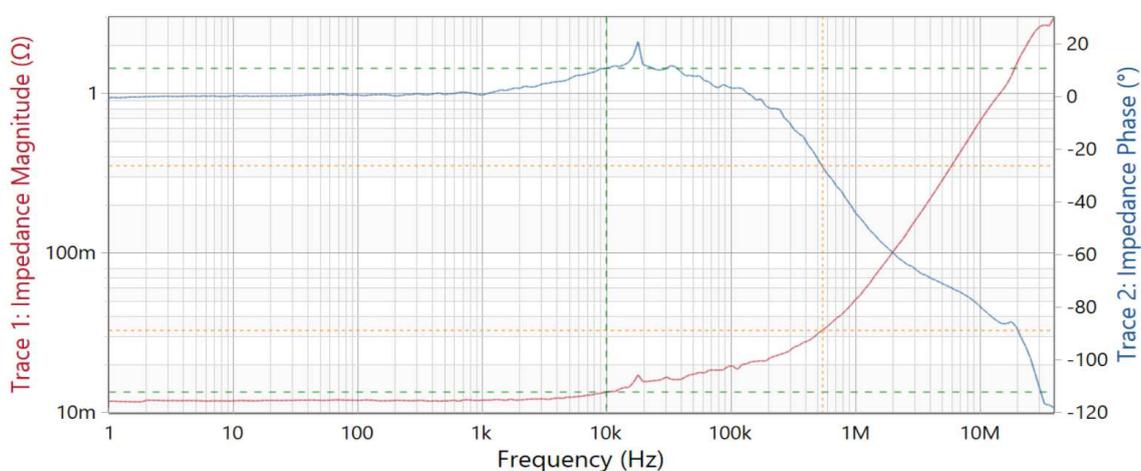


Figura A34. Resposta em frequência para o resistor shunt 10mΩ. Impedância e Fase.

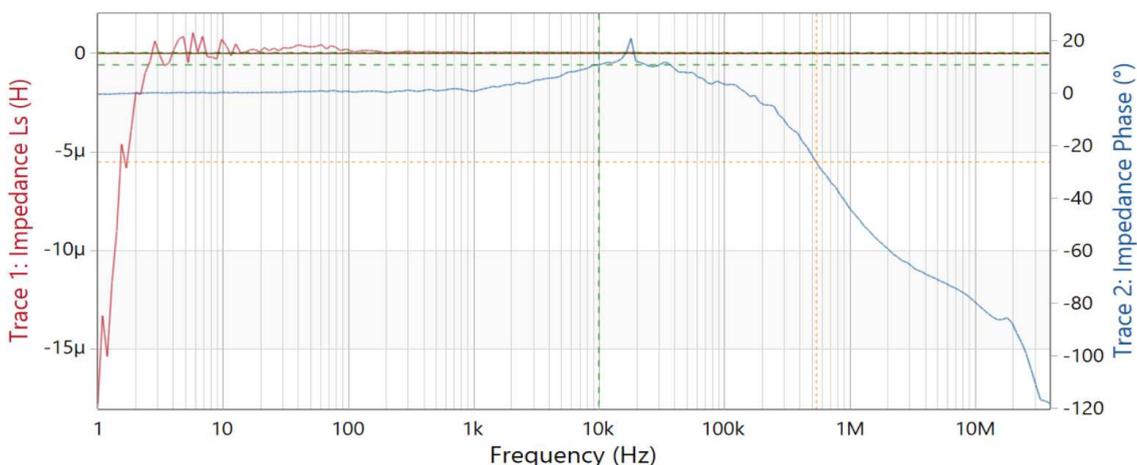


Figura A35. Resposta em frequência para o resistor shunt 10mΩ. Indutância e Fase.

A redução da resistência do resistor shunt impacta diretamente o tempo de subida do sinal de referência. Esse fenômeno se deve a constante de tempo do resistor shunt, devido à baixa resistência o resistor comporta-se como um indutor. As

contantes de tempo para os ensaios anteriores, o resistor shunt de $100m\Omega$, podem ser visualizadas nas equações 2 e 3.

$$\tau_1 = \frac{L}{R} = \frac{270nH}{100m\Omega} = 2,7\mu s \quad (2)$$

$$\tau_2 = \frac{L}{R} = \frac{15nH}{10m\Omega} = 1,5\mu s \quad (3)$$

O método de aferição de corrente utilizando resistor shunt deve ser feito com menor valor de indutância do componente. A indutância presente no resistor shunt causa adição desse elemento indutivo, resultando em um circuito RC. Ao adicionar um indutor em série com um sinal, é introduzido uma componente reativa no circuito. Indutores têm a propriedade de armazenar energia em um campo magnético quando a corrente atravessa a bobina. Quando a corrente para de fluir, essa energia é liberada de volta ao circuito. Isso pode criar atrasos ou retardos nos sinais de alta frequência.

Os futuros ensaios iram se concentrar em reduzir as componentes indutivas do resistor shunt. Para isso será necessário encontrar componentes específicos para essas aplicações ou resistor shunt SMD de baixas resistência e indutância. Bem como, comparar os métodos de aferição de corrente vistos anteriormente.

APÊNDICE B – CÓDIGOS SPICE

A seguir tem-se o arquivo .TXT correspondente ao Modelo Spice do Transistor C3M0021120K, fornecido pelo fabricante Wolfspeed.

```

*****
****   Wolfspeed SiC MOSFET C3M0021120K Spice Library
****   Version 1.0 Date: 08-17-2019
****
*****
****   Revision record
****   Version 1       Initial Release - Datasheet 07-2019
****
*****
****Parasitics Included
****Tj = Junction Temperature
****Tc = Case Temperature
****D = Drain
****G = gate
****S1 = Kelvin Source
****S2 = Power Source
*****

.subckt C3M0021120K d g s1 s2 Tj Tc
.param Rgint = 3.3
xgmos d3 d1 g1 s Tj gmos_C3M0021120K

RS1      s1      sb      10.34m
Ls1      sb      sv      8.832n

RS2      s2      sa      1.196m
Ls2      sa      sv      3.14535n

Rv       sv      st      150u
Lv       st      s       0.8n

R_g      g1      g2      {Rgint}
RG       g       ga      14.6624m
Lg       ga      g2      12.4941n

Rd       d       da      87.416u
Ld       da      d3      4.3659n
R_Ld     da      d3      5

Ed       ld      0       value {I(Vdrain_s)}
Rdd      ld      0       1E6

```

```

vdrain_s    d3    d1    0
Gheat      0      Tj    value = {abs((V(d1,s)*v(ld)))+abs((V(g1,g2)*V(g1,g2)/Rgint))}

xCGD       d3    g1    cgdmos_C3M0021120K
CGS        g1    s     4806p
D1         s     d1    bodydiode_C3M0021120K
xCDS       d3    s     cds_C3M0021120K

```

```

R0 N1 Tj 44.1m
R1 N2 N1 104m
R2 N3 N2 63.78m
R3 Tc N3 112.1m

```

```

C0 Tj 0 2.214m
C1 N1 0 12.6m
C2 N2 0 34.16m
C3 N3 0 129.4m

```

```
.ends C3M0021120K
```

```
*****
```

```
.subckt gmos_C3M0021120K d3 d1 g1 s Tj
```

```

e1          NET1  0      Value {((925.2u*V(Tj)**2-0.1998*V(Tj)+22.12)*(V(gk,s)**2)+
+          (-23.03m*V(Tj)**2+4.789*V(Tj)-433.7)*v(gk,s)+
+          (0.1278*V(Tj)**2-27.43*V(Tj)+3136))/1000
+          }
R_a         NET1  0      1E6

e2          NET2  0      Value {15.35m*V(gk,s)+371.85m}
R_B         NET2  0      1E6

e3          NET3  0      Value {10u*(V(Tj)**2)-5.5m*V(Tj)+2.6226}
R_C         NET3  0      1E6

*e4         NET4  0      value {0.03}
e4          NET4  0      Value
{limit(-48.935n*V(Tj)**2-122.154u*V(Tj)+22.895m,0,0.055)}
R_d         NET4  0      1E6

e5          NET5  0      Value {
+          if (V(gk,s)>=11 ,
*+
(5.97*V(gk,s)**3-243.522*V(gk,s)**2+3046.074*V(gk,s)-10009.682)/10000
*+
(-2.167*V(gk,s)**2+129.792*V(gk,s)+10298.58)/10000
+
((-32.529n*V(Tj)**4+6.5711u*V(Tj)**3+163.36u*V(Tj)**2-81.356m*V(Tj)+2.3922)*V(gk,s)**3+
+
(1.4566u*V(Tj)**4-288.78u*V(Tj)**3-8.9357m*V(Tj)**2+3.7329*V(Tj)-72.624)*V(gk,s)**2+
+
(-21.67u*V(Tj)**4+4.1989m*V(Tj)**3+0.16242*V(Tj)**2-56.681*V(Tj)+334.09)*v(gk,s)+
+
(105.74u*V(Tj)**4-19.769m*V(Tj)**3-1.0083*V(Tj)**2+282.8*V(Tj)+4337.8)/10000
+
,

```

```

*+          (-33.125*V(gk,s)**2+780*V(gk,s)-2598.875)/10000
+
Limit(((306.5n*V(Tj)**4-105.2u*V(Tj)**3+11.45m*V(Tj)**2-32.17m*V(Tj)-89.83)*(V(gk,s)**2)+
+
(-7.787u*V(Tj)**4+2.409m*V(Tj)**3-0.2116*V(Tj)**2-5.491*V(Tj)+1590)*v(gk,s)+
+
(49.54u*V(Tj)**4-13.73m*V(Tj)**3+0.8681*V(Tj)**2+67.42*V(Tj)-4253))/10000,0.001,1)
+
)
+
}

*e5          NET5 0      value {0.125}
R_e          NET5 0      1E6

*e10         NET10 0     Value {0.049}
e10          NET10 0     Value
{Limit(((46.07u*V(Tj)**2-10.44m*V(Tj)+1.42)*(V(gk,s)**3)+
+
(-1.735m*V(Tj)**2+0.3991*V(Tj)-47.6)*(V(gk,s)**2)+
+
(22.57m*V(Tj)**2-5.049*V(Tj)+486.1)*v(gk,s)+
+
(-0.1012*V(Tj)**2+21.11*V(Tj)-1362))/1000,0,1)
+
}
R_K          NET10 0     1E6

.param p10 = 0.0011
.param p11 = -8
.param p12 = 19
.param p13 = 15

*e_p8 P8     0      Value {0.0011}
e_p8 P8     0      Value {Limit(((23.5u*V(Tj)**2-2.112m*V(Tj)-0.5059)*(V(gk,s)**2)+
+
(-674.6u*V(Tj)**2+61.57m*V(Tj)+15.17)*v(gk,s)+
+
(5.816m*V(Tj)**2-0.7002*V(Tj)-57.07))/1000,0.001,1)
+
}
R_R P8     0      1E6

R100 gk s   1E6
E100 gk s   value {limit(V(g1,s),p11,p12)}

*****

G1 d1 s value {
+   if(V(s,d3)<0,
+       0
+       ,
+       if (V(gk,s)<V(NET3),
+
-((0.035)*(v(gk,s)-V(NET3)))*(-(1+p10*v(s,d3))*0.008)*(((log(1+exp(v(gk,s)-V(NET3))))**2)-
+
((log(1+exp(v(gk,s)-V(NET3))-(0.854*v(s,d3))))**2))
+
,
+
0
*+
)
+
-(((v(NET5)+v(NET4))*(v(gk,s)-V(NET3)))*(1+v(P8)*v(s,d3))*(((log(1+exp(v(gk,s)-V(NET3))))
)**2)-
+
((log(1+exp(v(gk,s)-V(NET3))-(V(NET2)*v(s,d3))*((1+exp(-v(NET10)*v(s,d3))))**v(NET1))))**2
)))
+
)

```

```

+           )
+           }
G2 d1 s value {
+   if(V(d3,s)<0,
+       0
+       ,
+       if (V(gk,s)<V(NET3),
+
+ ((0.035)*(v(gk,s)-V(NET3))*(-(1+p10*v(d3,s))*0.008)*(((log(1+exp(v(gk,s)-V(NET3))))**2)-
+ ((log(1+exp(v(gk,s)-V(NET3)-(0.854*v(d3,s))))**2))
+
+
+ ((v(NET5)*(v(gk,s)-V(NET3)))*(1+v(P8)*v(d3,s))*(((log(1+exp(v(gk,s)-V(NET3))))**2)-
+ ((log(1+exp(v(gk,s)-V(NET3)-(V(NET2)*v(d3,s)*((1+exp(-v(NET10)*v(d3,s)))**v(NET1))))))**2
+ ))
+       )
+       )
+   }

```

```
.ends gmos_C3M0021120K
```

```
*****
```

```
.subckt cgdmos_C3M0021120K d3 g1
```

```
.param k1=1810p
.param k2=0.475
.param ka=80
.param kb=0.5
.param kc=6
```

```
G11 g1 d1 value {
+   k1*(
+   (1+(limit(v(d3,g1),0,468))*(1+ka*(1+TANH(kb*V(d3,g1)-kc))/2))**k2
+   )*ddt(v(g1,d3))
+   }

```

```
R_CGD d1 d3 1E-4
```

```
.ends cgdmos_C3M0021120K
```

```
.subckt cds_C3M0021120K d3 s
```

```
.param Cjo = 3835p
.param Vj = 3
.param M = 0.615
```

```
G12 d1 s value {
+   if(V(d3,s)>0,
+   (Cjo/(1+(limit(v(d3,s),0,490)/Vj)**M))*ddt(v(d3,s));
+   ,
+   0
+   )
+   }

```

R_CDS d1 d3 1E-4

.ends cds_C3M0021120K

.model bodydiode_C3M0021120K d(is=200n bv=1590 EG=5.4 n=8.4

+ rs=0.013 trs1=-1.75m trs2=14u Tnom=25

+ tt=3n ibv=500u Xti=10 level=1)

A seguir tem-se o arquivo .TXT correspondente ao Modelo Spice do CI gate Driver 1ED3122MC12H, fornecido pelo fabricante Infineon.

* Simulation model of 1ED3122MC12H Level 1 for SIMetrix version 8.3g or higher

* Version: 01.03 (Revision: 943)

* (C) Copyright 2022 Infineon Technologies. All rights reserved.

* PINS:

* -----

* | NAME | DESCRIPTION

* -----

* | VCC1 | Positive logic supply

* -----

* | INP | Non-inverted driver input

* -----

* | INN | Inverted driver input

* -----

* | GND1 | Logic ground

* -----

* | VEE2 | Power ground

* -----

* | CLAMP | Active Miller clamp

* -----

* | OUT | gate drive output

* -----

* | VCC2 | Positive power supply output side

* -----

.SUBCKT 1ED3122MC12H VCC1 INP INN GND1 VEE2 CLAMP OUT VCC2

C_CLAMP CLAMP 0 1F

X_DRIVER VCC1 INP INN GND1 VCC2 OUT CLAMP VEE2

ONE_ED3122MC12H_GD_CT_TEMPLATE

D_GND1_INP GND1 INP ONE_ED3122MC12H_DZ_ESD_18

D_GND1_INN GND1 INN ONE_ED3122MC12H_DZ_ESD_18

D_GND1_VCC1 GND1 VCC1 ONE_ED3122MC12H_DZ_ESD_18

.MODEL ONE_ED3122MC12H_DZ_ESD_18 D(IS=1.0E-9 N=1.0 RS=10 BV=18 IBV=5.0E-3 XTI=0)

D_GND2_VCC2 VEE2 VCC2 ONE_ED3122MC12H_DZ_ESD_40

```

.MODEL ONE_ED3122MC12H_DZ_ESD_40 D( IS=1.0E-9 N=1.0 RS=10 BV=40 IBV=5.0E-3
XTI=0)
RGND VEE2 GND1 10MEG
CGND VEE2 GND1 5P
.ENDS
.SUBCKT ONE_ED3122MC12H_GD_CT_TEMPLATE VCC1 INP INN GND1 VCC2 OUT
CLAMP GND2 PARAMS: P_C_PW_MIN=5.7906E-9 P_INH_TH=2.2 P_INL_TH=1.4
+ P_R_INP=75K P_R_INN=75K P_VCC1_UVH=2.9 P_VCC1_UVL=2.7 P_VCC2_UVH=9.5
P_VCC2_UVL=8.5 P_R_TSTART=1 P_C_TSTART=0.3619E-6 P_TSTART=
+ 0.155 P_TUVLOFLT=0.002 P_C_TDP=7.1428E-9 P_R_RISE=0.65K P_C_RISE=0.8P
P_R_FALL=0.65K P_C_FALL=2.8P P_WH=1M P_LH=1U P_LAMBDAAH=0.051
+ P_KPH=0.000281 P_VTOH=-1 P_RBH=10 P_VGSH=7.4 P_RGH=1 P_CGSOH=100P
P_WL=1M P_LL=1U P_LAMBDAL=0.001 P_KPL=271U P_VTOL=1 P_RBL=1
+ P_VGSL=9.1 P_RGL=1 P_CGSOL=100P P_IQ1=0.00058 P_IQ2=0.0012 P_IS=1E-15
P_N=0.8624838364971924 P_RS=0.3 P_TH_CLAMP=2.0 P_C_LPF_CL=
+ 60E-9 P_VGSN_CL=5.3 P_NLAMBDA_CL=0.001 P_NKP_CL=0.000446
CLAMP_DRV_ACT=0
X_IN_STAGE VCC1 INP INN INPD INND GND1 ONE_ED3122MC12H_INPUT_BLK
PARAMS: P_INH_TH={P_INH_TH} P_INL_TH={P_INL_TH} P_C_PW_MIN=
+ {P_C_PW_MIN} P_R_INP={P_R_INP} P_R_INN={P_R_INN}
X_UVL_VCC1 VCC1 UVL1_DEL GND1 ONE_ED3122MC12H_UVL_VCC PARAMS:
P_VCC_UVH={P_VCC1_UVH} P_VCC_UVL={P_VCC1_UVL}
P_R_TSTART={P_R_TSTART}
+ P_C_TSTART={P_C_TSTART} P_TSTART={P_TSTART} P_TUVL={P_TUVLOFLT}
E_PWM PWMI 0 VALUE {IF( (V(UVL1_DEL) < 0.5 & V(UVL2_DEL,0)<0.5 & V(INPD) > 0.5 &
V(INND) < 0.5), 1.0,0.0 )}
X_PWMD PWMI PWM ONE_ED3122MC12H_FILTER PARAMS: P_R=10 P_C=1E-12
X_UVL_VCC2 VCC2 UVL2_DEL GND2 ONE_ED3122MC12H_UVL_VCC PARAMS:
P_VCC_UVH={P_VCC2_UVH} P_VCC_UVL={P_VCC2_UVL}
P_R_TSTART={P_R_TSTART}
+ P_C_TSTART={P_C_TSTART} P_TSTART={P_TSTART} P_TUVL={P_TUVLOFLT}
X_OUT_STAGE PWM gateN gateP OUT VCC2 GND2 ONE_ED3122MC12H_OUT_STAGE
PARAMS: P_C_TDP={P_C_TDP} P_R_RISE={P_R_RISE} P_C_RISE={P_C_RISE}
+ P_R_FALL={P_R_FALL} P_C_FALL={P_C_FALL} P_WH={P_WH} P_LH={P_LH}
P_LAMBDAAH={P_LAMBDAAH} P_KPH={P_KPH} P_VTOH={P_VTOH} P_RBH={P_RBH}
+ P_VGSH={P_VGSH} P_RGH={P_RGH} P_CGSOH={P_CGSOH} P_WL={P_WL}
P_LL={P_LL} P_LAMBDAL={P_LAMBDAL} P_KPL={P_KPL} P_VTOL={P_VTOL} P_RBL=
+ {P_RBL} P_VGSL={P_VGSL} P_RGL={P_RGL} P_CGSOL={P_CGSOL} IS_CL={P_IS}
N_CL={P_N} RS_CL={P_RS}
X_CLAMP PWM gateN OUT VCC2 GND2 CLAMP ONE_ED3122MC12H_MILLER_CLAMP
PARAMS: P_TH_CLAMP={P_TH_CLAMP} P_C_LPF_CL={P_C_LPF_CL} P_VGSN_CL=
+ {P_VGSN_CL} P_NLAMBDA_CL={P_NLAMBDA_CL} P_NKP_CL={P_NKP_CL}
IS_CL={P_IS} N_CL={P_N} RS_CL={P_RS}
X_CC_EMULATOR VCC1 VCC2 GND1 GND2
ONE_ED3122MC12H QUIESCENT_CURRENT PARAMS: P_IQ1={P_IQ1} P_IQ2={P_IQ2}
.ENDS ONE_ED3122MC12H_GD_CT_TEMPLATE
.SUBCKT ONE_ED3122MC12H_INPUT_BLK VCC INP INN INPD INND GND PARAMS:
P_INH_TH=4.0 P_INL_TH=1.0 P_C_PW_MIN=3.0E-9 P_R_INP=1K P_R_INN=1K
R_INP_DW INP GND {P_R_INP}
R_INN_DW VCC INN {P_R_INN}
E_INH_TH INH_TH 0 VALUE { {P_INH_TH} }
E_INL_TH INL_TH 0 VALUE { {P_INL_TH} }
X_INP INP INH_TH INL_TH D_INP GND ONE_ED3122MC12H_STP
X_INN INN INH_TH INL_TH D_INN GND ONE_ED3122MC12H_STP
X_INPMIN D_INP INPD ONE_ED3122MC12H_ADV_FILTER PARAMS:

```

```

P_C_DELAY={P_C_PW_MIN}
X_INNMIN D_INN INND ONE_ED3122MC12H_ADV_FILTER PARAMS:
P_C_DELAY={P_C_PW_MIN}
.ENDS
.SUBCKT ONE_ED3122MC12H_OUT_STAGE PWM gateN gateP OUT VCC2 GND2
PARAMS: P_C_TDP = 8.5714E-09 P_R_RISE=1K P_C_RISE=1P P_R_FALL=1K
+ P_C_FALL=1P P_WH=1M P_LH=1U P_LAMBDAH=0.12 P_KPH=10U P_VTOH=-1
P_RBH=1 P_VGSH=10.3 P_RGH=1 P_CGSOH=100P P_WL=1M P_LL=1U P_LAMBDAL=
+ 0.07 P_KPL=30U P_VTOL=1 P_RBL=1 P_VGSL=6.7 P_RGL=1 P_CGSOL=100P
IS_CL=1E-15 N_CL=0.8624838364971924 RS_CL=0.3
E_ONOFF ONOFF 0 VALUE { IF( V(PWM,0)>0.5, 1.0,0.0 ) }
X_ONOFF1 ONOFF ONOFF_D ONE_ED3122MC12H_RC_DELAY_10 PARAMS:
P_C_DELAY = {P_C_TDP}
R_ON_DD ONOFF_D ON_DD {P_R_RISE}
C_ON_DD ON_DD 0 {P_C_RISE}
R_OFF_DD ONOFF_D OFF_DD {P_R_FALL}
C_OFF_DD OFF_DD 0 {P_C_FALL}
E_gateP VCC2 gateP VALUE { V(ONOFF_D,0)*{P_VGSH} *V(ON_DD) }
E_gateN gateN GND2 VALUE { (1-V(ONOFF_D,0)) * {P_VGSL} *(1-V(OFF_DD)) }
M_UP OUT gateP VCC2 VCC2 ONE_ED3122MC12H_LO_PMOS
.MODEL ONE_ED3122MC12H_LO_PMOS PMOS ( LEVEL=1 W={P_WH} L={P_LH}
CGSO={P_CGSOH} LAMBDA={P_LAMBDAH} KP={P_KPH} VTO={P_VTOH} RB={P_RBH}
+ RG={P_RGH})
M_DW OUT gateN GND2 GND2 ONE_ED3122MC12H_LO_NMOS
.MODEL ONE_ED3122MC12H_LO_NMOS NMOS ( LEVEL=1 W={P_WL} L={P_LL}
CGSO={P_CGSOL} LAMBDA={P_LAMBDAL} KP={P_KPL} VTO={P_VTOL} RB={P_RBL}
+ RG={P_RGL})
D_CLAMP OUT VCC2 ONE_ED3122MC12H_DCLAMP
.MODEL ONE_ED3122MC12H_DCLAMP D ( IS={IS_CL} N={N_CL} RS={RS_CL} )
.ENDS
.SUBCKT ONE_ED3122MC12H_MILLER_CLAMP PWM gateN OUT VCC2 GND2 CLAMP
PARAMS: P_TH_CLAMP=2.0 P_C_LPF_CL=335E-9 P_VGSN_CL=4.95
+ P_NLAMBDA_CL=0.13 P_NKP_CL=267E-06 IS_CL=1E-15 N_CL=0.8624838364971924
RS_CL=0.3 CLAMP_DRV_ACT=0
E_TH_CL_INT VTH_CL_INT 0 VALUE={ IF( ( V(CLAMP,GND2) <= {P_TH_CLAMP} &
V(PWM)<0.5) , 1.0,0.0 ) }
E_TH_CL VTH_CLI 0 VALUE {IF (V(VTH_CL_INT)>0.5 & V(gate_CL_DD)>0.5,1,0) }
R_TH_CL VTH_CLI VTH_CL 1
C_TH_CL VTH_CL 0 10P
X_gateN_CL VTH_CL_INT gate_CL_DD ONE_ED3122MC12H_RC_DELAY_BASE
PARAMS: P_C_DELAY = {P_C_LPF_CL}
E_gateN_CL_gateN_CL GND2 VALUE={ {P_VGSN_CL} * V(gate_CL_DD) }
M_N_CLAMP CLAMP gateN_CL GND2 GND2 ONE_ED3122MC12H_CL_NMOS
R_CLAMP CLAMP GND2 1E8
.MODEL ONE_ED3122MC12H_CL_NMOS NMOS ( LEVEL=1 W=1M L=1U CGSO=100P
LAMBDA={P_NLAMBDA_CL} KP={P_NKP_CL} VTO=1 RB=10 RG=1)
D_CLAMP CLAMP VCC2 ONE_ED3122MC12H_DCLAMP
.MODEL ONE_ED3122MC12H_DCLAMP D ( IS={IS_CL} N={N_CL} RS={RS_CL} )
.ENDS
.SUBCKT ONE_ED3122MC12H_QUIESCENT_CURRENT VCC1 VCC2 GND1 GND2
PARAMS: P_IQ1=1M P_IQ2=1M
G_VCC1 VCC1 GND1 VALUE {TABLE(V(VCC1,GND1) , 0,0 , 0.1,1U , 1,100U ,
0.8*5,{P_IQ1})}
R_VCC1 VCC1 GND1 1E+12
G_QCC VCC2 GND2 VALUE {TABLE(V(VCC2,GND2) , 0,0 , 0.1,1U , 1,100U ,

```

```

0.8*10,{P_IQ2}}
R_QCC VCC2 GND2 1E+12
.ENDS
.SUBCKT ONE_ED3122MC12H_UVL_VCC VCC UVL_DEL GND PARAMS:
P_VCC_UVH=1.0 P_VCC_UVL=1.0 P_R_TSTART=1K P_C_TSTART=1P
P_TSTART=0.0004 P_TUVL=
+ 0.1
X_UVL VCC UVL GND ONE_ED3122MC12H_STN_IDEAL PARAMS:
P_TH_UP={P_VCC_UVH} P_TH_DW={P_VCC_UVL}
X_UVL_FILTER UVL UVL_DEL ONE_ED3122MC12H_ADV_FILTER PARAMS:
P_R_DELAY={P_R_TSTART} P_C_DELAY = {P_C_TSTART} P_TH_UP={P_TSTART}
P_TH_DW=
+ {P_TUVL}
.ENDS
.SUBCKT ONE_ED3122MC12H_STP IN VH VL OUT GND
E_OUTP OUTP 0 VALUE { IF( V(IN,GND)>=V(VH) | V(OUTN)<0.5,1,0 ) }
E_OUTN OUTN 0 VALUE { IF( V(IN,GND)<=V(VL) | V(OUTP)<0.5,1,0 ) }
E_OUT OUT 0 VALUE {V(OUTP)}
.ENDS
.SUBCKT ONE_ED3122MC12H_STP_IDEAL IN OUT GND PARAMS: P_TH_UP=0.9
P_TH_DW=0.1
E_UP UP 0 VALUE={IF( V(IN,GND)>={P_TH_UP} | V(DW)<0.5 , 1,0 )}
E_DW DW 0 VALUE={IF( V(IN,GND)<={P_TH_DW} | V(UP)<0.5 , 1,0 )}
E_OUT OUT 0 VALUE={V(UP)}
.ENDS ONE_ED3122MC12H_STP_IDEAL
.SUBCKT ONE_ED3122MC12H_STN_IDEAL IN OUT GND PARAMS: P_TH_UP=0.9
P_TH_DW=0.1
E_UP UP 0 VALUE={IF( V(IN,GND)>={P_TH_UP} | V(DW)<0.5 , 1,0 )}
E_DW DW 0 VALUE={IF( V(IN,GND)<={P_TH_DW} | V(UP)<0.5 , 1,0 )}
E_OUT OUT 0 VALUE={V(DW)}
.ENDS ONE_ED3122MC12H_STN_IDEAL
.SUBCKT ONE_ED3122MC12H_FILTER IN OUT PARAMS: P_R=1 P_C=1E-12
R_INP IN OUT {P_R}
C_INP OUT 0 {P_C}
.ENDS
.SUBCKT ONE_ED3122MC12H_ADV_FILTER IN OUT PARAMS: P_R_DELAY=1
P_C_DELAY=10E-9 P_TH_UP=0.999 P_TH_DW=0.001
R_RISE IN IN_DEL {P_R_DELAY}
C_RISE IN_DEL 0 {P_C_DELAY}
X_CMP IN_DEL OUT 0 ONE_ED3122MC12H_STP_IDEAL PARAMS:
P_TH_UP={P_TH_UP} P_TH_DW={P_TH_DW}
.ENDS ONE_ED3122MC12H_ADV_FILTER
.SUBCKT ONE_ED3122MC12H_RC_DELAY_10 IN OUT PARAMS: P_C_DELAY = 60E-9
P_TH_TPD = 0.5
X_D1 IN D1 ONE_ED3122MC12H_RC_DELAY_5 PARAMS: P_C_DELAY = {P_C_DELAY}
P_TH_TPD = {P_TH_TPD}
X_D2 D1 OUT ONE_ED3122MC12H_RC_DELAY_5 PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
.ENDS ONE_ED3122MC12H_RC_DELAY_10
.SUBCKT ONE_ED3122MC12H_RC_DELAY_5 IN OUT PARAMS: P_C_DELAY = 60E-9
P_TH_TPD = 0.5
X_D1 IN D1 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
X_D2 D1 D2 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}

```

```

X_D3 D2 D3 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
X_D4 D3 D4 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
X_D5 D4 OUT ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
.ENDS ONE_ED3122MC12H_RC_DELAY_5
.SUBCKT ONE_ED3122MC12H_RC_DELAY_3 IN OUT PARAMS: P_C_DELAY = 60E-9
P_TH_TPD = 0.5
X_D1 IN D1 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
X_D2 D1 D2 ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
X_D3 D2 OUT ONE_ED3122MC12H_RC_DELAY_BASE PARAMS: P_C_DELAY =
{P_C_DELAY} P_TH_TPD = {P_TH_TPD}
.ENDS ONE_ED3122MC12H_RC_DELAY_3
.SUBCKT ONE_ED3122MC12H_RC_DELAY_BASE IN OUT PARAMS: P_C_DELAY =
60E-9 P_TH_TPD = 0.5
R_DELAY IN IND 1
C_DELAY IND 0 {P_C_DELAY}
E_DELAY OUT 0 VALUE={IF( V(IND) > {P_TH_TPD} , 1.0,0.0 )}
.ENDS ONE_ED3122MC12H_RC_DELAY_BASE

```

APÊNDICE C - ANÁLISE DOS CI GATE DRIVER DISPONÍVEIS COMERCIALMENTE E ALINHADOS COM O OBJETIVO DO PROJETO

Foram analisados quatro modelos de CI *gate Driver* da Infineon, todos com características específicas para aplicação em conversores meia ponte com MOSFETs SiC. A Tabela 1C apresenta algumas das principais especificações desses dispositivos, permitindo uma comparação entre eles para identificar a melhor opção em termos de desempenho, isolamento e compatibilidade com a aplicação.

Tabela 1C - Características CI *gate Driver* da Infineon.

Características	1ED3122	1ED3250	1ED3491	1EDI3031
Miller Clamp	Sim	Sim	Sim	Sim
Sourcing current	14A	18A	9A	12A
Rise time	15ns	15ns	15ns	35ns
Propagation delay	110ns	110ns	240ns	120ns
Short-circuit clamping	Sim	Sim	Sim	Sim
Negative Vgs	Sim	Sim	Sim	Sim
Active shutdown	Sim	Sim	Sim	Sim
Slew-rate control	Não	Sim	Não	Não
Galvanically isolated	Coreless Transformer 5,7kV	Coreless Transformer 5,7kV	Coreless Transformer 5,7kV	Coreless Transformer 8kV
Switching frequency	1MHz	1MHz	250kHz	430kHz
Input voltages (IN+, IN-)	Sim	Sim	Não	Sim
Adjustable DESAT	Não	Não	Sim	Sim
Separate on and off gate outputs	Não	Não	Sim	Não
Ready status output, fault-off, fault clear input	Não	Não	Sim	Sim
Overcurrent protection	Não	Não	Não	Sim
Package	DSO-8	DSO-8	DSO-16	DSO-20
Temperature	125°C	125°C	150°C	150°C

Fonte: Própria autoria (2024).

Os *gate Drivers* utilizados são do tipo *single-channel* e requerem uma fonte de alimentação isolada para seu funcionamento. Dessa forma, para cada MOSFET SiC, foi empregado um CI *gate Driver* dedicado, juntamente com uma fonte isolada correspondente. A fonte isolada escolhida para essa aplicação foi o modelo MGJ1D121503SC, da fabricante Murata. Suas principais características incluem:

Tabela 2C - Fonte Isolada Murata

MGJ1D121503SC	
Alimentação	12V
Saída	15V/ -3V
Potência de saída	1W
Isolamento	3kV
Temperatura	105°C

Fonte: Própria autoria (2024).

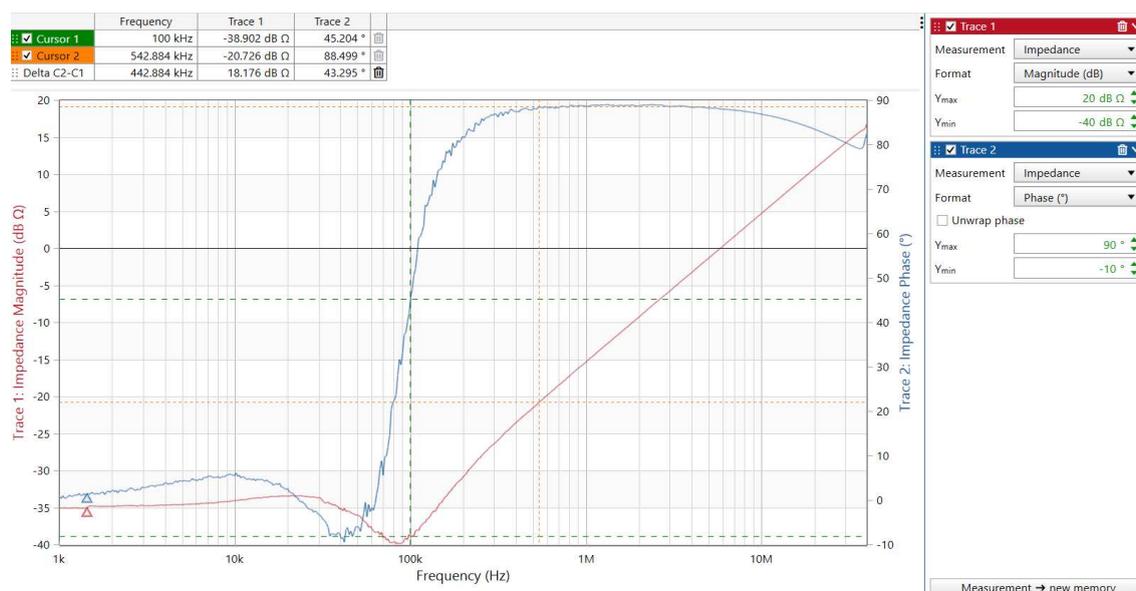
APÊNDICE D - ANÁLISE NO DOMÍNIO DA FREQUÊNCIA DO LOOP DO SENSOR DE CORRENTE HALL.

Foi realizada uma análise no domínio do tempo do loop de medição de corrente utilizando um sensor de efeito Hall, com o objetivo de avaliar seu comportamento e possíveis efeitos de ressonância introduzidos no circuito.

O fio de cobre rígido utilizado na medição apresenta um comportamento predominantemente indutivo, com uma indutância aproximada de 15nH na faixa de 100kHz, mantendo-se estável e linear até 10MHz. Esse valor, isoladamente, não seria suficiente para excitar ressonâncias significativas no circuito.

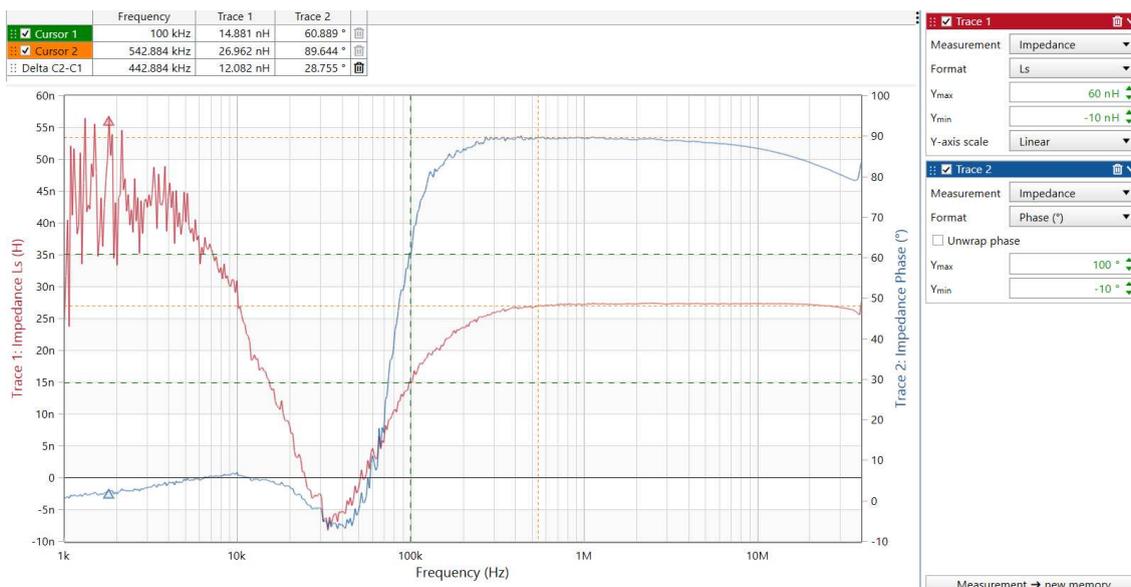
As Figuras 1D e 2D apresentam a análise de resposta em frequência realizada no Bode 100, permitindo uma avaliação detalhada dos impactos da inclusão do sensor no sistema e sua interação com os demais componentes do circuito.

Figura 1D - Gráfico no domínio da frequência do loop indutivo, módulo da impedância.



Fonte: Própria autoria (2024).

Figura 2D - Gráfico no domínio da frequência do loop indutivo, indutância.



Fonte: Própria autoria (2024).

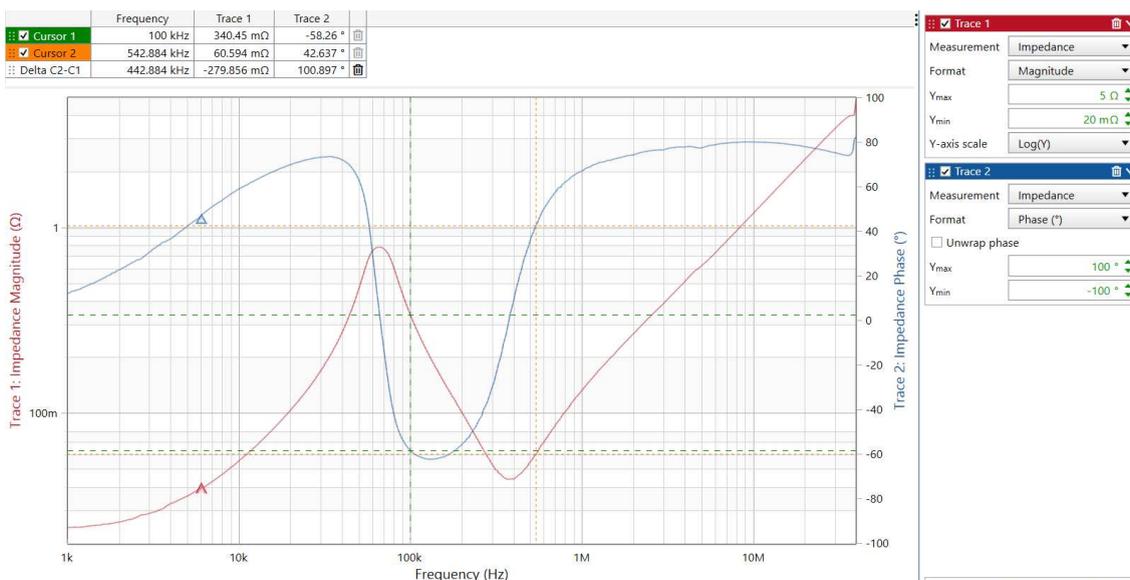
No segundo ensaio, Figuras 3D e 4D, a sonda de efeito Hall foi inserida em conjunto com o loop indutivo para avaliar seu impacto no circuito. A construção da sonda de corrente, que inclui um núcleo de ferrite, introduz um efeito capacitivo, agravando a ressonância do sistema.

A inclusão da sonda altera o comportamento do loop indutivo, resultando em uma mudança de fase na faixa de operação do conversor meia ponte, em 100kHz. Essa alteração intensifica os efeitos oscilatórios e inviabiliza a medição precisa da corrente.

A inclusão da sonda Hall altera significativamente as características lineares do loop. Antes da sua inserção, a indutância medida em 100kHz era de aproximadamente 25nH. No entanto, com a presença da sonda, esse valor aumenta mais de 15 vezes, atingindo 460nH. Esse aumento substancial da indutância impacta diretamente o comportamento do circuito, potencializando efeitos ressonantes e comprometendo a estabilidade da medição de corrente.

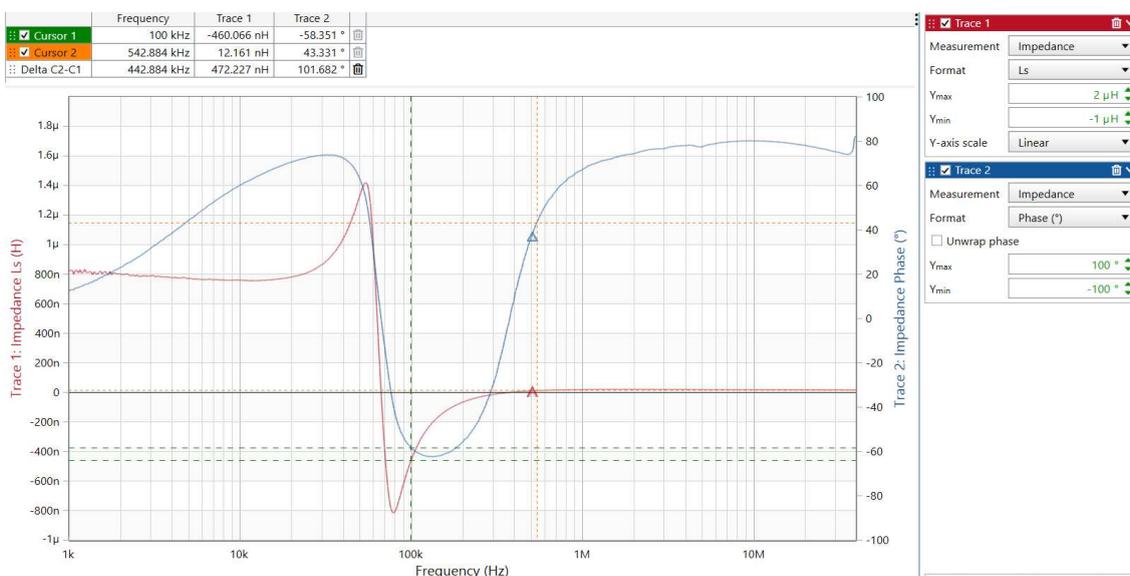
Devido a essa mudança de fase, o loop indutivo deixa de se comportar como um indutor e passa a apresentar um efeito predominante capacitivo, contribuindo para oscilações indesejáveis no conversor.

Figura 3D - Gráfico no domínio da frequência do loop indutivo e sonda Hall, módulo da impedância.



Fonte: Própria autoria (2024).

Figura 4D - Gráfico no domínio da frequência do loop indutivo e sonda Hall, indutância.

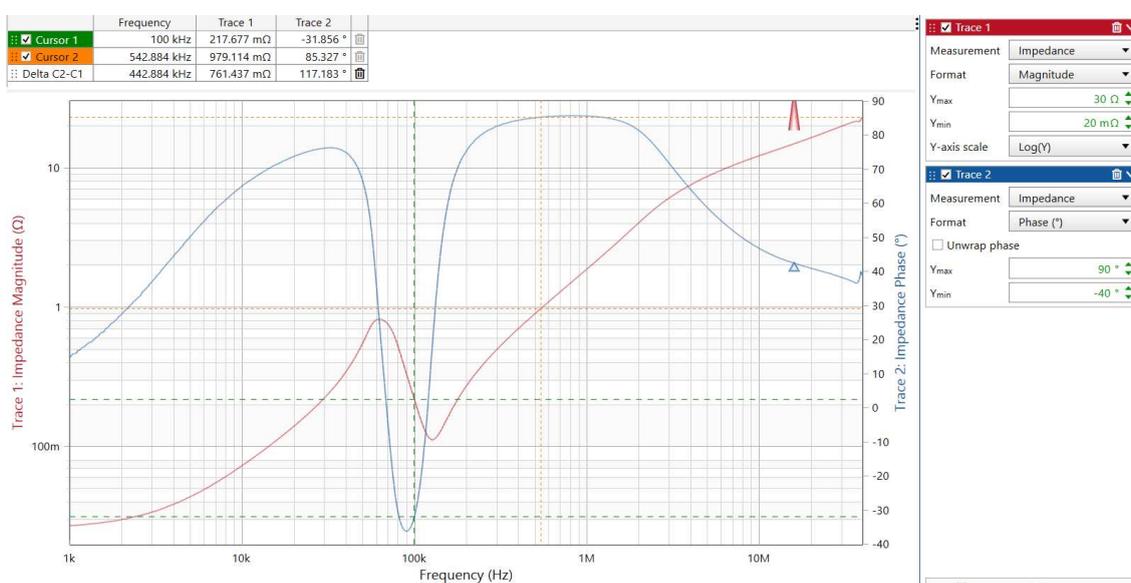


Fonte: Própria autoria (2024).

Por fim, foi incluído um ferrite bead no loop de corrente, Figuras 5D e 6D. Esse elemento adicional contribuiu para o aumento da indutância e a redução da ressonância no circuito, resultando em uma diminuição da faixa de frequência onde ocorre a inversão de fase do loop. Conseqüentemente, houve uma redução da indutância efetiva do circuito na região crítica de operação.

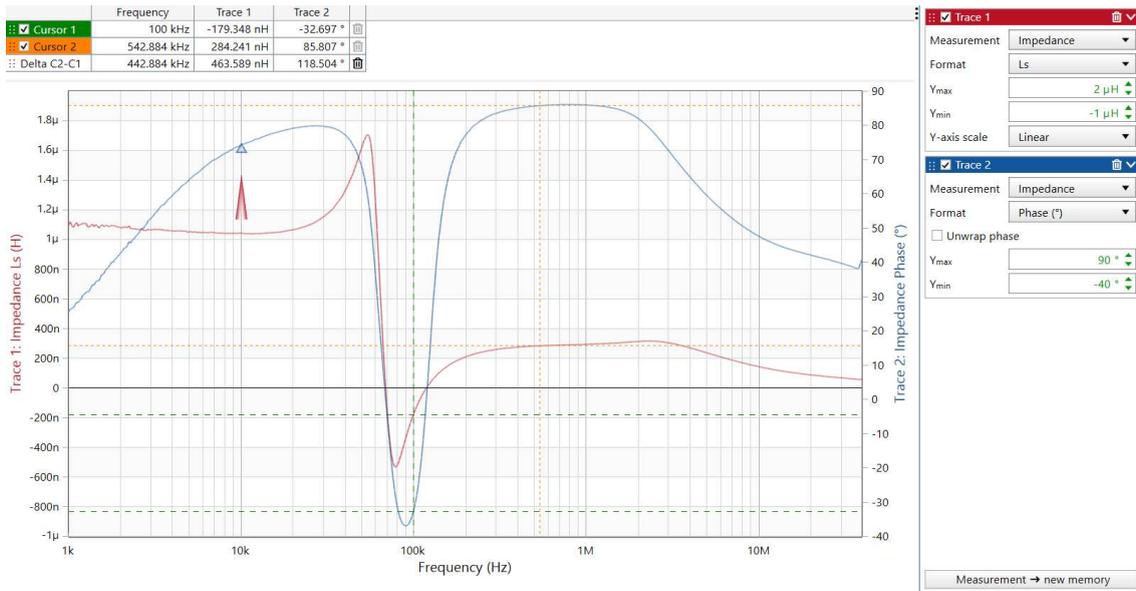
Embora o efeito capacitivo tenha sido minimizado, ele ainda se faz presente, evidenciando a complexidade das interações entre os elementos do circuito e a necessidade de um ajuste cuidadoso para garantir medições mais precisas e estáveis.

Figura 5D - Gráfico no domínio da frequência do loop indutivo, sonda Hall e ferrite bead, módulo da impedância.



Fonte: Própria autoria (2024).

Figura 6D - Gráfico no domínio da frequência do loop indutivo, sonda Hall e ferrite bead, indutância.

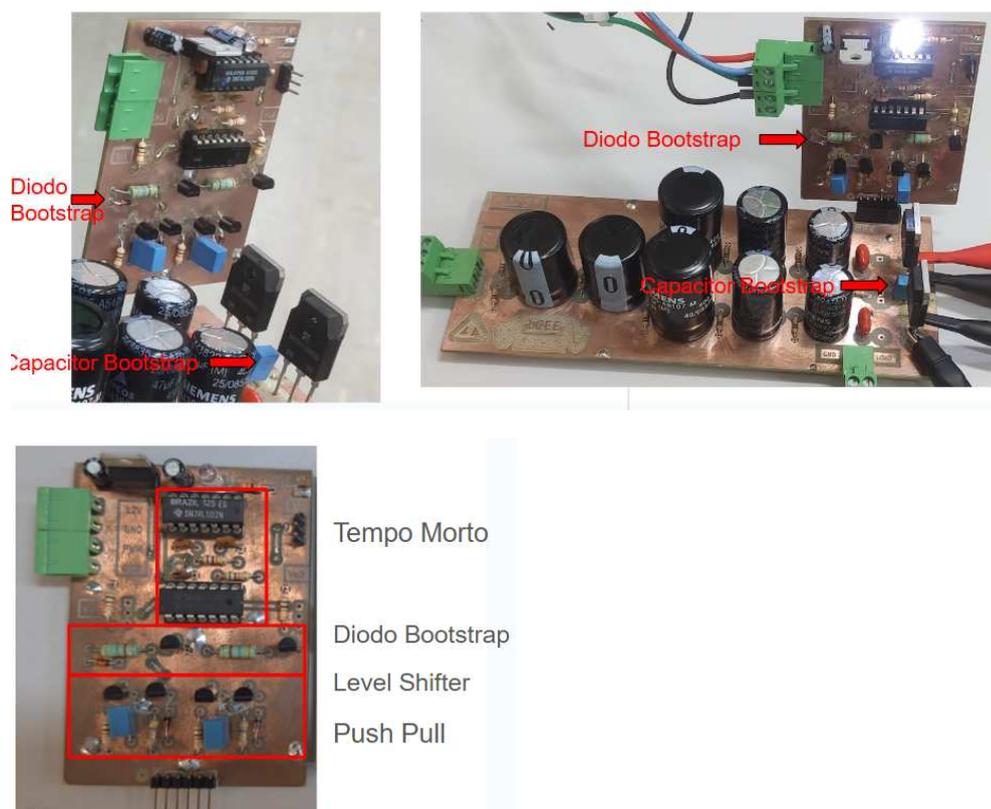


Fonte: Própria autoria (2024).

APÊNDICE E - VERSÕES DOS PROTÓTIPOS

O primeiro protótipo do projeto utilizou a técnica de Bootstrap para o acionamento de dois MOSFET Si. Esse driver não era isolado. O acionamento dos MOSFET em meia ponte usou a técnica Push-Pull.

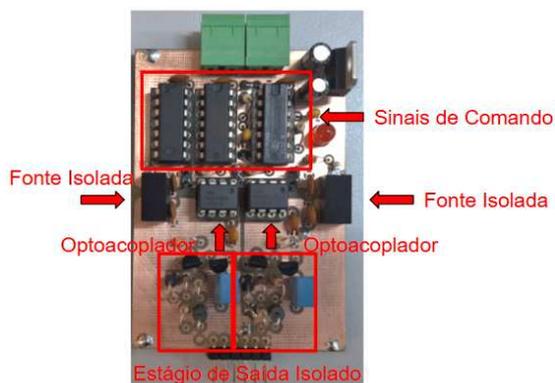
Figura 1E - Primeira versão *Driver* e conversor.



Fonte: Própria autoria (2024).

O segundo Protótipo do Driver foi Isolado com Optoacoplador. Devido ser um Driver 2 Canais Utiliza dois HCPL-2211 e duas fontes isoladas.

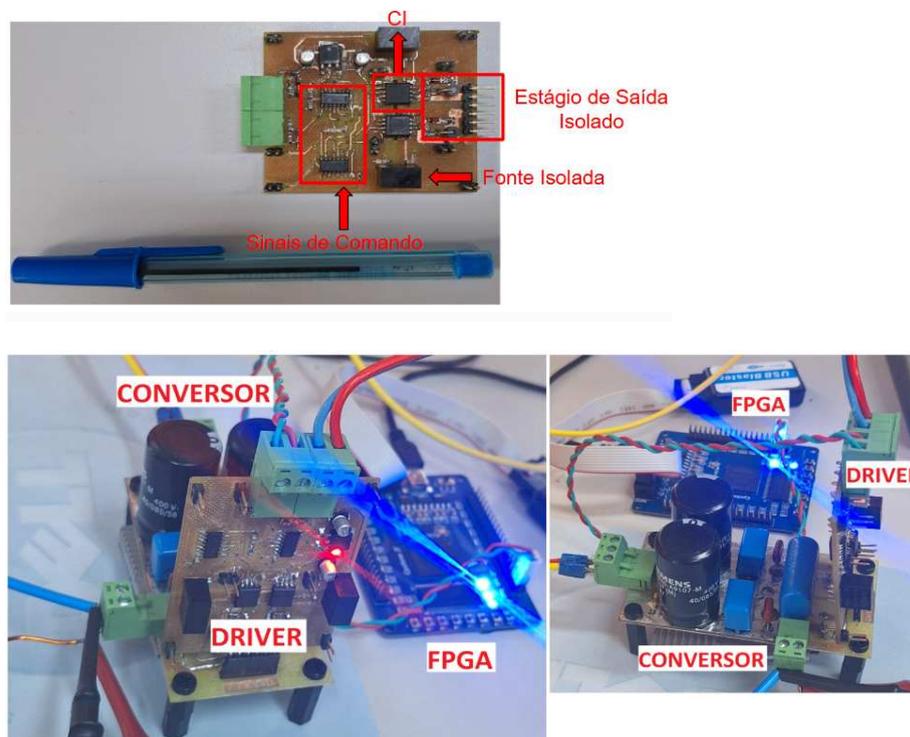
Figura 2E - Segunda versão *Driver* Isolado e dois canais.



Fonte: Própria autoria (2024).

O terceiro Protótipo do Driver foi usado os CIs Infineon, Devido ser um Driver dois Canais, Utiliza dois CIs e duas fontes Isoladas. Utiliza compontens SMD, também o projeto do conversor foi modificado e melhorado.

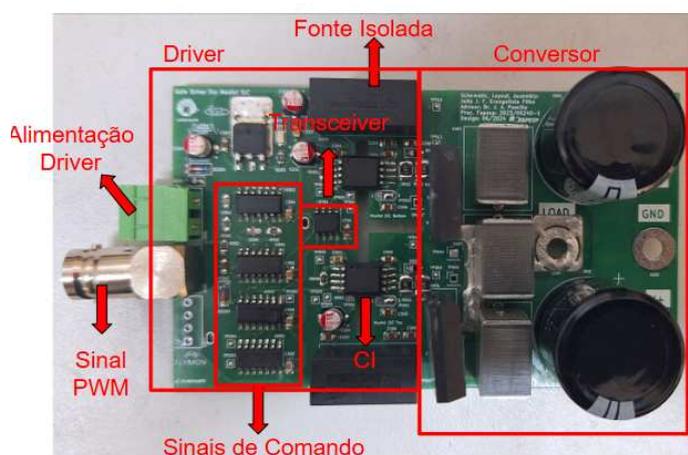
Figura 3E - Terceira versão *Driver* e conversor.



Fonte: Própria autoria (2024).

A atual versão do *Driver*, conta com novas tecnologias: *Transceiver* (Sinal Diferencial); Desligamento *gate* Tensão Negativa; Driver + Conversor em uma única PCB; Fibra Óptica para o PWM; PCB 6cm x 10cm.

Figura 4E - Quarta versão *Driver* e conversor.



Fonte: Própria autoria (2024).