

#### UNIVERSIDADE ESTADUAL DE CAMPINAS

Faculdade de Engenharia Elétrica e de Computação

#### RICARDO MALTIONE

# INTERFERÊNCIA DE RF EM CIRCUITOS INTEGRADOS DE POTÊNCIA INTELIGENTES COM ÊNFASE EM APLICAÇÕES INDUSTRIAIS, AUTOMOTIVAS E DE ENERGIA RENOVÁVEL

#### RICARDO MALTIONE

# INTERFERÊNCIA DE RF EM CIRCUITOS INTEGRADOS DE POTÊNCIA INTELIGENTES COM ÊNFASE EM APLICAÇÕES INDUSTRIAIS, AUTOMOTIVAS E DE ENERGIA RENOVÁVEL

Tese apresentada à Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica, na Área de Eletrônica, Optoeletrônica e, Microeletrônica.

Supervisor/Orientador: Prof. Dr. MARCELO GRADELLA VILLALVA

ESTE TRABALHO CORRESPONDE À VERSÃO FINAL DA TESE DEFENDIDA PELO ALUNO RICARDO MALTIONE, E ORIENTADA PELO PROF. DR. MARCELO GRADELLA VILLALVA

# Ficha catalográfica Universidade Estadual de Campinas Biblioteca da Área de Engenharia e Arquitetura Rose Meire da Silva - CRB 8/5974

Maltione, Ricardo, 1963-

M299i

Interferência de RF em circuitos integrados de potência inteligentes com ênfase em aplicações industriais, automotivas e de energia renovável / Ricardo Maltione. – Campinas, SP: [s.n.], 2020.

Orientador: Marcelo Gradella Villalva.

Tese (doutorado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Compatibilidade eletromagnética. 2. Rádio - Interferência. 3. Circuitos integrados. 4. Eletrônica de potência. 5. Inversores elétricos. I. Villalva, Marcelo Gradella, 1978-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

#### Informações para Biblioteca Digital

**Título em outro idioma:** RF interference in smart power integrated circuits with emphasis in industrial, automotive and renewable energy applications

#### Palavras-chave em inglês:

Electromagnetic compatibility

Radio interference

Integrated circuits

Power electronics

**Electrical inverters** 

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Doutor em Engenharia Elétrica

Banca examinadora:

Marcelo Gradella Villalva [Orientador]

Luiz Carlos Kretly

Tárcio André dos Santos Barros Fernando Pinhabel Marafão

Elmer Pablo Tito Cari

Data de defesa: 04-08-2020

Programa de Pós-Graduação: Engenharia Elétrica

Identificação e informações acadêmicas do(a) aluno(a)

- ORCID do autor: https://orcid.org/0000-0002-2825-0250
- Currículo Lattes do autor: http://lattes.cnpq.br/0183328346386179

#### COMISSÃO EXAMINADORA - TESE DE DOUTORADO

Candidato: Ricardo Maltione RA 850901

Data da Defesa: 04 de agosto de 2020

Título da Tese: "Interferência de RF em circuitos integrados de potência inteligentes

com ênfase em aplicações industriais, automotivas e de energia renovável"

Prof. Dr. Marcelo Gradella Villalva (Presidente, FEEC/UNICAMP)

Prof. Dr. Luiz Carlos Kretly (FEEC/UNICAMP)

Prof. Dr. Tarcio André dos Santos Barros (FEM/UNICAMP)

Prof. Dr. Fernando Pinhabel Marafão (GASI/UNESP)

Prof. Dr. Elmer Pablo Tito Cari (EESC/USP)

A ata de defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no SIGA (Sistema de Fluxo de Tese) e na secretaria de Pós-Graduação da Faculdade de Engenharia Elétrica e de Computação.

#### **DEDICATÓRIA**

Dedico este trabalho Ao meu pai Milton Maltione (in memoriam), minha mãe Darcy Apparecida Dias Maltione, meu irmão Claudio Maltione, e minha querida esposa Luciene Michella Baschiera

#### **AGRADECIMENTOS**

Agradeço ao meu orientador o Prof. Dr. Marcelo Gradella Villalva pela oportunidade de trabalhar com liberdade neste tema que faz parte da minha formação acadêmica e industrial, assim como o seu incentivo e apoio em desenvolvimentos conjuntos na área de Eletrônica de Potência e de Energia Renovável.

Agradeço ao Prof. Dr. Luiz Carlos Kretly pelo incentivo e apoio na área de compatibilidade eletromagnética e RF de micro-ondas envolvendo circuitos integrados, que levaram a execução deste trabalho.

Agradeço ao Prof. Dr. Carlos Alberto dos Reis Filho pelo aprendizado na área de microeletrônica e projeto de circuitos integrados analógicos.

Agradeço aos meus amigos da Motorola/Freescale/NXP, Magneti Marelli, CTI Renato Archer e Embraer Segurança e Defesa pela ajuda com a pesquisa, testes, discussões e sugestões.

Agradeço em particular ao Dr. Alfredo Olmos, Dr. André Villas Boas e o Eng. Eduardo Ribeiro da Silva pela parceria na pesquisa nesta temática, que culminou em várias publicações e patentes.

Agradeço também aos amigos do Laboratório de Potência e Fotovoltaico da Unicamp, ao Marcos V. G. dos Reis, Dante I. Narvaez e Hugo S. Moreira pela parceria no trabalho e em publicações.

Agradeço a AMS – Austria Mikro Systeme e XFAB pela assistência às informações e fabricação dos circuitos integrados via programas multiusuários (PMU, PMW).

Agradeço também ao programa CI Brasil pela oportunidade de fabricação de circuitos integrados por Design Houses, em particular a CTI Design House, CTI DSCH e DAPE.

Agradeço aos meus pais Milton e Darcy e meu irmão Claudio que sempre me incentivaram, e a minha esposa Luciene que sempre esteve ao meu lado em todas as horas desta jornada que culminou neste trabalho.

Agradeço também a todos aqueles que contribuíram de alguma forma para este trabalho e involuntariamente não foram aqui mencionados.

O presente trabalho foi realizado com apoio do CNPq, Conselho Nacional de Desenvolvimento Científico e Tecnológico - Brasil.



#### **RESUMO**

Este trabalho apresenta uma contribuição à pesquisa e desenvolvimento de circuitos integrados de potência inteligentes (*Smart Power*) robustos à interferência de RF (RFI) dedicados principalmente ao controle de conversores de energia de potência e inversores elétricos e projetados para atender padrões internacionais de compatibilidade eletromagnética (EMC).

O objetivo principal da pesquisa é apresentar uma nova metodologia de análise da susceptibilidade à interferência de RF (EMS), através de um projeto com maior robustez, analisando-se as principais técnicas para a sua mitigação, predição e simulação. São apresentados estudos teóricos sobre susceptibilidade em circuitos mistos (envolvendo analógicos, digitais e de potência), abordando-se o problema do efeito da interferência sobre circuitos não lineares para análises de pequenos e grandes sinais, com análises envolvendo Taylor, e Volterra-Wiener, dentre outras.

Como uma ferramenta de análise é apresentado um novo método de análise de interferência (interferência complexa) e seu algoritmo, permitindo uma rápida simulação e predição do estado final, permitindo ainda a introdução de efeitos não modelados ou disponíveis nos simuladores.

São apresentados resultados experimentais com testes de interferência de RF realizados em circuitos integrados de teste projetados em tecnologia CMOS 0.25μ, 0.35μ e 0.6μ das Foundries AMS e XFAB, além de testes com chaves de potência WBG.

Para o estudo de interferência foram considerados vários estudos de caso, de circuitos *Smart Power*, incluindo um sistema inversor de 1kW usando chaves de potência SiC/GaN, sendo apresentados modelamentos, simulações e resultados de testes de interferência em laboratório usando a metodologia DPI, sendo proposto um novo método de teste, FRA-DPI.

Palavras-chave: Compatibilidade eletromagnética, interferência de rádio, circuitos integrados, eletrônica de potência, inversores elétricos.

#### **ABSTRACT**

This work presents a contribution to the research and development of robust smart power integrated circuits to the RF interference (RFI) mainly dedicated to control of energy power converts and electric inverters, designed to meet international standards for electromagnetic compatibility (EMC).

The main objective of the research is to present a new methodology of susceptibility analysis to RF interference (EMS), through a design with greater robustness, analyzing the main techniques for its mitigation, prediction and simulation. Theoretical studies on susceptibility in mixed circuits (involving analogue, digital and power) are presented, addressing the problem of the interference effect on nonlinear circuits for small and large signal analysis, with analysis involving Taylor and Volterra-Wiener, among others.

As an analysis tool, a new method of interference analysis (complex interference) and algorithm is presented, which allows the fast simulation and prediction of the final state, allowing yet the introduction of effects not modeled or available in the simulators.

Experimental results are presented with RF interference tests performed on integrated test circuits designed in CMOS  $0.25\mu$ ,  $0.35\mu$  and  $0.6\mu$  technology from Foundries AMS and XFAB, in addition to tests with WBG power switches.

For the interference study, several case studies of Smart Power circuits were considered, including a 1kW inverter system using SiC/GaN power switches, with modeling, simulations and results of interference tests in the laboratory using the DPI methodology, being presented a new test method, FRA-DPI.

Keywords: Electromagnetic compatibility, radio interference, integrated circuits, power electronics, electrical inverters.

#### LISTA DE ILUSTRAÇÕES

Figura 1.1 – Aplicações na área industrial – forno de micro-ondas de estado sólido	23
Figura 1.2 – Aplicações no setor de transportes – veículos elétricos	24
Figura 1.3 – Aplicações na área automotiva – carro totalmente elétrico (EV)	25
Figura 1.4 – Aplicação em energia renovável (solar fotovoltaica, sistema conectado)	
Figura 1.5 – Modelo clássico de interferência agressor - vítima	
Figura 1.6 – Conceito de interferência de RF aplicado a um sistema de potência	
Figura 1.7 – Geração de ondas oscilatórias usando espirais de Knochcnhauer	
Figura 1.8 – Experiência de Hertz em 1888.	
Figura 1.9 – Classificação das fontes de interferência.	
Figura 1.10 – Espectro de frequência das fontes de interferência.	
Figura 1.11 – Limites de emissão para Normas FCC/CISPR	
Figura 1.12 – Limites de susceptibilidade radiada RS103 para Norma MIL STD 461F	
Figura 2.1 – Figura de mérito de Baliga para semicondutores BG, WBG e UWBG	
Figura 2.2 – Implementações de circuitos integrados em Smart Power	
Figura 2.3 – Tecnologia BCD Conceitual.	
Figura 2.4 – Técnicas de isolação de dispositivos em tecnologia BCD.	
Figura 2.5 – Tecnologia Convencional versus SOI.	
Figura 2.6 – Tecnologia SiC CMOS para aplicações digitais e analógicas	
Figura 2.7 – Tecnologia experimental GaN Smart Power (substrato de silício)	
Figura 2.8 – Exemplo conceitual de um módulo de potência MIP/SIP.	
Figura 2.9 – Regulador típico de tensão chaveada em Smart Power IC - analógico	
Figura 2.10 – Diagrama de blocos típico do regulador de tensão chaveada - analógico	
Figura 2.11 – Regulador típico de tensão chaveada em Smart Power IC - digital	
Figura 2.12 – Diagrama de blocos típico do regulador de tensão chaveada – digital	
Figura 3.1 – Particionamento dos circuitos.	
Figura 3.2 – Algoritmo da análise de Resposta Transiente (TRAN).	
Figura 3.3 – Métodos de integração.	
Figura 3.4 – Algoritmo da análise de Resposta em Frequência (AC Spice).	
Figura 3.5 – Particionamento do circuito em subcircuitos lineares e não lineares	
Figura 3.6 – Algoritmo do método de Balanceamento Harmônico (HB)	
Figura 3.7 – Classificação dos sistemas com relação à linearidade,	
Figura 3.8 – Fluxograma do método de análise por aproximação de Taylor.	
Figura 3.9 – Interpretação da série de Volterra através da composição de seus núcleos	
Figura 3.10 – Fluxograma do método de análise por série de Volterra	
Figura 3.11 – Interpretação da descrição de sistemas NL.	
Figura 3.12 – Fluxograma do método de análise por série de Wiener.	
Figura 3.13 – Caminhos de propagação da interferência entre os nós do circuito	
Figura 3.14 – Correntes e impedância complexa em um nó sob interferência	
Figura 3.15 – Determinação geral da impedância complexa em um nó do circuito	
Figura 3.16 – Determinação direta das correntes complexas em um nó do circuito	
Figura 3.17 – Esquema geral de um nó do circuito sobre interferência via TL	
Figura 3.18 – Esquema direto de um nó do circuito sobre interferência	
Figura 3.19 – Estimação do valor médio via filtro passa baixa	
Figura 3.20 – Circuito genérico sem interferência	
Figura 3.21 – Circuito genérico com interferência	
Figura 3.22 – Fluxograma do método de interferência complexa.	
Figura 4.1 – Acoplamento de RFI via alimentações no modo tensão.	
Figura 4.2 – Acoplamento de RFI via alimentações no modo corrente	134

Figura 4.3 – Faixa de excursão com acoplamento de RFI via alimentações	134
Figura 4.4 – Diminuição da Faixa Dinâmica (DR) devido ao RFI	136
Figura 4.5 – Acoplamento de RFI via retificação (R <sub>N</sub> //C <sub>N</sub> ).	137
Figura $4.6$ – Acoplamento de RFI no nó $N_x$ via retificação por junção	
Figura 4.7 – Acoplamento de RFI no nó $N_x$ via dispositivo parasita ativado	
Figura $4.8$ – Acoplamento capacitivo de RFI no nó $N_x$ (modo tensão)	
Figura 4.9 – Acoplamento indutivo de RFI no nó $N_x$ (modo corrente)	
Figura 4.10 – Modelamento do diepad/baseplate como antenas patch.	
Figura 4.11 – Elementos do modelo do diepad como antena patch	
Figura 4.12 – Modelamento elétrico proposto para o diepad/baseplate	
Figura 4.13 – Modelamento em HFSS do diepad/baseplate.	
Figura 4.14 – Simulação HFSS do diepad SOIC de um circuito integrado de potência	
Figura 4.15 – Simulação HFSS do baseplate retangular de um módulo SiC de potência	
Figura 5.1 – Métodos de simulação/predição dos efeitos de RFI em circuitos complexos	
Figura 5.2 – Circuito Inversor PV com 2 estágios para ilustração dos efeitos de RFI	
Figura 5.3 – Função da energia do bandgap para o Si	
Figura 5.4 – Função da energia do bandgap para o SiC.	
Figura 5.5 – Função da energia do bandgap para o GaN.	
Figura 5.6 – Simulação e predição dos efeitos de RFI em referências tipo Brokaw	
Figura 5.7 – Simulação e predição dos efeitos de RFI em referências tipo Biokaw	
Figura 5.8 – Simulação numérica dos efeitos do RFI em referências bandgaps	
Figura 5.9 – Simulação do bandgap Brokaw com RFI @ 100MHz, +10dBm	
Figura 5.10 – Simulação do BG Brokaw com RFI @ 100MHz, +10dBm – Zoom @ 90us	
Figura 5.11 – FFT do $V_{BG}$ do bandgap Brokaw com RFI @ 100MHz, +10dBm	
Figura 5.12 – FFT de iQ1 e Q2 do BG Brokaw com RFI @ 100MHz, +10dBm	
Figura 5.13 – Simulação do bandgap Brokaw com RFI @ 100MHz, +30dBm,	
Figura 5.14 – Simulação do BG Brokaw com RFI @ 100MHz, +30dBm – Zoom @ 90us	
Figura 5.15 – FFT do $V_{BG}$ do BG Brokaw com RFI @ 100MHz, +30dBm	
Figura 5.16 – FFT de iQ1, iQ2 do BG Brokaw com RFI @ 100MHz, $+30$ dBm	
Figura 5.17 – Simulação do comportamento da saída $V_{BG}$ do bandgap Brokaw com RFI Figura 5.18 – Simulação do bandgap Kuijk com RFI @ 100MHz, +10dBm,	
Figura 5.19 – Simulação do bandgap Kuijk com RFI @ 100MHz, +40dBm,	
Figura 5.20 – Simulação do OPAMP com RFI @ 100MHz, +10dBm,	
Figura 5.21 – Simulação do OPAMP com RFI @ 100MHz, +30dBm,	
Figura 5.22 – Simulação do offset de saída <i>do OPAMP</i> em função da potência do RFI	
Figura 5.23 – Oscilador de Relaxação de duas fases.	
Figura 5.24 – Circuito para análise de interferência do nó NI ou N2 de carga do capacitor.	
Figura 5.25 – Simulação transiente para vários níveis de interferência de RF.	
Figura 5.26 – Desvio da frequência de oscilação em função da potência do RFI	
Figura 5.27 – Oscilador Pierce com capacitores C1 e C2 internos e externos	
Figura 5.28 – Modelo equivalente do cristal de quartzo e diagrama de impedância	
Figura 5.29 – Proteção de ESD e parasitas considerados para a análise de interferência	
Figura 5.30 – Condição de estabilidade de um oscilador Pierce CMOS	
Figura 5.31 – Caminho de acoplamento para a entrada do amplificador de realimentação	
Figura 5.32 – Função do fator de carga de um oscilador a XTAL tipo Pierce	
Figura 5.33 – Desvio de frequência do oscilador sem interferência	
Figura 5.34 – Desvio de frequência do oscilador com interferência	
Figura 5.35 – Simulação transiente do Pierce para vários níveis de RFI @ 100MHz	
Figura 5.36 – Driver para chaves de potência em Smart Power	
Figura 5.37 – Simulação <i>Driver</i> Si, para vários níveis de interferência @ 100Mhz	193

Figura 5.38 – Simulação <i>Driver</i> SOI, para vários níveis de interferência @ 100MHz.	194
Figura 5.39 – Simulação TOP de um DC/DC com RFI, mostrando a falha no HVDC	196
Figura 5.40 – Simulação TOP de um DC/DC com RFI, mostrando a falha no MPPT.	196
Figura 5.41 – Simulação TOP de operação normal do inversor conectado (sem RFI).	197
Figura 5.42 – Simulação TOP da geração do SPWM para o inversor (sem RFI)	197
Figura 5.43 – Simulação TOP do inversor conectado com RFI no PID	
Figura 5.44 – Simulação TOP de operação do inversor conectado com RFI no AD	198
gura 5.45 – Regulador SMP chaveado configurado para análise FRA	
Figura 5.46 – Análise de interferência de RF combinada com análise de FRA	201
Figura 5.47 – Desvio percentual de $\omega_0$ ( $ A $ = 0dB) e da margem de fase devido ao RF	
igura 5.48 - Análise FRA-RFI para o OPAMP compensador do LDO em malha ab	
figura 5.49 – Análise FRA-DPI para o regulador de tensão LDO em malha fechada	
igura 6.1 – Setup de teste usado para DPI do oscilador de relaxação de duas fases	212
Figura 6.2 – Máquina de estados do software de controle para o teste de DPI	212
Figura 6.3 – Configuração usada para o teste DPI do Oscilador de Relaxação	213
igura 6.4 – Fotografia da bancada de teste do oscilador de relaxação	
Figura 6.5 – Resultados do teste de susceptibilidade a RFI do oscilador de relaxação.	
Figura 6.6 – Microfotografias dos circuitos integrados de teste do oscilador de relaxa	
Figura 6.7 – Configuração de teste usado para DPI do oscilador xtal Pierce	•
gura 6.8 – Máquina de estados do software de controle para o teste de DPI	
igura 6.9 – Configuração usada para o teste DPI do Oscilador a cristal tipo Pierce	
igura 6.10 – Fotografia da bancada de teste do oscilador xtal Pierce	216
Figura 6.11 – Microfotografia do circuito integrado teste do oscilador xtal Pierce (V'	
igura 6.12 – Resposta transiente do Pierce para injeção de RFI @ 500MHz CW 180	dBm217
Figura 6.13 – Desvio da frequência do oscilador Pierce conforme a capacitância de c	arga218
igura 6.14 – Desvio do oscilador Pierce de acordo com a Potência de RFI 500MHz	CW219
igura 6.15 – Desvio do oscilador Pierce com capacitores externos C1 e C2 de 10pF	219
igura 6.16 – Desvio do oscilador Pierce somente com capacitores C1 e C2 internos.	219
igura 6.17 – Estratégia de teste via barramento analógico integrado	220
Figura 6.18 – Diagrama de blocos do barramento de teste analógico integrado	221
Figura 6.19 – Circuito de uma célula do barramento de teste analógico integrado	221
Figura 6.20 – Microfotografia do barramento de teste integrado em Smart Power	
Figura 6.21 – Microfotografia de um controlador A/D chaveado com ATB (VT3)	222
Figura 6.22 – Setup da caracterização em temperatura de um bandgap e regulador LI	
Figura 6.23 – Resultados da caracterização em temperatura de um bandgap e um LD	O 223
Figura 6.24 – Configuração do teste de interferência de um bandgap e regulador LDG	O223
Figura 6.25 – Comportamento do Bandgap e LDO com interferência de RF 200MHz	
Figura 6.26 – Desvio percentual do Bandgap com a interferência de RF	
Figura 6.27 – Resposta transiente para injeção de RFI @ 100MHz CW 20dBm	
Figura 6.28 – Desvio da frequência do oscilador relaxação em função da potência de	RF225
Figura 6.29 – Configuração de teste para análise FRA de falhas de Injeção de RFI	
Figura 6.30 – Máquina de estado de teste para análise FRA-DPI	
Figura 6.31 – Configuração de teste dos componentes magnéticos utilizados	229
Figura 6.32 – Configuração de teste do FRA utilizado.	
Figura 6.33 – Desvio da resposta em frequência do Smart Power MIP em função do	
	231

#### LISTA DE TABELAS

Tabela 1.1 – Aplicações de Sistemas de Potência	27
Tabela 1.2 – Requisitos comuns de robustez conforme mercado de aplicações	28
Tabela 1.3 – Fontes de interferência de RF	37
Tabela 2.1 – Características dos materiais semicondutores: Si versus WBG e UWBG	52
Tabela 2.2 – Aplicações de Smart Power em alta temperatura	61
Tabela 2.3 – Implementações Smart Power monolíticas (SOC) versus modular (MIP/SIP).	67
Tabela 2.4 – Efetividade da blindagem para uma camada de 100μ @ 300K	70
Tabela 2.5 – Sumário da abordagem da literatura sobre RFI em blocos Smart Power	77
Tabela 3.1 – Categorias dos circuitos.	80
Tabela 3.2 – Tipos dos métodos de análise	82
Tabela 3.3 – Energia e Potência Espectral de um sinal $V_{RF}(t)$	.112
Tabela 3.4 – Comparação entre os métodos de análise de interferência de RF	.130
Tabela 4.1 – Frequências de ressonância de diepads/baseplates de circuitos Smart Power	.148
Tabela 4.2 – Efeitos e Mecanismos de falha devido a RFI.	. 150
Tabela 5.1 – Função da energia do bandgap para semicondutores BG, WBG e UWBG	. 155
Tabela 5.2 – Consequências em outros módulos em função dos desvios no bandgap	.169
Tabela 5.3 - Conversão A/D em função dos efeitos do RFI no bandgap (100MHz CW)	.171
Tabela 5.4 – Desvio de frequência no oscilador devido ao RFI (100MHz CW)	.177
Tabela 6.1 – Circuitos integrados - veículos de teste usados para caracterização de RFI	.210

#### LISTA DE ABREVIATURAS E SIGLAS

DISTRIBE RISKE VIRTURAS E SIGERIS			
TERMO	Significado em língua inglesa	Significado em língua portuguesa	
AC	Alternating Current	Corrente Alternada	
ADAS	Advanced Driver-Assistance Systems	Sistemas Avançados de Assistência ao	
		Motorista	
ADC	Analog to Digital Converter	Conversor Analógico para Digital	
AEV	All-Electrical Vehicle	Veículo Totalmente Elétrico	
ASIC	Application Specific Integrated Circuit	Circuito Integrado de Aplicação	
		Específica	
BCD	BIPOLAR- CMOS- DMOS	BIPOLAR- CMOS- DMOS	
BCI	Bulk Current Injection	Injeção de Corrente de Massa	
<b>BiCMOS</b>	Bipolar CMOS	Bipolar CMOS	
BIPOLAR	Bipolar transistor	Transistor bipolar	
BJT	Bipolar transistor	Transistor bipolar	
CAN	Controller Area Network (CAN bus)	Controlador de Área de Rede	
CMOS	Complementary Metal Oxide	Metal Óxido Semicondutor	
	Semiconductor	Complementar	
CMRR	Common Mode Rejection Ratio	Relação de Rejeição em Modo Comum	
CPU	Central Processing Unit	Unidade Central de Processamento	
DAC	Digital to Analog Converter	Conversor Digital para Analógico	
DC	Direct Current	Corrente Contínua	
DDR	Double Data Rate	Taxa Dobrada de Dados	
<b>DMOS</b>	Double-Diffused MOS	Transistor MOS Duplamente Difundido	
DPI	Direct Power Injection	Injeção Direta de Potência	
DRAM	Dynamic RAM	RAM dinâmica	
DSP	Digital Signal Processor	Processador Digital de Sinais	
DSO	Digital Storage Oscilloscope	Osciloscópio de Armazenamento Digital	
DUT	Device Under Test	Dispositivo sob Teste	
<b>EEPROM</b>	Electrically Erasable Programmable	Memória ROM Programável	
	ROM	Eletricamente Apagável	
<b>EMC</b>	Electromagnetic Compatibility	Compatibilidade Eletromagnética	
<b>EME</b>	Electromagnetic Emission	Emissão Eletromagnética	

EMI	Electromagnetic Interference	Interferência Eletromagnética

**EMS** Electromagnetic Susceptibility Susceptibilidade Eletromagnética

**ESD** Electrostatic Discharge Descarga Eletrostática

 $\mathbf{EV}$ Electrical Vehicle Veículo Elétrico

SOI completamente isolado FD-SOI Fully Depleted Silicon On Insulator

**FPGA** Field-Programmable Gate Array Arranjo de Portas Programáveis em

Campo

Circuito Integrado ou CI

**FRA** Analisador de Resposta em Frequência Frequency Response Analyzer

Nitreto de Gálio **GaN** Gallium Nitride

**Integrated Circuit** 

**HEV** Hybrid Electrical Vehicle Veículo Elétrico Híbrido

HB Harmonic Balance Balanceamento Harmônico

I2C **Inter-Integrated Circuit** Circuito Inter Integrado IC

**IGBT Insulated Gate Bipolar Transistor** Transistor Bipolar de Porta Isolada Kirchhoff's Current Law (nodes) **KCL** Lei das Correntes de Kirchoff (nós)

Core of functional Núcleo de um funcional **KERNEL** 

KVL Kirchhoff's Voltage Law (meshes) Lei das Tensões de Kirchoff (malhas)

**LDMOS** Laterally Diffused MOS Transistor MOS com difusão Lateral

LIN Rede de interconexão local Local Interconnect Network

LTI Linear Time Invariant system Sistema Linear Invariante no Tempo

MOS Metal Oxide Semiconductor Metal-Oxido-Semicondutor

MOS transistor **Transistor MOS MOSFET** 

**MPPT** Maximum Power Point Tracker Rastreador do Ponto de Máxima

Potência

**MPW** Multi-Product-Wafer Wafer com vários produtos

**NMOS** N-Channel MOS transistor Transistor MOS canal N

**OCP** Over Current Protection Proteção de sobre corrente

**OVP** Over Voltage Protection Proteção de sobre tensão

**OTP** Over Temperature Protection Proteção de sobre temperatura

PF Power Factor Fator de Potência

**PFC** Power Factor Correction Fator de Correção de Potência

PLL Phase-Locked Loop Laço Fechado em Fase

**PMOS** P-Channel MOS transistor Transistor MOS canal P **PSD** Power Spectral Density Densidade Espectral de Potência

PV Photovoltaic Fotovoltaico

PMU Multiuser Program Programa Multiusuário

PWM Pulse Width Modulation Modulação de Largura de Pulso
RAM Random Access Memory Memória de Acesso Aleatório

**RE** Radiated Emission Emissão Radiada

**RF** Radio Frequency Frequência de Rádio

**ROM** Read Only Memory Memória Apenas de Leitura

RFI Radio Frequency Interference Interferência de Frequência de Rádio SCI Serial Communications Interface Interface de Comunicação Serial

SCL Serial Clock line Linha de Relógio Serial

SCR Silicon Controlled Rectifier Retificador Controlado de Silício

SDASerial Data lineLinha de Dados SeriaisSDRAMSynchronous Dynamic RAMRAM Dinâmica Síncrona

SiGeSilicon-GermaniumSilício-GermânioSiCSilicon CarbideCarbeto de Silício

SIP System In a Package Sistema em um encapsulamento
SMART Smart Power Integrated Circuit Circuito Integrado de Potência

**POWER** Inteligente

SOASafe Operating AreaÁrea de Operação SeguraSOARSafe Operating AReaÁrea de Operação Segura

**SOC** System On a Chip Sistema em um circuito integrado

**SOI** Silicon On Insulator Silício sobre isolador

SPI Serial Peripheral Interface Interface Periférica Serial

SRAMStatic RAMRAM estáticaSPWMSine PWMPWM senoidal

**THD** Total Harmonic Distortion Distorção Harmônica Total

**TRAN** Transient Analysis Análise Transiente

USB Universal Serial Bus Barramento Serial Universal
VMOS Vertical MOS transistor Transistor MOS Vertical

UWBG Ultra Wide BandGap semiconductor Semicondutor de BandGap Ultra Largo

WBG Wide BandGap semiconductor Semicondutor de BandGap Largo
ZCS Zero-Current-Switching Chaveamento em Corrente Zero
ZVS Zero-Voltage-Switching Chaveamento em Voltagem Zero

#### LISTA DE SIMBOLOS

Símbolo	Significado em língua inglesa	Significado em língua portuguesa
α	Quadratic adjust constant	Constante de ajuste quadrático
β	Linear adjust constant	Constante de ajuste linear
γ	Nonlinear adjust constant	Constante de ajuste não linear
$\mathcal{E}_{S}$	Material permissivity	Constante dielétrica relativa
$\varepsilon_0$	Vacuum permissivity	Permissividade do vácuo
λ	Waveform Length	Comprimento de onda
h	Nonlinear temperature constant	Constante não linear de temperatura
$\mu_n$	Electron Mobility	Mobilidade dos elétrons
$\omega_{RF}$	RF Frequency in rad/s	Frequência de RF em rad/s
$\psi_{RF}$	Spectral energy density	Densidade de energia espectral
A	Area	Área
В	Magnetic Field	Campo magnético
$B_V$	Breakdown Voltage	Tensão de ruptura
c	Light Velocity	Velocidade da Luz
$C_J$	Junction capacitance	Capacitância de junção
$C_L$	Load capacitance	Capacitância de carga
$C_{SC}$	Series coupling capacitance	Capacitância de acoplamento série
DR	Dynamic range	Faixa dinâmica
E	Electric Field	Campo elétrico
$E_C$	Critical electric field	Campo elétrico crítico
$E_{FF}$	Efficiency	Eficiência
$E_G$	Bandgap energy	Energia de bandgap
$E_{G0}$	Bandgap energy at 0K	Energia de bandgap a 0K
$E_{GE}$	Normalized bandgap energy	Energia de bandgap normalizada
$g_m$	Transconductance	Transcondutância
H	Absolute normalized temperature	Temperatura absoluta normalizada
$I_C$	BJT collector current	Corrente de coletor de um BJT
$I_D$	MOS drain current	Corrente de dreno de um MOS
$I_N$	Node current	Corrente no nó N
$f$ , $f_{RF}$	Frequency in Hz	Frequência em Hz
J	Current density	Densidade de corrente

k	Boltzmann's constant	Constante de Boltsmann
	~ .	~

K Gain constant Constante de ganho

 $L_{SC}$  Series coupling inductance Indutância de acoplamento série M Number of devices or terms Número de dispositivos ou termos

N Number of nodes Número de nós

 $N_A$ ,  $N_D$  N and P dopants concentration Concentração de dopantes N e P

q Electron charge Carga do elétron

 $R_{ON}$  ON state resistance Resistência no estado ligado  $R_{ON\text{-}SP}$  Specific ON state resistance Resistência ligado específica

 $R_L$  Load resistance Resistência de carga

 $R_{SC}$  Series coupling resistance Resistência de acoplamento série  $S_{RF}$  Spectral power density of RF Densidade de potência espectral  $S_X$  Spectral power density of signal Densidade de potência espectral

T Temperature Temperatura

 $T_R$  Reference temperature Temperatura de referência

 $T_{RF}$  RF interference period Período da interferência de RF  $t_{RR}$  Reverse recovery time Tempo de recuperação inversa  $V_{BE}$  BJT base to emitter voltage Tensão base-emissor de um BJT

 $V_{BG}$  Bandgap voltage Tensão de bandgap

 $V_{DS}$  MOS drain to source voltage Tensão dreno-source MOS  $V_{GS}$  MOS gate to source voltage Tensão gate-source MOS

 $V_L$  Load voltage Tensão na carga  $V_N$  N node voltage Tensão no nó N

 $V_{REF}$  Reference voltage Tensão de referência

 $V_{S\_S}$  Supply to supply voltage Tensão entre alimentações  $V_T$  Thermodynamic voltage Tensão termodinâmica  $V_{TH}$  MOS threshold voltage Tensão de limiar MOS

 $V_{TN}$  Thermodynamic voltage at  $T_N$  Tensão termodinâmica para  $T_N$ 

 $V_X$  X node voltage Tensão no nó X

 $Y_N$  Node admittance Admitância no nó N  $Z_N$  Node impedance Impedância no nó N

 $Z_C$  Coupling impedance Impedância de acoplamento

### **SUMÁRIO**

Capítulo 1	22
1 Introdução	22
1.1 Circuitos Integrados de Potência - Cenário	22
1.1.1 Aplicações segundo segmentos de mercado	23
1.1.2 Requisitos de Robustez	28
1.2 Compatibilidade Eletromagnética	
1.2.1 Perspectiva histórica do problema de interferência de RF	
1.2.2 Principais fontes de interferência de RF	
1.2.3 A questão da Normalização	
1.3 Interferência de RF em circuitos integrados de potência	
1.4 Motivações e definição do problema	
1.5 Objetivos	
1.6 Metodologia	
1.7 Contribuições da tese	44
1.8 Organização da tese	46
1.9 Resumo e conclusões do Capítulo 1	47
Capítulo 2	48
2 Tecnologias de Circuitos Integrados de Potência	48
2.1 Introdução	48
2.2 Revisão da Literatura – Estado da Arte	48
2.3 Tecnologias Monolíticas de Potência Inteligente (Smart Power)	55
2.4 Tecnologias Hibridas Modulares de Potência Inteligente (SIP)	
2.5 Principais contribuições da tecnologia para o RFI	
2.5.1 Fontes e caminhos de acoplamento	
2.5.2 Influências do substrato	68
2.5.3 Contribuições do encapsulamento	
2.5.4 Uso de blindagens e sua efetividade	
2.6 Tecnologia e Arquitetura de Circuitos Integrados Smart Power	
2.7 Interferência RFI em blocos de construção de circuitos Smart Power	
2.8 Resumo e conclusões do Capítulo 2	78
Capítulo 3	
3 Métodos de Análise da Interferência de RF	79
3.1 Introdução - Análise da interferência	79
3.1.1 Particionamento para análise dos circuitos	
3.1.2 Domínios dos métodos de análise	
3.2 Metodologias tradicionais de análise	
3.2.1 Análise transiente (Spice TRAN)	
3.2.2 Análise em frequência (Frequency response)	
3.2.3 Análise de Balanço Harmônico (Harmonic Balance)	
3.3 Métodos de modelagem dos circuitos	
3.4 Métodos clássicos de análise não linear	
3.4.1 Métodos de análise da série de Taylor (Domínio do tempo, comportamental)	
3.4.2 Métodos de análise da série Volterra (Domínio do tempo)	
\ I /	

3.4.2.1 Relação entre as séries de Taylor e de Volterra	104
3.4.2.2 A questão da convergência das séries de Volterra	106
3.4.2.3 A questão da identificação de Núcleos das séries de Volterra	
3.4.2.4 Métodos de análise por série de Volterra modificada	
3.4.3 Métodos de análise da série Wiener (Domínio da frequência)	
3.5 Proposição de um novo método: Interferência Complexa (t, NL, $x$ )	
3.5.1 Fundamentação	
3.5.2 Propagação de um sinal com funcionais	
3.5.2.1 Propagação de um sinal linear com funcionais	
3.5.2.2 Propagação de um sinal não linear com funcionais	
3.5.2.3 Propagação de um sinal fracamente não linear com funcionais	
3.5.2.4 Propagação geral do sinal em cascata com M caminhos	
3.5.4 Estimação do valor médio por integração	
3.5.5 Estimação do valor médio através de um filtro	
3.5.6 Fluxograma de aplicação do método de interferência complexa	
3.6 Comparação entre os métodos	
3.7 Resumo e conclusões do Capítulo 3	
Capítulo 4	
4 Efeitos e Mecanismos de Falhas devido a RFI	
4.1 Introdução	
4.2 Mecanismos de falha devido a RFI em circuitos Smart Power	
4.2.1 Propagação do RFI acoplado via tensão de alimentação	
4.2.1.1 Diminuição da Faixa de Excursão dos Sinais	
4.2.1.2 Diminuição da Faixa Dinâmica	
4.2.3 Propagação do RFI acoplado via substrato (ou outro ZC)	
4.3 Proposição de modelamento do efeito antena do diepad/baseplate	
4.4 Discussão sobre efeitos, mecanismos de falha e mitigação do RFI	
<u>e</u>	
4.5 Resumo e conclusões do Capítulo 4	
Capítulo 5	152
5 Simulação e Predição usando o método de Interferência Complexa	
5.1 Introdução	152
5.2 Métodos de simulação para predição dos efeitos do RFI	152
5.3 Estudo de casos: Blocos Smart Power fundamentais	153
5.3.1 Estudo de Caso 1: RFI em referências Bandagap	155
5.3.2 Estudo de Caso 2: RFI em condicionadores de sinal (OPAMPs)	
5.3.3 Estudo de Caso 3: RFI em osciladores de relaxação	
5.3.4 Estudo de Caso 4: RFI em osciladores em osciladores harmônicos	
5.3.5 Estudo de Caso 5: RFI em drivers para chaves de potência	
5.3.6 Estudo de Caso 6: RFI em um inversor WBG de 1kW de potência	
5.4 Proposição de um novo método de prospecção: FRA-DPI	
5.5 Resumo e conclusões do Capítulo 5	
Capítulo 6	207
6 Caracterização e Testes	207
6.1 Introdução	207
6.2 Metodologia experimental de caracterização e testes em laboratório	207

6.3 Métodos de teste no domínio do tempo	207
6.3.1 Método de BCI (Bulk Current Injection)	208
6.3.2 Método de DPI (Direct Power Injection)	
6.3.3 Método de surtos transientes e ESD	
6.4 Métodos de teste no domínio de frequência	
6.4.1 Método de Análise de Resposta Harmônica (multitonal)	
6.4.2 Método de Análise de Resposta em Frequência (FRA)	
6.5 Outros métodos de teste e análise	
6.6 Caracterização de RFI em circuitos Smart Power	
6.7 Caracterização tradicional de RFI em blocos Smart Power (DPI)	
6.7.1 Exemplo 1 – Oscilador de relaxação de duas fases	
6.7.2 Exemplo 2 – Oscilador harmônico a cristal tipo Pierce	
6.8 Proposta de um barramento de testes de RFI analógico: ATB-RFI	
6.9 Proposta de um novo método de caracterização: FRA-DPI	
6.10 Resumo e conclusões do Capítulo 6	232
Capítulo 7	233
7 Conclusões	233
7.1 Introdução	233
7.2 Resultados, discussões e conclusões	233
7.3 Sugestões para trabalhos futuros	234
7.4 Considerações finais	234
8 Publicações	235
Lista de publicações do autor	
9 Referências Bibliográficas	
10 Apêndices	
Apêndice A – Informações e tabelas de conversão usadas	
Apêndice B – Dados sobre tecnologias BG, WBG e UWBG	
Apêndice C – Métodos matemáticos	
Apêndice D – Modelamentos	
Apêndice E – Circuitos de teste usados nas simulações	
Apêndice F – Circuitos integrados projetados e usados para teste	
riperialee i Circuitos integrados projetados e asados para teste	200

## Capítulo 1

### Introdução

#### 1.1 Circuitos Integrados de Potência - Cenário

Os dispositivos eletrônicos de potência são amplamente utilizados em sistemas de conversão de energia, que são fundamentais para o funcionamento de vários tipos de equipamentos, sendo essenciais aos mesmos. Eles atuam no processo da transformação da energia no que diz respeito à adequação dos seus níveis (amplitude) e da sua forma de condução (contínua ou alternada). Outro ponto importante diz respeito à questão da eficiência energética da conversão, sendo notável sempre a busca por sistemas cada vez mais eficientes. Os dispositivos semicondutores de potência foram usados primariamente nestes tipos de circuito como dispositivos de controle do fluxo de potência, atuando como resistores controlados. Entretanto com a introdução dos sistemas chaveados, eles encontraram sua principal aplicação, tornando-se possível reduzir o montante de energia perdida por efeito Joule, reduzindo-se as perdas, assim como propiciando um mecanismo de conversão de corrente contínua em corrente alternada. Do ponto de vista da industrialização, este ponto contribuiu para o desenvolvimento de produtos e equipamentos mais compactos, com menor custo e maior complexidade, o que levou a necessidade de dispositivos cada vez mais complexos, incluindo não só as chaves de potência, mas contendo todos os circuitos de controle das mesmas, assim como associando inteligência aos mesmos (Smart Power). Além disto, a inclusão de processadores lógicos nestes sistemas possibilitou o acesso remoto aos equipamentos (via grid e wireless), assim como conexão em redes ethernet e recentemente conexão em nuvem com a internet (IoT). Neste contexto, as necessidades de mercado levaram as principais indústrias de semicondutores ao desenvolvimento de uma gama de produtos dedicados a sistemas de potência, em particular os circuitos integrados de potência inteligentes, assim como no desenvolvimento e pesquisa em novas tecnologias, ultrapassando as limitações das anteriores com relação à frequência e aos limites de potência e tensão de operação impostas pelas tecnologias anteriores baseadas no silício. Paralelamente a este desenvolvimento tivemos uma grande evolução dos sistemas de radiofrequência, com ampla utilização de RF em várias bandas, cuja interação com estes sistemas geraram situações de conflito conhecidas como Compatibilidade Eletromagnética (EMC).

#### 1.1.1 Aplicações segundo segmentos de mercado

Atualmente temos várias aplicações para os conversores de energia, operando nos modos DC/DC, AC/DC, DC/AC e AC/AC, nas mais variadas áreas de aplicação, conforme as listadas e discutidas em Mohan *et al.* (1995, p.7-9), abrangendo aplicações de baixa a alta potência, podendo ser lineares ou chaveadas. Para o escopo deste trabalho, foi listado um subconjunto destas aplicações conforme as principais áreas de aplicações, com faixas de potência de 1W a 180kW, com especial interesse na faixa de 1kW a 10kW (faixa de potência com grande volume de produção industrial), relacionando-se com as frequências de chaveamento destes conversores. Elas são utilizadas em projetos industriais, e também são encontrados em aplicações na literatura, estando sumarizados na Tabela 1.1. Considerando-se questões de Compatibilidade Eletromagnética (EMC), estas frequências são importantes do ponto de vista da interferência, devido ao chaveamento de potência com transições abruptas, que podem resultar em emissão eletromagnética de RF.

Assim, partindo deste subconjunto, como exemplos, temos as aplicações no setor industrial com a utilização de módulos para controle de motor (bifásicos e trifásicos), retificadores de potência, e conversores de energia, para máquinas de solda (e.g. Mohan *et al.* (1995, p. 458).), fornos de indução e fornos de micro-ondas com válvulas *Magnetron* (e.g. Georghiou *et al.* (1999)), envolvendo o uso de módulos de potência (IGBT e SiC principalmente). Com a evolução dos dispositivos WBG, começam a surgir fornos de micro-ondas usando dispositivos de estado sólido GaN, em substituição as *magnetrons* (e.g. Nakatani e Ishizaki (2015)), o que abre mercado para módulos *Smart Power* para tais aplicações, como ilustrado na Figura 1.1.

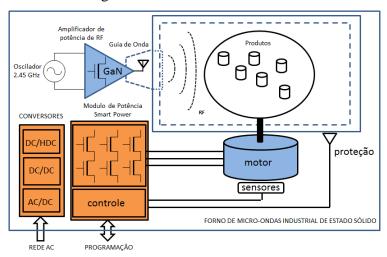


Figura 1.1 – Aplicações na área industrial – forno de micro-ondas de estado sólido. Fonte: Maltione (2020).

No setor automotivo, a conversão de energia de potência, encontrou sua principal forma de expansão com o advento dos veículos totalmente elétricos (EV) ou híbridos (HEV) onde são necessárias várias formas de conversão tais como a carga das baterias (AC/DC), acionamento do motor de propulsão (DC/AC) e geração da alimentação interna (DC/DC), conforme ilustrado na Figura 1.2, em uma diversidade de aplicações e potências. Segundo Elva (2013, p. 12-13), espera-se um market de 5% de EVs em 2020, que deve ser acelerado ao longo das próximas décadas devido ao compromisso assumido pelos países dos grupos G8 e EU para redução de das emissões de CO<sub>2</sub> em 80% para 2050. Segundo dados da Tabela 1.1, podemos verificar que com a transição dos veículos híbridos (HEV) para os totalmente elétricos (EV), teremos uma demanda maior em cerca de uma ordem de grandeza na potência elétrica empregada.

Com relação ao sistema podemos verificar na Figura 1.3, que temos vários módulos de controle (e.g. AFDC (2020), NPTEL (2020), etc.) podendo utilizar circuitos *Smart Power* com função integrada de sensoriamento, controle/processamento e conversão de energia com uso chaves de potência (MOS, IGBT, SiC e GaN) e com ampla utilização das redes de comunicação automotivas, CAN e LIN. Em cenário de futuro próximo, temos a aplicação de vários sistemas de radar usando RF, Laser ou ultrassom, para navegação (*Laser*), proteção anticolisão (curta distância – SRR, larga distância – LRR) e assistência a estacionamento (podendo usar também ultrassom ou câmeras). Os sistemas de radares iniciaram operando na faixa de micro-ondas de 24GHz, sendo que atualmente operam na faixa de 77GHz. Outros sistemas para navegação utilizam o sistema de posicionamento global (GPS) e redes de telefonia celular (3G, 4G e 5G) para auxílio à navegação e trânsito.

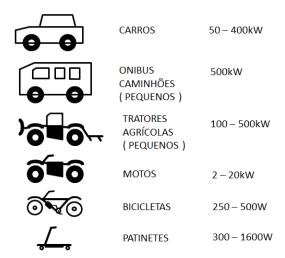


Figura 1.2 – Aplicações no setor de transportes – veículos elétricos. Fonte: Maltione (2020).

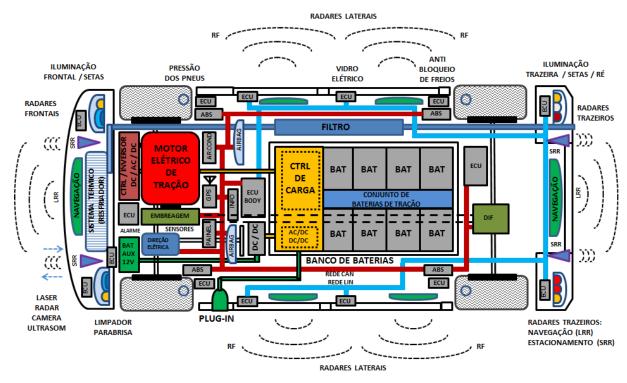


Figura 1.3 – Aplicações na área automotiva – carro totalmente elétrico (EV). Fonte: Maltione (2020).

No setor de Energia Renovável, temos o uso para a conversão da energia captada do ambiente, tais como solar, eólica e hidráulica que é transformada ou escalonada para outros níveis para a sua utilização (e.g. Abu-Rub *et al.* (2014, p. 53 e p. 56)). Com relação à energia solar, temos várias aplicações para conversão de energia DC proveniente dos módulos fotovoltaicos (FV), envolvendo a carga inteligente de baterias (DC/DC), busca do ponto de máximo rendimento (MPPT) e conversão em corrente alternada (DC/AC) para alimentação de sistemas de abastecimento isolados ou conectados a rede elétrica (grid) em 60Hz (ou 50Hz).

Para estas aplicações os inversores de energia são os principais equipamentos utilizados (Figura 1.4). Como exemplo, em sistemas FV conectados modernos temos vários conversores acoplados, controlados via DSP que gera sinais PWM que controlam as chaves de potência (IGBT, SiC ou GaN) sincronizando a energia produzida com a rede de alimentação (através das amostras dos sinais condicionados de tensão e corrente, convertidos pelos A/D e processadas no controlador digital), e com comunicação externa que pode ser via rede (PLC), wireless (ZigBee ou WiFi) ou via internet. Com foco neste mercado, temos a necessidade de controladores integrados que englobem tais funcionalidades, tais como controladores *Smart Power* e Módulos de Potência integrados, abrangendo vários tipos de produtos e dispositivos dedicados para aplicação em energia renovável.

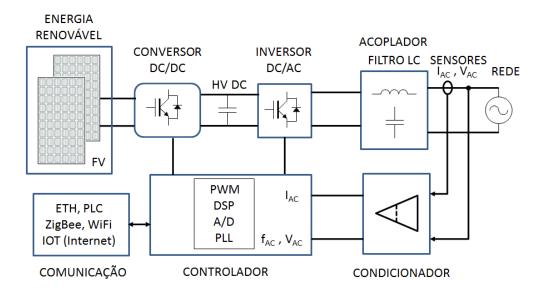


Figura 1.4 – Aplicação em energia renovável (solar fotovoltaica, sistema conectado)

Fonte: Maltione (2020).

Outros setores, além destes também requerem sistemas robustos. O setor de Telecomunicações, por exemplo, exibe uma demanda para conversores de energia de ata eficiência e baixo ruído principalmente para alimentação de sistemas de comunicação tais como: radiotransmissores para radiodifusão (broadcasting) ou telefonia móvel, TV analógica e digital, etc. Segundo Liu (2002, p. 1478), a principal aplicação são retificadores AC/DC, que convertem a tensão da rede AC de abastecimento em um barramento DC de -48V, que é distribuído por todo o sistema. Outra parte desta alimentação é feita por conversores DC/DC que convertem a tensão de -48V em alimentações com múltiplas saídas, para alimentar as placas, com circuitos lógicos, analógicos e de RF. A alta qualidade e a robustez são requisitos muito importantes para o sistema, sendo que se pode degradar a qualidade do som, imagens ou dados, exigindo-se assim sistemas com redundância e uso de fontes de alimentação ininterruptas (UPS) com baterias de backup.

Também encontramos aplicações robustas nas áreas da Medicina e Biomédicas, com o crescente surgimento dos equipamentos de diagnóstico e tratamento cada vez mais complexos. As aplicações incluem equipamentos para diagnóstico tais como, imagens de ressonância magnética, tomografia computadorizada, tomografia de emissão de pósitron, Raios-X e ultrassom, equipamentos de hemodiálise, robôs cirúrgicos, *lasers* e monitoramento de pacientes (FLYNN, 2015, p. 32) tais como pressão sanguínea, ECG, EGG etc. Existem ainda também aplicações dedicadas para uso em laboratórios (análises químicas e automação de processos), *Home Care* (camas médicas, CPAP, bombas de infusão) e equipamentos odontológicos.

Além dos requisitos de tamanho reduzido, robustez, funcionalidades e alta eficiência, este setor tem como principal requisito a segurança para o paciente e para o operador (normalizadas pela IEC 60601-1). Questões como isolação e interferência eletromagnética (EMI) são questões fundamentais no projeto, uma vez que muitos destes equipamentos envolvem o uso de alta tensão, devendo-se ter especial atenção com relação às correntes de fuga (FLYNN, 2015, p. 33; CUI, 2017, p. 5).

Com relação à questão da conversão de energia em aplicações extremamente robustas encontramos os setores Aeronáutico (aeronaves), Aeroespacial (satélites e veículos tripulados ou não) e Militar, Segurança e Defesa (armamentos e radares), que exigem o uso de conversores operando initerruptamente com extrema robustez a falhas.

A Tabela 1.1 apresenta resumidamente uma coletânea destas aplicações relacionando com as frequências normalmente utilizadas usando chaves com tecnologias convencionais (Si, IGBT e MOS) e a projeção de um futuro próximo para chaves WBG (SiC e GaN), que já começam a se tornar viáveis.

Tabela 1.1 – Aplicações de Sistemas de Potência

Área de Aplicação	Aplicação	Potência	Frequências de	Limites futuros
		[W]	chaveamento [Hz]	para WBG [Hz] *
Conversores	Fontes chaveadas	10 a 1k	20k a 2M	200k a 20M
Energia Renovável	Inversor isolado	500 a 5k	10k a 100k	100k a 10M
	Inversor conectado	1k a 50k	10k a 100k	100k a 10M
	Controlador de	550 a 5,5k	10k a 100k	100k a 10M
	carga			
	Microinversor	180 a 480	20k a 500k	200k a 50M
	Mini-inversor	720 a 1,92k	20k a 500k	200k a 50M
Automotivo	Inversor para HEV	3k a 30k	50k a 500k	500k a 50M
	Inversor para HV	10k a 180k	50k a 500k	500k a 50M
Telecomunicações	Alimentação (UPS)	500 a 120k	20k a 2M	200k a 20M
Industrial	Alimentação/Fontes	100 a 2k	20k a 2M	2M a 20M
	Inversores	100 a 20k	20k a 500k	2M a 50M
Consumo	Alimentação/Fontes	1 a 5k	20k a 2M	2M a 20M
Equipamentos	Alimentação/Fontes	50 a 2k	20k a 2M	2M a 20M
Medicina e	Alimentação/Fontes	10 a 1k	20k a 2M	2M a 20M
Biomedicina				
Militar, Segurança	Alimentação/Radar	300 a 10k	50k a 500k	500k a 50M
e Defesa				
Aeronáutica e	Alimentação/Satélite	100 a 12k	100k a 20M	1M a 100M
Aeroespacial				

<sup>\*</sup>Nota: Projeção para uso de tecnologias WBG com chaves SiC ou GaN em futuro próximo.

Fonte: Maltione (2020).

#### 1.1.2 Requisitos de Robustez

Conforme a área de aplicação, temos requisitos específicos com relação às condições de robustez que são necessárias para certo equipamento. Os parâmetros normalmente impactados nos sistemas são a temperatura de operação, o tempo de vida esperado para o equipamento, os níveis de emissão/imunidade de RF (Compatibilidade Eletromagnética - EMC) e descargas eletrostáticas (ESD) suportadas pelo mesmo conforme os mercados de aplicação. Estes requisitos por sua vez impactam nos limites dos parâmetros dos dispositivos de potência usados nestes produtos.

A Tabela 1.2 apresenta resumidamente estes requisitos conforme estas aplicações.

Mercado/Setor Temperatura de Tempo de **EMC** ESD de Aplicação operação vida Consumo 0 a 70°C 5 anos FCC Part 15 Class A +/- 1kV Industrial -40 a 85°C IEC 61.000-4-15 +/- 2kV 5 anos -40 a 150°C Automotivo 10 anos ISO 11452-4/-7 +/- 8kV -25 a 60°C Renovável FCC Part 15 Class B +/- 4kV 5 a 25 anos -55 a 125°C Militar 20 anos MIL STD 461 G +/- 15kV

Tabela 1.2 – Requisitos comuns de robustez conforme mercado de aplicações

Fonte: Maltione (2020).

Conforme podemos verificar na Tabela 1.2, dispositivos utilizados em setores de robustez tais como aplicações automotivas e militares estão sujeitos a especificações mais rígidas com relação à temperatura, EMC e ESD. Outro exemplo são as aplicações para o setor de energia renovável, que exige para alguns produtos, expectativa de tempo de vida superior a 25 anos (que é o tempo de vida esperado para os módulos fotovoltaicos).

#### 1.2 Compatibilidade Eletromagnética

A Compatibilidade Eletromagnética (EMC - Electromagnetic Compatibility) trata-se da capacidade de um equipamento operar em um mesmo ambiente com outros equipamentos, sem causar interferência de RF ou ser disturbado pelos mesmos. O modelo mais empregado para esta situação é o Agressor-Vítima, onde o agressor é a fonte de RF que causa a interferência e a vítima o equipamento que sofre a interferência, como ilustrado na Figura 1.5.

Do ponto de vista da compatibilidade, são definidos conceitos relativos a este modelo de interferência, definindo-se áreas de estudo, no que se refere a quem transmite (emissão) ou quem a recebe (susceptibilidade), tais como ilustrados na Figura 1.6.



Figura 1.5 – Modelo clássico de interferência agressor - vítima. Fonte: Maltione (2020).

RF incidente EMC RF irradiado

Interferência de RF
EMI
(RFI)

Sistema de Conversão de Energia

Vin, lin
Pin
Pout = EFF x Pin
Pout
RF conduzido

Chaveamento em fs

RF conduzido

(EMS) IMUNIDADE

EMISSÃO (EME)

Figura 1.6 – Conceito de interferência de RF aplicado a um sistema de potência. Fonte: Maltione (2020).

Assim em EMC, o termo EMI (*Electromagnetic Interference*) é usado para designar os fenômenos que tratam de sinais interferentes de uma forma geral (contínuos ou transitórios), sendo o termo (RFI) usado no mesmo contexto, mas aplicado mais a sinais de rádio (RF). Como descrito por Redouté e Steyaert (2010, p. 13), segundo definição da IEC, o termo EMS (*Electromagnetic Susceptibility*) é usado para designar a inabilidade (ou imunidade) do sistema em operar sem degradação com a interferência recebida (vítima), enquanto o termo EME (*Electromagnetic Emission*) é usado para designar os fenômenos de emissão interferentes de uma fonte (agressor).

Evidentemente na prática existem limites para os níveis de sinal em que estes eventos ocorrem, tendo sido ao longo do tempo, estabelecidos e padronizados, como normas de compatibilidade (*Standards*). Os tópicos a seguir discutem brevemente estas questões, desde os conceitos básicos, do surgimento do problema à normalização.

#### 1.2.1 Perspectiva histórica do problema de interferência de RF

A saga pelo desenvolvimento do eletromagnetismo, conforme ilustram alguns autores em suas retrospectivas históricas, desde os primórdios das comunicações sem fio, tais como descreve Redouté e Steyaert (2010, p. 1), começa desde os tempos dos gregos com as

propriedades magnéticas de certas pedras (magnetita), a descoberta da bússola pelos chineses, e ao âmbar amarelo, com propriedades eletrostáticas que ao ser atritado consegue atrair corpos leves. Estes fenômenos naturais, que pareciam eflúvios que emanavam destes materiais, eram fenômenos dissociados, tendo sido somente associados por Orsted em 1820, com a descoberta de que uma corrente elétrica podia defletir uma agulha de uma bússola, correlacionando-se assim os fenômenos elétricos e magnéticos. Muitos contribuíram para estes estudos entre eles Gauss, Ampere, Thomson, Volta e Faraday dentre outros, para descrição destes fenômenos, que acabaram sendo unificados de forma elegante e matemática por Maxwell, que unindo os trabalhos anteriores, compilou em seu tratado sobre eletromagnetismo, um conjunto de equações que descreviam os fenômenos, e que acabaram por ser o substrato para os trabalhos de Lorentz e Poincaré, culminando com a publicação da teoria da relatividade restrita de Einstein em 1905.

Entretanto um fato interessante, é que o trabalho de Maxwell era uma compilação, que apesar de brilhante, era teórica sobre o eletromagnetismo, sem a demonstração física de suas conclusões. Maxwell demonstra que as ondas eletromagnéticas, tem o mesmo comportamento da luz, assim como suas propriedades de difração e reflexão, tendo assim a mesma essência. Neste tempo devido ao forte embasamento da mecânica Newtoniana, era necessário imaginar um meio físico para a propagação dos sinais eletromagnéticos (éter), tendo sido descrito, nas próprias palavras de Maxwell como:

"If it should be found that the velocity of propagation of electromagnetic disturbances is the same as the velocity of light, and this not only in air, but in other transparent media, we shall have strong reasons for believing that light is an electromagnetic phenomenon, and the combination of the optical with the electrical evidence will produce a conviction of the reality of the medium similar to that which we obtain, in the case of other kinds of matter, from the combined evidence of the senses." (MAXWELL, 1873, Vol. 2, Chapter XX - Electromagnetic Theory of Light, p. 383).

. .

"Hence the ondulatory theory of light has met with much opposition, directed not against its failure to explain the phenomena, but against its assumption of the existence of a medium in which light is propagated." (MAXWELL, 1873, Vol. 2, Chapter XXIII - Theories of Action at a Distance, p. 437).

. . .

"Hence all these theories lead to the conception of a medium in which the propagation takes place, and if we admit this medium as an hypothesis, I think it ought to occupy a prominent place in our investigations, and that we ought to endeavour to construct a mental representation of all the details of its action, and this has been my constant aim in this treatise." (MAXWELL, 1873, Vol. 2, Chapter XXIII - Theories of Action at a Distance, p. 438).

Estes conceitos levaram a várias estimativas para medidas da velocidade da luz, como descritos em Maxwell (1873, Vol. 2, p. 387), onde a velocidade da luz é comparada com unidades elétricas. A questão da necessidade do éter para a propagação da luz, só foi quebrada no tempo de Einstein, com a conclusão que as ondas eletromagnéticas podiam se propagar no vácuo, sem necessidade de um meio físico, pela interação dos campos elétricos e magnéticos ortogonais similarmente ao comportamento da luz.

Do ponto de vista do contexto da tese, em relação às comunicações sem fio e aos fenômenos de interferência eletromagnéticos, convém ressaltar que a sua base está na verdade relacionada ao trabalho de Heinrich Hertz.

Hertz, conhecendo as previsões de Maxwell de 1864, que previu que as ondas eletromagnéticas podiam se propagar no espaço livre na velocidade da luz, desejava fazer experimentos com ondas dentro das dimensões de um laboratório, para verificar propriedades tais como: velocidade de propagação nos materiais, polarização, reflexão e difração. Na época, eram conhecidos os experimentos, para gerar ondas oscilatórias que podiam ser induzidas através de um circuito ressonante, composto de uma bobina de indução (*Ruhmkorff coil*), um capacitor (*Leyden jar*) acopladas às espirais Knochcnhauer (espécie de bobinas planas, com acoplamento a ar), as quais tinham os circuitos fechados por centelhadores (*spark gaps*). A alimentação do circuito era feita por pilhas zinco-carbono ancestrais conectadas em série (*Busen cells*).

Estes aparatos eram chaveados por interruptores (muitas vezes usando mercúrio, para evitar rebotes), produzindo um largo di/dt no primário da bobina que gerava uma alta tensão transitória oscilante no secundário da bobina. Isto, por sua vez gerava um arco no centelhador do primário, fechando assim o circuito e induzindo então uma tensão na espiral secundária que por sua vez fechava o circuito, gerando um arco no centelhador do secundário. Esta experiência demonstrava que as ondas oscilantes se propagavam através do ar e geravam uma tensão na espiral secundária, distante da outra. Entretanto Hertz estimou que se os comprimentos destas ondas fossem da ordem de 30m, estes tamanhos seriam incompatíveis com as dimensões para estudo em laboratório (APPLEYARD, 1930). Assim substituiu a garrafa de *Layden* por um centelhador de modo a ter uma menor capacitância e, portanto, maior frequência de oscilação e consequentemente menor comprimento de onda (Figura 1.7).

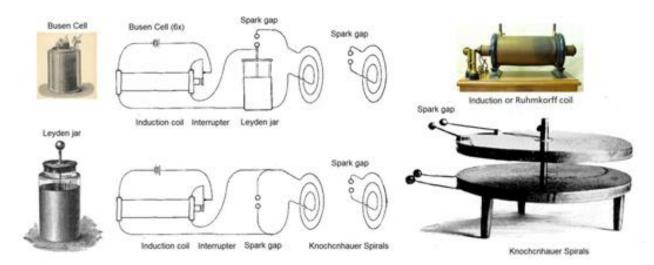


Figura 1.7 – Geração de ondas oscilatórias usando espirais de Knochcnhauer.

Fonte: Composição realizada pelo autor a partir de Appleyard (1930, p. 116 e 118)

com fotos da Wikipédia (Busen Cell, Leyden jar e Ruhmkorff coil).

Em um próximo passo, Hertz, modificou esta configuração substituindo as espirais de Knochcnhauer por um condutor direto, contendo um centelhador central. Para ajustar a capacitância, as extremidades externas das hastes do condutor foram equipadas com esferas ou placas metálicas. Este aparelho, quando conectado a uma bobina de indução, como ilustrado na Figura 1.8a, tornou-se o oscilador de Hertz. O aparelho original teve uma frequência de cerca de "cem milhões de oscilações por segundo" (APPLEYARD, 1930, p.119). Outro fator interessante é que a retirada do capacitor (Laden jar) tornou o conjunto de circuitos, sintonizados, sendo as capacitâncias distribuídas pelo *apparatus*.

Na sua famosa experiência de 1888, ilustrada na Figura 1.8b, já com os circuitos ajustados para gerar ondas de 6m (50MHz), Hertz fez várias experiências com seu transmissor, demonstrando a propagação das ondas eletromagnéticas pelo ar, e verificando a indução em um circuito de loop distante, através do ajuste micrométrico do centelhador.

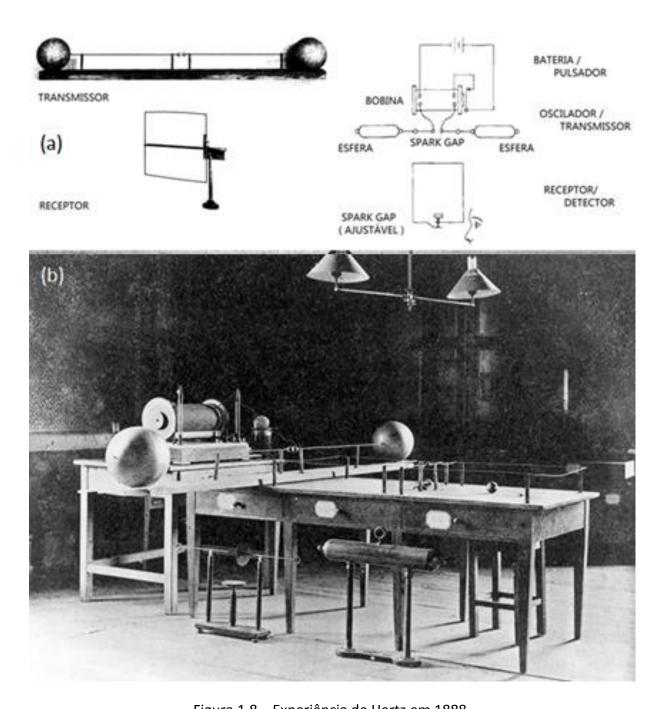


Figura 1.8 – Experiência de Hertz em 1888. (a) transmissor e receptor com  $\lambda$ =6m (50MHz); (b) foto do laboratório de Hertz mostrando dois circuitos receptores acoplados. Fonte: Adaptado pelo autor de Bryant (1988, p. 835, 836 e 838).

Podemos verificar através da narrativa de Hertz sobre seu experimento, as preocupações com o dielétrico de transmissão, estudando a propagação destas ondas pelo seu laboratório:

"... If after placing the thread in position we again start the sparking in the primary circuit, vigorous sparking begins again in the secondary circuit, and is now solely due to the rapid oscillations in the primary circuit. I have tested to what distance this action extended. Up to a distance of 1-2 metres between the parallel wires the sparks were easily perceptible the greatest perpendicular distance at which regular sparking could be observed was 3 metres. Since the electrostatic effect diminishes more rapidly with increasing distance than the electromagnetic induction, it was not necessary to complicate the experiment by using the wet thread at greater distances, for, even without this, only those discharges which excited oscillations in the primary wire were attended by sparks in the secondary circuit." (HERTZ, 1893, p.41).

Através de seus experimentos Hertz, verificou aspectos como polarização, ressonância, reflexão e difração destas ondas, validando a teoria preconizada por Maxwell. Apesar do aspecto rudimentar do transmissor e receptor de Hertz, ele foi usado ainda durante muito tempo em nível de pesquisa para gerar frequências na faixa de micro-ondas. Com relação ao caráter prático destas descobertas, Hertz não via como possibilidade o seu uso em sistemas de telegrafo sem fio, pois os mesmos teriam frequências muito baixas e com comprimentos de ordem de 300 km, o que demandariam receptores de ordem continental, inviabilizando a utilização, conforme demonstra sua carta de 3 de dezembro de 1899 a Sir. Herr Huber (APPLEYARD, 1930, p. 138-139).

A utilização deste sistema para utilização prática em telegrafia se deu por outros pesquisadores, que aprimoram o trabalho de Hertz com a introdução de outros elementos, tais como detectores mais sensíveis, que o centelhador do receptor. Marconi foi quem na verdade conseguiu dar um sentido prático a telegrafia sem fio, reduzindo a frequência de transmissão (através novamente da adição de uma garrafa de *Leyden*), de forma que os comprimentos de onda atingissem distâncias continentais e intercontinentais, tornando assim a telegrafia sem fio a principal forma de comunicação da época. Vários outros contribuíram para o avanço das tecnologias dos primórdios do rádio tais como Nikola Tesla, Ernest Alexaderson, Rehginald Fessender, Lee DeForest e o padre brasileiro Landel de Moura pioneiro na comunicação por voz, usando seus engenhosos inventos que misturavam artefatos elétricos e luminosos.

Assim os primeiros problemas de interferência eletromagnética incidiram sobre estes ancestrais sistemas de comunicações, na telegrafia sem fio, sendo que segundo Redouté e Steyaert (2010, p. 3), levou o Parlamento Alemão em 1892, a emitir um edital afirmando que:

"em caso de interferências eletromagnéticas que perturbem o funcionamento correto de cabos de um telégrafo ou equipamento telegráfico, o proprietário do aparelho que causava os distúrbios era o responsável por resolver o problema e indenizar o proprietário dos cabos de telégrafo e equipamentos de telégrafo que ele perturbou, sendo este, um marco na história da interferência eletromagnética, contribuindo para a primeira tentativa de tornar os equipamentos compatíveis entre si" (Tradução do autor do original em inglês, de Redouté e Steyaert (2010, p. 3)).

Estes problemas apareceram também na operação dos receptores e transmissores de Marconi, que partiu para soluções como sintonizar conjuntos (pares transmissor-receptor) em frequências diferentes de modo a reduzir a interferência assim como usar detectores melhores e mais seletivos.

Os problemas de interferência evoluíram com o avanço das tecnologias, desde a introdução dos equipamentos de rádio em carros, onde o sistema de ignição causava problemas de indução, ocorrendo problemas similares em aviões, barcos etc. Problemas estes que atingiram os equipamentos militares na primeira e segunda guerra mundial interferindo nas comunicações táticas, sendo que já na segunda guerra com interferência dos sistemas de radar. Nas décadas de 60-90, com transição das tecnologias: válvula – transistor – circuitos integrados, a complexidade dos circuitos passou de poucos dispositivos para milhares de dispositivos operando em espaços micrométricos. Acompanhando estes desenvolvimentos, os equipamentos de rádio, evoluíram para a transmissão de sinais variados e com modulações analógicas e digitais, tais como televisão, telefonia fixa e móvel, com redes celulares operando em diversas tecnologias na faixa de micro-ondas, GSM, 3G, 4G, 5G (dentre outras), digitais com links de áudio vídeo e dados (internet). O espectro de frequência hoje se expandiu sendo considerada a faixa de 3kHz a 300GHz, como frequências de operação de rádio. Grande parte dos equipamentos atuais utiliza algum processador de controle operando em alta frequência, sendo assim também uma fonte de interferência.

Do ponto de vista da interferência eletromagnética, estes desenvolvimentos e problemas históricos do passado, estabelecem um paralelo comum aos circuitos de potência atuais, onde placas de circuitos impresso com traços longos carregando corrente pulsada, transformadores de pulso e chaves de potência MOS ou IGBTs de alta velocidade fazem o papel do transmissor de Hertz, de forma intrínseca nos circuitos. Os transformadores planos, nos circuitos chaveados em muito se aproximam das famosas espirais de Knochcnhauer. Assim, podemos esperar que experiências do passado, como esta, possam ainda estar "vivas" em projetos atuais que não levaram em consideração a propagação de fenômenos eletromagnéticos estudados em um passado distante.

#### 1.2.2 Principais fontes de interferência de RF

Os sistemas eletrônicos são constituídos de um conjunto de componentes ou subsistemas que podem ser afetados por fontes de interferência eletromagnética. Com relação às fontes de interferência, segundo Morgan (2007), elas podem ser classificadas com relação à causa que pode ser decorrente de fenômenos naturais ou através de equipamentos feitos pelo homem. As fontes naturais costumam ser modeladas estatisticamente, enquanto as artificiais poder ser, na maioria das vezes, modeladas deterministicamente. Segundo este mesmo autor estas fontes podem ainda ser classificadas em contínuas ou transitórias sendo que as contínuas podem ser mais bem analisadas no domínio da frequência, enquanto as transientes no domínio do tempo, conforme o diagrama mostrado na Figura 1.9. Com relação ao espectro de frequências destas fontes, elas estão distribuídas no espectro atribuído a faixa de radiofrequência (3kHz a 300GHz), conforme ilustra a Figura 1.10.

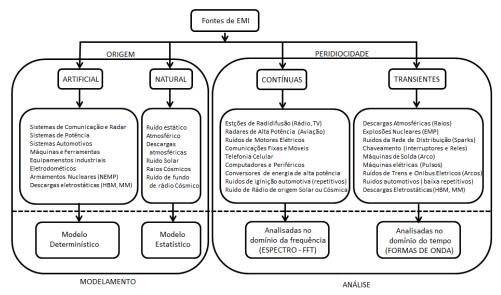


Figura 1.9 – Classificação das fontes de interferência.

Fonte: Elaborado pelo autor baseado em Morgan (2007, p. 3 e p. 7).

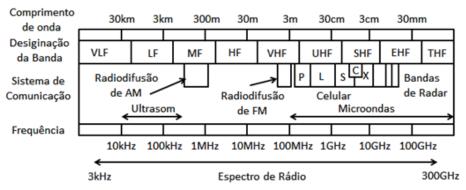


Figura 1.10 – Espectro de frequência das fontes de interferência.

Fonte: Extraído e adaptado pelo autor de NTIA (2003-2016).

Com relação às fontes de interferência criadas pelo homem, as principais estão ligadas aos sistemas de comunicações, sistemas industriais, computadores, radar e de uso militar. Os sistemas computacionais são responsáveis por grande parte do espectro de RF no modo digital, decorrente da crescente automatização, inteligência artificial e internet sem fio (wireless). Com relação ao setor automotivo, nos veículos atuais existem vários processadores, interligados por redes e recentemente os sistemas de anticolisão operando em frequência extremamente alta que tendem a se tornar padrão no setor.

Como outros efeitos associados à questão de interferência, temos os transientes de ESD e a susceptibilidade à radiação (nuclear, cósmica) que por serem efeitos transientes podem ter seu transiente associado a um espectro de frequência obtido por transformada de Fourier. Dado a complexidade do tópico, não será discutido neste trabalho, sendo o foco RFI.

A Tabela 1.3 sumariza estas fontes de interferência de RF, associando com as bandas e faixas de frequência comumente utilizadas.

Fonte de Interferência	Sistema	Bandas	Frequências	
Sistemas de	AM	MF	530–1700 kHz	
Comunicações	SW	HF	5.9–26.1 MHz	
(Radiodifusão)	FM	VHF	88–108 MHz	
Televisão	TV analógica	VHF/UHF	54–88 / 174–216 MHz	
	TV digital	UHF	470 a 806MHz**	
Telefonia Celular	Celular GSM 2G 3G 4G	UHF	0.7** a 2.6 GHz	
	5G *	UHF/SHF	(0.7** a 80GHz)	
Sistemas Industriais/	Motores,	LF/VHF	150kHz a 300MHz	
Equipamentos	Chaveamentos,	VHF/UHF	10MHz a 450MHz	
	Redes ISM (Amador)	UHF	420 a 450Mz	
Iluminação – Lâmpadas	Led (bulbo/auto/aero/barco)	MF/HF/VHF***	530kHz-300MHz	
(Regime/Transiente)	Fluorescente (Ballast)	HF/VHF***	3MHz-300MHz	
Redes de Computadores	WiFi, Bluetooth, ZigBee	UHF	2.4 a 5.8 GHz	
Sistemas automotivos	Controle de Motor	HF/UHF	100MHz a 1GHz	
	Navegação/Anticolisão	SHF	24GHz/77GHz	
	ADAS (Sensor/Câmaras/GPS)	HF/UHF	100MHz a 2GHz	
Radar	Segurança /Defesa	L/X/S	1GHz a 10GHz	
Sistemas	Vigilância	L/X/S/K/EHF	1GHz a 100GHz	
Militares /Aeroespacial	Armamentos (EMP/HPEM)	UHF/THF	1GHz a 1THz	

Tabela 1.3 - Fontes de interferência de RF

Fonte: Maltione (2020).

<sup>\*</sup> Nota 1: A tecnologia 5G adota múltiplas bandas onde pode ter o serviço de telefonia móvel alocado.

<sup>\*\*</sup> Nota 2: A frequência de 700MHz (banda 28) foi liberada pela Anatel para uso em telefonia móvel.

<sup>\*\*\*</sup> Nota 3: Vários relatos de transitórios causando problemas de interferência em FM, TV e móveis.

#### 1.2.3 A questão da Normalização

Dependendo da área de aplicação dos sistemas de conversão de energia, em particular os que utilizam circuitos chaveados, introduzem interferência de RF (EMI) que se propagam de forma irradiada pelo local de utilização, ou conduzida pela alimentação e demais conexões dos equipamentos, contribuindo como uma poluição eletromagnética do ambiente.

Segundo Williams (2007, Cap. 1, p. 1-22) seus efeitos podem significar desde pequenos distúrbios na qualidade na transmissão e recepção de sinais de comunicações, podendo mesmo até causar acidentes potencialmente fatais devido à corrupção do controle crítico de segurança dos sistemas. Dependendo do espectro da radiação, estes tipos de interferência podem inflamar atmosferas perigosas e ou ainda afetar diretamente o tecido humano<sup>1</sup>.

Com o desenvolvimento da tecnologia e consequente aumento da frequência de chaveamento e transição abrupta dos sinais, os espectros de interferência atingem a gama das frequências de RF, podendo causar distúrbios em outros equipamentos. Uma vez que estes equipamentos também podem ser vulneráveis ou susceptíveis à interferência de RF, a questão da compatibilidade eletromagnética dos mesmos têm vital importância, sendo normalizada, com níveis limites para emissão e de imunidade de RF, em praticamente quase todas as áreas de aplicação (normas internacionais tais como IEC, ISO, FCC, EN, MIL, etc.).

Do ponto de vista sistêmico, alguns autores tais como Willians (2007, p. 7) e Morgan (2007, p. 7) discutem duas abordagens para EMC de sistemas. Na primeira, são consideradas as interações entre os módulos (intra-sistemas), o que é o caso de aplicações compactas, tais como automotivas, aeronáuticas ou militares, onde os módulos podem estar próximos de fontes de interferência de potência, o que acarreta uma necessidade de especificação e regras de conexão mais severas, com relação aos limites de emissão e susceptibilidade. Na segunda abordagem os sistemas são considerados de forma isolada, inseridos dentro de um ambiente benigno do ponto de vista da interferência, onde um dispositivo pode operar dentro de uma distancia (fronteira) dos outros sem ser disturbado ou disturbar a outra parte do sistema (intersistemas). Este é o caso de aplicações comerciais tais como aparelhos de consumo tais como computadores, televisores, telefones, etc. Neste caso as normas podem ser mais flexíveis, com limites permitidos mais elevados. Assim dispositivos projetados para operar em normas comerciais não serão apropriados ou conseguirão atingir os níveis exigidos em aplicações

<sup>&</sup>lt;sup>1</sup> Maiores detalhes podem ser encontrados em: EPA (1984), Roberts et al. (1986) e Bruno (2011).

mais robustas, tais como automotivas militares ou médicas, sendo necessária à utilização de equipamentos dedicados ou robustecidos.

Devido ao fato de que a interferência eletromagnética (EMI) ter surgido primeiramente como um sério problema em telecomunicações (radiodifusão), as questões de EMC começaram a serem discutidas no escopo das telecomunicações (TIHANYI, 1995), sendo que a evolução da tecnologia e dos equipamentos levou a um tratamento mais focado aos mercados destes produtos, dirigida às áreas de aplicações.

Entretanto ainda hoje, assim como Tihany (1995), sinaliza no prefácio do seu trabalho, apesar da grande quantidade na literatura sobre EMC, muito pouco tem se dirigido especificamente no campo da eletrônica de potência. Com o desenvolvimento tecnológico, o problema se aprofundou indo do chaveamento de relés, motores, SCRs e Triacs, para equipamentos usando transistores de potência de alta velocidade tais como Mosfets, IGBTs e recentemente SiC e GaN. A maior parte destes equipamentos é controlada atualmente por um misto de circuitos digitais (microprocessadores e DSPs) e analógicos (condicionadores de sinal, conversores A/D, D/A, PLL), gerando uma complexidade muito grande nos problemas de EMC. A questão da susceptibilidade na área de potência, não é praticamente abordada, fazendo parte de um problema relativo aos componentes, ou analisada somente quando da interconexão entre os módulos de um sistema, ou quando ocorre a falha do produto em testes de homologação de EMC.

Assim como grande parte das normalizações está dirigida aos mercados, tomando-se como exemplo o caso dos inversores de energia, a qualidade de energia (harmônicos, fator de potência e EMI na rede de distribuição) tem sido o principal alvo dos fabricantes destes dispositivos. Grande parte dos mesmos tem usado normas genéricas para definição dos limites de interferência destes equipamentos (como por exemplo, a norma IEC 61000).

Neste sentido, faz-se necessário ter uma visão panorâmica sobre tais normas, para uma melhor a compreensão dos limites a serem empregados em produtos na área de potência (conforme o mercado de aplicação), assim como, analisar a efetividade das medidas de mitigação da interferência para os casos de emissão e susceptibilidade.

Como os sistemas legislativos variam de país para país, os esquemas de conformidade utilizados em cada dos países também são muito diferentes, onde em alguns locais, implicam forte legislação e regras de aprovação obrigatória, outros dependem de apenas registro e responsabilidade dos fabricantes (SCHAFFNER, 2013).

Outro ponto importante é o fato de que as diretivas de normalização e as normas aplicadas a cada segmento de mercado estão em contínua modificação e evolução. Grande

parte dos requisitos de EMC teve origem no setor militar e de aviação civil, sendo depois com a evolução dos equipamentos, adotados de forma mais flexível nos setores civis.

Assim, como nos primórdios das comunicações, onde os equipamentos eram valvulados, com grandes dimensões e tinham seus problemas resolvidos, com afastamento ou blindagem com relação às fontes de ruído, com o advento dos transistores, depois circuitos integrados, microprocessadores e DSPs, e dimensões cada vez menores levaram a um grau maior de complexidade dos problemas e assim às novas exigências de normalização. Neste sentido as normalizações tendem a evoluir com o surgimento de novas tecnologias, exigindo adaptações e mudanças nas normas.

Como as normas são inúmeras, além de extensas, variando por área de aplicação, os circuitos integrados de potência em geral são dedicados a um mercado específico de forma a terem atendidos os seus requisitos específicos de EMC.

A título de exemplificação, para as normas FCC/CISPR, a Figura 1.11a, mostra os limites para emissão conduzida (QP = quase pico, AV = médio), enquanto a Figura 1.11b, mostra os limites para emissão radiada para estas mesmas normas.

Com relação à susceptibilidade, a Figura 1.12 mostra os limites do campo eletromagnético para o teste de susceptibilidade radiada RS103 para norma MIL STD 461F, que é considerada a mais agressiva com relação à compatibilidade de sistemas robustos.

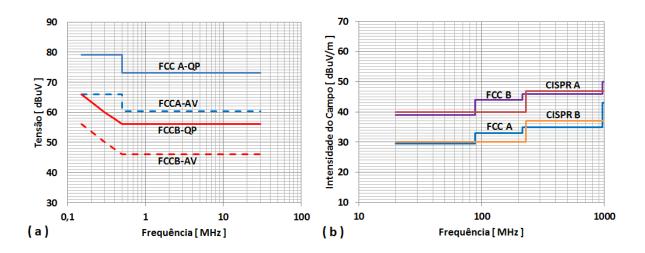


Figura 1.11 – Limites de emissão para Normas FCC/CISPR. (a) Conduzida (b) Radiada a 10 metros.

Fonte: Extraído e adaptado pelo autor de Ott (2009, p.15 e p.21).

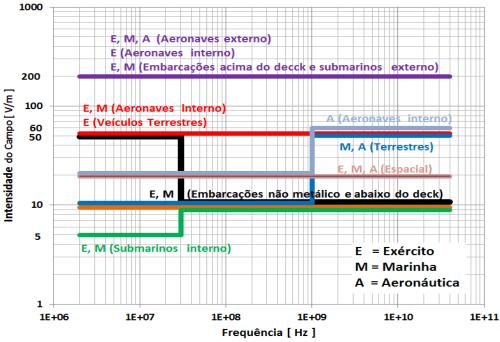


Figura 1.12 – Limites de susceptibilidade radiada RS103 para Norma MIL STD 461F.

Fonte: Adaptado pelo autor de Morgan (2007, p. 115)

para atender MIL STD 461F (p. 135).

## 1.3 Interferência de RF em circuitos integrados de potência

Os circuitos integrados de potência, conforme vimos anteriormente podem ser aplicados em uma gama extensa de produtos em diversas áreas de aplicação, de forma a melhorar o desempenho e a compactação dos mesmos, principalmente quando são usados em Smart Power.

Em termos de mercado existe uma preocupação por parte dos fabricantes em atender as principalmente as normas de emissão diante de um mercado competitivo. A questão da susceptibilidade por muitas vezes acaba ficando em segundo plano, uma vez que a metodologia de blindagem adotada para conter o EME torna por muitas vezes os níveis de interferência EMS aceitáveis. Entretanto como os critérios variam conforme o mercado de aplicação, dispositivos dedicados a áreas de robustez, em geral apresentam problemas de imunidade que devem ser tratados durante o fluxo de projeto dos dispositivos.

No desenvolvimento desta tese, serão analisados apenas os casos de susceptibilidade, que garantem a robustez à interferência de RF (EMS) em várias tecnologias, considerando-se em particular aplicações industriais, automotivas e de energia renovável.

## 1.4 Motivações e definição do problema

O projeto de circuitos integrados para o controle de circuitos de potência evoluiu para um nível de integração de sistemas, onde muitas vezes os dispositivos de potência estão integrados com os circuitos de controle, onde circuitos analógicos, digitais, de RF e sensores podem operar conjuntamente com chaves de potência (MOS, BJT, IGBT e mais recentemente SiC e GaN) tornando o fluxo de projeto e verificação um tanto complexo. Vários fabricantes, principalmente ligados aos setores que exigem robustez (tais como industrial, automotivo, aeronáutico / aeroespacial, militar, biomédico e de energia renovável), têm introduzido a verificação dos problemas de EMC em seu fluxo de projeto, como forma de mitigar os fracassos de componentes na fase dos testes de qualificação de EMC (envolvendo interferências na faixa de 1MHz a 18GHz, com níveis de emissão abaixo de 20dBuV, campos eletromagnéticos de até 200V/m e níveis de susceptibilidade maiores que 40dBm, variando conforme a norma aplicada). A justificativa para níveis de robustez tão severos se deve ao aumento significativo do uso de RF, que com o desenvolvimento tecnológico, ampliou o uso das telecomunicações para além da radiodifusão, assim como o atual e futuro cenário que faz uso de processadores e sistemas chaveados operando em frequências cada vez mais altas, que podem interferir também com outros equipamentos próximos, em amplo espectro de frequências.

Como principal formas de análise dos projetos são utilizadas ferramentas tipo SPICE<sup>2</sup>, com análises no domínio do tempo ou frequência (ou ambas) para verificação de problemas de susceptibilidade e emissão. Entretanto falhas de modelamento, aliadas ao forte comportamento não linear dos dispositivos, torna este processo não trivial. Por outro lado dada a complexidade dos dispositivos atuais, a verificação do sistema ou de blocos fundamentais dos mesmos podem consumir horas ou dias nas simulações sem contar com problemas de convergência, memória de dados e resultados errôneos, sem conexão com os resultados físicos obtidos em laboratório. Desta forma os problemas são tratados conforme aparecem, muitas vezes por tentativa e erro, sem compreensão das causas raízes.

Neste contexto este trabalho busca contribuir com metodologias que podem ser aplicadas durante o projeto para mitigação dos problemas de interferência, assim como propor um método de verificação e predição que além de rápido (em relação ao método de simulação tradicional), propõe também novas maneiras de teste e validação.

-

<sup>&</sup>lt;sup>2</sup> SPICE - Simulation Program with Integrated Circuit Emphasis. Ferramenta desenvolvida originalmente em 1973 na Universidade da Califórnia, EECS-Berkeley, por L. Nagel sob orientação do Prof. D. O. Pederson, usada para simulação de circuitos integrados, possibilitando análises tipo AC, DC e Transiente.

# 1.5 Objetivos

Analisar a questão da interferência de RF em circuitos integrados de potência, com contribuições na metodologia de análise dos problemas, assim como melhor a previsibilidade dos comportamentos dos dispositivos durante a interferência, assim contribuir para a metodologia de projeto de circuitos integrados de potência robustos em relação à susceptibilidade a RF. Neste contexto temos os seguintes objetivos específicos:

- Analisar os principais mecanismos de falha devido a RFI, com revisão da literatura com relação às metodologias de análise existentes para previsão e robustecimento dos circuitos integrados de potência (Smart Power), englobando tecnologias convencionais baseado em silício (BG) e emergentes de *bandgap* largo (WBG, UWBG) com foco em Si, SiC e GaN.
- Propor um novo método não linear de análise da susceptibilidade a interferência RF (interferência complexa), que seja independente da tecnologia dos dispositivos, que possa ser utilizado com ferramentas padrão de projeto de circuitos integrados (e.g. SPICE).
- Demonstrar experimentalmente os conceitos analisados, assim como explorar novos métodos de teste que contribuam para a identificação dos mecanismos de falha a RFI.

# 1.6 Metodologia

Para os objetivos deste trabalho foi adotada a seguinte metodologia de trabalho:

- (i) Revisão da literatura com foco na descrição e identificação dos mecanismos de falha devido a RFI, e estudo dos métodos de análise para previsão dos comportamentos e mitigação dos mesmos, englobando-se tecnologias WBG emergentes (SiC e GaN).
- (ii) Desenvolvimento teórico de uma metodologia não linear para análise dos problemas, com definição de um fluxo de análise que pode ser verificado por simulação Spice.
- (iii) Simulações com ferramentas Spice (e.g. Spectre, Spectre RF, Pspice da Cadence; ADS da Keysight e PSIM da Powersim) para demonstração dos mecanismos de falha, assim como aplicação no método de interferência complexa na previsibilidade de comportamentos, com estudos de casos.
- (iv) Caracterização em ambiente de laboratório dos fenômenos de interferência via testes de DPI, com análise de protótipos de circuitos integrados fabricados em tecnologia CMOS (para os módulos de controle) e módulos *Smart Power* discretos.

## 1.7 Contribuições da tese

Esta tese apresenta as seguintes contribuições principais:

- (i) Provisão e discussão de tópicos aprofundados, em temas pouco discutidos ou ausentes na literatura, relativa aos problemas de susceptibilidade à interferência de RF (EMS) em sistemas conversores de energia e inversores elétricos. Estudo focado nas interações com os circuitos integrados *Smart Power*, com estudo das tecnologias WBG emergentes (Capítulo 2), com levantamento do estado da arte nas técnicas de predição e mitigação dos mesmos, além de técnicas de projeto robusto (Capítulo 4), assim como dos métodos de análise aplicáveis (Capítulo 3).
- (ii) Proposição de um novo método não linear de análise da susceptibilidade à interferência de RF em circuitos integrados de potência (*Smart Power*), designado como "método de interferência complexa", com definição do seu algoritmo, que permite predição do estado final do sistema em circuitos não lineares (incluindo-se o efeito da propagação não linear do RFI), com simulação rápida (em relação ao modo transiente), permitindo ainda a introdução de efeitos não modelados ou disponíveis nos simuladores. Este tipo de análise viabiliza a predição em circuitos integrados complexos em alta frequência em grandes períodos, o que não pode ser feito por outros métodos usados tradicionalmente na predição dos efeitos da interferência (Capítulo 3 item 3.5).
- (iii) Análise dos principais efeitos e mecanismos de falha devido à interferência de RF usando o método proposto (interferência complexa), clarificando os efeitos ocorridos em baixa e alta injeção de potência de RF, com modelamento do efeito de carregamento via substrato / diepad e de retificação em alta injeção, com modelamento dos efeitos não lineares. (Capítulo 4 item 4.2)
- (iv) Proposição do modelamento do efeito antena do *diepad / baseplate* dos circuitos de potência *Smart Power* que pode capturar a interferência de RF e acoplar a mesma no sistema via substrato. Estudo inédito na literatura. (Capítulo 4 item 4.3)
- (v) Projeto e desenvolvimento de vários circuitos integrados de teste com blocos de construção de circuitos *Smart Power*, para controle e condicionamento de sinais, envolvendo blocos analógicos, digitais e mistos para teste de interferência (com acesso ao substrato). Estudos de casos com análises inéditas na literatura com análise de problemas relativos a blocos fundamentais tais como referências (*bandgap*), osciladores de relaxação (*dual phase*), osciladores harmônicos a cristal (Pierce),

- condicionadores de sinal, acionadores de chaves de potência (*drivers*) e estudo de caso da interferência de RF em um sistema inversor de 1kW usando chaves SiC/GaN para aplicações em energias renováveis. (Capítulo 5 item 5.3)
- (vi) Determinação do desvio da tensão nominal e do coeficiente de temperatura em referências de tensão bandgap (células de Brokaw e Kuijik) devido ao RFI aplicáveis em tecnologias convencionais de silício (BG, Si) e também de *bandgap* largo (WBG, SiC e GaN). (Capítulo 5 item 5.3.1)
- (vii) Determinação do desvio em frequência de osciladores de relaxação de fase dupla e *Jitter* introduzido devido ao RFI. (Capítulo 5 – item 5.3.3)
- (viii) Proposição do uso do fator de carga do oscilador na análise do desvio em frequência de osciladores harmônicos sobre interferência de RF. (Capítulo 5 item 5.3.4)
  - (ix) Proposição de uso de um barramento de teste analógico (ATB-RFI) para o monitoramento/depuração de problemas de RFI em blocos internos de circuitos integrados *Smart Power* complexos (Capítulo 6 item 6.7)
  - (x) Proposição de um novo método de teste de susceptibilidade à interferência de RF (FRA-DPI) com aplicabilidade em circuitos integrados *Smart Power*, através da caracterização da resposta em frequência (FRA) do circuito durante o teste de injeção direta de potência (DPI), verificando os efeitos na malha de controle tais como estabilidade e deslocamento de polos e zeros (Capítulo 6 item 6.8).

## 1.8 Organização da tese

Para os objetivos deste trabalho os capítulos foram organizados da seguinte maneira:

No **Capítulo 1** foi abordado o cenário das aplicações dos circuitos integrados de potência, tendo sido feita a definição do problema da interferência, com uma revisão dos principais conceitos de EMC, seu contexto histórico e a questão da normalização.

No **Capítulo 2** discute-se o Estado da Arte das principais tecnologias utilizadas para circuitos integrados de potência, com revisão da literatura sobre os principais dispositivos utilizados como chaves, com foco nas questões relativas aos modelos e elementos parasitários responsáveis pela susceptibilidade ao RF, assim como análise de tecnologias recentes tais como SiC e GaN para projeto de circuitos integrados *Smart Power*.

No Capítulo 3 apresenta-se a metodologia de análise com uma revisão da literatura introduzindo-se métodos não lineares tais como as análises de linearização de Taylor, e os métodos não lineares avançados de Volterra e Wiener, discutindo-se sua aplicação e limitações. Neste capítulo introduz-se um novo método não linear de análise de interferência, o método de interferência complexa, definindo-se a metodologia e fluxo de aplicação na análise de circuitos analógicos e digitais.

No **Capítulo 4** são discutidos os principais efeitos e mecanismos de falha devido à interferência de RF, com aplicação do método de interferência complexa, na previsão do comportamento dos blocos de construção de circuitos *Smart Power* com modelamento dos efeitos de carregamento e retificação do sinal interferente. Neste capítulo é proposto o modelamento do efeito antena do *diepad / baseplate* com simulações HFSS de campo.

No **Capítulo 5** são realizados estudos de caso, com predição de falhas devido ao RFI, comprovadas através de simulação SPICE, empregando-se o método proposto (interferência complexa), com a predição de efeitos em blocos funcionais de circuitos integrados *Smart Power*, sendo consideradas tecnologias convencionais (Si) e de *bandgap* largo (WBG, SiC e GaN). Neste capítulo é realizada também a discussão da predição de comportamento de um sistema inversor de potência para energias renováveis usando semicondutores WBG.

No **Capítulo 6** são apresentados os resultados experimentais, onde é realização a caracterização de blocos funcionais, circuitos de teste integrados fabricados em tecnologia CMOS em testes de DPI, com introdução de novo método FRA-DPI.

No **Capítulo 7** foram apontadas as considerações finais, assim como sugestões para trabalhos de pesquisa futuros.

## 1.9 Resumo e conclusões do Capítulo 1

Neste capítulo foram abordadas as principais aplicações para circuitos integrados Smart Power segundo segmento de mercado, usados em conversão de energia. Foi feita uma introdução à questão da compatibilidade eletromagnética, com uma breve discussão do seu contexto histórico. Foram analisadas as principais fontes de interferência de RF (RFI), assim como os seus modos de acoplamento (irradiada ou conduzida) responsáveis pela alteração nas características destes sistemas, que podem significar desde o desvio dos seus parâmetros de operação normal até vários níveis de falha que podem comprometer o funcionamento dos mesmos. Foi discutida a questão da robustez e da normalização exigida para esta categoria de circuitos integrados de potência.

Pelo exposto, pode-se concluir que dependendo da aplicação faz-se necessário certo nível de robustez com relação à susceptibilidade a radiointerferência (EMS), em geral padronizado por área de aplicação (Normas de Compatibilidade Eletromagnética), mas que está em constante evolução junto com a tecnologia.

Foram discutidas também as motivações, objetivos, metodologia e contribuições apresentadas neste trabalho.

Finalmente foi feita uma breve descrição do conteúdo dos capítulos da tese mostrando a sua estrutura, inter-relação e organização.

# Capítulo 2

# Tecnologias de Circuitos Integrados de Potência

## 2.1 Introdução

A questão da susceptibilidade à interferência de RF dos circuitos integrados de potência está fortemente relacionada com a tecnologia de construção dos mesmos, uma vez que o acoplamento da RFI via camadas, substrato, pads, proteções e encapsulamento, ocorrem de forma diferente em cada tecnologia. Do mesmo modo, as bandas de frequências interferentes variam com a tecnologia, sendo que os próprios dispositivos sejam pelas suas dimensões ou pela tecnologia podem propagar a interferência (e.g. tecnologias de alta frequência e de *bandgap* largo). Neste sentido, a seguir será feita uma revisão da literatura de forma a identificar as principais tecnologias e sua contribuição ao RFI em circuitos de potência.

#### 2.2 Revisão da Literatura – Estado da Arte

Com o surgimento dos dispositivos semicondutores, as aplicações na área de potência se deram na substituição de tecnologias antigas (válvulas) por dispositivos de estado sólido nas funções de retificação e controle. A tecnologia bipolar trouxe avanços na concepção de controle de potência com o uso de transistores NPN (ou PNP) de potência como elementos de regulação linear (série/paralelo) em aplicações DC e controle de cargas (resistivas ou reativas) e com os tiristores (SCR/TRIAC) em aplicações AC. Com o advento dos circuitos integrados, as aplicações de potência convergiram para reguladores de tensão integrados, chaves de comutação DC com controle e reguladores chaveados com chave integrada (*Buck*). Entretanto as aplicações lineares, devido à baixa eficiência (~25-35%) foram rapidamente substituídas por circuitos chaveados, elevando-se a eficiência do sistema (~60-70%). O aparecimento de transistores bipolares de alta tensão possibilitou aplicações em fontes chaveadas AC/DC de potência e o uso em circuitos de deflexão de televisão. Com o surgimento e avanço da tecnologia CMOS, eles foram rapidamente substituídos pelos transistores de potência MOS, a menos de aplicações de reguladores lineares para RF de baixo ruído, devido ao fato de não apresentarem o alto ruído 1/f em baixa frequência. Os transistores de potência MOS

contribuíram para resolver os problemas da grande corrente de base exigida pelos transistores bipolares (usados em geral na configuração Darlington, para minimizar o problema), que devido à alta injeção de portadores nas zonas de depleção (realizada pela corrente de base) os torna relativamente lentos no processo de chaveamento ON/OFF, limitando as frequências de chaveamento a casa de 10-20kHz. Por outro lado os transistores MOS de potência conseguiam atingir frequências de chaveamento uma ordem de grandeza superior, 100-200kHz, diminuindo o volume dos componentes magnéticos e volume dos capacitores de filtragem, atingindo eficiências da ordem de 75-85%. Entretanto em aplicações de alta potência (e.g. controle de motor), os tempos de acumulação das capacitâncias de base destes transistores eram muito grandes, limitando o seu uso. O uso de topologias ressonantes e com chaveamento suave (Soft-Switching), usando estratégias de corrente e tensão nula (ZCS e ZVS) vieram a melhorar o rendimento destas aplicações (85-90%), apesar de complicar o sistema de controle das chaves. Este cenário de aplicações teve uma grande revolução, com a invenção do IGBT (BALIGA, 1991), que combinava as características dos transistores bipolares de potência (com baixa tensão de saturação,  $V_{CE-ON}$ ) com o gate isolado dos transistores MOS, reduzindo-se as necessidades de "drive" dos dispositivos. Assim os novos IGBTs, dominaram estes mercados de aplicação, customizados em módulos com 2, 4 e 6 dispositivos, incluindo-se os diodos de circulação inversa. Estes dispositivos dominam as áreas de aplicação industrial e automotiva, devido a sua alta capacidade de corrente e tensão (e.g. 100A @ 600V). Entretanto com a maturação da tecnologia MOS de potência, surgiram novos dispositivos com alta capacidade de corrente (~100A), alta tensão de isolação (~600V) e menores tempos de acumulação, com alguns tipos permitindo acionamento diretamente pelos níveis de portas lógicas. Estas novas tecnologias, reduziram drasticamente a resistência de condução dos dispositivos (R<sub>ON</sub>) tornando os mesmos competitivos e com custos mais reduzidos que os IGBTs para médias potências. Assim os conversores de energia conseguiram atingir eficiências maiores (85-95%), atingindo frequências na faixa de 300-500KHz reduzindo-se ainda mais os elementos magnéticos.

Uma questão importante a ser analisada, é que estes dispositivos tiveram sempre como material de construção base o silício, dada a sua facilidade de obtenção e alta maturidade dos processos para fabricação de circuitos integrados e dispositivos de potência. Entretanto outros materiais com uma maior diferença dos níveis de energia entre as bandas de valência e condução (BG - BandGap), foram estudados durante décadas, tendo convergido para dispositivos de chaveamento com maiores velocidades de acionamento, maiores tensões de isolação e menores resistências de condução ( $R_{ON}$ ). Eles são referidos como dispositivos de

bandgap largo (WBG – Wide BandGap), sendo que o Carbeto de Silício (SiC) e o Nitreto de Gálio (GaN) se destacaram como novos materiais de construção, devido à adaptação de antigas fábricas de antigas tecnologias CMOS para o processamento destas tecnologias. A tecnologia de SiC, atingiu tal grau de maturidade que atualmente tornou-se o substituto das aplicações IGBT. Isto ocorreu devido aos limites dos dispositivos com alta capacidade de corrente, alta tensão de isolação (~1200V) e altas temperaturas de operação em relação ao silício, sendo já encontrados dispositivos em módulos, assim como os IGBTs. Entretanto eles permitem frequências de operação muito mais elevadas, considerando-se as mesmas aplicações, o que por sua vez reduz drasticamente as dimensões, volume e peso dos conversores de energia. Por sua vez a tecnologia GaN, mais recente que SiC, conseguiu um grande avanço com o uso do silício como substrato, sobre o qual são crescidos os materiais GaN (GaN on Silicon). Estes dispositivos beneficiam-se do fato de não terem o diodo intrínseco de corpo dos anteriores, baixa resistência de condução e alta frequência de operação permitindo aos conversores operar em dezenas de MHz. Associado com o advento dos dispositivos magnéticos planares, eles permitiram a construção de conversores de energia ultracompactos com altíssima eficiência (98-99%). Devido às baixas perdas de chaveamento, estes conversores podem operar no modo de chaveamento brusco (Hard-Switching), simplificando as topologias de acionamento. Os principais desafios atuais destas tecnologias (que avançam rapidamente) ainda são as questões de robustez, assim como a repetibilidade e estabilidade do processo em wafers grandes (8 polegadas), o que permite a fabricação de dispositivos mais competitivos, sendo que atualmente eles têm um custo mais elevado que seus predecessores IGBTs e Power MOS, já com um custo mais baixo devido à maturidade da tecnologia.

Como a busca pela chave ideal continua, no nível de pesquisa, temos dispositivos com bandgap ainda mais largo (UWBG - Ultra Wide BandGap), que apresentam tensões extremamente altas com alta capacidade de potência e desempenho de chaveamento, em relação aos WBG. Entre estas tecnologias estão os materiais AlGaN, Ga<sub>2</sub>O<sub>3</sub>, AIN e Diamante. Embora já existam dispositivos fabricados nestas tecnologias, que trazem dados da prova destes conceitos, os mesmos atravessam problemas de processo, repetibilidade, robustez e custo, indicando um longo ciclo de pesquisas até a fabricação de dispositivos práticos em um futuro próximo.

Devido ao grande número de materiais candidatos a substituição do silício, tornou-se comum o uso de fatores de mérito, que permite a comparação entre as tecnologias. Como essencialmente, em potência, os dispositivos são utilizados como chave, Baliga (2008)

mostrou que a resistência específica (resistência por unidade de área) em estado de condução de uma chave ideal é dada por:

$$R_{ON-sp} = \frac{4B_V^2}{\varepsilon_S \mu_n E_C^3} \tag{2.1}$$

Onde para um dado material semicondutor,  $B_V$  representa a tensão de ruptura (Breakdown Voltage),  $\varepsilon_S$  a constante dielétrica relativa,  $\mu_n$  a mobilidade e  $E_C$  o campo elétrico crítico para ocorrer à ruptura.

O denominador desta expressão é usado para projeção das características limites de certo material usado em um dispositivo semicondutor de potência, sendo conhecido como figura de mérito de Baliga (BFOM – Baliga's Figure Of Merit), que expresso em função da resistência específica, é dado por:

$$BFOMr = \frac{1}{4} \varepsilon_S \mu_n E_C^3 = \frac{B_V^2}{R_{ON-Sp}}$$
 (2.2)

A comparação entre estes materiais é feita em geralmente pela sua figura de mérito, BFOMr³, (Equação 2.2), que envolve as principais características destes materiais, como indicados na Tabela 2.1, em comparação ao silício convencional. O gráfico da Figura 2.1 ilustra esta figura de mérito para diversos materiais, mostrando os limites das tensões de ruptura e da resistência específica de estado ligado (*ON*) teórica da chave construída por estes materiais. Evidentemente, dispositivos práticos, apenas se aproximam destes valores, convergindo para estes limites com o aprimoramento das tecnologias.

Conforme podemos verificar, novos materiais como o β-Ga<sub>2</sub>O<sub>3</sub> e o AlGaN, já tem mostrado resultados de implementação, podendo apresentar resultados em um futuro próximo, enquanto o AlN, diamante e c-BN são promessas para o um futuro mais distante, que vislumbram possibilidades para atuar como chaves de alta potência, com grandes tensões de isolação, podendo assim modificar drasticamente os conceitos de projetos de conversores de energia operando em alta tensão.

.

Em Baliga (2008, p. 15), o valor original de *BFOM* não aparece com coeficiente <sup>1</sup>/<sub>4</sub>, sendo consideradas apenas as propriedades características do material na sua avaliação, ou seja,  $BFOM = \varepsilon_s \mu_n E_c^3$ . Entretanto como o  $R_{ON-sp}$  é sempre dado pela expressão 2.1 (que ó fator principal da comparação entre os dispositivos construídos em diversos materiais), vários autores consideram *BFOM* como sendo dado pela Expressão 2.2 (definido neste texto como, *BFOMr*).

Tecnologia	BG	WBG		UWBG				
Material	Si	4H-SiC	GaN	β-Ga <sub>2</sub> O <sub>3</sub>	AlGaN/GaN	AlN	Diamante	c-BN
Bandgap (eV)	1.12	3.3	3.4	4.9	Vários (3.4-6.02)	6.0	5.5	6.4
$BFOM$ (adaptado) ( $10^6 \text{V}^2 \Omega^{-1} \text{cm}^{-2}$ )	8.8	6270	27900	36300	90000	336000	554000	695000
$\mathcal{E}_S$	11.7	9.7	10.4	10	n.d. (interpolado)	9,76	5.5	11.9
$\mu_n (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$ $\text{ND} = 10^{16} \text{ cm}^{-3}$	1240	980	1000	171-180 (Hall mob.)	1200 (Hall mob.)	300-426	2000	825 (Hall mob.)
$E_C$ (MVcm <sup>-1</sup> ) ND = $10^{16}$ cm <sup>-3</sup>	0.3	3.1	4.9	10.3	15	15.9	13	17.5
Condutividade térmica (W m <sup>-1</sup> K <sup>-1</sup> )	145	370	253	27	<370	285-319	2290/3450 nat/iso puro	940/2145 nat/iso puro
Substrato	10 <sup>8</sup>	$10^{2}$	$10^{4}$	$10^{4}$	$10^{4}$	$10^{4}$	10 <sup>5</sup>	n.d.
Estado da Arte φ do Wafer (em polegadas)	8	8	8 (em Silício)	2-4 (em Safira)	Usa substrato GaN ou Safira	1-2	1-1.5	Cristais de alguns mm
Dopabilidade P	Boa	Boa	Boa	Não	Ruim	Ruim	Boa	Não
Dopabilidade N	Boa	Boa	Boa	Boa	Moderada	Possível	Moderada	Possível
Maturidade Tecnológica	Muito Madura	Madura	Madura	Pouco Madura	Pouco Madura	Imatura	Imatura	Muito Imatura

Tabela 2.1 – Características dos materiais semicondutores: Si versus WBG e UWBG

Notas: n.d. – não disponível; Hall mob. – Mobilidade Hall.

Fonte: Elaborado pelo autor com dados baseados em Tsao *et al.* (2017), Jones *et al.* (2017) e Baliga (2008).

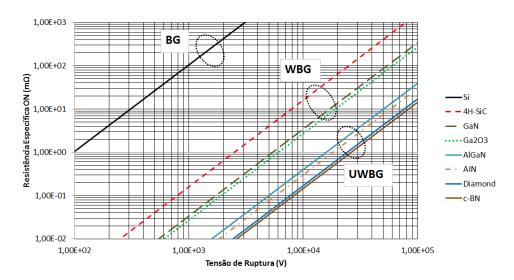


Figura 2.1 – Figura de mérito de Baliga para semicondutores BG, WBG e UWBG. Fonte: Adaptado pelo autor de Tsao *et al.* (2017, p. 4).

Do ponto de vista da análise de interferência de RF, com relação à susceptibilidade dos circuitos empregando tais dispositivos de potência, o fator de maior importância a ser considerado são os elementos parasitas associados aos dispositivos de certa tecnologia, assim como os modelos elétricos disponíveis para simulação de pequenos e principalmente grandes sinais considerando-se tais parasitas. Outra consideração importante é relativa à influência do

encapsulamento dos dispositivos e sua opção de construção, monolítica ou em forma modular (SOC ou SIP), conforme ilustram as Figuras 2.2(a) e 2.2(b).

A implementação SOC (*System on Chip*) é normalmente utilizada para pequenas até médias potências, onde todos os circuitos de controle (e.g. lógica, processador, condicionadores de sinal analógicos, etc.) são integrados na mesma pastilha conjuntamente com as chaves de potência, assim como com as proteções de ESD. Neste Caso o circuito é fabricado em uma única tecnologia (o que deu origem as tecnologias mistas tipo BCD). A pastilha é então fixada em um *leadframe* com função térmica aprimorada.

A implementação SIP (System in Package) é normalmente utilizada para potências mais altas, onde todos os circuitos de controle (e.g. lógica, processador, condicionadores de sinal analógicos, etc.) são integrados em uma pastilha diferente das chaves de potência, assim como as proteções de ESD são dedicadas a cada pastilha. Esta solução é particularmente interessante em altas potências, pois o circuito de controle pode ser integrado em uma tecnologia CMOS de alta integração, agregando-se grande inteligência ao sistema, enquanto as chaves de potências podem ser construídas em tecnologias Power MOS, IGBT convencionais ou WBG como SiC ou GaN. Com esta integração permite-se ter um dispositivo modular utilizando sempre o estado da arte das tecnologias envolvidas. Em geral é utilizado um substrato híbrido com função de suporte e interconexão das pastilhas, sendo que o encapsulamento é quem permite um grande acoplamento térmico dos dispositivos de potência (baseplate). Nestas aplicações a temperatura torna-se um grande fator limitante para aplicações de alta potência, caso a pastilha de controle seja implementada em silício, suportando até 150°C. Esta dentre outras limitações, tem levado ao desenvolvimento de sistemas de controle em tecnologias WBG e UWBG com temperaturas na faixa de 300°C a 1000°C, voltado para aplicações extremamente robustas.

Do ponto de vista da interferência eletromagnética (RFI), com relação à susceptibilidade (EMS), as implementações SOC podem sofrer grande influência do substrato (devido aos parasitas), para as tecnologias convencionais (BCD), sendo que as novas tecnologias SOI são bem mais imunes. Outro fator de contribuição está relacionado ao *leadframe* (*diepad*) que pode funcionar como antena (independentemente da tecnologia), caso não esteja devidamente aterrado ou a colagem da pastilha (*die attachment*) não seja condutiva. Outro problema recorrente está no fato que são necessários, proteções ESDs distintas para as interfaces de controle e para as saídas das chaves de potência, cujos transientes em caso de eventos ESD (especialmente no caso automotivo), podem levar ao *latch-up* de blocos internos, com consequente destruição da pastilha e de suas proteções.

Para o caso das implementações SIP, esta mesma análise é valida considerando-se as pastilhas individualmente. Entretanto, como temos um substrato híbrido acoplado ao *baseplate*, o mesmo atua como uma antena, que pode acoplar capacitivamente as pastilhas individuais gerando interferência nos circuitos. Outro problema está na condução de grandes correntes pelo *baseplate* em caso de uso sem isolação em relação à carcaça ou dissipador do sistema. Este tipo de problema tem sido reportado recentemente em aplicações industriais (controle de motor) e automotivas (controle de tração em veículos elétricos/híbridos).

Alguns fabricantes de conversores de energia utilizam esta implementação agregando componentes magnéticos (indutores e transformadores planares) e capacitores de alta tensão (cerâmicos de alta temperatura) para projeto de conversores DC/DC, DC/AC e AC/DC com alta eficiência, tamanho e peso extremamente reduzidos para a faixa de médias potências (100 a 1kW), com capacidade de utilização em paralelo para atingir maiores potências (MSIP).

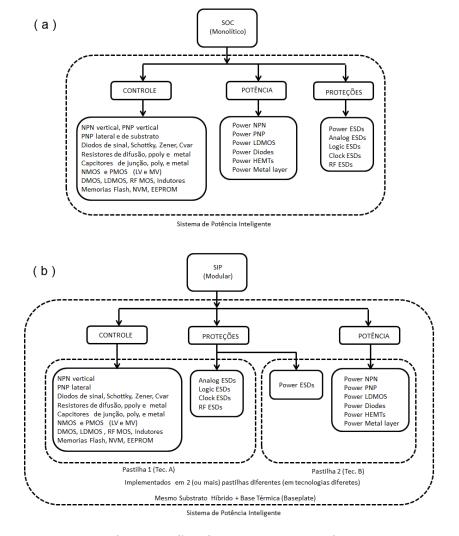


Figura 2.2 – Implementações de circuitos integrados em Smart Power.

(a) SOC – Monolítica, (b) SIP - Modular.

Fonte: Maltione (2020).

## 2.3 Tecnologias Monolíticas de Potência Inteligente (Smart Power)

A evolução tecnológica permitiu agregar vários tipos de dispositivos em uma mesma pastilha. Os primeiros circuitos integrados de potência utilizavam a tecnologia bipolar, sendo utilizados como reguladores de tensão integrados operando em modo linear (e.g. μα78xx, xx = 05...24 V @, encapsulamento plástico TO220 – Fairchild. LM138, ajustável 1.2-32V@5A, encapsulamento de metal TO3 – National, na década de 70) que se tornaram populares por ser uma solução completa para fontes de alimentação das famílias de circuitos lógicos da época, contendo todo o circuito de controle para um regulador série com o transistor de potência integrado com os circuitos de proteção de temperatura e curto, além do circuito de controle com compensação e referência de tensão interna ao mesmo, necessitando apenas os capacitores de desacoplamento na entrada e saída do regulador (e dois resistores externos para ajuste de tensão no LM318)<sup>4</sup>. Entretanto a baixa eficiência da conversão linear (~18%), foi rapidamente substituída pelas tecnologias chaveadas, que apresentam um melhor rendimento (75%), conforme descrito por Grebene (1984, p. 514). Como exemplos temos o uA78s40, introduzido em 1978 pela Fairchild e o LM2575 *Simple Switcher* da National.

Com o avanço da tecnologia MOS, com chaves de potência com baixo  $R_{DS-ON}$  e facilidades de integração com os circuitos de controle, a tecnologia Bipolar foi rapidamente substituída com a introdução de dispositivos mais eficientes para as mesmas aplicações. Entretanto os dispositivos bipolares têm vantagens em circuitos analógicos, dada à relação estritamente exponencial da corrente de coletor em relação à tensão de base, assim como uma grande transcondutância aliada a um comportamento térmico bem definido, o que possibilitou o projeto de referências de tensão e circuitos translineares, explorados por empresas especializadas em circuitos analógicos (e.g. Analog Devices), assim como com aplicações em radiofrequência. Neste cenário começaram a serem desenvolvidas as tecnologias BiCMOS que permitiam a integração de circuitos bipolares e CMOS em uma única pastilha. Entretanto estas tecnologias eram voltadas para implementações analógicas ou mesmo mistas, mas aplicáveis em baixa tensão (< 20V, com lógica em 5V). As tecnologias também são aprimoradas com o desenvolvimento de transistores MOS para tensões mais altas, os DMOS (Double-Diffused MOS) em duas configurações básicas o VDMOS (Vertical DMOS) e o (Lateral DMOS), que são modificações da estrutura básica para aumentar a capacidade de

Power On Reset) para alimentação de microcontroladores em ciruitos industriais e automotivos.

-

<sup>&</sup>lt;sup>4</sup> Muitos destes dispositivos encontam-se utilizados até hoje, com versões "Low-Drop", para alimentação de circuitos lineares ou blocos de condicionamento de sinal em microcontroladores, agregando funções de monitoramento da tensão de alimentação (LV- Low voltage, HV- High voltage, PG – Power Good e POR –

bloqueio do dispositivo ( $Breakdown\ Voltage$ ). Estes dispositivos são otimizados para fornecer um  $R_{DS-ON}$  mais baixo, com capacidade para alta corrente e tensão (para uso como chave), em detrimento ao seu uso em circuitos lineares.

Neste mesmo contexto, nos meados dos anos 80 surge então uma tecnologia mista<sup>5</sup>, voltada para aplicações de média potência, a BCD (Bipolar – CMOS – DMOS), que combina a vantagem dos circuitos bipolares para aplicações analógicas, a com alta densidade e desempenho dos circuitos lógicos implementados em tecnologia CMOS, com as chaves MOS de potência implementados com transistores de alta tensão LDMOS (ANDREINI *et al.*, 1996). Assim com esta tecnologia era possível implementar soluções SOC com inteligência (integração de controladores lógicos na mesma pastilha), atendendo várias aplicações dos mercados industriais e automotivos. A concepção básica desta tecnologia está ilustrada na Figura 2.3 onde é mostrada a integração dos dispositivos em uma mesma pastilha Substrato.

Esta tecnologia criada inicialmente pela ST se popularizou entre outros grandes fabricantes e Foundries generalistas (e.g. TSMC, Global Foundries, XFAB e MOSIS6) com particularidades em dispositivos e em cada processo (protegidos sob patentes), sendo comercializadas sobre outros nomes<sup>7</sup> (*Trademarks*).

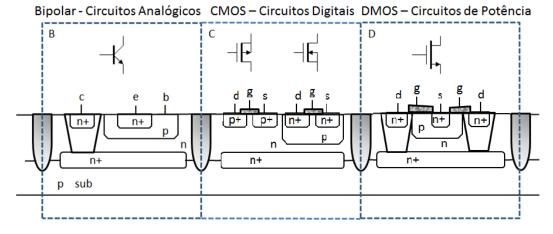


Figura 2.3 - Tecnologia BCD Conceitual.

Fonte: Elaborado pelo autor com base em ST (2017, 2019).

<sup>&</sup>lt;sup>5</sup> Lançada pela ST Microlectronics em 1986, como Multipower-BCD (4μm / 60V), e comercializada a partir do ano 2000, evoluindo para BCD-II (2.5μm), ela continua em contínuo aprimoramento (MURARI, 2003), oferecendo atualmente três versões desta tecnologia denominadas BCD6 (0.32 μm / 100V), BCD8 (0.16 μm /42-70V e 200V em SOI) e BCD9 (0.11 μm /65V) e em desenvolvimento a BCD10 em 90nm e a BCD1200 em 0.32μm com dispositivos até 1200V (DIXON-WARREN, 2019).

<sup>&</sup>lt;sup>6</sup> A MOSIS (Metal Oxide Semiconductor Implementation Service) trata-se de uma empresa que fornece serviços de integração em rodadas compartilhadas para empresas e universidades a custos reduzidos através de um programa multiusuário (MPWs - Multi-Project Wafers), permitindo acesso em geral as Foundries generalistas. Maiores informações podem ser encontradas em: https://www.mosis.com/products.

<sup>&</sup>lt;sup>7</sup> Tais como Motorola (Freescale/NXP), Philips (NXP), Infinium, Fairchild, National (Texas Instruments), Texas Instruments, On-Semiconductors e Linear Technologies (Analog Devices). Nota: empresa antiga (nova).

A evolução destas tecnologias, além do melhoramento das características dos dispositivos, abordou o problema da isolação entre os dispositivos, no referente aos domínios de alta e baixa tensão, assim como o acoplamento de ruídos via substrato ruídos devido ao chaveamento de altas correntes, além do ruído proveniente do chaveamento lógico CMOS (pico de corrente na condução simultânea entre dispositivos de canal P e N).

Assim o melhoramento destas tecnologias deu-se pelo uso de valas mais profundas de isolação (*Trenches*) e poços (*Weels*), que geram uma melhor isolação entre os dispositivos, com menos parasitas associados, que os proporcionados pela isolação de junção (*self isolation*), tornando-se mais apropriadas para implementações de circuitos analógicos em aplicações mistas (*Mixed-Mode*), tais como microcontroladores para sistemas embarcados.

A Figura 2.4 ilustra simplificadamente estes conceitos de isolação, sendo que os processos reais são proprietários, envolvendo várias camadas (com particularidades para cada fabricante). A evolução desta tecnologia na década de 90 (CUOMO, 1993), desde a sua versão básica, passou por uma versão comparável com aplicações *off-line* (alta tensão de isolação), até a inclusão de memórias EEPROM, tornando possível atualmente a integração de microcontroladores completos, junto com os drives de potência atuadores, assim como interfaces de comunicação automotiva (e.g. CAN, LIN).

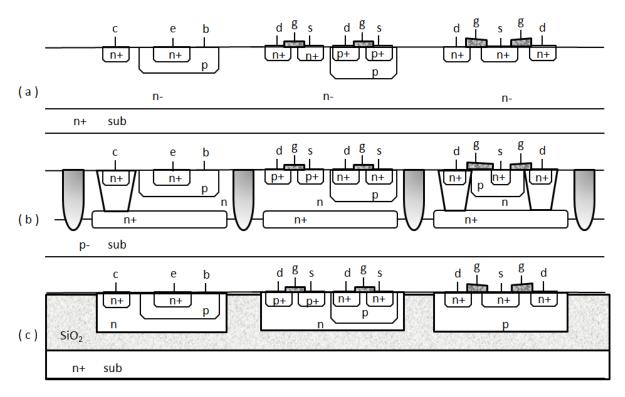


Figura 2.4 – Técnicas de isolação de dispositivos em tecnologia BCD. (a) autoisolação; (b) isolação por junção, (c) isolação por dielétrico. Fonte: Adaptado pelo autor com base em Triebl (2012).

Por sua vez a evolução do fator de mérito (FOM) nestas tecnologias, considerando-se transistores V-DMOS e L-DMOS, apresentou um grande aumento com relação a sua evolução. Entretanto como condição de compromisso houve uma diminuição na máxima tensão de isolação (V<sub>DS-BR</sub>) em detrimento a alta densidade permitida pelas novas tecnologias.

Assim aplicações com tensões mais altas exigem tecnologias mais antigas ou com menor FOM de modo a atender as exigências de isolação, impactando também em um menor grau de inteligência associado ao produto dado a menor escala de integração. Estes fatores levaram ao desenvolvimento de tecnologias com maior grau de isolação e escala de integração, baseada na isolação dielétrica do substrato.

Outro problema decorrente da integração reside no fato em que como os dispositivos são todos integrados em uma única pastilha, o FOM destes dispositivos apenas margeia a curva limite para o Silício. Por outro lado, dispositivos discretos podem ser otimizados para obter-se um melhor FOM, de forma que em uma arquitetura híbrida, os componentes potencialmente poderão atingir maiores potências com maior tensão de isolação, fato este que contribuiu para o desenvolvimento de arquiteturas SIP.

Um grande avanço, tecnológico ocorreu com o desenvolvimento da tecnologia de substrato de silício Isolado ou SOI (Silicon-On-Insulator). O desenvolvimento desta tecnologia ocorreu em função da busca de soluções decorrentes da escalabilidade de integração das tecnologias CMOS, impulsionadas pela lei de Moore<sup>8</sup> e sua extensão (More than Moore), que levou os dispositivos a terem canais muito curtos, que como consequência causava uma degradação da velocidade e eficiência (dentre outros fatores)<sup>9</sup> dos mesmos usando integração em substrato convencional (*Bulk*).

Assim como resultado desta busca por desempenho, surgiram implementações de transistores sobre substratos isolados. Estes processos eram chamados de Silício sobre Isolador (SOI – *Silicon Over Insulator*), onde as camadas que compunham o transistor eram crescidas sobre um isolante (Silício ou Safira), sendo compostos então por uma pastilha composta (*Wafer*), onde existe uma camada de suporte mecânico (*Handle*), uma camada de oxido profundo (BOX – *Buried OXide*) e uma camada fina de semicondutor onde são implantados os dispositivos.

Desta forma tornou-se possível construir transistores menores, com menores capacitâncias, maior isolação e superando muitos dos problemas da tecnologia Bulk.

\_

MOORE, G.E.: Cramming more components onto integrated circuits. Electronics 38, 114–117, 1965. Neste artigo ele prediz uma lei que diz que o número de transistores dobra a cada dois anos (2D). Com avanço da tecnologia e principalmente com a criação de circuitos integrados 3D criou-se o conceito *More than Moore* para definir complexidades de integração além desta previsão.

Maiores detalhes podem ser obtidos em Tsividis (1998) – "Operation and Modeling of the MOS Transistor".

Os processos que mais se destacaram foram o SIMOX<sup>10</sup> (Separation by IMplantation of Oxygen) (LAM, 1987) e o Wafer Bounding<sup>11</sup> (usada principalmente para dispositivos MEMS). Inicialmente os transistores eram implementados como PDSOI (partially depleted SOI) e posteriormente como FDSOI (fully depleted SOI) que exibia dispositivos com melhores características, uma vez que neste dispositivo a camada de depleção engloba todo o canal, de forma que os dispositivos atingem melhor desempenho, com maiores velocidades de chaveamento, dissipação de potência e menor tensão de funcionamento. Entretanto os processos de produção eram complicados e caros para produção em escala. Como substratos eram usados o Silício para aplicações em processadores e Safira para circuitos de RF de alto desempenho (Tecnologia que ficou conhecida como SOS<sup>12</sup> – Silicon On Safira).

O grande avanço, neste tipo de tecnologia, se deu com a descoberta da metodologia *Smart Cut*, por Michel Bruel (CEA-Lati, Grenoble, França) que simplificava enormemente o método de produção de pastilhas tipo SOI, com filmes ultrafinos de material semicondutor, com altíssima qualidade (com relação à pureza e quantidade de defeitos), onde podiam ser implementados os dispositivos de grande eficiência.

Este processo patenteado pela CEA-Lati, US 5374564 (BRUEL, 1994, *et al.* 1995, 1998), foi então aprimorado pela SOITEC, tendo se difundido posteriormente para várias outras empresas, sendo hoje a principal forma de implementação de dispositivos SOI. Assim esta tecnologia se tornou versátil, tanto para a produção de circuitos integrados para processadores de alta velocidade (com transistores muito pequenos e baixa tensão de funcionamento), como para circuitos de média potência (*Smart Power*), onde temos dispositivos maiores, com maior tensão de isolação, menores  $R_{DS-ON}$ , junto com circuitos inteligentes (*mixed-mode*).

A Figura 2.5 ilustra esta tecnologia, mostrando sua superioridade em relação à tecnologia Bulk, na qual temos várias junções e dispositivos parasitas, além de necessitar um espaçamento maior entre os dispositivos para manter-se isolação (RIGNY e ASPAR, 2015). A tecnologia SOI permite vários tipos de transistores LDMOS, incluindo IGBTs laterais com alta tensão de isolação, possibilitando aplicações em controle de motor industrial e automotivo, permitindo assim uma nova implementação da tecnologia BCD (BCD-on-SOI).

-

Maiores detalhes sobre esta tecnologia podem ser obtidos em Lam (1987) - "SIMOX SOI for integrated circuit fabrication".

Maiores detalhes sobre esta tecnologia podem ser obtidos em Delgado et al. (1988) – "Comparison of Fabrication Methods for Bonded Wafer SOI" e Maszara (1991) – "SOI material by wafer bonding: an overview".

Maiores detalhes sobre esta tecnologia podem ser obtidos em Heuner et al. (1989) – "A CMOS/SOS process for high reliability, radiation hard, high speed memory and logic IC's".

Como se trata de uma tecnologia planar (2D), a tecnologia foi rapidamente adequada para sua produção em fábricas convencionais. Considerando o fator de mercado, a tecnologia SOI, é mais cara que a convencional, estando, portanto em contínuo aprimoramento.

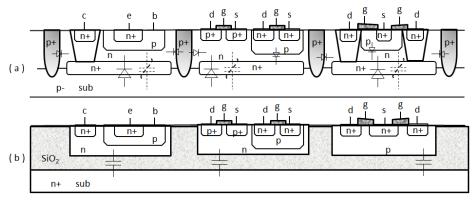


Figura 2.5 – Tecnologia Convencional versus SOI.

(a) Convencional - Isolação por junção (b) SOI – Isolação por dielétrico.

Fonte: Maltione (2020).

Entretanto, com o avanço das aplicações, apesar das suas inúmeras vantagens sobre a tecnologia convencional (Bulk), as limitações da tecnologia SOI (VANDANA, 2013) (KRISHNAN *et al.*, 1995) (FAYNOT *et al.*, 2006), tais como a questão do corpo flutuante dos transistores (FBE – *Float Body Effect*) e auto aquecimento dos dispositivos (*Self Heating*), devido ao isolamento do *bulk* (mal condutor de calor), o que é um problema em tecnologias de potência, tornaram-se motivos de busca por novas tecnologias.

Neste contexto, outro ponto importante, referente à temperatura de operação dos dispositivos tomou destaque, principalmente para ambientes com estresse térmico, tais como aplicações industriais e aeroespaciais. Aliado ao limite de velocidade de operação dos dispositivos fabricados em silício, a temperatura de trabalho máxima do silício fica em 150°C (temperatura de junção). Assim foram consideradas outras tecnologias WBG para sua substituição nestas aplicações, tais como SiC e GaN, que podem operar em uma temperatura mais alta, aliada a um aumento na tensão de isolação dos dispositivos. Como exemplo a Tabela 2.2 elenca as necessidades destas aplicações em alta temperatura em diversas áreas.

Segundo Singh e Cooper (2011) a tecnologia CMOS em SiC consegue trabalhar com confiabilidade até 200°C<sup>13</sup> sendo que após esta temperatura começa a ocorrer a degradação do oxido. Entretanto este limite já atende a várias aplicações industriais e automotivas com vantagens. Acima desta temperatura, são utilizados componentes bipolares implementados em

1

Kashyap *et al.* (2013) reportam circuitos de vários tipos (analógicos, portas lógicas e osciladores) projetados totalmente com N-MOS laterais em 4H-SiC, operantes a 300°C por mais de 2000 horas, usados para telemetria geotérmica. Clark *et al.* (2014) reportam circuitos CMOS operando a 300°C e a 270°C por 4000 horas. Segundo Guo *et al.* (2019) atualmente os MOSFETs SiC comerciais podem operar até 200°C.

4H-SiC, que por ser baseado em junções consegue atingir altas temperaturas, com relatos de circuitos lógicos e analógicos operando de 300°C a 600°C ou mais<sup>14</sup>. Outro exemplo de dispositivos também explorados nesta tecnologia são os circuitos integrados em que os transistores MOS são substituídos por JFETs, operando com maior eficiência que os circuitos bipolares, voltados para aplicações espaciais (Neudeck *et al.*, 2016) (NASA, 2019). Para o caso de aplicações *Smart Power*, a tecnologia SiC é potencialmente mais apropriada que a SOI, pois permite substituir os dispositivos L-IGBT das tecnologias BCD (Bulk/SOI) por transistores MOSFETS (BROWN *et al.*, 1997) e MESFETS (MOGNIOTTE *et al.*, 2018) de potência que podem operar em frequências de chaveamento mais altas, aliadas a alta temperatura de trabalho e alta tensão de isolação, devido ao maior *bandgap* em relação ao Silício<sup>15</sup>. Em Mogniotte *et al.* (2017) temos os primeiros passos em CIs SiC Smart Power.

Tabela 2.2 – Aplicações de Smart Power em alta temperatura

Área/Aplicação	Temperatura ambiente	Tecnologias usadas	Tecnologias futuras
em alta temperatura	(pico máximo)	atualmente	(candidatos)
Automotivo			
Eletrônica para controle de	150°C	Bulk-Si e SOI-Si	Bulk-Si, SOI-Si e WBG
motor			(SiC e GaN sobre Si)
Gerenciamento de potência e	150°C	Bulk-Si	WBG
distribuição em Veículos			(SiC e GaN sobre Si)
elétricos e híbridos			
Suspenção elétrica e freios	250°C	Bulk-Si	WBG
			(SiC e GaN sobre Si)
Sensor no cilindro (bloco do	850°C	n.d.	WBG
motor) e/ou no escapamento			(SiC)
Motor a turbina			
(Aeronáutico)			
Sensores, telemetria e	300°C/600°C	Bulk-Si e SOI/n.d.	WBG e SOI/WBG
controle			(SiC e GaN)
Atuadores elétricos	150°C/600°C	Bulk-Si e SOI/n.d.	WBG
			(SiC e GaN)
Telemetria em perfuração de			
poços profundos			
Óleo e gás	300°C	SOI	WBG e SOI
			(SiC e GaN sobre Si)
Geotérmico	600°C	n.d.	WBG
			(SiC e GaN)
Industrial			
Processamento em alta	300°C/600°C	SOI/n.d.	WBG
temperatura			(SiC e GaN)
Aeroespacial			
Gerenciamento de	150°C/500°C	Bulk-Si e SOI/n.d.	WBG e WBG
Potência/Consumo			(SiC, GaN e Diamante)
Exploração espacial em	550°C	n.d.	WBG e UWBG
Vênus e Mercúrio			(SiC, GaN e Diamante)

Nota: n.d. tem o significado de ainda não disponível. Fonte: Adaptado pelo autor baseado em Guo *et al.* (2019).

1

De acordo com Guo *et al.* (2019), conforme a configuração do SiC temos os seguintes valores para os bandgaps: 3C-SiC com 2.2eV, 6H-SiC com 3.0eV e 4H-SiC com 3.2eV (T=300K).

Zetterling *et al.* (2017) relatam circuitos lógicos e analógicos bipolares operando em 500°C. Spry *et al.* (2015) reportam circuitos operacionais testados com sucesso até 1000 K (727°C). Neudeck *et al.* (2017) reportam CIs digitais operando em 800°C ou mais. Rahman *et al.* (2015) reportam circuitos mistos operando em alta temperatura, enquanto Rahman *et al.* (2017) reportam conversores A/D e D/A de 8 bits em 4H-SiC operando em 400°C.

A Figura 2.6 mostra uma ilustração simplificada de uma versão destas tecnologias<sup>16</sup> adequada a integração de circuitos digitais e analógicos em SiC (YOUNG *et al.*, 2013) (SHAKIR *et al.*, 2019).

Esta tecnologia está em constante evolução com a implementação de transistores HEMT em substratos 3H-SiC, 6H-SiC e 4H-SiC que tem um melhor desempenho sobre as anteriores, sendo o principal foco de desenvolvimento atual.

As tecnologias SiC tipo Bulk (2D) são apropriadas para circuitos de potência uma vez que podem ser acopladas (bonded) a uma base metálica para dissipação de potência, resultando em dispositivos Smart Power com superior desempenho que os seus antecessores em Si-BCD, apesar do seu custo atual ser ainda mais elevado em função de questões de processo, robustez e ciclo de vida nas suas condições limites. Como se trata de uma tecnologia robusta acabou por ser a preferida atualmente para substituição das aplicações de alta potência usando IGBTs.

Este fato foi impulsionado pela adequação de antigas fábricas que operavam em tecnologias ultrapassadas (como Si 0.6um) para processar *wafers* SiC de 6 a 8 polegadas, proporcionando competividade de mercado aos novos tipos de dispositivos, devido ao seu melhor desempenho. Entretanto, a tecnologia está em estado maduro para a produção de dispositivos isolados, com relação a robustez e manufacturabilidade, mas em está em estado embrionário para a produção de circuitos integrados comerciais (Guo *et al.*, 2019), onde a escalabilidade ainda deve ser aplicada aos circuitos de controle (digitais) e aos circuitos de condicionamento de sinais (analógicos), junto com os circuitos de potência (chaves) para atingir as aplicações de mercados dos circuitos Si-Bulk e Si-SOI.

Neste caso fatores como confiabilidade, robustez e durabilidade são ainda fatores limitantes e fontes de pesquisa e desenvolvimento nestas tecnologias.

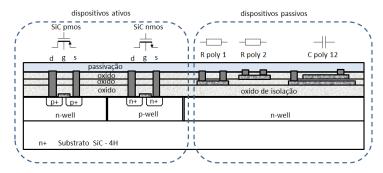


Figura 2.6 – Tecnologia SiC CMOS para aplicações digitais e analógicas. Fonte: Elaborado pelo autor baseado em Young *et al.* (2013).

Processo HiTSiC® da Raytheon Semiconductor, UK, com PDK e bibliotecas nesta tecnologia. Detalhes em Shakir *et al.* (2019).

Outra tecnologia WBG que tem se destacado recentemente é a GaN. Como este material apresenta um BFOM superior ao SiC, ele tem capacidade de produzir dispositivos com menor  $R_{DS-ON-sp}$  (menor perda de condução), com maior tensão de isolação, aliados a uma maior velocidade devido a alta mobilidade do GaN (também usado em telecomunicações em circuitos e amplificadores de potência de RF). Este material tem sido usado em optoeletrônicos, tais como LEDs e Lasers, produzindo dispositivos na faixa do azul e violeta. Entretanto demorou a ser utilizado em semicondutores de potência devido a problemas de qualidade e custo do substrato GaN.

Entretanto, dada a disponibilidade de outros substratos amplamente utilizados na indústria de dispositivos, tais como a safira e o silício, filmes finos de GaN e Al/GaN começaram a ser crescidos nestes substratos. A safira já utilizada com o GaAs em circuitos de radiofrequência começou a ser usada com GaN, (apesar da menor mobilidade em relação ao GaAs), mas com ganhos no  $R_{DS-ON-sp}$  e na tensão de isolação, encontrando aplicações em amplificadores de RF na faixa de micro-ondas. Entretanto apesar da grande isolação do substrato de safira (o que minimiza os acoplamentos parasitas), a sua baixa condutividade térmica se tornou um problema para dispositivos de potência. Por outro lado, o substrato de silício já era amplamente utilizado no processamento de dispositivos e circuitos integrados de mercado (com alta qualidade e disponível em grandes diâmetros), tendo uma boa condução térmica, o que motivou o desenvolvimento de novos dispositivos de potência (GaN-on-Si).

Os primeiros dispositivos GaN (puros) de potência foram baseados em FETs, operando no modo depleção (normalmente ligados), necessitando de drives especiais. Para a produção de dispositivos (normalmente desligados) começaram a ser utilizados em uma configuração série  $^{17}$  com um transistor MOS de alta corrente, mas de baixa tensão de isolação  $^{18}$ . Esta topologia já utilizada anteriormente em dispositivos SiC, possibilita a produção de um dispositivo de baixo  $R_{DS-ON}$  e com alta tensão de bloqueio, com melhor desempenho que os seus antecessores MOSFET, IGBT e SiC. Outra vantagem destes dispositivos, além da sua alta frequência de operação está no fato de não conter o diodo intrínseco de corpo, o que melhora o tempo de recuperação no desligamento, pelo fato de não ter o acumulo de cargas nos dispositivos com diodo, sendo uma vantagem deste dispositivo, permitindo o chaveamento brusco (Hard-Switching), diminuindo a complexidade da aplicação.

<sup>17</sup> Configuração série ou cascode. Patente da Universidade da Carolina do Norte, US 5396085 (BALIGA, 1995). Configuração já usada na tecnologia SiC com JFET/MESFETs de potência.

Atualmente usada por companhias de semicondutores para produção de dispositivos comerciais (GaN-on-Silicon), que funcionam normalmente no modo desligado (e.g. EPC),

Um fato importante discutido por Baliga (2018) refere-se ao fato de que para uso industrial, os dispositivos devem ser do tipo normalmente desligados (de enriquecimento ou e-mode), de forma a não causar problemas com a corrente na inicialização dos circuitos de potência (principalmente com carga indutiva), quando o circuito de drive ainda não está ativo. Baliga (2018) alerta ainda que novas tecnologias devam considerar este aspecto. Outra consideração feita por este autor refere-se ao fato de que novas tecnologias competem não só com os dispositivos Si convencionais (BJT, IGBT, LDMOS), mas principalmente com os novos dispositivos MOS com acoplamento de carga que atualmente (tem baixo  $R_{DS-ON}$  e alta tensão) como a tecnologia GD-MOSFET e COOLMOS<sup>19</sup>.

O aparecimento de dispositivos de depleção surgiu com o uso de estruturas com camadas heterogêneas, com GaN para o corpo e AlGaN para a porta, formando-se um transistor HEMT<sup>20</sup> (*High Electron Mobility Transistor*), referenciado normalmente como transistor AlGaN/GaN. Este tipo de composição permite a criação de dispositivos de depleção em substratos totalmente GaN, vislumbrando portanto, além da produção de dispositivos de potência, todos os circuitos de controle e condicionamento na mesma pastilha GaN de forma similar ao silício, possibilitando tecnologias *Smart Power* totalmente em GaN.

Neste contexto a Figura 2.7 mostra uma tecnologia experimental em GaN em substrato de silício citada por Kinzer (2017, p. 19), onde foram demonstradas as funcionalidades de circuito analógicos e digitais essenciais, incluindo um *driver* meia-ponte (*half bridge*) e um conversor *step-up* com chave de potência integrado, totalmente em GaN. Como nesta tecnologia não tem transistores tipo P, foi construído com transistores N nos modos depleção (*d-Mode*) e enriquecimento (*e-Mode*). Atualmente um dos grandes desafios desta tecnologia está na implementação de transistores canal P eficientes, similarmente a tecnologia Si-CMOS. Segundo Amano *et al.* (2018), a falta de uma dopagem tipo P eficiente, tem levado ao desenvolvimento de transistores P com baixa capacidade de corrente e alta resistência de canal no estado ligado (*R*<sub>DS-ON</sub>). Existem tecnologias GaN em desenvolvimento por fabricantes de semicondutores (Foundries) visando circuitos integrados comerciais e considerando-se substrato de silício para diminuição dos custos desta tecnologia (CHEN *et al.*, 2017) (KINZER, 2017). Entretanto, segundo Amano *et al* (2018) ainda é necessário um grande avanço na tecnologia GaN para se atingir o desempenho exigido por circuitos integrados de potência.

Desenvolvida em 1999. Permite dispositivos MOS com RON 3x a 10x mais baixo que o tradicional DMOS (BALIGA, 2018).

Inventado por Takashi Mimura Fujitsu-Japan. Maiores detalhes podem ser encontrados em Mimura (2018).

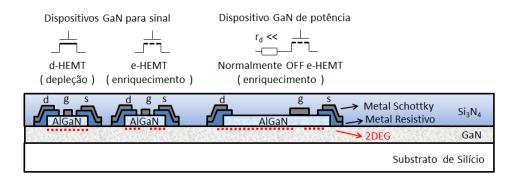


Figura 2.7 – Tecnologia experimental GaN Smart Power (substrato de silício). Fonte: Elaborado pelo autor com base em Kinzer (2017, p. 19).

Atualmente estão sendo desenvolvidas pesquisas também em substratos totalmente GaN (GaN Bulk), usando heteroestruturas AlGaN/GaN para a concepção de circuitos *Smart Power* como as reportadas por Amano *et al.* (2018, p. 29). Estudos recentes, baseados no conceito de junção de polarização (PJ – Polarization Junction), são usadas como um sistema de compensação de cargas (negativas e positivas) nas heterointerfaces, de forma produzir dispositivos P e N eficientes (NAKAJIMA *et al.*, 2006).

Do mesmo modo que no silício este conceito pode ser usado para criar superjunções, melhorando o desempenho dos dispositivos e permitindo escalabilidade, em uma tecnologia chamada PSJ (*Polarised Super Junction*), tendo sido criados os primeiros dispositivos nesta plataforma, cujo desempenho possibilita a criação de uma tecnologia CMOS (baixa tensão) integrada com dispositivos de potência (alta tensão) similar ao Si-BCD. A questão do substrato também é uma questão de pesquisa envolvendo GAN *bulk*, safira e silício.

Na busca por soluções de transistores em modo enriquecimento, normalmente desligado, em heterojunção AlGaN/GaN, foram desenvolvidos os transistores de injeção de gate (GIT – *Gate Injection Transistor*). Nestes dispositivos é usada injeção de lacunas no gate (p-AlGaN) para aumentar a densidade de cargas no canal (i-AlGaN/GaN), melhorando o desempenho da condutividade do canal (UEMOTO, *et al.* 2007), e com resultados melhores que os obtidos com MOS ou IGBTs, sendo atualmente usado em transistores p-eGaN comerciais (pela EPC). Segundo Yang *et al.* (2014), além da configuração *cascode*, outras soluções apresentadas são os MISFETs (Metal Insulator Semiconductor HEMT) e os MOSCFETS (MOS-Channel-HEMT) para formar dispositivos normalmente desligados com menor custo de fabricação. Ambos se encontram em fase de pesquisa, sendo que os MISFET apresentam melhores características em relação aos MOSCFETS, que apresentam um maior *R*<sub>DS-ON</sub>, instabilidade no *threshold*, dentre outros problemas (LAGGER *et al.*, 2012), sendo que Lu *et al.* (2012) reporta um MISFET com três *gates* de alto desempenho.

Entretanto estas tecnologias estão fase embrionária (muitas trabalhando ainda na concepção de dispositivos), com problemas relativos ao processo, dopagem, manufatura e principalmente questões de confiabilidade e robustez, sendo uma perspectiva para um futuro mais distante em *Smart Power* onde o Silício seria substituído totalmente por um novo material WBG ou UWBG excedendo os limites de capacidade de corrente e tensão de isolamentos atuais. Assim, poderá existir ainda uma longa jornada de pesquisa até atingir o nível da integração monolítica.

## 2.4 Tecnologias Hibridas Modulares de Potência Inteligente (SIP)

As tecnologias monolíticas em Si ou WBG, são em geral mais voltadas para médias potências, uma vez que os dispositivos integrados, de alta e baixa tensão/potência, devem conviver em uma mesma pastilha, sendo que para isto os dispositivos de potência são implementados de forma lateral, limitando de certa forma o potencial das tecnologias ao se aproximar dos limites teóricos possíveis para a mesma ( $R_{DS-ON-sp}$  ideal).

Grande parte dos esforços da indústria de semicondutores atual está direcionado a produção de dispositivos isolados, de alta capacidade de potência no estado da arte da tecnologia, com custos competitivos com a tecnologia do silício tradicional.

Neste contexto, a tecnologia híbrida permite a fabricação de módulos usando dispositivos isolados de alta potência acoplados em um substrato cerâmico (conectado ou não a um *baseplate*) em configurações de 2, 4, 6 ou mais dispositivos para aplicações em meia ponte ou ponte completa (*half/full Bridge*) visando aplicações com uma ou três fases, utilizada para uso industrial/automotivo em controle de motor e em inversores para energia renovável baseada em energia fotovoltaica ou eólica (e.g. módulos IGBT e SiC).

Esta mesma tecnologia pode ser usada para composição de Módulos Inteligentes de Potência (MIP), onde várias pastilhas diferentes são fixadas em um substrato cerâmico, acoplado ou não a uma base metálica para transferência de calor, com trilhas e pads de conexão, sendo que os dispositivos de potência são conectados através de vários condutores em paralelo para diminuição das resistências e indutâncias parasitas relativas às conexões.

Assim em um MIP podemos ter um *Smart Power* monolítico em silício *Bulk* ou SOI, contendo o controlador lógico (microntrolador ou DSP), os circuitos analógicos de condicionamento de sinais/sensores, os drives dos circuitos de potência, isoladores físicos de sinal (magnéticos ou ópticos), componentes magnéticos, sensores e por fim os dispositivos de potência na tecnologia desejada (Figura 2.8). Deste modo pode-se escolher a melhor tecnologia disponível para cada modulo funcional do sistema, melhorando-se o desempenho,

assim como, reduzindo-se o custo em relação a uma arquitetura similar discreta. Conforme podemos verificar na Tabela 2.3, onde temos uma comparação dos dispositivos que podem ser agregados em uma composição SOC ou SIP. A implementação MIP/SIP é a que pode agregar a maior quantidade de dispositivos, podendo utilizar o estado da arte de cada tecnologia, permitindo a construção de módulos inteligentes em alta potência.

Tabela 2.3 – Implementações Smart Power monolíticas (SOC) versus modular (MIP/SIP)

Implementação	Monolítica (SOC)				Modular (SIP)	
Tecnologia – Sub.	Silicon Bulk /	SiC	GaN	AlGaN/GaN	Diamante	Híbrida
/ Dispositivos	SOI	Bulk / on-Si	Bulk / on-Si	Bulk / on-Si	Bulk	Sub. + Baseplate
Diodo Junção	•	•				•
Diodo Schottky	•	•	•	•	•	•
Transistor BJT	•	•				•
Darlington BJT	•	•				•
Cascode WBG		•	•	•		•
V-IGBT	•					•
V-DMOS	•					•
Trench V-MOS	•					•
Cool V-MOS	•					•
L-IGBT						•
L-DMOS	•					•
Trench L-MOS	•					•
Cool L-MOS	•					•
LV d-MOS N	•	•	•	•		•
LV e-MOS N	•	•	•	•	•	•
LV e-MOS P	•	•		•	•	•
JFET	•	•				•
MESFET/MISFET/GIT		•	•	•		•
HEMT WBG			•	•	•	•
Ópticos						•
Magnéticos						•

Fonte: Maltione (2020).

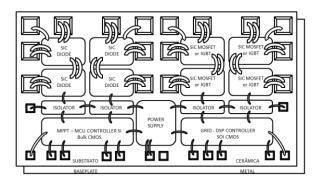


Figura 2.8 – Exemplo conceitual de um módulo de potência MIP/SIP. (contendo vários SOCs implementados em tecnologias diferentes)

Fonte: Maltione (2020).

## 2.5 Principais contribuições da tecnologia para o RFI

Com relação à imunidade da interferência de RF, a escolha tecnológica pode auxiliar ou trazer mais problemas para atingir certos níveis de imunidade. Sistemas integrados dedicados (SOC) quando bem projetados tendem a ser mais imunes que circuitos discretos (PCB), uma vez que a compactação diminui as áreas de captação de interferência (efeito antena). Por sua vez a integração de sistemas em mesmo encapsulamento (SIP), contribui mais ainda para esta redução permitindo maiores velocidades de operação, permitindo redução dos parasitas (resistências de contato, capacitâncias e indutâncias), assim como o uso de blindagens. Como exemplos destes dispositivos temos os módulos de IGBT ou SiC, e os conversores DC/DC modulares. Além disso, assim como verificado nos itens anteriores certas tecnologias apresentam melhor desempenho em relação a outras, sendo o fator custo ou maturidade um moderador de escolha. De qualquer forma os principais fatores a serem considerados são discutidos a seguir.

#### 2.5.1 Fontes e caminhos de acoplamento

Em geral as fontes de interferência de RF são externas aos dispositivos. Entretanto considerando-se dispositivos complexos (e.g. *Smart Power*), as fontes de interferência podem ser internas devidas a correntes pulsadas ou em caso de RFICs integrados junto com *Smart Power*, onde o acoplamento do sinal de transmissão pode ser acoplado indesejavelmente em outros circuitos, caso existe uma barreira de isolação insuficiente.

Com relação aos caminhos de acoplamento, eles podem ser via os pinos de alimentação ou pinos dedicados do circuito. Entretanto a forma mais comum de acoplamento de interferência são os indesejados, devido a parasitas que podem acoplar a interferência do substrato, proteções de ESD ou de estruturas internas funcionando como antenas. Por muitas vezes estes caminhos são de difícil identificação, quando não são identificáveis.

#### 2.5.2 Influências do substrato

Nas tecnologias bipolares e CMOS, um substrato de baixa resistividade, serve de base para os dispositivos semicondutores integrados em poços de difusão. Neste caso os dispositivos ficam isolados do substrato através de uma junção semicondutora reversamente polarizada. Neste caso temos um capacitor não linear (que depende da polarização) acoplando os nós dos dispositivos. Para dispositivos de potência com grande área, ou mesmo componentes com capacitâncias de acoplamento maiores que as presentes nos nós dos

circuitos, existem caminhos de acoplamento do substrato para os nós dos circuitos. Então para uma determinada intensidade e frequência de interferência de RF, os circuitos internos podem ser disturbados via este caminho. Tecnologias com poços de isolação (Trenchs) podem ter menores interferências sendo mais robustas. Nas tecnologias com o substrato isolado (SOI), o substrato é altamente resistivo, sendo apropriada para circuitos de RF, devido à baixa influência do mesmo. Apesar disto o problema do acoplamento pode passar a ocorrer em bandas muito mais altas. Outras tecnologias tais como SiC e GaN sobre silício, também podem ter efeitos de acoplamento indesejados ocorrendo em altas frequências. Em geral o substrato para o produto é escolhido conforme a aplicação, onde as normas de qualificação especificam frequências fora da faixa de acoplamento via substrato garantindo-se robustez ao sistema.

#### 2.5.3 Contribuições do encapsulamento

A função básica do encapsulamento em um circuito de potência, está em garantir a dissipação térmica adequada do mesmo (desempenho térmico), assim como garantir a sua isolação elétrica. Comumente temos grandes áreas em metal bom condutor de calor associada com o plano terra ou nos terminais que circulam grande densidade de corrente. Outro fator importante está relacionado com a velocidade de operação do dispositivo, onde a minimização das capacitâncias e indutâncias parasitas associadas aos terminais levaram os fabricantes a adotarem encapsulamentos cada vez menores, existindo um *trade-off* entre velocidade de operação e dissipação em potência. Assim estes elementos parasitas funcionam como formas de acoplamento de sinais externos, assim como as grandes áreas de metal funcionam com antenas que podem capturar sinais indesejados (i.e. áreas de metal com abertura podem formar antenas dipolo tipo *slot*<sup>21</sup>).

Alguns dispositivos de alta velocidade, ou que contenham sensores podem ter encapsulamentos especiais com blindagem, que devem ser aterradas para não funcionar como antenas. Outro elemento que fornece acoplamento ao substrato é o *diepad*, que suporta o chip no encapsulamento onde é feita uma colagem com resina (*die attachement*), ficando o mesmo flutuante com relação ao plano terra do sistema. Para circuitos sensíveis faz-se necessária usar uma resina condutiva (*conductive die attachment*) para evitar efeitos de antena no mesmo e acoplamento capacitivo com o substrato.

-

<sup>&</sup>lt;sup>21</sup>Tipo de antena de RF formadas por aberturas comumente retangulares em superfícies metálicas, correspondendo à tensão do dipolo nas extremidades da abertura, e sendo fisicamente menor que o dipolo.

#### 2.5.4 Uso de blindagens e sua efetividade

O uso de encapsulamentos especiais em um circuito de potência permite a utilização de blindagens englobando os circuitos principais e reduzindo desta forma a interferência incidente sobre os mesmos. Entretanto o custo adicional, ou mesmo o aumento do tamanho final do encapsulamento destes componentes, por muitas vezes inviabiliza a sua utilização, ficando, portanto restrito a componentes especiais para áreas tais como aeroespaciais e militar. Como uma alternativa a esta estratégia, podem ser adicionadas camadas nos processos das tecnologias de fabricação de circuitos integrados de forma a termos um tipo de blindagem intrínseca ao processo. Uma alternativa mais simples poderia ser o uso das próprias camadas do processo para cumprir esta função, tais como as camadas de metal superior, ou camadas enterradas profundas que possibilitem isolamento, com a adição de poços para implementação dos circuitos. Como a efetividade de blindagem da camada depende da espessura e do material da mesma, a Tabela 2.4, ilustra esta característica para diversos materiais, considerando-se uma espessura de 100µ para efeito de comparação.

Tabela 2.4 – Efetividade da blindagem<sup>22</sup> para uma camada de 100μ @ 300K.

Material	Condutividade σ [S/m]	SE (dB) @ 100MHz	SE (dB) @ 1GHz
Alumínio	$3.5 \times 10^7$	188.000	398.725
Cobre	$6.1 \times 10^7$	219.530	493.652
Ouro	$4.35 \times 10^7$	200.680	436.735
Silício	4.4 x 10 <sup>-4</sup> (intrínseco)	-23.053	-33.054
Dopagem P (B)	$0.333 \times 10^4 (N_a = 10^{18} \text{cm}^{-3})$	46.732	38.884
Dopagem N (P)	$1.000 \times 10^4 (N_d = 10^{18} \text{cm}^{-3})$	52.237	45.967
SiC-4H	2.667 x 10 <sup>-22</sup> (intrínseco)	-205.228	-215.230
Dopagem P (Al)	$1.428 \times 10^2 (N_a = 7.1 \times 10^{18} \text{cm}^{-3})$	32.265	22.710
Dopagem N ( N )	$0.200 \times 10^4 \ (N_{\rm d} = 1.0 \times 10^{18} {\rm cm}^{-3})$	44.294	35.961
GaN (sobre Safira)	$2 \times 10^{2} (N_{\rm d} = 5.0 \times 10^{17} {\rm cm}^{-3})$ ( N não dopado)	33.766	24.293
Dopagem P (Mg)	$1 \times 10^{1} (N_a = 6.0 \times 10^{16} \text{cm}^{-3})$	20.566	10.683
Dopagem N (Si)	$2 \times 10^3 (N_d = 1.0 \times 10^{18} \text{cm}^{-3})$	44.294	35.961

Nota: Dados utilizados: Si (SZE, 1981, p. 32), SiC (ASADA *et al.*, 2018; SILVA *et al.*, 2006), GaN (KETAO, 2019). Fonte: Maltione (2020).

Com base na Tabela 2.4, podemos concluir que as camadas semicondutoras por si só oferecem, baixa efetividade em relação ao RFI (especialmente em altas frequências/microondas) sendo, portanto, necessárias camadas de metal para blindagem (certos processos para circuitos de potência poderiam ter camadas superiores em cobre, alumínio ou ouro para aumentar a efetividade). Outro problema associado com a efetividade recorre no efeito antena da mesma que se não for convenientemente aterrada ou usada uma estrutura de grade (*fence*) na interligação da camada de blindagem e o plano de terra do circuito, a mesma terá um efeito reverso não esperado, introduzindo interferência nos circuitos, ao invés de mitigar a mesma.

\_

<sup>&</sup>lt;sup>22</sup>Usado o modelo de aproximação de bom condutor. Cálculo realizado com base na calculadora disponibilizada no site: https://cecas.clemson.edu/cvel/emc/calculators/SE3\_Calculator/ (CVEL, 2020).

# 2.6 Tecnologia e Arquitetura de Circuitos Integrados Smart Power

O grande desenvolvimento nas ultimas décadas dos circuitos integrados para o setor de conversão de energia, direcionou a arquitetura de dispositivos para a utilização de tecnologias que suportam dispositivos de baixa e alta voltagem simultaneamente na mesma pastilha (i.e, HV BCD).

Este fato, aliado ao fator da escalabilidade (maior quantidade de dispositivos por unidade de área) foi um marco decisivo para as indústrias construírem dispositivos cada vez mais complexos e com maior inteligência (SMP ICs - Smart Power Integrated Circuits).

Tais dispositivos implementados de forma monolítica, conforme visto anteriormente (e.g. SOC - *System on Chip*), integram na mesma pastilha as chaves de potência, circuitos de controle, reguladores, referências, circuitos condicionadores, circuitos de monitoramento e sensores.

Dado a complexidade dos sistemas atuais, em geral, eles também englobam interfaces de comunicação on-board com controladores digitais (e.g. Processadores, DSP, etc.), tais como SPI, I2C, SCI, USB, LVDS ou até um barramento de gerenciamento de energia (PMBus), onde conexões (*links*) de alta velocidade estão disponíveis (PMBUS, 2020), para uso nas placas internas da aplicação.

Para comunicação com o mundo exterior, devem ser integradas também interfaces para redes de computação tais como Ethernet (usando protocolo TCP/IP).

Considerando o setor automotivo (NAVET *et al.*, 2005)(NOLTE *et al.*, 2005), temos necessidade também de interfaces para rede de comunicação automotivas<sup>23,24</sup> tais como CAN (HS 1 Mbps, FD 5 Mbps), LIN (125 kbps), FlexRail (10 Mbps), SAE J1850 (10.4 e 41.6 kbps usada em diagnóstico veicular), etc.

Outro requisito atual, é que grande parte dos sistemas podem ainda ser interligados via rádio (*wireless*), fato que tornou comum interfaces de comunicação sem fio tais como WiFi (IEEE 802.11/a/b/g/n), WiMax (IEEE 802.16), ZigBee (IEEE 802.15.4) e Bluetooth, sendo encontradas em dispositivos IOT (*Internet Of Things*), conectados a internet para monitoramento e verificação remota de desempenho.

<sup>&</sup>lt;sup>23</sup> As redes de comunicação automotivas CAN, LIN e FlexRail são atualmente descritas pelas especificações ISO: CAN (*ISO 11898* series), LIN (*ISO 17987* series), FlexRail (*ISO 17458* series). Disponíveis em: https://www.iso.org/home.html.

<sup>&</sup>lt;sup>24</sup> A especificação *SAE J1850* está disponível em: https://www.sae.org/standards/content/j1850\_201510/.

## 2.7 Interferência RFI em blocos de construção de circuitos Smart Power

Os primeiros ICs de energia inteligente foram concebidos usando módulos padronizados, organizados em circuitos analógicos contendo todo loop de controle analógico, composto por um amplificador de erro, comparador, rede do compensador e referência de tensão. As redes de estabilidade e os filtros foram designados nos primeiros tempos como componentes externos e depois como componentes internos (redes no chip), algumas vezes implementados em modo emulado (como multiplicadores de capacitores e giradores para simular uma grande indutância).

Outra implementação normalmente adotada é a utilização de uma pequena capacitância e indutância, associada a uma alta resistência ou transcondutância, para configurar as constantes de tempo de polos e zeros. Como uma exigência do mercado, esses dispositivos em geral devem ter baixo consumo de corrente, e modo de espera com consumo quase nulo, levando os projetistas a manter as ramificações internas e a polarização com correntes mínimas de trabalho. Essas abordagens abriram uma porta para o ruído, assim como para a interferência de RF (RFI), via PADs analógicos e de alimentação, e principalmente via acoplamento de substrato. Além disso, como os circuitos de potência são implementados de forma monolítica (mesma pastilha), a comutação de energia, compreendendo picos de corrente e tensão ou transições rápidas, podem caminhar através do substrato do circuito, acoplando aos blocos de controle, induzindo falhas e comportamento inesperado nesses dispositivos. Um exemplo desta implementação é representado na Figura 2.9, onde é mostrado o arranjo de layout e na Figura 2.10, seu diagrama de blocos correspondente.

As tecnologias atuais mostraram um grande encolhimento na lógica, portanto, pequenas implementações de processadores como DSP (*Digital Signal Processor*) ou DSC (*Digital Signal Controller*) podem ser construídas em uma pequena área. Isso permite um controle complexo, usando variáveis complexas no modo discreto. Em geral, elas são implementadas como lógica totalmente customizada (validada antecipadamente em FPGAs), usando A/D e D/A para converter os dados analógicos dos condicionadores de sinal dos sensores, fazendo interface dessa forma com a parte analógica e de potência do SOC. A mesma aplicação citada anteriormente, implementada agora usando o controle digital é mostrada na Figura 2.11, onde é mostrada a disposição do layout e na Figura 2.12, seu diagrama de blocos.

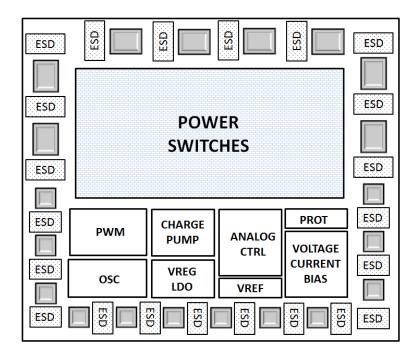


Figura 2.9 – Regulador típico de tensão chaveada em Smart Power IC - analógico. Fonte: Maltione (2020).

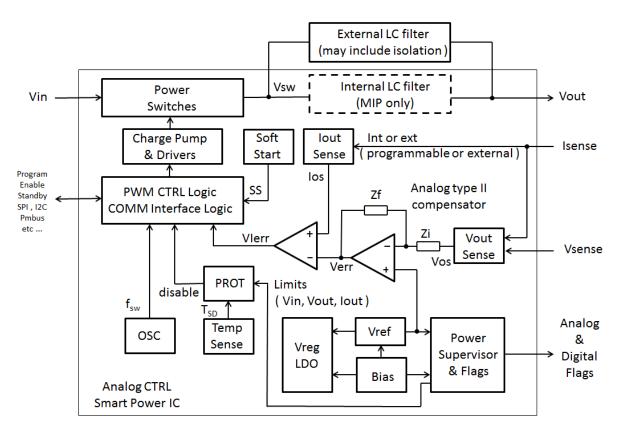


Figura 2.10 – Diagrama de blocos típico do regulador de tensão chaveada - analógico. Fonte: Maltione (2020).

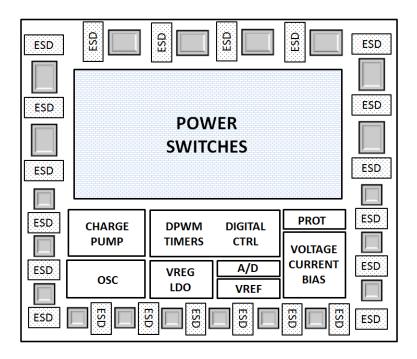


Figura 2.11 – Regulador típico de tensão chaveada em Smart Power IC - digital. Fonte: Maltione (2020).

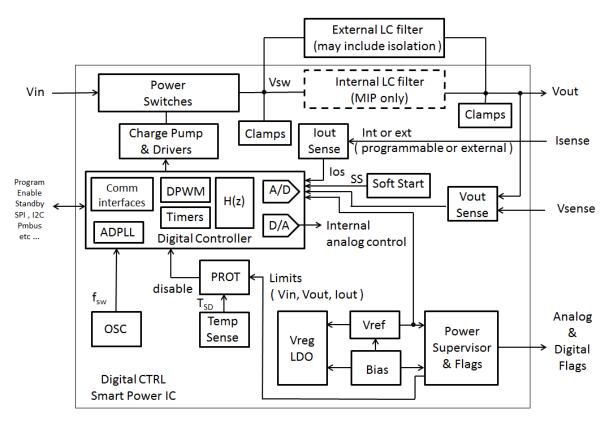


Figura 2.12 – Diagrama de blocos típico do regulador de tensão chaveada – digital. Fonte: Maltione (2020).

A abordagem digital aproveita o fato de que os circuitos digitais são menos sensíveis aos mesmos níveis de ruído que afetam os circuitos analógicos. Outra vantagem é sobre as interfaces de comunicação, que podem ser mais complexas, implementando facilmente interfaces de alta velocidade e PMBus. Além disso, outras funcionalidades, como programabilidade, calibração (*trim*) e memória não volátil, estão disponíveis em algumas tecnologias, aprimorando o dispositivo, tornando-o mais competitivo no mercado.

No entanto, considerando as tecnologias BCD, o encolhimento nos blocos analógicos é menor do que o grande ganho de área obtido na parte digital. Daí a vantagem, considerando pequenas implementações de CIs de energia inteligente, está mais relacionada ao ganho de complexidade, do que na redução de grande área. Por outro lado, o custo das tecnologias de alta voltagem de é mais cara. Então se considerando dispositivos de baixo custo, os projetistas acabam ficando somente com a opção analógica. Assim, encontramos hoje estes dois tipos de implementações em produtos de mercado.

Em relação à interferência de RF, durante a operação normal (causada por causas naturais, causadas pelo homem ou pelo teste (MONTROSE e NAKAUCHI, 2004)), existe pouca de literatura específica sobre aplicações de energia inteligente (e.g. Fiore (2013, 2015) e Deutschmann *et al.* (2018)), sendo praticamente inexistente com relação às tecnologias WBG emergentes aplicadas em circuitos *Smart Power*.

Entretanto com relação aos blocos funcionais, não especificamente projetados para Smart Power, a literatura é rica, abordando várias classes de circuitos.

Como exemplos de estudos de interferência em circuitos analógicos Redouté e Steyaert (2010) discutem efeitos do RFI em circuitos essenciais de polarização analógica, M. Abuelma'atti e Abuelmaatt (2013) discutem os efeitos em espelhos NMOS com capacitor de filtro, enquanto Fiore & Crovetti (2006), (Abuelma'atti, 2005) relatam efeitos em amplificadores operacionais (offset induzido). Lavarda e Deutschmann (2015), Lavarda et al. (2018), analisam amplificadores chaveados (*chopped*). Crovetti e Fiori (2007), (WU et al., 2014), Duipmans et al. (2018), relatam problemas de susceptibilidade em reguladores de tensão, enquanto Orietti et al. (2008) e Montemezzo et al. (2006) analisam o problema em referências de tensão *bandgap* tipo Brokaw e Kuijik.

Com relação aos circuitos digitais Laurin *et al.* (1992), Robinson *et al.* (2003) e Kim & Iliadis (2010) relatam problemas em circuitos digitais básicos (mudança dos pontos de operação, diminuição da margem de ruído, temporização, metaestabilidade e travamentos). Alguns outros aspectos relacionados à susceptibilidade à interferência em CIs são apresentados em (LARIN *et al.*, 1992) dependendo da severidade do teste (e.g. IEC 62132).

Com relação a circuitos de base de tempo (osciladores digitais), em Laurin *et al.* (1992) é apresentado um trabalho importante sobre o modo de multi-oscilação causando bloqueios de oscilação. As referências (KULESSHOV, 2005; KROUPA *et al.*, 2002; LAURIN *et al.*, 1991, 1992; e ROBINSON, 2003) analisam as fontes gerais de ruído considerando aspectos tais como ruído de fase e 1/f (KULESSHOV, 2005; ROBINSON, 2003)), *jitter* (ROBINSON, 2003) e ruído de substrato (KIM e ILIARDES, 2010). Nestes trabalhos, a interferência em osciladores está focada em efeitos de perturbação de circuitos digitais (TRAA, 2002) causados por mudanças no ponto de disparo do inversor e atrasos induzidos em portas lógicas (LAURIN *et al.*, 1991; ROBINSON, 2003). Ainda em relação aos osciladores, o método proposto em Maltione *et al.* (2009) para a interferência de RF é mais apropriado para os osciladores não harmônicos. Como continuidade deste trabalho Maltione *et al.* (2010) analisam problemas em osciladores de relaxação de duas fases operando como bases de tempo (comumente usados em ASICs e MCUs).

Com relação aos osciladores harmônicos Rohde e Poddar (2009-2010) exploram os efeitos do baixo nível de interferência de RF, enquanto Maltione *et al.* (2011) analisam também problemas em osciladores harmônicos tipo Pierce (efeito do fator de carga).

Com relação a circuitos de controle Citron *et al.* (2002) e Fiore (2004) analisam a interferência em circuitos tipo PWM e Fiori (2012) em comparadores de tensão com modelamento não linear.

Muitas dessas referências trazem propostas e considerações de projeto para melhorar as células, a fim de mitigar ou melhorar a rejeição à interferência. Entretanto na maioria das referências os estudos são realizados para o caso de baixa injeção de potência de RF, existindo, portanto uma falta de estudos sobre comportamentos e efeitos sobre forte RFI. Um sumário das principais referências nesta temática pode ser encontrado na Tabela 2.5.

Outro ponto a ser considerado é que com o constante crescimento do mercado em aplicações de potência e evolução das tecnologias WBG (i.e SiC e GaN), os dispositivos para serem usados em aplicações para segmentos de mercado de consumo atuais devem atender pelo menos a normas como tais como FCC, CISPR ou ainda normas gerais como IEC-61000-x, como requisitos básicos do mercado consumidor, existindo ainda requisitos especiais para mercados específicos. Com base nas necessidades de robustez de certos segmentos de mercado, tais como automotivo, aviação, espacial, militar, médico e de telecomunicações, os testes de compatibilidade são muito agressivos, considerando a susceptibilidade à RF. Neste caso padrões criteriosos tais como IEC 62132, MIL STD 461 F/G são geralmente exigidos e aplicados.

Tabela 2.5 – Sumário da abordagem da literatura sobre RFI em blocos Smart Power.

Categoria	Tipo	Descrição	Modelamento	Mitigação	Referências
Polarização de		,		<u> </u>	(REDOUTÉ e STEYAERT, 2010)
Tensão e Corrente	Α	•			(AIELLO, 2019)
					(ABUELMA'ATTI e ABUELMAATTI, 2013)
Referências Bandgap					(MONTEMEZZO et al., 2006)
Brokaw, Kuijik					(ORIETTI et al., 2008)
Biokaw, Kuijik	Α	•	•	-	(MALTIONE, 2020)
					, ,
					(TOMASEVIC et al., 2015)
Reguladores de Tensão					(CROVETTI e FIORE, 2007)
	A, S	•	•	•	(WU et al., 2014)
					(DUIPMANS et al., 2018),
Portas lógicas, FFs					(SICARD e BENDHIA, 2000)
	D				(DHIA et al., 2006)
					(ROBINSON et al., 2003)
					KIM e ILIADIS, 2010)
Processadores, uC,	-	_	_	_	(SICARD et al., 2005)
DSP, FPGA, Memórias	D	•	•	•	(BAFFREAU et al., 2002)
Conversor A/D e D/A,		-	_	-	Sem análise específica na literatura
Sigma-Delta	M	•	•	•	(MUSUMECI e FIORI, 2009)
Controlador digital					(MALTIONE, 2020)
PWM, SPWM	D	•	•	-	Sem análise específica na literatura
Controle analógico					(CITRON et al., 2002)
P, PI, PID, PWM	Α	•	•	-	(FIORE, 2003)
					(MALTIONE et al., 2018)
Osciladores	М	•	•		(LAURIN et al., 1992)
Digitais e CLK	141				(MALTIONE et al., 2008, 2010)
Osciladores	N.4	•			(ROHDE e PODDAR, 2009-2010)
Harmônicos	M	•	•	•	(MALTIONE et al., 2011)
PLLs	М	•	-	-	(WARD, 1998)
Condicionadores sinal					(FIORE e CROVETTI, 2006)
OPAMPs, CHOPPED					(ABUELMA'ATTI, 2005)
OPAMPS	Α	•	•	•	(LAVARDA e DEUTSCHMANN, 2015)
G. 7 G					(FIORI, 2016)
Comparadores	М	•	•	_	(FIORE, 2012)
Monitores/Supervisores	IVI	-		_	(MALTIONE et al., 2010)
	M	•	•	•	· · ·
POR, LVD, HVD					(MALTIONE, 2020)
Filtros	M	-	-	-	Sem análise específica na literatura
Interfaces de comunicação	D	_	_	_	Fabricantes
SPI, I2C, SCI, USB					Sem análise específica na literatura
Redes Automotivas	D	_	•	•	(REDOUTÉ e STEYAERT, 2010)
CAN, LIN, FlexRay			, and the second	•	Fabricantes
Acionadores	М				(MALTIONE, 2020)
(Drivers para chaves)	IVI	_	-	-	Sem análise específica na literatura (WBG)
Chaves de Potência					(BONA e FIORI, 2010
MOS, IGBT, SiC, GaN					(MALTIONE, 2020)
, - ,,	Α	•	•	-	(QUITADAMO et al., 2019)
					Sem análise específica na literatura (WBG)
Sensores					(AIELLO e FIORE, 2009)
V, I Mag & HALL,Temp	Α	•	•	•	(AIELLO & FIORE, 2009)
Sensores de RFI			1		
Sensores de RFI	N 4	_		_	(DHIA et al., 2012)
	M	•	•	•	(MALTIONE et al. 2012)
					(TOMASEVIC et al., 2015)
Encapsulamento	1		1		(ROLLIN et al., 1999)
				i	(MERLIN e FIORI, 2009)
					, ,
	А	•	•	-	(KARIM et al., 2010)
	А	•	•	-	, ,

Nota: A = Analógico, D = Digital, M = Misto (Analógico e/ou Digital), S = Chaveado

Fonte: Maltione (2020)

## 2.8 Resumo e conclusões do Capítulo 2

Neste capítulo foram abordadas as principais tecnologias envolvidas na fabricação de circuitos integrados de potência. Foi realizada uma descrição das principais tecnologias atuais disponíveis comercialmente para *Smart Power* (BJT, MOS, BCD) com considerações ao método de implementação, ou seja, monolítica (SOC) ou modular (MIP/SIP).

Foi realizada uma análise do estado da arte das tecnologias *Smart Power*, considerando-se também tecnologias emergentes com bandgap largo (WBG) tais como SiC e GAN, assim como com bandgap ultra largo (UWBG), em estágio de pesquisa tais como AlGaN/GAN, AIN e diamante. Foi analisado também o fator de mérito destas tecnologias através do cálculo do BFOM e  $R_{DS-ON-sp}$  das mesmas.

Para as tecnologias monolíticas foram analisadas também as questões do substrato de fabricação, em silício *Bulk* convencional ou em substrato isolado SOI. Foram analisadas as vantagens destas implementações, com análise da relação custo desempenho. Assim as tecnologias SOI apesar de permitirem um grande grau de integração e desempenho dos dispositivos implicam em um aumento de custo do componente.

Do ponto de vista da análise da interferência de RF (RFI) em circuitos integrados de potência, um dos pontos mais importante é o conhecimento da tecnologia envolvida, assim como os dispositivos que podem contribuir para a susceptibilidade. Assim o conhecimento dos parasitas e do modelamento utilizado para os dispositivos podem ser considerados chave para o sucesso da análise.

# Capítulo 3

## Métodos de Análise da Interferência de RF

## 3.1 Introdução - Análise da interferência

A análise e identificação dos mecanismos de falha em um circuito integrado complexo (SOC), devido à interferência de RF (RFI), por muitas vezes, é uma tarefa muito árdua e complexa (TRAA, 2002 e DHIA *et al.*, 2006), uma vez que os problemas aparecem em geral nas funções de saída do sistema, na maioria das vezes com difícil identificação do sub-bloco responsável pelo problema, assim como da possível causa raiz do mesmo.

Outra questão é que a identificação dos caminhos de acoplamento, não é sempre completamente clara, podendo existir múltiplos caminhos simultâneos, com acoplamento em diferentes formas nos dispositivos dos circuitos. Assim a análise da contribuição da interferência em cada nó do circuito, tem que ser feita localmente, levando-se em conta a topologia dos circuitos e os parasitas associados que causam tais acoplamentos, o que é também dependente da tecnologia utilizada.

Outo ponto importante a ser considerado é que os dispositivos integrados têm como característica intrínseca, a não linearidade, sendo que na maioria das vezes, os circuitos são considerados lineares para certo ponto de operação ou range dinâmico para funcionamento do módulo ou sistema. Em geral dispositivos passivos tais como resistores, capacitores e indutores, são considerados como dispositivos lineares. Entretanto, nas implementações integradas estes dispositivos apresentam características não lineares, principalmente em relação a sinais de RF (MAAS, 2003). Neste sentido a identificação dos dispositivos dos circuitos que irão trabalhar em cada modo de operação torna-se fundamental para o correto modelamento do circuito, assim como para a aplicação de uma ferramenta adequada de análise, objetivando-se a obtenção da predição de resultados que correspondam aos comportamentos observados em circuitos reais.

Neste capítulo, estes pontos são explorados, identificando-se as principais metodologias de análise, assim como se propondo um novo método de análise para uso em circuitos complexos.

## 3.1.1 Particionamento para análise dos circuitos

Dada a complexidade dos circuitos integrados atuais, o primeiro passo que envolve a análise, está na identificação dos domínios de abrangência dos circuitos. Em geral as ferramentas de análise permitem que os circuitos sejam particionados em domínios analógicos, digitais e mistos. Este particionamento se relaciona com a topologia dos circuitos e a metodologia de análise dos mesmos, conforme descritos na Tabela 3.1.

Tabela 3.1 – Categorias dos circuitos.

Categoria dos circuitos	Descrição	Domínio de
		particionamento
Analógico	Circuitos no nível de transistores ou de blocos	Analógico
	puramente analógicos. Exemplos: condicionadores	
	de sinais, sensores, amplificadores operacionais,	
	comparadores, reguladores e referências de	
	tensão, osciladores, PLLs, redes neurais, etc.	
Potência	Circuitos compostos por transistores de potência	Analógico
	operando na região linear ou como chaves.	
	Exemplos: BJT, Power MOS, IGBT, SiC, GaN, etc.	
Radiofrequência (RF)	Circuitos no nível de transistores ou de blocos	Analógico
	operando com sinais de RF. Exemplos: osciladores,	
	misturadores, conversores, filtros, amplificadores,	
	etc. Com relação aos Rádios Digitais definidos por	
	Software (RDS), os circuitos de entrada dos	
	mesmos (frontend) estão nesta categoria.	
Lógico (puramente)	Circuitos de funcionalidade exclusivamente lógica	Digital
	obtidos por descrição em portas lógicas ou	
	sintetizados, tais como: circuitos, máquinas de	
	estado, controladores, processadores, memórias,	
	etc. A Lógica pode ser binária ou multinível	
	dependendo da implementação. O processamento	
	de sinais nos Rádios Digitais definidos por	
	Software (RDS) envolvendo DSPs, são incluídos no	
	domínio digital.	
Mistos	Circuitos de funcionalidade mista envolvendo	Analógico e
	circuitos analógicos e digitais tais com conversores	Digital
	A/D, D/A, PWM, Sigma Delta, etc. Conversores	
	chaveados para radio, modems, áudio e telefonia	
	digital são exemplos de módulos mistos.	

Fonte: Maltione (2020)

Neste trabalho, do ponto de vista da análise de interferência de RFI, na maioria das vezes os circuitos de RF, potência e sensores são considerados domínios analógicos, enquanto o processamento lógico está considerado como domínio digital (mesmo que seja possível aplicar outra abordagem), conforme ilustra a Figura 3.1.

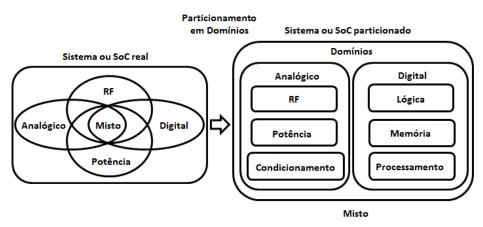


Figura 3.1 – Particionamento dos circuitos. Fonte: Maltione (2020).

#### 3.1.2 Domínios dos métodos de análise

Uma vez realizado o particionamento dos circuitos, definidos os domínios dos mesmos, podemos escolher o tipo de análise mais apropriada para a predição e identificação de comportamento dos circuitos em função da interferência de RF. O tipo de análise a ser escolhida, em geral, depende do comportamento em estudo a ser observado, e da complexidade do circuito a ser analisado. Em geral na análise de RFI os métodos transientes são os mais comuns, pois fornecem uma indicação de que comportamento será observado, embora possam requerer bastante tempo, assim como alto volume de dados (memória utilizada) para conclusão da análise, além de serem comuns erros de convergência. Podem apresentar o resultado transitório dos circuitos ou apenas o resultado final em regime (SSA -Steady State Analysis). Os métodos frequênciais, são mais rápidos, mas são limitados a pequenas excursão de sinais, podendo apresentar resultados discrepantes devido às linearizações, tendo aplicação limitada. Entretanto são poderosos na estimação do ruído espectral gerado. O método do Balanço Harmônico tenta compor as vantagens dos dois métodos anteriores, particionando o circuito em sub-blocos lineares e não lineares, combinando-se as análises, e em geral diminuindo enormemente o tempo requerido para finalização da simulação.

Outro tipo de análise envolvendo circuitos discretos é a realizada em domínio "Z" considerando os circuitos linearizados, particularmente quando existe um chaveamento em alta frequência, diminuindo o tempo de análise. Finalizando os métodos, temos as análises de comportamento eletromagnético, usadas para analisar dispositivos ou pequenos blocos, onde são aplicados métodos físicos de descrição eletromagnética dos circuitos com resolução numérica de elementos finitos (FEM), incluindo o dimensionamento físico, layout, efeitos de antena e linhas de transmissão. Estes métodos estão apresentados na Tabela 3.2.

Tabela 3.2 - Tipos dos métodos de análise

Tipo do método	Descrição	Domínio da análise
Resposta	- análise no domínio do tempo	Temporal
Transiente	- amplas excursões do sinal	
	- grandes comportamentos não lineares	
	- grande tempo para finalização das análises	
	- problemas de convergência.	
	- Resposta transiente (TRAN) ou de regime (SSA)	
Resposta em	- análise no domínio da frequência	Frequencial
Frequência	- linearizados em torno do ponto de operação	
	- pequenas excursões do sinal	
	- incluindo ou não efeitos de memória	
	- pode ser feita a inclusão de ruído na análise	
	- resposta em frequência (FRA)	
	- conteúdo harmônico dos sinais resultantes (HMB).	
Balanço Harmônico	- particionados em blocos lineares e não lineares	Temporal e
(Harmonic Balance)	- considerado o ponto de operação dos mesmos	Frequencial
	- resposta em frequência dos circuitos lineares	
	- resposta temporal dos circuitos não lineares	
	- resultados combinados no final da análise	
	- resultados no domínio do tempo ou frequência (FFT).	
Resposta Discreta	- domínio discreto do tempo ou frequência	Temporal ou
	- linearizados em torno do ponto de operação	Frequencial
	- sendo analisado no domínio discreto "Z"	
Comportamento	- aplicável a dispositivos ou pequenos blocos	Temporal
Físico	- métodos físicos de descrição eletromagnética (FEM)	
Eletromagnético	- inclui o dimensionamento físico e o layout	
	- pode incluir efeitos de antena e linhas de transmissão	

Fonte: Maltione (2020)

## 3.2 Metodologias tradicionais de análise

As metodologias de análise tem por objetivo a predição do comportamento das variáveis de um sistema que afetam as respostas do mesmo em função das variáveis de entrada e de controle dos mesmos (em geral a respostas das saídas). Uma vez definido o particionamento dos circuitos e tendo-se em vista o comportamento que deve ser esperado para o sistema sem interferência, o sistema em teste, pode ser colocado sobre interferência de RF, sendo observados os pontos críticos do mesmo, de modo a detectar os limiares de interferência que causam instabilidade ou desvios/falhas das funções de controle esperadas para o mesmo quando em funcionamento normal (sem RFI).

Neste ponto a escolha do método de análise fica vinculada a característica funcional principal a ser monitorada. Em se tratando de circuitos não lineares, em geral os métodos transientes são os mais utilizados, devido ao fato de fornecer uma resposta temporal que pode ser facilmente correlacionada com dados experimentais, embora outros métodos também sejam usados. Nos tópicos a seguir são discutidos os conceitos, as vantagens e desvantagens dos principais métodos usados na análise de circuitos integrados, apresentados na Tabela 3.2.

## 3.2.1 Análise transiente (Spice TRAN)

A análise transiente (TRAN) é uma das principais metodologias empregadas no fluxo de projeto SOC, tanto para verificação do comportamento funcional dos blocos, assim como nas simulações de topo do sistema, onde podem ser verificadas a compliança com as funcionalidades esperadas para as saídas do sistema (ZHUANG *et al.*, 2016) (ANTOGNETTI e MASSOBRIO, 1993).

Independentemente da categoria, os circuitos finais a serem integrados são descritos esquematicamente, sendo então compilados gerando uma lista de ligações (netlist), onde estão descritas todas as conexões dos componentes entre os Nós (ou *Nets*) do circuito, assim como os modelos atribuídos aos mesmos (i.e. *netlist* em formato Spice).

Supondo-se um projeto em níveis hierárquicos, são adicionadas em um nível superior as fontes de alimentação, os sinais de excitação e controle dos sistemas em teste. Neste ponto convêm destacar que o resultado obtido com esta análise estará intimamente relacionado com o modelamento empregado para os dispositivos.

Para a análise de RFI os acoplamentos parasitas do sistema, em relação aos dispositivos, tornam-se fundamentais para a correta prospecção e predição de resultados, pois são os caminhos das fontes de interferência aos nós do circuito vítima.

Os modelos usados para os dispositivos ativos e passivos nestas análises suportam grandes excursões dos sinais. Entretanto nem todos os comportamentos são lineares, assim como nem todos os acoplamentos e elementos parasitas estão modelados do ponto de vista da análise RFI. Capacitâncias e resistências não lineares, principalmente com relação de dependência às polarizações de alimentação e ao substrato, assim como dispositivos parasitas inativos acabam sendo omitidos por não serem relevantes do ponto de vista da análise de operação em modo normal (sem interferência), mas que podem ser importantes para a análise de RFI.

Outra consideração importante sobre esta análise está vinculada ao seu algoritmo de solução, conforme mostrado na Figura 3.2. Nesta análise, inicialmente é encontrada o ponto de operação DC por solução numérica das equações não lineares do circuito (e.g. Newton-Rapson). A seguir, a partir das condições iniciais, as equações diferenciais são resolvidas no domínio do tempo, sendo que na sua evolução, as transições dos valores das variáveis dos nós são avaliadas com relação ao tempo, até encontrar o passo (*tstep*) para avanço do algoritmo, de forma que possa ser encontrada uma solução convergente das equações diferenciais resolvidas por um método de solução numérico.

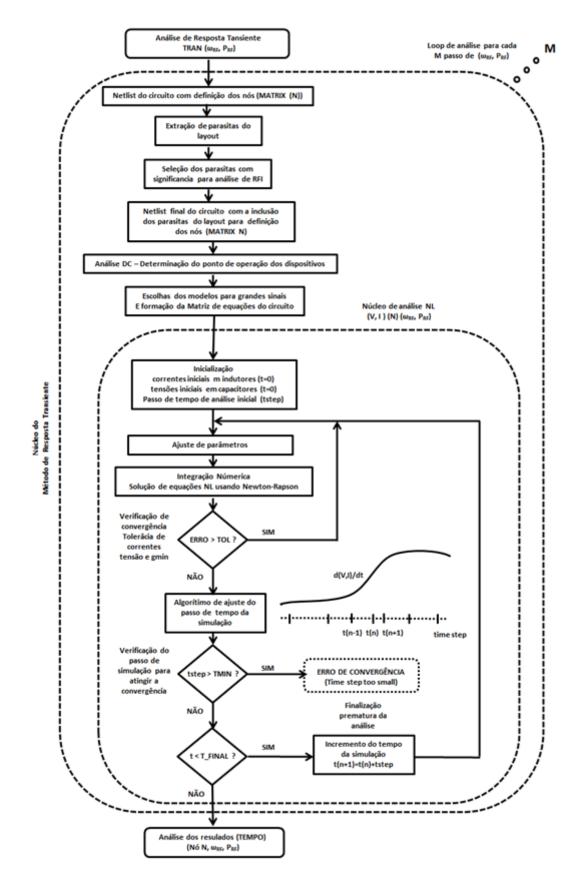


Figura 3.2 – Algoritmo da análise de Resposta Transiente (TRAN). Fonte: Maltione (2020).

Assim quando a interferência começa a ser injetada no sistema (e.g. 100MHz), embora o circuito sob análise tenha uma banda de operação muito menor, o passo de simulação tem de ser diminuído para avaliação das soluções durante as variações da interferência, o que pode ser cerca de 10 vezes menor (ou mais) que o período do sinal de RF interferente.

Isto causa um aumento considerável do tempo de simulação assim como gera uma base de dados de grande tamanho. Outro problema é que as transições abruptas podem causar soluções não convergentes que podem interromper a análise prematuramente. Em geral esta análise necessita um ajuste adequado para produzir resultados corretos (e.g. aumento do número de interações, flexibilização de tolerâncias das precisões das tensões e correntes, e o uso de métodos mais suaves de integração, tais como *gear* ao invés de *trapezoidal*).

Os métodos de integração mais comuns usados para esta análise estão ilustrados na Figura 3.3, sendo que os métodos de Euler são mais rápidos, mas menos precisos, sendo que o método *trapezoidal* é um meio termo entre os dois melhorando a precisão, sem onerar muito o tempo de cálculo (métodos de primeira ordem).

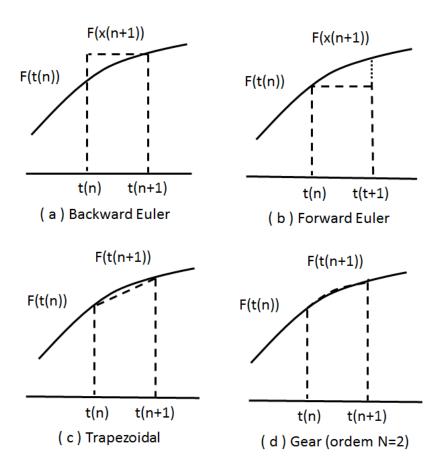


Figura 3.3 – Métodos de integração. Fonte: Maltione (2020).

Estes métodos apresentam em determinados tipos de circuitos uma condição de oscilação infinita na avaliação do erro para a convergência (entre erros positivos e negativos) levando a análise a não convergência. Neste caso devem ser usados os métodos de ordem N, sendo mais comum o *Gear* com N=2, que facilita a convergência por causar um amortecimento na evolução do erro (*damping*) convergindo em poucos passos.

Entretanto apesar de convergir relativamente mais fácil, aumenta grandemente o tempo de simulação, devido ao cálculo mais elaborado (método de segunda ordem). Ordens maiores que dois acabam por ser inviáveis, devido ao grande aumento no tempo de integração (feita a cada passo).

Um caso especial de circuitos são os circuitos chaveados (e.g. filtros a capacitores chaveados, amplificadores *chopper*, conversores DC-DC chaveados, *charge-pumps*, etc.), onde um ou mais controles de chaveamento (*clocks*) causam transições abruptas no sistema.

Os conversores de energia chaveados de potência atuais chegam a ter frequências de chaveamento na faixa de 20kHz a 10MHz, com problemas de interferência EMS na faixa de 100-3000MHz. Assim a análise de interferência nestes tipos de circuitos pode se tornar extremamente lenta ou inviável, principalmente se a análise deve prever o estado de regime do sistema (*Steady-State*).

## 3.2.2 Análise em frequência (Frequency response)

A análise em frequência (AC) é uma das metodologias empregadas no fluxo de projeto SOC para verificação da resposta dos circuitos a excitações senoidais de pequenas amplitudes. Conforme citado em Kundert (1995, Cap 3, p. 51), esta classe de analises tem base na análise fasorial aplicadas em circuitos LTI (*Linear Time-Invariant*), onde a saída tem a mesma frequência do sinal de entrada, mas com diferenças de fase e amplitude. Esta análise necessita de um passo preliminar onde é necessário ser determinado o ponto de operação DC dos dispositivos, que então utilizam de modelos linearizados em torno deste ponto de operação para determinação da resposta em frequência do mesmo e das frequências de transição associadas a polos e zeros do sistema. A Figura 3.4 ilustra o fluxograma deste tipo de análise.

Outros tipos de análise tais como ruído e distorção harmônica podem suceder esta análise trazendo outras informações de desempenho do circuito. Uma vez que a solução da mesma consiste na solução matricial de um sistema de equações lineares que representam o circuito, o tempo necessário para completar a simulação é mais rápido que no caso transiente (uma vez que já tenha sido determinado o ponto de operação DC), assim como a base de dados é relativamente pequena, permitindo apresentar os resultados como análises comumente usadas em controle tais como Bode, Nyquist or Nichols. Do ponto de vista da análise de interferência de RF, ela pode trazer pouca informação, pois a resposta do circuito se deve a excitações de pequena amplitude em polarizações específicas, em contraste às grandes excursões e operações não lineares dos problemas associados à RFI.

Outro tipo de análise recente, também associada com a resposta em frequência é a chamada FRA (Frequency Response Analyzer), proposta por Venable (1983), e usada para determinação da margem de ganho (GM, *Gain Margin*) e de fase (PM, *Phase Margin*) de circuitos complexos em malha fechada, tais como fontes chaveadas. Entretanto esta análise usa uma metodologia diferente, onde um sinal de pequena amplitude é aplicado como uma perturbação na rede de realimentação, sendo que são realizadas N análises tipo TRAN (uma para cada frequência da varredura), sendo determinados então os desvios de fase e ganho para as variáveis de saída em relação à entrada, que são computados posteriormente para determinação das margens de ganho e fase. Este tipo de análise, realizada em conjunto com um teste de interferência pode trazer informações acerca do comportamento da estabilidade dos circuitos durante a ocorrência da RFI, tendo sido explorada e demonstrada pelo autor na análise de circuitos chaveados de potência (MALTIONE *et al.*, 2018).

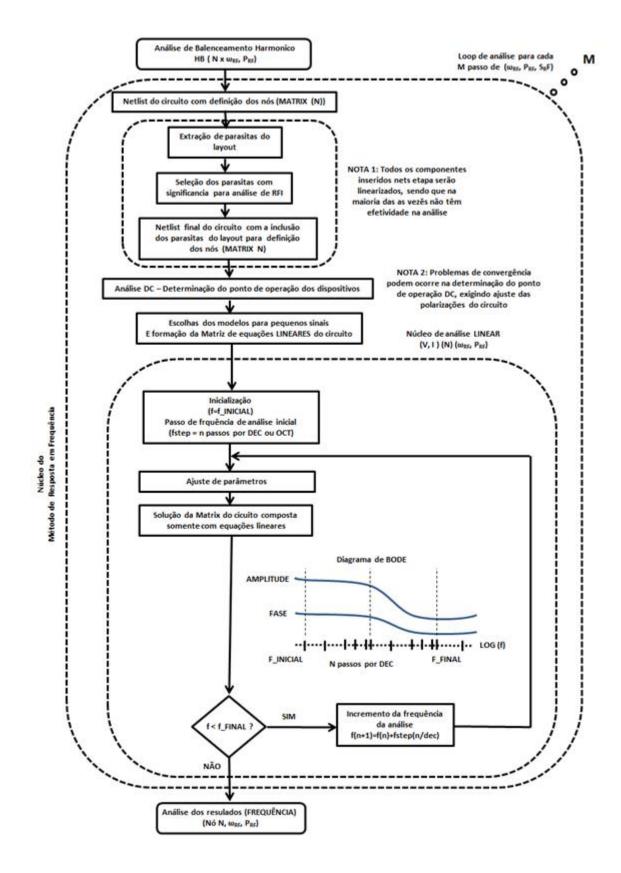


Figura 3.4 – Algoritmo da análise de Resposta em Frequência (AC Spice). Fonte: Maltione (2020)

## 3.2.3 Análise de Balanço Harmônico (Harmonic Balance)

A análise de Balanço Harmônico (HB)<sup>25</sup> é uma das metodologias empregadas no fluxo de projeto SOC de RF, tendo sido utilizado inicialmente para aplicações em micro-ondas, e com a sua evolução sendo a metodologia mais empregada atualmente para avaliação de RFICs de grande porte.

Em geral circuitos de micro-ondas são formados por um grande número de blocos lineares, que podem ser analisados no domínio da frequência e mais um conjunto de blocos não lineares, que necessitam ser analisados no domínio do tempo.

Desta forma trata-se de uma análise mista, onde o circuito deve ser particionado em dois subgrupos, um linear analisado no domínio da frequência e outro no domínio do tempo, onde as equações são resolvidas para excitações senoidais monotonal de pequenas amplitudes, conforme mostrado na Figura 3.5 e no fluxograma da Figura 3.6.

Como os circuitos não lineares geram harmônicos da frequência fundamental, o alvo da análise segundo Maas (2003, Cap. 3) consiste em obter interativamente um conjunto de soluções (componentes harmônicos) que resultam nas mesmas correntes nas equações da rede linear e nas equações da rede não linear (balanceamento harmônico), satisfazendo as condições das leis de Kirchoff (*KCL e KVL*).

O método é mais rápido que o transiente, pois fornece a solução de regime do sistema, sendo utilizado para avaliação de amplificadores, misturadores e osciladores dentre outros blocos de RFIC.

Existe ainda outra análise similar, onde são utilizados múltiplos tons, sendo uma extensão desta metodologia, usado principalmente em RFICs na avaliação de osciladores locais e conversores de frequência.

Apesar do grande poder de análise desta metodologia, a sua aplicabilidade para a solução de problemas de interferência de RF é limitada, uma vez que quanto maior a quantidade de dispositivos operando em modo não linear, mais próxima a análise fica da transiente, sem contar que na maioria dos casos o problema da interferência causa uma transição na operação do sistema que deve ser avaliada e não apenas o resultado em regime.

\_

Descrição mais aprofundada do método pode ser encontrada em Gilmore e Steer (1991), Maas (2003, Cap. 3), Bonani et al. (2014), Agilent (2004), Keysight (2020) e AWR (2020).

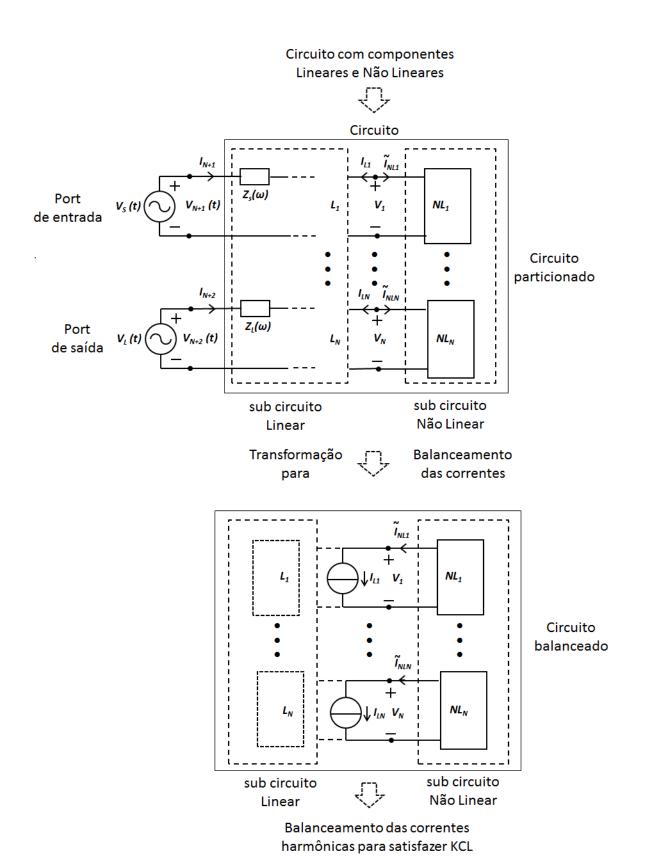


Figura 3.5 – Particionamento do circuito em subcircuitos lineares e não lineares. (para análise de Balanceamento Harmônico - HB)

Nota:  $V_S$ =Sinal,  $I_{S, N}$ = I Linear,  $I_N$ = I Não Linear,  $V_N$  = V Não Linear,  $V_L$ =Carga). Fonte: Adaptado pelo autor de Maas (2003, p. 125 e p. 130).

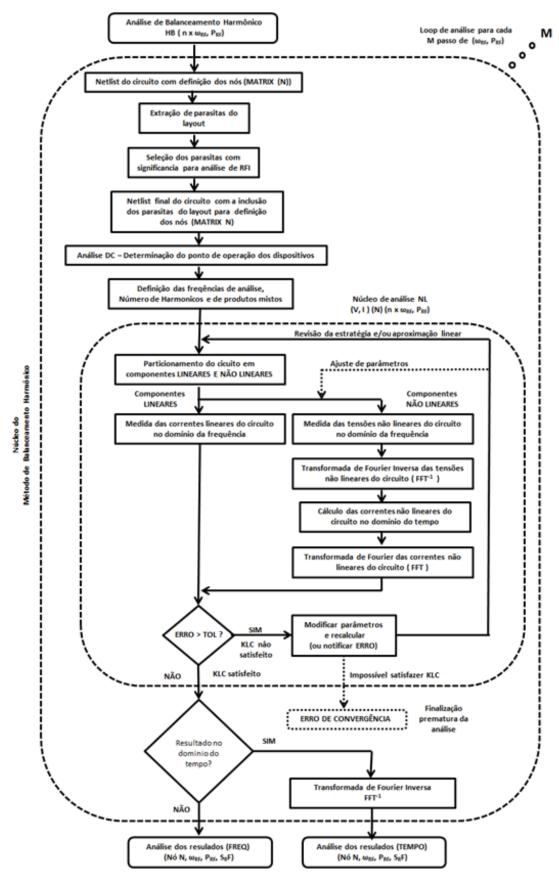


Figura 3.6 – Algoritmo do método de Balanceamento Harmônico (HB) Fonte: Maltione (2020) .

## 3.3 Métodos de modelagem dos circuitos

Nos itens anteriores foram discutidas as principais metodologias de análise dos circuitos, sendo que sua a aplicabilidade depende basicamente do tipo dos circuitos. Nos itens a seguir serão discutidos métodos mais gerais aplicados ao modelamento de circuitos não lineares usados para a sua descrição matemática, que são a base para a construção de modelos para a utilização nas análises. Nos problemas de interferência de RF, muitos dos circuitos são forçados a operar em regiões altamente não lineares dos dispositivos, levando a necessidade de um modelamento mais amplo, pois a maioria das análises está condicionada a aplicabilidade do conceito de superposição (válida para circuitos linearizados), levando a erros de modelamento. Assim torna-se de fundamental importância a determinação de raio de abrangência e utilização destas análises.

## 3.3.1 Categoria do circuito (linear, não linear e fracamente não linear)

A identificação das características dos circuitos é fundamental para aplicação correta dos métodos matemáticos de análise. A análise via circuitos lineares é muito utilizada na determinação da função de transferência e resposta em frequência dos circuitos, sendo o teorema da superposição uma ferramenta muito importante para a sua análise. Este teorema combina as propriedades de aditividade e homogeneidade para a determinação da sua resposta de saída. Assim supondo que tenhamos um sistema excitado por duas fontes de sinal  $s_I(t)$  e  $s_2(t)$ , escaladas por duas constantes (reais ou complexas),  $\alpha_I$  e  $\alpha_2$  respectivamente, a resposta do sistema y(t) produzida por um operador linear T, será dada por (HSU, 1995, p. 18):

$$y(t) = T[\alpha_1 s_1(t) + \alpha_2 s_2(t)] = \alpha_1 y_1(t) + \alpha_2 y_2(t)$$
(3.1)

Neste caso o sistema é considerado como linear. Caso esta condição não seja satisfeita o sistema será considerado não linear. Em termos de sinais de RF isto significa que, supondo os sinais de entrada como senoidais puros de frequências  $\omega_1$  e  $\omega_2$  respectivamente, na saída teremos apenas a soma destes dois sinais sem a geração de outras frequências. Outra característica dos circuitos lineares (LTI, com única entrada e saída, linear, estacionário e causal) é que podem ser representados também por sua resposta impulsiva y(t) dada por (SCHETZEN, 1981, p. 1557):

$$y(t) = \int_{-\infty}^{\infty} h(\tau)s(t-\tau) d\tau$$
 (3.2)

Onde h(t) é a resposta do sistema a um impulso unitário.

No caso de um sistema não linear a equação (3.1) irá apresentar termos de ordem superior, como:

$$y(t) = \alpha_1 s_1(t) + \alpha_2 s_2(t) + \dots + \alpha_N s_N^n$$
(3.3)

Quando o sistema não apresenta memória, ou seja, a saída não depende do valor de entrada em um tempo anterior, τ, o sistema pode ser expresso em termos uma série polinomial de potência, em geral expresso como série de Taylor. Neste caso o sistema deve ser contínuo, ter todas derivadas de ordem *N* contínuas e ser convergente. Este é o caso de sistemas puramente resistivos, mas apresentando não linearidades. No caso de sistemas com capacitores e indutores, envolvendo armazenamento de energia em campos elétricos e magnéticos respectivamente, como ocorre na maioria dos dispositivos em circuitos integrados, o sistema apresenta memória, sendo então normalmente definido em termos de séries de Volterra, que melhor representam os sistemas não lineares, sendo um método bem estabelecido e conhecido na literatura (e.g. VOLTERRA, 1930; WIENER, 1942, 1958; RUGH, 1981; BOYD *et al.*, 1984; SCHETZEN, 1980, 1981; CHENG *et al.*, 2017).

Assim, fazendo-se a mesma a suposição anterior para os sinais de entrada, mas considerando-se o sistema como não linear, teremos na saída sinais com frequências geradas pelos produtos internos da função. Este princípio é usando em radio frequência para geração e conversão em frequência de sinais, tais como osciladores locais para batimento de sinais e geração de sinais de frequência intermediária. Estes sinais podem ser representados por séries de potência (quando são convergentes), podendo ser caracterizada por sua resposta impulsiva por (EWEN e WEINER, 1980):

$$y(t) = \sum_{n=1}^{\infty} \int_{-\infty}^{\infty} h(\tau_1, ..., \tau_n) \prod_{\rho=1}^{n} u(t-\tau) d\tau_{\rho}$$
 (3.4)

Onde  $h(\tau_1,...,\tau_n)$  representa o núcleo do sistema, e  $u(t-\tau)$  o degrau unitário.

Como podemos observar estas séries contêm infinitos termos para descrever a não linearidade da função. Para a análise de sistemas reais, costuma-se computar somente os primeiros termos destas séries (*N* máximo de 3 a 5), reduzindo-se aos termos não lineares mais significativos que alteram a função. Estes sistemas são chamados de sistemas fracamente não lineares (*weakly nonlinear*), podendo ser representado pelo truncamento em N termos da expressão (3.2) (EWEN e WEINER, 1980):

$$y(t) = \sum_{n=1}^{N} \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) \prod_{\rho=1}^{n} u(t-\tau) d\tau_{\rho}$$
 (3.5)

Onde  $h(\tau_1,...,\tau_n)$  representa o núcleo do sistema, e  $u(t-\tau)$  o degrau unitário.

Para o caso genérico de sistemas não lineares as operações com as funções não lineares de resposta do sistema não permitem a aplicação do teorema da superposição. Entretanto vários estudos matemáticos, envolvendo equações não lineares, tem mostrado que existem certas classes de funções que permitem uma aplicação similar à superposição, sendo intitulada por superposição não linear (OPPENHEIN, 1965; JONES e AMES, 1967; MENINI e TORNAMBÉ, 2011). Um dos trabalhos mais embasados, considerando-se aplicações em engenharia foi proposto por Oppenhein em sua tese de doutoramento (OPPENHEIN, 1965) e publicado como "superposição generalizada" pelo autor em 1967 (OPPENHEIN, 1967). Neste trabalho é realizada uma generalização do princípio da superposição para uma classe de funções não lineares, que numa transformação entre espaços vetoriais, homomórficos, mantém uma similaridade com a superposição linear, em relação à aplicação dos operadores de relação entre as funções. Para o caso particular de funções envolvendo exponenciais, os operadores de relação homomórficos, permitem o uso generalizado da superposição nesta classe de sistemas não lineares.

Assim, segundo Oppenhein (1967), supondo que tenhamos um sistema não linear excitado por duas fontes de sinal  $s_I(t)$  e  $s_2(t)$ , combinadas pela operação "  $\circ$  " (tais como adição, multiplicação, convolução, etc.), resultando em saídas  $y_I(t)$  e  $y_2(t)$ , combinadas pela operação "  $\circ$  ", assim como uma entrada qualquer  $s_i(t)$  escalada por uma constante (real ou complexa),  $c_i$  através da operação "  $\cdot$  ", resultando em c:y(t), representando o escalar " c " combinado com a saída y(t), resultam na resposta do sistema dada pela superposição generalizada expressa por:

$$y[s_1(t) \circ s_2(t)] = y[s_1(t)] \square y[s_2(t)]$$
(3.6)

$$y[c \cdot s_i(t)] = c : y[s_i(t)]$$
(3.7)

Convêm notar que quando as operações, "o" e " = " correspondem à adição, e as operações " . " e " : " correspondem à multiplicação, as expressões correspondem ao caso da superposição aplicada normalmente em sistemas lineares (OPPENHEIN, 1967).

A Figura 3.7 ilustra esta classificação dos sistemas com respeito a sua linearidade, sendo que a Figura 3.7a apresenta um sistema linear, onde é aplicado o princípio da superposição. A saída deste sistema apresenta apenas termos lineares (primeira ordem). Na Figura 3.7b temos um sistema não linear, que ocorre caso qualquer uma das operações (aditividade ou homogeneidade) não seja verdadeira. No caso mais simples, onde temos um

sistema sem memória e que possa ser expresso por uma série polinomial convergente, a saída deste sistema apresentará termos de ordem N, responsáveis pela não linearidade da função de transferência entrada-saída. Uma vez que esta série tem infinitos termos, estes sistemas são chamados também na literatura por sistemas fortemente não lineares. Na Figura 3.7c temos um sistema não linear igual ao anterior, mas com uma série truncada (N finito) de forma a que somente os principais termos correspondentes apareçam na saída do sistema. Estes sistemas são referidos na literatura por sistemas fracamente não lineares. Finalmente, a Figura 3.7d, apresenta um sistema não linear de uma classe especial, onde apesar da sua não linearidade, pode-se aplicar o princípio da superposição generalizada.

Outra definição geralmente utilizada em sistemas é com respeito a sua causalidade. Assim um sistema é chamado de causal (ou não antecipatório ou fisicamente realizável) se a saída a qualquer tempo  $t_0$  depende somente dos valores da entrada para  $t < t_0$ . Por outro lado, um sistema é dito não causal (ou antecipatório) se ele é não causal (SOLIMAN e SRINATH, 1990).

Apesar do grande potencial de análise através da metodologia proposta pela superposição generalizada, a sua utilização parece ter ficado esquecida no tempo, estando restrito a algumas aplicações na implementação de filtros (OPPENHEIN *et al.*, 1968) e em aplicações de áudio tais como controle automático de ganho e funções de compressão-expansão para controle preciso de volume (STOCKHAM, 1968) e filtragem para remoção de eco (SCHAFER, 1969). Entretanto a aplicação deste teorema na análise de interferência de RF em sistemas complexos facilita a manipulação do uso das séries de Volterra no domínio do tempo e frequência, com uso da convolução.

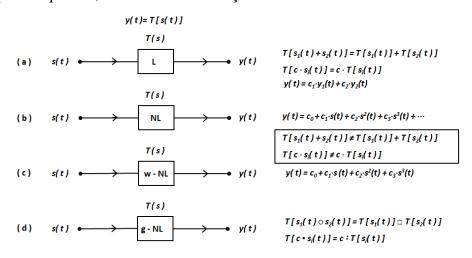


Figura 3.7 – Classificação dos sistemas com relação à linearidade,
(a) linear, (b) não linear, (c) fracamente não linear;
(d) não linear com superposição generalizada.

Fonte: Maltione (2020).

Outra forma de aplicação do teorema da superposição em circuitos não lineares foi apresentada por Lu & Lu (2006), que propõem o uso do teorema da substituição como método de ligação para aplicação da superposição, sendo aplicado no cálculo de redes resistivas não lineares. Apesar da grande importância do teorema da substituição (já utilizado em larga escala por Mass (2003) no modelamento de circuitos de RF), foi escolhido o método (superposição generalizada) proposto por Oppenhein (1967), como ferramenta de análise, devido a sua fundamentação, assim como sua maior abrangência, principalmente com relação à aplicação da convolução em sistemas não lineares, estando assim alinhado com o escopo de utilização dentro do presente trabalho.

### 3.4 Métodos clássicos de análise não linear

Na abordagem clássica inicial, para a análise de circuitos não lineares, verificamos se a resposta do sistema é uma função não linear que pode ser linearizada pela expansão da mesma em uma série de potências, de forma a ser linear em torno de um ponto de interesse na resposta do sistema ou por partes (em intervalos determinados), onde a função deve ser contínua e a série convergente no intervalo considerado. Neste caso os termos não lineares (ordem 2 em diante) são suprimidos, ou seja, a série é truncada, restando apenas os termos lineares. Entretanto, a linearização apesar de facilitar os cálculos e a análise do sistema, limita a excursão do sinal de entrada, de modo que a saída fique estabelecida dentro de certa margem de erro para que a função seja considerada linear (limitação da faixa dinâmica). Neste caso o método mais utilizado é a expansão em série de Taylor (ou Maclauren).

Outro ponto a ser observado é com relação à memória do sistema. Sistemas puramente resistivos, não apresentam memória, enquanto sistemas capacitivos, indutivos e dispositivos semicondutores em geral apresentam memória, devido à retenção de carga, que pode ser de longo prazo ou de forma transitória (*fadding*). Nestes casos o sistema é mais bem representado pela série de Volterra (ou Wiener) que consideram o efeito memória do sistema. Nos próximos itens será realizada uma descrição sucinta destes métodos.

### 3.4.1 Métodos de análise da série de Taylor (Domínio do tempo, comportamental)

Este é o método clássico de expansão de funções não lineares em série de potências<sup>26</sup>. Estas séries foram criadas inicialmente para o caso de variáveis reais, sendo posteriormente

-

<sup>&</sup>lt;sup>26</sup> Segundo Kreyszig (2006, p. 683) foi desenvolvida pelo matemático inglês Brooke Taylor em meados do século XVIII. O caso especial de expansão em torno de  $x=x_0=0$ , ao invés de  $x=x_0$ , foi apresentada pelo matemático escocês Colin Maclaurin, sendo então mais conhecida como série de Maclaurin.

usadas com variáveis complexas, tornaram-se fundamentais na análise complexa, representando funções analíticas (KREYSZIG, 2006, p. 683). Segundo Kreyszig (2006), no caso mais geral uma função y(z) pode ser expressa em termos de potências complexas em torno de  $z_0$ , ou seja, em potências de  $z-z_0$ , como (Série de Taylor Complexa):

$$y(z) = \sum_{n=0}^{\infty} a_n (z - z_0)^n = a_0 + a_1 (z - z_0)^1 + a_2 (z - z_0)^2 + \cdots$$
 (3.8)

$$a_n = \frac{1}{n!} y^{(n)}(z) \tag{3.9}$$

Onde z é uma variável complexa,  $a_0$ ,  $a_1$ ,  $a_2$ , ...,  $a_n$  são constantes complexas ou reais (coeficientes da série) e  $z_0$  uma constante complexa ou real (centro da série),  $y^{(n)}(z)$  a enésima derivada da função y(z).

Quando y(t) representa uma função analítica,  $a_n$  pode ser expresso como (KREYSZIG, 2006, p. 683):

$$a_n = \frac{1}{2\pi i} \oint_C \frac{f(z^*)}{(z^* - z_0)^{n+1}} dz^*$$
 (3.10)

Onde C é o caminho fechado de integração (sentido anti-horário), que contêm  $z_0$  em seu interior e  $z^*$ , o complemento complexo de z.

Considerando-se a expansão realizada até certo *N*, temos que o resto desta expansão é expresso por (KREYSZIG, 2006, p. 684):

$$R_n(z) = \frac{(z - z_0)^{n+1}}{2\pi i} \oint_C \frac{f(z^*)}{(z^* - z_0)^{n+1} (z^* - z)} dz^*$$
(3.11)

Sendo então a expansão em série de Taylor dada por (KREYSZIG, 2006, p.684):

$$f(z) = f(z_0) + \frac{(z-z_0)}{1!}f'(z_0) + \frac{(z-z_0)^2}{2!}f''(z_0) + \dots + \frac{(z-z_0)^n}{n!}f^{n'}(z_0) + R_n(z)$$
 (3.12)

Um ponto importante para estas séries é a questão de sua convergência. Neste sentido, para o caso de variável real, basicamente a série será convergente se o resto estiver contido dentro de certo intervalo, enquanto que para o caso da variável complexa a série será convergente se f(z) estiver contida dentro de um círculo com certo raio de convergência (uma análise aprofundada deste tópico pode ser encontrada em Kreyszig (2006), Capítulo 15).

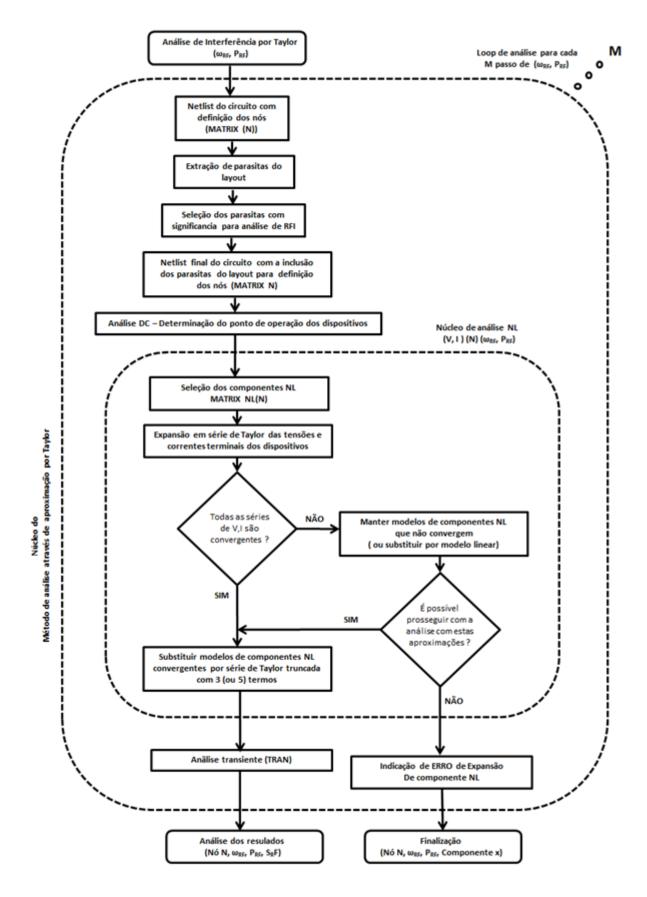


Figura 3.8 – Fluxograma do método de análise por aproximação de Taylor. Fonte: Maltione (2020).

A Figura 3.8 ilustra um possível fluxograma para aplicação desta análise. Uma questão importante a ser observada na expansão em série de Taylor é que não temos o efeito de memória descrito na série, pois cada termo da mesma depende de apenas de  $z=z_0$  (Taylor) ou z=0 (Maclaurin), não dependendo assim do que ocorre no caso de z=z(t), em  $z=z(t-\tau)$ , onde  $\tau$ , representa um atraso de tempo qualquer. Então para funções não lineares contínuas, com derivadas contínuas, dentro de certo intervalo, sem efeito memória, esta descrição fornece, quando truncada para certo N, tal que o erro absoluto cometido ainda permita a representação da função, uma excelente ferramenta para a resolução de funções, integrais e equações diferenciais não lineares, sendo, por exemplo, amplamente usada no SPICE no modelamento de dispositivos. O maior problema para estas séries ocorre quando do modelamento de dispositivos altamente não lineares, com transições abruptas tais como no modelamento de chaves analógicas e transições rápidas que ocorrem no chaveamento de dispositivos em circuitos de potência (MOSFETs de potência, IGBTs etc.), com efeito de memória.

#### 3.4.2 Métodos de análise da série Volterra (Domínio do tempo)

Este método de descrição de sistemas não lineares foi desenvolvido pelo matemático italiano Vito Volterra, no seu famoso estudo sobre funcionais, "Theory of Functionals and of Integro-Diferential Equations" (VOLTERRA, 1930), onde o conceito de função é estendido, sendo que a resposta do sistema é um "funcional", que é função não só das variáveis de entrada, mas também de funções das mesmas. Segundo Volterra (1930, p. 26) esta expansão da função em termos de funcionais, estende o Teorema de Taylor, de *n* variáveis para funcionais de *n* variáveis deriváveis. Outra interpretação dada por Wood (2014) é de que as séries de Volterra podem ser entendidas como uma série de Taylor com memória, onde as não linearidades descritas pela série devem satisfazer algum critério de suavidade para ser convergente. Em terminologia atual, a série de Volterra pode ser expressa por (CHENG *et al.*, 2017, p. 341):

$$y(t) = y_0 + \sum_{n=1}^{\infty} y_n(t)$$
 (3.13)

$$y_n(t) = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
 (3.14)

Onde  $h(\tau_1,...,\tau_n)$  representa o núcleo (*kernel*) do sistema invariante no tempo, e  $u(t-\tau)$  o degrau unitário.

Como em geral na posição de equilíbrio do sistema y0=0, o termo contínuo (*DC*) em geral não é considerado (principalmente quando analisado no contexto da frequência), sendo que o

mesmo costuma ser excluído da série pela maioria dos autores. Assim para o caso de sistemas invariantes no tempo a série é expressa por (CHENG *et al.*, 2017, p. 341):

$$y(t) = \sum_{n=1}^{\infty} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(3.15)

Onde  $h(\tau_1,...,\tau_n)$  representa o núcleo do sistema variante no tempo, e  $u(t-\tau)$  o degrau unitário.

A expressão (3.15) representa então a série de Volterra descrevendo um sistema não linear invariante no tempo. Esta mesma série também pode ser usada para descrever sistemas não lineares com tempo variante, expressa por (CHENG *et al.*, 2017, p. 342):,

$$y(t) = \sum_{n=1}^{\infty} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h(t, \tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(3.16)

Onde  $h(t, \tau_1,..., \tau_n)$  representa o núcleo do sistema variante no tempo, e  $u(t-\tau)$  o degrau unitário.

A expressão (3.16) representa então a série de Volterra descrevendo um sistema não linear variante no tempo. Segundo Schetzen (1981, p. 1559), esta expressão pode ser expressa em termos de operadores na forma:

$$y(t) = h_0 + \sum_{n=1}^{\infty} H_n[u(t)]$$
(3.17)

$$H_n[u(t)] = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(3.18)

Onde  $H_n[u(t)]$  é definido como operador de Volterra de ordem n.

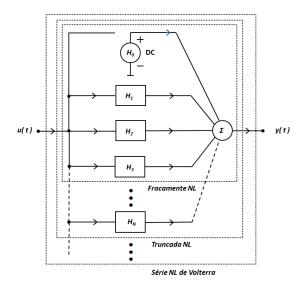


Figura 3.9 – Interpretação da série de Volterra através da composição de seus núcleos. Fonte: Adaptado pelo autor de Schetzen (1981, p. 1559).

A vantagem da expressão em termos de operadores é que podemos fazer uma interpretação da série de Volterra em função da composição de seus núcleos, como ilustrado na Figura 3.9, onde a saída do sistema é composta pela soma das saídas de cada operador  $H_n$ .

Estas séries também podem ser definidas para sistemas discretos (CHENG *et al.*, 2017, p 3.41). Para um sistema não linear discreto invariante no tempo, a série de Volterra será dada por:

$$y(k) = \sum_{n=1}^{\infty} \sum_{m_1=1}^{\infty} \cdots \sum_{m_n=1}^{\infty} h_n(m_1, ..., m_n) u(k - m_1) ... u(k - m_n)$$
(3.19)

Onde  $h(m_1,..., m_n)$  representa o núcleo do sistema discreto invariante no tempo, e  $u(k-m_i)$  o degrau unitário.

Da mesma forma que para sistemas contínuos, para um sistema não linear discreto variante no tempo, a série de Volterra será dada por (CHENG *et al.*, 2017, p 3.41).:

$$y(k) = \sum_{n=1}^{\infty} \sum_{m_1=1}^{\infty} \cdots \sum_{m_n=1}^{\infty} h_n(t, m_1, \dots, m_n) u(k - m_1) \dots u(k - m_n)$$
(3.20)

Onde  $h(t, m_1, ..., m_n)$  representa o núcleo do sistema discreto variante no tempo, e  $u(k-m_i)$  o degrau unitário.

Um importante aspecto das séries de Volterra, que diz respeito ao núcleo é com relação à simetria. Segundo Rugh (1981) temos as seguintes relações validas para os sistemas não lineares, sendo que para o caso de sistemas estacionários temos:

$$h_{sym}(t_1, ..., t_n) = h_{sym}(t_{\pi(1)}, ..., t_{\pi(n)})$$
 (3.21)

Para o caso de sistemas não estacionários temos:

$$h_{sym}(t,\sigma_1,\ldots,\sigma_n) = h_{sym}(t,\sigma_{\pi(1)},\ldots,\sigma_{\pi(n)})$$
(3.22)

Onde  $\pi(.)$  representa qualquer permutação de inteiros de 1, ..., n.

Neste caso dizemos que o núcleo é simétrico.

No caso geral, qualquer núcleo pode ser substituído pelo seu simétrico, obedecendo-se a relação (RUGH, 1981):

$$h_{sym}(t_1, ..., t_n) = \frac{1}{n!} \sum_{\pi(.)} h(t_{\pi(1)}, ..., t_{\pi(n)})$$
(3.23)

Onde a somatória é realizada sobre todo n! permutações de inteiros de 1, ..., n.

Outro tipo de núcleo importante é o chamado triangular que obedece a relação:

$$h_{tri}(t, \sigma_1, ..., \sigma_n) = 0 com \sigma_{i+j} > \sigma_j para i, j \text{ inteiros positivos}$$
 (3.24)

Existe ainda outra classe de núcleo (não discutida neste trabalho), obtido a partir do triangular é chamado de regular (maiores detalhes são encontrados em Rugh (1981)). As propriedades do núcleo: simetria, triangular e regular, tornam-se úteis na avaliação de certos sistemas, através da substituição de um núcleo por outro equivalente.

As representações anteriores da série de Volterra se aplicam para análises no domínio do tempo. Para análises no domínio da frequência, é possível fazer-se uma correlação com as transformadas de Laplace e Fourier.

No caso clássico, a transformada de Laplace de uma função de uma variável real é definida como (RUGH, 1981):

$$\mathcal{L}[y(t)] = H(s) \tag{3.25}$$

$$H(s) = \int_0^\infty h(t) e^{-st} dt \tag{3.26}$$

Sendo  $s=\sigma+j\omega$ , um número complexo. A função h(t) é o núcleo da função, satisfazendo a relação h(t)=0 para t<0.

A transformada Inversa de Laplace, neste caso, é definida como (RUGH, 1981):

$$\mathcal{L}^{-1}[H(s)] = h(t) \tag{3.27}$$

$$h(t) = \frac{1}{2\pi i} \int_{\sigma - i\infty}^{\sigma + j\infty} H(s) e^{st} ds$$
 (3.28)

Onde  $\sigma$  é escolhido dentro da região de convergência de H(s).

A função (3.25) é conhecida também como transformada unilateral de h(t), representando sistemas causais. Uma forma estendida desta transformada, com limites de integração de  $-\infty$  a  $+\infty$  é conhecida como transformada bilateral de h(t), sendo então uma generalização da mesma.

Em geral a transformada bilateral de Laplace converge para alguns valores de *Re{s}* e não para outros, sendo então que os valores de *s* para o qual esta região converge define a região de convergência absoluta ou simplesmente região de convergência, ROC (SOLIMAN e SRINATH, 1990).

Consideremos então uma extensão da transformada de Laplace bilateral para múltiplas variáveis (considerando-se,  $s_i=\sigma+j\omega_i$ , como um número complexo), como dadas por ((Expressões 3.29 a 3.36, baseadas em: WAMBAQ e SANSEN, 1998; RUGH, 1981):

$$\mathcal{L}[y(\tau_1, \dots, \tau_n)] = H(s_1, \dots, s_n) \tag{3.29}$$

$$H(s_1, \dots, s_n) = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) e^{-(s_1 \tau_1 + \dots + s_n \tau_n)} d\tau_1 \dots d\tau_n$$
(3.30)

Onde  $h(\tau_1, ..., \tau_n)$  é o núcleo da função.

A função inversa da transformada de Laplace estendida é definida então por:

$$\mathcal{L}^{-1}[H(s_1, ..., s_n)] = h(\tau_1, ..., \tau_n)$$
(3.31)

$$h(\tau_1, ..., \tau_n) = \frac{1}{(2\pi j)^n} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} H(s_1, ..., s_n) e^{(s_1 \tau_1 + \dots + s_n \tau_n)} ds_1 \cdots ds_n$$
 (3.32)

Considerando-se o caso onde a parte real de  $s_i$  é zero  $(s_i=\theta+j\omega_i=+j\omega_i)$ , temos a correspondente série de Fourier para múltiplas variáveis:

$$\mathfrak{I}[y(\tau_1, \dots, \tau_n)] = H(\omega_1, \dots, \omega_n) \tag{3.33}$$

$$H(\omega_1, \dots, \omega_n) = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h(\tau_1, \dots, \tau_n) e^{-j(\omega_1 \tau_1 + \dots + \omega_n \tau_n)} d\tau_1 \dots d\tau_n$$
(3.34)

Onde  $h(\tau_1, ..., \tau_n)$  é o núcleo da função.

A função inversa é definida então por:

$$\mathfrak{I}^{-1}[H(\omega_1, ..., \omega_n)] = h(\tau_1, ..., \tau_n) \tag{3.35}$$

$$h(\tau_1, \dots, \tau_n) = \frac{1}{(2\pi)^n} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} H(\omega_1, \dots, \omega_n) e^{+j(\omega_1 \tau_1 + \dots + \omega_n \tau_n)} d\omega_1 \dots d\omega_n$$
 (3.36)

A partir da generalização destas transformadas podemos expressar a série de Volterra que representa o sistema em termos da resposta em frequência através das transformadas multidimensionais de Fourier do núcleo  $h(\tau_1, ..., \tau_n)$ .

Lang e Billings (1996) descrevem sinteticamente este resultado, de forma a ter-se uma ideia sobre a composição dos componentes em frequência da função de saída não linear. Assim a função generalizada da resposta em frequência do sistema não linear pode ser expressa como (LANG e BILLINGS, 1996):

$$Y(\omega) = \sum_{n=1}^{\infty} Y_n(\omega), \forall \omega$$
 (3.37)

$$Y_n(\omega) = \frac{1/n^{1/2}}{(2\pi)^{n-1}} \int_{\omega_1 + \dots + \omega_n = \omega} Y_n(j\omega_1, \dots, j\omega_n) \, d\sigma_\omega$$
 (3.38)

$$Y_n(j\omega_1, \dots, j\omega_n) = H_n(j\omega_1, \dots, j\omega_n) \prod_{i=1}^n U(j\omega_i)$$
(3.39)

Onde  $Y(\omega)$  representa o espectro de saída do sistema,  $H(\omega)$  representa o espectro de entrada do sistema, e  $Y_n(\omega)$  o termo de enésima ordem do espectro de saída do sistema,  $\sigma_{\omega}$  o campo total da integral que satisfaz a condição  $\omega_1 + ... + \omega_n = \omega$  (hiperplano  $\omega$ ),  $e \ d\sigma_{\omega}$  representa o elemento infinitesimal do campo de integração.

O termo  $1/n^{1/2}$  em  $Y_n(\omega)$ , indica que a contribuição em y(t) das componentes de frequência sobre a banda estreita  $[\omega, \omega + d\omega]$  depende não apenas da contribuição do componente de

frequência  $\omega$  e o comprimento  $d\omega$  da banda, mas também na ordem n da não linearidade envolvida (LANG e BILLINGS, 1996). Houve vários outros desenvolvimentos posteriores, com a proposição de métodos e algoritmos para a computação destes resultados, sendo necessários, entretanto pacotes especiais de software para sua utilização (maiores detalhes podem ser encontrados em Cheng *et al.* (2017)).

A Figura 3.10 ilustra um possível fluxograma para aplicação da análise de Volterra.

### 3.4.2.1 Relação entre as séries de Taylor e de Volterra

No item 3.2.2 vimos que a série de Taylor pode caracterizar um sistema não linear sem memória, expressando o sistema através de uma série de potência, onde os coeficientes são dados em função da derivada de ordem n, calculada em torno do ponto de expansão da série (considerando-se um sistema real e causal). A série de Volterra por sua vez pode representar este mesmo sistema através do cálculo de seus funcionais, expresso em termos dos núcleos de ordem N do sistema, através da convolução infinita dos termos. Para o caso particular, onde o núcleo  $h_m$  da série pode ser expresso por uma função de delta de Dirac multidimensional, dada como (CHENG *et al.*, 2017):

$$h(\tau_1, \dots, \tau_n) = a_0 \delta(\tau_1) \dots \delta(\tau_n)$$
(3.40)

Temos que ao substituirmos este núcleo na série de Volterra, que:

 $=y_0+\sum_{n=1}^{\infty}a_n\,u^n(t)$ , para  $h_n(\tau_1,...,\tau_n)\neq 0$  se  $\tau_i=0$ 

$$y(t) = y_0 + \sum_{n=1}^{\infty} y_n(t)$$
 (3.41)

$$y(t) = y_0 + \sum_{n=1}^{\infty} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{i=1}^n u(t - \tau_i) d\tau_1 \cdots d\tau_n$$

$$= y_0 + \sum_{n=1}^{\infty} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} a_0 \delta(\tau_1) \dots \delta(\tau_n) \prod_{i=1}^n u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(3.42)

Assim a série de Volterra resultante identifica-se com uma série de potências similar a série de Taylor. Dado que o núcleo desta série será não nulo apenas caso em que os atrasos  $b_i$  forem nulos, esta série somente poderá representar sistemas não lineares estacionários sem memória (CHENG *et al.*, 2017). Este foi o ponto chave que levou a utilização do modelamento de circuitos de RF em séries de Volterra, em substituição as formulações com série de Taylor, onde os efeitos de memória podem ser considerados. Entretanto em RF, ainda é utilizado o sistema composto: linear com memória, seguido de um não linear sem memória.

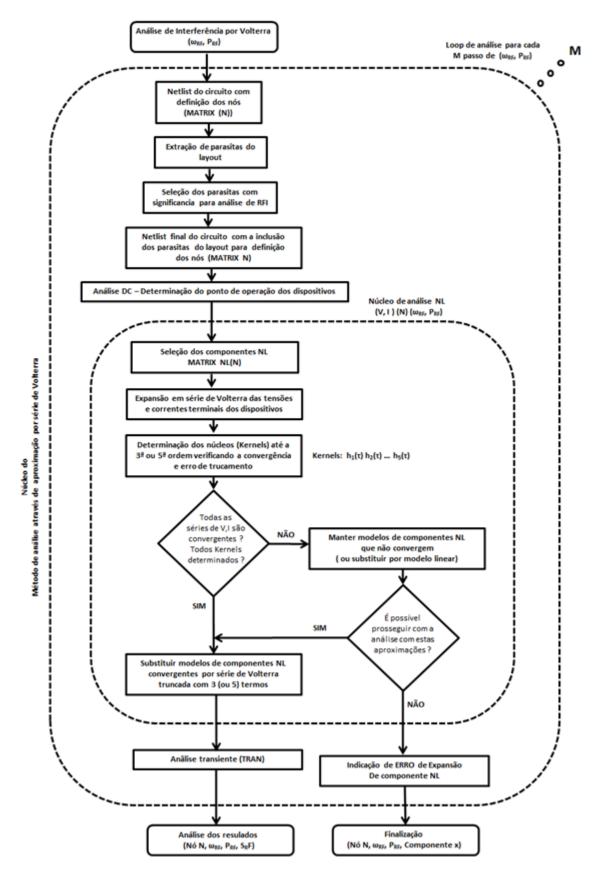


Figura 3.10 – Fluxograma do método de análise por série de Volterra. Fonte: Maltione (2020).

### 3.4.2.2 A questão da convergência das séries de Volterra

Uma vez que um sistema de Volterra, dado por uma série infinita pode ser usado para representar um sistema não linear, para a existência deste sistema torna-se necessário que a série que representa o mesmo seja convergente. Segundo Cheng *et al.* (2017, p. 351-352), dois problemas devem ser considerados: a convergência e a precisão da aproximação.

O primeiro caso é da convergência em si da série de Volterra. Dependendo do critério de convergência, uma maior ou menor classe de sistemas pode ser aproximada por séries de Volterra (SCHOUKENS *et al.*, 2005, p. 494). Se considerarmos a convergência quadrática média da saída, não linearidades tais como descontinuidades e saturação, poderão ser modeladas, abrangendo-se então um maior número de sistemas. Por outro lado, se a convergência uniforme for considerada, a não linearidade de saturação pode ser modelada, mas não as descontinuidades. Devido a estes problemas de convergência, para o caso de modelamento de sistemas reais em geral é considerada a convergência em torno de um ponto de operação, considerando-se variações das variáveis de entrada que mantenham a convergência da série (considerando as discussões em Schoukens *et al.* (2005, p 494-495)).

O segundo problema, segundo Cheng *et al.* (2017), está relacionado à precisão de aproximação, sendo que a ordem de truncagem da série Volterra é escolhida de acordo com o requisito de precisão da aproximação. Não existe um método geral para se determinar o intervalo de convergência, e dada a restritibilidade dos critérios de convergência, o que se pode determinar aproximadamente é a região de convergência (CHENG *et al.*, 2017). Um caso clássico citado por Schetzen (1981, p. 1560), é o de que muitos tipos de sistemas não lineares comumente encontrados, tais como os que incluem elementos que podem operar na região de saturação, geralmente não podem ser caracterizados por séries de Volterra que convergem para todas as entradas. Assim a questão da convergência é quase sempre uma questão complicada, restringindo muito a aplicabilidade do método de Volterra.

## 3.4.2.3 A questão da identificação de Núcleos das séries de Volterra

Outra questão importante consiste no problema da identificação dos núcleos, uma vez os núcleos basicamente definem o sistema não linear nesta forma de representação. Como regra geral quanto maior a ordem do truncamento da série, maior o número de núcleos a serem identificados, sendo que quanto maior a ordem maior a complexidade dos mesmos. Assim se torna impraticável a manipulação analítica de núcleos superiores à terceira ordem.

Dado que em um sistema não linear, a resposta impulsiva caracteriza simultaneamente cada um dos núcleos  $h_n(t)$ , a medida dos núcleos de Volterra somente é possível se a contribuição de cada operador puder ser separada da reposta total do sistema (SCHETZEN, 1981, p.1560). Como consequência deste comportamento do sistema não linear, temos que se a ordem do sistema não for finita, a contribuição individual de cada núcleo não poderá ser isolada do resto do sistema. Assim não existe um método exato para a medição dos núcleos do sistema Volterra, e várias técnicas de aproximação devem ser usadas (SCHETZEN, 1980, apud SCHETZEN, 1981, p. 1561).

### 3.4.2.4 Métodos de análise por série de Volterra modificada

Dada a complexidade da análise através dos métodos de Volterra, principalmente no caso de variações de entrada de grande amplitude, assim como com problemas para a identificação dos núcleos, a aplicabilidade do mesmo fica limitada a sistemas fracamente não lineares, com pequena excursão de entrada. Vários estudos da literatura, neste sentido, propõem modificações na expansão com o uso de funções ortogonais (que facilitam a convergência e diminuem a quantidade de núcleos a serem estimados considerando-se a série discreta truncada). Como exemplos, um desses métodos usa expansões através de funções de Laguerre (i.e, Dumont e Fu (1993), Zheng e Zafiriou (2004), Campello *et al.*, (2001)), enquanto outro usa Chebychev (i.e, Sarkas *et al.* (2007)). Neste caso o erro de convergência para uma série truncada consegue convergir para grandes excursões do sinal de entrada considerando-se que o erro de convergência ainda continua dentro de um intervalo.

Outro exemplo de série modificada é o proposto por Mirri *et al.* (1996), mais apropriada para sistemas dinâmicos com forte não linearidade. Nesta formulação os funcionais são expressos em termos das variações dinâmicas do sinal de entrada, apresentando melhor resposta de convergência, principalmente sobre regime de forte não linearidade. Entretanto tais análises extrapolam o escopo deste trabalho.

Uma compilação dos principais desenvolvimentos, desde a introdução das séries de Volterra na representação de sistemas não lineares, com relação às técnicas de identificação dos núcleos nos domínios do tempo e da frequência podem ser encontradas em Schetzen (1974) e Cheng *et al.* (2017) respectivamente, sendo este um recorrente tema de pesquisa dada a complexidade e inexistência de uma metodologia fechada para o mesmo, com validade abrangente a todas as classes de sistemas não lineares. Uma discussão mais aprofundada sobre a robustez das melhores aproximações pode ser encontrada em (SCHOUKENS *et al.*, 2009).

## 3.4.3 Métodos de análise da série Wiener (Domínio da frequência)

A análise de sistemas não lineares através das séries de Volterra apresenta dois problemas básicos, identificação dos núcleos (*kernels*) através de sua caracterização (medida) e a convergência da série para que o sistema possa ser representado pelas mesmas (SCHETZEN, 1981). Dentre os métodos usados para obter-se a convergência das séries, um dos mais notáveis é o método da expansão ortogonal. Este método é devido a Norbert Wiener, que em seus trabalhos no MIT na década de 50, estudando sistemas de comunicação (WIENER, 1942), usou uma expansão ortogonal da série de Volterra, criando uma expansão em termos de funcionais ortogonais (WIENER, 1958), cuja expansão é conhecida por séries de Wiener e a teoria resultante deste desenvolvimento é conhecida como teoria de Wiener de sistemas não lineares em homenagem a sua contribuição (SCHETZEN, 1981, p. 1561). Wiener usou estas séries para estudar sistemas de comunicações, com entrada com ruído branco Gaussiano (com média nula), representado o sistema por uma série de G funcionais ortogonais, representada em notação moderna como (CHENG. *et al.*, 2017, p. 345):

$$y(t) = G_0 + \sum_{n=1}^{\infty} G_n[x(t)]$$
 (3.43)

$$G_n[x(t)] = G_{0,n} + G_{1,n}[x(t)] + \dots + G_{n,n}[x(t)]$$
(3.44)

Sendo x(t), a entrada do sistema,  $G_0$ , o funcional G de ordem zero e  $G_n[x(t)]$  o funcional G de ordem n, constituído por uma expansão ortogonal da série de Volterra não homogênea, expressa como:

$$G_{r,n}[x(t)] = \int_0^\infty \cdots \int_0^\infty G_{r,n}(\tau_1, \dots, \tau_n) \, x(t - \tau_1) \cdots x(t - \tau_r) d\tau_1 \cdots d\tau_r \tag{3.45}$$

Onde  $G_{r, n}(\tau_1, ..., \tau_n)$  são os núcleos de Wiener da função.

Nesta representação cada ordem do funcional  $G_n[x(t)]$  é mutualmente ortogonal a outra, de modo que (para entrada ruído branco gaussiano), pode ser expresso pela função erro do produto ortogonal como:

$$E\{G_n[x(t)], G_m[x(t)]\} = 0$$
, para  $n \neq m$  (3.46)

Devido ao fato da convergência da série ortogonal ser dada pela convergência da média, a classe de sistemas que pode ser representado pela série de Wiener é maior que pela série de Volterra (SCHETZEN, 1981, p. 1564). Em seu desenvolvimento Wiener usou a função temporal do ruído branco, que tem distribuição gaussiana, sendo que seu espectro de

densidade de potência é plano para uma banda infinita de frequência, uma idealização que simplifica o tratamento da sua expansão para sistemas não lineares.

Este tipo de representação foi usado por Wiener para modelar uma classe de sistemas não lineares, supondo que os mesmos podem ser decompostos em um sistema h(t), linear com memória seguido por sistema F(t), não linear sem memória. Isto simplifica a descrição do sistema (em relação à Volterra, Figura 3.11a), uma vez que o sistema não linear pode ser representado por uma expansão polinomial não linear, enquanto o sistema linear com memória pode ser calculado mais facilmente pela convolução de h(t). Harmmerstein, por sua vez estudou o caso particular destes sistemas, onde o sistema não linear sem memória é seguido por um sistema linear dinâmico. Estas duas representações (Figuras 3.11b e 3.11c) configuram um caso geral de sistema conhecido com então como representação de Wiener-Hammerstein (Figura 3.11d), que permite uma representação de vários sistemas presentes em sistemas de comunicações, uma vez que os efeitos de memória e de não linearidades são modelados separadamente. Entretanto as principais aplicações para a teoria de Wiener envolvem sistemas hipotéticos de comunicações (segundo Schetzen (1981), às vezes o sistema a ser modelado não é físico), envolvendo sistemas de modulação (com resposta à entrada impulsiva da função ruído branco), não sendo, portanto uma análise dirigida às entradas com interferência em amplo espectro de frequência como no caso de RFI. O fluxograma para o método de Wiener está ilustrado na Figura 3.12.

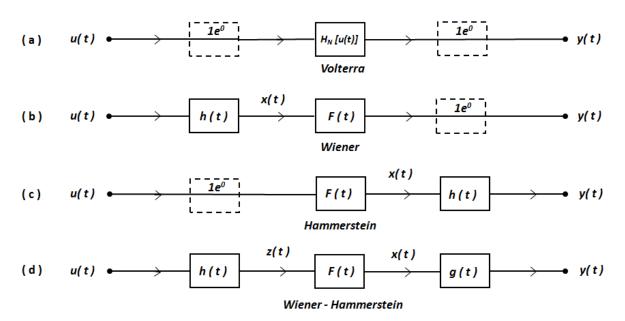


Figura 3.11 – Interpretação da descrição de sistemas NL.
(a) Volterra, (b) Wiener, (c) Hammerstein, (d) Wiener-Hammerstein.
Fonte: Elaborado e adaptado pelo autor com base em Cheng *et al.* (2017, p. 341, 346-348).

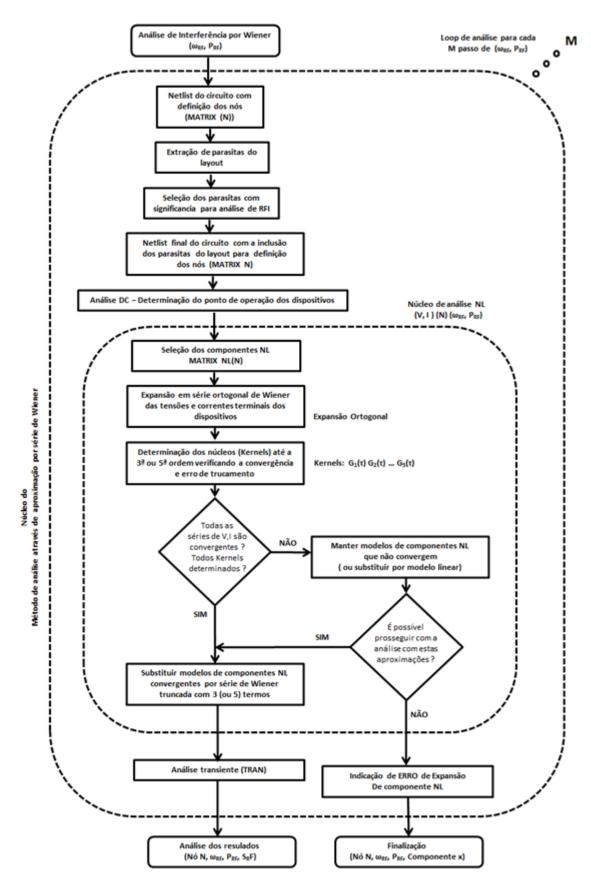


Figura 3.12 – Fluxograma do método de análise por série de Wiener. Fonte: Maltione (2020).

# 3.5 Proposição de um novo método: Interferência Complexa $(t, NL, \overline{x})$ (domínio do tempo, não linear, valor médio)

A análise de sistemas não lineares através dos métodos de Volterra e Wiener permite a descrição matemática de certas classes de sistemas, com a possibilidade de criação de um modelo comportamental para o sistema que pode ser usado em simulações no domínio do tempo, da frequência ou discreto, de modo a obter-se previsão de comportamentos em função de estímulos de entrada do sistema. Entretanto estes métodos apesar de poderosos apresentam grande complexidade de análise, uma vez que a descrição por Volterra na maioria das vezes (principalmente para sistemas fortemente não lineares) apresenta problemas de convergência e de identificação do núcleo, sendo aplicável, portanto apenas em alguns sistemas fracamente não lineares, sendo em geral usados para o cálculo de distorção em sistemas não lineares, para excursões de pequeno sinal.

Sistemas fortemente não lineares acabam por exigir séries modificadas (em geral truncadas em terceira ordem) de forma a obter-se convergência. A aplicação de métodos simplificados usando expansões com funções de Laguerre ou Chebychev, em geral aplicam-se a sistemas sem memória como é o caso da simulação comportamental de amplificadores de RF. A metodologia de Wiener por outro lado aplica-se a certa classe de problemas de sistemas de comunicação, onde a resposta à entrada de ruído branco simplifica a descrição do sistema baseado na expansão em funções ortogonais, aplicando-se mais a análise de sistemas de modulação e filtros no domínio da frequência. De qualquer forma, independentemente do caso, esta metodologia é quase sempre complicada, exigindo-se grande esforço no cálculo e identificação dos núcleos, assim como na resposta do sistema.

### 3.5.1 Fundamentação

No caso da análise do problema da interferência de RF aplicada a circuitos integrados, existe uma infinidade de elementos não lineares agregados a um nó até mesmo em um circuito simples. Assim para o modelamento de circuitos complexos estes métodos tornam-se inviáveis, pois na maioria das vezes precisamos prever o comportamento de saídas do sistema em resposta à injeção de um sinal complexo de RF, que se acopla aos nós deste sistema e são realimentados por blocos não lineares para nós internos do mesmo, assim como mostrado na Figura 3.13 onde são mostrados esquematicamente os possíveis caminhos de propagação da interferência entre os Nós de um circuito (Propagação Linear e Não Linear).

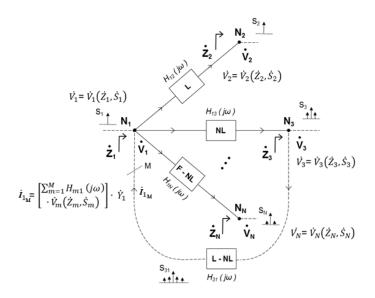


Figura 3.13 – Caminhos de propagação da interferência entre os nós do circuito. Fonte: Maltione (2020).

Neste diagrama encontramos quatro possíveis interações:

- A) Propagação do sinal de um nó para outro através de um bloco com função de transferência linear (L).
- B) Propagação do sinal de um nó para outro através de um bloco com função de transferência fortemente não linear (NL).
- C) Propagação do sinal de um nó para outro através de um bloco com função de transferência fracamente não linear (F-NL).
- D) Realimentação do sinal de um nó para outro através de um bloco com função de transferência linear, não linear ou composto com funções *A*, *B* ou *C* (L-NL).

Com relação à representação do sinal interferente,  $V_{RF}(t)$ , uma vez que os efeitos do RFI no circuito estão associados à potência do sinal, a descrição mais conveniente (e mais genérica) deste sinal é feita através da sua Densidade de Potência Espectral (PSD ou  $S_{RF}$ ), conforme mostrado na Tabela 3.3. Outra formulação conveniente é a expressão dos sinais através de funcionais (VOLTERRA, 1930) (ao invés de funções) de modo a agregar as dependências não lineares das variáveis, sendo assim estas formulações adotadas no escopo deste trabalho.

Tabela 3.3 – Energia e Potência Espectral de um sinal  $V_{RF}(t)$ .

Densidade de Energia Espectral (ESD ou $\Psi_{RF}$ )	Densidade de Potência Espectral (PSD ou $S_{RF}$ )
$E_{RF} = \frac{1}{T} \int_{-\infty}^{\infty} v_{RF}^2(t) dt$	$P_{RF} = \lim_{T \to \infty} \frac{1}{T} \int_{-\infty}^{\infty} v_{RF}^2(t) dt = \lim_{T \to \infty} E_{RF}$
$E_{RF} = \frac{1}{2\pi} \int_{-\infty}^{\infty} \Psi_{RF}(\omega) d\omega = \int_{-\infty}^{\infty} \Psi_{RF}(f) df$	$P_{RF} = \frac{1}{2\pi} \int_{-\infty}^{\infty} S_{RF}(\omega) d\omega = \int_{-\infty}^{\infty} S_{RF}(f) df$
$\Psi_{RF}(\omega) = v_{RF}(\omega)v_{RF}^*(\omega)$	$S_{RF}(\omega) = V_{RF}(\omega)V_{RF}^*(\omega)$

Fonte: Maltione (2020).

### 3.5.2 Propagação de um sinal com funcionais

Para a fundamentação e descrição do método, vamos preliminarmente analisar o que ocorre com a propagação de um sinal conforme a sua linearidade e não linearidade.

### 3.5.2.1 Propagação de um sinal linear com funcionais

Quando um sinal complexo  $\dot{V}_1$  (dependente da impedância complexa  $\dot{Z}_1$  e da densidade espectral do sinal  $\dot{S}_1$  no nó) se propaga de um nó  $N_1$  para  $N_2$  através de um sistema linear modificado por um operador funcional linear tal que:

$$\dot{V}_1 = \dot{V}_1(t, \dot{Z}_1, \dot{S}_1) \rightarrow H_{12}[\dot{V}_1(t, \dot{Z}_1, \dot{S}_1)] \rightarrow \dot{V}_2 = \dot{V}_2(t, \dot{Z}_2, \dot{S}_2)$$
 (3.47)

O sinal resultante no nó destino terá somente componentes frequênciais iguais ao sinal de origem, adaptadas em amplitude e fase pelo funcional  $H_{12}$ .

$$\dot{V}_2(t, \dot{Z}_2, \dot{S}_2) = h_{02} + H_{12} \left[ \dot{V}_1(t, \dot{Z}_1, \dot{S}_1) \right]$$
(3.48)

$$H_{12_{-1}}[\dot{V}_1(t,\dot{Z}_1,\dot{S}_1)] = \int_{-\infty}^{\infty} h_{12_{-1}}(t,\dot{Z}_1,\dot{S}_1,\tau_1) u(t-\tau_1) d\tau_1$$
(3.49)

Onde  $H_{12\_1}$  [ ] é definido como operador de Volterra de ordem 1. Neste caso esta função representa a resposta impulsiva de um sistema linear, definida por  $h_{12\_1}(t, \dot{Z}_1, \dot{S}_1, \tau_1)$ .

Neste caso particular de ligação entre os nós a determinação do núcleo  $h_{12\_1}(t, \dot{Z}_1, \dot{S}_1, \tau_1)$  é realizada facilmente através da caracterização da resposta do sistema  $H_{12\_1}[$  ] definido por um sistema linear.

### 3.5.2.2 Propagação de um sinal não linear com funcionais

Quando um sinal complexo  $\dot{V}_1$  (dependente da impedância complexa  $\dot{Z}_1$  e da densidade espectral do sinal  $\dot{S}_1$  no nó) se propaga de um nó  $N_I$  para  $N_3$  através de um sistema não linear modificado por um operador funcional não linear tal que:

$$\dot{V}_{1} = \dot{V}_{1}(t, \dot{Z}_{1}, \dot{S}_{1}) \rightarrow H_{13}[\dot{V}_{1}(t, \dot{Z}_{1}, \dot{S}_{1})] \rightarrow \dot{V}_{3} = \dot{V}_{3}(t, \dot{Z}_{3}, \dot{S}_{3})$$
(3.50)

O sinal resultante no nó destino terá além das componentes frequênciais iguais ao sinal de origem, outras componentes frequênciais, dependentes das não linearidades presentes no funcional  $H_{I3}$ . Uma vez que esta representação tem infinitos termos a função densidade espectral de  $\dot{S}_3$  será ampla também. Assim temos:

$$\dot{V}_{3}(\dot{Z}_{3},\dot{S}_{3}) = h_{03} + \sum_{n=1}^{5} H_{13\_n}[\dot{V}_{1}(t,\dot{Z}_{1},\dot{S}_{1})]$$
(3.51)

$$H_{13\_n}[\dot{V}_1(t,\dot{Z}_1,\dot{S}_1)] = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_{13\_n}(t,\dot{Z}_1,\dot{S}_1,\tau_1,\dots,\tau_n) \prod_{i=1}^{n} u(t-\tau_i) d\tau_1 \cdots d\tau_n$$
 (3.52)

Onde  $H_{13_n}[\ ]$  é definido como operador de Volterra de ordem n.

Para este caso, temos que determinar o comportamento do sistema através do cálculo dos núcleos  $h_{13\_n}(t, \dot{Z}_1, \dot{S}_1, \tau_1, ..., \tau_n)$ . Como se trata de uma série infinita, ela tem que ser truncada em certo N para poder ser manipulada, ou será apenas uma representação matemática do sistema.

### 3.5.2.3 Propagação de um sinal fracamente não linear com funcionais

Quando um sinal complexo  $V_1$  (dependente da impedância complexa  $Z_1$  e da densidade espectral do sinal  $S_1$  no nó) se propaga de um nó  $N_I$  para  $N_N$  através de um sistema fracamente não linear modificado por um operador funcional não linear trucado tal que:

$$\dot{V}_1 = \dot{V}_1(\dot{Z}_1, \dot{S}_1) \to H_{1N}[\dot{V}_1(\dot{Z}_1, \dot{S}_1)] \to \dot{V}_3 = \dot{V}_3(\dot{Z}_3, \dot{S}_3)$$
 (3.53)

O sinal resultante no nó destino terá além das componentes frequênciais iguais ao sinal de origem, outras componentes frequênciais, dependentes das não linearidades presentes no funcional  $H_{IN}$ . Entretanto neste a função densidade espectral de  $\dot{S}_3$  será composto por uma banda limitada de frequências resultantes dos produtos convolucionais gerados pelo operador funcional  $H_{IN}$ . Neste caso teremos uma banda limitada de frequências.

Supondo que  $H_{IN}$  seja truncado em N=3 teremos:

$$\dot{V}_N(t,\dot{Z}_N,\dot{S}_N) = h_{1N_0} + \sum_{n=1}^3 H_{N1_n} [\dot{V}_1(t,\dot{Z}_1,\dot{S}_1)]$$
(3.54)

$$H_{1N_{n}}[\dot{V}_{1}(t,\dot{Z}_{1},\dot{S}_{1})] = \int_{-\infty}^{\infty} h_{1N_{n}}(t,\dot{Z}_{1},\dot{S}_{1},\tau_{1}) u(t-\tau_{1}) d\tau_{1}$$

$$+ \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_{!N_{-2}}(t, \dot{Z}_{1}, \dot{S}_{1}, \tau_{1}, \tau_{2}) u(t - \tau_{1}) u(t - \tau_{2}) d\tau_{1} d\tau_{2}$$
(3.55)

$$+ \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_{1N_{-}3}(t, \dot{Z}_{1}, \dot{S}_{1}, \tau_{1}, \tau_{2}, \tau_{3}) u(t - \tau_{1}) u(t - \tau_{2}) u(t - \tau_{3}) d\tau_{1} d\tau_{2} d\tau_{3}$$

Onde  $H_{IN\_n}$  [ ] é definido como operador de Volterra de ordem n (n = 1,2,3).

Para este caso, temos que determinar o comportamento do sistema através do cálculo dos núcleos  $h_{N1_{-1}}(t, \dot{Z}_1, \dot{S}_1, \tau_1)$ ,  $h_{N1_{-2}}(t, \dot{Z}_1, \dot{S}_1, \tau_1, \tau_2)$  e  $h_{N1_{-3}}(t, \dot{Z}_1, \dot{S}_1, \tau_1, \tau_2, \tau_3)$ , ou seja, os núcleos de ordem 1, 2 e 3. Supondo que estes núcleos sejam identificáveis (por qualquer um dos métodos citados anteriormente), a série resultante irá convergir para um erro aceitável (que ainda represente o comportamento físico do sistema), somente para pequenas excursões do sinal de entrada. Este modelamento cobre, portanto somente os casos onde a perturbação ocorre em torno de um ponto quiescente do sistema, limitando a análise para o caso de RFI.

### 3.5.2.4 Propagação geral do sinal em cascata com M caminhos

O caso geral ocorre quando um sinal complexo  $\dot{V}_1$  (dependente da impedância complexa  $\dot{Z}_1$  e da densidade espectral do sinal  $\dot{S}_1$  no nó) se propaga de um nó  $N_I$  para  $N_3$  através de um sistema não linear modificado por um operador funcional não linear e em sua sequência retorna para o nó de origem via outro sistema. Este sistema pode ser composto por funções lineares e não lineares tais como (para o caso genérico de realimentação):

$$\dot{V}_{1} = \dot{V}_{1}(t, \dot{Z}_{1}, \dot{S}_{1}) \rightarrow H_{31}[\dot{V}_{1}(t, \dot{Z}_{1}, \dot{S}_{1})] \rightarrow \dot{V}_{3} = \dot{V}_{3}(t, \dot{Z}_{3}, \dot{S}_{3})$$

$$\rightarrow H_{31}[\dot{V}_{3}(t, \dot{Z}_{3}, \dot{S}_{3})] \rightarrow \dot{V}_{1}(t + \delta, \dot{Z}_{1}, \dot{S}_{1})$$
(3.56)

No caso generalizado poderão incidir sobre o nó de origem M caminhos que irão alterar a função de origem em certo tempo  $\delta$ , função dos atrasos dos caminhos incidentes dado por  $\delta = \delta_M(\delta_1,...,\delta_M)$ . Por simplificação, independentemente da origem do caminho M, o funcional incidente sobre o nó inicial, traz com ele um conteúdo espectral muito mais amplo que o original. Assim o sinal resultante no nó destino terá além das componentes frequênciais iguais ao sinal de origem, outras componentes frequênciais, dependentes das não linearidades presentes no funcional  $H_{IM}$ , que serão reprocessadas pelo funcional  $H_{MI}$ , expandindo as componentes frequências para um espectro mais amplo ainda. Uma vez que esta representação tem infinitos termos, a função densidade final espectral de  $\dot{S}_1$  será mais ampla também. No caso real essa realimentação acaba sendo limitada por efeitos de saturação gerando uma banda maior que a original, mas com amplitude maior (ou seja, com maior densidade espectral). No caso mais geral este caminho poderá ser muito complicado passando por M sistemas de forma que retornam ao nó de origem, de forma a termos:

$$\dot{V}_{1}(t+\delta,\dot{Z}_{1},\dot{S}_{1}) = h_{1M_{0}} + \dot{V}_{1}(t,\dot{Z}_{1},\dot{S}_{1}) + \sum_{n=1}^{M} H_{M1_{n}}[\dot{V}_{M}(t,\dot{Z}_{M},\dot{S}_{M})]$$
(3.57)

Onde  $\delta$  representa o tempo necessário para o sistema entrar em regime, sendo que o atraso  $\delta$  é função também dos atrasos individuais dos M funcionais incidentes no nó de origem, ou seja,  $\delta = \delta_M(\delta_I, ..., \delta_M)$ , dados por:

$$\dot{V}_{M}(\dot{Z}_{M}, \dot{S}_{M}) = h_{M0} + \sum_{n=1}^{M} H_{M1\_n}[\dot{V}_{1}(t, \dot{Z}_{1}, \dot{S}_{1})]$$
(3.58)

$$H_{M1\_n}\big[\dot{V}_1\big(t,\dot{Z}_1,\dot{S}_1\big)\big]$$

$$= \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_{M1\_n}(t, \dot{Z}_1, \dot{S}_1, \tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(3.59)

Onde  $H_{Ml_n}$  [ ] é definido como operador M de Volterra de ordem n.

Este é o caso que ocorre em um circuito geral, após o acoplamento do sinal interferente. O tipo do sinal que retorna ao nó de origem dependerá da função de transferência dos núcleos, que se interpretados no domínio da frequência atuam como filtros adicionando assim bandas restritas do sinal atenuadas ou amplificadas dependendo do funcional  $H_{M}$ , através do caminho considerado.

### 3.5.3 Formulação do método

Assim no caso mais geral de interferência teremos sobre certo nó N um espectro muito mais amplo que o espectro de origem, que se deve à geração de componentes devido as não linearidades presentes nos caminhos M. Este é o caso de circuitos para processamento de sinais de RF, onde a maioria dos caminhos tem capacidade de processar o sinal de origem. Para o caso geral de circuitos integrados inteligentes de potência (Smart Power), a maioria dos dispositivos conectados aos nós tem uma banda limitada, não processando o sinal interferente, sendo que a maioria dos caminhos não lineares se deve a acoplamento ou retorno do sinal via componentes parasitas, devido ao caminho entre os nós, ou intrínseco ao componente responsável pelo funcional  $H_M$ .

Uma propriedade inerente a cada nó de um circuito é que podemos definir o mesmo, através de sua impedância (ou admitância) complexa, vista em relação ao referencial terra do circuito, uma vez que a cada nó pode ser atribuída uma tensão  $\dot{V}_N$ , sendo a corrente que passa pela mesma, definida como a soma aritmética das correntes de todos os caminhos que definem o nó (considerando-se como corrente a corrente complexa,  $\dot{I}_N$ , que circula pelo nó em direção a terra, dado pela lei das correntes). Por facilidade de representação, vamos adotar  $\dot{V}_1$  (em vez de  $\dot{V}_M$ ) como sendo a tensão de determinação de  $\dot{Z}_N$ , tal como:

$$\dot{Z}_{N}\left(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}\right) = \frac{\dot{V}_{1}(t,\dot{S}_{1})}{\sum_{n=1}^{M}\dot{I}_{i}(t,\dot{S}_{1})} \text{ ou } \dot{Y}_{N}\left(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}\right) = \frac{\sum_{n=1}^{M}\dot{I}_{i}(t,\dot{S}_{1})}{\dot{V}_{1}(t,\dot{S}_{1})}$$
(3.60)

A Figura 3.14 mostra as correntes e a impedância complexa,  $\dot{Z}_N$  (ou admitância complexa,  $\dot{Y}_N$ ), em um nó qualquer  $N_X$  sobre interferência. Os caminhos  $B_n$  representam os fluxos do sinal ( $I_{Sn}$ , n=1...N) que trafegam pelo nó (representado pela linha contínua), enquanto os caminhos  $C_n$  representam os fluxos de acoplamento ( $I_{RFm}$ , m=1...M) do sinal interferente (representado pela linha tracejada). Vamos por hipótese, assumir também que a Lei das correntes de Kirchoff (KCL) pode ser satisfeita (ou seja, o nó é considerado pontual, e os caminhos (n,m) considerados infinitesimais, não considerando assim a propagação eletromagnética devido à variação do campo  $\vec{B}_{N,M}$  ditado pela segunda equação de Maxwell).

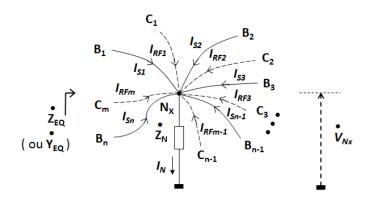


Figura 3.14 – Correntes e impedância complexa em um nó sob interferência. Fonte: Maltione (2020).

Esta impedância equivalente,  $\dot{Z}_{EQ}$  (ou admitância  $\dot{Y}_{EQ}$ ), é uma abstração matemática (podendo ou não existir fisicamente) representando a impedância vista por um observador em relação ao plano terra de referência  $(\dot{Z}_N)$ . Da mesma forma, a corrente  $I_N$  é fictícia representando a corrente equivalente que circula pelo nó em direção ao plano terra de referência, e que define a tensão  $\dot{V}_{Nx}$  de certo nó  $N_x$  (x=1..N) do circuito. Aplicando-se a leis dos nós (KCL) temos:

$$\dot{I}_{N}(t,\dot{Z}_{N},\dot{S}_{SX},\dot{S}_{RF}) = \dot{I}_{SX}(t,\dot{Z}_{N},\dot{S}_{SX}) + \dot{I}_{RF}(t,\dot{Z}_{N},\dot{S}_{RF})$$
(3.61)

Onde as correntes equivalentes referentes aos caminhos relativos ao sinal e a interferência são dados respectivamente pelos funcionais:

$$\dot{I}_{SX}(t, \dot{Z}_{N}, \dot{S}_{SX}) = \sum_{i=1}^{N} \dot{I}_{Si}(t, \dot{Z}_{N}, \dot{S}_{i}) 
= \frac{\dot{V}_{SX}(t, \dot{Z}_{N}, \dot{S}_{SX})}{\dot{Z}_{N}(t, \dot{V}_{1}, \dot{I}_{1}, \dot{S}_{1})} 
= \dot{Y}_{N}(t, \dot{V}_{1}, \dot{I}_{1}, \dot{S}_{1}) \dot{V}_{SX}(t, \dot{Z}_{N}, \dot{S}_{SX})$$
(3.62)

$$\dot{I}_{RF}(t,\dot{Z}_{N},\dot{S}_{RF}) = \sum_{i=1}^{M} \dot{I}_{RFi}(t,\dot{Z}_{N},\dot{S}_{RF}) 
= \frac{\dot{V}_{RF}(t,\dot{Z}_{N},\dot{S}_{RF})}{\dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})} 
= \dot{Y}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})\dot{V}_{RF}(t,\dot{Z}_{N},\dot{S}_{RF})$$
(3.63)

A impedância  $\dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)$ , ou a admitância  $\dot{Y}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)$  podem ser determinadas pelo estímulo de uma fonte de sinal  $\dot{V}_M(t,\dot{Z}_M,\dot{S}_M)$ , sem que a interferência esteja aplicada no Nó N sob estudo, conforme ilustrado nas Figuras 3.15 e 3.16.

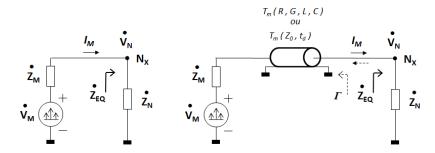


Figura 3.15 – Determinação geral da impedância complexa em um nó do circuito. Fonte: Maltione (2020).

A Figura 3.16 mostra a determinação direta das correntes complexas em um nó do circuito.

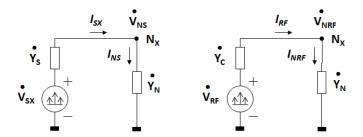


Figura 3.16 – Determinação direta das correntes complexas em um nó do circuito. Fonte: Maltione (2020).

No caso mais geral temos que considerar a reflexão do sinal no nó, o que pode ser feito através da adição de uma linha de transmissão  $T_m$  para aplicação da tensão de teste  $V_M$  no nó. Entretanto isto só é necessário para a caracterização física da mesma (medida em laboratório), considerando-se ainda que o caminho até o nó seja maior que lambda/20. No caso de  $\dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)$ , ser obtida por simulação, a impedância  $\dot{Z}_{EQ}$  vista pelo circuito de medida será o próprio  $\dot{Z}_N$ . Deste modo  $\dot{Z}_N$ , pode ser determinado através da medida da corrente  $\dot{I}_M$ , considerando-se o divisor de impedâncias  $\dot{Z}_M, \dot{Z}_N$  (sendo que estas impedâncias são definidas como números complexos). Um método que pode ser usado para determinar  $\dot{Z}_N$  consiste em aplicar uma tensão  $\dot{V}_M$  através de uma impedância de acoplamento de medida  $\dot{Z}_M$ , com o circuito operando em funcionamento normal (sem interferência), de modo a que o sinal aplicado não disturbe o ponto de operação de  $\dot{V}_N$ . Para a escolha de  $\dot{V}_M$ , podemos usar o método senoidal (uma única componente senoidal) ou um método harmônico (conteúdo harmônico que contemple a frequência do sinal interferente), sendo que neste caso contenha de 3 a 5 componentes tais como:

$$\dot{V}_M(t,\dot{S}_{RF}) \cong \dot{V}_M(t,\omega_{RF},2\omega_{RF},3\omega_{RF},4\omega_{RF},5\omega_{RF},) \tag{3.64}$$

Outro método consiste em fazer-se uma varredura em frequência em  $\dot{V}_M$  considerando-se nove pontos por decada ou sete pontos por oitava dentro da banda de interesse. A escolha do método deve levar em conta a ferramenta de simulação usada na análise. Neste caso  $\dot{V}_M$  deve poder ser representado por sua série exponencial de Fourier dada por:

$$\dot{V}_M(t) = \sum_{n=-\infty}^{\infty} G_n e^{jn\omega_{RF}t}, com \ \omega_{RF} = 2\pi f_{RF} = \frac{2\pi}{T_{RF}}$$
(3.65)

Onde os coeficientes  $G_n$  são dados por:

$$G_n(\omega_{RF}) = \frac{1}{T} \int_{t_0}^{t_0 + T_{RF}} V_M(t) e^{-j\omega_{RF}t} dt$$
 (3.66)

E o conteúdo harmônico de  $\dot{V}_M$ , como:

$$\dot{V}_M(t, S_5) \cong \dot{V}_M(t, \omega_{RF}, 2\omega_{RF}, 3\omega_{RF}, 4\omega_{RF}, 5\omega_{RF},) \tag{3.67}$$

Para o caso da determinação harmônica de  $\dot{Z}_N$  teremos uma função de transferência da mesma em função da frequência, que será de utilidade na análise de interferência harmônica com mais de um tom de teste.

Uma vez determinada a impedância característica funcional do Nó podemos determinar, de uma forma geral, a tensão nó  $N_X$  sob interferência de  $\dot{V}_{RF}$  conforme esquematizado na Figura 3.17, onde  $\dot{V}_X$  representa o sinal que é normalmente processado pelo nó  $N_X$  (acoplado pela impedância  $\dot{Z}_X$  da fonte de sinal) e  $\dot{V}_{RF}$  o sinal interferente acoplado via  $\dot{Z}_C$  ao dado nó qualquer  $N_X$ .

A Figura 3.17 mostra o esquema de um nó do circuito sobre interferência via uma linha de transmissão,  $T_m$  (caso real, i.e. medida, em laboratório), enquanto a Figura 3.18 ilustra uma interferência direta (sem  $T_m$ , i.e. considerando a descrição do circuito em um simulador).

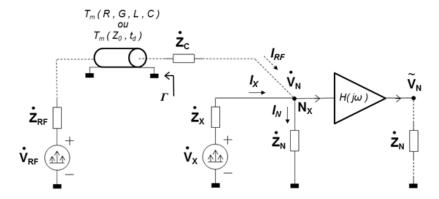


Figura 3.17 – Esquema geral de um nó do circuito sobre interferência via TL. Fonte: Maltione (2020).

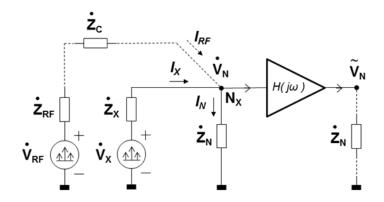


Figura 3.18 – Esquema direto de um nó do circuito sobre interferência. Fonte: Maltione (2020).

Nesta figura podemos verificar que as correntes da interferência e do sinal se somam no nó  $N_X$ , de forma a gerar uma corrente resultante no nó,  $\dot{I}_N$ , que ao ser multiplicado pela impedância característica do nó,  $\dot{Z}_N$ , gera a tensão do nó  $\dot{V}_N$ . Esta tensão é então observada por outras partes do circuito pelas funções de transferências no caminho do sinal. Neste método, estaremos interessados na tensão  $\tilde{V}_N$ , que é a tensão vista no nó  $N_X$  via uma função imposta para a observação do nó (função de média atribuída).

Considerando-se então os divisores resistivos formados pela fonte de sinal e pelo sinal interferente (considerando-se a validade da aplicação da superposição generalizada), podemos determinar as correntes em relação ao nó  $N_X$ ,  $\dot{I}_{SX}(t,\dot{Z}_X,\dot{S}_X)$  e  $\dot{I}_{RF}(t,\dot{Z}_X,\dot{S}_{RF})$  como:

$$\dot{I}_{SX}(t,\dot{Z}_X,\dot{S}_X) = \frac{\dot{V}_{SX}(t,\dot{Z}_X,\dot{S}_X)}{\dot{Z}_{SX}(t,\dot{V}_1,\dot{I}_1,\dot{S}_1) + \dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)}$$
(3.68)

$$\dot{I}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF}) = \frac{\dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF})}{\dot{Z}_{RF}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{C}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}$$
(3.69)

Assim a tensão no nó  $N_X$  pode ser determinada substituindo-se as expressões (3.68) e (3.69) em (3.61), que multiplicadas pela impedância característica do nó geram a expressão de  $\dot{V}_N$ , como:

$$\dot{V}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \left[ \frac{\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X})}{\dot{Z}_{SX}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})} + \frac{\dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF})}{\dot{Z}_{RF}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{C}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})} \right] \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})$$
(3.70)

Como o acoplamento da interferência no circuito se dá através da impedância  $\dot{Z}_C$ , podemos quando não estamos analisando a reflexão, considerar a impedância da fonte de interferência  $(\dot{Z}_{RF})$  incluída em  $\dot{Z}_C$  (como é o caso da simulação), o que simplifica a expressão como:

$$\dot{V}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) \cong \left[\frac{\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X})}{\dot{Z}_{SX}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})} + \frac{\dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF})}{\dot{Z}_{C}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}\right] \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})$$
(3.71)

Reordenando então a expressão de  $\dot{V}_N$  de forma a termos a mesma expressa em termos de coeficientes funcionais dependentes apenas de impedâncias (considerando que a permutação dos termos exponenciais é valida, dada a superposição generalizada), temos  $\dot{V}_N$  expresso por:

$$\dot{V}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \left[\frac{\dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}{\dot{Z}_{SX}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}\right]\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) 
+ \left[\frac{\dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}{\dot{Z}_{C}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1}) + \dot{Z}_{N}(t,\dot{V}_{1},\dot{I}_{1},\dot{S}_{1})}\right]\dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF})$$
(3.72)

Onde as tensões das fontes de sinal e interferência são dadas por:

$$\dot{V}_{SX}(t,\dot{Z}_X,\dot{S}_X) = \sum_{n=-\infty}^{\infty} A_{SX} e^{jn\omega t} \quad , \text{com} \qquad \dot{S}_X = \dot{V}_{SX}(\omega) \dot{V}_{SX}^*(\omega)$$
 (3.73)

$$\dot{V}_{RF}(t,\dot{Z}_X,\dot{S}_{RF}) = \sum_{N=-\infty}^{\infty} A_{RF}e^{jn\omega t} \quad , \text{com} \qquad \dot{S}_X = \dot{V}_{RF}(\omega)\dot{V}_{RF}^*(\omega)$$
 (3.74)

$$\omega = 2\pi f = \frac{2\pi}{T} \tag{3.75}$$

Podemos então definir dois funcionais que dependem apenas da razão de impedâncias, portanto adimensionais como:

$$\dot{K}_{ZX}(t,\dot{Z}_X,\dot{S}_X) = \frac{\dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)}{\dot{Z}_{SX}(t,\dot{V}_1,\dot{I}_1,\dot{S}_1) + \dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)}$$
(3.76)

$$\dot{K}_{ZRF}(t,\dot{Z}_X,\dot{S}_X) = \frac{\dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)}{\dot{Z}_C(t,\dot{V}_1,\dot{I}_1,\dot{S}_1) + \dot{Z}_N(t,\dot{V}_1,\dot{I}_1,\dot{S}_1)}$$
(3.77)

Então a tensão no nó  $N_X$  pode ser expressa como uma função composta pelo sinal e pela interferência escalonados por funcionais complexos de acoplamento:

$$\dot{V}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \dot{K}_{ZX}(t,\dot{Z}_{X},\dot{S}_{X})\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) + \dot{K}_{ZRF}(t,\dot{Z}_{X},\dot{S}_{X})\dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF})$$
(3.78)

Conforme podemos observar na função  $\dot{V}_N$ , temos que a tensão no nó  $N_X$  é composta pelo próprio sinal sem interferência mais um deslocamento do ponto de operação (offset) gerado

pelo sinal interferente. Como a tensão do nó é afetada então por uma função complexa que acopla a interferência, este método de estimação de  $\dot{V}_N$  é nomeado neste contexto como "Método de Interferência Complexa".

Para o caso em que as impedâncias de acoplamento são dadas apenas por elementos R, L e C ideais, os funcionais  $\dot{K}_{ZX}(t,\dot{Z}_X,\dot{S}_X)$  e  $\dot{K}_{ZRF}(t,\dot{Z}_X,\dot{S}_X)$  são números complexos puros representando fatores de escalonamento para a interferência de RF em uma dada frequência  $\omega_{RF}$ , dado por:

$$\dot{V}_{N}(t,\dot{Z}_{C},\dot{Z}_{N},\omega_{RF}) = \dot{K}_{X}.\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) + \dot{K}_{RF}.\dot{V}_{RF}(t,\dot{Z}_{C},\dot{S}_{RF})$$
(3.79)

Onde  $\dot{K}_X$  e  $\dot{K}_{RF}$  são números complexos que escalonam as tensões  $\dot{V}_{SX}$  e  $\dot{V}_{RF}$ , respectivamente.

O segundo termo da expressão representa um deslocamento do ponto de operação de  $\dot{V}_N$  dado pelo funcional de RF. Para o caso de um sinal interferente em CW, este segundo termo representará um descolamento (*offset* DC) no ponto de operação do nó que será interpretado pelos circuitos acoplados ao mesmo. Caso o sinal interferente contenha uma modulação ao invés de um coeficiente complexo, teremos uma função complexa, que fará a sobreposição de um sinal de baixa frequência. Assim a tensão resultante no nó  $N_X$  será dada por:

$$\dot{V}_{N}(t,\dot{Z}_{C},\dot{Z}_{N},\omega_{RF}) = \dot{K}_{X}.\dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) + \dot{K}_{RF\_MOD}.\dot{V}_{RF\_MOD}(t,\dot{Z}_{C},\dot{S}_{RF\_MOD})$$
(3.80)

Do ponto de vista de análise do comportamento do circuito sobre interferência, o cálculo de vários funcionais (dependendo do número de funções não lineares), pode se tornar muito grande, não se conseguindo na prática um resultado analítico para um circuito complexo com muitos nós. Por outro lado, do ponto de vista da predição do comportamento dos circuitos em função da interferência, obtidos por simulação no domínio do tempo, dada a alta frequência do sinal interferente e consequentemente o seu curto período, obriga o simulador a diminuir o passo de simulação de forma a processar também o sinal de RF, de modo que o volume de cálculos, assim como a base de dados se torna muito grande ou inviável para visualização e análise. Na maioria dos circuitos integrados de potência, os dispositivos ou os blocos (subcircuitos) formados pelos mesmos tem uma banda de passagem, bem menor que a frequência do sinal interferente de RF. Assim a resposta H(t) destes circuitos acaba por processar o valor médio do sinal interferente acoplado, levando o circuito a responder a outro ponto de operação, gerando assim uma resposta indesejada pelo sistema. Mesmo que ocorra o processamento do sinal interferente em alguns nós (propagação linear e não linear), a grande maioria dos nós, responderá apenas para τ<T<sub>0</sub>. Assim a predição temporal do comportamento do sistema poderá ser grandemente acelerada (em termos de simulação no domínio do tempo) se considerarmos os sinais médios em relação ao período do sinal interferente. O método do valor médio é bem conhecido e utilizado em circuitos chaveados, como forma de eliminação das fontes de alta frequência, tendo sido utilizado por alguns autores como Fiore e Crovetti (2006, p. 156), Redoute e Steyaert (2010) na análise de RFI. Convêm pontuar, entretanto que na descrição por funcionais o valor médio do sinal de RF é dado pela média estatística da sua densidade espectral de potência (PSD), abrangendo então sinais de RF mais complexos encontrados nos sistemas de comunicação modernos.

### 3.5.4 Estimação do valor médio por integração

Consideremos então a análise da tensão dos Nós vista agora pela observação dos seus valores médios das tensões vista pelo nó, ou seja,  $\dot{V}_N$  definida como:

$$\dot{\vec{V}}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \frac{1}{T} \int_{0}^{T} \dot{V}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) dt$$
(3.81)

Aplicando-se esta definição na equação (3.14) temos:

$$\dot{\tilde{V}}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \frac{1}{T} \int_{0}^{T} \dot{K}_{ZX}(t,\dot{Z}_{X},\dot{S}_{X}) \dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) dt 
+ \frac{1}{T} \int_{0}^{T} \dot{K}_{ZRF}(t,\dot{Z}_{X},\dot{S}_{X}) \dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{RF}) dt$$
(3.82)

Como os funcionais  $\dot{K}_{ZX}(t,\dot{Z}_X,\dot{S}_X)$  e  $\dot{K}_{ZRF}(t,\dot{Z}_X,\dot{S}_X)$  não dependem de  $\omega_{RF}$ , são vistos como constantes na integração de modo que temos que:

$$\dot{\tilde{V}}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \dot{K}_{ZX}(t,\dot{Z}_{X},\dot{S}_{X}) \frac{1}{T} \int_{0}^{T} \dot{V}_{SX}(t,\dot{Z}_{X},\dot{S}_{i}) dt 
+ \dot{K}_{ZRF}(t,\dot{Z}_{X},\dot{S}_{X}) \frac{1}{T} \int_{0}^{T} \dot{V}_{RF}(t,\dot{Z}_{X},\dot{S}_{i}) dt$$
(3.83)

A integral do primeiro termo é o valor médio do sinal  $\dot{V}_{SX}$ , em relação ao sinal de RF, ou seja, como é um sinal de frequência muito mais baixa que  $\omega_{RF}$ , é aproximadamente o próprio sinal  $\dot{V}_{SX}$ , enquanto o sinal de  $\dot{V}_{RF}$  aparece como a média do sinal de RF.

$$\dot{\bar{V}}_{SX}(t, \dot{Z}_X, \dot{S}_X) = \frac{1}{T} \int_{0}^{T} \dot{V}_{SX}(t, \dot{Z}_X, \dot{S}_X) dt \cong \dot{V}_{SX}(t, \dot{Z}_X, \dot{S}_i)$$
(3.84)

$$\dot{\bar{V}}_{RF}(t, \dot{Z}_X, \dot{S}_X) = \frac{1}{T} \int_{0}^{T} \dot{V}_{RF}(t, \dot{Z}_X, \dot{S}_X) dt$$
(3.85)

Assim temos que a tensão média no nó N, será dada por:

$$\dot{\vec{V}}_{N}(t,\dot{Z}_{X},\dot{S}_{X}) = \dot{K}_{ZX}(t,\dot{Z}_{X},\dot{S}_{X})\dot{\vec{V}}_{SX}(t,\dot{Z}_{X},\dot{S}_{X}) + \dot{K}_{ZRF}(t,\dot{Z}_{X},\dot{S}_{X})\dot{\vec{V}}_{RF}(t,\dot{Z}_{X},\dot{S}_{X})$$
(3.86)

Assim como no caso da expressão (3.79), para o caso em que as impedâncias de acoplamento são dadas apenas por elementos R, L e C, os funcionais  $\dot{K}_{ZX}(t,\dot{Z}_X,\dot{S}_X)$  e  $\dot{K}_{ZRF}(t,\dot{Z}_X,\dot{S}_X)$  são números complexos puros representando fatores de escalonamento para a interferência de RF em uma dada frequência  $\omega_{RF}$ , dado por:

$$\dot{V}_{N}(t, NL, \bar{V}) = \dot{K}_{ZX}.\dot{V}_{SX}(t, \dot{Z}_{X}, \dot{S}_{X}) + \dot{K}_{ZRF}.\dot{V}_{RF}(t, \dot{Z}_{X}, \dot{S}_{X})$$
(3.87)

Onde  $\dot{V}_N$  é a tensão média no domínio do tempo, obtida pela soma dos valores médios dos funcionais  $\dot{V}_{SX}$  e  $\dot{V}_{RF}$ , escalonados pelas constantes complexas de acoplamento  $\dot{K}_{ZX}$  e  $\dot{K}_{ZRF}$ , respectivamente aos seus funcionais não lineares (NL).

### 3.5.5 Estimação do valor médio através de um filtro

Um método mais geral consiste na interpretação do valor médio do sinal sobre interferência visualizado através de um filtro passa-baixa de banda B. Neste caso o sinal médio será visto como um deslocamento, devido ao valor DC do sinal da expansão de Fourier deste sinal de RF. No caso de um sinal modulado, o sinal modulante com  $f_m < B$  aparecerá como uma função periódica de baixa frequência sobreposta a este deslocamento. Podem ser usados também, outros tipos de média, tais como o valor eficaz, ou médio móvel obtido por convolução do sinal em  $\tau$  e  $\tau$ + $\delta$ , com  $\delta$ << $1/T_{RF}$ .

A Figura 3.19 ilustra o caso da aplicação de um caso simplificado onde não estamos considerando a propagação não linear, onde um filtro passa baixa ideal é comparado com um filtro passa baixa RC. Para este caso a expressão (3.87) é obtida através da função de transferência do filtro H, com frequência de corte  $\omega_c = 2\pi B$  e atraso  $t_d$ , aplicada a tensão do nó a ser visualizado,  $N_x$ . Considerando-se então que  $\omega_c <<<\omega_{RF}$ , o módulo de  $H(\omega)$  se aproxima da unidade, e a fase de um atraso igual a um sistema sem distorção  $^{27}$ . Para o caso do filtro RC, temos  $|H(\omega)|=|1/(1+j\omega RC)|\approx 1$  e  $t_d\approx RC$ . Para o caso geral, convêm lembrar que  $\omega_c$  deve ser escolhida de forma a não cortar os componentes da interferência que podem ser produtos da demodulação pelo circuito. Faz-se necessário também a aplicação de um coeficiente de correção da atenuação do filtro,  $K_F$ , para obtenção do valor médio correto.

\_

<sup>&</sup>lt;sup>27</sup> Maiores detalhes podem ser encontrados em Lathi (1989, Cap. 2, p.72-87).

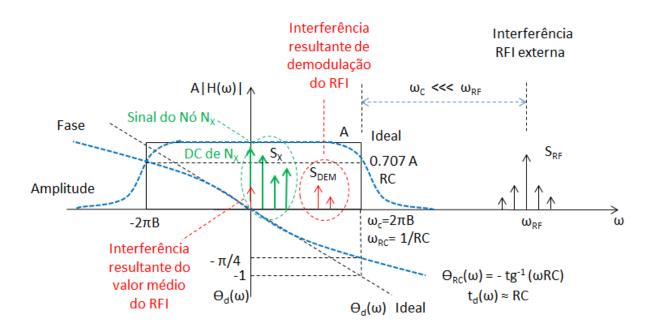


Figura 3.19 – Estimação do valor médio via filtro passa baixa. Fonte: Maltione (2020).

Considerando-se o caso da propagação não linear, incidente sobre o nó  $N_x$ , devemos aplicar um filtro multivariável<sup>28</sup> que considere as componentes frequênciais de  $V_N$ , que pode ser dado por:

$$\dot{\vec{V}}_N(t, NL, \bar{V}) = K_F * H(\omega_1, \dots, \omega_N, B, t_d) * \dot{V}_N(t, \dot{Z}_X, \dot{S}_X)$$
(3.88)

### 3.5.6 Fluxograma de aplicação do método de interferência complexa

A aplicação do método de interferência complexa se faz com o auxílio de uma ferramenta de análise não linear transiente (e.g. Spice). Em uma análise preliminar o circuito é analisado (Figura 3.20) em modo de funcionamento, normal, com determinação dos pontos de operação DC dos nós do circuito. Uma vez, estabelecido este ponto de operação, o circuito pode ser interferido (Figura 3.21), e analisado conforme mostra o fluxograma da Figura 3.22. Esta figura mostra o núcleo do método, de forma que deve ser aplicado interativamente para as frequências e intensidade de potência do sinal interferente, ou somente para os pontos de interesse (e.g. pontos fracos identificados experimentalmente). Na verificação dos resultados, convêm lembrar que estaremos analisando o valor médio dos sinais para correlação com os resultados experimentais.

 $<sup>^{28}\</sup>mbox{N\~{a}}\mbox{o}$  discutido neste trabalho para n\~{a}\mbox{o} estender demasiadamente o presente tópico.

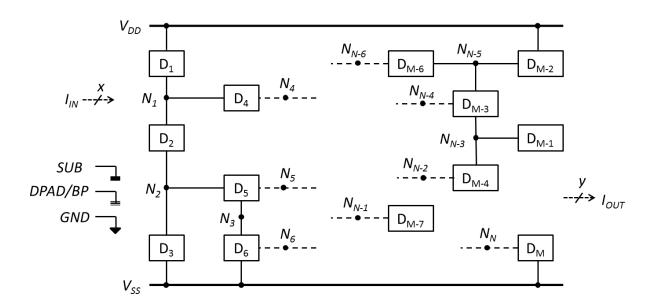


Figura 3.20 – Circuito genérico sem interferência Fonte: Maltione (2020).

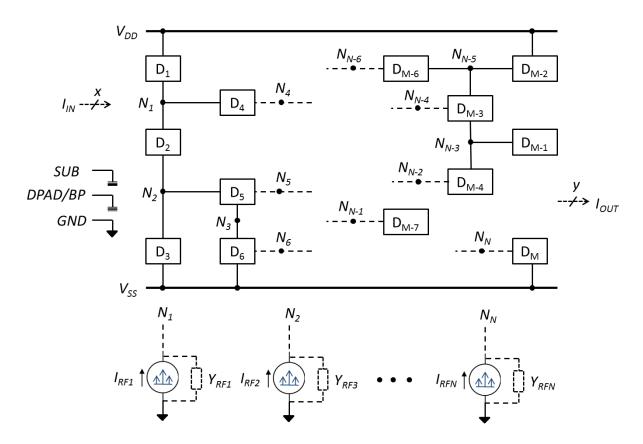


Figura 3.21 – Circuito genérico com interferência Fonte: Maltione (2020).

.

Para a aplicação do método, torna-se mais conveniente a representação matricial do circuito, que pode ser descrito pelas suas equações nodais. Considerando-se então este circuito sob interferência podemos descrever a tensão nos nós como:

$$N_{I}$$
:  $\widetilde{V}_{\zeta 1} = K_{S1}V_{1} + K_{RF1}V_{RF1}$ 
 $N_{2}$ :  $\widetilde{V}_{\zeta 2} = K_{S2}V_{2} + K_{RF2}V_{RF2}$ 
 $N_{3}$ :  $\widetilde{V}_{\zeta 3} = K_{S3}V_{3} + K_{RF3}V_{RF3}$ 
 $\vdots$ 
 $N_{N}$ :  $\widetilde{V}_{\zeta N} = K_{SN}V_{N} + K_{RFN}V_{RFN}$  (3.89)

Onde  $\tilde{V}_{\zeta N}$  representa a tensão média observada no nó sob interferência

Para facilidade computacional, vamos definir um operador de interferência  $\zeta$  que aplicado a cada nó do circuito original, retorna o valor do nó sob interferência como:

$$\zeta[V_n(\ )]_{1..N}^S = \zeta_{Sn}[V_{Sn}(\ )]_{1..N}^S + \zeta_{RFn}[V_{RFn}(\ )]_{1..N}^{\eta} \tag{3.90}$$

Onde o operador  $\zeta_{nS}$  denota a componente relativa ao sinal,

$$\zeta_{nS}[V_{ns}(\ )]_{1..N}^{n} = [K_{ns}(\ )]_{1..N}^{n}[V_{n}(\ )]_{1..N}^{1} = \begin{bmatrix} K_{1S} & 0 & 0 & \cdots & 0 \\ 0 & K_{2S} & 0 & \cdots & 0 \\ 0 & 0 & K_{2S} & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \cdots & K_{NS} \end{bmatrix} \begin{bmatrix} V_{1} \\ V_{2} \\ V_{3} \\ \vdots \\ V_{N} \end{bmatrix}$$
(3.91)

E o operador  $\zeta_{RFn}$  denota a componente relativa ao sinal interferente (sem considerar a propagação não linear da interferência),

$$\zeta_{nRF}[V_{RFn}(\cdot)]_{1..N}^{0} = \begin{bmatrix} K_{1RF} & 0 & 0 & \cdots & 0 \\ 0 & K_{2RF} & 0 & \cdots & 0 \\ 0 & 0 & K_{2RF} & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \cdots & K_{NRF} \end{bmatrix} \begin{bmatrix} V_{RF1} \\ V_{RF2} \\ V_{RF3} \\ \vdots \\ V_{RFN} \end{bmatrix}$$
(3.92)

Caso esteja sendo considerada a propagação não linear da interferência (interação com outros nós) o operador  $\zeta_{RFn}$  pode ser descrito como:

$$\zeta_{nRF}[V_{RFn}(\ )]_{1..N}^{\eta} = \begin{bmatrix}
K_{1RF} & \tilde{\eta}_{12} & \tilde{\eta}_{13} & \cdots & \tilde{\eta}_{1N} \\
\tilde{\eta}_{21} & K_{2RF} & \tilde{\eta}_{23} & \cdots & \tilde{\eta}_{2N} \\
\tilde{\eta}_{31} & \tilde{\eta}_{32} & K_{2RF} & \cdots & \tilde{\eta}_{3N} \\
\vdots & \vdots & \vdots & \ddots & \vdots \\
\tilde{\eta}_{N1} & \tilde{\eta}_{N2} & \tilde{\eta}_{N3} & \cdots & K_{NRF}
\end{bmatrix} \begin{bmatrix}
V_{RF1} \\
V_{RF2} \\
V_{RF3} \\
\vdots \\
V_{RFN}
\end{bmatrix}$$
(3.93)

Onde o termo  $\tilde{\eta}_{Nn}$  representa o valor médio das interações não lineares com os outros nós.

Para a aplicação do método, as correntes são determinadas por:

$$I_N[1..N] = I_{SN}[1..N] + \tilde{I}_{RFN}[1..N]$$
(3.94)

Onde o termo referente à interferência é dado por:

$$\tilde{I}_{RFN}(\omega, S, B)[1..N] = \sqrt{\tilde{I}_{RFN}^{2}(\omega, S)[1..N] + \sum_{n} I_{\eta}^{2}(\omega_{1}..\omega_{B})[1..N]}$$
(3.95)

Onde os termos não lineares devido à distorção do sinal são dados por:

$$\tilde{I}_{RFN}^{2}(\omega, S)[1..N] = \frac{1}{2\pi T(Z_C + Z_N)} \int_{-\infty}^{+\infty} S(\omega) d\omega \quad ; \quad S(\omega) = V_{RFN}(\omega) V_{RFN}^{*}(\omega)$$
(3.96)

Na forma mais completa da análise, considerando a propagação não linear da interferência, temos que o algoritmo irá estimar interativamente a tensão resultante em cada nó como:

$$\zeta[V_{n}(\ )]_{1..N}^{S} = \zeta_{Sn}[V_{Sn}(\ )]_{1..N}^{S} + \zeta_{RFn}[V_{RFn}(\ )]_{1..N}^{\eta} 
= \begin{bmatrix} K_{S1} & 0 & 0 & \cdots & 0 \\ 0 & K_{S2} & 0 & \cdots & 0 \\ 0 & 0 & K_{S3} & \cdots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \cdots & K_{SN} \end{bmatrix} \begin{bmatrix} V_{1} \\ V_{2} \\ V_{3} \\ \vdots \\ V_{N} \end{bmatrix} 
+ \begin{bmatrix} K_{1RF} & \tilde{\eta}_{12} & \tilde{\eta}_{13} & \cdots & \tilde{\eta}_{1N} \\ \tilde{\eta}_{21} & K_{2RF} & \tilde{\eta}_{23} & \cdots & \tilde{\eta}_{2N} \\ \tilde{\eta}_{31} & \tilde{\eta}_{32} & K_{2RF} & \cdots & \tilde{\eta}_{3N} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \tilde{\eta}_{N1} & \tilde{\eta}_{N2} & \tilde{\eta}_{N3} & \cdots & K_{NRF} \end{bmatrix} \begin{bmatrix} V_{RF1} \\ V_{RF2} \\ V_{RF3} \\ \vdots \\ V_{RFN} \end{bmatrix}$$
(3.97)

Este algoritmo representado pelo fluxograma da Figura 3.21 considera então os seguintes passos para cada nó do circuito através de análise transiente interativamente em cada passo:

- 1. Cálculo da tensão média do sinal sem interferência, ou seja, a matriz  $V_{Sn}[1..N]$  e da corrente média que circula em cada nó  $I_{SN}[1..N]$
- 2. Cálculo da corrente de interferência média nos nós, ou seja, a matriz  $\tilde{I}_{RFN}[1..N]$
- 3. A corrente interferente é aplicada  $\tilde{I}_{RFN}[1..N]$  a cada nó N
- 4. Aplicação do operador de interferência em cada nó N, ou seja, cálculo das matrizes  $\zeta_{Sn}[V_{Sn}(\ )]_{1..N}^S$  e  $\zeta_{RFn}[V_{RFn}(\ )]_{1..N}^\eta$
- 5. Cálculo da tensão média do sinal sem interferência, ou seja, a matriz  $\zeta[V_n(\ )]_{1..N}^S$

A execução deste algoritmo pode ser feita usando um simulador não linear, usando a análise transiente do simulador Spice, onde a fonte de interferência é calcula usando uma forma de onda senoidal (para garantir as condições de validade da superposição generalizada) aplicada em cada nó do circuito. Em seguida deve aplicar um programa escrito em linguagem C, C++, matlab ou script para calcular o valor médio das correntes em cada nó. Assim teremos um conjunto de correntes que são aplicadas a cada nó do circuito original, somente com componentes de baixa frequência (sendo a maioria DC), o que permitirá uma simulação de interferência com tempo de simulação muito próximo do necessário para a simulação do circuito sem interferência. Neste ponto, esta é a grande contribuição deste método, o que não é possível de se obter com nenhum outro método conhecido.

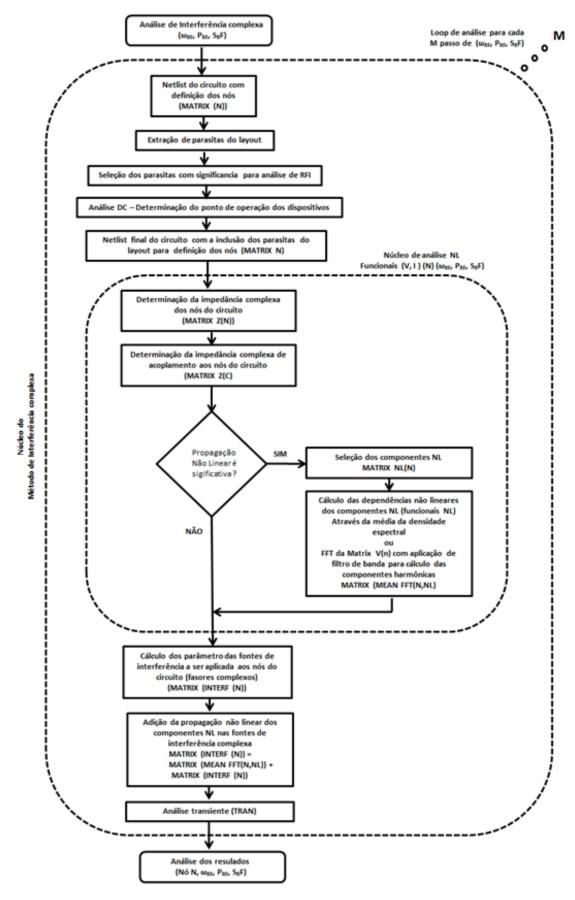


Figura 3.22 – Fluxograma do método de interferência complexa. Fonte: Maltione (2020).

## 3.6 Comparação entre os métodos

Para uma melhor visualização dos métodos apresentados, a Tabela 3.4 permite uma comparação entre as principais características dos mesmos (vantagens e limitações), conforme discutido nos tópicos anteriores, fornecendo um panorama dos resultados esperados para a previsibilidade dos efeitos de RFI, assim como da abrangência do método. Conforme podemos observar o novo método proposto, tem grandes vantagens sobre os anteriores, sendo sua única desvantagem é a de apresentar o valor médio e não o valor real das variáveis estudadas. Entretanto para a previsibilidade, este fator não é limitante, uma vez que as próprias constantes de tempo dos circuitos acabam por perfazer também esta função (filtragem das funções das variáveis).

Tabela 3.4 – Comparação entre os métodos de análise de interferência de RF.

Domínio/ Análise RFI	Tempo t [s]	Frequência ω [rad/s]	Propagação NL S(ω)	Amp. V(t) I(t)	convergência	velocidade	Database Memória utilizada	Previsibilidade dos efeitos de RFI e abrangência
Transiente TRAN	•			real	alta / média	muito baixa	muito grande	Muito boa / grande escala
Frequência AC		•		fasor	alta	muito alta	pequena	Limitada / grande escala
Harmonic Balance	•	•		real / fasor	média	média	média	Boa / média escala
Taylor	•			real	média	média	média	Boa / média escala
Volterra	•			real	baixa	média	média	Boa / média escala
Wiener	•	•		real / fasor	média	alta	média	Boa / média escala
Interferência Complexa	•		•	real/ valor médio	alta / média	muito alta	pequena	Muito boa / grande escala

Fonte: Maltione (2020).

### 3.7 Resumo e conclusões do Capítulo 3

Neste Capítulo foram abordados os principais métodos de análise de interferência de RF em circuitos integrados de potência, tendo sido proposto um novo método de análise (interferência complexa e seu algoritmo).

Foram analisados também outros métodos convencionais já estabelecidos para análise não linear, tais como o método por linearização por série complexa de Taylor, o método não linear de Volterra com aplicação de funcionais complexos para análise no domínio do tempo e o método não linear de Wiener com aplicação de uma série ortogonal, que facilita a identificação dos núcleos de um sistema não linear, no domínio da frequência.

Foram analisadas também questões relativas à convergência e aplicabilidade dos métodos NL. Neste contexto, é apresentado o método de interferência complexa, onde um conjunto de funcionais de fasores complexos  $\dot{V}_{RF}(t,\dot{Z}_X,\dot{S}_X(\omega))$  são aplicados aos nós do circuito, podendo-se incluir a propagação não linear da interferência nos nós do mesmo (contribuição dos elementos não lineares). Neste processo, são calculadas as componentes de interferência e injetadas no circuito sob interferência, como componentes DC ou funções de baixa frequência, suprimindo a componente de RF da análise, o que acelera enormemente a simulação, permitindo a análise de circuitos complexos sob interferência de micro-ondas.

O capítulo é então finalizado com a apresentação do fluxograma de aplicação deste novo método.

# Capítulo 4

# Efeitos e Mecanismos de Falhas devido a RFI

### 4.1 Introdução

Neste capítulo são discutidos os efeitos e os mecanismos de falhas devido à interferência de RF analisados sob o ponto de vista do método de interferência complexa, proposto no capítulo anterior, elucidando-se os principais fenômenos de RFI para baixos e altos níveis de injeção aplicados em circuitos de potência tipo *Smart Power*.

### 4.2 Mecanismos de falha devido a RFI em circuitos Smart Power

A identificação dos mecanismos de falha em circuitos integrados complexos é uma tarefa difícil (TRAA, 2002, DHIA *et al.*, 2006, FIORI, 2015) principalmente sem um método apropriado. Considerando que temos várias classes de tipo de circuito, uma maneira mais conveniente é separar os problemas em domínios tais como analógicos, digitais e mistos. No passo seguinte, deve ser considerado o problema na interface destes domínios. Convém considerar, nesta abordagem que, embora os circuitos de base de tempo (*clock oscillator*) sejam de fato circuitos de modo misto, nesta análise eles serão considerados como analógicos, da mesma maneira que os circuitos de potência (*power switches e drivers*).

### 4.2.1 Propagação do RFI acoplado via tensão de alimentação

As alimentações dos circuitos *Smart Power* são complexas, podendo vir a partir de um pino externo, ou a partir de reguladores internos que distribuem a polarização pelos blocos dos circuitos internos do dispositivo. Sem entrar no mérito da questão (origem da alimentação) vamos supor que a alimentação venha através de um pino externo onde possa ser acoplado o RFI. Supondo que a interferência tenha energia suficiente para transpor as barreiras de proteção dos pinos de alimentação (ESD e filtros  $\omega L + 1/j\omega C$ ) a interferência pode ser acoplada na alimentação sobrepondo-se a esta nos modos tensão ou corrente:

- (i) <u>Modo tensão</u>: Pode se sobrepor aditivamente a *VDD* ou *GND*, diminuindo a faixa para condicionamento do sinal (excursão),  $V_{EX} = VDD 2V_{RFI-rms}$  (RFI em duas alimentações) ou  $V_{EX} = VDD V_{RFI-rms}$  (RFI em uma alimentação). Ocorre quando a resistência de saída da alimentação é maior que a resistência de acoplamento da fonte de interferência (e.g. reguladores internos, capacitores de filtro ou *pump* externos, ou barramentos internos de alimentação);
- (ii) <u>Modo corrente</u>: Pode se sobrepor aditivamente a corrente de *VDD* ou *GND*, caminhando pelos ramos de polarização dos circuitos e laços de *GND*. Ao ser processada por dispositivos não lineares, gera componentes de frequência superior ao sinal interferente que se acoplam novamente aos circuitos. Neste caso temos:  $I_{SUP} = I_{DD} + k_0 I_{RFI}(\omega_0) + \sum k_{I...N} I_{RFI}(\omega_{I...N})$ . Este acoplamento pode ser capacitivo ou indutivo (i.e, ramos próximos com correntes de potência transientes), conforme descrito pelas equações de Maxwell.

### 4.2.1.1 Diminuição da Faixa de Excursão dos Sinais

Os conceitos discutidos nos itens anteriores estão ilustrados nas Figuras 4.1 e 4.2. Assim a Figura 4.1 mostra o acoplamento da RFI no modo tensão, enquanto que a Figura 4.2 mostra o acoplamento da RFI no modo corrente. A Figura 4.3 ilustra conceitualmente o acoplamento do RFI nas alimentações, em relação à faixa de excursão para processamento de um sinal analógico, que é definida pela faixa útil para processamento do sinal considerando-se o RFI acoplado.

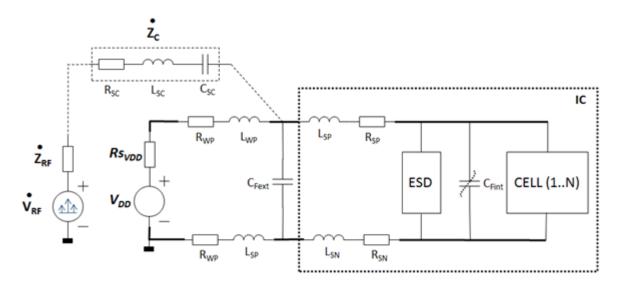


Figura 4.1 – Acoplamento de RFI via alimentações no modo tensão.

Fonte: Maltione (2020).

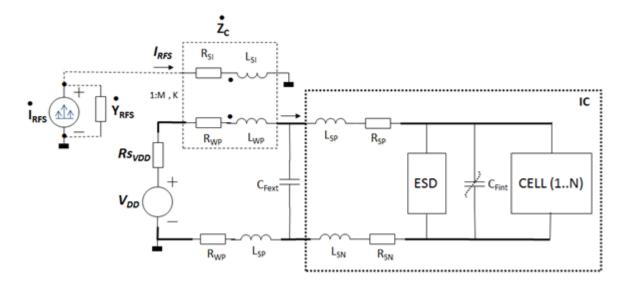


Figura 4.2 – Acoplamento de RFI via alimentações no modo corrente.

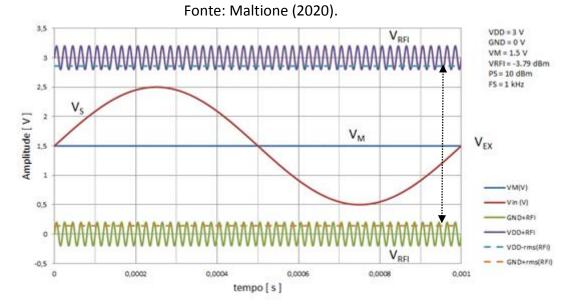


Figura 4.3 – Faixa de excursão com acoplamento de RFI via alimentações. Fonte: Maltione (2020).

### 4.2.1.2 Diminuição da Faixa Dinâmica

Um importante parâmetro para o funcionamento de circuitos analógicos, referente ao condicionamento de sinais é a faixa dinâmica (DR – *Dynamic Range*). Da mesma forma que as margens de ruído, para circuitos digitais, definem os intervalos onde o sinal pode ser identificado corretamente (0 ou 1), a faixa dinâmica dos circuitos analógicos, expressa a faixa disponível para excursão dos sinais livre de distorção, saturação ou interferência. Existem várias interpretações deste conceito tais como em Huijsing (2001), Vittoz e Tsividis (2002), Tsividis (2018), Wang e Temes (2019). Para os objetivos deste trabalho, o conceito exposto

na primeira referência é particularmente interessante. Huijsing (2001) propõe que a faixa dinâmica máxima de um sinal analógico com alimentação única (i.e.  $V_{SUP}$ , GND e  $V_{M}=V_{SUP}/2$ ,  $V_{SSrms}=V_{SUP}/2\sqrt{2}$ ) seja dada pela relação entre a potência máxima para o processamento de um sinal senoidal com um circuito ideal (saída e entrada ideais *rail-to-rail*,  $V_{S\_S}$ ) operando em classe B e a potência de ruído térmico da carga (ou seja o ruído de fundo).

Assim temos que (HUIJSING, 2001):

$$P_{SUP} = V_{SUP} \overline{I_{SUP}} = \frac{\left(V_{SUP}/2\sqrt{2}\right)^2}{2\pi R_L} = \frac{V_{SUP}^2}{2\pi R_L} \quad ; \quad V_{SUP}^2 = 2\pi R_L P_{SUP}$$
 (4.1)

$$V_N = \sqrt{4kTBR_L} \quad ; \quad V_N^2 = 4kTBR_L \quad ; \tag{4.2}$$

$$V_{S\_S} = \frac{V_{SUP}}{2\sqrt{2}}$$
 ;  $V_{S\_S}^2 = \frac{V_{SUP}^2}{8} = \frac{\pi R_L P_{SUP}}{4}$  (4.3)

Então a faixa dinâmica máxima pode ser expressa por:

$$DR_{max} = \frac{V_{S\_S}^2}{V_N^2} = \frac{\pi}{4} \frac{P_{SUP}}{4kTB}$$
 (4.4)

Ao introduzir RFI no sistema, o ruído térmico de fundo, dado pela carga é acrescido pelo valor rms da interferência, ou seja,  $V_{Ntotal}^2 = V_N^2 + V_{RFI}^2$ . Considerando que a potência da interferência (monotonal,  $\omega_{RFI} = 2\pi f_{RFI}$ ) é dada por:

$$P_{RFI} = \frac{\left(V_{RFIpk}/\sqrt{2}\right)^2}{R_L} = \frac{V_{RFI}^2}{R_L} \quad ; \quad V_{RFI}^2 = R_L P_{RFI}$$
 (4.5)

Podemos expressar a nova faixa dinâmica considerando a interferência no sistema, como:

$$DR_{max} = \frac{V_{S\_S}^2}{V_N^2 + V_{RFI}^2} = \frac{\pi}{4} \frac{P_{SUP}}{(4kTB + P_{RFI})}$$
(4.6)

A Figura 4.4, mostra a faixa dinâmica, considerando-se uma carga  $R_L$ =50 *Ohms*, para uma largura de Banda B=10MHz, Temperatura de T=300K, onde k=1.38  $m^2$  kg  $s^{-2}$   $K^{-1}$  (Constante de Boltzmann) para as condições sem interferência (BGN) e com interferência, considerando a potência de RFI CW (monotonal) dada em dBm. A título de comparação são adicionados também, para referência, os valores de faixa dinâmica de sinais conhecidos tais como AM (48dB), FM (70dB), CD (16bits, 92dB) e DVD (24bits, 120 dB). Conforme podemos observar o RFI degrada o range dinâmico para o processamento do sinal analógico, comprometendo o controle em *Smart Power*, para os sinais provenientes de sensores (tensão, corrente, temperatura), assim como o ENOB de conversores A/D, D/A e PWM analógico.

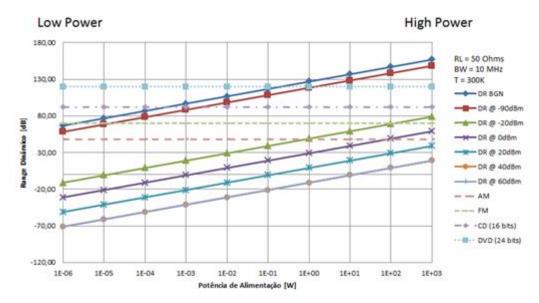


Figura 4.4 – Diminuição da Faixa Dinâmica (DR) devido ao RFI. Fonte: Maltione (2020).

### 4.2.2 Propagação do RFI acoplado via retificação

O fenômeno de retificação ocorre quando uma junção PN, no caminho da interferência, fica diretamente polarizada, ou seja, a tensão efetiva da interferência é maior que a tensão do nó  $N_X$ , acrescido da tensão de condução direta do diodo ( $V_{RFI} > V_{NX} + V_D$ ). A interferência passa então pelo diodo e é "retificada" (como em um retificador comum de meia onda), sendo que a capacitância do nó contribui para a formação de um nível DC incidente, que será sobreposto ao nó  $N_X$ .

Entretanto como se trata de alta frequência, esta junção se comporta como um diodo em chaveamento. Apesar da excitação senoidal, durante a condução são armazenadas cargas<sup>29</sup> (depleção) que quando ocorre a inversão da polaridade ( $V_{RFI} < V_{NX} + V_D$ ), demoram a se escoar devido ao  $t_{rr}$  (tempo de recuperação reversa) do diodo formado pela junção.

Considerando que em geral a capacitância do nó é pequena (fF a pF), ou seja,  $XC_{NX}$  <<  $R_{NX}$ , a forma de onda da interferência que aparece sobreposta a tensão do nó vai depender da relação entre as impedâncias de acoplamento ( $Z_C$ ) e de polarização do nó ( $Z_b$ ), conforme

formada apenas por portadores majoritários, permitindo um chaveamento mais rápido do dispositivo. Estes diodos são formados nas tecnologias Si, SiC e GaN, com potenciais diretos variados. Para o caso de diodos formados por heterojunção, dependerá do tipo do dispositivo.

\_

No diodo de junção (Si bulk) temos cargas armazenadas devido ao armazenamento de cargas pela formação da região de depleção (portadores majoritários e minoritários) cuja largura é dependente da densidade de corrente que flui pelo dispositivo, formando uma capacitância de depleção,  $C_D$ . Conjuntamente temos uma capacitância relativa à junção, onde temos portadores de carga em lados opostos da barreira de potencial, formando uma capacitância de junção,  $C_D$ . Estas capacitâncias agem em paralelo, dando uma dinâmica não linear a esta capacitância, que se altera conforme o sentido da polarização (direta/reversa), alterando assim o tempo de chaveamento do dispositivo, devido aos tempos de escoamento de carga. Para o caso do diodo Schottky, a carga é

ilustrado na Figura 4.5, alterando assim as componentes de RF introduzidas no nó, devido as não linearidades.

Considerando-se então que o caso em que a tensão de interferência seja senoidal e monotonal, descrita por:

$$V_{RF}(t) = V_{RFpk} sen(\omega_0 t) \quad ; \quad \omega_0 = \frac{2\pi}{T_0}$$

$$\tag{4.7}$$

Temos que a interferência acoplada ao nó, por retificação, pode ser expressa pelos casos:

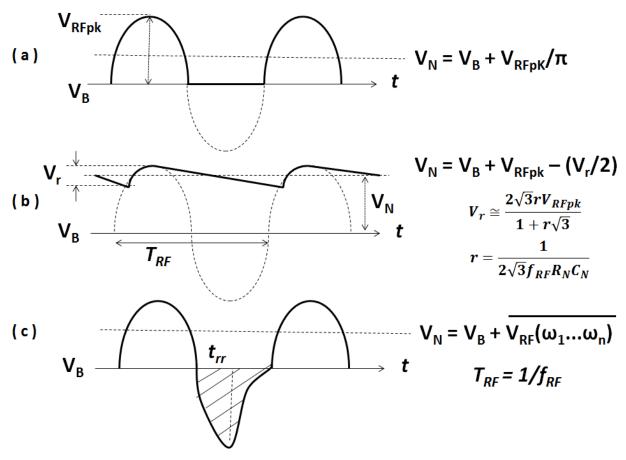


Figura 4.5 – Acoplamento de RFI via retificação ( $R_N//C_N$ ). (a)  $Z_b >> Z_C$ ,  $R_N$ ; (b)  $Z_b > Z_c$ ; (c)  $Z_b < Z_c$ Fonte: Maltione (2020).

<u>Caso  $Z_b >> Z_C$ </u>: Neste caso se a impedância do nó é baixa  $(50\sim100\Omega)$  (e.g. saídas), e a resistência de saída da polarização  $(Z_b)$  é muito maior que a resistência de acoplamento da fonte de interferência  $(Z_C)$ , ou seja  $Z_b >> Z_C$ , (e.g. reguladores internos, fontes de corrente), a tensão sobreposta ao nó é semelhante à saída de um retificador de meia-onda deslocada da tensão de polarização do nó, conforme ilustra a Figura 4.5a, que pode ser aproximada pela seguinte série de Fourier:

$$V_N(t) = V_B + V_{RFpk} \left[ \frac{1}{\pi} + \frac{1}{2} sen(\omega_0 t) - \frac{2}{\pi} \sum_{n=1}^{\infty} \frac{\cos(2n \, \omega_0 t)}{4n^2 - 1} \right]$$
(4.8)

Conforme podemos verificar através da expressão (4.8), são introduzidas além da frequência fundamental da interferência, componentes harmônicas de ordem 2, 4, 6, ..., sendo que a maior parte da energia está concentrada na fundamental, na segunda, quarta e sexta harmônicas (50%, 21.22%, 4.24% e 1.82% respectivamente).

Convém observar que caso não haja um capacitor série neste acoplamento (e.g. tecnologia Bulk) a componente DC da fonte de interferência se sobrepõe a polarização podendo danificar os dispositivos acoplados ao nó (queima do dispositivo ou indução de falhas de robustez devido ao estresse acelerado).

Caso  $Z_b > Z_C$ : Neste caso se a impedância do nó é média ( $k\Omega$ ), e a resistência de saída da polarização ( $Z_b$ ) é maior que a resistência de acoplamento da fonte de interferência ( $Z_C$ ), ou seja,  $Z_b > Z_C$ , sendo que a capacitância presente (fF a pF) no nó consegue filtrar a tensão sobreposta ao mesmo, semelhantemente à saída de um retificador de meia-onda com capacitor de filtro, mas deslocada da tensão de polarização do nó, como mostrado na Figura 4.5b. Neste caso podemos usar uma análise semelhante aos retificadores de meia onda, onde a tensão do nó pode ser dada aproximadamente em função do fator de ondulação (*ripple factor*):

$$r = \frac{1}{2\sqrt{3}f_0 R_N C_N} \tag{4.9}$$

Segundo Singh e Sing (2006), este fator pode ser estimado a partir da ondulação presente na saída do retificador, dada por:

$$r = \frac{V_r}{2\sqrt{3}\left(V_{RFpk} - \frac{V_r}{2}\right)} \tag{4.10}$$

Assim, as expressões (4.9) e (4.10) podem ser usadas para expressar a amplitude da tensão residual de filtragem ( $V_r$ ) aproximadamente como:

$$V_r \simeq \frac{2\sqrt{3}rV_{RFpk}}{1 + r\sqrt{3}} \tag{4.11}$$

Esta ondulação residual tem formato parecido com uma forma de onda dente de serra decrescente ( $V_{sawtooth} = V_r - V_r t/2\pi$ ) com amplitude  $V_r$  e  $período 2\pi$ , podendo ser aproximado a tal função. Assim a tensão no nó pode ser estimada por:

$$V_N(t) \cong V_B + V_{RFpk} \left[ 1 - \frac{2\sqrt{3}r}{\pi(1 + r\sqrt{3})} \sum_{n=1}^{\infty} \frac{\text{sen}(n \,\omega_0 t)}{n} \right]$$
 (4.12)

Outra abordagem seria aproximar por uma triangular, mas como na forma de onda, o tempo de descida é muito maior que o tempo de subida, não mudaria muito a estimativa, pois teriam também harmônicos em  $n\omega_0 t$  (n = 1, 2, 3 ...).

Caso  $Z_b < Z_C$ : Neste caso se a impedância do nó é alta (M $\Omega$ ), e a resistência de saída da polarização ( $Z_b$ ) é menor que a resistência de acoplamento da fonte de interferência ( $Z_C$ ), ou seja,  $Z_b < Z_C$ , sendo que o diodo, não consegue descarregar a carga armazenada na condução direta (devido ao  $t_{rr}$ ) e assim entra em inversão novamente. Então para a frequência de RF, o diodo parece como um capacitor altamente não linear, com uma capacitância de depleção entre  $[0 \text{ e } \pi/2]$  e um misto de capacitância de depleção e reversa entre  $[\pi/2 \text{ e } 2 \pi]$ . Essa capacitância é combinada ainda com a capacitância presente no nó (fF a pF). Assim a tensão sobreposta ao nó, deslocada da tensão de polarização do nó, como mostrado na Figura 4.5c. Neste caso, a tensão sobreposta ao nó pode ser calcula pelos métodos não lineares descritos no Capítulo 3. Como ocorre acumulo de cargas na junção, temos memória no sistema. Deste modo podemos então expandir  $V_N$  usando os operadores de Volterra dados pelas equações (3.17) e (3.18), acrescido do deslocamento da polarização  $V_b$ , ou seja:

$$V_N(t) = V_b + h_0 + \sum_{n=1}^{\infty} V_n[u(t)]$$
(4.13)

$$V_n[u(t)] = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} v(\tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
(4.14)

Onde  $V_n[u(t)]$  é o operador de Volterra de ordem n, e  $v(\tau_1, ..., \tau_n)$ , os respectivos núcleos.

Para o conhecimento espectral deste sinal, podemos aplicar a transformada de Fourier multidimensional, dadas pelas expressões (3.33) e (3.34), no núcleo de  $V_n$  em (4.14), como:

$$\mathfrak{I}[v(\tau_1, \dots, \tau_n)] = V(\omega_1, \dots, \omega_n) \tag{4.15}$$

$$V(\omega_1, \dots, \omega_n) = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} v(\tau_1, \dots, \tau_n) e^{-j(\omega_1 \tau_1 + \dots + \omega_n \tau_n)} d\tau_1 \dots d\tau_n$$
(4.16)

Onde  $v(\tau_1, ..., \tau_n)$  é o núcleo da função.

Como nota, convêm observar que a avaliação analítica de  $V_n$  é complexa, sujeita ainda a problemas de convergência em (4.14).

Conforme visto no capítulo anterior, existe uma dificuldade na obtenção dos núcleos, sendo que se optarmos pela discretização e truncamento da série, ela poderá divergir para uma grande variação de sinal. Mesmo utilizando-se a expansão de Laguerre da série de Volterra, com truncamento em 3 ou 5 termos, o esforço computacional é ainda muito grande, considerando-se a avaliação de um único nó. Neste caso deve ser considerada alternativamente a aplicação do método de balanceamento harmônico ou ainda o método de interferência complexa proposto neste trabalho.

Esquematicamente, a Figura 4.6 mostra o acoplamento de RFI em um nó. Dependendo do tipo de substrato, ou tipo do poço de isolação do dispositivo, podemos ter o diodo polarizado em um dos sentidos indicados nesta figura.

Outra forma de acoplamento não discutida neste tópico é o acoplamento ou retificação do RFI, causada por um dispositivo parasita normalmente inativo, que em função de algum evento, disparado pelo RFI (*trigger*), torna ativo o dispositivo, causando uma condição de falha, conforme mostra a Figura 4.7.

Como podemos observar destas figuras, a polarização (*bias*) do nó pode ser através de uma fonte de tensão ou corrente, sendo válida a aplicação do teorema de Norton, uma vez que estas fontes podem ser descritas na forma complexa exponencial, com validade de aplicação do teorema da superposição generalizada.

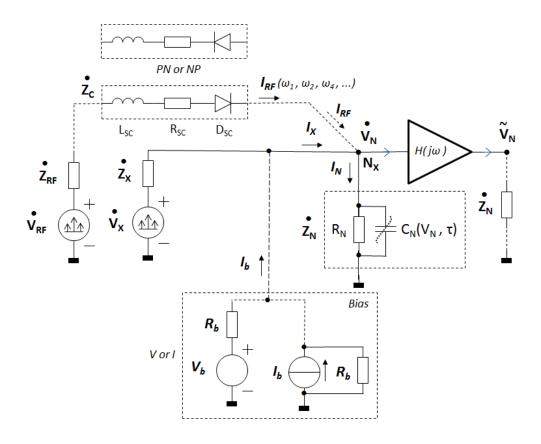


Figura 4.6 – Acoplamento de RFI no nó  $N_x$  via retificação por junção. Fonte: Maltione (2020).

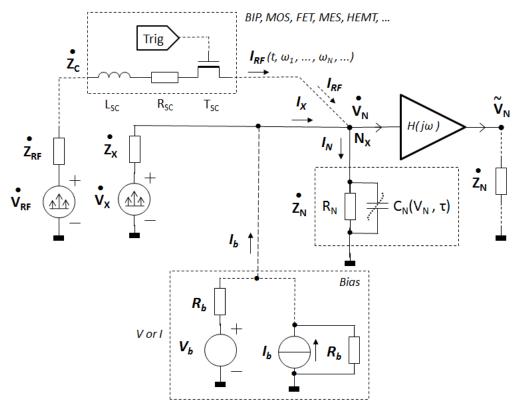


Figura 4.7 – Acoplamento de RFI no nó  $N_x$  via dispositivo parasita ativado. Fonte: Maltione (2020).

### 4.2.3 Propagação do RFI acoplado via substrato (ou outro ZC)

Uma das principais formas de acoplamento de interferência em circuitos *Smart Power* é através do substrato, principalmente em tecnologias *Bulk*, onde o substrato tem baixa resistividade, sendo que o acoplamento ocorre por barreira capacitiva não linear (junção reversamente polarizada ou por retificação).

Para as tecnologias SOI o acoplamento pode ocorrer via barreira capacitiva (e.g. heterojunção em SiC ou GaN), dependendo da resistividade do substrato (que em geral é alta) ou por acoplamento capacitivo do diepad (que pode funcionar como antena) podendo estar acoplado condutivamente ou não ao substrato.

A Figura 4.8 ilustra o caso do acoplamento capacitivo. Neste caso em geral a capacitância de acoplamento é em geral não linear, com dependência da tensão reversa (para a junção *bulk*), sendo comum em testes de DPI (*Direct Power Injection*).

Outra forma de acoplamento é o indutivo, onde temos a indução de uma corrente interferente via o campo próximo de uma corrente de potência variante no tempo (como se fosse um transformador) que transita pelo substrato (ou em um ramo) próximo de um nó.

A Figura 4.9 ilustra este caso de acoplamento indutivo, sendo comum em testes de BCI (*Bulk Current Injection*), onde são injetadas através de um acoplador (*clamp*), correntes de RF com grande potência nos cabos do sistema (teste automotivo e militar).

Desta forma, a análise começa modelando-se a interferência através do caminho  $Z_C$  (que corresponde ao substrato, *diepad* da pastilha, *trench* ou ESD parasita),  $V_{RF-src}$  (RF source), aplicado aos nós sensíveis dos circuitos sobre investigação (MALTIONE *et al.*, 2011).

Para esta análise dos mecanismos de falha, vamos por hipótese considerar VDD e GND como os barramentos de alimentação para circuitos digitais ou analógicos, e  $V_D$  a tensão de junção direta polarizada segundo a tecnologia:

- Si Bulk  $V_D \approx 0.6V..0.7V$ ;
- Si Schottky  $V_D \approx 0.1V..0.3V$ ;
- SiC Schottky  $V_D \approx 0.55V..1.5V$ ;
- GaN Schottky  $V_D \approx 0.4V..1.6V$ ;
- Heterojunção  $V_D \approx v \acute{a} rios$ .

Baseando-se então neste modelo (como regra geral), e sendo  $V_{RF-src}$  a fonte de RFI, temos dois mecanismos principais de falha de acordo com o nível de interferência:

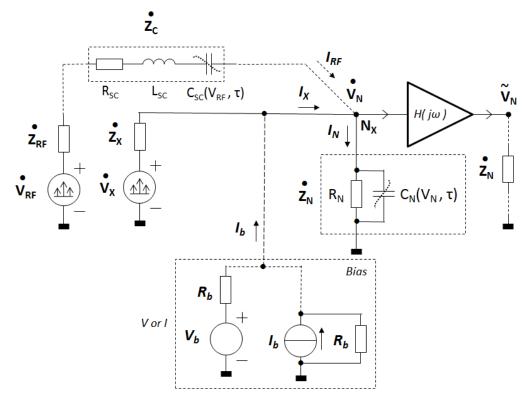


Figura 4.8 – Acoplamento capacitivo de RFI no nó  $N_x$  (modo tensão). Fonte: Maltione (2020).

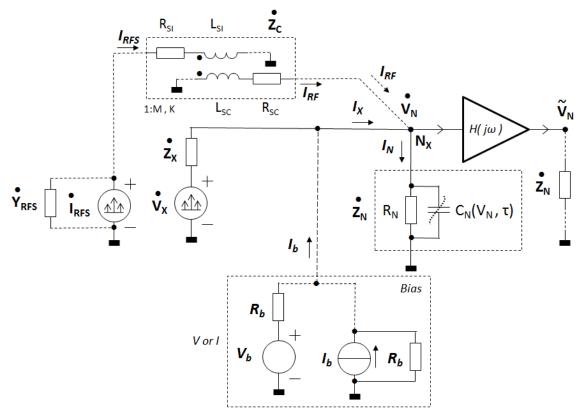


Figura 4.9 – Acoplamento indutivo de RFI no nó  $N_x$  (modo corrente). Fonte: Maltione (2020).

### A) Nível de interferência baixo a médio

Mecanismo de falha: Sobreposição de RFI no nó e desvio do ponto de comutação.

Condição:  $/V_{RF-src}/< VDD/k$  ( $k \approx 2$ ), Para Tecnologia SOI;

ou:  $|V_{RF-src}| < (VDD/k) - V_D(k \approx 2)$ , Para tecnologia Bulk.

Nesse caso, a interferência de RF acoplada via impedância  $Z_C$  afetará o valor médio do ponto de comutação lógica (de um circuito lógico) ou altera o ponto de polarização do circuito analógico que refletirá nas condições de estabilidade do circuito. Desvio de frequência devido a deslocamento de ponto de disparo e *jitter* serão induzidos em circuitos de temporização.

### B) Alto nível de interferência

Mecanismo de falha: Sobreposição ou retificação de RFI no nó e corrupção do sinal

Condição:  $|VRF\text{-}src| \ge VDD/k$  ( $k \approx 2$ ), Para tecnologia SOI;

ou:  $|VRF\text{-}src| \ge (VDD/k) - V_D(k \approx 2)$ , Para tecnologia Bulk.

Neste caso, a interferência de RF tem agora amplitude suficiente para colocar as proteções de ESD na região de polarização direta. Assim, fenômenos de retificação ocorrerão e as capacitâncias de carga aumentarão (ou diminuirão) o valor médio na entrada da lógica (mudança de ponto de transição de estado, considerando um circuito lógico) ou aumento (ou diminuição) de capacitância e transcondutância (gm), para o circuito analógico que o leva para fora da região de operação linear até atingir um dos limiares para alternar sua saída para um estado permanente (desconsiderando ainda as ocorrências de *latch-up*). O primeiro mecanismo de falha causa erros inesperados no sistema. Não é facilmente identificável, especialmente se o problema afetar a resposta de frequência e não puder ser facilmente previsto ou corrigido. O segundo mecanismo de falha é mais fácil de identificar, pois pode ocorrer um problema grave no sistema.

No entanto, devido à complexidade dos CIs *Smart Power*, se um recurso de teste exploratório não for fornecido e implementado no silício, a tarefa de identificação das causas raízes do problema será muito difícil ou se tornará impossível. Neste caso, métodos indiretos devem ser usados. No Capítulo 7 propõe-se uma análise inovadora baseada em uma análise de resposta de frequência para correlacionar os desvios de polos e zeros com as falhas no laço de controle induzidas pela interferência de RF, especialmente útil para investigação de falhas no modo (A).

### 4.3 Proposição de modelamento do efeito antena do diepad/baseplate

Conforme verificado nos itens anteriores o diepad / baseplate em circuitos integrados de potência pode atuar como uma antena, capturando o sinal interferente e injetando o sinal no substrato ou nos dispositivos conforme a tecnologia considerada. Normalmente esta fonte de interferência não é considerada, pressupondo-se o fato de que o diepad / baseplate ou está flutuante ou aterrado, não constituindo assim uma fonte de interferência. Entretanto na maioria das vezes eles funcionam como uma fonte de interferência, sendo que a falta do seu modelamento, não permite a sua mitigação, sendo considerada a interferência no substrato e não na causa raiz do problema, o que implica na falha da análise e da solução do problema. Segundo revisão da literatura, não existe nenhum estudo referente ao efeito antena destes componentes. Neste trabalho, propõe-se modelar o diepad / baseplate como uma composição de antenas microstrip patch. Considerando-se encapsulamentos de potência, assim como mostrados na Figura 4.10, podemos observar que a região de metal que vai suportar a pastilha pode ser decomposta em um seguimento principal maior,  $a_1$ , e seguimentos menores  $a_N$ . Estes segmentos podem ser flutuantes ou ter uma conexão com o terra via segmentos  $a_G$ , ou via uma parte exposta para conexão ao terra (exposed pad) assim como para dissipação de potência. Nesta mesma figura as linhas pontilhadas representam as ligações dos pinos (leads), não considerados e o limite do encapsulamento. Na Figura 4.10d temos um exemplo de baseplate de um módulo de potência SIP, onde podemos ter de forma semelhante uma ou mais antenas associadas. Para todos estes casos esta antena sintonizará as frequências de cada uma destas antenas, sendo a mais relevante a de maior dimensão.

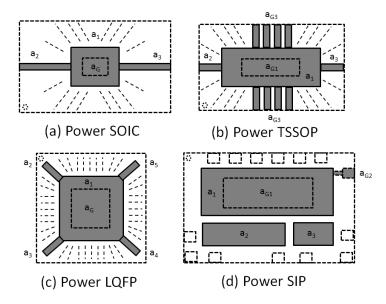


Figura 4.10 – Modelamento do diepad/baseplate como antenas patch. Fonte: Maltione (2020).

Assim para o *diepad*, dependendo da precisão requerida na análise, podemos considerar a antena completa ou sua aproximação como:

$$a_{diepad} = \sum_{i=1}^{N} a_N \approx a_N \tag{4.17}$$

O dimensionamento de uma antena patch considera os parâmetros ilustrados na Figura 4.11.

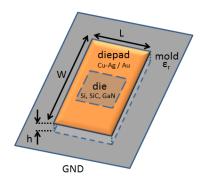


Figura 4.11 – Elementos do modelo do diepad como antena patch. Fonte: Maltione (2020).

O material do *diepad* é geralmente cobre banhado com prata ou ouro, enquanto o substrato é composto de plástico moldado (e.g. teflon) ou cerâmico. A pastilha do circuito integrado (*die*) é sempre menor que o *diepad*, podendo ser Si, SiC ou GaN (ou também sobre o Si), sendo fixado no *diepad* via uma cola (que pode ser ou não condutiva). Fisicamente o *diepad* fica suspenso em relação plano de terra por certa distância *h*, no encapsulamento. Assim os parâmetros que devem ser considerados são os seguintes:

W, largura da antena

L, comprimento da antena

c, velocidade da luz no vácuo (constante  $\approx 3 \times 10^8 \text{ m/s}$ )

 $\varepsilon_R$ , permissividade relativa do substrato (constante dependente do material)

 $\varepsilon_{eff}$ , permissividade efetiva do substrato (consideração do efeito do campo E nas bordas)

h, altura d antena do substrato em relação ao plano terra

 $f_0$ , frequência de ressonância da antena

 $\lambda$ , comprimento de onda do sinal interferente

 $\lambda/N$ , comprimento de onda parcial do sinal interferente (N = 2, 4, 10, 20, 40)

O dimensionamento de uma antena patch, pode ser feito por um conjunto de equações reportadas na literatura de antenas, e.g. (PASTENACK, 2020), (EVERYTHINGRF, 2020), como o cálculo sequencial dos parâmetros W,  $\varepsilon_{eff}$  e L, conforme as equações a seguir:

$$W = \frac{c}{2f_0\sqrt{\frac{2\varepsilon_R + 1}{2}}}\tag{4.18}$$

$$\varepsilon_{eff} = \frac{\varepsilon_R + 1}{2} + \frac{\varepsilon_R - 1}{2} \left[ \frac{1}{\sqrt{1 + 12\frac{h}{W}}} \right] \tag{4.19}$$

$$L = \frac{c}{2f_0\sqrt{\varepsilon_{eff}}} - 0.824h \left[ \frac{\left(\varepsilon_{eff} + 0.3\right)\left(\frac{W}{h} + 0.264\right)}{\left(\varepsilon_{eff} - 0.258\right)\left(\frac{W}{h} + 0.8\right)} \right]$$
(4.20)

Como podemos observar a antena é dimensionada (W, L) a partir de sua frequência de ressonância,  $f_0$ , pelo material do substrato,  $\varepsilon_R$  e sua altura em relação ao plano de terra, h. Entretanto, no caso de RFI, considerando-se um dado encapsulamento, como o diepad / baseplate já está dimensionado, estamos interessados no cálculo inverso, ou seja, dados (W, L, h,  $\varepsilon_R$ ) precisamos conhecer sua frequência de ressonância. Uma solução para este problema foi apresentada para uso na análise de antenas por Kushwah e Tomar (2017) usando um modelamento de redes neurais, disponibilizando uma ferramenta de cálculo em linguagem mathlab.

Outra questão que ocorre é que o maior ganho de recepção ocorre na frequência de ressonância determinada por L, sendo que W determina a impedância da antena. A ressonância tem uma banda estreita (cerca de 3%), funcionando como uma antena de  $\lambda/2$ . No caso da interferência de RF, podemos ter casos em até  $\lambda/20$  (Para  $\lambda/40 \approx h$ , a antena perde a efetividade). Neste caso a antena se comporta como uma impedância complexa  $Z_A$ , fora da ressonância  $Z_{A0}$ , atuando como uma linha de transmissão acoplada ao substrato por uma capacitância não linear  $Ca_{SUB}$ . No caso do diepad estar aterrado, a impedância da ligação de aterramento, irá atenuar o sinal captado. A Figura 4.12 propõe um modelo elétrico para esta antena, considerando todos os elementos patch da composição. Como no caso mais geral, a impedância característica da antena será diferente da impedância do substrato, ocorrendo uma reflexão dada por  $\Gamma_A$  (descasamento). Considerando-se o caso mais comum onde a reflexão é pequena e o RFI é dado para  $\lambda/N$ , podemos aproximar a interferência no substrato por:

$$V_{SUB}(\omega_{RF}, \frac{\lambda}{N}) = \frac{Z_{SUB}}{Z_{SUB} + \frac{1}{j\omega_{RF}Ca_{SUB}}} \left[ \frac{(Ra_G + j\omega_{RF}La_G)}{(Ra_G + j\omega La_G) + (Ra + jXa)} \right] V_{RF}(\omega_{RF}, S_{RF}) \quad (4.21)$$

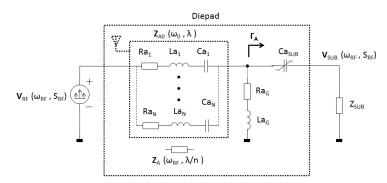


Figura 4.12 – Modelamento elétrico proposto para o diepad/baseplate. Fonte: Maltione (2020).

A título de exemplificação a Tabela 4.1 mostra a frequência de ressonância da antena para alguns tipos de encapsulamento<sup>30</sup>, calculados<sup>31</sup> para os dados de encapsulamentos comerciais usados em circuitos integrados *Smart Power*. Pode-se observar que se aplicado o conceito de RFI com  $\lambda/20$ , os circuitos podem ser afetados com sinais de UHF, tais como telefonia celular (GSM, 3G, 4G, 5G), radioamador e na ressonância por sinais wireless (5.8GHz), telefonia celular 5G (800MHz) e Radares automotivos de 24GHz.

Tabela 4.1 – Frequências de ressonância de diepads/baseplates de circuitos Smart Power

Encapsulamento	W	L	Z <sub>0</sub>	f0 - Antena Ressonante		f <sub>N</sub> – Antena Parcial	
Substrato cerâmico	Largura	Comprimento	Impedância	Comprimento equivalente		Comprimento equivalente	
Plástico moldado $\varepsilon_R \approx 5$	[ mm ]	[ mm ]	[Ohm]	$L_0 = \lambda / (2 \forall \varepsilon_R)$		$L_N = \lambda_N / (2 V \varepsilon_R) = N L_0$	
** Cerâmico $\varepsilon_R \approx 9.4$				Sintonia ressonante		Sintonia parcial (N=20)	
*** Cerâmico $\varepsilon_R \approx 10$				$f_0$ , $\lambda = c / f_0 = \lambda_N / 20$		$f_N = f_0 / N$ , $\lambda_N = N \lambda$	
h = 500um				f <sub>0</sub> [ GHz ]	λ [ mm ]	f <sub>N</sub> [ GHz ]	λ <sub>N</sub> [ m ]
SOIC 8 pinos	2.3	2.3	512	27.34	10.97	1.367	0.219
MSOP 16 pinos	1.73	2.39	932	26.93	11.14	1.347	0.222
Power SOIC 20 pinos	7.5	12.8	1261	5.34	56.18	0.267	1.124
Power TSSOP 20 pinos	3	4.2	892	15.88	18.89	0.794	0.378
Power SOP 20 pinos	7.5	7.9	501	8.48	35.37	0.424	0.707
Power LQFP 144 pinos	8.5	8.5	452	7.87	38.11	0.393	0.762
Smart GaN Switch + BCD							
GaN 34A 600V (**)	3.75	6.2	2185	8.12	36.95	0.406	0.739
BCD Driver + Monitoring	≈ 2.5	≈ 3.1 + 3.1	606	18.65	16.09	0.933	0.322
Power QFN 32 pinos							
Power module 6 IGBT	52	112	4107	0.427	702.6	0.0213	14.05
100A 600V (***)	32	112	4107	0.427	702.0	0.0213	14.05
Power Module 6 SiC	51	58	1153	0.822	365.0	0.0411	7.3
72A 1200V (***)	31	30	1133	0.022	303.0	0.0411	7.5

Fonte: Maltione (2020).

<sup>&</sup>lt;sup>30</sup> Coletânea de dados de materiais e encapsulamentos tais como Ma et al. (2019), Tummala et al. (1997), Intel (2000), Amkor (2019), Texas Instruments LMG3410R050 datasheet, Semikron SEMiX101GD066HDs e SKiiP 26ACM12V17 datasheets.

<sup>&</sup>lt;sup>31</sup> Calculadora para antenas *patch* ou *microstrip* em EmTalk (2020), Pasternack (2020) e EverythingRF (2020).

A aplicação deste modelo pode ser verificada por simulação eletromagnética numérica (HFSS-EM conforme modelo da Figura 4.13), onde podemos observar que para *diepads* pequenos a antena funciona de forma omnidirecional, conforme ilustra a Figura 4.14, enquanto que para *baseplates* que são maiores, começa a haver maior influência do efeito de borda formando-se lóbulos nas extremidades, conforme mostra a Figura 4.15. Um ponto a ser observado então é que os *diepads / baseplates* funcionam como antenas e efetivamente transmitem efetivamente a interferência para o substrato, devendo seu efeito ser incluído nas análises de interferência.

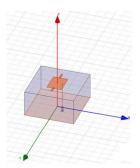


Figura 4.13 – Modelamento em HFSS do diepad/baseplate. Fonte: Maltione (2020).

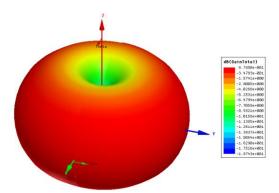


Figura 4.14 – Simulação HFSS do diepad SOIC de um circuito integrado de potência. Fonte: Maltione (2020).

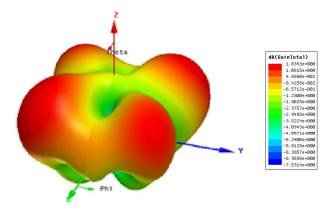


Figura 4.15 – Simulação HFSS do baseplate retangular de um módulo SiC de potência. Fonte: Maltione (2020).

# 4.4 Discussão sobre efeitos, mecanismos de falha e mitigação do RFI

De um modo geral, baseado nas discussões anteriores, podemos sistematicamente categorizar os efeitos e mecanismos de falha devido a RFI conforme descrito na Tabela 4.2.

Tabela 4.2 – Efeitos e Mecanismos de falha devido a RFI.

	Tabela 4.2 – Eleitos e Mecanismos de n	
Mecanismo de Falha	Efeitos	Formas de mitigação
	O RFI acoplado via alimentação altera o valor médio das	Filtragem local RC, com separação dos
	alimentações causando diminuição da faixa dinâmica de	ramos (A, D, Ref.) e pinos de alimentação
Acoplamento capacitivo	condicionamento dos sinais analógicos, diminuição da	para os blocos internos, principalmente
de RFI via alimentação	margem de ruído e níveis de comutação lógica,	para os sinais de potência. Cuidado
no modo tensão	causando jitter e desvios de frequência em osciladores	especial na distribuição dos GND com
	e aumentando o ruído de background, diminuindo a	relação a laços de terra e separação em
	resolução A/D e D/A.	referências (V, I, clock).
	O RFI acoplado via alimentação caminha através da	Separação dos trajetos de corrente
Acoplamento indutivo	alimentação afetando os blocos internos (sendo	envolvendo sinais de potência, com a
de RFI via alimentação	atenuada em alguns ramos), podendo causar falhas na	introdução de barreiras (trenches e poços
no modo corrente		
no modo corrente	polarização dependendo do PSRR e filtragem dos	de isolação) para diminuir e evitar
	blocos.	propagação via substrato.
	O RFI acoplado altera o valor médio das tensões e	Diminuição dos componentes e das áreas
Acoplamento capacitivo	correntes nos nós internos alterando o limiar lógico e	de acoplamento, com aumento de
de RFI via	margem de ruído para processamento de sinais digitais	distância entre blocos interferentes.
substrato isolado	e condicionamento dos sinais analógicos, para casos de	Filtragem local, isolamento de ramos de
(SOI)		potência.
	potência muito alta de interferência. (>40dbm)	Corrente de polarização >> iRFI
	O RFI acoplado altera o valor médio das tensões e	Diminuição dos componentes e das áreas
	correntes nos nós internos alterando o processamento	de acoplamento, com aumento de
Acoplamento capacitivo	de sinais digitais e o	distância entre blocos interferentes.
de RFI via substrato	condicionamento dos sinais analógicos, alterando	Filtragem local, isolamento de ramos de
convencional (Bulk)	fortemente nós de alta impedância, mesmo em	potência.
convencional (Bank)	potências de interferência relativamente baixas (<	Corrente de polarização >> iRFI
	40dBm).	Equalização da tensão do substrato
	400BH).	Uso de trenchs e poços de isolamento
	O RFI retificado causa sobreposição de polarização i/v,	
	levando a desvios dos pontos de operação ou saturação	(caso Bulk), clamps e mudança de
	em VDD ou GND dependendo do nível da interferência.	polarização, ou uso de tecnologia com
Sobreposição de RFI em	No modo corrente são introduzidas componentes	substrato de alta Res-sp ou SOI (se
i/v por retificação	harmônicas de alta frequência do sinal interferente que	possível).
(Bulk, Trenches)	se propagam pelo circuito.	Para evitá-la ou minimizar a propagação
(Bulk, Heliches)	Dependendo do nível de interferência pode causar	do sinal deve-se diminuir o BW dos
	travamento, Latchup, degradação ou destruição de	dispositivos.
		Pode ser necessário uso de tecnologia
	dispositivos (excedendo SOA).	para tensões mais altas.
Sobreposição de RFI em	Ativação de parasitas inativos, devido a um evento de	Uso de trenches e poços de isolamento
1/v por ativação de	gatilho, ativando um caminho não esperado para fluxo	(caso Bulk), mudança de polarização e
parasitas inativos	e acoplamento da interferência.	uso de tecnologia SOI (se possível).
parasitas mastras	Conexões internas trafegando correntes com sinal de	Maior distância entre linhas de correntes
Acoplamento indutivo	potência (com forte composição harmônica) induzem	com sinal de potência transiente e
de RFI via campo	correntes interferentes em linha paralelas devido ao	distanciamento de dispositivos que
próximo	•	·
	campo B próximo.	podem ser magneticamente sensíveis.
Acoplamento de RFI via	As ligações internas dependendo das dimensões (L >>	Ligações curtas, filtragem e uso interno
efeito antena em nets	$\lambda$ /20) atuam como antenas acoplando o sinal de RFI	de striplines, microstrip e blindagens
internas ou substrato	para o substrato ou diretamente ao nó ao qual pertence	(shields) baseado no comprimento de
	a ligação antena.	onda do sinal interferente (λ).
Acoplamento de RFI via	Estas partes metálicas dependendo das dimensões (L >>	Aterramento das peças metálicas e
efeito antena no	λ/20) atuam como antenas acoplando o RFI	alteração das dimensões (L e W),
baseplate, diepad ou	diretamente (condutivo) ou capacitivamente (isolado)	considerando o comprimento de onda do
dissipador	para o substrato ou nó.	sinal interferente (λ).
	O DEL acontado ó processado nos dispositivos listentes	Diminuição da banda do circuito através
Propagação linear e não	O RFI acoplado é processado por dispositivos lineares e	de filtros, aumento da dimensão dos
linear de RFI	não lineares com grande $F_T$ , propagando o sinal e	dispositivos, além da diminuição da
	harmônicos (NL) pelas polarizações.	
	Tiarmonicos (NE) peras polarizações.	polarização.

Fonte: Maltione (2020)

## 4.5 Resumo e conclusões do Capítulo 4

Neste Capítulo foram abordados os principais efeitos e mecanismos de falhas devido à interferência de RF em circuitos integrados de potência, com a análise de impacto destes mecanismos em blocos de construção destes dispositivos.

Foram analisadas as interações do acoplamento do RFI nas alimentações do dispositivo, nos modos tensão (acoplamento capacitivo) e corrente (acoplamento indutivo), que impactam na redução da faixa de excursão para processamento de sinais analógicos, assim como na redução da faixa dinâmica (DR) que fornece a relação entre a potência de alimentação e a potência de ruído. Estes fatores impactam na resolução máxima permitida para o processamento analógico de sinais provenientes de sensores tais como corrente, tensão e temperatura, que podem afetar o sistema de controle destes dispositivos, assim como diminuir a resolução da conversão A/D, D/A e PWM, devida a diminuição do número efetivo de bits (ENOB). Sistemas de base de tempo (clock) também são afetados com introdução de variação da frequência de oscilação e de jitter, provocando alterações na temporização do sistema.

Com relação aos mecanismos de falha, foram analisados os casos de baixa interferência onde o sinal é acoplado capacitivamente via junções parasitas reversamente polarizadas formadas no substrato não isolado (tecnologia Bulk), ou capacitivamente por outras fontes em substratos isolados (tecnologia SOI).

Foi analisado também o fenômeno de retificação, onde uma junção diretamente polarizada conduz a interferência para um nó do circuito. Conforme o nível de carregamento do circuito ocorre à introdução de componentes harmônicas de frequência superiores ao sinal interferente, devido à característica não linear dos dispositivos, sendo fornecidas as expansões em série de Volterra/Fourier não linear da interferência.

Foi apresentado também o modelamento do efeito antena do diepad/baseplate com apresentação de simulação de eletromagnética de campo em HFSS para as mesmas.

Finalmente os mecanismos e falhas são sumarizados e agrupados por categoria, sendo fornecidos os principais métodos de mitigação baseado em estudos recentes da literatura.

# Capítulo 5

# Simulação e Predição usando o método de Interferência Complexa

# 5.1 Introdução

Nos dias de hoje, o fluxo de projeto normalmente empregado para circuitos integrados usa ferramentas CAD de alto desempenho, associadas a bibliotecas de tecnologia bem definidas, componentes físicos caracterizados estatisticamente e correlacionados com os modelos. Esse fluxo é responsável pelo sucesso do projeto já em nível de simulação, podendo chegar ao produto final em poucos passos de integração. Entretanto caso não seja aplicada uma metodologia de verificação da susceptibilidade dos dispositivos e módulos, durante a execução do projeto, corre-se um alto risco de reprojeto, quando os problemas de interferência são descobertos em geral na fase dos testes de qualificação de EMC. Assim as questões de EMC devem ser abordadas durante o fluxo de projeto. Entretanto a previsibilidade de comportamento diante de certo tipo e nível de interferência (prevista em norma) não é sempre fácil de se obter, dependendo muito dos métodos e ferramentas utilizadas.

# 5.2 Métodos de simulação para predição dos efeitos do RFI

A predição dos efeitos da interferência de RF em circuitos complexos (SOCs, ASICs) pode ser realizada nos seguintes domínios: temporal, frequêncial, balanço harmônico (temporal e frequêncial) e simulação eletromagnética FEM por solução de campos via TCAD, conforme métodos discutidos no Capítulo 3 e ilustrados na Figura 5.1. Neste Capítulo será utilizado o método proposto (Interferência Complexa) para análise da interferência.

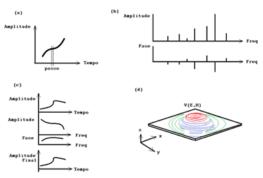


Figura 5.1 – Métodos de simulação/predição dos efeitos de RFI em circuitos complexos. (a) temporal, (b) frequêncial, (c) balanço harmônico e (d) FEM via TCAD. Fonte: Maltione (2020).

#### 5.3 Estudo de casos: Blocos Smart Power fundamentais

Para a demonstração dos métodos desenvolvidos nos Capítulos 3 e 4 deste trabalho, vamos considerar hipoteticamente dois circuitos integrados *Smart Power* projetados para aplicação em um inversor de 1kW destinado ao uso em conversão de energia FV, subdivididos em dois blocos, sendo um dedicado à conversão DC/DC no lado FV (*PV side*), e outro dedicado à conversão DC/AC no lado da rede de distribuição (*grid side*).

Nesta estratégia vamos supor que o inversor tem a seguinte arquitetura: no lado DC serão usados 2 (ou 4) módulos FV com 72 células solares que serão conectados em conversores DC/DC independentes gerando alta tensão DC, estando conectados em paralelo. No lado AC o sinal da rede é gerado por um inversor monofásico em SPWM a cada 180 graus para conexão com a rede ou para uso em sistemas isolados (sem conexão com a rede). Esta arquitetura está ilustrada na Figura 5.2.

Assim consideremos o caso onde o conversor DC/DC analógico é definido por um SOC ou MIP com a seguinte arquitetura:

- 1) Referência de tensão (bandgap Brokaw) e corrente e monitores de alimentação
- 2) Condicionadores de sinal analógico para os sensores de V/I e Amplificador de erro
- 3) Oscilador de Relaxação para geração de base de tempo e PWM analógico
- 4) Driver em configuração Full-Bridge para transistores de potência MOS ou GaN
- 5) Controlador PWM analógico, com amplificador de erro e compensação do tipo II

Para o conversor DC/AC digital vamos considerar o caso onde temos um SOC ou MIP com a seguinte arquitetura:

- 1) Referência de tensão (bandgap Kuijk), corrente, POR e monitores de alimentação
- 2) Condicionadores de sinal analógico para os sinais de tensão e corrente AC
- 3) Oscilador a Cristal tipo Pierce para geração de base de tempo
- 4) Driver para o inversor AC em ponte H para transistores de potência MOS ou SiC
- 5) Controlador SPWM SOC ou DSP (controlador digital PLL para conexão da rede)

Conforme podemos observar deste particionamento, temos cinco categorias principais de circuitos que podem ser impactados pelos efeitos da interferência de RF. Assim nos próximos itens são apresentados estudos de casos para alguns blocos Smart Power fundamentais, usando o método proposto no Capítulo 3 (Interferência Complexa), sendo apresentadas simulações SPICE, mostrando os efeitos típicos do RFI nestes circuitos, com a elaboração de modelos de interferência dos mesmos. Isto permitirá o seu uso em uma simulação SPICE mista/PSIM de topo do sistema envolvendo um circuito de grande porte. Para este propósito serão usadas simulações transientes convencionais e com aplicação do método de interferência complexa, demonstrando o seu potencial na análise de circuitos.

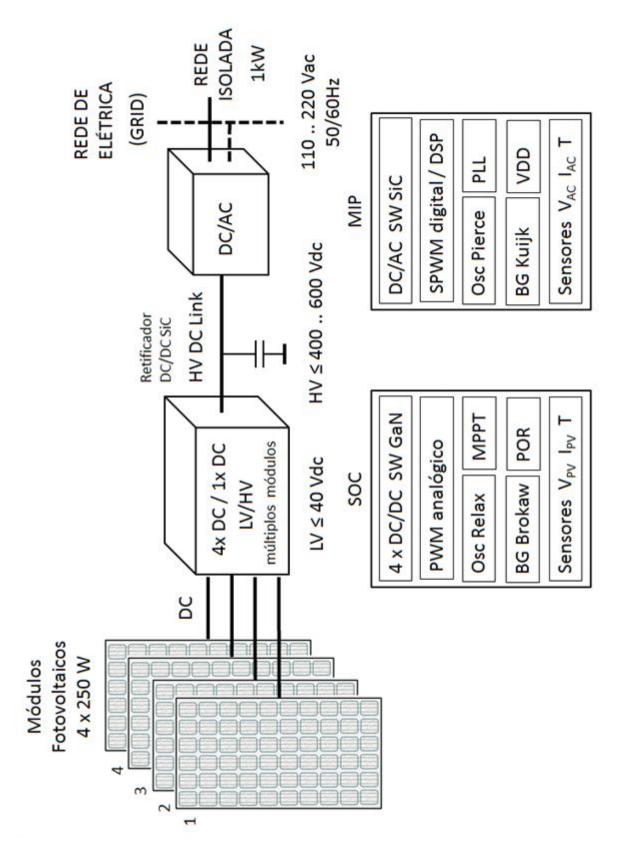


Figura 5.2 – Circuito Inversor PV com 2 estágios para ilustração dos efeitos de RFI. (Conversor DC/DC, Lado FV + Conversor Inversor DC/AC, Lado da Rede)

Fonte: Maltione (2020).

#### 5.3.1 Estudo de Caso 1: RFI em referências Bandgap

As referências de tensão e corrente são blocos fundamentais em circuitos Smart Power analógicos, sendo utilizados para polarização de outros blocos com tensões estáveis em temperatura (referência bandgap), correntes independentes da temperatura, assim como com correntes proporcionais a temperatura que é usada para compensação da variação do  $g_m$  dos transistores em blocos de ganho. Inicialmente, nos primórdios da concepção dos circuitos integrados, considerava-se que as junções semicondutoras tinham um coeficiente linear negativo de aproximadamente -2mV/K. Entretanto estudos mais aprimorados (e.g. TSIVIDIS, 1980), revelaram não linearidades neste comportamento. O ponto de partida de tal discussão remete as curvas da energia de bandgap na proximidade do zero da temperatura absoluta.

Varshni (1967), compilando resultados de pesquisas em diversos materiais propôs que a energia de *bandgap* de um semicondutor pode ser expressa por<sup>32</sup>:

$$E_G(T) = E_{G0} - \frac{\alpha T^2}{T + \beta} \tag{5.1}$$

Onde:  $E_{G0}$  representa a energia a 0K e  $\alpha$ ,  $\beta$  constantes de ajuste da função. Esta relação pode ser aplicada também a outros materiais semicondutores, além do silício. A Tabela 5.1 mostra estas constantes para materiais BG, WBG e UWBG, sendo que as Figuras 5.3, 5.4 e 5.5 mostram as curvas da função para os materiais Si, SiC e GaN, respectivamente.

Tabela 5.1 – Função da energia do bandgap para semicondutores BG, WBG e UWBG

Material	Bandgap @ 0K	Coeficiente α	Coeficiente β	Categoria
semicondutor	[eV]	[eV/K]	[K]	
Ge	0.744	4.77 x 10 <sup>-4</sup>	235	BG
Si	1.166	4.73 x 10 <sup>-4</sup>	636	BG
GaAs	1.519	5.41 x 10 <sup>-4</sup>	204	BG
SiC (4H)	3.265	6.50 x 10 <sup>-4</sup>	1300	WBG
GaN	3.480	8.58 x 10 <sup>-4</sup>	692	WBG
Diamante	5.446	7.917 x 10 <sup>-4</sup>	2220	UWBG
		$E_{G0}^{-}(\alpha T^2 + 55.4)/(T + 6)$		

Fonte: Maltione (2020). Compilação de dados da literatura.

2

Trata-se de uma equação empírica. Os valores para  $E_{G0}$ ,  $\alpha$  e  $\beta$  variam na literatura sendo atribuídas tolerâncias a estes valores, conforme o ajuste de dados experimentais. Tsividis (1980) cita estas variações para o Si. Para o Ge, Si e GaAs os dados foram obtidos de Zeghbroeck (1996, 1997), sendo que para o 4H-SiC, os valores foram coletados em Goldberg *et al.* (2001) e para o GaN em Herr *et al.* (1997). Os dados para o diamante são dados em Varshni (1967).

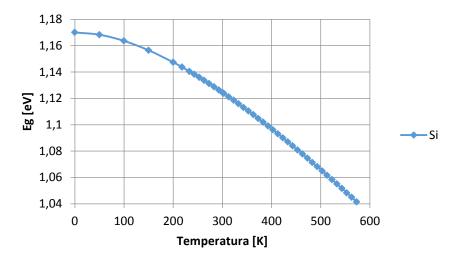


Figura 5.3 – Função da energia do bandgap para o Si. Fonte: Maltione (2020)

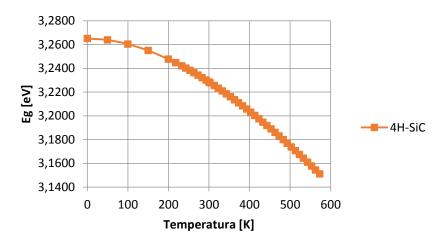


Figura 5.4 – Função da energia do bandgap para o SiC. Fonte: Maltione (2020)

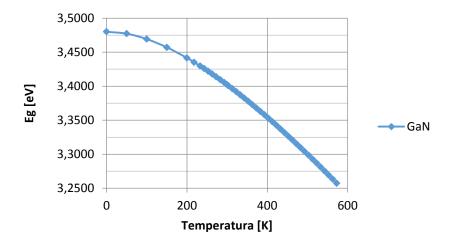


Figura 5.5 – Função da energia do bandgap para o GaN. Fonte: Maltione (2020)

O conceito da geração de tensões de referência através da tensão de *bandgap* foi criado por Hilbiber (1967), tendo sido aplicado em um circuito integrado pela primeira vez por Widlar (1971) para uso como tensão de referência em reguladores de tensão integrados. Após Widlar, considerado o criador do "*bandgap*", surgiram outras células mais aprimoradas usando o mesmo conceito devido a Kuijk (1973), Brokaw (1974), Meijer e Verhoeff (1976), Tsividis (1980) e Gilbert (1996), dentre outros (implementadas em Si, envolvendo tecnologia bipolar ou junções bipolares implementadas em processos CMOS, e.g. (TSIVIDIS, 1980)).

Em circuitos Smart Power projetados em tecnologias BCD, devido à disponibilidade de componentes bipolares com alto desempenho, a célula *bandgap* proposta por Brokaw (1974), ganhou destaque nos projetos, dado o seu ótimo desempenho, sem a necessidade de amplificadores de controle sofisticados. Outro aspecto interessante é que esta topologia pode ser implementada em tecnologias WBG, tais como SiC abrangendo aplicações de robustez e alta temperatura (apesar de que o modelamento em SiC é mais complexo devido à alta temperatura e ainda experimental).

Na célula básica de Brokaw a tensão de saída do *bandgap* é obtida pela soma de uma tensão com coeficiente de temperatura negativo, obtida a partir de uma junção diretamente polarizada, com uma tensão com coeficiente de temperatura positivo obtido a partir da diferença de tensão entre duas junções com densidades de corrente diferentes, amplificada por um valor de ganho ajustado que favorece "magicamente" a compensação<sup>33</sup>.

A tensão que é proporcional à temperatura absoluta é referida como PTAT, sendo a tensão do diodo (que tem comportamento inverso ou complementar) é referida como CTAT. Neste contexto, as tensões ou correntes que são independentes da temperatura são referidas como ZTAT. Assim a tensão da referência de tensão pode ser dada por:

$$V_{REF}(T) = V_{BE}(T) + K\Delta V_{BE}(T) \quad , \quad (SOMA = CTAT + PTAT)$$
 (5.2)

Entretanto as componentes de  $V_{BE}(T)$  não são funções lineares da temperatura, apresentando não linearidades que levam a tensão  $V_{BG}$  a apresentar uma curvatura, fazendo a tensão variar de dezenas a centenas de ppm, conforme o projeto do bandgap. Segundo Tsividis (1980), a dependência em relação à temperatura da tensão em uma junção diretamente polarizada,  $V_{BE}$ , pode ser mais precisamente estimada por:

Maiores detalhes da concepção podem ser encontrados no livro, Brokaw (2011).

$$V_{BE}(T) = V_G(T) - \left(\frac{T}{T_R}\right)V_G(T_R) + \left(\frac{T}{T_R}\right)V_{BE}(T_R) - \eta\left(\frac{kT}{q}\right)\ln\left(\frac{T}{T_R}\right) + \left(\frac{kT}{q}\right)\ln\left[\frac{I_C(T)}{I_C(T_R)}\right]$$

$$(5.3)$$

Onde  $V_G(T)$  representa a tensão de *bandgap* do semicondutor na temperatura T,  $T_R$  a temperatura de referência (i.e. 300K), h é uma constante e a  $I_C(T)/I_C(T_R)$  a relação entre a corrente de polarização em relação à temperatura absoluta e a de referência, respectivamente.

Para facilidade de análise podemos utilizar uma formulação mais compacta para a equação de Tsividis, similar a usada por Gilbert (1996), onde a tensão  $V_{BE}(T)$  pode ser expressa em termos da temperatura absoluta normalizada ( $H=T/T_N$ , onde  $T_N$  é a temperatura de referência, usada na normalização e  $E_{GE}$  a tensão de *bandgap* normalizada, correspondente a  $V_G(T)$  e  $V_{TN}=kT_N/q$ , a tensão térmica normalizada). Assim a equação (5.3) pode ser expressa na forma (GILBERT, 1996):

$$V_{BE} = E_{GE} - H(E_{GE} - V_{BEN}) + V_{TN}Hln\left(\frac{I_C}{I_N}\right) - \eta V_{TN}HlnH$$
(5.4)

Usando um valor de  $I_C$  que possa ser expresso em termos de  $I_N$ , como  $I_C = \lambda I_N$ , podemos expressar  $V_{BE}$  em função de  $I_C$  e H, que pode ser descrita após algumas manipulações por:

$$V_{BE}(I_C, H) = E_{GE} - H(E_{GE} - V_{BEN} - V_{TN} \ln \lambda) - (\eta - 1)V_{TN} H \ln H$$
(5.5)

A diferença de tensão entre as junções com densidades diferentes de corrente é dada por:

$$\Delta V_{BE}(H) = V_{TN}H \ln\left(\frac{J_1}{I_2}\right), \ J_1 = A_1 I_1, \ J_2 = A_2 I_2 \tag{5.6}$$

Normalmente para  $I_1=I_2$ , utiliza-se M dispositivos em paralelo para  $I_2$ , de forma que cada dispositivo é polarizado com  $I_2/M$ , gerando assim uma diferença no valor do  $V_{BE}$  em relação ao dispositivo polarizado pela corrente  $I_1$  Considerando-se M como o fator entre as áreas  $A_1$  e  $A_2$ , temos que:

$$\Delta V_{BE}(H) = V_{TN}Hln\left(\frac{A_1I_1}{A_2I_2}\right) = V_{TN}HlnM$$
(5.7)

Assim a tensão de referência dada pela relação (5.2) assume a forma:

$$V_{REF}(H) = V_{TN} - H(E_{GE} - V_{BEN} - V_{TN}ln\lambda) - (\eta - 1)V_{TN}HlnH + KV_{TN}HlnM$$
(5.8)

Valores comumente assumidos nesta equação são:  $E_{GE}$ =1.17V (T=0K), M=8,  $\lambda$ =Ie h=2.3. O valor da constante K depende da configuração do circuito (ganho) e do valor nominal de  $V_{BE}$ .

A análise de interferência em bandgaps é um tanto complexa, pois depende da forma de acoplamento da mesma. De uma forma geral o acoplamento ocorre em maior intensidade nos dispositivos com maior área, tais como os diodos ou transistores nas fronteiras com o substrato (tecnologia Bulk), por acoplamento capacitivo, ocorrendo também nos resistores e outros componentes do circuito em menor intensidade (dependendo da implementação).

Para uma análise mais simplificada da interferência, englobando os principais componentes não lineares, vamos considerar então o caso mais comum, onde ocorre o acoplamento do sinal de RF nos transistores (ou diodos) de referência através de uma impedância não linear (que pode ser capacitância de junção) nos nós  $N_1$  e  $N_2$  da como ilustrado na Figura 5.6 (Brokaw) e na Figura 5.7 (Kuijk).

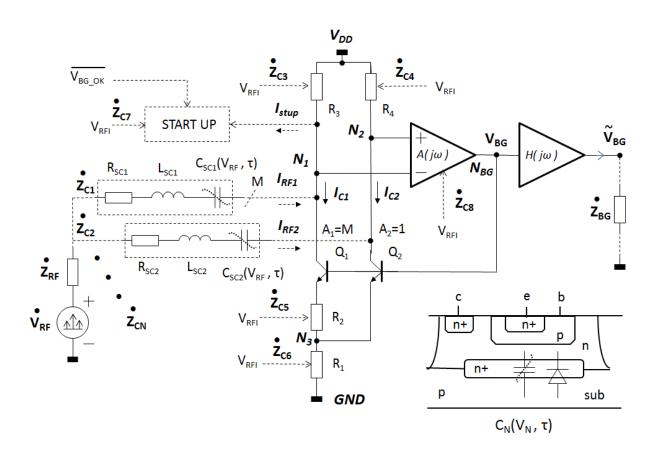


Figura 5.6 – Simulação e predição dos efeitos de RFI em referências tipo Brokaw. Fonte: Maltione (2020).

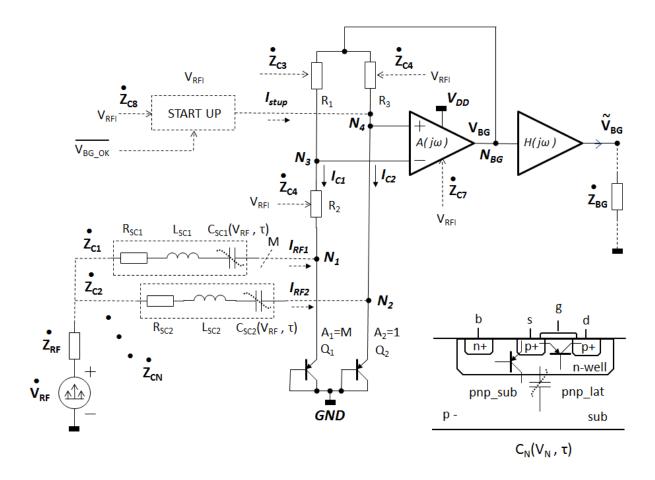


Figura 5.7 – Simulação e predição dos efeitos de RFI em referências tipo Kuijk. Fonte: Maltione (2020).

As correntes sobre interferência, supondo  $I_{CI}=I_{C2}=I_C$ ,  $k_{CI}\approx k_{C2}\approx 1$ ,  $k_{RFI}\approx k_{RF2}\approx 1$  podem ser modeladas como descrito no Capítulo 3 por:

$$\widetilde{I}_1 = k_{C1}(\omega)I_{C1} + k_{RF1}(\omega)\widetilde{I_{RF1}}(\omega) = I_C + M\widetilde{I_{RF}}(S, \omega_1..\omega_n)$$
(5.9)

$$\widetilde{I}_2 = k_{C2}(\omega)I_{C2} + k_{RF2}(\omega)\widetilde{I_{RF2}}(\omega) = I_C + \widetilde{I_{RF}}(S, \omega_1..\omega_n)$$
(5.10)

Onde  $I_C$  é a corrente DC de polarização DC dos transistores e  $\widetilde{I_{RF}}(S,\omega_1...\omega_n)$  é o funcional que fornece o valor médio da corrente dada pela densidade espectral S do sinal de RF interferente, truncada em N frequências (e.g. N=5), ou no caso monotonal simplesmente  $\widetilde{I_{RF}}(\omega)$ .

Considerando que  $M=A_1/A_2$  representa a relação de áreas dos dispositivos 1 e 2, substituindo então as correntes de polarização de operação normal, pelas correntes sob interferência, nas expressões de  $V_{BE}$  e  $\Delta V_{BE}$  temos:

$$V_{BE}(H,S) = E_{GE} - H(E_{GE} - V_{BEN}) + V_{TN}Hln\left[\left(\frac{1}{I_N}\right)\left(I_C + \widetilde{I_{RF}}(S,\omega_1..\omega_n)\right)\right] - \eta V_{TN}HlnH$$
(5.11)

$$\Delta V_{BE}(H,S) = V_{TN} H ln \left( M \frac{I_C + M \widetilde{I_{RF}}(S, \omega_1..\omega_n)}{I_C + \widetilde{I_{RF}}(S, \omega_1..\omega_n)} \right)$$
 (5.12)

Assim, substituindo estes resultados em (5.2) temos que a tensão de referência sob interferência pode ser dada por:

$$V_{REF}(H,S) = E_{GE} - H(E_{GE} - V_{BEN}) + V_{TN}Hln\left[\left(\frac{1}{I_N}\right)\left(I_C + \widetilde{I_{RF}}(S,\omega_1..\omega_n)\right)\right]$$

$$- \eta V_{TN}HlnH + KV_{TN}Hln\left(M\frac{I_C + M\widetilde{I_{RF}}(S,\omega_1..\omega_n)}{I_C + \widetilde{I_{RF}}(S,\omega_1..\omega_n)}\right)$$
(5.13)

A expressão (5.13) revela o fato de que com o aumento da intensidade da interferência, o termo PTAT torna-se majoritário em relação ao termo CTAT, o que leva ao desequilíbrio da tensão de referência, deixando a mesma com coeficiente positivo de temperatura (que cresce com a interferência). Do mesmo modo podemos verificar que o termo com interferência é amplificado pelo fator *K*, de ganho da célula, causando um offset na tensão de referência.

Para comprovação deste resultado foi realizada uma simulação numérica da equação (5.13), considerando-se um bandgap fabricado em processo BiCMOS 0.6μm, com transistores NPN, sofrendo interferência de RF CW, na frequência de 100MHz. Para esta tecnologia o acoplamento da interferência ocorre através de uma junção reversamente polarizada, via uma capacitância reversa não linear, modelada como:

$$C_j(V_R) = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{\phi}}}$$
(5.14)

Onde:  $C_{j0}$  representa a capacitância de junção com tensão de polarização nula,  $V_R$  a tensão reversa aplicada na junção e  $\phi$  o potencial interno (built-in) da junção, dado por:

$$\phi = \left(\frac{kT}{q}\right) ln\left(\frac{N_A N_D}{n_i^2}\right) = V_T ln\left(\frac{N_A N_D}{n_i^2}\right)$$
(5.15)

Sendo que:  $V_T$  é a tensão térmica definida anteriormente e  $N_A$ ,  $N_D$  e  $n_i$  são as concentrações das dopagens para os semicondutores tipo P, N e intrínseco respectivamente. Para T=300K,  $V_T=26mV$ , sendo que para o processo em questão temos  $\phi\approx0.9V$ , com Cj0=4.15fF. Foram assumidos os seguintes valores para os parâmetros:  $E_{GE}=1.17V$ ,  $E_{GN}=1.1245V$ ,  $\eta=2.3$ ,  $V_{BEN}=0.672V$ ,  $I_C=10uA$ , M=8, K=10,52 (valor mágico para o ganho),  $R_D=200\Omega$  e  $R_L=50\Omega$ .

Para o caso monotonal (100MHz, CW) podemos então estimar a corrente interferente como:

$$\widetilde{I_{RF}}(\omega, P_{RF}) = \left| \dot{I_{RF}}(\omega) \right| = \frac{\sqrt{P_{RF(RMS)}R_L}}{R_{SC} + j\omega L_{SC} - j\frac{1}{\omega C_{i0}}\sqrt{1 + \frac{V_R}{\phi}}}$$
(5.16)

A partir destes dados podemos estimar a tensão de saída da referência em função da potência do sinal interferente, assim como representada na Figura 5.8.

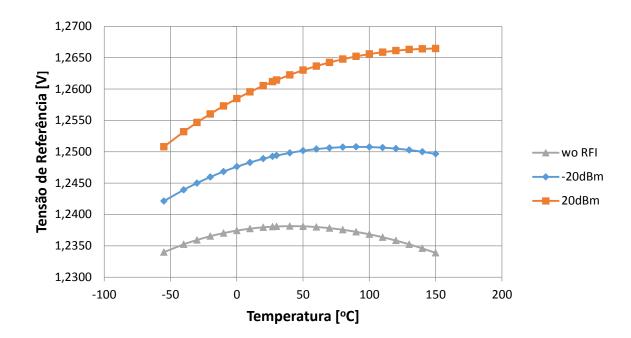


Figura 5.8 – Simulação numérica dos efeitos do RFI em referências bandgaps.  $(f_{RFI}=100MHz, com alta e baixa injeção de potência de RF).$  Fonte: Maltione (2020).

Para o caso onde temos um sinal de RF mais complexo, com várias componentes frequênciais, podemos estimar a corrente interferente a partir da densidade espectral do sinal. A interferência de RF,  $V_{RF}$ , pode ser definida como uma série complexa:

$$\dot{\mathbf{V}}_{RF}(t) = \sum_{n=-\infty}^{\infty} \mathbf{A}_{RF} \mathbf{e}^{jn\omega t} \quad , \text{com} \qquad \qquad \omega_n = 2\pi f_n = \frac{2\pi}{T_n}$$
 (5.17)

Ou no caso mais geral (sinal complexo com não linearidades), por série de Volterra como:

$$V_{RF}(t) = V_{RF0} + \sum_{n=1}^{\infty} V_{RFn}[u(t)]$$
 (5.18)

$$V_{RFn}[u(t)] = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} v_{RF}(\tau_1, \dots, \tau_n) \prod_{i=1}^{n} u(t - \tau_i) d\tau_1 \cdots d\tau_n$$
 (5.19)

Onde  $V_{RFn}$  [u(t)] é o operador de Volterra de ordem n, e  $v_{RF}(\tau_1,...,\tau_n)$ , os respectivos núcleos. Para obter-se conteúdo espectral deste sinal, podemos aplicar a transformada de Fourier multidimensional, no núcleo de  $V_{RFn}$  em (5.19), como:

$$\mathfrak{I}[v_{RF}(\tau_1, \dots, \tau_n)] = \dot{V}_{RF}(\omega_1, \dots, \omega_n)$$
(5.20)

$$\dot{V}_{RF}(\omega_1, \dots, \omega_n) = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} v_{RF}(\tau_1, \dots, \tau_n) e^{-j(\omega_1 \tau_1 + \dots + \omega_n \tau_n)} d\tau_1 \dots d\tau_n$$
 (5.21)

Onde  $v_{RF}(\tau_1, ..., \tau_n)$  é o núcleo da função.

Então a partir da expressão (5.19) podemos calcular a densidade espectral como:

$$S_{RF}(\omega_1, \dots, \omega_n) = \dot{V}_{RF}(\omega_1, \dots, \omega_n) \dot{V}_{RF}^*(\omega_1, \dots, \omega_n)$$

$$(5.22)$$

Assim a potência da interferência aplicada é dada por:

$$P_{RF}(S_{RF}, \omega_1, \dots, \omega_n) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} S_{RF}(\omega_1, \dots, \omega_n) d\omega$$
 (5.23)

A corrente de interferência pode então ser estimada como no caso anterior (monotonal) como:

$$\widetilde{I_{RF}}(S, \omega_1..\omega_n, P_{RF}) = \left| \frac{\sqrt{P_{RF}(S, \omega_1, ..., \omega_n) R_L}}{Z_C(S, \omega_1, ..., \omega_n)} \right|$$
(5.24)

Sendo que a impedância de acoplamento  $Z_C$  deve ser considerada para as N componentes:

$$Z_C(S, \omega_1, \dots, \omega_n) = Z_C[W_1 z_1(\omega_1), \dots, W_n z_n(\omega_n)], \qquad \sum W_n = 1, n = 1..N$$
 (5.25)

Onde,  $W_n$  representa o peso de  $z_n$  (núcleos) na impedância da enésima componente espectral:

$$z_n(\omega_n) = R_{SC} - j \left( \omega_n L_{SC} - \frac{1}{\omega_n C_{j0}} \sqrt{1 + \frac{V_R}{\phi}} \right)$$
 (5.26)

Conforme podemos observar o modelamento é complexo, sendo que dependendo da interferência, os núcleos, podem não convergir sendo indicada então a expansão de Laguerre.

As simulações SPICE a seguir, mostram o comportamento do bandgap (BG) tipo Brokaw, totalmente bipolar em tecnologia BiCMOS 0.6um para uma frequência de interferência de 100MHz, em duas condições: baixa potência de RF (+10dBm) e alta potência de RF (+30dBm). A interferência é aplicada após o *bandgap* entrar em regime, quando o sinal bandgap OK está ativo e estável (Figura 5.9). Uma janela de "*zoom*" é aplicada em 90us, para verificação das distorções, sendo mostrado um offset de tensão na saída do bandgap (Figura 5.10).

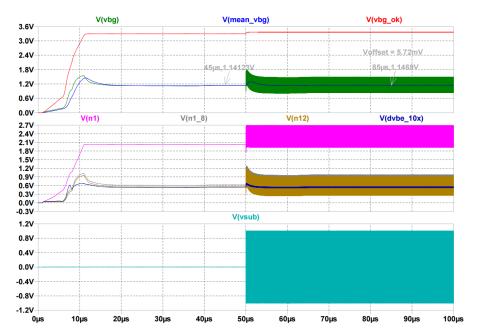


Figura 5.9 – Simulação do bandgap Brokaw com RFI @ 100MHz, +10dBm. Fonte: Maltione (2020).

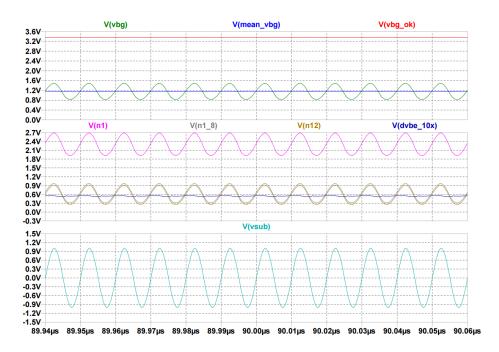


Figura 5.10 – Simulação do BG Brokaw com RFI @ 100MHz, +10dBm – Zoom @ 90us. Fonte: Maltione (2020).

As simulações mostram que o sinal sofre baixa distorção, assim nas Figuras 5.11 e 5.12 são mostrados as FFTs da tensão de saída e das correntes que circulam pelos nós N1 e N2 (correntes de coletor de Q1(M dispositivos) e Q2), onde podemos observar o processamento não linear da interferência, com componentes significativas até 1GHz. Outro ponto importante é que a tensão de saída da célula carrega componentes harmônicos de alta frequência que serão propagados pelos módulos que usarem o sinal desta célula como referência.

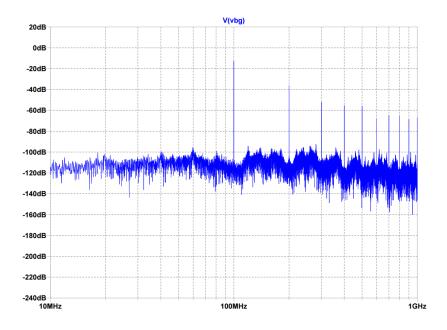


Figura 5.11 – FFT do  $V_{BG}$  do bandgap Brokaw com RFI @ 100MHz, +10dBm. Fonte: Maltione (2020).

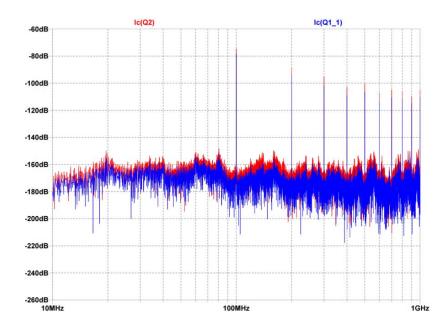


Figura 5.12 – FFT de iQ1 e Q2 do BG Brokaw com RFI @ 100MHz, +10dBm. Fonte: Maltione (2020).

Para um sinal interferente de alta potência, as simulações mostram que ocorre falha na tensão de saída do *bandgap*, vista pela queda do sinal de bandgap OK. Podemos observar também que aparece um offset muito grande na saída (Figura 5.13), sendo que o "*zoom*" do sinal em 90us mostra que nos nós *N1* e *N2*, ocorre a retificação do sinal (pode se verificar o semiciclo positivo da senóide do sinal retificado e o efeito do tempo de recuperação inverso da junção que forma os pulsos distorcidos, como na Figura 5.14). Podemos verificar a falha extrema onde a tensão de saída se aproxima da alimentação V<sub>DD</sub>.



Figura 5.13 – Simulação do bandgap Brokaw com RFI @ 100MHz, +30dBm, Fonte: Maltione (2020).

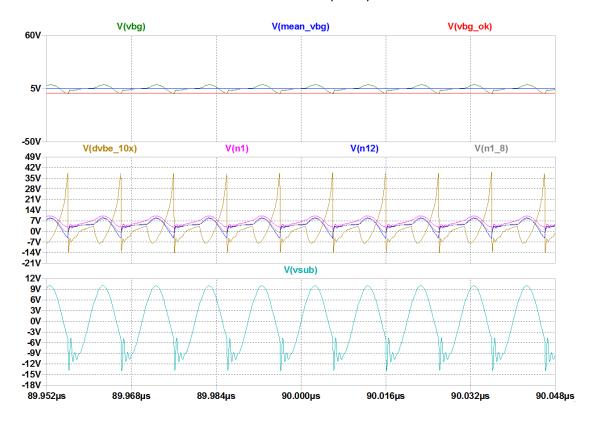


Figura 5.14 – Simulação do BG Brokaw com RFI @ 100MHz, +30dBm – Zoom @ 90us. Fonte: Maltione (2020).

As simulações mostram que o sinal sofre alta distorção, como mostram as FFTs da tensão de saída (Figura 5.15) e das correntes que circulam pelos nós *N1* e *N2* (correntes de coletor de Q1(M dispositivos) e Q2), onde podemos observar a retificação da interferência, com componentes significativas até 1GHz (Figura 5.16).

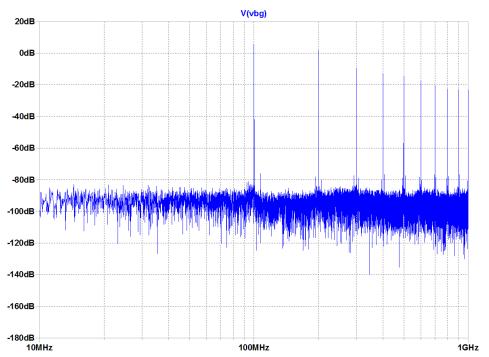


Figura 5.15 – FFT do  $V_{BG}$  do BG Brokaw com RFI @ 100MHz, +30dBm. Fonte: Maltione (2020).

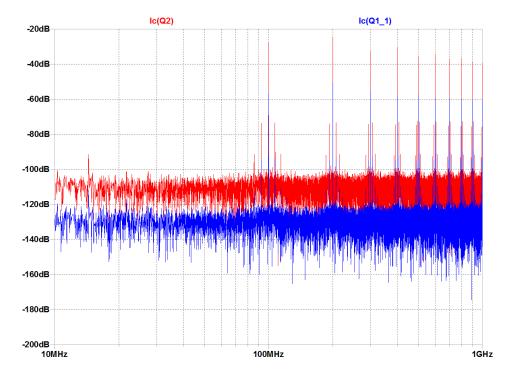


Figura 5.16 – FFT de iQ1, iQ2 do BG Brokaw com RFI @ 100MHz, +30dBm. Fonte: Maltione (2020).

Estas simulações foram repetidas para potências de interferência de -20dBm a 60dBm em passos de 10dBm para mostrar o comportamento da tensão de saída em função da intensidade da interferência (10 simulações para cada sinal: VBG e VBG\_OK).

Os resultados foram compilados na Figura 5.17, mostrando que ocorre superposição do RFI até 20dBm (RFI baixo), retificação de 20 a 40dBm e sobreposição da alimentação de 40 a 60dBm. A partir de 20dBm o circuito está muito comprometido podendo ocorrer queima de outros blocos e desligamento de blocos dependentes do VBG\_OK (e.g. travamentos, reset, etc.).

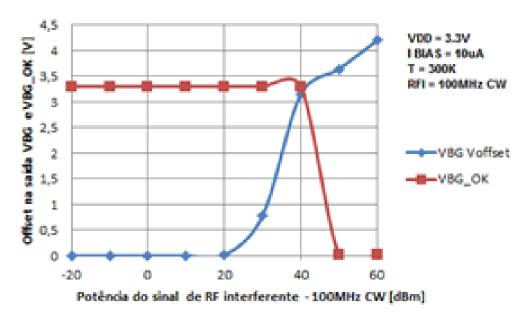


Figura 5.17 – Simulação do comportamento da saída  $V_{BG}$  do bandgap Brokaw com RFI. Fonte: Maltione (2020).

Como esta tensão de referência é usada em outros módulos, considerando-se apenas o efeito da tensão de *bandgap*, temos impactos na tensão de saída do regulador (que pode queimar o processador após 20dBm), no *charge pump* usado em reguladores com chave de passagem NMOS (que pode queimar ou causar problemas de confiabilidade do transistor de passagem) e alteração em todos os monitores de tensão baseados na tensão  $V_{BG}$ , com destaque para a queda do sinal de reset POR, que pode desligar todo o inversor dependendo da implementação. Estes dados estão compilados na Tabela 5.2 (Supondo  $V_{SUP} = V_{PV} = 30V$ ).

Tabela 5.2 – Consequências em outros módulos em função dos desvios no bandgap

Potência da	Tensão de	Tensão do	Tensão do <i>charge pump</i>	Power-on-
interferência	Referência VBG	Regulador VDD	3xVDD, h=0.95	Reset (POR)
		_	1	` '
de RF [dBm]	[V]	(1+R1/R2)VBG	3h(1+R1/R2)VBG	Baseado no
				VBG_OK [V]
-100	1,2000	3,3000	9,4050	3,3000
-90	1,2000	3,3000	9,4050	3,3000
-80	1,2000	3,3000	9,4050	3,3000
-70	1,2000	3,3000	9,4050	3,3000
-60	1,2000	3,3000	9,4050	3,3000
-50	1,2000	3,3000	9,4050	3,3000
-40	1,2000	3,3000	9,4050	3,3000
-30	1,2000	3,3000	9,4050	3,3000
-20	1,2000	3,3000	9,4050	3,3000
-10	1,2001	3,3002	9,4056	3,3002
0	1,2008	3,3023	9,4116	3,3023
10	1,2014	3,3039	9,4161	3,3039
20	1,2104	3,3285	9,4862	3,3285
30	1,9817	5,4496	15,533	5,4496+
40	4,3470+	11,914++	33,956+	11,914+
50	4,8420+	13,316++	37,949+	200m
60	5,4010+	14,854++	40,331+	200m
A1 .				

Notas:

Fonte: Maltione (2020).

As simulações a seguir (Figuras 5.18 e 5.19) mostram o comportamento do *bandgap* (BG) tipo Kuijk, implementado em tecnologia BiCMOS 0.6um para uma frequência de interferência de 100MHz, em duas condições: baixa potência de RF (+10dBm) e alta potência de RF (+40dBm, para mostrar o efeito em VBG\_OK).

Para simplificação da simulação (objetivando mostrar os efeitos nas equações de Gilbert), não foram considerados o efeito do RFI no OPAMP, que gera um *offset* de tensão na saída para baixa interferência e saturação para alta interferência, e que devem ser acrescidos aos sinais apresentados (poderíamos também considerar o uso de OPAMPs imunes a RFI tais como reportados na literatura).

Assim como no caso anterior, a interferência é aplicada após o *bandgap* entrar em regime, quando o sinal bandgap OK está ativo e estável. Uma janela de "*zoom*" é aplicada em 90us, para verificação das distorções, sendo mostrado um *offset* de tensão na saída do *bandgap*. Conforme podemos verificar os resultados são similares ao caso do *bandgap* tipo Brokaw.

<sup>+</sup> Começa a gerar problemas de confiabilidade

<sup>++</sup> Provável destruição do componente por sobre estresse

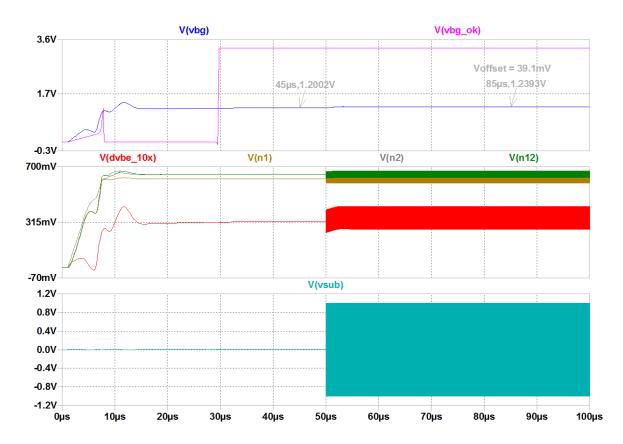


Figura 5.18 – Simulação do bandgap Kuijk com RFI @ 100MHz, +10dBm, Fonte: Maltione (2020).

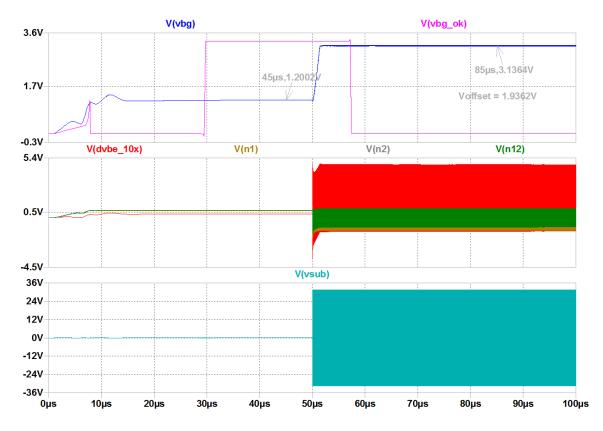


Figura 5.19 – Simulação do bandgap Kuijk com RFI @ 100MHz, +40dBm, Fonte: Maltione (2020).

Outros impactos importantes de serem analisados são os causados na conversão A/D dos sinais de monitoramento de corrente e tensão. Para o lado de baixa tensão (PV), os sinais provenientes dos sensores de corrente (tipo Hall ou tipo  $R_{shunt}$ ) e os de tensão provenientes de divisores resistivos que monitoram a tensão DC (lado PV) são condicionados por circuitos analógicos e então convertidos em valores digitais por conversores A/D. Os valores de corrente e tensão medidos são usados para cálculo da potência de entrada (PV), que então é utilizada em um controlador MPPT (Maximum Power Point Tracker) que altera o valor do PWM do conversor DC/DC, segundo um algoritmo de MPPT, para encontrar o ponto de máxima potência que poderá ser convertida. Conforme podemos verificar na Tabela 5.3 como a tensão de referência dos conversores A/D sofre alteração, o algoritmo falha, impondo valores de PWM saturados que podem levar o conversor a perda de eficiência, assim como a problemas de confiabilidade ou queima das chaves de potência por excesso de corrente.

Tabela 5.3 – Conversão A/D em função dos efeitos do RFI no bandgap (100MHz CW)

P <sub>RF</sub>	$V_{BG}$	$V_{REF}$	$V_{PV}$	$V_{PV}$	I <sub>PV</sub>	$I_{PV}$	P <sub>PV</sub> MPPT	PWM
[dBm]	[V]	A/D [V]	A/D [V]	DSP [V]	A/D [V]	DSP [V]	Calc. [W]	[%]
			FS=3V	FS=45V	FS=3V	FS=15A	FS=300W	FS=100%
-100	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-90	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-80	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-70	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-60	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-50	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-40	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-30	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-20	1,2000	3,0000	1,9000	29,4994	1,6660	8,3300	245,73	81,91
-10	1,2001	3,0002	1,9001	29,5012	1,6661	8,3305	245,76	82,02
0	1,2008	3,0021	1,9013	29,5199	1,6672	8,3358	246,07	82,10
10	1,2014	3,0035	1,9022	29,5338	1,6679	8,3397	246,30	82,10
20	1,2104	3,0260	1,9164	29,7546	1,6804	8,4021	250,00	83,33
30	1,9817	4,9542	3,1376	48,7151	2,7512	13,756	670,13	100,0+
40	4,3470	10,867	6,8828	106,862	6,0351	30,175	3224,59	100,0+
50	4,8420	12,105	7,6665++	119,030	6,7223++	33,612	4000,79	100,0++
60	5,4010	13,503	8,5516++	132,772	7,4984++	37,492	4977,88	100,0++

#### Notas:

Fonte: Maltione (2020).

<sup>+</sup> Começa a gerar problemas de confiabilidade

<sup>++</sup> Provável destruição do componente por sobre estresse

P<sub>RF</sub> Potência de RF do sinal interferente

V<sub>BG</sub> Tensão de referência bandgap

V<sub>REF</sub> Tensão de referência do conversor A/D

V<sub>PV</sub> Tensão do módulo PV medida e condicionada para conversão A/D

V<sub>PV</sub> Tensão do módulo PV calculada pelo processador DSP

I<sub>PV</sub> Corrente do módulo PV medida e condicionada para conversão A/D

I<sub>PV</sub> Corrente do módulo PV calculada pelo processador DSP

 $P_{PV}$  Potência fornecida pelo módulo PV calculada pelo processador DSP para o MPPT

PWM Ajuste na largura de pulso do PWM para encontrar o DSP encontrar o MPPT

FS Valor de fundo de escala

#### 5.3.2 Estudo de Caso 2: RFI em condicionadores de sinal (OPAMPs)

Os blocos condicionadores de sinais analógicos são responsáveis pela adequação dos níveis e filtragem de sinais provenientes de sensores para os níveis de entrada de conversores A/D, assim como para conversão de corrente em tensão, provenientes da saída de conversores D/A operando em modo corrente. São usados também para escalonar referências de tensão bandgap para os níveis desejados de tensões de referência, mantendo a referência com comportamento térmico similar ao bandgap. Outra importante função desempenhada por estes blocos é a de amplificação e controle analógico em malha fechada, tais como em reguladores de tensão, corrente e temperatura, desempenhando funções PI, PD e PID. Estes blocos têm como base os amplificadores operacionais (OPAMP), que podem operar em modo de ganho de tensão, corrente ou transcondutância (OTAs), sendo que são blocos fundamentais em circuitos *Smart Power* tipo analógico ou digital (interfaces para a conversão A/D e D/A).

A interferência de RF em amplificadores está bem reportada na literatura, tanto para versões contínuas como chaveadas (chopper), onde o ruído de entrada é minimizado pela translação do espectro do sinal adicionado ao ruído e posterior filtragem, obtendo-se uma redução do ruído equivalente. Situação semelhante ocorre em conversores A/D Sigma-Delta onde o processo de sobre amostragem e decimação reduz enormemente o ruído, atingindo altos níveis na relação SNR e número equivalente de bits (>16 ~ 24 bits). Para o caso do RFI aplicado a um OPAMP o principal efeito é o da introdução de um offset devido à sobreposição da interferência no par diferencial de entrada. Entretanto outras interações ocorrem, pois os amplificadores modernos podem ter vários estágios de ganho com entradas e saídas rail-to-rail, ainda com controle de desligamento para aplicações com gerenciamento de energia (comum em aplicações móveis e de baixo consumo). Em circuitos de potência são usados em condicionadores de corrente tipo "shunt" (em conexão Kelvin), sensores de corrente tipo "hall", etc., estando "na proximidade de sinais ruidosos", requerendo sempre uma análise de caso cuidadosa. Para demonstração da aplicação do método de interferência complexa em OPAMPs vamos considerar a simulação SPICE de um amplificador buffer de dois estágios, configurado como buffer (G=1) mostrando os efeitos em baixa e alta injeção de potência de RF, assim como o efeito da introdução do offset sistemático em função da potência de entrada. As Figuras 5.20 e 5.21 mostram o efeito em alta e baixa injeção, enquanto a Figura 5.22 mostra a tensão de offset induzido pelo RFI conforme a potência do sinal de RF interferente (100MHz CW).

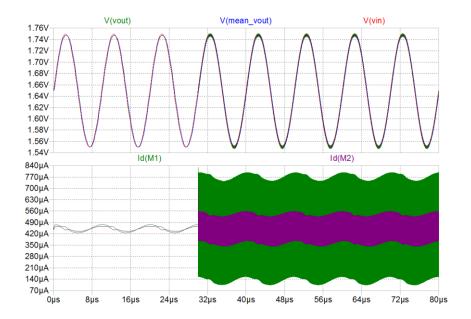


Figura 5.20 – Simulação do OPAMP com RFI @ 100MHz, +10dBm, Fonte: Maltione (2020).

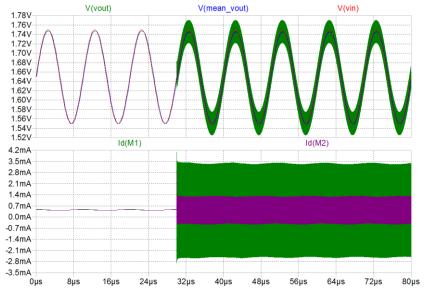


Figura 5.21 – Simulação do OPAMP com RFI @ 100MHz, +30dBm, Fonte: Maltione (2020).

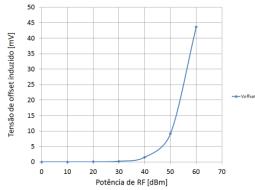


Figura 5.22 – Simulação do offset de saída *do OPAMP* em função da potência do RFI. Fonte: Maltione (2020).

#### 5.3.3 Estudo de Caso 3: RFI em osciladores de relaxação

As bases de tempo ou "clocks" são a segunda categoria de blocos fundamentais em circuitos *Smart Power* analógicos, sendo utilizados para o funcionamento dos circuitos lógicos sequênciais, máquinas de estado síncronas e processadores. Em geral circuitos controladores PWM analógicos e processadores com *clock* interno costumam utilizar osciladores de relaxação como base de tempo (com precisão de até 1000ppm/Hz).

Uma implementação comumente realizada e reportada na literatura (OLMOS et~al., 2008) é o oscilador de relaxação de duas fases baseado na carga e descarga de capacitores através de correntes controladas, muito comum em implementações CMOS e BiCMOS. As referências de tensão ( $V_{BG}=V_{REF}$ ) e corrente ( $I_{CI}=I_{C2}=I_{REF}$ ) são geradas por referências tipo bandgap, sendo o ajuste da frequência de operação feito por correntes ou um banco de capacitores ajustáveis (VILAS BOAS e OLMOS, 2004), conforme mostrado na Figura 5.23. Neste circuito a tensão da rampa de tensão nos nós NI e N2, resultado da carga dos capacitores de temporização, é monitorada por comparadores que permitem a carga até um valor baseado na tensão de referência bandgap, comutando ciclicamente. Para este tipo de circuito a frequência de oscilação é dada por:

$$f_{OSC} = \frac{1}{2C_T} \frac{I_{CT}}{V_{CT}} = \frac{1}{2(1+\delta)C_0} \frac{(1+\alpha)I_{REF0}}{(1+\beta)V_{RFF0}} = \frac{1}{2C} \frac{I_{REF}}{V_{RFF}}$$
(5.27)

Onde:  $I_{CT}$  e  $V_{CT}$  são a corrente de carga e tensão do capacitor  $C_T$ ,  $I_{REF}$  a corrente de referência,  $V_{REF}$  a tensão de referência, e  $[\alpha, \beta, \delta]$  são respectivamente fatores de ajuste da corrente de referência, tensão de referência e capacitância de temporização (*trimming*).

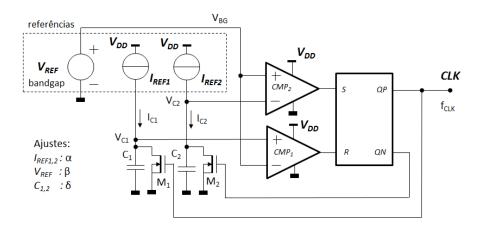


Figura 5.23 – Oscilador de Relaxação de duas fases. Fonte: Adaptado pelo autor de Vilas Boas e Olmos (2004).

Para a análise, vamos considerar o estudo descrito em Maltione *et al.* (2010), que investiga o caso de interferência em um oscilador de relaxação com duas fases. Vamos considerar então os nós N1 e N2 do oscilador de relaxação de saída CLK, centrado em  $f_0$  ajustado por C,  $I_{REF}$  e  $V_{REF}$ , conforme mostra a Figura 5.24.

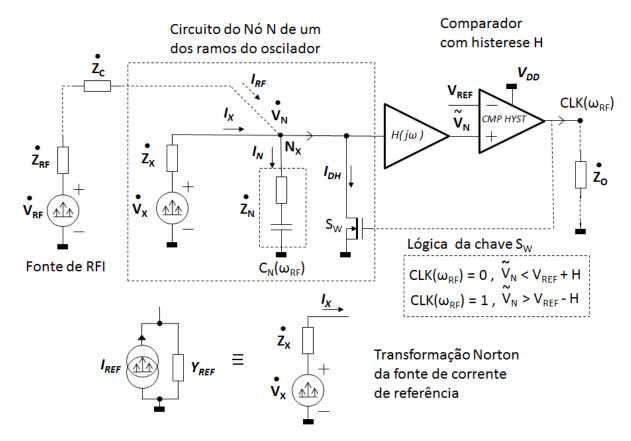


Figura 5.24 – Circuito para análise de interferência do nó *N1* ou *N2* de carga do capacitor. Fonte: Maltione (2020).

Aplicando a metodologia descrita no Capítulo 3 (interferência complexa), para análise da interferência, temos que a frequência de oscilação pode ser descrita por:

$$f_{OSC\_RFI} = \frac{1}{2C} \frac{I_{REF}}{V_{REF}} = \frac{1}{2C} \left[ \frac{k_1(\omega)I_{REF} + k_2(\omega)I_{RF}(\omega)}{k_3(\omega)V_{REF} + k_4(\omega)V_{RF}(\omega)} \right]$$
(5.28)

Assim os desvios da tensão e corrente de referência, assim como mostrado para o caso do bandgap se propagam neste bloco alterando a frequência de oscilação do mesmo. Supondo o caso onde a corrente  $I_{REF}$  é constante (i.e. insensível a RFI ou filtrada), em caso de interferência monotonal, a frequência de oscilação será dada por:

$$f_{OSC\_RFI} = \frac{1}{2C} \frac{I_{REF}}{V_{REF}} = \frac{I_{REF}}{2C} \left[ \frac{1}{k_{REF}(\omega)V_{REF} + k_{RF}(\omega)V_{RF}(\omega)} \right]$$
(5.29)

Como o período de oscilação é dado por  $T_{osc}=1/f_{osc}$  então temos:

$$T_{OSC\_RFI} = \frac{2C}{I_{REF}} [k_{REF}(\omega)V_{REF} + k_{RF}(\omega)V_{RF}(\omega)]$$
(5.30)

Isto significa que o RFI introduz um *jitter* determinístico  $J_{DET}$  no oscilador, cujo valor pico a pico pode ser estimado como:

$$J_{DET} = \left| T_{OSC} - T_{OSC\_RFI} \right| = \left| \frac{2CV_{REF}}{I_{REF}} \left\{ 1 - \left[ k_{REF}(\omega) + k_{RF}(\omega) \frac{V_{RF}(\omega)}{V_{REF}} \right] \right\} \right|$$
 (5.31)

O *jitter* total do oscilador será dado então pelo valor do *jitter* aleatório, dado pelo ruído do circuito (térmico e *flicker*) e pelo *jitter* determinístico no oscilador. Como o valor do *jitter* é muito grande para osciladores de relaxação, o *jitter* total (rms) e o ruído de fase (*Phase Noise*) não trazem muita informação devido ao grande desvio promovido pela interferência de RF no comportamento do oscilador.

Neste contexto, a Tabela 5.4 sumariza os resultados da simulação numérica, enquanto as Figuras 5.25 e 5.26 mostram os resultados da simulação SPICE da interferência de RF em um oscilador de relaxação, demostrando os efeitos previstos na discussão anterior. Nesta tabela foram incluídos os efeitos da variação do oscilador na geração de um PWM de 125kHz que usa este sinal como base de tempo (neste caso a frequência do oscilador é dividida por 64, usando um contador digital síncrono de 6 bits).

Conforme podemos observar a partir de 20dBm o oscilador começa a decair a frequência de oscilação devido à deterioração da tensão  $V_{BG}$  causada pelo RFI, o que leva os circuitos de chaveamento a operar com perdas, principalmente em circuitos que usam chaves WBG (SiC ou GaN), onde os circuitos magnéticos, capacitores ressonantes e tempos de guarda das chaves foram projetados para operar em alta frequência, de modo a reduzir o volume do conversor de energia.

Para o caso em que este oscilador é utilizado como base de tempo de um processador, os impactos são severos principalmente nas rotinas que requerem temporização, podendo levar a graves falhas no sistema.

O problema mais grave ocorre em alta injeção de potência, onde o *clock* pode parar de oscilar ou travar em uma situação em que as chaves de potência estão em estado ligado, que sem o desligamento são sobrecarregadas em corrente e consequentemente em temperatura vindo a queimar, deixando o equipamento inoperante.

Tabela 5.4 – Desvio de frequência no oscilador devido ao RFI (100MHz CW)

					Ι.		I _	/.
$P_{RF}$	$V_{BG}$	$f_{OSC}$	$\Delta f_{OSC}$	Tosc	J <sub>DET</sub>	$f_{PWM}$	$T_{PWM}$	$\Delta f_{PWM} / f_{PWM}$
[dBm]	[V]	[MHz]	/f <sub>osc</sub>	[ns]	[s]	f <sub>osc</sub> /64	[us]	[%]
			[%]	T <sub>0</sub> =125ns		[kHz]		f <sub>PWM</sub> =125kHz
			f <sub>0</sub> =8MHz					
-100	1,2000	8,0051	0,0000	124,9199	80p	125,080	7,9949	0,0000
-90	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-80	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-70	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-60	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-50	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-40	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-30	1,2000	8,0051	0,0000	124,9200	80p	125,080	7,9949	0,0000
-20	1,2000	8,0046	-0,0062	124,9277	80p	125,080	7,9949	-0,0062
-10	1,2001	7,9996	-0,0695	124,9277	80p	125,072	7,9954	-0,0695
0	1,2008	7,9958	-0,1165	125,0068	106p	124,993	8,0004	-0,1165
10	1,2014	7,9365	-0,1165	125,0657	145p	124,934	8,0042	-0,1165
20	1,2104	4,8475	-0,8576	126,0006	1n	124,007	8,0640	-0,8576
30	1,9817	4,8475	-39,445	206,2918	81n	75,7422	13,203	-39,445++
40	4,3470	2,2098	-72,395	452,5227	327n	34,5287	28,962	-72,395++
50	4,8420	1,9839	-75,217	504,0522	379n	30,9988	32,259	-75,217++
60	5,4010+	1,7786	-77,782	562,2441	437n	27,7904	35,984	-77,782++

#### Notas:

+ Começa a gerar problemas de confiabilidade

++ Causa problemas nos circuitos de chaveamento calculados para operar em f<sub>OSC</sub> (perdas e eficiência)

PRF Potência de RF do sinal interferente V<sub>BG</sub> Tensão de referência bandgap

f<sub>OSC</sub> Frequência do oscilador de relaxação

 $\Delta f_{OSC} / f_{OSC}$  Desvio percentual na frequência do oscilador de relaxação

T<sub>OSC</sub> Período do oscilador de relaxação

J<sub>DET</sub> Variação determinística do período do oscilador (Jitter determinístico). Medido

pico a pico.

 $f_{PWM}$  Frequência do PWM que usa este bloco como base de tempo.  $f_{PWM} = f_{OSC}/64$ 

Δf<sub>PWM</sub> /f<sub>PWM</sub> Desvio percentual na frequência do PWM

Fonte: Maltione (2020).

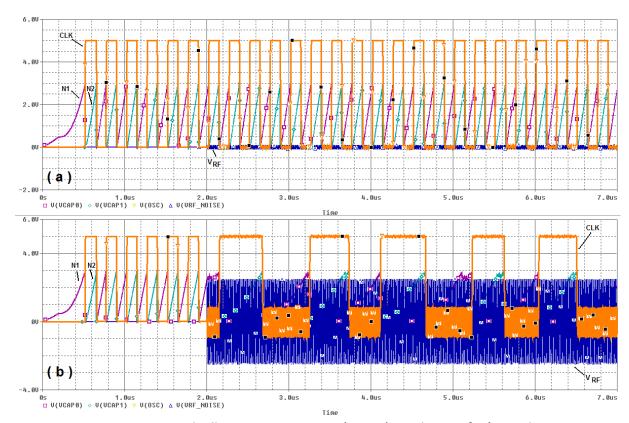


Figura 5.25 – Simulação transiente para vários níveis de interferência de RF. (a)  $V_{RFpk}$  = 100mV (-10dBm), (b)  $V_{RFpk}$  = 2500mV (+18dBm) @ 100MHz, Z = 50 Ohms Fonte: Maltione (2020)

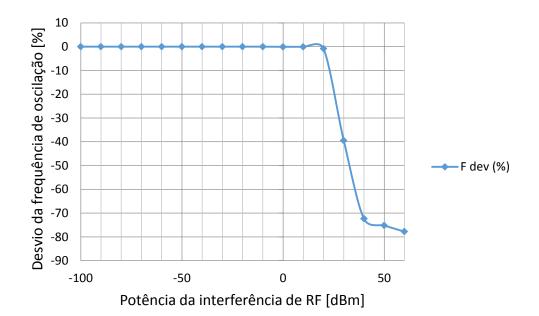


Figura 5.26 – Desvio da frequência de oscilação em função da potência do RFI. Fonte: Maltione (2020).

#### 5.3.4 Estudo de Caso 4: RFI em osciladores em osciladores harmônicos

Para efeito de demonstração de análise foi escolhido um oscilador tipo Pierce, que utiliza um cristal externo (cristal de quartzo ou um ressonador cerâmico) sendo a implementação mais comum como base de tempo em ASICs complexos, implementados em tecnologias CMOS, BiCMOS e BCD.

Há várias décadas, os osciladores do tipo Pierce (PIERCE, 1938; PARZEN, 1983) são amplamente utilizados como blocos de geração de base de tempo (*clock*) para microcontroladores (MCUs) e vários tipos de sistemas em um único chip (SOC). Na configuração usual, o cristal é frequentemente montado perto dos pinos do relógio da MCU acrescido de uma pequena rede composta por dois capacitores ( $C_1$  e  $C_2$ ) ligados ao terra, e um resistor conectado em paralelo com o cristal, sendo que o resistor destina-se a controlar a corrente do acionamento do cristal e evitar sobrecarga e distorção do sinal em harmônicas de alta ordem. Essa configuração garante uma grande estabilidade podendo-se usar cristais ou ressonadores cerâmicos. Outra característica interessante reside no fato de permitir o fácil ajuste do oscilador, através da alteração dos componentes da rede de realimentação de acordo com os parâmetros do fabricante do cristal de quartzo.

Com o encolhimento da tecnologia e o uso extensivo de MCUs em aplicações de baixo custo, o mercado para dispositivos com rede de realimentação interna (*on-chip*) cresceu enormemente, mesmo para aplicações operando em ambientes ruidosos, tais como o industrial e o automotivo (VITOZ *et al.*, 1988; COX e MERRITT, 2004; WILLIAMSON, 1983; KULESHOV, 2005 e KOUPLA *et al.*, 2002). Desta forma, para obter um produto de baixo custo, os capacitores de carga são internos, bem menores que os tradicionais externos, e muitas vezes, comparáveis às capacitâncias de entrada/saída do bloco ou à capacitância associada às estruturas de ESD usadas para proteger os pinos de conexão ao cristal externo.

Além disso, restrições com relação ao gerenciamento de energia para aplicações de baixa potência exigem que o amplificador de realimentação do cristal opere em níveis de corrente muito baixos, fazendo com que o cristal também use uma pequena corrente. Esses osciladores podem ser configurados para gerar um sinal de *clock* altamente preciso com algumas dezenas de ppm / °C de estabilidade, necessário para funções de precisão, tais como: temporizadores de captura de entrada para medição de período, geração de período para atrasos de tempo e agendamento de tarefas (*Scheduler*), comparação de timeout para PWM, *watchdog*, etc., assim como definir taxas de conversão A/D e D/A.

O excelente desempenho dos osciladores de cristal da Pierce pode ser seriamente afetado se usado em aplicações sobre forte interferência de radiofrequência (RF). Portanto, essa construção com rede de realimentação interna (de baixo custo) pode ser pouco robusta. Temos uma alta probabilidade de ocorrência de erros graves de temporização, ou simplesmente parar de oscilar em casos extremos. A literatura relata vários efeitos da interferência de RF, prevendo falhas induzidas em circuitos complexos. Neste trabalho examina-se o impacto da interferência e do carregamento na rede de realimentação dos osciladores do tipo Pierce, assim como sua influência na precisão da frequência, incluindo *jitter* e modulação, bem como mecanismos de falha que podem causar transtornos sob alta potência de RF aplicada na faixa de ressonância do substrato (que é dado pelo ajuste da indutância de substrato *L<sub>SUB</sub>* com as capacitâncias de junção parasitas).

Para início da análise, vamos considerar o estudo descrito em Maltione *et al.* (2011), que investiga o caso de um circuito oscilador básico de Pierce, baseado em um único transistor acionado por uma fonte de corrente para implementar um amplificador inversor. Isto pode ser realizado também usando um inversor sem *buffer* como mostrado na Figura 5.27a. Uma topologia com componentes de rede on-chip é mostrada na Figura 5.27b. Em implementações práticas de MCU, os componentes externos são usados de acordo com os parâmetros do fabricante do cristal ou do ressonador cerâmico. O modelo de cristal mostrado na Figura 5.28 representa os principais elementos ( $L_{SI}$ ,  $C_{SI}$  - responsável pela frequência de oscilação fundamental), os componentes espúrios ( $L_{SK}$ ,  $C_{SK}$ ) e os outros harmônicos ( $L_{SN}$ ,  $C_{SN}$  - restrito a 5 na prática) (LAURIN *et al.*, 1991). A Figura 5.27b também ilustra as estruturas de ESD relacionadas com os pads de E/S  $X_{TAL1}$  e  $X_{TAL2}$  que fornecem a interface entre os componentes internos (*on-chip*) e externos.

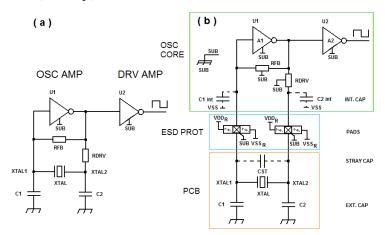


Figura 5.27 – Oscilador Pierce com capacitores C1 e C2 internos e externos. (a) Oscilador básico; e (b) Parasitas principais.

Fonte: Maltione et al. (2011).

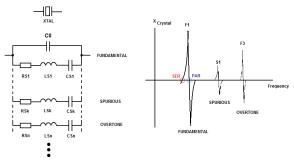


Figura 5.28 – Modelo equivalente do cristal de quartzo e diagrama de impedância. (incluindo os modos de oscilação fundamental, harmônicos e espúrios)

Fonte: Maltione *et al.* (2011) baseado em Williamson (1983).

Basicamente, existem dois esquemas de proteção contra ESD, conforme descrito em Cox e Merritt (2004). A Figura 5.29 mostra a seção transversal dessas estruturas destacando os principais parasitas associadas a elas. Com relação à faixa de frequência de oscilação para cristais operando no modo fundamental, e como  $L_{SI}$  é maior que as indutâncias parasitas, é então razoável concluir que o principal percurso de interferência ocorre via capacitâncias parasitas comparáveis às capacitâncias de carga presentes na rede de realimentação. Consideremos que a maioria dos MCUs possui uma parte analógica reduzida em contraste com a parte digital. Portanto, o esquema baseado em barramentos de alimentação é preferido em relação às proteções baseadas em pads. Assim, o caminho principal para a interferência é através dos diodos (para  $P_{BULK}$  e para o substrato) através de capacitâncias reversas. Esta interferência ocorre antes de se atingir o limiar necessário para ter o efeito de retificação do RFI pelos diodos de proteção operando no modo de polarização direta e reversa.

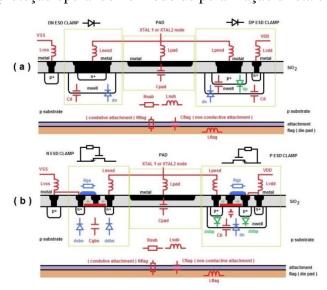


Figura 5.29 – Proteção de ESD e parasitas considerados para a análise de interferência. (a) Proteção baseada em Rail; e (b) Proteção baseada em PAD.

Fonte: Maltione et al. (2011).

Outro ponto importante analisado em Vittoz *et al.* (1988) é com relação às condições para ocorrer o início da oscilação (*startup*) e garantir a manutenção da oscilação, de modo a manter um ganho mínimo no amplificador (dado pela transcondutância do transistor,  $g_m$ , e a sua impedância de carga ressonante,  $Z_C$ ), conforme ilustrado na Figura 5.30. Neste gráfico estão mostradas no plano complexo a relação entre o  $g_m$ , a impedância  $Z_C$  e o fator p (*pulling*) de desvio de frequência do oscilador em relação à frequência mecânica motacional do cristal (dado por  $p=(\omega-\omega_m)/\omega_m$ , p<<1), onde  $Z_m$ , representa a impedância motacional. Uma vez que a transcondutância do transistor é definida pela sua polarização, temos baixos níveis de corrente para operação em baixa potência. Assim conforme descrito em Vittoz *et al.* (1988) são necessários circuitos adicionais para a inicialização da célula, controle de ganho de oscilação e amplificação do sinal, circuitos estes também sujeitos ao processo de interferência. Sistemas de controle automático da amplitude da oscilação, também podem estar presentes, tais como em Vilas Boas *et al.* (2014) que descreve um circuito usado em microcontroladores comerciais com estas características (patente).

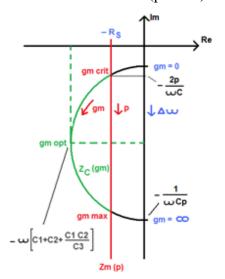


Figura 5.30 – Condição de estabilidade de um oscilador Pierce CMOS. Fonte: Elaborado pelo autor com base em Vittoz *et al.* (1988, p. 777).

Neste item será apresentado o desvio na frequência fundamental causada pela carga, assumindo que o fator Q do circuito oscilador é suficiente para mantê-lo oscilando próximo à frequência fundamental, embora ainda seja suscetível à interferência de RF.

Desta forma, a análise começa modelando a interferência através do caminho  $Z_C$  (que corresponde ao substrato, diepad, bulk e parasita ESD) aplicado à entrada do amplificador de realimentação como mostrado na Figura. 5.31.

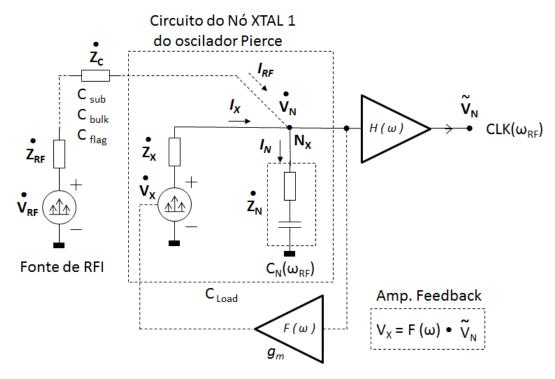


Figura 5.31 – Caminho de acoplamento para a entrada do amplificador de realimentação. Fonte: Maltione (2020).

Baseados neste modelo existem dois mecanismos de falha de acordo com o nível de interferência, conforme descrito no Capítulo 4:

A) Nível de interferência baixo a médio

Mecanismo de falha: carregamento e desvio do ponto de disparo

Condição: |VRF-sub  $| < (VDD / k) - V_D (k \approx 2, considerando-se processo CMOS),$ 

Neste caso, a interferência de RF acoplada via impedância ZC afetará o valor médio do ponto de disparo do amplificador do inversor (considerando um inversor lógico) ou alterando o ponto de polarização que refletirá nas condições de estabilidade do circuito. O desvio de frequência devido ao deslocamento do ponto de disparo e *jitter* serão induzidos.

B) Alto nível de interferência

Mecanismo de falha: correção e corrupção do relógio

Condição:  $|VRF\text{-sub}| \ge (VDD/k) - V_D(k \approx 2, \text{ considerando-se processo CMOS})$ 

Neste caso, a interferência de RF tem agora amplitude suficiente para colocar as proteções de ESD na região de polarização direta. Assim, fenômenos de retificação ocorrerão e as capacitâncias de carga aumentarão o valor médio na entrada do amplificador do inversor (mudança de ponto de disparo, considerando um inversor lógico), levando-o para fora da região de operação linear até atingir um dos limites para alternar sua saída para um estado permanente.

O primeiro mecanismo de falha é muito importante porque pode causar erros inesperados no sistema. Não é facilmente identificado e não pode ser previsto ou corrigido. O segundo mecanismo de falha é claramente fácil de identificar, pois ocorre um problema grave no sistema; por exemplo, durante o teste de injeção direta de potência de RF (DPI) quando o equipamento está procurando pelo ponto de máxima susceptibilidade. A próxima seção propõe uma análise inovadora baseada em uma nova definição de fator de carga para correlacionar o desvio de frequência com a carga induzida por interferência de RF.

A análise de interferência da injeção de RF para os nós do circuito na Figura 5.31 considera o ruído acoplado apenas nos nós sensíveis. A interferência de RF é representada por  $(V_{RF}, Z_{RF})$  acoplada ao nó N através de  $Z_C$  (acoplamento de substrato) ou via  $Z_F$  (ou seja, diepad ou "pad da pastilha") onde  $V_{RF}$  e  $V_X$  são sinais complexos. Assumindo que estas fontes podem ser expressas por suas séries complexas de Fourier como:

$$V_{RF}(t) = \sum_{n=-\infty}^{\infty} A_{RF} e^{jn\omega t}; V_X(t) = \sum_{n=-\infty}^{\infty} A_X e^{jn\omega t}; \omega = 2\pi f_{RF} = \frac{2\pi}{T_{RF}}$$
 (5.32)

A corrente através do nó N é dada por  $I_N = I_X + I_{RF}$  onde  $I_X$  representa o componente de operação normal e  $I_{RF}$  o componente de interferência. Aplicando a análise de interferência descrita no Capítulo 3,  $V_N$  pode ser expressa usando uma constante média I / T com  $T > T_{RF}$  em relação ao *offset* devido à interferência de RF como:

$$\widetilde{V}_{N}(\omega) = K_{X}(\omega)\widetilde{V}_{X}(\omega) + K_{RF}(\omega)\widetilde{V}_{RF}(\omega)$$
(5.33)

onde  $K_X$  e  $K_C$  são constantes para certa frequência  $\omega$  e  $V_X$  e  $V_{RF}$  são tensões médias.

Podemos observar que o amplificador foi modelado como  $H(\omega)$ . Este sinal retorna ao nó N através da rede de realimentação representada por  $F(\omega)$  que inclui o ressonador de cristal. Sob a condição de baixa interferência, o bloco  $H(\omega)$  pode ser considerado como operando na região linear, permitindo a oscilação se o ganho da malha for suficiente para garantir o deslocamento de fase total que satisfaça a condição de oscilação (WILLIAMSON, 1983; VITTOZ *et al*, 1988). Neste caso, a interferência afeta o ganho de malha fechada e a posição dos polos. Então, isso pode causar instabilidade e afetar o tempo de inicialização. Na condição de alta interferência, o bloco  $H(\omega)$  tem um comportamento não linear (devido à retificação) causando uma mudança expressiva no ganho de malha fechada com geração de harmônicos que será processada pelo amplificador. Podemos observar também que, quando  $V_N$  atinge um dos limites do inversor, o sistema entra em colapso e a oscilação para.

Como discutido anteriormente, quando o nível da interferência é baixo, não é fácil prever o desvio de oscilação de maneira fácil. Um método possível é analisar os efeitos na rede de realimentação do ponto de vista do carregamento dos nós *N1* e *N2*. Como o oscilador Pierce trabalha com uma reatância positiva (WILLIAMSON, 1983), a relação entre os elementos de ressonância paralela e série pode ser explorada.

A frequência de oscilação para o modo série depende apenas da capacitância  $C_{SI}$  e da indutância  $L_{SI}$ , sendo dada por:

$$f_{S \to RIE} = \frac{1}{2\pi \sqrt{L_{S1}C_{S1}}} \tag{5.34}$$

A frequência de oscilação para o modo paralelo é afetada pela capacitância paralela do cristal  $(C_0)$  e pela capacitância de carga associada à rede de realimentação. Pode ser expressa por:

$$f_{PARALELO} = \frac{1}{2\pi \sqrt{L_{S1}C_{S1}\frac{C_0C_L}{C_{S1} + C_0 + C_L}}}$$
(5.35)

A capacitância de carga ( $C_L$ ) é composta pela capacitância equivalente nos nós N1 e N2 ( $C_I$  e  $C_2$  em série), a capacitância parasita ( $C_{STRAY}$ ) e a capacitância parasita entre os pinos da unidade do encapsulamento do dispositivo cristal ( $C_U$ , sendo que alguns autores também incluem a placa PCB, onde temos capacitâncias parasitas entre as trilhas). Assim,  $C_L$  é:

$$C_L = C_{12} + C_{STRAY} + C_U (5.36)$$

Onde  $C_{12}$  é dado por:

$$C_{12} = \frac{C_1 C_2}{C_1 + C_2} \tag{5.37}$$

A relação entre a frequência de oscilação no modo paralelo e no modo série é encontrada combinando as Equações (5.34) e (5.35):

$$f_{OSC\_PARALELO} = f_{OSC\_S\'ERIE} \sqrt{1 + \frac{C_{S1}}{C_0 + C_L}}$$
(5.38)

A expressão (5.38) mostra que o modo de ressonância paralela ocorre muito próximo da frequência de oscilação do modo série e sua proximidade é afetada pelas condições de carga. Portanto, o termo dentro da raiz é muito pequeno. Alguns autores como Williamson (1983) expandem esse termo em série de Taylor e desconsideram os termos superiores. A frequência de oscilação para o modo paralelo é afetada pela capacitância do cristal paralela ( $C_0$ ) e pela capacitância de carga associada à rede de realimentação. Com estas considerações, a relação entre estes dois modos de oscilação pode ser expressa por:

$$f_{OSC\_PARALELO} = f_{OSC\_S\'ERIE} \left[ 1 + \frac{C_{S1}}{2(C_0 + C_L)} \right]$$

$$(5.39)$$

A expressão (5.39) é precisa o suficiente para descrever a dependência de frequência com centenas de ppm. Agora, substituindo a capacitância  $C_L$  pela Equação (5.36), os componentes da rede de realimentação podem ser incluídos da seguinte forma:

$$f_{OSC\_PARALELO} = f_{OSC\_S\'ERIE} \left[ 1 + \frac{C_{S1}}{2(C_{12} + C_0 + C_{STRAY} + C_U)} \right]$$
(5.40)

A expressão (5.40) pode ser normalizada em termos de C0, e definindo-se um fator de carga para o oscilador, definido como (Apêndice D.1):

$$L_F = \frac{1}{2} \frac{\alpha + 1}{\alpha(x + p + 1) + p + 1}$$
 (5.41)

Onde os parâmetros (  $\alpha$  , x , p ) representam respectivamente a razão  $C_2/C_1$  , a razão da capacitância  $C_1$  normalizada em uma função de  $C_0$  , e a razão das capacitâncias paralelas normalizadas em uma função de  $C_0$ .

A introdução deste fator simplifica a expressão e permite a análise da interferência através do fator de carga. A Equação (5.41) está ilustrada na Figura 5.32 como uma superfície em termos destas variáveis (considerando-se p << 1).

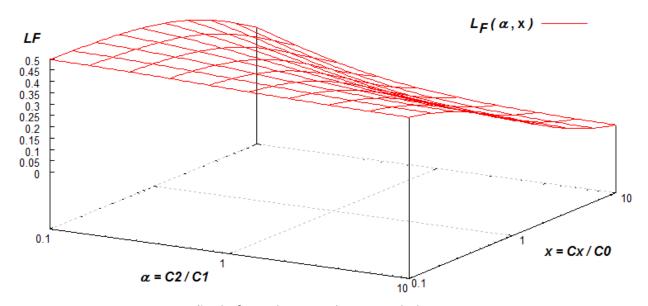


Figura 5.32 – Função do fator de carga de um oscilador a XTAL tipo Pierce. Fonte: Maltione *et al.* (2011).

Podemos observar que o fator de carga tem uma variação maior para um x grande devido ao grande incremento de capacitância nos nós N1 ou N2, enquanto a relação  $C_2/C_1$ , dada por  $\alpha$  introduz uma variação fraca no fator de carga  $L_F$ .

Finalmente, a relação entre o modo de oscilação do oscilador a cristal de Pierce em termos do fator de carga é dada por:

$$\frac{f_{OSC\_PARALELO}}{f_{OSC\_S\acute{E}RIE}} = 1 + L_F \frac{C_{S1}}{C_0} \tag{5.42}$$

Considerando um cristal típico de 4MHz com C<sub>S1</sub>=54fF e C<sub>0</sub>=2.9pF, o desvio de frequência pode ser plotado como uma função de superfície na Figura 5.33.

Podemos observar que esta função mostra o mesmo comportamento observado em  $L_F$ . Podemos verificar também que o fator de carga pode ser obtido da Equação (5.42), e através da medida da frequência paralela podemos avaliar também o fator  $L_F$ , uma vez que  $C_0$ ,  $C_{SI}$  e a frequência ressonante em série são especificadas pelo fabricante do cristal:

$$L_F = \frac{C_0}{C_{S1}} \left( \frac{f_{OSC_{PARALELO}}}{f_{OSC_{S\acute{E}RIE}}} - 1 \right) \tag{5.43}$$

Assumindo que o oscilador está sob interferência RF, mas de tal forma que o valor médio da tensão do substrato é tal que mantém os diodos operando em polarização reversa (caso A, nenhum fenômeno de retificação no local) <sup>34</sup>, e considerando  $p \ll 1$  com  $\alpha = 1$ , e x = v + f, o fator de carga aproxima-se de:

$$L_F \approx \frac{1}{2} \frac{1}{(v+f+1)+1} \tag{5.44}$$

Onde v e f são a razão de variação devido a RFI (de 0.01 a 100) e a taxa de correção nos nós do cristal N1 e N2 em relação a  $C_0$ , respectivamente.

A Equação (5.44) produz a superfície mostrada na Figura 5.34. Neste caso, a relação de frequência é severamente afetada em condições de forte interferência de RF, porque a relação de capacitância de junção C<sub>I</sub>/C<sub>0</sub> aumenta devido à redução na profundidade da barreira de potencial. Observe que o desvio é acentuado para altas razões de C<sub>X</sub>/C<sub>0</sub> (alto valor de capacitância colocado nos nós N1 e N2).

No caso de ocorrer retificação a avaliação do fator de carga não faz sentido devido às altas correntes injetadas no nó que pode levar o amplificador a saturação ou corte, modificando consideravelmente a forma de onda de saída, assim como sua frequência de oscilação, até a condição de bloqueio do clock em altos níveis de interferência.

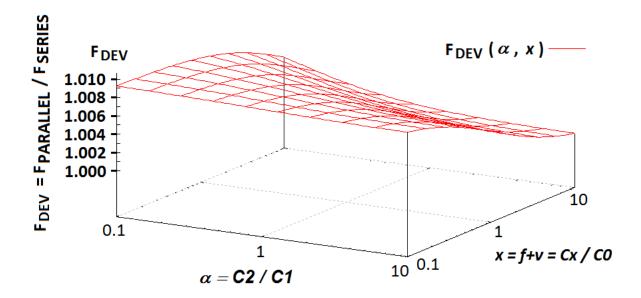


Figura 5.33 – Desvio de frequência do oscilador sem interferência. Fonte: Maltione *et al.* (2011).

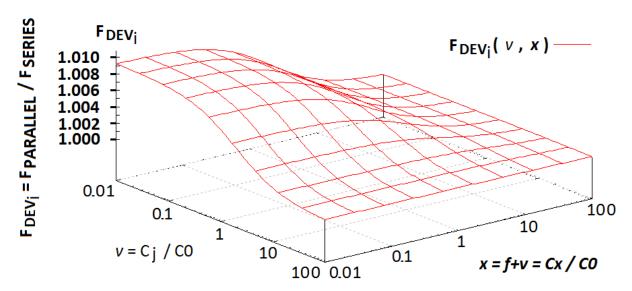


Figura 5.34 – Desvio de frequência do oscilador com interferência. Fonte: Maltione *et al.* (2011).

O oscilador na Figura 5.27 foi simulado usando um processo CMOS de 0,35  $\mu$ m com modelos de RF apropriados para os dispositivos e o substrato. Um inversor simples operando na região linear foi utilizado como amplificador de realimentação. O sinal de interferência RF foi ajustado para uma frequência de 100MHz com uma impedância de fonte de 50 $\Omega$  acoplada ao substrato através de  $Z_C$ .

O circuito teste de simulação considerou todos os elementos da rede de realimentação discutidos anteriormente. Os *drivers* de saída lógica também foram adicionados ao circuito teste para analisar a perturbação de RF induzida na saída de digital do oscilador.

A Figura 5.35a ilustra os resultados da simulação para um nível de interferência de baixa potência (3dBm). A injeção de interferência de RF causa superposição de ruído nos nós de cristal NI e N2. Nenhuma perturbação significativa é observada na tensão de cristal ou na forma de onda da corrente.

O problema gerado pela superposição de RF também causa uma oscilação induzida no driver de saída (*bounce*). Esse comportamento resulta em instabilidade de *clock* e *jitter*, fazendo com que o oscilador perca sua precisão. Este comportamento pode ser observado na janela de *zoom* mostrada na Figura 5.35b. Com um nível de potência mais alto (10-18dBm) de interferência de RF injetada no substrato, o nó *N1* torna-se suscetível ao mecanismo de retificação até o ponto em que o circuito para de oscilar como previsto anteriormente (Caso de alta injeção). Este comportamento é mostrado na Figura 5.35c e ampliado na Figura 5.35d.

Assim, baseado nestes resultados de predição dos efeitos do RFI em osciladores a cristal tipo Pierce, podemos concluir que:

- 1) Usando uma rede de realimentação externa com valores expressivos de  $C_1$  e  $C_2$  (pF), a interferência é pequena (variação de poucos ppm) e o oscilador a cristal é estável apesar de uma forte interferência.
- 2) Entretanto apenas com uma rede de realimentação interna, com  $C_1$  e  $C_2$  internos e com pequeno valor (fF) a interferência pode ser pequena ou catastrófica dependendo do nível de potência do sinal interferente (enorme variação em ppm, ou até possível perda do sinal de clock).
- 3) Deve-se garantir uma corrente de polarização estável (livre de interferência ou filtrada) de modo a garantir um valor de  $g_m$  acima do valor crítico, de modo que o oscilador continue estável durante a interferência de RFI. Existem ainda efeitos parasitas no resistor de realimentação interno, não considerados nesta análise, por considerarmos que sua capacitância parasita está refletida em  $C_1$  e  $C_2$  internos.

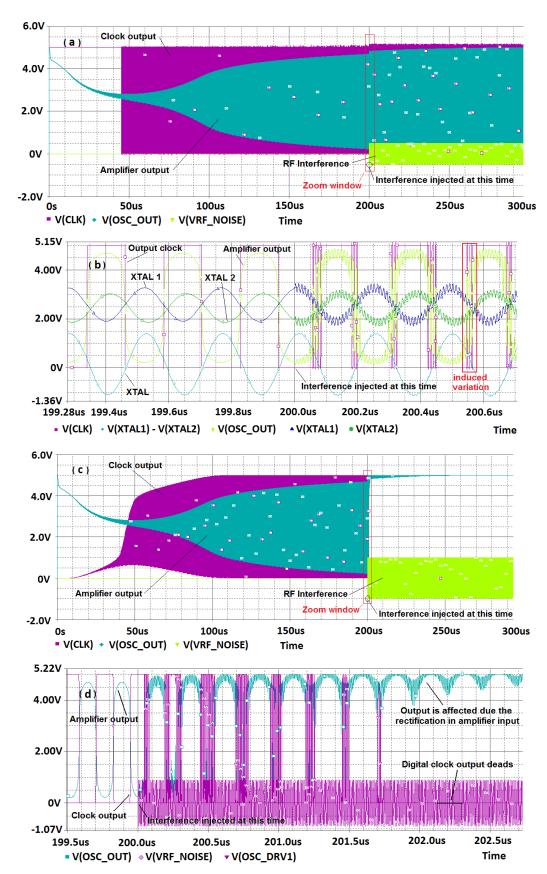


Figura 5.35 – Simulação transiente do Pierce para vários níveis de RFI @ 100MHz. (a) Baixo (b=a-zoom)  $V_{RF}$ =500mVpk, 3dBm; (c) Alto (d=c-zoom)  $V_{RF}$ =1Vpk 10dBm. Fonte: Maltione *et al.* (2011).

#### 5.3.5 Estudo de Caso 5: RFI em drivers para chaves de potência

Os circuitos de acionadores (*drivers*) para transistores de potência BG e WBG são a terceira categoria de blocos fundamentais em circuitos *Smart Power* analógicos, sendo utilizados para o acionamento das chaves de potência. Sua função principal além de adaptar o nível dos circuitos lógicos as tensões de ativação das chaves de potência é fornecer a corrente de carga e descarga do *gate* do transistor usado como chave dentro de uma temporização compatível com a frequência de chaveamento, mantendo o transistor o menor tempo possível na região linear, atingindo rapidamente a saturação, onde o  $R_{DS-ON}$  é baixo, minimizando as perdas por condução. Por sua vez deve poder retirar as cargas do *gate* rapidamente, levando o dispositivo ao estado desligado, uma vez que para dispositivos MOS e IGBT temos o tempo de recuperação inverso que faz a chave demorar um tempo ( $t_{RR}$ ) para desativar (devido aos diodos intrínsecos reversos), o que não ocorre com chaves GaN, o que leva a menores perdas.

Podem ser implementados na forma direta, sem isolação, onde existe um bloco rejeitor de ruído de entrada (*Smith Trigger*, com controle de habilitação), passando a seguir por um deslocador de nível (*level shifter*) que permite que o lado lógico seja alimentado por *VDD* e o lado de potência por *VCC*, tensão esta mais elevada e compatível com a tensão de acionamento na região de saturação (baixo  $R_{DS-ON}$ ) da chave de potência. Em seguida o sinal recebe um ganho de corrente para suprir a carga de gate para ativação da chave. Circuitos auxiliares de monitoramento tais como a detecção de *VCC* baixo ou insuficiente e circuitos como "*Charge pumps*" (para gerar a alta tensão de gate), detectores de sobrecorrente (OVC – OVer Current) e temperatura excessiva (OVT - OVer Temperature) na pastilha, são necessários para implementações monolíticas em *Smart Power*. Estes *drivers* podem ser usados em conversores de energia (DC/DC) que não exijam isolação (e.g. lado DC de um PV)

Para sistemas que exigem isolação galvânica, tais como a etapa de alta tensão de um inversor e a ponte inversora SPWM (PWM senoidal), o *driver* pode conter uma barreira de isolamento que pode ser óptica (acoplador óptico), magnética (micro transformador), capacitiva (capacitores de alta tensão) ou magnética resistiva (MGR). Este conjunto de formas de isolação deu origem a um conjunto de *drivers* disponíveis comercialmente, sendo cada um deles, propriedade intelectual de um fabricante (Keysigth, Analog Devices, Texas Instruments e NVR respectivamente, entre outras).

Com relação aos processos de fabricação, os *drivers* para aplicações BG são feitas em processos *bulk* CMOS, BiCMOS ou BCD de alta tensão, atingindo níveis de 100V até 600V. Para aplicações WBG, tais como SiC e GaN, são usados processos SOI de altíssima tensão e

alto desempenho para garantir tensões de isolamento de 1200V, atingindo frequências de chaveamento de 100kHz até 1MHz (ou ligeiramente superior). Com relação a este aspecto alguns fabricantes tem partido para integração monolítica do *driver* com a chave de potência em tecnologia totalmente *bulk* GaN, o que garante dispositivos operando em altíssimas frequências. Entretanto, podem apresentar problemas de isolação interna e confiabilidade, o que tem permitido a concepção de dispositivos apenas até média potência, mas que já trazem vantagens de eficiência e compactação em conversores chaveados DC/DC. A Figura 5.36 ilustra esta arquitetura de *drivers Smart Power* para acionamento de chaves de potência.

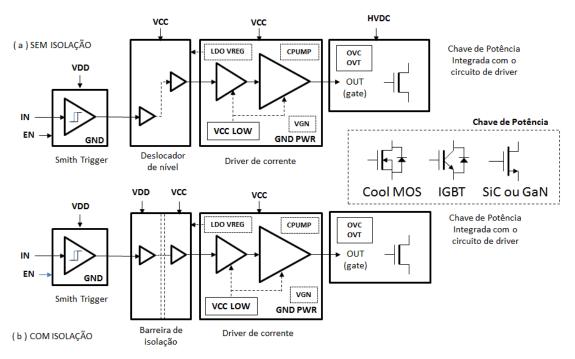


Figura 5.36 – Driver para chaves de potência em Smart Power (a) Sem isolação; (b) Com isolação.

Fonte: Maltione (2020).

Com relação à robustez em relação à interferência de RF, estes *drivers* se comportam como circuitos digitais, sendo que os circuitos implementados em tecnologias *bulk* tendem a ser susceptíveis a problemas de acoplamento de substrato e retificação, conforme discutidos anteriormente no Capítulo 4, onde as junções reversas injetam componentes não lineares de alta frequência nos nós do circuito quando sob interferência de RF. No caso dos *drivers* para dispositivos WBG, com uso de tecnologia SOI, ou SiC-on-Si e GaN-on-Si, as capacitâncias de acoplamento são lineares (ou muito fracamente NL), permitindo aos *drivers* atingirem altas frequências de chaveamento operando em altas tensões. Entretanto convém ressaltar que estes blocos usam monitores (LVCC, OVC e OVT) que são constituídos de blocos analógicos e que são portas para falhas em relação à RFI.

A Figura 5.37 mostra simulações de um *Driver Si Bulk* convencional para acionamento de transistores de Potência *Cool MOS* com frequência PWM de 100kHz. Conforme podemos verificar o circuito começa a ser perturbado mesmo para baixos níveis de injeção, principalmente devido ao efeito da retificação, podendo levar os transistores à condução simultânea com consequente aumento das perdas e até mesmo queima das chaves.

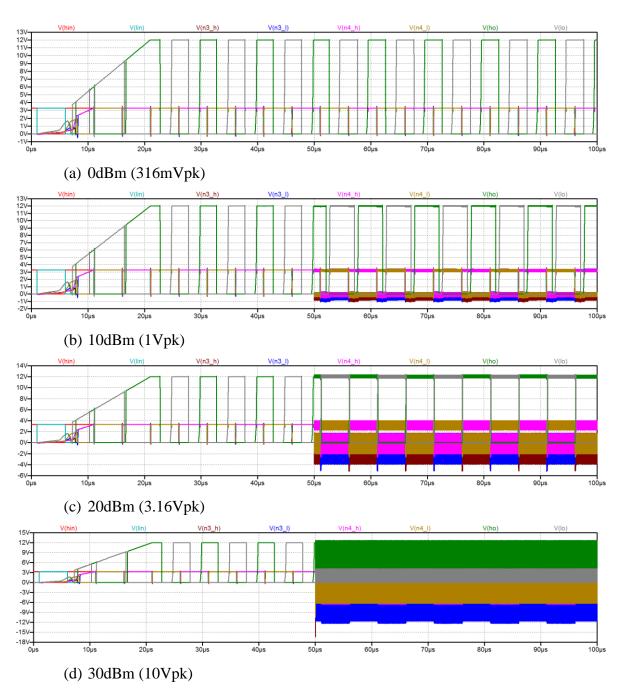
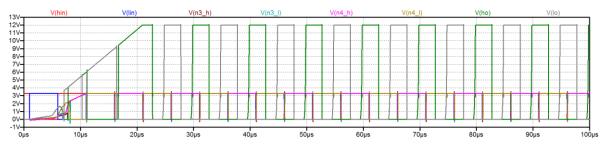
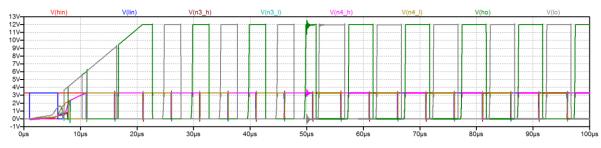


Figura 5.37 – Simulação *Driver* Si, para vários níveis de interferência @ 100Mhz. (a) Médio (0dBm) (b) Alto (10dBm); (c) Alto (20dBm) (d) Muito alto (30dBm). Fonte: Maltione (2020).

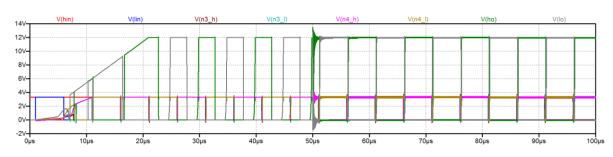
A Figura 5.38 mostra simulações de um *Driver* Si SOI para acionamento de transistores de Potência SiC ou eGaN à frequência PWM de 100kHz. Conforme podemos verificar, o circuito começa a ser perturbado somente para níveis muito altos de injeção, devido ao acoplamento capacitivo do SOI, falhando somente próximo aos limites dos dispositivos SiC ou GaN.



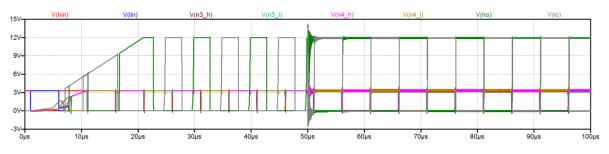
(a) 20dBm (3.16Vpk)



(b) 50dBm (100Vpk)



(c) 65.56dBm (600Vpk)



(d) 71.58dBm (1200Vpk)

Figura 5.38 – Simulação *Driver* SOI, para vários níveis de interferência @ 100MHz. (a) Médio (20dBm) (b) Alto (50dBm); (c) Alto (~65dBm) (d) Muito alto (~71dBm). Fonte: Maltione (2020).

#### 5.3.6 Estudo de Caso 6: RFI em um inversor WBG de 1kW de potência

A seguinte seção mostra como o método de interferência complexa pode ser aplicado em simulações de topo do inversor (circuito completo), usando simuladores para circuitos de potência (PSIM) ou comportamentais, permitindo a visualização dos efeitos da interferência de RF, (o que é inviável em simulação SPICE, devido ao tamanho do circuito e da alta frequência de interferência). Os efeitos individuais das chaves de potência SiC ou e GaN, podem ser verificados via simulação SPICE, mas a simulação PSIM permite adicionar alguns efeitos parasitas dos dispositivos (e.g.  $R_{ON}$ ), permitindo a visualização de certos problemas como desempenho, eficiência e também de interferência com circuito operando na frequência PWM de 100kHz.

Aplicando então o método de interferência complexa para as variáveis de controle, para certa frequência  $\omega$ , considerando-se uma interferência de 100MHz CW, temos que:

a) Variáveis de controle do lado AC

$$\widetilde{V_{AC}}(\omega) = K_{VAC}(\omega)\widetilde{V_{AC}}(\omega) + K_{VARF}(\omega)\widetilde{V_{RF}}(\omega)$$
(5.45)

Onde  $K_{VAC}$  e  $K_{VRF}$  são constantes para  $\omega = \omega_{RF}$  e  $V_{AC}$  e  $V_{RF}$  são tensões médias.

$$\widetilde{I_{AC\_AD}}(\omega) = K_{IAC}(\omega)\widetilde{I_{AC}}(\omega) + K_{IARF}(\omega)\widetilde{I_{RF}}(\omega)$$
(5.46)

Onde  $K_{IAC}$  e  $K_{IARF}$  são constantes para  $\omega = \omega_{RF}$  e  $I_{AC}$  e  $I_{RF}$  são correntes médias.

$$\widetilde{V_{HV\_AD}}(\omega) = K_{VHV}(\omega)\widetilde{V_{HV}}(\omega) + K_{HVRF}(\omega)\widetilde{V_{RF}}(\omega)$$
 (5.47)

Onde  $K_{VHV}$  e  $K_{HVRF}$  são constantes para  $\omega = \omega_{RF}$  e  $V_{HV}$  e  $V_{RF}$  são tensões médias.

$$\widetilde{I_{HV\_AD}}(\omega) = K_{IHV}(\omega)\widetilde{I_{HV}}(\omega) + K_{HIRF}(\omega)\widetilde{I_{RF}}(\omega)$$
 (5.48)

Onde  $K_{IHV}$  e  $K_{HIRF}$  são constantes para  $\omega = \omega_{RF}$  e  $I_{HV}$  e  $I_{RF}$  são correntes médias.

b) Variáveis de controle do lado DC (considerando um módulo de conversão DC/DC)

$$\widetilde{V_{PV\_AD}}(\omega) = K_{VPV}(\omega)\widetilde{V_{PV}}(\omega) + K_{VPVRF}(\omega)\widetilde{V_{RF}}(\omega)$$
(5.49)

Onde  $K_{VPV}$  e  $K_{VPVRF}$  são constantes para  $\omega = \omega_{RF}$  e  $V_{PV}$  e  $V_{RF}$  são tensões médias.

$$\widetilde{I_{PV}}_{AD}(\omega) = K_{IPV}(\omega)\widetilde{I_{PV}}(\omega) + K_{IPVRF}(\omega)\widetilde{I_{RF}}(\omega)$$
(5.50)

Onde  $K_{IPV}$  e  $K_{IPVRF}$  são constantes para  $\omega = \omega_{RF}$  e  $I_{PV}$  e  $I_{RF}$  são correntes médias

Para os parâmetros de simulação foram assumidos valores compatíveis com as simulações tipo SPICE obtidas individualmente para cada módulo, considerando-se uma interferência de RF com frequência de 100MHz CW, com potência conforme o caso estudado. Assim, as Figuras 5.39 a 5.44 mostram resultados de simulações de falha induzidas por este método. As Figuras 5.39 e 5.40 mostram falhas induzidas no conversor DC/HVDC.

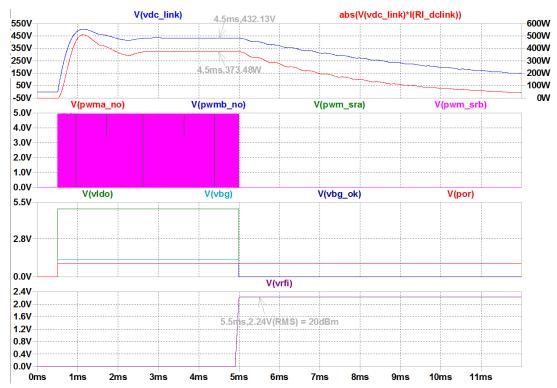


Figura 5.39 – Simulação TOP de um DC/DC com RFI, mostrando a falha no HVDC. Fonte: Maltione (2020).

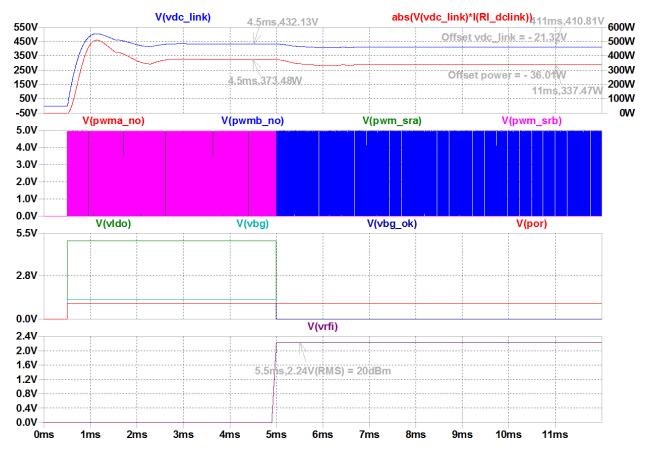


Figura 5.40 – Simulação TOP de um DC/DC com RFI, mostrando a falha no MPPT. Fonte: Maltione (2020).

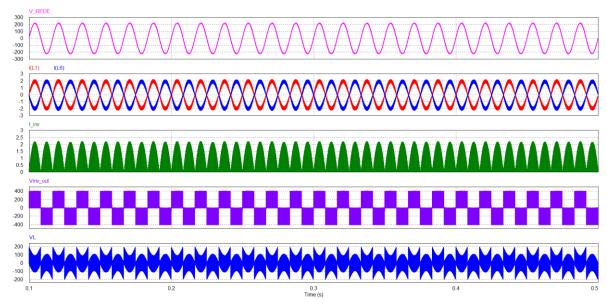


Figura 5.41 – Simulação TOP de operação normal do inversor conectado (sem RFI). (a) Tensão da rede; (b) Corrente nos indutores; (senoidal de 60 Hz com *ripple* de chaveamento); (c) Corrente SPWM nos transistores SiC; (d) Tensão no indutor L1. Fonte: Maltione (2020).

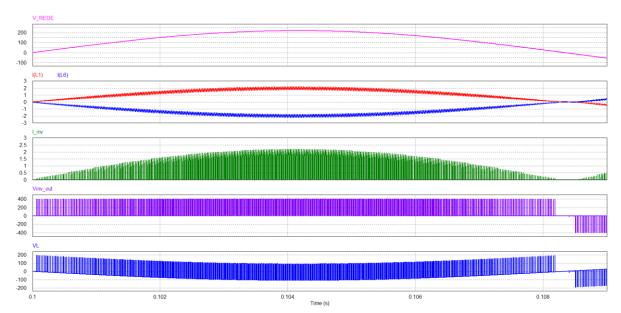


Figura 5.42 – Simulação TOP da geração do SPWM para o inversor (sem RFI). (a) Tensão da rede; (b) Corrente nos indutores; (senoidal de 60 Hz com *ripple* de chaveamento); (c) Corrente SPWM nos transistores SiC; (Zoom da Figura 5.40)

Fonte: Maltione (2020).

Na figura 5.41 temos o funcionamento normal do inversor onde um controlador PID é implementado no PLL Digital de conexão de rede, que uma vez ajustado garante a transferência de corrente em sincronia com a rede. Na Figura 5.42 temos uma janela de um semiciclo de senóide, mostrando o detalhe da geração do SPWM pelo controlador DSP.

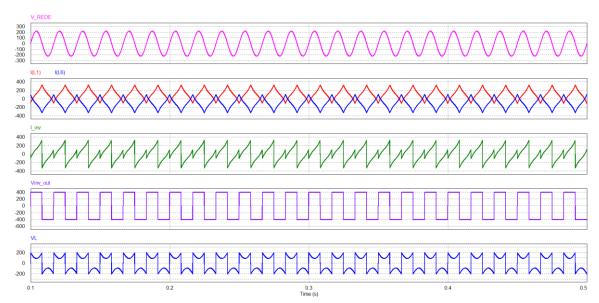


Figura 5.43 – Simulação TOP do inversor conectado com RFI no PID. (Similar a da Figura 5.40, mas com falha de RFI induzida em iref no controle PID do inversor)

Fonte: Maltione (2020).

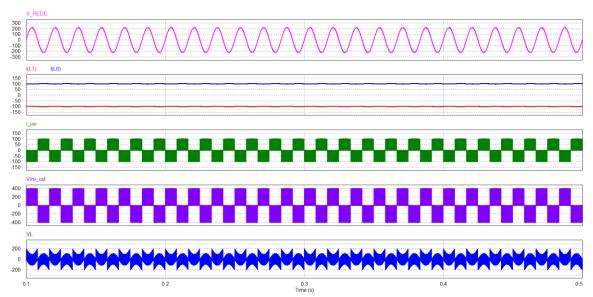


Figura 5.44 – Simulação TOP de operação do inversor conectado com RFI no AD. (Similar a da Figura 5.40, mas com RFI em  $I_{AC}$  AD do inversor, Offset RFI=3V). Fonte: Maltione (2020).

Na figura 5.43 temos a indução de falha do controlador PID implementado no PLL Digital de conexão de rede onde a variável de referência de foi saturada simulando um offset de RFI. Na Figura 5.44 a variável  $I_{AC}$ AD do condicionador de sinal foi saturada simulando um offset de RFI. Ambos os casos são simulações hipotéticas, mas caso ocorram em um inversor real, a predição é de que as falhas irão impactar na queima por corrente das chaves de potência SiC.

# 5.4 Proposição de um novo método de prospecção: FRA-DPI (Análise da resposta em frequência, FRA, de um circuito sob interferência de RF via DPI ).

Nas seções anteriores foram apresentados métodos para verificação e validação dos circuitos integrados de potência, de modo a obter-se uma predição dos comportamentos do circuito com relação ao tempo, assim como uma avaliação das componentes frequênciais dos sinais perturbados. Entretanto dado à complexidade dos circuitos de potência inteligente (Smart Power), envolvendo controladores de sinal DSP, não temos um método prático como a análise AC SPICE, aplicada em circuitos linearizados, para avaliar desvios de polos e zeros, assim como a dinâmica complexa, com avaliação de margem de ganho (GM) e margem de fase (PM) destes circuitos, para garantir sua estabilidade.

Assim nesta seção é proposto um novo método de simulação e medida (MALTIONE, et al., 2018), usando-se um analisador de resposta em frequência, FRA (*Frequency Response Analizer*). Este método de análise foi proposto por Venable (1983), para aplicação de análise de resposta em frequência em conversores DC/DC chaveados (usando o fator *K*), tendo se estendido e tornado uma análise fundamental na indústria de equipamentos robustos (aeroespacial e militar) e aplicada na área industrial na verificação de estabilidade de circuitos chaveados (Ridley, 2012).

Um circuito pode ser configurado na para permitir análise com um analisador de resposta de frequência (FRA) pela adição de "ports" para conexão da injeção de frequência e os canais de entrada desse analisador, assim como ser realizada em simulação transiente SPICE (devido ao fato dos circuitos apresentarem não linearidades). Em geral, um resistor, de pequeno valor, é inserido em série no laço de realimentação, onde a frequência de teste é aplicada através de uma fonte flutuante, conforme ilustrado na Fig. 5.45. Considerando uma análise no domínio "s", o controlador analógico e até mesmo o digital pode a analisado da mesma forma, uma vez no caso digital, a conversão A/D no controlador do sistema de controle digital (variáveis de realimentação) permite que seja considerado como uma caixa preta, com entradas analógicas e saídas digitais no modo PWM, independentemente da implementação analógica ou digital, na análise de estabilidade (obviamente, a função de transferência do controlador interno  $H_A(s)$  ou  $H_D(z)$  deve ser considerada para cada domínio).

Assim, uma análise de interferência da injeção de RF para os nós do circuito ilustrado na Figura 5.46 considera o ruído acoplado apenas nos nós sensíveis. A interferência de RF é representada por  $(V_{RF}, Z_{RF})$  acoplada ao nó N através de  $Z_C$  (e.g. acoplamento de substrato) ou

via  $Z_F$  (e.g. acoplamento via *diepad*) onde  $V_{RF}$  e  $V_X$  são sinais complexos. Assumindo que estas fontes podem ser expressas por suas séries complexas de Fourier como:

$$V_{RF}(t) = \sum_{n=-\infty}^{\infty} A_{RF} e^{jn\omega t}; V_X(t) = \sum_{n=-\infty}^{\infty} A_X e^{jn\omega t}; \omega = 2\pi f_{RF} = \frac{2\pi}{T_{RF}}$$
 (5.51)

A corrente através do nó N é dada por  $I_N = I_X + I_{RF}$ , onde  $I_X$  representa o componente de operação normal e  $I_{RF}$  o componente de interferência.

Uma vez que a queda de tensão no resistor em série inserido na análise FRA é muito pequena, supondo que a tensão de teste seja pequena o suficiente para obter um bom SNR de forma a permitir o teste e ao mesmo tempo não perturbar muito o ponto de polarização do nó, como exemplo:  $0.01\% \sim 0.1\%$  de  $V_O$ , é possível desconsiderar o mesmo, temos que:

$$\widetilde{V_X}(\omega) = F(\omega)\widetilde{V_{NN}}(\omega) \approx F(\omega)\widetilde{V_N}(\omega)$$
 (5.52)

$$\widetilde{V_{NP}}(\omega) - \widetilde{V_{NN}}(\omega) \le 0.01 \times \widetilde{V_O}(\omega)$$
 (5.53)

Aplicando a análise de interferência complexa descrita anteriormente, a tensão  $V_N$  pode ser expressa usando uma constante média 1/T com  $T > T_{RF}$  em relação ao offset devido à interferência de RF tal como:

$$\widetilde{V_N}(\omega) = K_X(\omega)\widetilde{V_X}(\omega) + K_{RF}(\omega)\widetilde{V_{RF}}(\omega)$$
(5.54)

Onde,  $K_X$  e  $K_C$  são constantes para certa frequência  $\omega$  e  $V_X$  e  $V_{RF}$  são tensões médias.

Observe que o amplificador foi modelado como  $H(\omega)$ . Este sinal retorna ao nó N através da rede de realimentação representada por  $F(\omega)$ , que inclui a rede de realimentação. Dependendo do espectro de interferência, pode ocorrer demodulação de sinal e, assim, o segundo termo de (5.54) pode aparecer como um sinal de baixa frequência demodulado que irá perturbar este nó, afetando também o comportamento do circuito.

Assim, com essa configuração é possível explorar o comportamento do circuito sobre interferência de RF, analisando a saída no domínio de tempo (e domínio de frequência por FTT dos nós de investigação), assim como verificar os polos de realimentação do circuito de controle e zeros se movendo durante o teste de injeção de RF.

Essa análise é poderosa para verificar problemas relacionados a instabilidades na malha de controle do circuito devido a RFI.

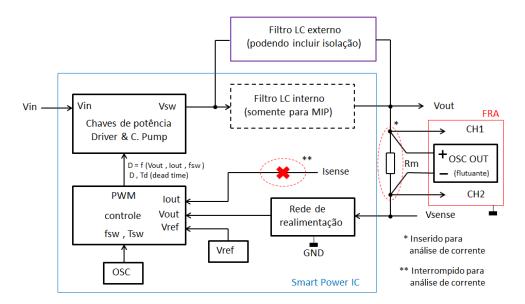


Figura 5.45 – Regulador SMP chaveado configurado para análise FRA. Fonte: Maltione *et al.* (2018).

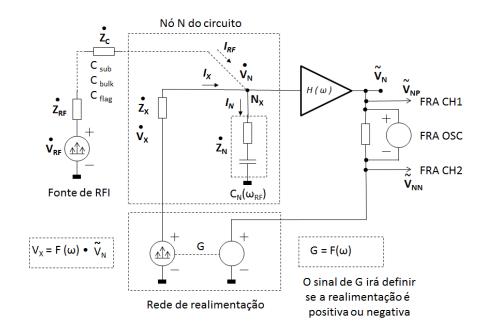


Figura 5.46 – Análise de interferência de RF combinada com análise de FRA. Fonte: Maltione *et al.* (2018).

Outro ponto a ser ressaltado é que é possível testar o circuito para o controle do modo de tensão ou corrente, alterando-se o ponto de injeção da fonte do oscilador FRA. Neste caso, dependendo do equipamento FRA, pode ser necessário o uso de um adaptador, ou o ponto de injeção deve ser colocado após a conversão I /V, antes de entrar na rede de realimentação do amplificador de erro do controlador. Outro ponto importante é que o oscilador deve ser uma fonte de sinal flutuante, que pode ser obtida a partir de um transformador isolador ou um

circuito oscilador com alimentação flutuante isolada (e.g. Injetor da Ridley – transformador; Injetor da Venable – oscilador flutuante).

Como exemplos de aplicação, vamos analisar os exemplos FRA1 e FRA2 a seguir:

FRA1 - Circuito compensador de um de conversor chaveado tipo *Buck* com controle em modo corrente. Este exemplo foi explorado em Maltione *et al.* (2018), onde um controlador do tipo II é associado a um controle de corrente. Conforme mencionado em Ridley (2012, p.54), este tipo de controle tem um desempenho superior ao modo tensão, mas apresentando um modo de oscilação sub-harmônica. Assim podemos explorar o comportamento deste tipo de conversor, com relação ao deslocamento dos polos e zeros devido à aplicação da RFI.

A resposta do circuito esperado para este circuito sem interferência, considerando  $V_X$  em função de  $I_O$  em vez de  $V_O$ , com  $V_X=f(I_O)$ , é dada por (RIDLEY, 2012, p. 58):

$$\frac{V_O(s)}{V_X(s)} = K_{DC} \frac{1 + \frac{s}{\omega_Z}}{1 + \frac{s}{\omega_P}} F(s)$$
(5.55)

$$K_{DC}(\omega) = \frac{R_L}{R_{i\_sense}} \tag{5.56}$$

$$\omega_p = \frac{1}{C_L R_L} \tag{5.57}$$

Onde,  $K_{DC}$  é o ganho DC do sistema,  $\omega_P$  é um polo dominante esperado e  $\omega_Z$  é um zero esperado para este sistema.

Para o controle de loop de corrente, o zero é o mesmo para todos os tipos de conversores, portanto somente os polos são movidos sem afetar os zeros, definido pelo ESR,  $R_C$  do capacitor de filtro  $C_L$ . Conforme mostrado por Ridley (2004) temos então que:

$$\omega_z = \frac{1}{C_L R_C} \tag{5.58}$$

$$\omega_p = \frac{1}{C_L R_L} + \frac{T_{SW}}{L_0 C_L} (m_C D' - 0.5)$$
 (5.59)

$$m_{\mathcal{C}} = 1 + \frac{s_e}{s_n} \tag{5.60}$$

Onde  $m_C$ ,  $s_e$  e  $s_n$ , representam o fator de compensação de rampa para a oscilação subharmônica (polo n de oscilação), que ocorre neste tipo de conversor.

Assim em termos de interferência podemos mostrar que devido à alteração do período  $T_{SW}$  provocado pela RFI em osciladores a relaxação (item 5.3.3), o período de oscilação é dado

por  $T_{SW}=1/f_{SW}$ , e com parâmetros do oscilador ( $C_{SW}$ ,  $V_{REF}$  e  $I_{REF}$ ), então usando a equação 5.28 (obtida anteriormente no item 5.3.3), temos que:

$$T_{SW\_RFI} = T_{SW} \frac{1}{k_{REF}(\omega)} \left[ 1 + \frac{k_{RF}(\omega)}{k_{REF}(\omega)} \frac{V_{RF}(\omega)}{V_{REF}} \right] = k_{TSW} T_{SW}$$
 (5.61)

$$k_{TSW}(\omega) = \frac{1}{k_{REF}(\omega)} \left[ 1 + \frac{k_{RF}(\omega)}{k_{REF}(\omega)} \frac{V_{RF}(\omega)}{V_{REF}} \right] \approx 1 + \frac{1}{2} \frac{V_{RF}(\omega)}{V_{REF}}$$
 (5.62)

Isto significa que o RFI introduz deslocamento do polo dominante que pode ser estimado pela variação do período de oscilação causada pela interferência como:

$$\omega_{p\_RFI} = \frac{1}{C_L R_L} + k_{SWT} \left[ \frac{T_{SW}}{L_O C_L} (m_C D' - 0.5) \right]$$
 (5.63)

O deslocamento do polo dominante que pode ser estimado finalmente por:

$$\Delta\omega_p = \omega_p - \omega_{p RFI} = (1 - k_{SW}) \tag{5.64}$$

$$\Delta\omega_p \approx \frac{1}{2} \frac{V_{RF}(\omega)}{V_{REF}} \text{ ou } \Delta f_p \approx \frac{1}{4\pi} \frac{V_{RF}(\omega)}{V_{REF}}$$
 (5.65)

Assim supondo o caso de baixa interferência de 100MHz CW com 10 dBm, temos  $V_{RF}$  (rms) = 707mV,  $V_{REF}$  = 1.2V,  $\Delta f_P \approx 0.047$  Hz. Para o caso de alta interferência de 40 dBm, temos  $V_{RF}$  (rms) = 22.4V,  $V_{REF}$  = 1.2V,  $\Delta f_P \approx 1.48$  Hz. Mesmo para uma interferência muito alta interferência de 60 dBm, temos  $V_{RF}$  (rms) = 224V,  $V_{REF}$  = 1.2V,  $\Delta f_P \approx 14.8$  Hz. Isto demonstra que este tipo de controle é muito estável, mesmo sobre regime de alta interferência.

Desta forma os resultados em Maltione *et al.* (2018) mostram uma variação muito pequena no deslocamento dos polos (que no artigo tiveram os valores dos parâmetros ficticiamente aumentados para permitir sua visualização gráfica), devido ao deslocamento insignificante dos polos e com o zero mantendo-se fixo. No caso real, dependendo da potência injetada, deve ser aplicado um zoom muito grande nos gráficos para se visualizar tal deslocamento, o que também poderá ser mascarado ou confundido com erros experimentais e ruídos na integração do FRA, que poderá não permitir a sua visualização.

FRA2 - Circuito compensador de um de controlador analógico de um regulador de tensão LDO de 5V (VDD interno do MIP) configurado com um compensador Tipo II. O circuito foi simulado considerando-se então um processo CMOS bulk de  $0.6\mu m$  utilizando modelos de RF apropriados para os dispositivos e para o substrato. O sinal de interferência de RF foi ajustado para uma frequência de 100 MHz com uma impedância de fonte de  $50 \Omega$  acoplada ao substrato através de  $Z_C$ . O circuito usado na simulação está ilustrado no Apêndice E (Figura E.7).

O gráfico da Figura 5.47 mostra o comportamento do circuito do regulador de tensão LDO quando submetido a uma injeção de 100MHz CW via substrato, onde estão ilustradas as variações percentuais do deslocamento do polo principal (Δfp) e da margem de fase (PM) do regulador de tensão. Podemos observar que até 30 dBm existe um aumento mais linear do desvio na direção negativa, sendo que para nível de potência mais alto, este deslocamento aumenta bruscamente, sendo que a fase permanece com baixa alteração com mudança brusca na alta injeção de potência. Estes fatos ocorrem devido à alta taxa de retificação.

A Figura 5.48, mostra os resultados da simulação para o compensador em malha aberta, mostrando as alterações no ganho e na fase para as condições sem e com RFI.

Finalmente a Figura 5.49, mostra os resultados da simulação para o compensador em malha fechada, mostrando as alterações no ganho ( $|A(j\omega)|$ ), fase ( $\theta$ ) e margem de fase (PM), considerando-se vários níveis de injeção de potência.

O deslocamento nos polos é causado pela mudança das resistências e capacitâncias dependentes da tensão e majoritariamente pela mudança na transcondutância, devido à variação da polarização dos estágios amplificadores<sup>35</sup>. Nesta simulação o circuito de *bandgap*, não foi perturbado de forma a se verificar isoladamente os efeitos no controlador e compensador tipo II do LDO.

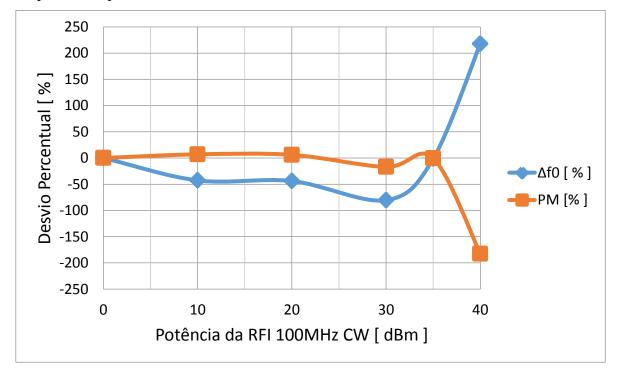


Figura 5.47 – Desvio percentual de  $\omega_0$  (/A/= 0dB) e da margem de fase devido ao RFI.

,

No caso do processo bulk, a dependência é grande para resistores difundidos e capacitores de junção ou MOS. Para resistores e capacitores de poly ou metal a dependência com a tensão é muito pequena, podendo ser desprezada. Entretanto o ganho dos estágios é definido pelas correntes de polarização e os polos dependem da relação  $G_m$ . C, sendo portanto a variação da transcondutância a principal causa no deslocamento dos polos e zeros do sistema.

Fonte: Maltione (2020).

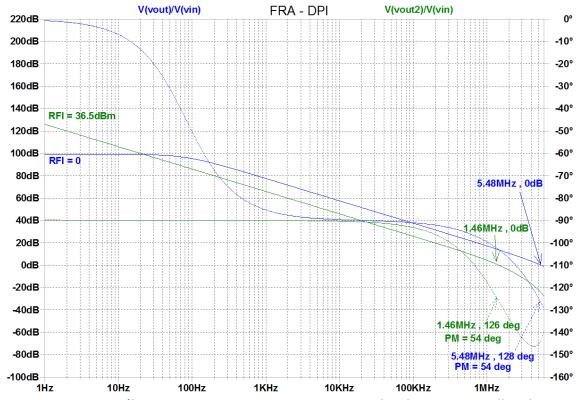


Figura 5.48 – Análise FRA-RFI para o OPAMP compensador do LDO em malha aberta. Fonte: Maltione (2020).

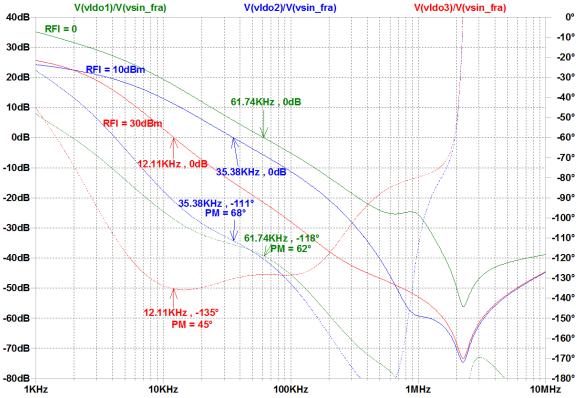


Figura 5.49 – Análise FRA-DPI para o regulador de tensão LDO em malha fechada. Fonte: Maltione (2020).

# 5.5 Resumo e conclusões do Capítulo 5

Neste Capítulo foram abordados os principais métodos de simulação e predição de interferência devido a RFI em circuitos integrados de potência, com a verificação dos efeitos e mecanismos de falha em blocos de construção destes dispositivos.

Foram analisadas simulações com as interações do acoplamento do RFI em cinco categorias de blocos fundamentais de circuitos *Smart Power*: circuitos de polarização e referências de tensão *bandgaps* e fontes de corrente, circuitos de condicionamento de sinais analógicos e sensores, circuitos de base de tempo baseados em osciladores de relaxação e a cristal, circuitos de *drive* para *gate* de chaves de potência BG e WBG e controladores PWM e SPWM analógicos e digitais. Para a análise foram usados os métodos transientes, interferência complexa, assim como simulações numéricas comportamentais para predição do RFI.

Considerando-se as referências de tensão foram simulados os casos de interferência nas células de Brokaw e Kuijk, com previsão do efeito de desvio do coeficiente térmico e o desvio do valor nominal por *offset* de tensão induzidos pelo carregamento não linear, em baixos níveis de injeção e por retificação em altos níveis de injeção. Foram analisadas as interações destes efeitos com outros blocos fundamentais tais como reguladores de tensão, circuitos de monitoramento e conversores A/D e D/A.

Análises similares foram feitas em osciladores de relaxação, mostrando os efeitos de desvio de frequência e indução de *jitter* determinístico. Para o caso do oscilador a cristal foi analisado o caso do oscilador Pierce, com introdução de uma análise inédita baseada no fator de carga do cristal e das condições de estabilidade da oscilação que permitiram obter diretivas para mitigação da interferência.

No caso dos condicionadores de sinais (OPAMPs e OTAs) foram analisados os efeitos de indução *offset* de tensão na saída, para baixa injeção no par diferencial de entrada, e saturação de saída por retificação em alta injeção no mesmo.

Foram analisados os casos de interferência em controladores PWM e em *drivers* para transistores WBG e WBG fabricados em tecnologia Si *bulk* e Si SOI.

Finalmente os mecanismos e falhas foram analisados conjuntamente em um inversor com tecnologia WBG (SiC e GaN), com aplicação do método de interferência complexa, para construção de um modelo de interferência, envolvendo as variáveis de controle do inversor, sendo preditas falhas no sistema de conexão com a rede elétrica.

# Capítulo 6

# Caracterização e Testes

## 6.1 Introdução

Neste capítulo são analisados os principais métodos experimentais para caracterização de RFI em laboratório, sendo discutidos aspectos tais como sua aplicabilidade e limitações de implementação para análise de circuitos Smart Power. Dada à complexidade dos circuitos SOC/SIP/MIP, torna-se importante discutir a questão da acessibilidade dos blocos, assim como a definição de estratégias de acesso para investigação dos problemas relativos ao RFI. Outro problema a ser abordado é a questão da destrutibilidade das amostras, uma vez que em circuitos de potência, as magnitudes das correntes e tensões durante o estresse do RFI pode levar a condição de degradação (confiabilidade) ou mesmo destruição das amostras de teste. Pode ocorrer também a ativação não intencional de estruturas de proteção ESD e efeitos de *latchup*. Neste sentido a análise de problemas em blocos de construção de circuitos SOC/SIP/MIP, torna-se uma alternativa de análise, caso não tenham sido disponibilizados canais de teste para depuração de problemas de RFI. Assim as alternativas e novas proposições são os objetos de discussão deste capítulo.

# 6.2 Metodologia experimental de caracterização e testes em laboratório

Neste capítulo são analisados os principais métodos experimentais para caracterização de RFI em laboratório, sendo apresentados resultados de testes relativos a blocos de construção de circuitos SOC/SIP/MIP, em perfil de baixa e alta injeção, limitando-se a execução de testes não destrutivos em veículos de teste em silício, dada a limitada quantidade de amostras disponibilizadas no processo de fabricação multiusuário.

# 6.3 Métodos de teste no domínio do tempo

Os métodos mais comumente usados para testes de susceptibilidade eletromagnética (EMS) de circuitos integrados comerciais para as indústrias do setor robusto (industrial, automotivo e militar/aeroespacial) são os métodos de injeção de corrente de potência (BCI), injeção direta de potência (DPI) e impulsos transientes (surtos e ESD). As condições dos testes variam conforme a norma específica aplicada (i.e, os sumarizados em Carlton (2003)).

#### 6.3.1 Método de BCI (Bulk Current Injection)

Neste método a interferência de RF é acoplada no cabeamento do módulo do circuito em teste por através de uma corrente de RF de alta potência gerada por um transformador acoplador de alta frequência e potência com banda larga (*current clamp*) conforme previsto na norma IEC. O sinal interferente é aplicado geralmente nos sinais de alimentação, barramentos de comunicação ou principais sinais de controle de potência. Neste teste o sinal de interferência é aplicado, segundo a norma ISO 11452-4, numa faixa de frequências de 1MHz a 400MHz em níveis de potência crescentes até o limite da norma, sendo que sobre o sinal sob análise é definida uma máscara de variação dos níveis do sinal e da temporização, em relação ao sinal original, de forma que o sinal ultrapassando esta fronteira consiste em uma condição de erro e, portanto susceptibilidade a BCI (realizado em toda banda). Em geral é um ensaio muito agressivo, (sendo em geral destrutivo, para altas potências, requerendo cuidado no teste) sendo exigido para qualificação de produtos robustos.

#### **6.3.2** Método de DPI (Direct Power Injection)

Neste método a interferência de RF é acoplada diretamente aos pinos do circuito em teste, através de uma rede de casamento (RC série) conforme previsto na norma IEC.

O sinal de teste também é aplicado numa faixa de frequências ampla, que segundo norma IEC 62132-7 abrange a faixa de 150KHz a 1GHz (estudos recentes estendem essa faixa até 18GHz ou 20GHz) em níveis de potência crescente até o nível máximo definido em norma, sendo usado também o conceito de máscara, de forma que o sinal que ultrapassar esta fronteira consiste em uma condição de erro e, portanto susceptibilidade a DPI. Em geral é um ensaio menos agressivo, sendo exigido para qualificação de circuitos integrados, pois fornece uma visão de quais dispositivos poderão falhar durante a qualificação de EMC. Devido à relativa simplicidade do teste, é usado também de forma exploratória para pesquisa de problemas em susceptibilidade.

#### 6.3.3 Método de surtos transientes e ESD

Estes ensaios são geralmente requeridos para imunidade à interferência de RF referentes a impulsos transitórios (ruídos), conforme previsto na norma generalista IEC. Em geral também é um ensaio menos agressivo, sendo exigido para qualificação de circuitos integrados para o mercado de aplicações industriais. Os pulsos de ESD (mais agressivos) também podem ser considerados como pulso de frequência transitória, caso sejam

interpretados através da transformada de Fourier destes sinais (apesar de não serem discutidos neste trabalho).

# 6.4 Métodos de teste no domínio de frequência

Estes tipos de testes não existem na normalização, sendo métodos experimentais, ainda em fase de desenvolvimento. Existem descrições na literatura de testes multitonais exploratórios para verificação de comportamento dos circuitos. Um trabalho originalmente proposto pelo autor em Maltione *et al.* (2018) mostram os resultados preliminares e o potencial desta forma de teste, que permite a análise da estabilidade do sistema de controle de circuitos integrados Smart Power durante a interferência de RF, fato este nunca reportado antes na literatura e exposto nos próximos itens.

#### 6.4.1 Método de Análise de Resposta Harmônica (multitonal)

Neste método a interferência de RF é acoplada diretamente aos pinos do circuito em teste por através de uma rede de casamento (RC série), de forma semelhante ao DPI. Para este teste é utilizado um sintetizador de frequência, onde existem vários tons (2 a 5) harmônicos, de modo a simular certa densidade espectral de potência. É comum também o teste com dois tons com frequências de interesse. Em geral é utilizado de forma exploratória para pesquisa de problemas em susceptibilidade.

#### 6.4.2 Método de Análise de Resposta em Frequência (FRA)

Neste método a interferência de RF é acoplada no diretamente aos pinos do circuito em teste por através de uma rede de casamento (RC série) conforme previsto na norma IEC, de forma semelhante ao DPI. A potência de RF utilizada deve ser compatível com o modo de falha (baixa injeção) descrito anteriormente (sem retificação).

Para este teste é utilizado um equipamento denominado FRA (*Frequency Response Analyzer*) que aplica um sinal de teste na malha de realimentação do sistema. Sendo sua frequência variada na faixa de 5Hz a 50MHz (dependente do equipamento), sendo então processada a resposta frequência deste sinal de teste via um receptor heterodino e um DSP.

Este tipo de análise surgiu para a caracterização da resposta em frequência de fontes chaveadas, tendo sido explorado pelo autor para a avaliação dos efeitos do RFI no domínio da frequência. O método foi proposto para verificação de forma exploratória da alteração da resposta em frequência de um circuito devido ao RFI, na pesquisa de problemas em susceptibilidade.

#### 6.5 Outros métodos de teste e análise

Existem ainda vários outros métodos de análise de interferência, tais como o TEM, GTEM, CAGE *Workbench* e testes em câmaras anecóicas e semi-anecóicas, que também são importantes para o estudo de RFI, mas que não foram abordados por não fazer parte do escopo de estudo deste trabalho (maiores detalhes podem ser obtidos em Carlton (2003)).

### 6.6 Caracterização de RFI em circuitos Smart Power

As experiências relatadas neste capítulo foram realizadas a partir de blocos funcionais implementados em veículos de teste em tecnologias compatíveis com integração *Smart Power*. Para os dispositivos WBG de potência de SiC e GaN, foram utilizados dispositivos convencionais configurados como módulos de potência interfaceando com o sistema de controle, uma vez que não estão disponíveis ainda tecnologias WBG comerciais para *Smart Power*. Como estratégia, foi utilizado sempre que possível os dispositivos fabricados como veículos de teste. Entretanto, devido à restrição de área em silício (processo multiusuário), muitos blocos foram implementados para testes em nível de "wafer probe" (VT1 e VT2), apresentando restrições nos testes de bancada com montagens PCB convencionais. Neste caso, para os controladores dos conversores de energia (PWM e SPWM) do inversor, foram utilizados controladores comerciais (bipolar e CMOS), assim como para os *drivers* e chaves de potência (Power MOS e SiC) que foram configurados como MIP.

A Tabela 6.1 apresenta a descrição dos módulos utilizados nos testes.

Tabela 6.1 – Circuitos integrados - veículos de teste usados para caracterização de RFI.

Tipo	Veículo de teste	Tecnologia	Descrição	Origem
IC	VT1 - Analógico 1	XFAB XC 0.6μ	POR, Osciladores Cristal HS e LP,	Fabricado
			eZeners e Bandgap	
IC	VT2 - Analógico 2	XFAB XC 0.6μ	VCO, OPAMP OTA, DPLLs, Bandgap	Fabricado
SOC	VT3 - Misto (A / D)	XFAB XC 0.6μ	Oscilador relaxação compensado,	Fabricado
			bias N e P,	
			OPAMPs In/Out Rail-2-Rail,	
			Comparador, Charge Pump,	
			Conversor Multimodo que pode ser	
			interligado como A/D serial e ΔΣ	
IC	VT4 - Oscilador relaxação	XFAB XH 0.35μ	Oscilador relaxação compensado	Fabricado
IC	VT5 - Oscilador cristal	AMS CMOS 0.35µ	Oscilador Pierce Otimizado	Fabricado
IC	VT6 – Mistos (vários)	Bipolar, HS CMOS	Array Bipolar e CMOS, VCO, DPLL	Comercial
SOC		BCDs	Controlador PWM analógico	
			Controlador SPWM senoidal digital	
			Drivers (Isolados e não isolados)	
MIP	Chaves BG e WBG	Trench CoolMos,	N Power MOS	Comercial
		Vertical IGBT	N V-IGBT	
		SiC e GaN	SiC e e-GaN (on Silicon)	

Fonte: Maltione (2020)

## 6.7 Caracterização tradicional de RFI em blocos Smart Power (DPI)

A caracterização da interferência RF em circuitos complexos impõe dificuldades com relação ao acesso aos blocos sob interferência. Assim grande parte dos problemas são analisados experimentalmente a partir da monitoração do comportamento dos pinos externos. Em uma segunda etapa, os blocos sob suspeita podem ser acessados via probe (direto na pastilha com uso de agulhas), dependendo do acesso possível para uma determinada tecnologia de circuito. As tecnologias antigas propiciavam acesso do probe de sinais em camadas de metal 2, ou metal 1 via exposição usando laser. Entretanto em tecnologias submicron modernas isto se torna impraticável, requerendo a predisposição de pads de teste durante a fase de projeto, o que aumenta o tamanho físico da pastilha (dado que os pads de teste são grandes, cerca de 10x10μm, para acesso das agulhas), possibilitando o acesso prático de poucos sinais. Outro problema se refere à questão do carregamento dos sinais, que requerem o uso de pontas de alta impedância, que além de introduzirem elementos parasitas na caracterização, introduzem restrição de banda ou distorções devido ao carregamento dos nós sob análise. Para minimizar este problema são necessários buffers (analógicos ou digitais) para os pontos de observação. Como exemplo típico, a caracterização da interferência em circuitos de polarização, apresenta limitações com relação ao acesso aos blocos sob análise, pois os circuitos operam em baixas correntes e as referências têm baixa capacidade de drive, sofrendo carregamento dos circuitos de teste (devido à impedância e capacitância de entrada), assim como o cabeamento introduz indutâncias no caminho do visualizador, o que restringe a banda de análise dos circuitos. Para a banda de 1MHz a 30MHz, é possível obter-se bons resultados com a instrumentação convencional. Para a banda de 30MHz a 300MHz, os resultados começam a ser influenciados pelos elementos parasitas das montagens. Neste caso pontas de alta impedância com baixa capacitância (e.g. JFET e buffers) e circuitos com casamento de impedância em 50  $\Omega$  nos caminhos de RF produzem resultados satisfatórios. Para a faixa de 300MHz a 1GHz os resultados são severamente influenciados pelos parasitas, tornando inviável a caracterização sem o uso de métodos de RF, devido à atenuação, filtragem e reflexão dos sinais sob análise. Assim para caracterização em faixa ampla com cobertura de 1MHz a 1GHz, são necessárias placas com substratos de RF (e.g. cerâmico ou teflon) com uso de striplines e microstrips com barreiras de isolação de RF (fences), ou seja, um projeto de PCB para sinais de RF. Para o caso de circuitos Smart Power os domínios de polarização, potência e RF precisam estar isolados e bem definidos principalmente em relação ao plano terra (distribuição para os planos de terra para potência, controle e RF).

#### 6.7.1 Exemplo 1 – Oscilador de relaxação de duas fases

A título de exemplificação da execução de teste em blocos Smart Power, temos a caracterização via DPI de um oscilador de relaxação de duas fases usando uma placa projetada para atender a faixa de 1MHz a 1GHz. Este tipo de oscilador é comumente utilizado como base de tempo em conversores DC/DC com controle PWM, ASICs e Microcontroladores. A Figura 6.1 mostra os equipamentos e a configuração necessária (setup) para a realização da caracterização DPI, que pode ser feita de forma manual, usada para exploração de problemas de susceptibilidade ou de forma automática, usada para testes de qualificação ou verificação de compliança de um circuito em relação à norma. Neste caso o software de controle (normalmente escrito em Labview, ou Mathlab) exige a implementação de uma máquina de estados assim como mostrada na Figura 6.2. Dependendo da temporização e das rampas de subida de potência de RF usadas, os resultados podem divergir, assim como ser observado um efeito de histerese com diferentes caminhos para os pontos de medida. No caso de sistemas de potência, a temperatura da amostra deve ser monitorada para não levar a destruição precoce das amostras.

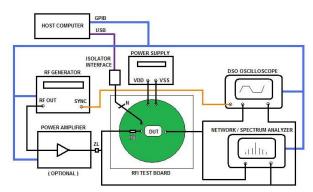


Figura 6.1 – Setup de teste usado para DPI do oscilador de relaxação de duas fases. Fonte: Maltione *et al.* (2010).

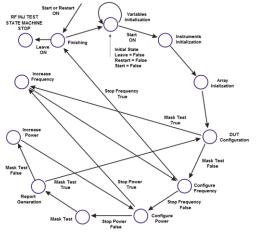


Figura 6.2 – Máquina de estados do software de controle para o teste de DPI. Fonte: Maltione *et al.* (2010).

A configuração usada para o teste de caracterização está mostrada na Figura 6.3, sendo que a Figura 6.4a mostra a bancada de testes e a Figura 6.4b os detalhes da PCB de teste. O perfil circular do plano de terra é usado para minimizar a emissão durante o teste, sendo que este tipo de PCB pode ser usado em testes de EME e EMS (no caso de EMS, a placa padrão para teste DPI costuma ter um perfil quadrado, podendo ser usada também em testes TEM/GTEM). Um detalhe importante é que o teste deve ser feito usando-se uma ponta de alta impedância (Figura 6.4a) para não carregar o circuito e prejudicar a análise. Outro ponto que pode ser notado é o desacoplamento da alimentação via filtros para a banda de frequência do teste e os pontos de injeção realizados conforme as redes especificadas em norma.

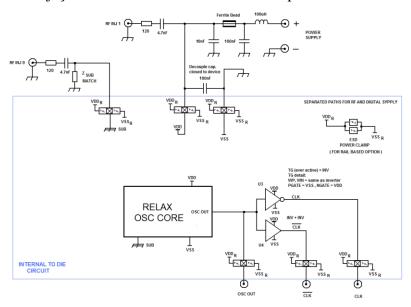
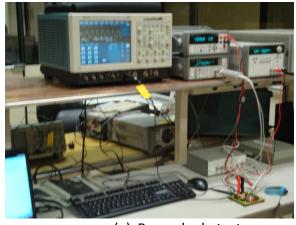


Figura 6.3 – Configuração usada para o teste DPI do Oscilador de Relaxação. Fonte: Maltione *et al.* (2010).





(a) Bancada de teste (b) Detalhe da placa de teste Figura 6.4 – Fotografia da bancada de teste do oscilador de relaxação. Fonte: Maltione (2020).

O resultado do teste de susceptibilidade via DPI pode ser verificado na Figura 6.5. Conforme se pode verificar este módulo é suscetível a potências acima de 5dBm, sendo que a 10dBm promove um desvio de 37.5% de sua frequência nominal, ocorrendo a perda da oscilação a partir de 15dBm. Em termos da frequência o oscilador é suscetível a frequência de 700MHz compatível com sua tecnologia CMOS de 0.35µm, Os resultados perto de 1GHz costumam não ser absolutos, pois as impedâncias do encapsulamento e do PCB costumam interferir no resultado, devendo ser portanto consideradas na análise.

Na Figura 6.6a podemos ver este módulo integrado em uma aplicação, enquanto que na Figura 6.6b podemos ver o módulo do oscilador encapsulado isoladamente para testes. Esta estratégia ilustra o método de caracterização, usando módulos de um sistema, quando não podemos ter acesso ao mesmo no sistema integrado. O maior problema deste método é que exige integração de mais de um CI no wafer MPW. Neste caso o oscilador modular foi integrado com as proteções de ESD e alocado na linha de corte das pastilhas para otimização de área, mostrando as dificuldades práticas deste processo.

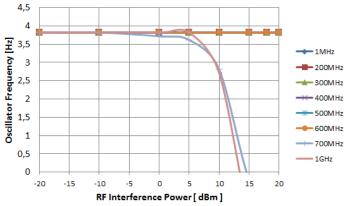


Figura 6.5 – Resultados do teste de susceptibilidade a RFI do oscilador de relaxação. Fonte: Maltione (2020).

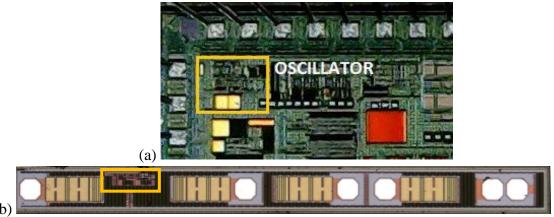


Figura 6.6 – Microfotografias dos circuitos integrados de teste do oscilador de relaxação. (a) Versão integrada em uma aplicação (VT3); (b) Versão modular para testes de RFI (VT4). Fonte: Maltione *et al.* (2010, 2011, 2020).

#### 6.7.2 Exemplo 2 – Oscilador harmônico a cristal tipo Pierce

Neste segundo exemplo de teste em blocos Smart Power, temos a caracterização via DPI de um oscilador harmônico tipo Pierce implementado com todos os componentes da rede de realimentação integrados na mesma pastilha e em tecnologia CMOS 0.35µm. Este tipo de oscilador é comumente utilizado como base de tempo de precisão (variação de poucos ppm) em ASICs e Microcontroladores. Assim como no caso anterior a PCB de teste foi projetada para atender a faixa de 1MHz a 1GHz. A Figura 6.7 mostra os equipamentos e a configuração necessária para o teste, sendo que neste caso precisamos utilizar um contador de precisão (com temperatura controlada), de modo a conseguir medir os pequenos desvios do período de oscilação em baixa injeção. Um detalhe deste veículo de teste é que o substrato pode ser acessado diretamente via pad. Assim como no exemplo anterior a realização da caracterização DPI, pode ser feita de forma manual, usada para exploração de problemas de susceptibilidade ou de forma automática, usada para testes de qualificação ou verificação de compliança de um circuito em relação à norma, sendo o algoritmo de teste mostrado na Figura 6.8, sendo que a diferença em relação ao exemplo 1 está no controle do contador de precisão.

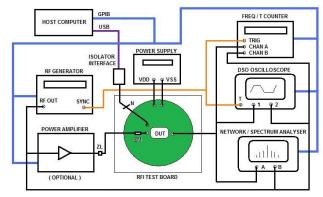


Figura 6.7 – Configuração de teste usado para DPI do oscilador xtal Pierce. Fonte: Maltione *et al.* (2011).

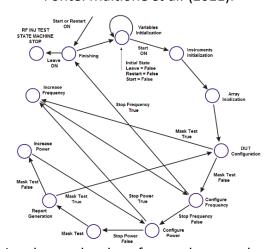


Figura 6.8 – Máquina de estados do software de controle para o teste de DPI. Fonte: Maltione *et al.* (2011).

A configuração usada para o teste de caracterização está mostrada na Figura 6.9, sendo que a Figura 6.10a mostra a bancada de testes e a Figura 6.10b os detalhes da PCB de teste. Neste caso também é usado um perfil circular do plano de terra para minimizar a emissão durante o teste, podendo ser usado em testes de EME e EMS. Conforme podemos observar nesta configuração, a rede de realimentação externa do oscilador (C<sub>1</sub>, C<sub>2</sub>, R<sub>DRV</sub> e XTAL), é alocada na placa, assim como as redes de injeção de RF (conforme a Norma). Para estudar o efeito do fator de carga do oscilador, os capacitores C<sub>1</sub> e C<sub>2</sub> devem ser retirados da placa, assim o oscilador funciona somente com os componentes internos. Para o teste, o sinal de interferência é injetado diretamente no substrato via uma rede de acoplamento. Para o monitoramento dos sinais deve-se usar uma ponta de alta impedância (Figura 6.10a) para não carregar o circuito e prejudicar a análise. Para os nós de conexão do cristal, sugere-se evitar monitora-los mesmo com a ponta de alta impedância, pois sua capacitância afeta diretamente os resultados. Neste caso o sinal do oscilador deve ser monitorado após os *buffers*. Na Figura 6.11 temos a microfotografia do circuito integrado em tecnologia CMOS 0.35μm.

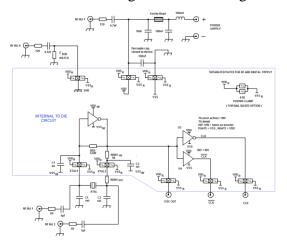
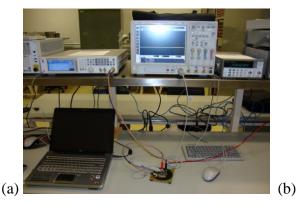


Figura 6.9 – Configuração usada para o teste DPI do Oscilador a cristal tipo Pierce. Fonte: Maltione *et al.* (2011).



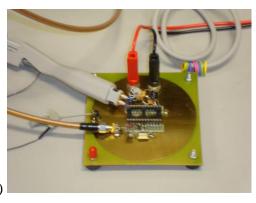


Figura 6.10 – Fotografia da bancada de teste do oscilador xtal Pierce.

(a) Bancada de teste; (b) Detalhe da placa de teste

Fonte: Maltione (2020).

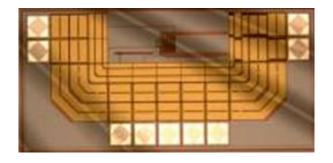


Figura 6.11 – Microfotografia do circuito integrado teste do oscilador xtal Pierce (VT5). Fonte: Maltione et al. (2011).

A Figura 6.12 mostra a resposta transiente para uma injeção de RF CW de 550MHz, com potência de 18dBm. Neste teste podemos verificar o sinal do oscilador com comportamento normal antes da injeção do RFI e distorcido com componentes de RF nos níveis lógicos (alto e baixo) após a injeção. Vale anotar que a medida da frequência para fins de avaliação do desvio, é efetuada após o fim do pulso de *trigger* do gerador garantindo que a medição é realizada durante o estado de regime da interferência.

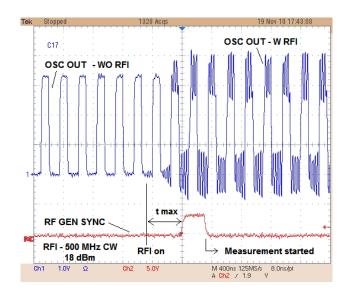


Figura 6.12 – Resposta transiente do Pierce para injeção de RFI @ 500MHz CW 18dBm. Fonte: Maltione *et al.* (2011).

Por sua vez a Figura 6.13 mostra o desvio de frequência estimada conforme o carregamento CL, enquanto a Figura 6.14 mostra o desvio em frequência conforme o nível da potência injetada. Nesta figura pode-se verificar claramente o comportamento previsto pelo método de análise proposto e simulações. Para condição de baixa injeção (até 5dBm), o desvio é muito pequeno, sendo que após este valor as junções parasitas (diodos) passam da região reversa para o estado de condução, iniciando-se o efeito de retificação, exposto no

Capítulo 4. Nesta região o desvio de frequência sobe exponencialmente, sendo que partir de  $V_D \approx 0.7 \text{V}$  os diodos estão totalmente polarizados. Na região de 10dBm a 20dBm o efeito de retificação é acentuado pelo fator dos diodos de ESD entrarem em condução conduzindo para a alimentação e mudando o perfil da curva. Estes resultados foram corretamente e previstos e correlacionados pelo modelamento e análise realizada anteriormente.

Assim conforme pode ser verificado, o efeito do carregamento capacitivo, demonstrado pelo fator de carga contribui para os pequenos desvios do oscilador (baixa injeção), enquanto para o efeito de retificação promove desvios enormes no comportamento do oscilador, descaracterizando a sua funcionalidade (base de tempo de precisão). Convém observar que os testes foram limitados a máxima potência de saída do gerador (22dBm). Caso fosse injetada uma potência maior (30 a 40 dBm) o mesmo iria parar a oscilação e teríamos a destruição da amostra (teste não realizado).

Os resultados do teste de susceptibilidade via DPI podem ser verificados nas Figuras 6.15 e 6.16. Na Figura 6.15, o circuito do oscilador a cristal é configurado usando os capacitores externos, C1 e C2 de 10pF. O circuito tem pequeno desvio (< 1.2 ppm), com susceptibilidade a partir de 200MHz (efeito do carregamento) com pico de desvio em 600MHz com alta potência de injeção, em 20dBm (efeito da retificação). Para a Figura 6.16, o teste é realizado com a configuração usando somente os componentes internos (rede de realimentação totalmente integrada). Neste caso pode-se observar o grande desvio do oscilador que perde completamente sua precisão atingindo 30000ppm para 20dBm. Este comportamento está de acordo com o modelamento através do fator de carga realizado no Capítulo 4.

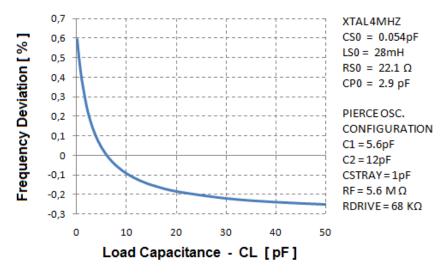


Figura 6.13 – Desvio da frequência do oscilador Pierce conforme a capacitância de carga. Fonte: Maltione *et al.* (2011).



Figura 6.14 – Desvio do oscilador Pierce de acordo com a Potência de RFI 500MHz CW. Fonte: Maltione *et al.* (2011).

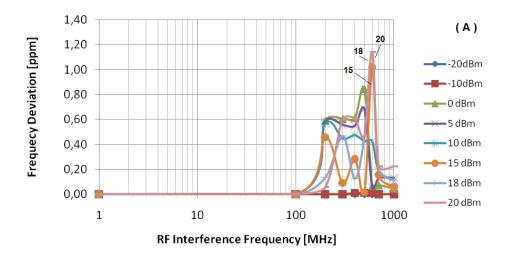


Figura 6.15 – Desvio do oscilador Pierce com capacitores externos C1 e C2 de 10pF. Fonte: Maltione *et al.* (2011).

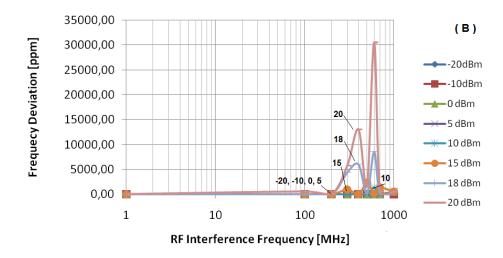


Figura 6.16 – Desvio do oscilador Pierce somente com capacitores C1 e C2 internos. Fonte: Maltione *et al.* (2011).

#### 6.8 Proposta de um barramento de testes de RFI analógico: ATB-RFI

Nos métodos de validação anteriores, foram usados módulos construídos isoladamente do circuito *Smart Power* da aplicação. Duas considerações se fazem necessárias. Um primeiro ponto é que esta estratégia exige a inclusão de chips de testes, com módulos isolados incluindo proteções ESD, polarizações e *buffers* para caracterização isolada, o que aumenta o custo do MPW (mais de um chip integrado no mesmo MPW), além de complicar os testes. Este método é muito útil para a fase de desenvolvimento do dispositivo. O segundo ponto a ser discutido é que como o módulo é testado isoladamente, os efeitos da integração do módulo no conjunto não podem ser avaliados, sendo um problema principalmente em dispositivos *Smart Power*, onde as etapas de potência, suas proteções e alimentações contêm muitos parasitas e acoplamentos por muitas vezes não previstos.

Neste caso, para circuitos complexos a caracterização só pode ser feita via *probe*, com pontas de RF, sendo que muitas vezes os circuitos são carregados devido à necessidade das terminações em 50 Ω. Assim caso a testabilidade do dispositivo com relação aos testes de EMC, não seja considerada durante a fase de projeto, proporcionando mecanismos de acesso aos blocos internos, a depuração de problemas relativos à RFI será muito limitada, senão impossível. Certos fabricantes costumam adicionar pads extras para teste dentro do dispositivo, o que complica o layout, aumentando consideravelmente a área do dispositivo e consideravelmente o seu custo, sendo que em alguns casos esta estratégia é inviável.

Uma estratégia adotada pelo autor em Maltione *et al.* (2008) propõe o uso de um barramento de testes analógicos (ATB) para acesso aos blocos durante o teste de RFI. Assim várias funções analógicas podem ser acessadas através de um endereço de configuração, quando os dispositivos estiverem em modo teste, conforme ilustra a Figura 6.17.

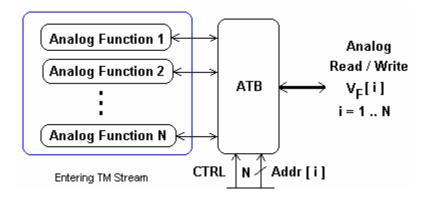


Figura 6.17 – Estratégia de teste via barramento analógico integrado.. Fonte: Maltione *et al.* (2008).

A Figura 6.18 mostra um detalhamento do barramento, onde foram desenvolvidas células para medidas de baixa tensão e de altas tensões (mostra o sinal interno atenuado), e um único *buffer* comum a saída, otimizando a questão de área e a lógica de controle do barramento. Uma característica interessante deste sinal está na possibilidade de se impor um nível de tensão ou corrente a um nó interno, se necessário, para tentativa de mitigação do RFI.

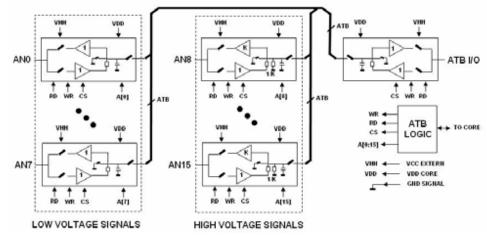


Figura 6.18 – Diagrama de blocos do barramento de teste analógico integrado. Fonte: Maltione *et al.* (2008).

Neste tipo de configuração (Figura 6.19) uma questão importante é a do isolamento entre os sinais que deve ser considerado no projeto desta célula. Para a avaliação do sinal está previsto também um filtro (R<sub>1</sub>, C<sub>1</sub>) que permite a visualização do nó conforme o definido pelo método de Interferência Complexa. Para os módulos de alta tensão é usado um divisor resistivo no lugar de R1. Assim cada sinal fica suficientemente isolado do barramento para não interferir no funcionamento em modo normal do dispositivo. A Figura 6.20 mostra a microfotografia do ATB em um circuito integrado Smart Power em tecnologia BCD 0.25um.

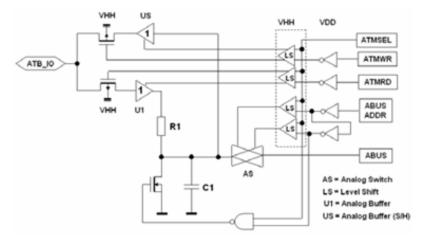


Figura 6.19 – Circuito de uma célula do barramento de teste analógico integrado. Fonte: Maltione *et al.* (2008).

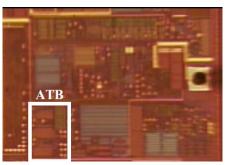


Figura 6.20 – Microfotografia do barramento de teste integrado em Smart Power. Fonte: Maltione *et al.* (2008).

Como outro exemplo, a Figura 6.21 mostra a microfotografia de um circuito integrado condicionador de sinais analógicos chaveados (integrado), para uso em circuitos *Smart Power* em tecnologia BiCMOS 0.6µm. Neste circuito temos vários circuitos que podem ser configurados para construir um controlador Smart Power. Neste caso, dada a complexidade de integração, os sinais dos blocos internos podem ser verificados como blocos analógicos e digitais durante o teste de RFI. Neste CI o ATB é construído a partir de chaves CMOS complementares com supressão de *crosstalk*. O ATB neste caso é acessado por pinos de endereçamento no CI, direcionando o sinal para uma entrada/saída no modo de teste.

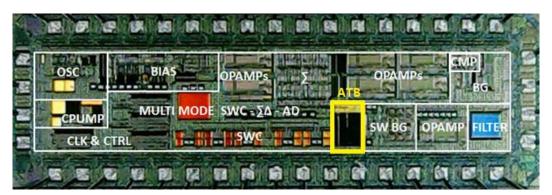


Figura 6.21 – Microfotografia de um controlador A/D chaveado com ATB (VT3). Fonte: Maltione (2020).

Para os objetivos desta tese o circuito da Figura 6.20 foi caracterizado em funcionamento normal do dispositivo *Smart Power*, tendo sido usado um sistema de teste conforme mostrado na Figura 6.22, tendo sido caracterizado o funcionamento do *bandgap* e do regulador de tensão LDO, sem interferência, conforme mostra a Figura 6.23.

Para acesso ao ATB o dispositivo *Smart Power* é colocado em modo teste, sendo endereçado um módulo de baixa tensão para leitura do *bandgap*, e um módulo de alta tensão que lê a tensão do regulador LDO atenuado em 50%, sendo feita uma varredura em temperatura na faixa de -40°C a +150°C. O sinal do ATB é monitorado pelo sinal  $V_X$  de saída.

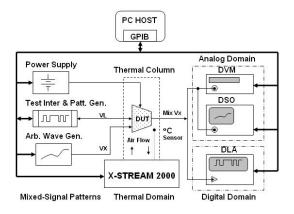


Figura 6.22 – Setup da caracterização em temperatura de um bandgap e regulador LDO. Fonte: Maltione *et al.* (2008).

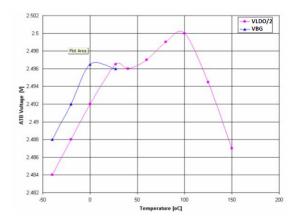


Figura 6.23 – Resultados da caracterização em temperatura de um bandgap e um LDO. Fonte: Maltione *et al.* (2008).

Para a caracterização do dispositivo em modo de interferência via DPI, foi utilizada uma configuração conforme mostrada na Figura 6.24. Assim como nos casos anteriores de teste, também é usado um perfil circular do plano de terra para minimizar a emissão durante o teste, podendo a placa ser usada para testes de EME e EMS. Para configurar o dispositivo em modo teste, foi utilizada uma interface digital isolada, controlada via USB.

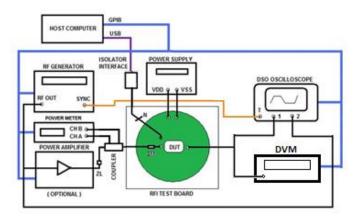


Figura 6.24 – Configuração do teste de interferência de um bandgap e regulador LDO. Fonte: Maltione *et al.* (2008).

A Figura 6.25 mostra o comportamento transiente dos sinais acessados via ATB, sendo que a Figura 6.25a mostra os sinais analógicos e digitais sem interferência, enquanto a Figura 6.25b mostra estes mesmos sinais com um sinal de interferência de RF de 200MHz CW com potência de 20dBm. Nestes gráficos o endereço do ATB é comutado (degrau) entre a visualização do sinal do bandgap e a saída atenuada em 50% do regulador de tensão LDO internos ao circuito integrado *Smart Power*.

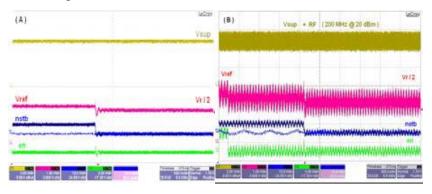


Figura 6.25 – Comportamento do Bandgap e LDO com interferência de RF 200MHz CW. (a) Sem interferência (b) Com interferência.

Fonte: Maltione et al. (2008).

Conforme pode ser verificado, sobre os sinais digitais, verifica-se a superposição da interferência sobre os níveis digitais, por interferência acoplada via alimentação. Para os sinais analógicos, pode-se observar uma superposição mais acentuada da interferência acoplada via substrato, que causa um *offset* de tensão (deslocamento do valor médio dos sinais) conforme previsto pelo método de interferência complexa desenvolvido no Capítulo 3, descritos e modelados no Capítulo 4 e previsto por simulação no Capítulo 5.

Na Figura 6.26 é mostrado o desvio percentual da tensão do *bandgap* (e por consequência do regulador), onde podemos notar a influência do efeito do carregamento (baixa injeção) até cerca de 15 dBm e o efeito de retificação se tornando notório a partir de 20dBm, chegando a um desvio próximo de 30% perto de 40dBm.

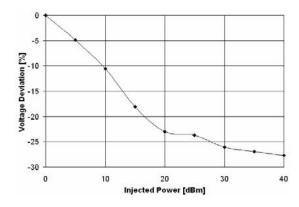


Figura 6.26 – Desvio percentual do Bandgap com a interferência de RF. Fonte: Maltione *et al.* (2008).

Esta mesma configuração de ATB pode monitorar blocos analógicos com sinais de saída digitais. Um exemplo é o acesso ao sinal de saída do oscilador de relaxação, usado como base de tempo do dispositivo *Smart Power*. Nesta estratégia, como o oscilador está integrado junto com os circuitos de potência, pode ser avaliado o seu comportamento na aplicação. Assim a Figura 6.27 apresenta a resposta transiente para injeção de um sinal de interferência de 100MHz CW com potência de 20dBm. Os sinais são comparados com a operação normal e determinados os desvios, sendo observada introdução de um *offset* de tensão no nível médio do sinal, assim como a introdução de um atraso nos semiciclos do período, que alteram a frequência do oscilador. A Figura 6.28 por sua vez mostra o desvio da frequência do oscilador em função da potência do RFI, que começa a ser percebida a partir de 15dBm, chegando a 63% de desvio em 40 dBm. Caso a potência de RF aumente além deste limite o oscilador tenderá a parar de oscilar, conforme previsto anteriormente.

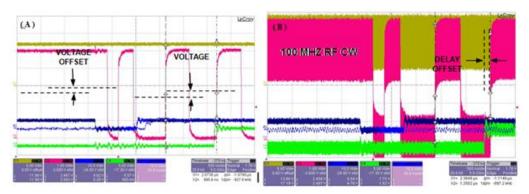


Figura 6.27 – Resposta transiente para injeção de RFI @ 100MHz CW 20dBm. (a) Sem interferência (b) Com interferência.

Fonte: Fonte: Maltione et al. (2008).

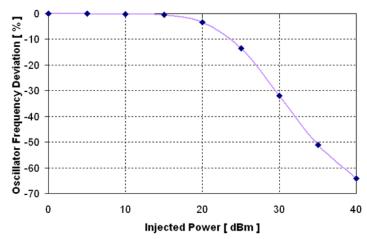


Figura 6.28 – Desvio da frequência do oscilador relaxação em função da potência de RF. Fonte: Maltione *et al.* (2008).

# 6.9 Proposta de um novo método de caracterização: FRA-DPI (Resposta em frequência de um circuito sob interferência de RF)

As experiências relatadas aqui foram coletadas com um conjunto de blocos funcionais implementados em uma tecnologia CMOS de 0.35μm e 0.6μm, usando uma chave *Power* MOS externa com acesso ao substrato. A implementação do circuito foi feita para emular um CI de controle Smart Power, um tipo de regulador de tensão *Buck* chaveado, com controle em modo corrente, usando um compensador analógico tipo II. Isso configura uma arquitetura típica encontrada em circuitos integrados *Smart Power*, onde para pequenas aplicações tipicamente todos os componentes da rede de controle e realimentação estão integrados. Neste caso, foram usados componentes SMD de encapsulamento pequeno, usando capacitores com 10 vezes a faixa de capacitâncias parasitas (1pf ~ 10pf), e resistores com faixa de valor alto, para emular os componentes integrados. O substrato dos CIs foi acessado diretamente via pad e todos conectados ao ponto de injeção de RF com um caminho o mínimo possível. O objetivo principal foi estudar os efeitos de interferência de RF apenas na resposta de frequência (desvios de Amplitude e Fase), considerando principalmente a interferência de baixa injeção (efeito de carregamento).

Em relação à configuração do teste, a Figura 6.29 mostra detalhes sobre as conexões de alimentação e os pontos de injeção RFI. A alimentação é desacoplada para evitar a injeção de potência de RF sobre a fonte de alimentação. Este filtro extra adiciona alguns pontos de ressonância no teste. Assim, a configuração deve ser caracterizada antes, sem o dispositivo de teste (DUT), para determinar a influência da montagem. Esta fonte de alimentação "limpa" não está normalmente presente nas aplicações, mas é quase padrão em testes de conformidade, uma vez que o principal objetivo deste teste na indústria é a qualificação da EMC. Essa configuração é normalmente usada também para depuração e pesquisa de susceptibilidade. Vários testes podem ser realizados com essa configuração. Neste estudo, concentramos nosso foco nos efeitos de interferência devido à injeção no substrato, para analisar as mudanças de resposta de frequência por qualquer deslocamento de polo ou zero.

A configuração mostrada na Figura 6.29 propõe também um ambiente de caracterização modificado para o teste de injeção de falha de RF padrão (e.g. (VARGAS *et al.*, 2005), (MONTROSE e NAKAUCHI, 2004)) no nosso caso DPI, com um teste FRA simultâneo. Ele é apropriado para realizar análises nos domínios de tempo e frequência. O lado superior da configuração é composto por um osciloscópio digital (DSO) com software especial que realiza análise no domínio do tempo, enquanto o analisador de espectro verifica a

perturbação no domínio da frequência. O amplificador de potência de RF é opcional, dependendo da maior potência fornecida pelo gerador de RF. Nos testes de conformidade da EMC, além disso, temos também um medidor de energia refletida (ROE) para verificar a potência real fornecida ao DUT.

O lado inferior da configuração é composto por um analisador de resposta de frequência (FRA), onde dependendo do fabricante, será necessário um transformador especial (com largura de banda de 0.1Hz a 40MHz), para se tornar a saída do oscilador como uma fonte flutuante. Como neste teste, o ruído de RF estará presente, foi utilizada uma interface de buffer / filtro (com largura de banda de transformador semelhante) alimentada por fonte de alimentação "limpa" separada, para evitar qualquer interferência. O caso em que o ruído induzido por RF ocorre na mesma faixa da largura de banda do analisador, o impacto nos analisadores FRA é minimizado porque a frequência de teste FRA é combinada com canais de entrada, por misturador analógico correlacionando os sinais, ou pelo pós-processamento DSP, usando essa correspondência para correlacionar os sinais (dependendo do tipo de equipamento). Isso é uma vantagem quando é usado um equipamento FRA dedicado, uma vez que o mesmo pode ser substituído por um osciloscópio DSO, um gerador de função arbitrária, e um transformador (como nos primeiros tempos dos equipamentos FRA).

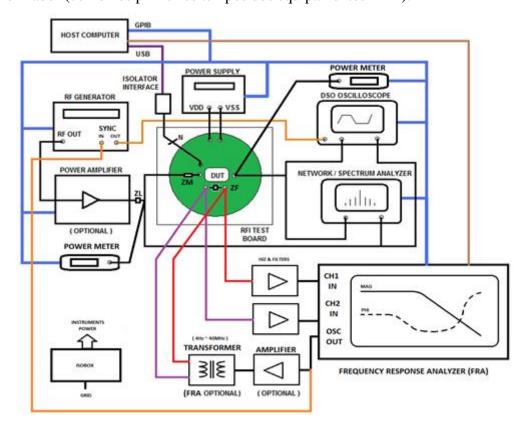


Figura 6.29 – Configuração de teste para análise FRA de falhas de Injeção de RFI. Fonte: Maltione *et al.* (2018).

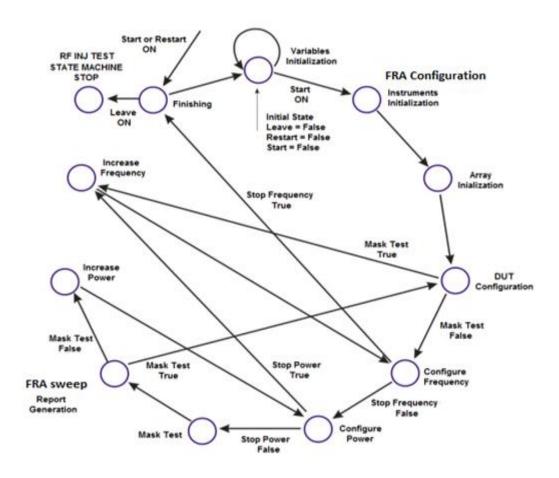


Figura 6.30 – Máquina de estado de teste para análise FRA-DPI. Fonte: Maltione *et al.* (2018).

O sistema pode ser acionado manualmente ou automaticamente via ambiente GPIB. Na opção automática, a Figura 6.30 mostra a máquina de estado de teste usada para caracterização de FRA-DPI. A análise FRA é inserida após cada ajuste de potência e frequência de RF, o que pode exigir um longo tempo, dependendo do tempo usado no equipamento FRA para obter uma boa rejeição de ruído (tempo de integração). Um possível problema que pode ocorrer em altos níveis de injeção é o excesso de dissipação de calor nos componentes de potência, devido à injeção de interferência de RF. Neste caso, pode ser usado algum ventilador de convecção forçada. De qualquer forma, o cuidado é sempre necessário. O teste também requer alguns cuidados especiais e atenção na implementação, especialmente em relação às etapas de potência de RF (no nosso caso, para cada etapa, aumentamos a potência até atingir o nível desejado, evitando picos de potência na saída do gerador de RF).

Em resumo, o teste não é tão fácil e será necessária alguma experiência para concluílo com sucesso. Sem os cuidados de isolação e filtragem os resultados não são confiáveis. A Figura 6.31 mostra a instrumentação utilizada para caracterização dos componentes passivos e pontos de ressonância da PCB, enquanto a Figura 6.32a mostra o injetor do sinal de teste (transformador de alta frequência) e a Figura 6.32b mostra o *Frequency Responce Analyser* (FRA) utilizado nos testes. Baseados nesta configuração de teste FRA-DPI, foram analisados os dois exemplos citados no Capítulo 5 (FRA1 e FRA2), conforme discutido a seguir:

FRA1 – Para o conversor chaveado com controle em modo corrente, foi utilizado um circuito construído a partir dos blocos integrados em tecnologia  $0.6\mu m$  (condicionadores de sinal), utilizando-se um controlador analógico com drivers e chaves Power MOS externas, para configurar um regulador chaveado de MIP potência, sendo a interferência aplicada ao substrato do circuito integrado de condicionamento (que tem um pino de injeção para o mesmo). A frequência de interferência foi ajustada em 100 MHz CW, como nos casos anteriores. Os componentes externos  $L_O$  e  $C_O$ , foram caracterizados inicialmente para obtenção dos parâmetros,  $R_{DC}$ , ESR e ESL em função da frequência. Para a carga foi utilizada uma carga eletrônica para simular RL.



Figura 6.31 – Configuração de teste dos componentes magnéticos utilizados. (a) Analisador de Impedância (Bridge); (b) Analisador de rede (Network) Fonte: Maltione (2020).

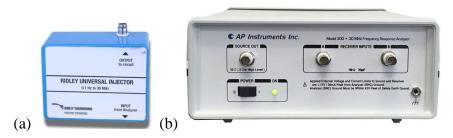


Figura 6.32 – Configuração de teste do FRA utilizado. (a) Injetor/Transformador de HF (b) Analisador FRA Fonte: Ridley Engineering (2020).

O resultado do teste de susceptibilidade via FRA-DPI pode ser verificado na Figura 6.33. Nesta figura, temos a variação da resposta em frequência obtida em função dos desvios observados nos condicionadores, no oscilador e na referência de tensão  $V_{BG}$ . Conforme discutido no capítulo anterior, foram observados pequenos deslocamentos nos polos, em torno de poucos Hz da frequência de cruzamento  $\omega_0$  ( $|A(j\omega)|=0dB$ ) devido a mudanças na polarização interna (variação das transcondutâncias) uma vez que a carga de saída e o filtro de saída (L,  $R_L$ , C,  $R_C$  e  $R_O$  são fixados nesta configuração) mostrando que o modo de controle em modo corrente é um controle muito estável.

Com relação ao FRA, para este caso, estes deslocamentos na prática acabam por ser imperceptíveis, sendo observados apenas com uma taxa de integração muito baixa, mas os erros de integração e o ruído tornam a medida não confiável, devido à variação muito pequena. Assim estas medidas só tem relevância quando a variação percentual é nitidamente identificável e repetitiva, independentemente dos erros de medição.

A próxima etapa desta pesquisa pretende introduzir todas as necessidades de teste em um circuito integrado *Smart Power* completo, usando compensadores internos programáveis, para verificar melhor a sensibilidade à RFI para valores de componentes de rede pequenos. Isto se faz necessário, pois o teste relatado foi limitado pela rede externa.

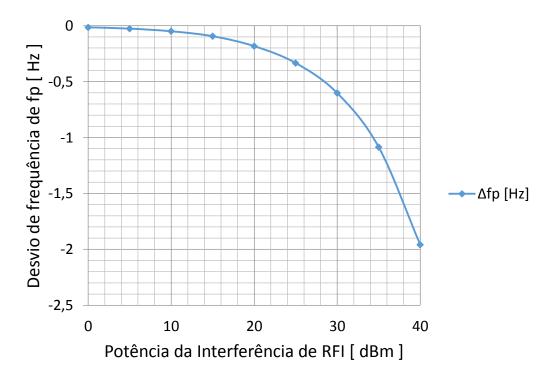


Figura 6.33 – Desvio da resposta em frequência do Smart Power MIP em função do RFI. Fonte: Maltione (2020).

FRA2 – Para o regulador de tensão LDO interno, foi utilizado um circuito construído novamente a partir dos blocos integrados em tecnologia 0.6μm (condicionadores de sinal), mas de forma a configurar um controlador analógico com um transistor de passagem Power MOS externo, de forma a termos um regulador de VDD=5V. A injeção da interferência também foi aplicada ao substrato do circuito integrado de condicionamento (que tem um pino de injeção para o mesmo). A frequência de interferência foi ajustada em 100 MHz CW.

O resultado do teste de susceptibilidade via FRA-DPI pode ser verificado na Figura 6.34. Nesta figura, temos a curva do desvio da variação percentual de  $\Delta f$  em função da potência da interferência injetada (curva sólida, obtida em função das medidas dos desvios observados nos condicionadores, e da referência de tensão  $V_{BG}$ ). A título de comparação foram adicionados os pontos obtidos por simulação no Capítulo 5 para a mesma faixa de potência. Podemos observar que até 30 dBm a simulação é coerente com os dados experimentais. Entretanto para alta potência temos uma grande divergência nos resultados que provavelmente se deve a limitação do modelamento e pelo fato que o sistema não está totalmente integrado, levando a comportamentos distintos entre os seus módulos (ou seja, não compartilham as mesmas polarizações, como assumido hipoteticamente). Assim como no caso anterior, em etapas posteriores desta pesquisa, sugere-se utilizar um dispositivo totalmente integrado para melhor verificação da metodologia de teste.

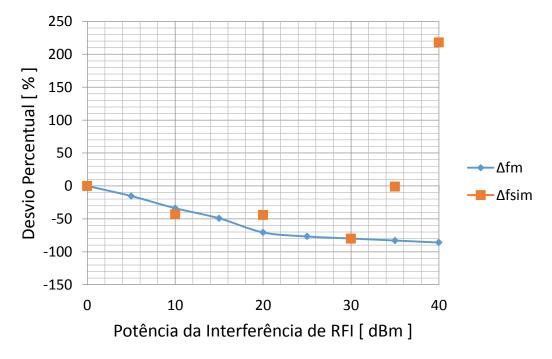


Figura 6.34 – Desvio da resposta em frequência do LDO em função do RFI. Fonte: Maltione *et al.* (2018).

#### 6.10 Resumo e conclusões do Capítulo 6

Neste Capítulo foram abordados os principais métodos de teste e medida de interferência devido a RFI. Foi discutida a aplicabilidade de cada um dos tipos de teste conforme o domínio (tempo, frequência, ou ambos), relacionando com respetivas normas de regulamentação.

Com relação à metodologia de caracterização foi abordada a questão da estratégia de teste aplicada em circuitos Smart Power complexos, uma vez que a acessibilidade aos blocos internos pode ser difícil ou mesmo impossível, caso não seja disponibilizado um mecanismo de acesso aos blocos internos dos dispositivos, para acesso aos sinais em caso de falha.

Como primeiro método foi analisado a integração de blocos junto com o CI principal, para caracterização isolada dos mesmos. São dados dois exemplos caracterização de blocos, um oscilador de relaxação e um oscilador harmônico a cristal tipo Pierce, comumente usados como base de tempo em circuitos Smart Power. Foram discutidos os principais problemas de caracterização (carregamento dos sinais) e as soluções adotadas.

Como segundo método de caracterização é proposto a utilização de um barramento de teste analógico para acesso aos sinais internos (ATB-RFI) durante o teste de interferência tendo sido exemplificado através da caracterização de um *bandgap* e um regulador LDO via ATB. Foi mostrada também a caracterização de um oscilador de relaxação integrado, usando também um ATB, com a vantagem de se verificar o comportamento do bloco integrado.

Finalmente é proposto um novo método de caracterização denominado FRA-DPI, onde é utilizado um analisador de resposta em frequência durante o teste de interferência. Este método serve para avaliar o deslocamento de polos e zeros do controlador devido à variação de resistências, capacitâncias e transcondutâncias não lineares durante o teste de DPI.

Com relação aos resultados dos testes podemos verificar que estão de acordo com os resultados preditos pela análise de interferência complexa, descrito no Capítulo 3, modelados no Capítulo 4 e simulados no Capítulo 5. Puderam ser observados também os fenômenos de indução de *offset* via RFI, devido ao efeito de carregamento e os enormes desvios nos sinais devido ao fenômeno da retificação do RFI, de acordo com as previsões obtidas por modelamento, descritas no Capítulo 4.

# Capítulo 7

### Conclusões

#### 7.1 Introdução

A análise da interferência de RF em circuitos integrados de potência, *Smart Power*, tem ganhado grande conotação nas ultimas décadas, sendo que o uso de tecnologias WBG integradas está ainda em seu início. O presente trabalho discutiu as principais questões relativas a este problema, coma análise das principais aplicações de circuitos *Smart Power*, o estado da arte de suas tecnologias e os principais métodos para estudo da interferência durante a fase de projeto do dispositivo. A não linearidade dos componentes integrados, assim como os efeitos não lineares devidos a injeção de alta potência, traz uma grande dificuldade de análise usando métodos convencionais, principalmente usando simuladores do tipo SPICE para avaliação de circuitos complexos, tarefas que ficam praticamente impossíveis em altas frequências. O método proposto de Interferência Complexa proporciona uma nova ferramenta de análise permitindo a predição de resultados já em regime, durante ciclos extensos de simulação, o que não é possível por nenhum outro método. Este estudo trouxe também uma elucidação dos principais efeitos e mecanismos de falha em circuitos de potência, com a predição de resultados inéditos na literatura.

#### 7.2 Resultados, discussões e conclusões

Como principais resultados deste trabalho temos no Capítulo 3, a proposição de um método novo de análise da RFI (Interferência Complexa), desde a sua fundamentação, modelamento matemático não linear (considerando a propagação não linear da RFI) e seu algoritmo de aplicação. Com relação ao modelamento dos efeitos e mecanismos de falha de RFI, o Capítulo 4, traz uma elucidação dos efeitos em alta e baixa injeção, com descrição matemática via o método proposto dos fenômenos de carregamento e retificação. Neste capítulo é proposto também o modelamento do efeito antena do *diepad / baseplate*, desconsiderado normalmente nas análise de RFI, o que muitas vezes não permite a correta mitigação do problema, apesar da sua importância em circuitos Smart Power. No Capítulo 5 foram realizados vários estudos de caso em blocos que costumam ter problemas de susceptibilidade, abordando-se casos não reportados na literatura, assim como se

considerando tecnologias recentes WBG. No Capítulo 6 foram abordados os métodos de teste, mostrando-se as alternativas de caracterização de circuitos complexos, tais como o uso de blocos de teste e o uso de barramentos dedicados de teste para o RFI. Neste capítulo temos também a proposição de um novo método de teste o FRA-RFI, que permite a validação dos controladores em circuitos Smart Power durante os testes de EMC. Os resultados obtidos nesta análise são preliminares, uma vez que o dispositivo de teste foi construído como um módulo, sendo que os efeitos parasitas tiveram grande influência nos resultados. Entretanto é um método promissor e projeta uma vasta linha de pesquisa neste tema.

#### 7.3 Sugestões para trabalhos futuros

Em um futuro próximo os circuitos integrados WBG (SiC e GaN) tendem a ser uma realidade, com a disponibilização de processos para integração MPW. Assim em uma etapa futura deste trabalho poderia ser construído um conversor de energia WBG totalmente integrado, com um ATB-RFI dedicado, com acesso ao substrato para estudo usando o método de Interferência Complexa proposto neste trabalho em vários campos de aplicação.

Além disto, o método de Interferência Complexa pode ser aplicado para análise de eventos transientes tais como ESD e EMP, podendo também ser aplicado na análise de circuitos sujeitos à radiação (Raios-X, Cósmica, Nuclear), uma vez que estes tópicos não foram abordados por fugir do escopo deste trabalho.

Com relação ao novo método de caracterização FRA-DPI, existe um vasto espaço para pesquisa e exploração de problemas de RFI usando esta ferramenta, que permite avaliar o mecanismo de controle do sistema Smart Power durante uma interferência.

Finalmente, a partir das análises propostas e entendimento dos efeitos e mecanismos de falha, podem ser inferidos vários métodos para mitigação da interferência em vários tipos de projetos.

#### 7.4 Considerações finais

O presente trabalho tende a suprir uma lacuna na literatura referente ao projeto de circuitos integrados de potência *Smart Power*. A elucidação dos fenômenos do RFI, a busca por soluções efetivas e passíveis de implementação, foi sempre um alvo desta pesquisa. Neste sentido espero ter contribuído nesta fascinante área dos circuitos de potência.

## Publicações

#### Lista de publicações do autor

MALTIONE, Ricardo; REIS, Marcos V. G. dos; NARVAEZ, Dante I.; VILLALVA, Marcelo G.; KRETLY, Luis C. Development Challenges of small inverters for PV and Renewable Energy applications, as Well IoT, EMC, Lightning and Robustness Tradeoffs. IEEE Transactions on Industrial Electronics (Submitted, under review).

MALTIONE, Ricardo; REIS, Marcos V. G. dos; NARVAEZ, Dante I.; VILLALVA, Marcelo G.; KRETLY, Luis C. Small Size Inverters: Development Challenges for PV, Renewable Energy Applications, as Well IoT, EMC, Lightning and Robustness Tradeoffs. *In*: 2018 13th IEEE International Conference on Industry Applications (INDUSCON). IEEE, São Paulo, Brazil, Nov. 12-14, 2018. Proc. [...]. DOI: 10.1109/INDUSCON.2018.8627074.

MALTIONE, Ricardo; VILLALVA, Marcelo G.; KRETLY, Luis C. A novel method of impact and failure mechanism analysis of RF-based fault injection: A frequency response analyzer, FRA. *In*: 19th IEEE Latin American Test Symposium, São Paulo, Brazil, March 12-16, 2018. Proc. [...]. DOI: 10.1109/LATW.2018.8349671.

MALTIONE, R.; OLMOS, A.; VILAS BOAS, A.; SILVA, E. R.; SILVA, J. C. Impact of RF-based fault injection in Pierce-type crystal oscillators under EMC standard tests in microcontrollers. *In*: 2011 12th Latin American Test Workshop (LATW), IEEE, Porto de Galinhas, Brazil, March 27-30, 2011. DOI: 10.1109/LATW.2011.5985906.

MALTIONE, R.; C. Hamanaka, E. C. Sánchez, J. C. Silva and S. Finco, "Minimizing PVT variations in Dual Phase On-Chip Relaxation Oscillators Clock", *In*: XVIII International Congress of Electronic, Electrical and Systems Engineering - INTERCON 2011, Aug. 8-13, 2011, Lima, Peru. Proc. [...].

MALTIONE, R.; R. Railson, J. Emeri Junior, E. Sanchez, J. C. Silva, S. Finco and F. Fruett, "A Compact Low to Medium Power Electronic Zener Cell in Standard CMOS Technology", *In*: XVIII International Congress of Electronic, Electrical and Systems Engineering - INTERCON 2011, Aug. 8-13, 2011, Lima, Peru (Best investigation paper award). Proc. [...].

MALTIONE, R.; OLMOS, A.; VILAS BOAS, A.; SILVA, E. R.; SILVA, J. C. Test Mode Method and Strategy for RF-Based Fault Injection Analysis for On-Chip Relaxation Oscillators under EMC Standard Tests or RFI Susceptibility Characterization. *In*: LATW, 2010, Punta del Leste. IEEE LATW, 2010. Proc. [...]. DOI: 10.1109/LATW.2010.5550382.

MALTIONE, R.; S. Finco, J. C. Silva, W. B. de Moraes, E. C. Sánchez, C. Hamanaka and C. Santos, "A Linear AGC for Embedded Sensor Applications", *In*: XVIII International Congress of Electronic, Electrical and Systems Engineering - IRTERCON 2011, Aug. 8-13, 2011, Lima, Peru. Proc. [...].

MALTIONE, R.; SILVA, E. R.; OLMOS, A.; VILAS BOAS, A. A Self-Adaptable Slew Rate Control, Variable Power Supply Output Buffer for Embedded Microcontroller Applications with EMI Improvement Using Geometric-Load-Slew Factor Approach. *In*: DesignCon 2009, Feb. 2-5, 2009, Santa Clara, California, USA. Proc. [...].

- MALTIONE, SILVA, E. R. da; COSTA, F. A.; R.; KICKHOFEL, R. S.; BEHRENS, F.; Using Mixed-Mode Test Bus Architecture to RF-Based Fault Injection Analysis and EMC Fault Debug", *In*: LATW2009 10<sup>th</sup> IEEE Latin-American Test Workshop, Mar. 2-5, 2009, Buzios, Rio de Janeiro, Brazil. Proc. [...]. DOI: 10.1109/LATW.2009.4813820.
- MALTIONE, SILVA, E. R. da; COSTA, F. A.; R.; KICKHOFEL, R. S.; BEHRENS, F.; Analog test bus architecture for small die size and limited pin count devices with internal IPs testability emphasis", *In*: LATW2009 10<sup>th</sup> IEEE Latin-American Test Workshop, Mar. 2-5, 2009, Buzios, Rio de Janeiro, Brazil. Proc. [...]. DOI: 10.1109/LATW.2009.4813800.
- MALTIONE, R.; SILVA, E. R., OLMOS, A. VILAS BOAS, A. Self-Adaptable Slew Rate Control Output Buffer for Embedded Microcontroller Port Applications. *In*: SBCCI2008, 21st Symposium on Integrated Circuits and Systems Design, Sep. 1 to 4, 2008, Gramado, Brazil, pp. 205-209. Proc. [...]. DOI: 10.1145/1404371.1404427.
- MALTIONE, R.; KICKHOFEL, R. S.; BEHRENS, F.; NASCIMENTO, I. C.; PELICIA, M. M. Power Management Techniques for Very Low Consumption and EMI Reduction in Automotive Applications. *In*: SBCCI2008, 21st Symposium on Integrated Circuits and Systems Design, Sep. 1 to 4, 2008, Gramado, Brazil, pp. 129-134. Proc. [...]. DOI: 10.1145/1404371.1404411.
- MALTIONE, R.; SILVA, E. R., OLMOS, A. VILAS BOAS, A. Amplitude Loop Control for Oscillators (New method for microcontroller's clock oscillator amplitude control), Filed, Jan. 30, 2013, Granted, Dec. 30, 2014, Assignee: Freescale Semiconductor, US Patent No. 8922287B2.
- MALTIONE, R.; SILVA, E. R., OLMOS, A. Voltage Detector Device and Methods Thereof (A Shadow Low Voltage Detector for Very Low Power Applications Allows a smallest power consumption known in monitored robustness and noisily systems), Filed, Dec. 19, 2008, Granted, Nov. 23, 2010, Assignee: Freescale Semiconductor US Patent No. 7839189.
- MALTIONE, R.; SILVA, E. R., OLMOS, A. Systems and methods for detecting interference in an integrated circuit (World's first microcontroller which detects RF interference), Filed, Nov. 25, 2009, Granted, Dec. 11, 2012, Assignee: Freescale Semiconductor US Patent No. 8.330,502.

# Referências Bibliográficas

ABUELMA'ATTI, M. T.; Analysis of the Effect of Radio Frequency Interference on the DC Performance of CMOS Operational Amplifiers. **Analog Integrated Circuits and Signal Processing**, v. 45, n. 2, p. 123–130. Springer Science, Netherlands, 2005. DOI: 10.1007/s10470-005-4005-8.

ABUELMA'ATTI, M. T.; ABUELMAATTI, A. M. T.; Effect of Electromagnetic Interference (EMI) on the DC Shift, Harmonic, and Intermodulation Performance of NMOSFET Mirror With a Capacitor Between the Mirror Node and the Ground. **IEEE Transactions on Electromagnetic Compatibility**, v. 55, n. 5, p. 849-854, Oct. 2013. DOI: 10.1109/TEMC.2013.2238945.

ABU-RUB, Haitham; MALINOWSKI, Mariusz; AL-HADDAD, Kamal (eds.). **Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications**. IEEE Press and John Wiley & Sons, Ltd., 2014. Print ISBN: 9781118634035, Online ISBN: 9781118755525. DOI: 10.1002/9781118755525.

AFDC - Alternative Fuels Data Center. How Do All-Electric Cars Work? U.S. Department of Energy – Energy Efficiency & Renewable Energy. The AFDC is a resource of the U.S. Department of Energy's Clean Cities program. 2020. Disponível em: https://www.afdc.energy.gov/vehicles/how-do-all-electric-cars-work. Acesso em 14/09/2020.

AGILENT, Guide to Harmonic Balance Simulation in ADS, Agilent Tech., Sep. 2004.

AIELLO, Orazio; Hall-Effect Current Sensors Susceptibility to EMI: Experimental Study. **Electronics** 2019, 8, 1310. p. 1-14. DOI: 10.3390/electronics8111310.

AIELLO, O.; Ultra-Low Voltage Current Biasing Highly Immune to EMI. In: 2019 IEEE International Circuits and Systems Symposium (ICSyS), Kuantan, Pahang, Malaysia, 2019, p. 1-4. Proc. [...]. DOI: 10.1109/ICSyS47076.2019.8982461.

AIELLO, O.; FIORI, F.; A new current sensor based on MagFET highly immune to EMI," 2009 International Conference on Electromagnetics in Advanced Applications, Torino, 2009, p. 784-787. Proc. [...]. DOI: 10.1109/ICEAA.2009.5297310.

ALVA - Advanced Electric Vehicle Architectures Collaborative Project Grant Agreement Number 265898. Deliverable D6.6, Final Report. ELVA Consortium, 2013.

AMANO, H. *et al.* The 2018 GaN power electronics roadmap J. Topical Review. Phys. D: **Appl. Phys.** 51 (2018) 163001, 48 p., IOP, 2018. DOI: 10.1088/1361-6463/aaaf9d.

AMKOR Tech. Product Line Card. Amkor Technology Incorporated. July, 2018. Disponível em www.amkor.com. Acesso em 17 de abril de 2020.

ANDREINI, A.; CONTIERO, C.; GALBIATI, P. BCD technology for smart power ICs. In **Smart Power ICs** (MURARI, B.; BERTOTTI, F.; VIGNOLA, G.; Ed.), Chapter 1, p. 1-52, Springer, 1996.

- ANTOGNETTI, P., MASSOBRIO, G.; Semiconductor Device Modeling with SPICE, 2nd edn. McGraw-Hill, New York, 1993. ISBN-10 0071349553, ISBN-13 978-0071349550 (reprint Dec.1, 1998).
- APPLEYARD, Rollo; **Pioneers of Electrical Communication**, Publisher London: Macmillan and CO., limited, London, 1930. 347 p. ISBN 0598752307, 9780598752307.
- ASADA, Satoshi; SUDA, Jun; KIMOTO, Tsunenobu; Analytical formula for temperature dependence of resistivity in p-type 4H-SiC with wide-range doping concentrations. **Jpn. J. Appl. Phys.** 57 088002. 2018. DOI: 10.7567/JJAP.57.088002.
- AWR; Simulation and Analysis Guide AWR Design Environment v15.01. Cadence Design Systems, 2020. Disponível em: https://awrcorp.com/download/faq/english/docs/simulation/hb\_analysis.html. Acesso em 15 de setembro de 2020.
- BAFFREAU, S.; BENDHIA, S.; RAMDANI, M.; SICARD, E.; Characterization of microcontroller susceptibility to radio frequency interference. In: Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuits and Systems (Cat. No.02TH8611), Oranjestad, Aruba, Netherlands, 2002, p. I031-I031. Proc. [...]. DOI: 10.1109/ICCDCS.2002.1004088.
- BALIGA, B. Jayant. An overview of smart power technology. **IEEE Transactions on Electron Devices**, v. 38, n. 7, Jul. 1991. DOI: 10.1109/16.85151.
- BALIGA, Bantval J.; Silicon carbide switching device with rectifying-gate. US Patent US5396085A, Date of Patent: Mar. 7, 1995.
- BALIGA, B. Jayant. **Fundamentals of Power Semiconductor Devices**. Springer Science, New York, 2008. ISBN 978-0-387-47313-0.
- BALIGA, B. J. Silicon Carbide Power Devices: A 35 Year Journey from Conception to Commercialization. 2018 76th Device Research Conference (DRC), Proc. [...], 2018. DOI: 10.1109/drc.2018.8442172.
- BONANI, F.; CAPPELLUTI, F.; GUERRIERI, S. D.; TRAVERSA, F. L.; Harmonic Balance Simulation and Analysis. **Wiley Encyclopedia of Electrical and Electronics Engineering**, p. 1–16. April 25, 2014. DOI: 10.1002/047134608x.w8210.
- BOYD, Stephen; CHUA, L. O.; DESOER, A.; Analytical Foundations of Volterra Series. IMA **Journal of Mathematical Control & Information**, n. 1, p. 243-282. Oxford University Press, 1984.
- BROKAW, A. P. A simple three-terminal IC bandgap reference. **IEEE Journal of Solid-State Circuits**, v. 9, n. 6, p. 388-393, Dec. 1974. DOI: 10.1109/JSSC.1974.1050532.
- BROKAW, A. P. **How to make a Bandgap Voltage Reference in one easy lesson**. Integrated Device Technology publication, IDT, 2011. Disponível em: www.idt.com.

- BROWN, D. M.; DOWNEY, E.; GHEZZO, M.; KRETCHMER, J.; KRISHNAMURTHY, V.; HENNESSY, W.; MICHON, G.; Silicon Carbide MOSFET Integrated Circuit Technology. **Physica Status Solidi** (a), v. 162, n.1, p. 459–479, 1997. DOI: 10.1002/1521-396x (199707)162:1<459::aid-pssa459>3.0.co;2-4.
- BRUEL, M. Process For The Production Of Thin Semiconductor Material Films. U.S. Patent 5374564. Date of patent: Dec, 20, 1994.
- BRUEL, M.; ASPAR, B.; CHARLET, B.; MALEVILLE, C.; POMEYROL, T.; SOUBIE, A. Soubie; AUBERTON-HERVE, A.J.; LAM, J.M. "Smart cut": a promising new SOI material technology. Published in: 1995 IEEE International SOI Conference Proceedings, IEEE, Tucson, AZ, USA, USA, 3-5 Oct., 1995. Proc. [...]. DOI: 10.1109/SOI.1995.526518.
- BRUEL, M. The History, Physics, and Applications of the Smart-Cut® Process. MRS Bulletin, 23, No.12, p. 35–39, 1998. DOI: 10.1557/S088376940002981X.
- BRUNO, W. J.; What does photon energy tell us about cellphone safety? **arXiv**:1104.5008v1 [q-bio.OT]. Apr. 26, 2011.
- BRYANT, J. H.; The first century of microwaves-1886 to 1986. **IEEE Transactions on Microwave Theory and Techniques**. Vol. 36, Issue 5, May 1988. p. 830-858. DOI: 10.1109/22.3602.
- CAMPELLO, R. J. G. B.; AMARAL, W. C.; FAVIER, G.; Optimal Laguerre Series Expansion of Discrete Volterra Models, Proceedings of the European Control Conference (ECC), 2001. Porto, Portugal, September, 2001. p. 372-377. Proc. [...]. ISBN 978-3-9524173-6-2
- CARLTON, R. M.; An overview of emerging international measurement standards in electromagnetic compatibility for integrated circuits. In: 2003 IEEE Symposium on Electromagnetic Compatibility. Symposium Record (Cat. No.03CH37446), Boston, MA, USA, 2003, p. 108-113 v. 1. Proc. [...]. DOI: 10.1109/ISEMC.2003.1236573.
- CHEN, K. J.; HABERLEN, O.; LIDOWN, A.; TSAI, C. L.; UEDA, T.; UEMOTO, Y.; WU, Y. GaN-on-Si Power Technology: Devices and Applications. **IEEE Trans. Elec. Dev.**, v. 64, n. 3, p. 779-795, 2017. DOI: 10.1109/TED.2017.2657579.
- CHENG, C. M.; PENG, Z. K.; ZHANG, W. M.; MENG, G.; Volterra-series-based nonlinear system modeling and its engineering applications: A state-of-the-art review. **Mechanical Systems and Signal Processing**, v. 87, Part A, March 15, 2017, p. 340-364 Elsevier 2017. DOI: 10.1016/j.ymssp.2016.10.029.
- CISPR 25. Vehicles, boats and internal combustion engines Radio disturbance characteristics Limits and methods of measurement for the protection of on-board receivers. Edition 4, Oct. 27, 2016. Disponível em: https://webstore.iec.ch/publication/26122.
- CLARK, D. T., THOMPSON, R. F., MURPHY, A. E., SMITH, D. A., RAMSAY, E. P., YOUNG, R. A. R., HORSFALL, A. B. (2014) CMOS Circuits on Silicon Carbide for High Temperature Operation. **MRS Proceedings**, p. 1693. 2014. DOI: 10.1557/opl.2014.599.

- COX, Cathy; MERRITT, Clay; Microcontroller Oscillator Circuit Design Considerations; AN1706/D. Freescale, 2004.
- CROVETTI, P. S.; FIORE, F.; A Linear Voltage Regulator Model for EMC Analysis. IEEE **Transactions on Power Electronics**, v. 22, n. 6, Nov. 2007. p. 2282-2292. DOI: 10.1109/TPEL.2007.909295.
- CUOMO, Andrea. Trends In Smart Power Technology. In: Proceedings for the Second Workshop on Smart Power / Power Integrated Circuits Technology and Applications, Jet Propulsion Laboratory California Institute of Technology, December 8-9, 1993. p. 39-48. Proc. [...].
- CUI. IEC 60601-1 Medical Design Standards for Power Supplies. p. 14, CUI Inc., 2017.
- CVEL The Clemson University Vehicular Electronics Laboratory; Electromagnetic Shielding Effectiveness Calculator. CVEL, Greenville, S.C, USA, 2020. Disponível em: https://cecas.clemson.edu/cvel/emc/calculators/SE3\_Calculator/. Acesso em 14 de setembro de 2020.
- DELGADO, J. A.; ROUSE, G. V.; MCLACHLAN, C. J.; GAUL, S. J. Comparison of fabrication methods for bonded wafer SOI. Proceedings of SOS/SOI Technology Workshop. Saint Simons Island, GA, USA, Oct. 3-5, 1988. Proc. [...]. DOI: 10.1109/soi.1988.95430.
- DIXON-WARREN, Sinjin. The evolution of STMicroelectronics BCD Technology. Tech Insights, January 22, 2019. Disponível em: https://www.techinsights.com/blog/evolution-stmicroelectronics-bcd-technology. Acesso 14 de setembro de 2020.
- DEUTSCHMANN, B.; KASTNER, P.; WINKLER, G.; Fault state behavior of smart power devices during electromagnetic interference. In: 2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC), Singapore, 2018, p. 44-49. Proc. [...]. DOI: 10.1109/ISEMC.2018.8394033.
- DHIA, S. B.; RAMDANIAND, M.; SICARD, E.; **Electromagnetic Compatibility of Integrated Circuits**: Techniques for low emission and susceptibility, Springer 2006, USA, ISBN 0-387-26600-3.
- DHIA, S.; BOYER, A.; VRIGNON, B.; DEOBARRO, M.; DINH, T. V.; On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations. In: **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 3, p. 696-707, March 2012. DOI: 10.1109/TIM.2011.2172116.
- DUIPMANS, L.; MILOSEVIC, D.; WEL, A. van der; KARADI, R.; BALTUS, P.; Immunity analysis of an LDO using identification of operating region transitions; In: 2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC), Singapore, 2018, p. 701-706. Proc. [...]. DOI: 10.1109/ISEMC.2018.8393872.

DUMONT, G. A.; FU, Y.; Non-linear adaptive control via Laguerre expansion of Volterra kernels. **Int. Journal of Adaptive Control and Signal Processing**, v. 7, p. 367–382., 1993.

EMTALK; Microstrip Patch Antenna Calculator. Em: Talk - Electromagnetics & Microwave Engineering - Tools. Disponível em: https://www.emtalk.com/mpacalc.php. Acesso: 18 de abril de 2020.

EPA; Biological Effects of Radiofrequency Radiation. United States Environmental Protection Agency (EPA), Health Effects Research Laboratory. Final Report, Sep. 1984. Available at: https://nepis.epa.gov.

EVERYTHINGRF. Microstrip Patch Antenna Calculator. Disponível em: https://www.everythingrf.com/rf-calculators/microstrip-patch-antenna-calculator Acesso: 18 de abril de 2020.

EWEN, Edward J.; WEINER, Donald D.; Identification of Nonlinear Systems Using Input and Output Measurements. **IEEE Transactions on Circuits and Systems**, Vol. CAS-27, No. 12, December 1980. DOI: 10.1109/TCS.1980.1084774.

FAYNOT, O. *et al.*; Advanced SOI technologies: advantages and drawbacks. 2006 International Workshop on Junction Technology, Shanghai, 2006, p. 200-203. Proc. [...]. DOI: 10.1109/IWJT.2006.220892.

FCC – Federal Communications Commission. Rules & Regulations for Title 47. Telecommunication. Part 15 – Radio Frequency. Disponível em: https://www.ecfr.gov/cgi-bin/text-idx?SID=d5e94e271e5d40540f590d45aa94f3fa&mc=true&node=pt47.1.15&rgn=div5. Acesso em 14 de setembro de 2020.

FIORI, F.; EMI-induced failures in PWM controllers for SMPS. In: International Symposium on Electromagnetic Compatibility (EMCEUROPE 04). Eindhoven (NL), p. 120-123, Sept. 2004. Proc. [...]. ISBN 9789061449904.

FIORI, Franco. Susceptibility of CMOS Voltage Comparators to Radio Frequency Interference. In: **IEEE Transactions on Electromagnetic Compatibility**, v. 54, n. 2, p. 434–442. April 2012. DOI: 10.1109/TEMC.2011.2167749.

FIORI, Franco. Investigations on the susceptibility of smart power ICs to RFI. In: 2013 International Symposium on Electromagnetic Compatibility, Sep. 2-6, Brugge, Belgium, 2013, p. 743-747. Proc. [...]. ISBN 978-1-4673-4980-2.

FIORE, Franco. EMI Susceptibility: The Achilles' Heel of Smart Power ICs. In: **IEEE Electromagnetic Compatibility Magazine**, v. 4, n. 2, p. 101-105, 2nd Quarter 2015. DOI: 10.1109/MEMC.2015.7204059.

FIORE, L. F.; CROVETTI, P. S.; Prediction of High-Power EMI Effects in CMOS Operational Amplifiers. **IEEE Transactions on Electromagnetic Compatibility**, v. 48, n. 1, p. 153-160, Feb. 2006. DOI: 10.1109/TEMC.2006.870690.

- FIORE, F.; On the Susceptibility of Chopper Operational Amplifiers to EMI. **IEEE Transactions on Electromagnetic Compatibility**, v. 58, n. 4, p. 1000-1006, Aug. 2016. DOI: 10.1109/TEMC.2016.2544950.
- FLYNN, Dermot. Challenges for Power Supplies in Medical Equipment. **IEEE Power Electronics Magazine**, v. 4, n. 2, June 2015. p. 32-37, IEEE, 2015. DOI: 10.1109/MPEL.2015.2420231.
- GEORGHIOU, G.E.; MEREDITH, R.; METAXAS, A.C.; GURWICZ, D.; Switch Mode Power Supply for Microwave Heating Based on the Boucherot Effect, **Journal of Microwave Power and Electromagnetic Energy**, v. 34, Issue 4, p. 206-215, 1999. DOI: 10.1080/08327823.1999.11688407.
- GILBERT, Barrie. **Monolithic Voltage and Current References**: Theme and Variations. In: Huijsing, J. H.; Plassche, R. Van de; Sansen, W. M. C. (Eds.). *Low-Noise, Low-Voltage; Mixed-Mode Design with CAD Tools; Voltage, Current and Time References*. Kluwer Academic Publishers, 1996, Fifth Printing, USA, 2002; ISBN 0-7923-9659-6.
- GOLDBERG, Yu; LEVINSHTEIN, M.E.; RUMYANTSEV, S.L. Silicon Carbide (SiC). In: **Properties of Advanced Semiconductor Materials** GaN, AlN, SiC, BN, SiC, SiGe. Eds. Levinshtein M.E., Rumyantsev S.L., Shur M.S., John Wiley & Sons, Inc., New York, 2001, 93-148. ISBN: 978-0-471-35827-5.
- GREBENE, A. B. **Bipolar and MOS Analog Integrated Circuit Design**. John Wiley & Sons, 1984. ISBN 10: 0471085294 ISBN 13: 9780471085294.
- GUO, Xiaorui; XUN, Qian Xun; LI, Zuxin; DU, Shuxin Du; Silicon Carbide Converters and MEMS Devices for High-temperature Power Electronics: A Critical Review. **Micromachines** 2019, 10, 406. 26 p. MDPI, 2019. DOI: 10.3390/mi10060406.
- HERR, H.; ALEX, V.; WEBER, J. Temperature Dependence Of The Fundamental Band Gap In: Hexagonal GaN. In: Materials Research Society (MRS) Proceedings, v. 482, p. 719. 1997. Proc. [...]. DOI: 10.1557/PROC-482-719.
- HERTZ, Heinrich; On Very Rapid Electric Oscillations. In: **Electric Waves** being Researches on the Propagation of Electric Action With Finite Velocity Though Space. English translation by D. E. Jones. MacMillan and Co. London, 1893. P.29-53.
- HEUNER, R. C.; HWANG, M. S.; BISMARCK, O. A CMOS/SOS process for high reliability, radiation hard, high speed memory and logic IC's. IEEE SOS/SOI Technology Conference, Stateline, NV, USA, USA, Oct. 3-5, 1989. Proc. [...]. DOI: 10.1109/soi.1989.69821.
- HILBIBER, D. A new semiconductor voltage standard. 1964 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, 1964. Proc. [...]. DOI: 10.1109/isscc.1964.1157541.
- HSU, H. P.; **Signals and Systems**. Schaum's Outlines of Theory and Problems of Signals and Systems. McGraw-Hill, 1995. ISBN 0-07-030641-9.

HUIJSING, Johan H. **Operational Amplifiers** - Theory and Design. Kluwer Academic Publishers, Netherlands, 2001. ISBN 0-7923-7284-0.

IEC 61000. Structure of IEC 61000. IEC - International Electrotechnical Commission (site) Disponível em: https://www.iec.ch/emc/basic\_emc/basic\_61000.htm. IEC 60601-1:2020 Series. Medical electrical equipment - ALL PARTS. Medical EMC Standard. Disponível em: https://webstore.iec.ch/publication/2603.

IEC 62132-4:2006; Integrated circuits - Measurement of electromagnetic immunity 150 kHz to 1 GHz - Part 4: Direct RF power injection method. Disponível em: https://webstore.iec.ch/publication/6510.

INTEL, Physical Constants of IC Package Materials. Intel Packaging Databook. Intel Corporation 2000.

ISO 11452-4:2020; Road vehicles — Component test methods for electrical disturbances from narrowband radiated electromagnetic energy — Part 4: Harness excitation methods. (BCI) Disponível em: https://www.iso.org/standard/74108.html.

ISO 11452-7:2003; Road vehicles — Component test methods for electrical disturbances from narrowband radiated electromagnetic energy — Part 7: Direct radio frequency (RF) power injection. (DPI) Disponível em: https://www.iso.org/standard/38302.html.

ISO 11898-2:2016; Road vehicles — Controller area network (CAN) — Part 2: High-speed medium access unit. Disponível em: https://www.iso.org/standard/67244.html.

ISO 17987-2:2016; Road vehicles — Local Interconnect Network (LIN) — Part 2: Transport protocol and network layer services. Disponível em: https://www.iso.org/standard/61223.html.

ISO 17458-4:2013; Road vehicles — FlexRay communications system — Part 4: Electrical physical layer specification. Disponível em: https://www.iso.org/standard/59808.html.

JONES, K. A.; TOMPKINS, R. P.; GRAZIANO, M. B.; DERENGE, M. A.; Challenges the UWBG Semiconductors AlGaN, Diamond, and Ga2O3 Must Master to Compete with SiC and GaN HPE Devices. **ECS Transactions**, v. 80, n.7, p. 3–16, 2017. DOI: 10.1149/08007.0003ecst.

KARIM, N.; MAO, Jingkun; FAN, Jun; Improving electromagnetic compatibility performance of packages and SiP modules using a conformal shielding solution. In: 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, Beijing, 2010, p. 56-59. Proc. [...]. DOI: 10.1109/APEMC.2010.5475724.

KASHYAP, A. S. *et al.*; Silicon carbide integrated circuits for extreme environments. The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications, Columbus, OH, 2013, p. 60-63, Proc. [...]. DOI: 10.1109/WiPDA.2013.6695562.

KETAO; GaN Substrates GaN wafer – 2 inch GaN templates substrate data for GaN-T-C-U-C50, GaN-T-C-N-C50 and GaN-T-C-P-C50 substrates. Ketao Advanced Ceramic Solutions. Disponível em: http://www.hnktgm.com/GaN\_Substrates\_GaN\_wafer/422.html. Acesso: 14 de setembro de 2020.

KEYSIGHT; PathWave Advanced Design System (ADS) Documentation 2020. Disponível em: https://www.keysight.com/br/pt/products/software/pathwave-design-software/pathwave-advanced-design-system.html.

KIM, K; ILIADIS, A.; Operational upsets and critical new bit errors in CMOS digital inverters due to high power pulsed electromagnetic interference. **Solid-State Electronics**, v. 54, n. 1, p. 18-21, Elsevier, January 2010. ISSN 0038-1101. DOI: 10.1016/j.sse.2009.09.006.

KINZER, Dan; GaN power IC technology: Past, present, and future. 2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD), Sapporo, p. 19-24, Proc. [...], 2017. DOI: 10.23919/ISPSD.2017.7988981.

KREYSZIG, Erwin; **Advanced Engineering Mathematics**. 9 th Edition. John Wiley & Sons, 2006. ISBN-13: 978-0-471-72897-9, ISBN-10: 0-471-72897-7.

KRISHNAN, S.; FOSSUM, J.G.; YEH, P.C.; FAYNOT, O.; CRISTOLOVEANU, S.; GAUTIER, J.; Floating-body kinks and dynamic effects in fully depleted SOI MOSFETs. IEEE International SOI Conference Proceedings, Tucson, AZ, USA, USA, Oct. 3-5, 1995. Proc. [...]. DOI: 10.1109/SOI.1995.526435.

KROUPA, V. F.; STURSA, J.; CIZEK, V.; SVANDOVA, H.; 1/f fractional frequency noise in crystal oscillators. In Proceedings of the 2002 IEEE International Frequency Control Symposium and PDA Exhibition (Cat. No.02CH37234), New Orleans, LA, USA, 2002, p. 674-679. Proc. [...]. DOI: 10.1109/FREQ.2002.1075966.

KUIJK, K. E. A precision reference voltage source. **IEEE Journal of Solid-State Circuits**, v. 8, n. 3, p. 222-226, June 1973. DOI: 10.1109/JSSC.1973.1050378.

KULESHOV, V. N.; Oscillators: stability, tuning, noise. In: International Symposium on Signals, Circuits and Systems, 2005. ISSCS 2005, Iasi, Romania, 2005, p. 397-402, v. 2. Proc. [...]. DOI: 10.1109/ISSCS.2005.1511258.

KUNDERT, Ken; **The Designer's Guide to Spice and Spectre**®. 382 p. Springer US, 1995. ISBN 978-0-7923-9571-3. DOI: 10.1007/b101824.

KUSHWAH, V. S.; TOMAR, G. S. Design and Analysis of Microstrip Patch Antennas Using Artificial Neural Network. In: **Microstrip Antennas** - Trends in Research on. Chapter 4. IntechOpen. 2017. ISBN: 978-953-51-3601-9.

LAGGER, P.; OSTERMAIER, C.; POBEGEN, G.; POGANY, D. Towards understanding the origin of threshold voltage instability of AlGaN/GaN MIS-HEMTs. International Electron Devices Meeting, 2012. Proc. [...]. DOI: 10.1109/iedm.2012.6479033.

LAM, H. W. SIMOX SOI for integrated circuit fabrication. IEEE Circuits and Devices Magazine, 3, No. 4,p. 6–11, 1987. DOI: 10.1109/mcd.1987.6323126.

- LAND, S. O. 'T; RAMDANI, M.; PERDRIAU, R.; Dominant Coupling Mechanism for Integrated Circuit Immunity of SOIC Packages Up To 10 GHz. **IEEE Transactions on Electromagnetic Compatibility**, Vol. 60, No. 4, p. 965–970, Aug. 2018. DOI: 10.1109/temc.2017.2756915.
- LANG, Zi-Qiang; BILLINGS, S. A.; Output frequency characteristics of nonlinear systems. **International Journal of Control**, Vol. 64, No. 6, p. 1049-1067, Taylor & Francis, 1996. DOI: 10.1080/00207179608921674.
- LAURIN, J.-J.; ZAKY, S. G.; BALMAIN, K. G.; EMI-induced failures in crystal oscillators. In: **IEEE Transactions on Electromagnetic Compatibility**, v. 33, n. 4, p. 334-342, Nov. 1991. Proc. [...]. DOI: 10.1109/15.99115.
- LAURIN, J.-J.; CHAPPEL, J. F.; ZAKY, S. G.; EMI-Induced Delays in Digital Circuits: Prediction. In: IEEE Int. Symposium on Electromagnetic Compatibility, pp.443-448, Anaheim, CA, USA, Aug. 17-21, 1992. Proc. [...]. DOI: 10.1109/ISEMC.1992.626140.
- LATHI, B. P.; Modern Digital and Communications Systems. Second Edition, Holt, Rinehart and Winston, Inc., (HRW), USA, 1989. ISBN: 0-03-027933-X.
- LAVARDA, A.; DEUTSCHMANN, B.; Effects of single tone RF interferences on chopped operational amplifiers. In: 2015 IEEE International Symposium on Electromagnetic Compatibility (EMC), Dresden, 2015, p. 96-101. Proc. [...]. DOI: 10.1109/ISEMC.2015.7256139.
- LAVARDA, A.; PETRUZZI, L.; RADEŽ, N.; DEUTSCHMANN, B.; On the Robustness of CMOS-Chopped Operational Amplifiers to Conducted Electromagnetic Interferences. In: **IEEE Transactions on Electromagnetic Compatibility**, v. 60, n. 2, p. 478-486, April 2018. DOI: 10.1109/TEMC.2017.2729781.
- LIU, Yan-Fei. Requirements and technologies in telecom power systems. Power Electronics and Motion Control Conference, 2000. 15-18 Aug. 2000. Proceedings. IPEMC 2000. IEEE, 6 Aug. 2002. ISBN: 7-80003-464-X, Proc. [...]. DOI: 10.1109/IPEMC.2000.883081.
- LU, B.; MATIOLI, E.; PALACIOS, T. Low leakage normally-off tri-gate GaN MISFET. 2012 24th International Symposium on Power Semiconductor Devices and ICs. 2012. Proc. [...]. DOI: 10.1109/ispsd.2012.6229016.
- LU, Rongde; LU, An; Applications of the Superposition Theorem to Nonlinear Resistive Circuits. IEEE Asia Pacific Conference on Circuits and Systems, 2006. APCCAS 2006. Singapore, 4-7 Dec. 2006. Proc. [...]. DOI: 10.1109/APCCAS.2006.342430.
- MA, Mingsheng; WANG, Yi; NAVARRO-CÍA, Miguel; LIU, Feng; ZHANG, Faqiang; LIU, Zhifu; LI, Yongxiang; HANHAM, Stephen M.; HAO, Zhangcheng; The dielectric properties of some ceramic substrate materials at terahertz frequencies. **Journal of the European Ceramic Society**, v. 39, n. 14, p. 4424-4428, 2019. DOI: 10.1016/j.jeurceramsoc.2019.06.012.

MAAS, Stephen A.; **Nonlinear Microwave and RF Circuits**. Second Edition. Artech House, 2003. ISBN 1-58053-484-8.

MALTIONE, Ricardo; Base de dados da pesquisa de doutorado. Simulações, medidas, ilustrações, programas, scripts, planilhas e acervo de fotos do autor, 2020.

MALTIONE, R.; OLMOS, A.; VILAS BOAS, A.; SILVA, E. R.; SILVA, J. C. Test Mode Method and Strategy for RF-Based Fault Injection Analysis for On-Chip Relaxation Oscillators under EMC Standard Tests or RFI Susceptibility Characterization. *In*: LATW, 2010, Punta del Leste. IEEE LATW 2010, 2010. Proc. [...]. DOI: 10.1109/LATW.2010.5550382.

MALTIONE, R.; OLMOS, A.; VILAS BOAS, A.; SILVA, E. R.; SILVA, J. C. Impact of RF-based fault injection in Pierce-type crystal oscillators under EMC standard tests in microcontrollers. *In*: 2011 12th Latin American Test Workshop (LATW), IEEE, Porto de Galinhas, Brazil, March 27-30, 2011. Proc. [...]. DOI: 10.1109/LATW.2011.5985906.

MALTIONE, SILVA, E. R. da; COSTA, F. A.; R.; KICKHOFEL, R. S.; BEHRENS, F.; Using Mixed-Mode Test Bus Architecture to RF-Based Fault Injection Analysis and EMC Fault Debug", *In*: LATW2009 – 10<sup>th</sup> IEEE Latin-American Test Workshop, Mar. 2-5, 2009, Buzios, Rio de Janeiro, Brazil. Proc. [...]. DOI: 10.1109/LATW.2009.4813820.

MALTIONE, Ricardo; VILLALVA, Marcelo G.; KRETLY, Luis C. A novel method of impact and failure mechanism analysis of RF-based fault injection: A frequency response analyzer, FRA. *In*: 19th IEEE Latin American Test Symposium, São Paulo, Brazil, March 12-16, 2018. Proc. [...]. DOI: 10.1109/LATW.2018.8349671.

MALTIONE, Ricardo; VILLALVA, Marcelo G.; KRETLY, Luis C. Small Size Inverters: Development Challenges for PV, Renewable Energy Applications, as Well IoT, EMC, Lightning and Robustness Tradeoffs. *In*: 2018 13th IEEE International Conference on Industry Applications (INDUSCON). IEEE, São Paulo, Brazil, Nov. 12-14, 2018. Proc. [...]. DOI: 10.1109/INDUSCON.2018.8627074.

MASZARA, W. P.; SOI material by wafer bonding: an overview. 1991 IEEE International SOI Conference Proceedings, Vail Valley, CO, USA, 1991, p. 18-19. Proc. [...]. DOI: 10.1109/SOI.1991.162835.

MAXWELL, James Clerk; **A Treatise on Electricity and Magnetism**, VOL II, Clarendon Press Series, London Macmillian and CO., Publishers to the University of Oxford, The Clarendon Press 1873. 444 p.

MEIJER, G. C. M.; VERHOEFF, J. B.; An integrated bandgap reference. **IEEE Journal of Solid-State Circuits**, v. 11, n. 3, p. 403-406, June 1976. DOI: 10.1109/JSSC.1976.1050744.

MENINI, Laura; TORNAMBÉ, Antonio; Nonlinear superposition formulas: Some physically motivated examples. 50th IEEE Conference on Decision and Control and European Control Conference (CDC-ECC), 2011. Orlando, FL, USA, 2011. Proc. [...]. DOI: 10.1109/CDC.2011.6160344.

- MERLIN, M.; FIORI, F.; Impact of package parasitics on the EMC performance of smart power SoCs. In 2009 European Microelectronics and Packaging Conference, Rimini, 2009, p. 1-6. Proc. [...]. Print ISBN: 978-1-4244-4722-0, CD: 978-0-6152-9868-9.
- MIL-STD-461F; Requirements for the control of Electromagnetic Interference Characteristics of Subsystems and Equipment. Department of Defense. United States of America. DoD, 10 December 2007.
- MIL-STD-461G; Requirements for the control of Electromagnetic Interference Characteristics of Subsystems and Equipment. Department of Defense. United States of America. DoD, 11 December 2015.
- MIMURA, Takashi; Invention of High Electron Mobility Transistor (HEMT) and Contributions to Information and Communications Field. **Fujitsu Scientific & Technical Journal**, v. 54, n. 5, p. 3-8, October, 2018.
- MIRRI, D.; IUCULANO, G.; FILICORI, F.; VANNINI, G.; PASINI, G.; PELLEGRINI, G.; A modified Volterra series approach for the characterization of non-linear dynamic systems. In: Quality Measurement: The Indispensable Bridge between Theory and Reality (No Measurements? No Science! Joint Conference 1996: IEEE Instrumentation and Measurement Technology Conference and IMEKO Tec, Brussels, Belgium, 1996, p. 710-715 v. 1. Proc. [...]. DOI: 10.1109/IMTC.1996.507474.
- MOGNIOTTE, J. F.; LAZAR, M.; RAYNAUD, C.; ALLARD, B. First steps of SiC integrated electronic functions for a smart power driver dedicated to harsh environments. International Semiconductor Conference (CAS), 2017. **Proc.** [...]. DOI: 10.1109/smicnd.2017.8101191.
- MOGNIOTTE, J.-F., TOURNIER, D., RAYNAUD, C., LAZAR, M., PLANSON, D., ALLARD, B. Silicon Carbide Technology of MESFET-Based Power Integrated Circuits. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 6, n. 2, p. 539–548, IEEE 2018. DOI: 10.1109/jestpe.2017.2778002.
- MONTEMEZZO, N.; ORIETTI, E.; BUSO, S.; MENEGHESSO, G.; NEVIANI, A.; SPIAZZI, G.; A Discussion of the Susceptibility of Brokaw Bandgap to EMI. In: EMC 2006 International Symposium on Electromagnetic Compatibility, Aug. 14-18, 2006, Portland, OR., USA. Proc. [...]. DOI: 10.1109/ISEMC.2006.1706419.
- MONTROSE, M.; NAKAUCHI, E. M.; **Testing for EMC Compliance** Approaches and Techniques. IEEE Press, 2004. ISBN 0-471-43308-X.
- MORGAN, D; A Handbook for EMC Testing and Measurement. The Institute of Engineering and Technology. IET, London, UK, 2007. ISBN 978-0-86341-756-6.
- MOHAN, N., UNDERLAND, Tore M., ROBBINS, William P.; **Power Electronics Converters, Applications and Design**. John Wiley & Sons, USA, 2nd ed., 1995. ISBN 0-471-58408-8.
- MOORE, G. E.; Cramming more components onto integrated circuits. **Electronics** 38, 114–117, 1965.

MURARI, Bruno; BERTOTTI, Franco; VIGNOLA, Giovanni A. (eds.). **Smart Power ICs:** technologies and applications. Springer., 1996. 565p. ISBN 3540603328, 978-3540603320.

MUSUMECI, D; FIORI, F.; Susceptibility of a Sigma-Delta Converter to EMI. In: 2009 20th International Zurich Symposium on Electromagnetic Compatibility, Zurich, 2009, p. 365-368. Proc. [...]. DOI: 10.1109/EMCZUR.2009.4783466.

NAKAJIMA, Akira; ADACHI, Kazuhiro; SHIMIZU, Mitsuaki; OKUMURA, Hajime; Improvement of unipolar power device performance using a polarization junction. **Applied Physics Letters**, 89, 193501, 2006. DOI: 10.1063/1.2372758.

NAKATANI, K. AND ISHIZAKI, T.; A 2.4 GHz-Band 100 W GaN-HEMT High-Efficiency Power Amplifier for Microwave Heating, **Journal of electromagnetic engineering and science**. Korean Institute of Electromagnetic Engineering and Science, v. 15, Issue 2, p. 82–88, 2015. DOI: 10.5515/jkiees.2015.15.2.82.

NASA. Robust, embeddable logic and mixed signal integrated circuits for extreme environments. Product folder, NASA Technology Transfer Program, Glenn Research Center, NASA, 2019. NP-2015-04-1512-HQ. Available at: http://technology.nasa.gov/.

NAVET, N.; SONG, Y.; SIMONOT-LION, F.; WILWERT, C. Trends in Automotive Communication Systems. In: Proceedings of the IEEE, v. 93 n. 6, p. 1204–1223, 2005. Proc. [...]. DOI: 10.1109/jproc.2005.849725.

NEUDECK, P. G., MEREDITH, R. D., CHEN, L., SPRY, D. J., NAKLEY, L. M., HUNTER, G. W. (2016). Prolonged silicon carbide integrated circuit operation in Venus surface atmospheric conditions. **AIP Advances**, v. 6, n. 12, 125119., 2016. DOI: 10.1063/1.4973429.

NEUDECK, P. G., SPRY, D. J., CHEN, L., Prokop, N. F., & Krasowski, M. J.; Demonstration of 4H-SiC Digital Integrated Circuits Above 800 °C. **IEEE Electron Device Letters**, v. 38, n. 8, p. 1082–1085, 2017. DOI:10.1109/led.2017.2719280.

NOLTE, T.; HANSSON, H.; LO BELLO, L. Automotive Communications - Past, Current and Future. In: IEEE Conference on Emerging Technologies and Factory Automation, 2005. Proc. [...]. DOI: 10.1109/etfa.2005.1612631.

NPTEL - National Programme on Technology Enhanced Learning (India). Electrical Engineering – Introduction to Hybrid and Electric Vehicles. Lecture 5: Basic Architecture of Hybrid Drive Trains and Analysis of Series Drive Train. 43p. Joint initiative of IITs and IISc – Funded by MHRD. Disponível em: http://nptel.ac.in/courses/108103009/download/M3.pdf. (s. d.). Acesso em: 14 set. 2020.

NTIA - National Telecommunications and Information Administration. United States Department of Commerce. United States Frequency Allocations - The Radio Spectrum. Disponível em:

https://www.ntia.doc.gov/files/ntia/publications/2003-allochrt.pdf https://www.ntia.doc.gov/files/ntia/publications/january\_2016\_spectrum\_wall\_chart.pdf.

OPPENHEIN, ALAN V.; Superposition in a Class of Nonlinear Systems. Technical Report 432, March 31, 1965. Massachusetts Institute of Technology - Research Laboratory of Electronics, Cambridge, Massachusetts, 1965. (Ph.D. Thesis).

OPPENHEIM, Alan V.; Generalized Superposition. **Information and Control**, Volume 11, Nos. 5 & 6, November-December 1967, p. 528-536. Academic Press Inc, USA 1967.

OPPENHEIM, Alan V.; SCHAFER, Ronald W.; STOCKHAM JR., Thomas G.; Nonlinear Filtering of Multiplied and Convolved Signals. **Proceedings of the IEEE**, Vol. 56, No. 8, August 1968.

VILAS BOAS, A.; OLMOS, A.; A temperature compensated digitally trimmable on-chip IC oscillator with low voltage inhibit capability. In: 2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512), Vancouver, BC, 2004, p. I-501. Proc. [...]. DOI: 10.1109/ISCAS.2004.1328241.

ORIETTI, E.; MONTEMEZZO, N.; BUSO, S.; MENEGHESSO, G.; NEVIANI, A.; SPIAZZI, G.; Reducing the EMI susceptibility of a Kuijk Bandgap. **IEEE Transactions on Electromagnetic Compatibility**, v. 50, n. 4, p. 876–886, 2008. DOI: 10.1109/TEMC.2008 .2004581.

OTT, Henry W.; **Electromagnetic Compatibility Engineering**. Johan Wiley & Sons, Hoboken, New Jersey, 2009. ISBN 978-0-470-18930-6.

PARZEN, B. **Design of Crystal and Other Harmonic Oscillators**, John Wiley & Sons, 1983. 454 p. ISBN-10: 0471088196, ISBN-13: 978-0471088196.

PASTERNACK. Microstrip Patch Antenna Calculator. Disponível em: https://www.pasternack.com/t-calculator-microstrip-ant.aspx. Acesso: 18 de abril de 2020. PEREZ, Reinaldo J.; Design of Medical Electronic Devices. Academic Press, 2002. ISBN: 0-12-550711-9.

PIERCE, G. W. Electrical System. US. Patent 2,133,642. Filed 1924, Granted 1938.

PMBus<sup>TM</sup> - Power System Management Protocol Specification V1.3. Disponível em: http://pmbus.org/index.php; https://pmbus.org/Specifications/CurrentSpecifications. Acesso em: 15 de setembro de 2020.

QUITADAMO, M. V.; RAVIOLA, E.; FIORI, F.; Investigation on the Switching Waveforms of GaN Power Devices to Gate Current Profiles. In: 2019 International Conference on Power Electronics, Control and Automation (ICPECA), New Delhi, India, 2019, p. 1-6. Proc. [...]. DOI: 10.1109/ICPECA47973.2019.8975559.

QUITADAMO, M. V.; RAVIOLA, E.; FIORI, F.; A Criterion for an Optimal Switching of Power Transistors. In: 2019 12th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Hangzhou, China, 2019, p. 174-176. Proc. [...]. DOI: 10.1109/EMCCompo.2019.8919738.

- RAHMAN, A.; SHEPHERD, P. D.; BHUYAN, S. A.; AHMED, S.; AKULA, S. K.; CALEY; L.; HOLMES, J. A. A family of CMOS analog and mixed signal circuits in SiC for high temperature electronics. IEEE Aerospace Conference, 2015. Proc. [...]. DOI: 10.1109/aero.2015.7119302.
- RAHMAN, A.; CALEY L.; ROY, S.; KUHNS, N.; MANTOOTH, A.; DI, J.; HOLMES, J.; High Temperature Data Converters in Silicon Carbide CMOS. **IEEE Transactions on Electron Devices**, v. 64, n. 4, p. 1426–1432, 2017. DOI: 10.1109/ted.2017.2665520.
- REDOUTÉ, Jean-Michel; STEYAERT, Michel; EMC of Analog Integrated Circuits, Springer, 2010. ISBN 978-90-481-3229-4.
- RIDLEY, R. B.; **Power Supply Design**. Vol. 1. Control. Ridley Engineering, Second Edition UK, 2012. ISBN 978-09833180-0-2.
- RIDLEY ENGENERING; Site disponível em: https://www.ridleyengineering.com/. Acesso em 15 de setembro de 2020.
- RIGNY, A.; ASPAR, B.; Smart power technology needs smart substrate. Presentation. SOITEC, March 17, 2015. Disponível em: https://soiconsortium.org/storage/2019/06/6\_Soitec-final.pdf. Acesso em: 14 setembro 2020.
- ROBINSON, M. P.; FISCHER, K.; FLINTOF, I. D.; A Simple Model of EMI-Induced Timing Jitter in Digital Circuits, its Statistical Distribution and its Effect on Circuit Performance. **IEEE Transactions on Electromagnetic Compatibility**, v. 45, n. 3, p. 513-519, Aug. 2003. DOI: 10.1109/TEMC.2003.815529.
- ROBERTS, N. J.; MICHAELSON, S. M.; LU, S.-T.; The Biological Effects of Radiofrequency Radiation: A Critical Review and Recommendations. **International Journal of Radiation Biology and Related Studies in Physics, Chemistry and Medicine**, Vol. 50, No. 3, 379–420, 1986. DOI: 10.1080/09553008614550841.
- ROHDE, U. L.; PODDAR, A. K.; Mode-coupling and phase-injection mechanism enables EMI-insensitive crystal oscillator circuits. In: 2009 9th International Conference on Telecommunication in Modern Satellite, Cable, and Broadcasting Services, Nis, 2009, p. 21-28. Proc. [...]. DOI: 10.1109/TELSKS.2009.5339500.
- ROHDE, U. L.; PODDAR, A. K.; Electromagnetic interference and start-up dynamics in high frequency crystal oscillator circuits. In: 2010 IEEE Sarnoff Symposium, Princeton, NJ, 2010, p. 1-9. Proc. [...]. DOI: 10.1109/SARNOF.2010.5469744.
- ROLLIN, J. J.; AREARI, G.; ROY, L. (N.D.); EMC performance of IC packages. IEEE International Symposium on Electromagnetic Compatibility, 1999. Symposium Record (Cat. No.99CH36261). Proc. [...]. DOI: 10.1109/isemc.1999.812865.
- RUGH, Wilson. J.; **Nonlinear System Theory**: The Volterra/Weiner Approach. Baltimore: John Hopkins University Press, 1981. ISBN O-8018-2549-0.
- SAE J1850; SAE Standard J1850\_201510 Class B Data Communications Network Interface. SAE International Dec. 14, 2015. Disponível em:

https://www.sae.org/standards/content/j1850\_201510/.

SARKAS, I.; MAVRIDIS, D.; PAPAMICHAIL, M.; PAPADOPOULOS, G.; Volterra Analysis Using Chebyshev Series. 2007 IEEE International Symposium on Circuits and Systems, New Orleans, LA, 2007, p. 1931-1934. Proc. [...]. DOI: 10.1109/ISCAS.2007.378353.

SCHAFFNER. **Basics in EMC/EMI and Power Quality** - Introduction, Annotations, Applications. Schaffner Group, 2013.

SCHAFER, Ronald W.; Echo removal by discrete generalized linear filtering. Technical Report 466, February 28, 1969. Massachusetts Institute of Technology - Research Laboratory of Electronics, Cambridge, Massachusetts, 1969. (Ph.D. Thesis).

SCHETZEN, Martin; Nonlinear system modeling based on the Wiener theory. **Proceedings of the IEEE**, Volume 69, No. 12, p. 1557-1573. December, 1981.

SCHETZEN, Martin; **The Volterra and Wiener Theories of Nonlinear Systems**. Melbourne, FL, USA: Krieger Publishing Co., Inc., Revised edition (1<sup>st</sup> ed. Wiley 1980). July 30, 2006. ISBN-10: 1575242834, ISBN-13: 978-1575242835.

SCHETZEN, Martin; A theory of non-linear system identification, **International Journal of Control**, v. 20, n. 4, p. 577-592, 1974. DOI: 10.1080/00207177408932762.

SCHOUKENS, J.; PINTELON, R.; DOBROWIECKI, T.; ROLAIN, Y.; Identification of linear systems with nonlinear distortions, **Automatica**, v.41 n. 3, p. 491–504, 2005. DOI: 10.1016/j.automatica.2004.10.004.

SCHOUKENS, J.; LATAIRE, J.; PINTELON, R.; VANDERSTEEN, G.; DOBROWIECKI, T.; Robustness Issues of the Best Linear Approximation of a Nonlinear System. **IEEE Transactions on Instrumentation and Measurement,** v. 58, n. 5, p. 1737-1745, May 2009. DOI: 10.1109/TIM.2009.2012948.

SHAKIR, M., Hou, S., Hedayati, R., Malm, B. G., Östling, M., & Zetterling, C.-M.; Towards Silicon Carbide VLSI Circuits for Extreme Environment Applications. **Electronics**, v. 8, n. 5, 496, 2019. DOI: 10.3390/electronics8050496.

SICARD, E.; BENDHIA, S. Delmas; Design of low emission integrated circuits. Proceedings of the 2000 Third IEEE International Caracas Conference on Devices, Circuits and Systems (Cat. No.00TH8474), Cancun, Mexico, 2000, p. C39/1-C39/4. Proc. [...]. DOI: 10.1109/ICCDCS.2000.869805.

SICARD, E.; BOYER, A.; TANKIELUN, A.; On the prediction of near-field microcontroller emission. 2005 International Symposium on Electromagnetic Compatibility, 2005. EMC 2005., Chicago, IL, 2005, p. 695-699 v. 3. Proc. [...]. DOI: 10.1109/ISEMC.2005.1513613.

SILVA, Antonio Ferreira da; PERNOT, Julien; CONTRERAS, Sylvie; SERNELIUS, Bo E.; PERSSON, Clas; CAMASSEL, Jean; Electrical resistivity and metal-nonmetal transition inntype doped 4H–SiC. **Physical Review B**, v. 74, i. 24, p. 245201-1 a 245201-5 American Physical Society, 2006. DOI: 10.1103/physrevb.74.245201.

- SINGH, B. P.; Sing R. Electronic Devices and Integrated Circuits. Pearson Education, India 2006. 958 p. ISBN 8177586386, 9788177586381.
- SINGH, S.; COOPER, J. A. Bipolar Integrated Circuits in 4H-SiC. **IEEE Transactions on Electron Devices**, v. 58, n. 4, p. 1084–1090, 2011. DOI: 10.1109/ted.2011.2107576.
- SOLIMAN, S. Samir; SRINATH, Mandyam D.; Continous and Discrete Signals and Systems. Prentice-Hall International Inc.,1990. ISBN 0-13-173238-2.
- SPRY, D. J., NEUDECK, P. G., CHEN, L., **CHANG**, C. W., **LUKCO**, D., **BEHEIM**, G. M. 4H-SiC JFET Multilayer Integrated Circuit Technologies Tested up to 1000 K. **ECS Transactions**, v. 69 n. 11, p. 113–121, 2015. DOI: 10.1149/06911.0113ecst.
- ST; BCD Technology Sense & Power and Automotive Technology R&D. January 2017.
- ST; BCD Technology home page. ST, 2019. Available at https://www.st.com/content/st\_com/en/about/innovation---technology/BCD.html.
- STOCKHAM JR., Thomas G.; The Application of Generalized Linearity to Automatic Gain Control. **IEEE Transactions on Audio and Electroacoustics**, Vol. AU-16, No. 2, June 1968.
- SZE, S. M.; **Physics of Semiconductor Devices**. John Wiley & Sons, 2ed. 1981. ISBN-10: 047109837X, ISBN-13: 978-0471098379.
- TIHANYI, Laszlo. Electromagnetic Compatibility In Power Electronics. J.K. Eckert & Company Inc./The IEEE Press. Piscataway, NJ, 1995. ISBN 0-7803-0416-0.
- TOMASEVIC, V.; STEINMAIR, A.; BOYER, A.; BEN DHIA, S.; WEISS, B.; RUST, P.; SEEBACHER, E.; Smart power mixed ICs parasitic bipolar coupling issues analysis with a dedicated on-chip sensor. IEEE 20th International Mixed-Signals Testing Workshop (IMSTW), 2015. Proc. [...]. DOI: 10.1109/ims3tw.2015.7177886.
- TOMASEVIC, V.; BOYER, A.; & BEN DHIA, S.; Bandgap failure study due to parasitic bipolar substrate coupling in Smart Power mixed ICs. 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Edinburgh, UK, 10–13 November 2015. Proc. [...]. DOI: 10.1109/emccompo.2015.7358326.
- TRAA, B.; RF-Susceptibility Analysis of Complex Integrated Analog Circuits. IEEE Int. Symposium on Electromagnetic Compatibility, EMC 2002, Minneapolis, MN, USA, pp. 987-992, Aug. 19-23, 2002. Proc. [...]. DOI: 10.1109/ISEMC.2002.1032830.
- TRIEBL, Oliver. Reliability Issues in High-Voltage Semiconductor Devices. Ph.D. Thesis, eingereicht an der Technischen Universität Wien Fakultät für Elektrotechnik und Informationstechnik, 2012. Available at: http://www.iue.tuwien.ac.at/phd/triebl/.
- TSAO, J. Y. (*et al.*) Ultrawide-Bandgap Semiconductors: Research Opportunities and Challenges. Semiconductors Review. **Adv. Electron. Mater**. 2017, 1600501.WILEY-VCH Verlag Gmb & Co., Weinheim, 2017. DOI: 10.1002/aelm.201600501.

TSIVIDIS, Yannis P. Accurate Analysis of Temperature Effects in Ic-Vbe Characteristics with Application to Bandgap Sources. In: **IEEE Journal of Solid-State Circuits**, vol. 15, no. 6, pp. 1076–1084, Dec. 1980. DOI: 10.1109/JSSC.1980.1051519.

TSIVIDIS, Y. **Operation and Modeling of the MOS Transistor**, 2nd ed. Boston, MA: McGraw-Hill, 1998. - 620 p. ISBN 0070655235, 9780070655232.

TSIVIDIS, Y. (2018). Signal-to-Noise Ratio, Dynamic Range, and Power Dissipation: Paying Attention to Their Interrelation Can Greatly Benefit Analog Circuit Design. **IEEE Solid-State Circuits Magazine**, v. 10, n.4, p. 60–69, 2018. DOI: 10.1109/mssc.2018.2867246.

TUMMALA, R. R.; Packaging: past, present and future. In: 6th International Conference on Electronic Packaging Technology, (n.d.), 2005. Proc. [...]. DOI: 10.1109/icept.2005.1564643.

UEMOTO, Y.; HIKITA, M.; UENO, H.; MATSUO, H.; ISHIDA, H.; YANAGIHARA, M.; UEDA, T. Gate Injection Transistor (GIT)—A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation. **IEEE Transactions on Electron Devices**, v. 54, n. 12, p. 3393–3399, 2007. DOI: 10.1109/ted.2007.908601.

VANDANA, B.; Study of Floating Body Effect in SOI Technology. **International Journal of Modern Engineering Research (IJMER),** Vol. 3, Issue. 3, May - June 2013, p.-1817-1824, IJMER, 2013. ISSN 2249-6645.

VARGAS, F.; CAVALCANTE, D. L.; GATTI, E.; PRESTES, D.; LUPI, D.; RHOD, E.; EMI-Based Fault Injection. 6th IEEE Latin American Test Workshop, p. 91-96, Mar. 30 – Apr. 2, 2005. Proc.[...].

VARSHNI, Y. P. Temperature dependence of the energy gap in semiconductors. **Physica**, v. 34, n. 1, p. 149-154, 1967. DOI: 10.1016/0031-8914(67)90062-6.

VENABLE, H. D. The K Factor: A New Mathematical Tool for Stability Analysis and Synthesis. In: Proc. of POWERCON 10, March 22-24, 1983, San Diego, CA. Proc. [...].

VITOZ, E. A.; TSIVIDIS, Y. P. Frequency-Dynamic Range-Power. Trade-Offs in Analog Circuit Design, In: Toumazou C., Moschytz G., Gilbert B., Kathiresan G. (eds) **Trade-Offs in Analog Circuit Design**. Springer, Boston, MA, 2002. p. 283–313. DOI: 10.1007/0-306-47673-8\_10.

VITTOZ, E. A.; DEGRAUWE, M. G. R.; BITZ, S. High-performance crystal oscillator circuits: theory and application. In **IEEE Journal of Solid-State Circuits**, v. 23, n. 3, p. 774-783, June 1988. DOI: 10.1109/4.318.

VOLTERRA, Vito; **Theory of Functionals and of Integro-Diferential Equations**. Edited by Luigi Fantappiè. Authorized Translation by Miss M. Long. London and Glasgow, Blackie & Son, Ltd., 1930.

WAMBACQ, Piet; SANSEN, Willy; **Distortion Analysis of Analog Integrated Circuits**. Kluwer Academic Publishers, 1998. ISBN 0-7923-8186-6.

- WANG, Y.; TEMES, G. C. Scaling for Optimum Dynamic Range and Noise-Power Tradeoff: A Review of Analog Circuit Design Techniques. In: **IEEE Solid-State Circuits Magazine**, 11(2), p. 98–103, 2019. DOI: 10.1109/mssc.2019.2910646.
- WARD, Phillip W.; Performance Comparisons Between FLL, PLL and a Novel FLL-Assisted-PLL Carrier Tracking Loop Under RF Interference Conditions. In: Proceedings of the 11th International Technical Meeting of the Satellite Division of The Institute of Navigation (ION GPS 1998), Nashville, TN, September 1998, pp. 783-795. Proc. [...].
- Widlar, R. J.; New developments in IC voltage regulators. **IEEE Journal of Solid-State Circuits**, v. 6, n. 1, p. 2-7, Feb. 1971. DOI: 10.1109/JSSC.1971.1050151.
- WIENER, Norbert; Response of a Non-Linear Device to Noise. Massachusetts Institute of Technology, Cambridge, Massachusetts, Report V-163, Apr. 6, 1942.
- WIENER, Norbert; **Nonlinear Problems in Random Theory**. Massachusetts Institute of Technology, Cambridge, Massachusetts: The M.I.T. Press, 1958.
- WOOD, John; **Behavior Modeling and Linearization of RF Power Amplifiers**. Artech House Publishers, September 19, 2014. 362 p. ISBN-10: 1608071200, ISBN-13: 978-1608071203.
- WILLIAMSON, Tom; Oscillators for Microcontrollers. AP-155 Application Note, Intel, June 1983.
- WILLIANS, Tim. **EMC for Product Designers**. 4th Edition. Newnes-Elsevier, UK, 2007. ISBN-13: 978-0-75-068170-4, ISBN-10: 0-750-68170-5.
- WU, Jianfei; BOYER, Alexandre; LI, Jiancheng; VRIGNON, Bertrand; DHIA, Sonia Ben Dhia, SICARD, Etienne; SHEN, Rongjun. Modeling and Simulation of LDO Voltage Regulator Susceptibility to Conducted EMI. **IEEE Transactions on Electromagnetic Compatibility**, v. 56, n. 3, p. 726-735, June 2014. DOI: 10.1109/TEMC.2013.2294951.
- YANG, S., LIU, S., LIU, C., TANG, Z., LU, Y., CHEN, K. J. Thermally induced threshold voltage instability of III-Nitride MIS-HEMTs and MOSC-HEMTs: Underlying mechanisms and optimization schemes. 2014 IEEE International Electron Devices Meeting. IEEE 2014. Proc. [...]. DOI: 10.1109/iedm.2014.7047069.
- YOUNG, R. A. R.; CLARK, D. T.; CORMACK, J. D.; MURPHY, A. E.; SMITH, D. A.; THOMPSON, Robin. F.; RAMSAY, E. P.; FINNEY, S.; High Temperature Digital and Analogue Integrated Circuits in Silicon Carbide. **Materials Science Forum**, v. 740–742, p. 1065–1068, 2013. DOI: 10.4028/www.scientific.net/msf.740-742.1065.
- ZHENG, Q.; ZAFIRIOU, E.; Volterra-Laguerre Models for Nonlinear Process Identification with Application to a Fluid Catalytic Cracking Unit. **Ind. Eng. Chem. Res**. 2004, 43, p. 340-348, American Chemical Society, 2004
- ZEGHBROECK, Bart J. Van; **Principles of Semiconductor Devices**. Cap. 2. Item 2.3.3.3 Temperature dependence of the energy bandgap (1996, 1997). Book on-line. Disponível em: http://ecce.colorado.edu/~bart/book/. Acesso em 15 de setembro de 2020.

ZETTERLING, C.-M., HALLÉN, A., HEDAYATI, R., KARGARRAZI, S., Lanni, L., Malm, B. G. Östling, M. (2017). Bipolar integrated circuits in SiC for extreme environment operation. **Semiconductor Science and Technology**, 32(3), 034002, 2017. DOI: 10.1088/1361-6641/aa59a7.

ZHUANG, Hao; WANG, Xinyuan; CHEN, Quan, CHEN, Pengwen, CHEN, Chung-Kuan; From Circuit Theory, Simulation to SPICEDiego: A Matrix Exponential Approach for Time-Domain Analysis of Large-Scale Circuits, **IEEE Circuits and Systems Magazine**, v. 16, n. 2, Secondquarter 2016, p. 16-34, May 23, 2016. DOI: 10.1109/MCAS.2016.2549947.

# **Apêndices**

# Apêndice A – Informações e tabelas de conversão usadas

A.1 – Tabela de conversão de potência em dBm para W e tensão em V.

P(dBm)	P <sub>rms</sub> (W)	V <sub>rms</sub> (V)	V <sub>pk</sub> (V)	V <sub>pp</sub> (V)
10*log(P <sub>dBm</sub> /1mW)	1m*10 Prms	Raiz(P <sub>rms</sub> *50Ω)	√2*V <sub>rms</sub>	2*V <sub>pk</sub>
-100	1,00E-13	2,24E-06	3,16E-06	6,32E-06
-90	1,00E-12	7,07E-06	1,00E-05	2,00E-05
-80	1,00E-11	2,24E-05	3,16E-05	6,32E-05
-70	1,00E-10	7,07E-05	1,00E-04	2,00E-04
-60	1,00E-09	2,24E-04	3,16E-04	6,32E-04
-50	1,00E-08	7,07E-04	1,00E-03	2,00E-03
-40	1,00E-07	2,24E-03	3,16E-03	6,32E-03
-30	1,00E-06	7,07E-03	1,00E-02	2,00E-02
-20	1,00E-05	2,24E-02	3,16E-02	6,32E-02
-10	1,00E-04	7,07E-02	1,00E-01	2,00E-01
0	1,00E-03	2,24E-01	3,16E-01	6,32E-01
2	1,58E-03	2,82E-01	3,98E-01	7,96E-01
4	2,51E-03	3,54E-01	5,01E-01	1,00E+00
10	1,00E-02	7,07E-01	1,00E+00	2,00E+00
12	1,58E-02	8,90E-01	1,26E+00	2,52E+00
14	2,51E-02	1,12E+00	1,58E+00	3,17E+00
16	3,98E-02	1,41E+00	2,00E+00	3,99E+00
18	6,31E-02	1,78E+00	2,51E+00	5,02E+00
20	1,00E-01	2,24E+00	3,16E+00	6,32E+00
22	1,58E-01	2,82E+00	3,98E+00	7,96E+00
24	2,51E-01	3,54E+00	5,01E+00	1,00E+01
30	1,00E+00	7,07E+00	1,00E+01	2,00E+01
35	3,16E+00	1,26E+01	1,78E+01	3,56E+01
40	1,00E+01	2,24E+01	3,16E+01	6,32E+01
45	3,16E+01	3,98E+01	5,62E+01	1,12E+02
50	1,00E+02	7,07E+01	1,00E+02	2,00E+02
55	3,16E+02	1,26E+02	1,78E+02	3,56E+02
60	1,00E+03	2,24E+02	3,16E+02	6,32E+02

Fonte: Maltione (2020)

# Apêndice B – Dados sobre tecnologias BG, WBG e UWBG

### B.1 Propriedades dos materiais semicondutores BG, WBG e UWBG

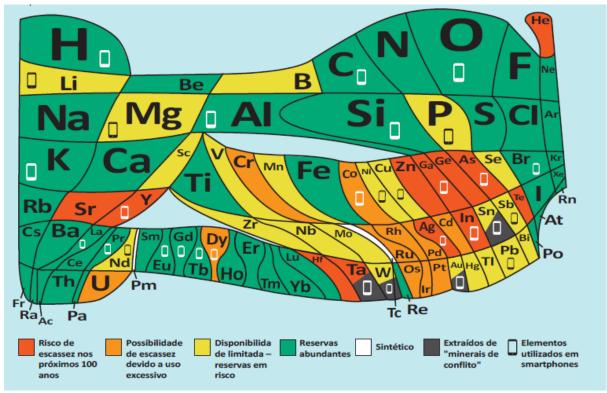


Figura B.1 – Disponibilidade de materiais na natureza Fonte: EuChemS - European Chemical Society. Online. Disponível em: https://www.euchems.eu/euchems-periodic-table/. Acesso em 23/10/2019.

Tabela B.1 – Características dos materiais semicondutores BG, WBG e UWBG

Material	Energia de Banda (eV) @ 300K	Constante Dielétrica relativa (estática)	Condutividade Térmica (W/cm°C)	Campo elétrico de Ruptura (MV/cm)
BG				
Ge	0,67	16	0,6	0,1
Si	1,12	11,8	1,5	0,3
GaAs	1,43	12,8	0,46	0,4
WBG				
SiC-3C	2,36	9,72	5,0	4
SiC-4H	3.26	10.32	5,0	2,2
SiC-6H	2,9	10.03	5,0	4
GaN	3,4	9-11	1,3	3,3
UWBG				
Diamante	5,5	5,5	20	10
AIN	6,24	8,5	3,0	14

Fonte: Maltione (2020), (Coletânea diversa de valores reportados na literatura)

### Apêndice C – Métodos matemáticos

#### C.1 Funcionais de Volterra

A teoria de Funcionais, desenvolvida por Volterra (1930), é parte do atual cálculo variacional, onde são considerados operadores. Na definição original de Volterra os funcionais podem ser definidos como:

"Uma quantidade z é um funcional da função x(t) no intervalo (a,b) quando ela é dependente de todos os valores assumidos por x(t) quando t é válido no intervalo (a,b); ou alternativamente quando é dada uma lei a qual para toda função x(t) definida no intervalo (a,b) (variáveis independentes de um campo funcional) que pode ser correspondida a uma e somente uma quantidade z, perfeitamente determinada." (tradução realizada pelo autor de Volterra (1930, p. 4)).

Assim segundo a notação original um funcional é definido como<sup>36</sup>:

$$z(t) = F \begin{bmatrix} b \\ x(t) \\ a \end{bmatrix} ou F[x(t)]$$
 (C.1)

Que pode conter outras funções, assim como parâmetros, tais como:

$$z(t) = F \begin{bmatrix} b & d \\ x(t), y(t), \alpha, \beta, \lambda, \mu \\ a & c \end{bmatrix} ou F[x(t), y(t), \alpha, \beta, \lambda, \mu]$$
(C.2)

Em linguagem moderna de operadores, considerando-se o cálculo multivariável, as funções são consideradas como variáveis independentes, um operando em um espaço numérico distinto. Como exemplo, podemos considerar uma capacitância não linear, dependentes da tensão de polarização, mas definidas também por parâmetros dimensionais:

$$C(Vdd, W, L) = F[C(Vdd), W, L] \tag{C.3}$$

Assim, para o cálculo da tensão no capacitor podemos considerar o funcional da Capacitância, ao invés do valor de C, como um parâmetro constante da função.

$$V_{C}(t,\tau_{1},\tau_{2},...,\tau_{N}) = \frac{1}{C(Vdd,W,L)} \int_{0}^{T} i(t,\tau_{1},\tau_{2},...,\tau_{N}) dt$$
 (C.4)

Como esta formulação permitir compactar a dependência das funções, apesar da sua complexidade, esta última forma de notação foi adotada e utilizada na formulação deste trabalho, usando sempre que possível funcionais, ao invés de funções.

Segundo Volterra (1930) a primeira notação foi utilizada no seu trabalho original de 1877, sendo alterado no seu livro de 1930, por questão de simplicidade para a segunda notação. Convém ressaltar que neste mesmo texto ele considera a possibilidade da dependência de mais de uma função, cada uma definida em um intervalo diferente, tal como x(t) definida no intervalo (a,b) e y(t) definida no intervalo (c,d). Nas definições modernas de operadores os intervalos são implicitamente definidos para cada função, assim como na definição de funções multivariáveis, dependentes de múltiplas funções.

### Apêndice D – Modelamentos

### D.1 Determinação do fator de carga do oscilador Pierce

A relação entre os modos de operação, paralelo e série de um oscilador a cristal tipo Pierce, expressa em função dos valores dos componentes da rede de realimentação, conforme mostrado por Maltione *et al.* (2011) e usada no Capítulo 5, item 5.4.3, é dada por:

$$f_{OSC\_PARALELO} = f_{OSC\_S\'ERIE} \left[ 1 + \frac{C_{S1}}{2(C_{12} + C_0 + C_{STRAY} + C_U)} \right]$$
(D.1)

A expressão (D.1) pode ser normalizada em termos de  $C_0$ . Então, isolando e combinando todos os componentes paralelos em um termo  $C_P$ , e normalizando a relação com  $C_0$  através do parâmetro p:

$$C_P = C_0 + C_{STRAY} + C_U = (1+p)C_0 \tag{D.2}$$

A expressão (D.1) pode ser então definida em termos dos componentes de carga como:

$$f_{OSC\_PARALELO} = f_{OSC\_S\'ERIE} \left[ 1 + \frac{C_{S1}}{2(C_{12} + C_P)} \right]$$
 (D.3)

Observe que os capacitores de carga nos nós *N1* e *N2* podem ser diferentes por imposição de projeto ou variabilidade do processo de fabricação. Assim, pode-se representá-los por:

$$C_2 = \alpha C_1 \tag{D.4}$$

Onde  $\alpha$  é a razão entre as capacitâncias. Substituindo a relação (D.4) em  $C_{12}$ , ficamos com uma relação expressa somente em termos de  $C_1$ , ou seja:

$$C_{12} = \frac{C_1 C_2}{C_1 + C_2} = \frac{C_1 \alpha C_1}{C_1 + \alpha C_1} = \frac{\alpha}{\alpha + 1} C_1$$
 (D.5)

Definindo o conjunto de capacitâncias associadas ao nó NI como constituído por uma parte fixa ( $C_{FIX}$ ) relacionada a uma capacitância fixa, e uma parte variável,  $C_D$  relacionado à capacitância de junção reversa, então:

$$C_1 = C_{FIX} + C_D \tag{D.6}$$

O termo de capacitância fixa inclui a capacitância externa ( $C_{IEXT}$ ), a interna ( $C_{IINT}$ ) e a capacitância da PCB (as capacitâncias da placa de circuito impresso são consideradas externas). A relação entre elas pode ser normalizada em relação a  $C_0$  pela razão f, como:

$$C_{FIX} = C_{1EXT} + C_{1INT} + C_D = fC_0 (D.7)$$

Como nota, vale observar que  $C_D$  está relacionado à tensão inversa aplicada às junções nas estruturas de proteção ESD localizadas nos pinos de E/S  $X_{TAL1}$  e  $X_{TAL2}$ . Nesta análise será considerada uma proteção típica baseada em Rail. Assim os diodos em polarização reversa

são conectados a  $V_{DD}$  (por  $P_{BULK}$ ) e a GND (via substrato). A expressão para  $C_D$  pode ser normalizada também em relação a  $C_0$  pelo fator v como dado por:

$$C_D = \frac{C_{j0}}{\left(1 + \frac{V_R}{\Psi_0}\right)} = vC_0 \tag{D.8}$$

Substituindo (D.7) e (D.8) em (D.6),  $C_1$  pode ser escrito em termos de  $C_0$  como segue:

$$C_1 = (C_{1EXT} + C_{1INT} + C_{PAD}) + C_{PAD} = (f+v)C_0$$
(D.9)

Na ausência de qualquer interferência (por substrato ou variação de potencial  $P_{BULK}$  devido a RFI)  $C_1$  é constante e pode ser simplificado definindo x = (f + v), então:

$$C_1 = (f+v)C_0 = xC_0 \tag{D.10}$$

Portanto, a capacitância entre os nós N1 e N2 agora pode ser dada em termos de  $C_0$  como:

$$C_{12} = \frac{\alpha}{\alpha + 1} x C_0 \tag{D.11}$$

Uma vez que todas as capacitâncias tenham sido normalizadas em relação a  $C_0$ , substituindo (D.2) e (D.11) em (D.3), obtêm-se:

$$\frac{f_{OSC_{PARALELO}}}{f_{OSC_{S\acute{E}RIE}}} = 1 + \frac{C_{S1}}{2\left[\frac{\alpha}{\alpha + 1}xC_0 + (1+p)C_0\right]}$$
(D.12)

Por simples manipulação a Equação (5.20) pode ser reescrita como:

$$\frac{f_{OSC\_PARALELO}}{f_{OSC\_S\acute{E}RIE}} = 1 + \frac{1}{2} \left[ \frac{\alpha + 1}{\alpha(x + p + 1) + p + 1} \right] \frac{C_{S1}}{C_0}$$
 (D.13)

A Equação (D.13) fornece a relação entre a frequência de oscilação paralela e série em relação a todos os componentes de rede parametrizados para  $C_0$ . Desta equação, pode-se extrair um termo de fator de carga ( $L_F$ ) para concatenar toda a influência da carga de rede definida por:

$$L_F = \frac{1}{2} \frac{\alpha + 1}{\alpha(x + p + 1) + p + 1}$$
 (D.14)

Onde o parâmetro constante p representa a dispersão e a capacitância do dispositivo, algumas vezes já computadas em  $C_0$  por alguns fabricantes ou projetistas.

Em projetos robustos devemos ter  $p \ll 1$ , portanto, com suficiente precisão de ppm, a Equação (D.15) se reduz a:

$$L_F = \frac{1}{2} \frac{\alpha + 1}{\alpha(x+1) + 1} \tag{D.15}$$

A Equação (D.15) representa o fator de carga do oscilador, que concentra os fatores associados com as capacitâncias que compõe a carga da malha de realimentação do oscilador a cristal do tipo Pierce, o que se torna muito útil na análise de interferência.

# Apêndice E – Circuitos de teste usados nas simulações

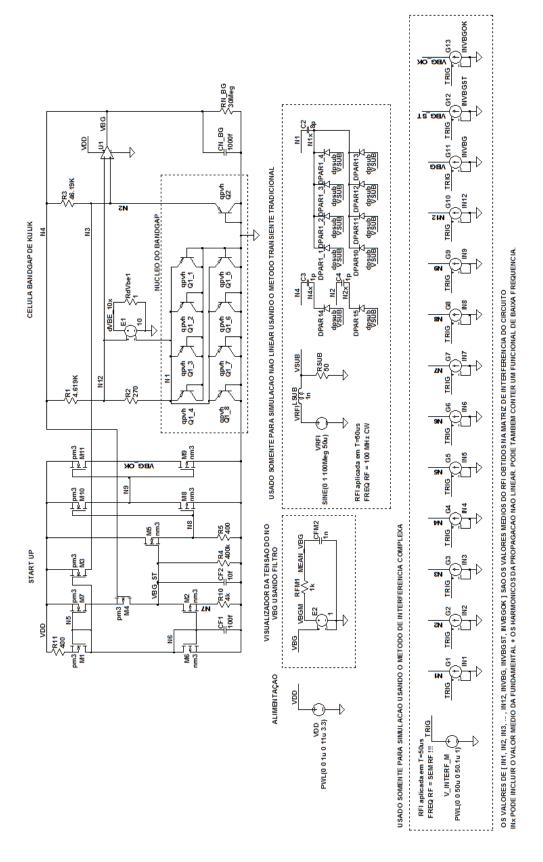


Figura E.1 – Circuito de simulação de RFI do bandgap Kuijk. Fonte: Maltione (2020).

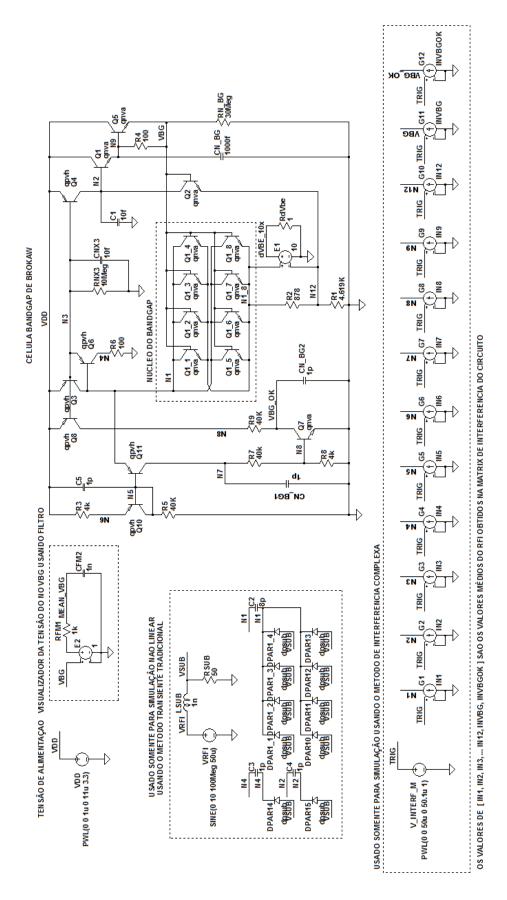


Figura E.2 – Circuito de simulação de RFI do bandgap Brokaw. Fonte: Maltione (2020).

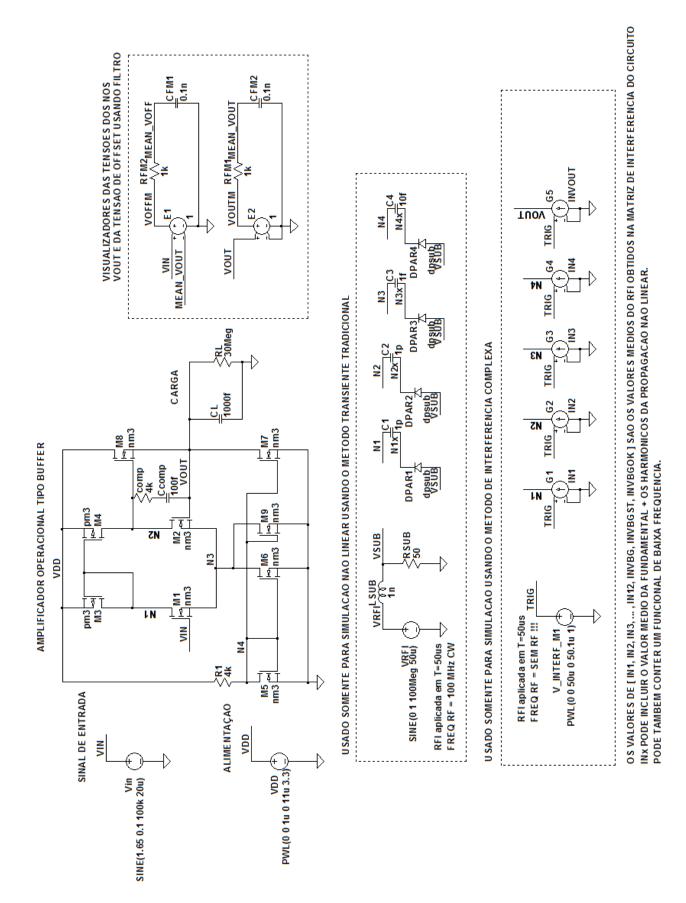


Figura E.3 – Circuito de simulação de RFI do OPAMP Buffer. Fonte: Maltione (2020).

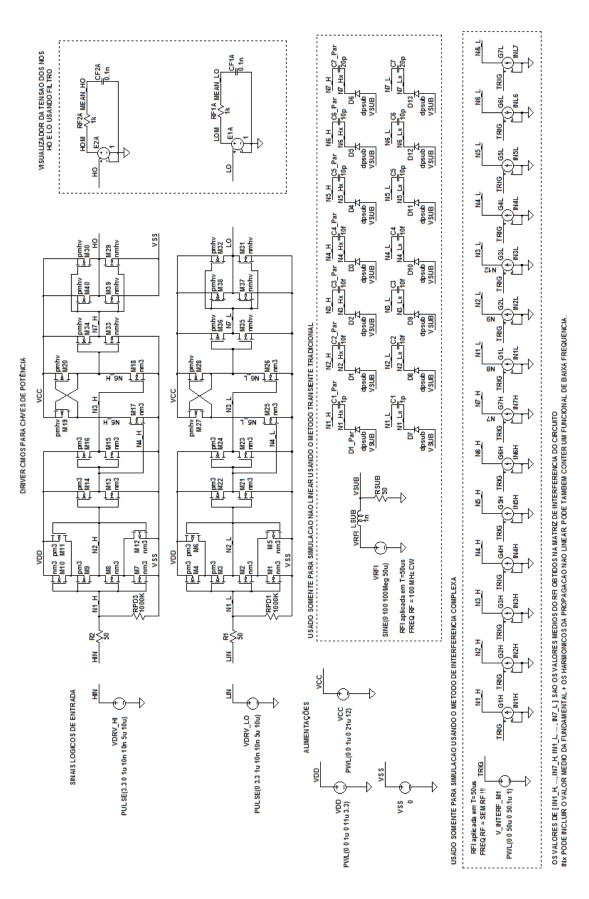


Figura E.4 – Circuito de simulação de RFI do Driver. Fonte: Maltione (2020).

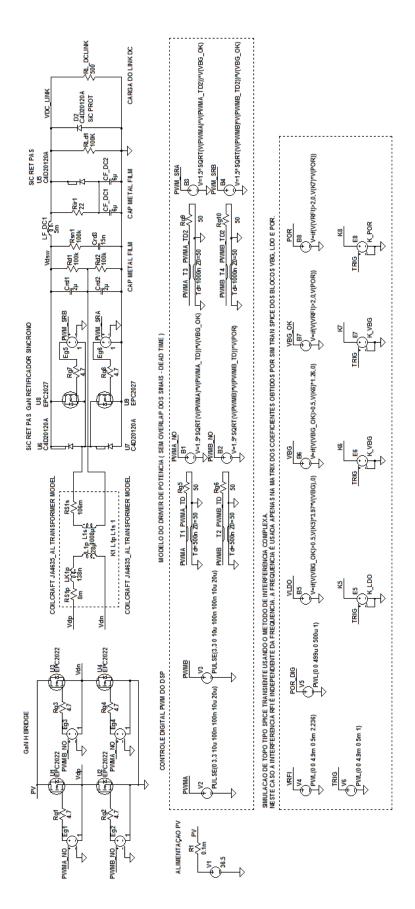


Figura E.5 – Circuito de simulação de RFI do Conversor DC/HVDC. Fonte: Maltione (2020).

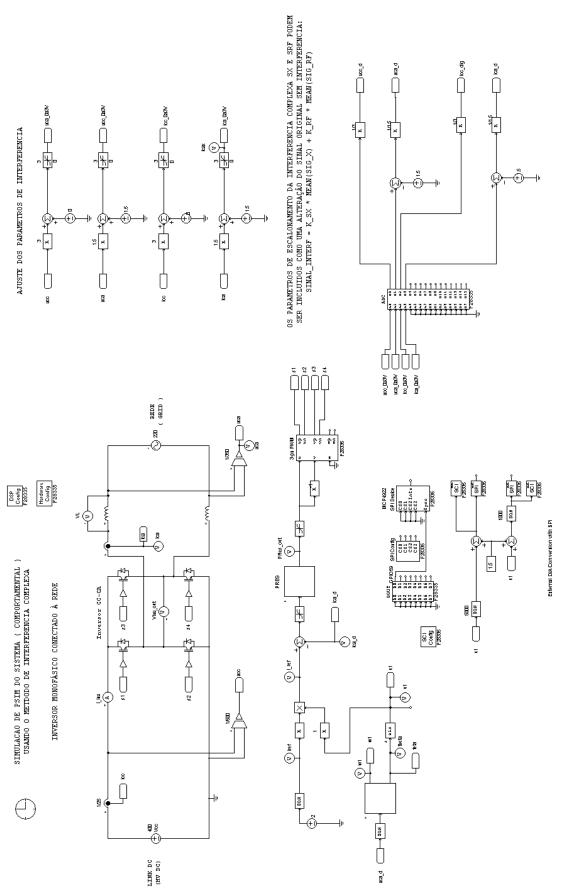


Figura E.6 – Circuito de simulação de RFI do Conversor HVDC/AC (inversor). Fonte: Maltione (2020).

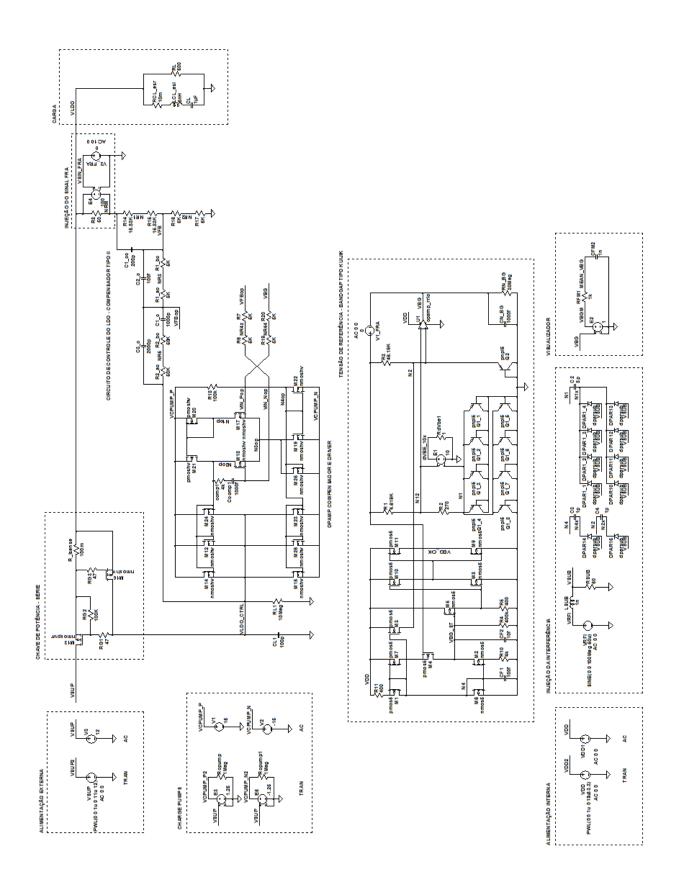


Figura E.7 – Circuito de simulação de RFI do Conversor HVDC/AC (inversor). Fonte: Maltione (2020).

# Apêndice F – Circuitos integrados projetados e usados para teste

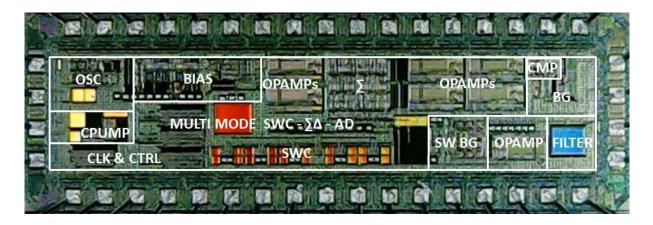


Figura F.1 – Blocos do circuito integrado de teste VT3 – circuitos mistos. Fonte: Maltione (2020).



Figura F.2 – Fotografia do circuito integrado de teste VT4 – oscilador de relaxação. Fonte: Maltione (2020).

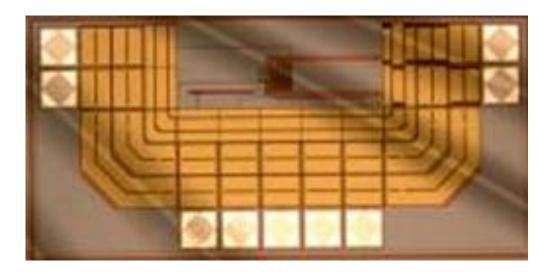


Figura F.3 – Fotografia do circuito integrado de teste VT5 – oscilador xtal Pierce. Fonte: Maltione (2020).