



UNIVERSIDADE ESTADUAL DE CAMPINAS

Faculdade de Engenharia Elétrica e de Computação

VALÉRIO MARONNI SALLES

**CONTRIBUIÇÕES AO DESENVOLVIMENTO DE CIRCUITOS DIGITAIS
UTILIZANDO LÓGICA ADIABÁTICA COM SISTEMA DE ALIMENTAÇÃO EM
TENSÃO SENOIDAL POLIFÁSICA EM TECNOLOGIA CMOS DE 180 nm**

CAMPINAS

2021

VALÉRIO MARONNI SALLES

**CONTRIBUIÇÕES AO DESENVOLVIMENTO DE CIRCUITOS DIGITAIS
UTILIZANDO LÓGICA ADIABÁTICA COM SISTEMA DE ALIMENTAÇÃO EM
TENSÃO SENOIDAL POLIFÁSICA EM TECNOLOGIA CMOS DE 180 nm**

Tese apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica, na área de Telecomunicações e Telemática.

Orientador: PROF. DR. LUIZ CARLOS KRETLY

Este trabalho corresponde à versão final da tese defendida pelo aluno Valério Maronni Salles, orientado pelo Prof. Dr. Luiz Carlos Kretly.

Assinatura do Orientador

CAMPINAS

2021

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Rose Meire da Silva - CRB 8/5974

S34c Salles, Valério Maronni, 1961-
Contribuições ao desenvolvimento de circuitos digitais utilizando lógica adiabática com sistema de alimentação em tensão senoidal polifásica em tecnologia CMOS de 180 nm / Valério Maronni Salles. – Campinas, SP : [s.n.], 2021.

Orientador: Luiz Carlos Kretly.
Tese (doutorado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Semicondutores complementares de óxido metálico. 2. Potência elétrica. 3. Circuitos digitais. 4. Circuitos integrados. 5. Eficiência energética. I. Kretly, Luiz Carlos, 1950-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Contributions to the development of digital circuits using adiabatic logic with a polyphasic sinusoidal AC-clocked power supply on 180 nm CMOS technology

Palavras-chave em inglês:

Complementary metal-oxide-semiconductor

Electrical power

Digital circuits

Integrated circuits

Energy efficiency

Área de concentração: Telecomunicações e Telemática

Titulação: Doutor em Engenharia Elétrica

Banca examinadora:

Luiz Carlos Kretly [Orientador]

Michel Zamboni Rached

Marcelo Gradella Villalva

Carlos Eduardo Capovilla

Humberto Xavier de Araújo

Data de defesa: 18-03-2021

Programa de Pós-Graduação: Engenharia Elétrica

Identificação e informações acadêmicas do(a) aluno(a)

- ORCID do autor: <https://orcid.org/0000-0003-3048-9057>

- Currículo Lattes do autor: <http://lattes.cnpq.br/3566281011591189>

COMISSÃO JULGADORA – TESE DE DOUTORADO

Candidato: Valério Maronni Salles RA: 162630

Data da defesa: 18 de março de 2021

Título da Tese: “Contribuições ao desenvolvimento de circuitos digitais utilizando lógica adiabática com sistema de alimentação em tensão senoidal polifásica em tecnologia CMOS de 180 nm”

Prof. Dr. Luiz Carlos Kretly – UNICAMP (Presidente)

Prof. Dr. Michel Zamboni Rached - UNICAMP

Prof. Dr. Marcelo Gradella Villalva - UNICAMP

Prof. Dr. Carlos Eduardo Capovilla - UFABC

Prof. Dr. Humberto Xavier de Araújo - UFT

A Ata de Defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no SIGA (Sistema de Fluxo de Dissertação/Tese) e na Secretaria de Pós-Graduação da Faculdade de Engenharia Elétrica e de Computação.

Dedico este trabalho aos meus abençoados e amados filhos, Renan, Mariane e Igor, aos meus pais, José e Herotides (in memoriam) e ao meu irmão Marcelo.

AGRADECIMENTOS

Agradeço ao meu orientador, Prof. Dr. Luiz Carlos Kretly, pela dedicação, amizade e encorajamento me oferecido nas etapas difíceis deste trabalho. Por ter dado a mim a oportunidade de avançar em valiosos conhecimentos na docência e na engenharia elétrica.

Agradeço ao Prof. Dr. Sílvio Ernesto Barbin (in memoriam), professor do Departamento de Telecomunicações e Engenharia de Controle da Escola Politécnica da USP (EPUSP), no apoio à publicação de artigos nos Congressos do IEEE.

Agradeço ao Prof. Dr. Jacobus Willibrordus Swart, da JW SWART Inovação em Semicondutores, representante do IMEC no Brasil, pela gentileza no acompanhamento do processo de fabricação do chip.

Agradeço à equipe do Centro de Componentes Semicondutores da UNICAMP (CCS/UNICAMP), onde durante minha participação na disciplina “Fabricação e Caracterização de Dispositivos MOS”, ministrada pelo Prof. Dr. José Alexandre Diniz, minha curiosidade foi aguçada em aprofundar os conhecimentos nesta área.

Agradeço ao colega de pós, Jose Luis Ramirez Bohorquez, pelo suporte técnico na fase de projeto lógico do chip.

Agradeço aos profissionais do IMEC, em especial ao Sr. Romano Hoofman, diretor do programa de soluções e serviços de inovação da EUROPRACTICE IMEC.

Agradeço à equipe do almoxarifado da FEEC, em especial ao Sr. João Paulo Gomes.

Agradeço à equipe do apoio técnico do DTI, em especial ao Sr. Nelson Vitor Augusto, pela sempre presteza e boa vontade no atendimento.

Agradeço a Elaine Lodovico Pessegatti da secretaria do Departamento de Microonda e Óptica (DMO) da FEEC, pelo apoio em procedimentos administrativos.

Agradeço à Funcamp pelo apoio em procedimentos para a fabricação de materiais necessários à pesquisa.

Agradeço aos amigos que fiz durante o doutorado, fontes de conversas e trocas de aprendizado, sempre muito proveitosas: Priscila, Irony, Dionísio, Tatiana, Jorge Fernández, Claudio Mori, Luís Mello, Deon, Ronald, Pedro Luis, José Emiliano, Eloi, Mijail, Êmille, Nelmo, Allan e Jorge.

“Foi um grande conselho que uma vez ouvi, dado a um jovem: faça sempre o que você tem medo de fazer e a morte do medo é certa”.

Ralph Waldo Emerson

RESUMO

Circuitos eletrônicos adiabáticos pertencem a uma classe de topologia de circuitos eletrônicos que possibilita um consumo muito baixo de energia, por meio da aplicação de diversas estratégias, entre as quais a que se utiliza de alimentação alternada. Neste trabalho é realizado um estudo comparativo entre um contador binário adiabático e um contador binário convencional alimentado com tensão contínua. Três inovações são apresentadas: a criação de uma configuração simplificada nas entradas do segundo, terceiro e quarto estágios dos flip-flops que compõem o contador; a eliminação de *buffers* entre os estágios do contador; e a utilização de duas portas lógicas adiabáticas AND/NAND com apenas duas entradas após o segundo e o terceiro estágios do contador. São realizadas medições em bancada na estrutura de teste e no contador convencional. As medições em bancada têm limitações devido à complexidade do *setup* e devido às medidas sanitárias de isolamento social adotadas em virtude da pandemia da COVID-19.

Em relação aos circuitos lógicos adiabáticos foram realizadas simulações utilizando como base o modelo C-PAL (*Complementary Pass-transistor Adiabatic Logic*). O circuito lógico sequencial desenvolvido é um contador binário de quatro bits utilizando como alimentação quatro geradores de tensão senoidal (*AC-clocked power supply*) com defasagens a 90 graus, amplitude de 0,9 V e *off-set* de 0,9 V. O projeto é desenvolvido com a proposta de análise operacional e redução do consumo de potência. O objetivo das simulações preliminares é definir uma nova forma de utilização dos sinais pulsados do sistema de alimentação, necessária devido às inovações implementadas. A potência elétrica entregue pelo sistema de alimentação ao contador binário adiabático é obtida na faixa de frequências de 20 a 700 MHz, permitindo realizar a comparação com um contador binário convencional alimentado com tensão contínua de 1,8 V. Os resultados obtidos mostram que o contador binário adiabático apresenta melhor desempenho em consumo de potência na faixa de frequências entre 225 e 700 MHz, com redução de 21% no número de transistores utilizados, proporcionando redução de 28% da área ocupada no silício. O melhor resultado é obtido na frequência de 650 MHz com o contador binário adiabático consumindo 59,6% da potência consumida pelo contador convencional.

O projeto do circuito integrado, bem como as simulações, foi elaborado no ambiente Cadence Virtuoso utilizando o TSMC018 (*Taiwan Semiconductor Manufacturing Company 180 nm*) PDK (*Process Design Kit*) MS/RF (*Mixed Signal/RF*). O circuito integrado fabricado possui quatro blocos: além dos dois contadores, adiabático e convencional, foram construídos uma estrutura de teste (oscilador em anel) e um circuito auxiliar para adaptar sinais digitais convencionais (nível lógico 0 e 1) às entradas do contador adiabático.

Palavras-chave: lógica adiabática, lógica pulsada, consumo de potência, C-PAL, circuito integrado, alimentação pulsada.

ABSTRACT

Adiabatic electronic circuits belong to a class of electronic circuits topology that enables very low energy consumption through the application of several strategies, among which the one that uses alternating power supply. In this work, a comparative study is carried out between an adiabatic binary counter and a conventional binary counter powered with constant voltage. Three innovations are presented: the creation of a simplified configuration at the inputs of the second, third, and fourth stages of the flip-flops that make up the counter; the elimination of buffers between the stages of the counter; and the use of two adiabatic AND / NAND logic gates with only two inputs, each one after the second and the third stages of the counter. Experimental measurements are made on the test structure and on the conventional binary counter. The experimental measurements have limitations due both to the complexity of the setup and the sanitary actions of social distancing adopted due to the COVID-19 pandemic.

In relation to adiabatic logic circuits, simulations were performed using the C-PAL (Complementary Pass-transistor Adiabatic Logic) model. The sequential logic circuit developed is a four-bit binary counter using as power supply four sinusoidal alternating voltage generators (AC-clocked power supply), 90-degree phase-shifted, with a 0.9-V amplitude and a 0.9-V off-set. The developed project proposal is operational analysis and power consumption reduction. The purpose of the preliminary simulations is to define a new configuration for the pulsed signals of the AC-clocked power supply in order to comply with the implemented innovations. The electrical power delivered by the supply system to the adiabatic binary counter is obtained in the frequency range from 20 to 700 MHz, allowing the comparison to be made with a conventional binary counter powered with 1.8 V constant voltage. The obtained results show that the adiabatic binary counter presents better power consumption performance in the frequency range between 225 and 700 MHz, with 21% reduction in the number of transistors, providing 28% reduction in the silicon area occupation. The best result is obtained at the frequency of 650 MHz with the adiabatic binary counter consuming 59.6% of the power consumed by the conventional counter.

The integrated circuit design, as well as the simulations, was developed in Cadence Virtuoso using TSMC018 (Taiwan Semiconductor Manufacturing Company 180 nm) PDK (Process Design Kit) MS/RF (Mixed Signal/RF). The manufactured chip contains four blocks: in addition to the adiabatic and conventional counters, a test structure (ring oscillator) and an auxiliary circuit have been built. The latter having the purpose of converting the conventional digital signals (logic level 0 and 1) into appropriate inputs for the adiabatic counter.

Key Words: adiabatic logic, pulsed logic, power consumption, C-PAL, integrated circuit, AC-clocked power supply.

LISTA DE ILUSTRAÇÕES

Figura 2.1 - Relação entre as entradas e o <i>clock</i> em um circuito digital pulsado	35
Figura 2.2 – Flip-flop JK utilizando lógica adiabática.....	36
Figura 2.3 - Composição da energia dissipada por ciclo de operação em função da frequência de operação (TEICHMANN, 2012)	38
Figura 2.4 – Circuito equivalente para determinação das perdas utilizando técnicas (a) convencionais (RABAEY; CHANDRAKASAN; BORIVOJE, 2003) e (b) adiabáticas (TEICHMANN, 2012).....	39
Figura 2.5 - O sistema <i>power-clock</i> com alimentação senoidal de quatro fases	45
Figura 2.6 - Sistema <i>power-clock</i> utilizado na alimentação do circuito adiabático ...	48
Figura 2.7 - Estrutura básica de um circuito lógico adiabático	49
Figura 2.8 - Um inversor SCRL (YOUNIS; KNIGHT, 1994).....	50
Figura 2.9 – Registrador de deslocamento utilizando porta adiabática ECRL (KRAMER et al., 1995).....	50
Figura 2.10 - A porta 2N-2N2P proposta por Kramer (KRAMER et al., 1995).....	51
Figura 2.11 - O inversor CAL (MAKSIMOVIC; OKLOBDZIJA, 1995)	52
Figura 2.12 - O inversor PFAL (VETULI; PASCOLI; REYNERI, 1996)	52
Figura 2.13 - Multiplexador 2:1 na técnica PAL (OKLOBDZIJA; MAKSIMOVIC; LIN, 1997)	53
Figura 2.14 - O inversor NERL (KIM; YOO; KANG, 2000)	53
Figura 2.15 - O inversor TSEL PMOS e um inversor TSEL NMOS (KIM; PAPAETHYMIU, 1998)	54
Figura 2.16 - O inversor CPERL (CHANG; HUNG; WANG, 2002).....	54
Figura 2.17 - O inversor QSSERL (LI et al., 2007).....	55
Figura 2.18 – <i>Buffer</i> CPAL (XIN; HU; CHEN, 2011).....	56
Figura 2.19 - Porta AND/NAND C-PAL (WONG; LAU, 2001).....	56
Figura 2.20 - Flip-flop JK utilizando técnica adiabática C-PAL (WONG; LAU, 2001)	58
Figura 2.21 - Contador binário utilizando técnica adiabática C-PAL (WONG; LAU, 2001)	58
Figura 3.1 - Processos do projeto de um circuito integrado CMOS. Adaptado de (BAKER, 2010).....	59
Figura 3.2 - Diagrama em blocos do contador binário adiabático xCPAL	61
Figura 3.3 - Circuito da porta AND/NAND C-PAL nas simulações preliminares.....	63
Figura 3.4 - Resultado da simulação da porta AND/NAND C-PAL nas simulações preliminares.....	64
Figura 3.5 - Esquema de conexão dos terminais de <i>source</i> dos transistores NMOS da árvore de lógica para os estágios 2 a 4 do flip-flop JK xCPAL	65
Figura 3.6 - Circuito completo do flip-flop JK xCPAL.....	65
Figura 3.7 - Resultado da simulação do flip-flop JK xCPAL nas simulações preliminares.....	66
Figura 3.8 - Sincronismo das entradas e saídas de cada estágio do flip-flop JK xCPAL	67

Figura 3.9 - Propagação dos sinais dentro do primeiro estágio do contador xCPAL	67
Figura 3.10 - Saídas do último estágio do primeiro flip-flop JK conectadas ao primeiro estágio do segundo flip-flop JK.....	68
Figura 3.11 - Deformação do sinal no primeiro estágio do segundo flip-flop e o sinal sendo recuperado dentro do próprio flip-flop nos estágios seguintes.	69
Figura 3.12 - Esquema do <i>Middleware1</i>	70
Figura 3.13 - Sinais envolvidos na geração do sinal de entrada para o terceiro estágio do contador binário xCPAL	70
Figura 3.14 - Circuito da primeira porta AND/NAND do flip-flop JK do terceiro estágio do contador com as conexões oriundas do <i>Middleware1</i>	71
Figura 3.15 - Deformação do sinal no primeiro estágio do terceiro flip-flop e o sinal sendo recuperado dentro do próprio flip-flop nos estágios seguintes	72
Figura 3.16 - Esquema do <i>Middleware2</i>	72
Figura 3.17 - Sinais envolvidos na geração do sinal de entrada para o quarto estágio do contador binário xCPAL.....	73
Figura 3.18 - Deformação do sinal após o primeiro estágio do quarto flip-flop JK do contador quando se utiliza o <i>power-clock1</i> como sincronismo no <i>Middleware2</i>	74
Figura 3.19 - Deformação do sinal após o primeiro estágio do quarto flip-flop JK do contador quando se utiliza o <i>power-clock4</i> como sincronismo no <i>Middleware2</i>	74
Figura 3.20 - Deformação do sinal nos estágios do quarto flip-flop e o sinal não sendo recuperado dentro do flip-flop nos estágios seguintes	75
Figura 3.21 - Circuito da primeira porta AND/NAND do flip-flop JK do quarto estágio do contador com as conexões oriundas do <i>Middleware2</i>	75
Figura 3.22 - Diagrama de tempo dos sinais dos quatro bits do contador adiabático xCPAL	76
Figura 4.1 - Diagrama hierárquico para elaboração dos esquemáticos para a construção do contador binário adiabático	79
Figura 4.2 - Esquemático da porta lógica AND/NAND C-PAL.....	79
Figura 4.3 - Símbolo da porta lógica AND/NAND C-PAL	80
Figura 4.4 - Esquemático para simulação da porta AND/NAND C-PAL	81
Figura 4.5 - Saídas lógicas para as quatro combinações das variáveis de entrada da porta AND/NAND C-PAL	81
Figura 4.6 - Sinais utilizados para obtenção do valor da corrente de dreno do transistor PMOS	82
Figura 4.7 - Esquemático do flip-flop JK xCPAL.....	83
Figura 4.8 - Símbolo da flip-flop JK xCPAL	83
Figura 4.9 - Esquemático para simulação do flip-flop JK xCPAL	84
Figura 4.10 - Resultados da simulação do flip-flop JK xCPAL	85
Figura 4.11 - Esquemático do bloco <i>Auxiliary</i>	86
Figura 4.12 - Esquemático para simulação do bloco <i>Auxiliary</i>	86
Figura 4.13 - Diferença de fase entre o sinal do <i>power-clock</i> e o sinal de saída do circuito <i>Auxiliary (InputAndClk)</i>	87

Figura 4.14 - Diferença de amplitude entre o sinal do <i>power-clock</i> e o sinal de saída do circuito <i>Auxiliary (InputAndClk)</i>	87
Figura 4.15 - Esquemático do <i>Basic_Middleware</i>	89
Figura 4.16 - Símbolo do <i>Basic_Middleware</i>	89
Figura 4.17 - Esquemático do <i>Middleware</i>	89
Figura 4.18 - Símbolo do <i>Middleware</i>	90
Figura 4.19 - Os sinais <i>Mid1</i> e <i>Mid2</i> utilizados para disparar o terceiro e o quarto estágios do contador	90
Figura 4.20 - Sinais indesejáveis na saída do <i>Middleware1</i> e <i>Middleware2</i> sem a utilização do diodo.....	91
Figura 4.21 - Sinais indesejáveis na saída do <i>Middleware1</i> e <i>Middleware2</i> com a utilização do diodo.....	92
Figura 4.22 - Esquemático dos quatro flip-flops JK conectados.....	92
Figura 4.23 - Símbolo dos quatro flip-flops JK conectados	93
Figura 4.24 - Esquemático do contador xCPAL	93
Figura 4.25 - Símbolo do contador xCPAL	94
Figura 4.26 - Esquemático para a simulação e obtenção da potência consumida pelo contador xCPAL	94
Figura 4.27 - Diagrama de tempo dos sinais de saída do contador xCPAL na frequência de 1 GHz operando como <i>up-counter</i>	95
Figura 4.28 - Diagrama de tempo dos sinais de saída do contador xCPAL na frequência de 1 GHz operando como <i>down-counter</i>	95
Figura 4.29 - Esquemático da versão final do <i>I/O Ring</i>	97
Figura 4.30 - Esquemático do lado superior direito do <i>I/O Ring</i>	98
Figura 4.31 - Esquemático do lado superior esquerdo do <i>I/O Ring</i>	98
Figura 4.32 - Esquemático do lado inferior direito do <i>I/O Ring</i>	100
Figura 4.33 - Esquemático do lado inferior esquerdo do <i>I/O Ring</i>	100
Figura 4.34 - Quantidade de células do tipo <i>Bond PAD</i> e <i>Filler</i> utilizadas no lado superior do <i>I/O Ring</i>	100
Figura 4.35 - Quantidade de células do tipo <i>Bond PAD</i> e <i>Filler</i> utilizadas no lado inferior do <i>I/O Ring</i>	101
Figura 4.36 - Quantidade de células do tipo <i>Bond PAD</i> e <i>Filler</i> utilizadas no lado esquerdo do <i>I/O Ring</i>	101
Figura 4.37 - Quantidade de células do tipo <i>Bond PAD</i> e <i>Filler</i> utilizadas no lado direito do <i>I/O Ring</i>	101
Figura 4.38 - Símbolo do <i>I/O Ring</i>	102
Figura 4.39 - Esquemático completo do chip	103
Figura 5.1 - <i>Layout</i> da porta adiabática C-PAL	104
Figura 5.2 - A utilização de <i>fingers</i>	105
Figura 5.3 - A utilização de <i>guard-rings</i>	105
Figura 5.4 - Etapas da verificação do <i>layout</i> . Adaptado de (CLEIN; SHIMOKURA, 1999)	107
Figura 5.5 – Resistência parasita na extração de parâmetros do <i>layout</i>	108

Figura 5.6 – Capacitância parasita na extração de parâmetros do <i>layout</i>	108
Figura 5.7 - <i>Layout</i> do flip-flop JK mostrando os blocos <i>AndNandGate</i>	109
Figura 5.8 - <i>Layout</i> do flip-flop JK mostrando todos os seus componentes	109
Figura 5.9 - <i>Layout</i> do bloco com a conexão dos quatro flip-flops JK	110
Figura 5.10 - <i>Layout</i> do bloco com os quatro flip-flop JK mostrando todos os seus componentes.....	110
Figura 5.11 - <i>Layout</i> do bloco do <i>Basic Middleware</i> mostrando o uso do bloco <i>AndNandGate</i>	111
Figura 5.12 - <i>Layout</i> do bloco do <i>Basic Middleware</i> mostrando todos os seus componentes.....	111
Figura 5.13 - <i>Layout</i> do bloco do <i>Middleware</i> mostrando o uso do bloco <i>Basic Middleware</i>	111
Figura 5.14 - <i>Layout</i> do bloco do <i>Middleware</i> mostrando todos os seus componentes	112
Figura 5.15 - <i>Layout</i> do bloco do contador xCPAL mostrando o uso dos blocos <i>FourFFJK</i> e <i>Middleware</i>	112
Figura 5.16 - <i>Layout</i> do contador xCPAL mostrando todos os seus componentes .	113
Figura 5.17 – Primeira versão do <i>layout</i> completo do chip com encapsulamento QFN-28	114
Figura 5.18 – Versão final do <i>layout</i> do <i>I/O Ring</i> mostrando os blocos do sistema de I/O	115
Figura 5.19 - <i>Layout</i> do <i>I/O Ring</i> mostrando as células de alimentação dos domínios analógico e digital.....	116
Figura 5.20 - <i>Layout</i> final do chip mostrando os blocos dos circuitos	117
Figura 5.21 - Esquema de conexão dos <i>Bond Pads</i> aos terminais do chip	117
Figura 5.22 - Imagem do chip fabricado obtida com microscópio óptico com iluminação dicróica.....	118
Figura 5.23 - Principais elementos que compõem o <i>I/O Ring</i> do chip fabricado	119
Figura 5.24 - Abertura na camada de passivação do chip fabricado.....	120
Figura 5.25 - Elementos na borda do chip fabricado	120
Figura 5.26 - Segmento do <i>layout</i> do chip projetado.....	121
Figura 5.27 - Segmento da imagem do chip fabricado.....	121
Figura 5.28 - Conjunto de <i>dies</i> fabricados.....	121
Figura 5.29 - Imagem das duas faces do circuito integrado fabricado	122
Figura 5.30 - <i>Pin diagram</i> do circuito integrado fabricado	123
Figura 6.1 - Esquemático para medição do consumo da porta AND/NAND adiabática	126
Figura 6.2 – Diagrama de sinais para levantamento do limite operacional da porta AND/NAND adiabática	126
Figura 6.3 - Diagrama de sinais da tensão, corrente e potência da porta AND/NAND adiabática.....	127
Figura 6.4 - Potência consumida pela porta AND/NAND adiabática	128

Figura 6.5 - Energia consumida por ciclo de operação pela porta AND/NAND adiabática	129
Figura 6.6 - Esquemático para medição do consumo da porta AND/NAND convencional	129
Figura 6.7 – Diagrama de sinais para o levantamento do limite operacional da porta AND/NAND convencional.....	130
Figura 6.8 - Diagrama de sinais da tensão, corrente e potência da porta AND/NAND convencional	131
Figura 6.9 - Potência consumida pela porta AND/NAND convencional	132
Figura 6.10 - Energia consumida por ciclo de operação pela porta AND/NAND convencional	132
Figura 6.11 - Comparação da potência consumida pelas portas AND/NAND adiabática e convencional	133
Figura 6.12 - Comparação da energia consumida por ciclo de operação pelas portas AND/NAND adiabática e convencional	134
Figura 6.13 - Comparação percentual da potência consumida entre as portas AND/NAND adiabática e convencional	135
Figura 6.14 - Esquemático utilizado para medições de consumo no FF JK adiabático	136
Figura 6.15 – Diagrama de sinais mostrando o limite operacional do FF JK adiabático.....	137
Figura 6.16 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock1</i> do FF JK adiabático	138
Figura 6.17 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock2</i> do FF JK adiabático	138
Figura 6.18 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock3</i> do FF JK adiabático	139
Figura 6.19 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock4</i> do FF JK adiabático	139
Figura 6.20 – Análise dos estados de operação do <i>power-clock</i> a partir do sinal da corrente do <i>power-clock</i>	140
Figura 6.21 – Diagrama de sinais da potência total do <i>power-clock</i> do flip-flop JK adiabático.....	141
Figura 6.22 – Potência consumida pelo FF JK adiabático	141
Figura 6.23 – Esquemático utilizado para medições de consumo no FF JK convencional	142
Figura 6.24 – Diagrama de sinais mostrando o limite operacional do FF JK convencional	142
Figura 6.25 – Diagrama de sinais de tensão, corrente e potência do FF JK convencional	143
Figura 6.26 – Potência consumida pelo FF JK convencional	144
Figura 6.27 – FF JK convencional operando na frequência de 4 GHz	144

Figura 6.28 – Comparação da potência consumida pelos FF JK adiabático e convencional	145
Figura 6.29 – Comparação percentual da potência consumida entre o FF JK adiabático e o convencional	146
Figura 6.30 – Esquemático utilizado para as medições no contador adiabático	146
Figura 6.31 - Diagrama de sinais mostrando o limite operacional do contador adiabático	147
Figura 6.32 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock1</i> do contador binário.....	148
Figura 6.33 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock2</i> do contador binário.....	148
Figura 6.34 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock3</i> do contador binário.....	149
Figura 6.35 – Diagrama de sinais de tensão, corrente e potência do <i>power-clock4</i> do contador binário.....	149
Figura 6.36 – Diagrama de sinais da potência total consumida do sistema <i>power-clock</i> pelo contador adiabático	150
Figura 6.37 – Potência consumida pelo contador adiabático	151
Figura 6.38 – Esquemático utilizado para as medições no contador convencional.	151
Figura 6.39 – Diagrama de sinais mostrando o limite operacional do contador convencional	152
Figura 6.40 – Diagrama de sinais de tensão, corrente e potência do contador convencional	152
Figura 6.41 – Potência consumida pelo contador convencional.....	153
Figura 6.42 – Comparação da potência consumida pelos contadores adiabático e convencional	154
Figura 6.43 – Comparação percentual do consumo de potência entre o contador adiabático e o convencional com extração de parâmetros.....	155
Figura 6.44 – Diagrama esquemático do <i>Test Fixture</i>	156
Figura 6.45 – Esquemático do <i>test fixture</i> do contador convencional	158
Figura 6.46 – Esquemático do <i>test fixture</i> do contador adiabático	159
Figura 6.47 – <i>Test Fixture</i> para testes do circuito integrado. (a) contador adiabático, (b) contador convencional e oscilador em anel	160
Figura 6.48 – <i>Setup</i> proposto para a caracterização funcional do contador convencional	161
Figura 6.49 – <i>Setup</i> proposto para verificação do funcionamento do contador convencional	162
Figura 6.50 – Imagem em bancada do <i>setup</i> proposto para verificação do funcionamento do contador convencional	162
Figura 6.51 – Sincronismo dos sinais medidos na saída do contador convencional de quatro bits.....	163
Figura 6.52 – Amplitude dos sinais medidos na saída do contador convencional de quatro bits. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3	164

Figura 6.53 – Amplitude dos sinais medidos na saída do contador convencional de quatro bits com o <i>I/O Ring</i> alimentado. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3	165
Figura 6.54 – Amplitude do sinal de <i>clock</i> . (a) sem e (b) com <i>I/O Ring</i> alimentado	166
Figura 6.55 – Tempo de subida medido nas saídas do contador convencional de quatro bits. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3	166
Figura 6.56 – Tempo de descida medido nas saídas do contador convencional de quatro bits. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3	167
Figura 6.57 – <i>Setup</i> proposto para a caracterização funcional do contador adiabático	169
Figura A.1 – Estrutura das conexões de I/O na tecnologia TSMC 180 nm (TSMC, 2008)	180
Figura A.2 - Esquemático de ligação dos dispositivos ESD ao <i>power rail</i> e <i>ground rail</i> da célula PDB1AC (TSMC, 2008)	181
Figura A.3 - Esquemático de ligação dos dispositivos ESD ao <i>power rail</i> e <i>ground rail</i> das células PVDD3AC e PVDD3A (TSMC, 2008).....	181
Figura A.4 - Esquemático de ligação dos dispositivos ESD ao <i>power rail</i> e <i>ground rail</i> das células PVSS3AC e PVSS3A (TSMC, 2008).....	182
Figura A.5 - Conceito de interligação do aterramento dos domínios analógico e digital na tecnologia TSMC 180 nm (TSMC, 2008)	183
Figura B.1 - Fluxograma do Assura DRC/LVS/QRC. Adaptado de (TSMC, 2009)..	184
Figura C.1 - Estrutura hierárquica do projeto do contador convencional.....	185
Figura C.2 - Esquemático da porta <i>VddINVGate</i>	186
Figura C.3 - Símbolo da porta <i>VddINVGate</i>	186
Figura C.4 - <i>Layout</i> da porta <i>VddINVGate</i> mostrando seus blocos e interconexões	186
Figura C.5 - <i>Layout</i> da porta <i>VddINVGate</i> mostrando todos os seus componentes	187
Figura C.6 - Esquemático da porta <i>VddNANDGate</i>	187
Figura C.7 – Símbolo da porta <i>VddNANDGate</i>	188
Figura C.8 - <i>Layout</i> da porta <i>VddNANDGate</i> mostrando seus blocos e interconexões	188
Figura C.9 - <i>Layout</i> da porta <i>VddNANDGate</i> mostrando todos os seus componentes	188
Figura C.10 - Esquemático da porta <i>VddANDGate</i>	189
Figura C.11 - Símbolo da porta <i>VddANDGate</i>	189
Figura C.12 - <i>Layout</i> da porta <i>VddANDGate</i> mostrando seus blocos e interconexões	189
Figura C.13 - <i>Layout</i> da porta <i>VddANDGate</i> mostrando todos os seus componentes	189
Figura C.14 - Esquemático do bloco <i>VddJKFF</i>	190
Figura C.15 – Símbolo do bloco <i>VddJKFF</i>	190
Figura C.16 – <i>Layout</i> do bloco <i>VddJKFF</i> no modo bloco	190
Figura C.17 – <i>Layout</i> do bloco <i>VddJKFF</i> mostrando todos os seus componentes .	191

Figura C.18 – Esquemático para a simulação do <i>VddJKFF</i>	191
Figura C.19 – Diagrama de sinais na saída do <i>VddJKFF</i>	191
Figura C.20 - Esquemático do contador convencional	192
Figura C.21 - Símbolo do contador convencional.....	192
Figura C.22 - <i>Layout</i> do contador convencional mostrando os blocos e suas interconexões	192
Figura C.23 - <i>Layout</i> do contador convencional mostrando todos os seus componentes.....	193
Figura C.24 – Topologia de um oscilador em anel	194
Figura C.25 – Sinais de saída do oscilador e do <i>buffer</i>	197
Figura C.26 – Esquemático do oscilador em anel.....	197
Figura C.27 – Esquemático do <i>buffer</i>	198
Figura C.28 – <i>Layout</i> do oscilador em anel.....	198
Figura C.29 – <i>Layout</i> do <i>buffer</i>	198
Figura C.30 – <i>Setup</i> para medição do oscilador em anel.....	199
Figura C.31 – Sinal de saída amplificado do oscilador em anel	200
Figura C.32 – <i>Layout</i> do circuito <i>Auxiliary</i> mostrando os blocos e suas interconexões	200
Figura C.33 – <i>Layout</i> do circuito <i>Auxiliary</i> mostrando todos os seus componentes	201

LISTA DE TABELAS

Tabela 2.1 - Equações de dissipação da potência em circuitos CMOS convencional e adiabático	43
Tabela 2.2 - Sequência dos estados de operação do sistema <i>power-clock</i> de quatro fases.....	46
Tabela 2.3 - Tabela verdade da porta AND/NAND C-PAL	57
Tabela 3.1 - Parâmetros do processo e dos dispositivos usados nas simulações preliminares.....	62
Tabela 3.2 - Tabela de estados do flip-flop JK convencional	66
Tabela 3.3 - Nome do sinal de saída de cada porta lógica que constitui o contador binário nas simulações preliminares	69
Tabela 4.1 - Parâmetros dos transistores nmos2v e pmos2v do PDK TSMC018	77
Tabela 6.1 – Potência consumida pela porta AND/NAND adiabática	127
Tabela 6.2 – Energia consumida por ciclo de operação pela porta AND/NAND adiabática	127
Tabela 6.3 – Potência consumida pela porta AND/NAND convencional	131
Tabela 6.4 – Energia consumida por ciclo de operação pela porta AND/NAND convencional	131
Tabela 6.5 – Potência consumida pelo FF JK adiabático.....	141
Tabela 6.6 – Potência consumida pelo FF JK convencional	143
Tabela 6.7 – Potência consumida pelo contador adiabático	150
Tabela 6.8 – Potência consumida pelo contador convencional.....	153
Tabela A.1 - Características da célula PDB1AC na tecnologia TSMC 180 nm	180
Tabela A.2 - Características das células PVDD3AC e PVDD3A na tecnologia TSMC 180 nm	181
Tabela A.3 - Características das células PVSS3AC e PVSS3A da tecnologia TSMC 180 nm	182
Tabela C.1 – Largura do canal dos transistores PMOS e NMOS nos estágios do <i>buffer</i>	196

LISTA DE ABREVIATURAS

AL	- <i>Adiabatic Logic</i>
ASIC	- <i>Application Specific Integrated Circuit</i>
BSIM4	- <i>Berkeley Short-channel IGFET Model version 4</i>
CAL	- <i>Clocked Adiabatic Logic</i>
CMOS	- <i>Complementary MOS</i>
CNFET	- <i>Carbon Nanotube FET</i>
C-PAL	- <i>Complementary Pass-transistor Adiabatic Logic</i>
CPERL	- <i>Complementary Pass-transistor Energy Recovery Logic</i>
DCVSL	- <i>Differential Cascode Voltage Switch Logic</i>
DR	- <i>Design Rules</i>
DRC	- <i>Design Rules Check</i>
DUT	- <i>Device under Test</i>
ECRL	- <i>Efficient Charge Recovery Logic</i>
EDA	- <i>Electronic Design Automation</i>
ESD	- <i>Electrostatic Discharge</i>
FET	- <i>Field Effect Transistor</i>
FF	- <i>Flip-flop</i>
FinFET	- <i>Thin Silicon FET</i>
GSa/s	- <i>Gigasample per second</i>
I/O	- <i>Input/Output</i>
IoT	- <i>Internet of Things</i>
LVS	- <i>Layout Versus Schematic</i>
MOS	- <i>Metal-Oxide-Semiconductor</i>

NMOS	- Transistor MOS canal N
NERL	- <i>NMOS Energy Recovery Logic</i>
PAL	- <i>Pass-transistor Adiabatic Logic</i>
PCB	- <i>Printed Circuit Board</i>
PDK	- <i>Process Design Kit</i>
PDN	- <i>Pull-down Network</i>
PFAL	- <i>Positive Feedback Adiabatic Logic</i>
PMOS	- Transistor MOS canal P
PUN	- <i>Pull-up Network</i>
QRC	- <i>Resistor and Capacitor Parasitic Extraction</i>
QSSERL	- <i>Quase-Static Single-phase Energy Recovery Logic</i>
RF	- Radiofrequência
RFID	- <i>Radio Frequency Identification</i>
SCRL	- <i>Split-level Charge Recovery Logic</i>
SiP	- <i>System in Package</i>
SMU	- <i>Source Measure Unit</i>
SoC	- <i>System-on-a-chip</i>
SPICE	- <i>Simulation Program with Integrated Circuit Emphasis</i>
TSEL	- <i>True Single-phase Adiabatic Logic</i>
TSMC	- <i>Taiwan Semiconductor Manufacturing Corporation</i>
VLSI	- <i>Very Large-scale Integration</i>
xCPAL	- <i>Extended CPAL</i>

SUMÁRIO

1	INTRODUÇÃO.....	23
1.1	Motivação.....	24
1.2	Objetivos	26
1.3	Metodologia.....	26
1.4	Estrutura da tese	27
2	CIRCUITOS DIGITAIS ADIABÁTICOS.....	29
2.1	Histórico	29
2.2	Princípios da lógica adiabática.....	32
2.3	Álgebra para circuitos pulsados	33
2.4	Energia e potência dissipada	37
2.4.1	Circuito CMOS convencional.....	38
2.4.2	Circuito CMOS adiabático	40
2.5	O sistema <i>power-clock</i>	44
2.6	Evolução das famílias de circuitos adiabáticos	48
2.7	Família CPAL (<i>Complementary Pass-transistor Adiabatic Logic</i>)	55
3	MODELAGEM DO CONTADOR BINÁRIO xCPAL.....	59
3.1	Concepção dos circuitos	60
3.2	Simulações preliminares	62
4	DESENVOLVIMENTO DOS CIRCUITOS.....	77
5	DESIGN e FABRICAÇÃO.....	104
5.1	Criação do <i>layout</i>	104
5.2	O circuito Integrado	118
6	SIMULAÇÕES E RESULTADOS.....	124
6.1	Comparação do consumo das portas AND-NAND adiabática e convencional	125
6.2	Comparação do consumo dos FF JK adiabático e convencional.....	136
6.3	Comparação do consumo dos contadores adiabático e convencional.....	146
6.4	Estratégias de caracterização e <i>setup</i>	155
7	CONCLUSÕES.....	170
	REFERÊNCIAS BIBLIOGRÁFICAS	174
	APÊNDICE A – Estrutura das células de I/O TSMC 180 nm	180

APÊNDICE B – Fluxograma do Assura DRC/LVS/QRC	184
APÊNDICE C – Esquemáticos e <i>layouts</i> complementares	185
C.1 Esquemático e <i>layout</i> do contador binário convencional.....	185
C.2 Estrutura de teste (oscilador em anel).....	193
C.3 <i>Layout</i> do circuito <i>Auxiliary</i>	200
APÊNDICE D - A Tecnologia TSMC 180 nm	202
ANEXO A – Especificação do encapsulamento Kyocera CLCC-68	203

1 INTRODUÇÃO

Eficiência energética tem se tornado uma preocupação constante em projetos de circuitos eletrônicos de alto desempenho. A contínua redução de escala na fabricação de circuitos integrados possibilita a redução do espaço ocupado pelos circuitos, disponibilizando espaço para o uso de baterias dentro dos equipamentos para atender à demanda de maiores períodos de uso de equipamentos portáteis sem a necessidade de recargas constantes. Porém, tais equipamentos tendem a se miniaturizar a tal ponto, que a própria bateria tem que acompanhar o escalonamento dos circuitos integrados.

Uma das soluções é combinar circuitos miniaturizados com baterias miniaturizadas. Para que isto seja possível, os circuitos integrados devem possuir a característica de alta eficiência energética, ou seja, minimização do consumo de energia e da dissipação de potência elétrica associada aos circuitos analógicos e digitais, o que possibilita baterias com reduzidas dimensões, atendendo assim, tanto as necessidades de longos períodos de utilização quanto à portabilidade dos equipamentos.

Aliado ao conceito de eficiência energética está o conceito de *Energy Harvesting*, que possui o crescente e importante papel de fornecer energia a dispositivos, circuitos e sistemas. É um processo que captura quantidade escassa de energia oriunda de uma ou mais fontes, tais como, fontes luminosas, fontes emissoras de calor, fontes de som, processos piezelétricos, movimentos de seres vivos ou máquinas, armazenando esta energia para uso instantâneo ou posterior. Projetos com aplicações que abrangem desde *smartphones* até a indústria automotiva (EMILIO, 2017), passando pela área de biomedicina. Nessa área, os estudos estão bem evoluídos no que diz respeito ao uso de técnicas de *Energy Harvesting*, onde a ideia central do sistema de alimentação é gerar energia convertendo outros tipos de energia gerada pelo próprio corpo humano em energia elétrica. Para que circuitos eletrônicos possam usufruir do consumo desta escassa quantidade de energia, estes devem ser projetados para consumir reduzidos níveis de energia.

A eficiência energética também está associada com a viabilização da implementação do conceito *Internet of Things* (IoT). Apesar do conceito não ser tão

novo assim – conectar tudo à Internet, somente com o desenvolvimento de projetos de circuitos tendo como linha mestra a eficiência energética é possível atrair significativa atenção da indústria para o desenvolvimento de dispositivos eficientes energeticamente a serem utilizados pela IoT (MITTAL et al., 2019).

Dentre os diversos mecanismos existentes para o projeto de circuitos eletrônicos com alta eficiência energética está o que denominamos de Lógica Adiabática – *Adiabatic Logic* (AL). Circuitos eletrônicos adiabáticos pertencem a uma classe de topologia de circuitos eletrônicos que possibilitam um consumo muito baixo de energia, por meio da aplicação de diversas estratégias, entre as quais a que se utiliza de alimentação alternada, denominada *AC-clocked power supply*. Esta estratégia é uma filosofia de projeto de circuitos que vem sendo pesquisada a algumas décadas, sendo baseada no chaveamento do sinal da fonte de alimentação dos circuitos, mas na prática vem encontrando dificuldades de ser utilizada em larga escala por possuir um sistema de alimentação com um nível de complexidade elevado para ser implementado.

Neste trabalho, tempo de vida de baterias associado a circuitos adiabáticos é tratado como futura proposta de trabalho. Este trabalho descreve a pesquisa relacionada, o estudo, a simulação, o projeto, a fabricação e caracterização de um circuito integrado com a função de contador binário adiabático de quatro bits utilizando flip-flops JK com tensão de alimentação senoidal composta por um sistema de quatro fases, utilizando uma das técnicas de projeto pertencente à família de técnicas de circuitos adiabáticos denominada *Complementary Pass-transistor Adiabatic Logic* (C-PAL).

1.1 Motivação

Este trabalho foca na eficiência energética de circuitos eletrônicos digitais adiabáticos. Um dos grandes problemas a ser equacionado com a constante miniaturização de dispositivos e equipamentos eletrônicos está diretamente relacionado com o consumo de energia. O interesse pela pesquisa veio das observações do dia a dia em relação aos questionamentos de usuários de equipamentos portáteis sobre o tempo de duração da bateria do equipamento.

Consumo de energia continua sendo um ponto fraco diante da tecnologia de circuitos integrados, já tão avançada. Circuitos que funcionam com alimentação por bateria, com capacidade de operação por longos períodos, ainda são desejos de consumo. Paralelamente às pesquisas que abordam as tecnologias para aumentar o ciclo de uso das baterias, esforços devem continuar sendo realizados para reduzir o consumo dos circuitos integrados.

Alinhado ao conceito de energia limpa, possibilita a redução do uso de elementos tóxicos aplicados na fabricação de baterias para circuitos alimentados em corrente contínua. Como o assunto eficiência energética possui ramificações na área de circuitos integrados, optou-se por estabelecer o foco da pesquisa na potência consumida por eles.

O contador binário proposto apresenta uma alternativa de combinação das fases da fonte de alimentação senoidal nos blocos sequenciais do circuito digital adiabático, bem como a utilização de portas lógicas entre os estágios do contador, permitindo: a eliminação de *buffers* entre os flip-flops do contador, cujo objetivo é o sincronismo do dado com o sinal de *clock*, simplificando o circuito; e sua operação na frequência de até 700 MHz, considerado ótimo valor de frequência para circuitos adiabáticos.

Circuitos adiabáticos são potenciais sucessores para projetos de circuitos CMOS convencionais alimentados com tensão contínua porque oferece a vantagem de consumo ultrabaixo de energia elétrica (TEICHMANN, 2012). Circuitos digitais sequenciais são utilizados na grande maioria de equipamentos que requerem consumo mínimo de energia. Tecnologias empregadas em biomedicina, nano-satélites, *wake-up receivers*, *smartphones*, sensores e atuadores *wireless* para a indústria, RFID, dispositivos *wearables* etc., demandam circuitos digitais com baixo consumo de energia e podem usufruir das vantagens de circuitos alimentados com técnicas adiabáticas.

Atualmente, o consumo de energia tem se tornado a maior preocupação no projeto de dispositivos eletrônicos VLSI para dispositivos portáteis (SINGH; SINHA, 2015). O estilo de lógica adiabática está demonstrando ser uma solução atrativa para projetos de circuitos digitais de baixa potência (KUMARI; KEOTE, 2014).

1.2 Objetivos

Projetar, simular, fabricar e medir os sinais do circuito integrado em bancada, para comparar o consumo de potência de dois circuitos contadores binário de quatro bits utilizando flip-flops JK, um utilizando fonte de alimentação contínua, forma tradicional de alimentação, e outro utilizando fonte de alimentação senoidal composta por quatro fases, para comprovar a eficiência energética do circuito digital com fonte de alimentação senoidal em relação ao circuito com fonte de alimentação contínua, e que suporte operação na faixa inicial das frequências de RF.

Três inovações são apresentadas: a criação de uma configuração simplificada nas entradas do segundo, terceiro e quarto estágios dos flip-flops que compõem o contador; a eliminação de *buffers* entre os estágios do contador; e a utilização de duas portas lógicas adiabáticas AND/NAND com apenas duas entradas, após o segundo e terceiro estágios do contador.

As contribuições apresentadas em trabalhos publicados incluem: a aplicação da lógica adiabática em micro, nano e *cube* satélites; a análise da variação da capacitância de carga no nó de saída do flip-flop JK xCPAL; e o estudo de metaestabilidade no flip-flop JK xCPAL para aplicação em *wake-up receivers*.

O circuito de um contador é utilizado pelo fato de pertencer a uma classe de circuitos sequenciais cuja complexidade está adequada ao período estabelecido para a realização do estudo. São realizadas medições em bancada na estrutura de teste do circuito integrado e no contador convencional. As medições completas em bancada têm limitações devido à complexidade do *setup* e devido às medidas sanitárias de isolamento social adotadas em virtude da pandemia da COVID-19.

1.3 Metodologia

Revisão bibliográfica sobre as técnicas de projeto e fabricação de circuitos digitais adiabáticos utilizando fonte de alimentação composta por múltiplas fases; análise de técnicas de projetos para adotar uma técnica que tenha bom rendimento energético e que permita estabilidade operacional nas simulações; utilização de

simuladores simplificados antes de elaborar o projeto dos circuitos em simuladores, devido à complexidade dos circuitos lógicos adiabáticos; simulação dos circuitos em simuladores para obter o diagrama de tempo dos sinais de entrada, sinais de saída e sinais da fonte de alimentação senoidal, para certificação da correta operação do circuito adiabático, considerando o limite da frequência operacional do circuito; coleta dos dados, em simuladores, com e sem a extração dos parâmetros de fabricação, do consumo de potência dos circuitos com fonte de alimentação contínua e com fonte de alimentação senoidal, para comparar os resultados da simulação; estudos de técnicas de fabricação de circuitos integrados digitais e das regras de projeto de fabricação nos editores de *layout* a utilizar; elaboração dos *layouts* dos circuitos com fonte de alimentação contínua e fonte de alimentação senoidal; validação dos *layouts* elaborados em relação às regras de projeto; verificação dos *layouts* elaborados em relação às respectivas conexões nos esquemáticos do projeto; extração dos parâmetros parasitas e realização de re-simulações; extração das informações do *layout* para disponibilizá-las a um fabricante de circuitos integrados; fabricação externamente à instituição do circuito integrado contendo o circuito usando fonte de alimentação contínua, o circuito usando fonte de alimentação senoidal, e uma estrutura de teste composta por um oscilador em anel (esta atividade não estava dentro do escopo da pesquisa e foi realizada devido a uma oportunidade de cooperação entre um integrador/*foundry* e a universidade); levantamento de características de equipamentos para geração e medição de sinais para propor *setups* de medição para testar as funcionalidades dos circuitos fabricados; e medições em bancada dos circuitos fabricados (contador convencional e oscilador em anel).

1.4 Estrutura da tese

Esta tese está apresentada da seguinte forma. O Capítulo 1 faz uma introdução aos conceitos de eficiência energética, onde também se descreve a motivação, os objetivos e a metodologia para esta pesquisa. O Capítulo 2 apresenta o referencial teórico para a lógica adiabática. Descreve seu histórico e princípios, o tratamento da energia, a álgebra em circuitos pulsados, a estrutura do sistema de *clock*, e as principais famílias adiabáticas no processo evolutivo. O Capítulo 3 apresenta a modelagem do contador binário adiabático proposto xCPAL. O Capítulo

4 descreve como foram elaborados os *layouts* dos circuitos, bem como as especificações do circuito integrado e seu encapsulamento. O Capítulo 5 descreve as simulações realizadas e seus resultados no ambiente *Cadence*. O Capítulo 6 apresenta a estratégia para a caracterização, os *jigs* de teste e os resultados experimentais obtidos. O Capítulo 7 apresenta as conclusões da pesquisa.

2 CIRCUITOS DIGITAIS ADIABÁTICOS

2.1 Histórico

O termo “adiabático” é originado do termo grego “adiabatos” que significa “impenetrável”. Em física, um processo adiabático é um dos casos especiais da primeira lei da termodinâmica. Processo adiabático é aquele que acontece em um sistema tão bem isolado que não há trocas de calor entre o sistema e o ambiente (HALLIDAY; RESNICK; WALKER, 2009). Este termo foi “emprestado” à área de conhecimentos de engenharia elétrica para denominar circuitos com consumo muito baixo de energia comparados com circuitos convencionais. Nos projetos de circuitos convencionais a preocupação com a redução de consumo está alinhada à própria evolução da tecnologia, que disponibiliza dispositivos com valores menores de alimentação, redução de escala e otimização de *layouts* com baixos valores de parâmetros parasitas. Estudos na área de circuitos adiabáticos começaram com a utilização de recursos com capacidade de armazenar a energia para ser posteriormente utilizada. Circuitos usando indutores, capacitores ou circuitos ressonantes LC, funcionavam como elementos para armazenar parte da energia do circuito.

O estudo de circuitos com sinais pulsados foi impulsionado pelas pesquisas na década de 1990 (YOUNIS; KNIGHT, 1994) (YONG MOON; DEOG-KYOON JEONG, 1995) (MAKSIMOVIC; OKLOBDZIJA, 1995) (VETULI; PASCOLI; REYNERI, 1996) (V.G. OKLOBDZIJA, 1997). Na busca de referências bibliográficas para este trabalho observa-se pouco material bibliográfico apresentando inovações em técnicas adiabáticas na década de 2010 (CHANDA et al., 2014). Apesar destas técnicas ainda não permitirem circuitos menos complexos para a execução de funções lógicas relativamente simples, a lógica adiabática aparece entre as alternativas visando a criação de um novo modelo de computação, por possuírem alta eficiência energética e possibilidade de redução da área ocupada no silício (SHALF, 2020).

Em 1961, Landau afirma que a lógica irreversível (aquela em que não é possível recuperar suas entradas por meio da análise de suas saídas) está associada com a irreversibilidade física, e requer um mínimo de consumo de energia por ciclo de máquina, tipicamente da ordem de KT , para cada função irreversível. Este consumo

de energia possui a função de padronizar sinais e torná-los independentes de sua exata cronologia lógica (LANDAUER, 2000).

Em 1973, Bennett, com base em uma máquina de computação autômato (*Turing Machine*), de lógica irreversível, cria uma máquina de três estágios de lógica reversível, com as mesmas funcionalidades, mas de grande interesse do ponto de vista físico, pois torna factível a existência de computadores termodinamicamente reversíveis, com consumo consideravelmente menor do que KT de energia por ciclo lógico, ou seja, a energia utilizada para realizar processos computacionais poderia a princípio ser salva e reusada (C.H. BENNETT, 1973).

Em 1982, Fredkin e Toffoli desenvolveram portas lógicas que permitem executar diversas operações lógicas sem apagar a informação, obedecendo então ao princípio de conservação de energia (FREDKIN; TOFFOLI, 1982), mas utilizando um número grande de transistores e ocupando muita área no silício (TEICHMANN, 2012).

Em 1992, Hall desenvolve portas lógicas que permitem recuperar toda a energia do nó de saída mantendo a informação da entrada válida durante o processo de recuperação. Isto significa dizer que a porta pode ser reversível energeticamente sem a necessidade de ser logicamente reversível (HALL, 1992). Também em 1992, Koller e Athas (ATHAS et al., 1994) introduziram o conceito de circuitos adiabáticos que armazenam a informação no nó de saída que é carregado, sem a necessidade de recuperar o sinal de entrada. Estas portas, que usavam transistores MOS com a função de travamento (*latching*), recuperavam apenas uma parte da energia, aquela até a tensão de limiar do transistor (*threshold*) ser alcançada. Este tipo de circuito ficou conhecido como quase-adiabático, devido às perdas não-adiabáticas que são inevitáveis (TEICHMANN, 2012).

Entre os anos de 1992 e 2003 as técnicas quase-adiabáticas dominaram as pesquisas em recuperação de energia em circuitos lógicos (J.G.KOLLER, 1992) (HU JIANPING; CEN LIZHANG; LIU XIAO, 2003). Vale ressaltar, que os termos utilizados pelos autores para identificar as técnicas utilizadas, não se prendem à real funcionalidade do circuito no que se refere à total ou parcial recuperação da quantidade de energia. Circuitos quase-adiabáticos são comumente denominados adiabáticos, e outros termos também são utilizados, como *Clock-powered Logic* (WU; GUOQIANG; PEDRAM, 2002) e *Energy Recovery Logic* (KIM; YOO; KANG, 2000).

Os circuitos *Clock-powered Logic*, são circuitos adiabáticos que usam fontes de alimentação alternada, utilizando uma ou mais fases, podendo também utilizar o sinal complementar do *clock*, para controlar a operação da lógica, e conseqüentemente recuperar a energia. Em 1993, Younis traz o conceito de sistemas que podem ser operados mais lentamente, e sua dissipação poderia, de modo assintótico, chegar a zero à medida que sua velocidade de operação fosse reduzida (YOUNIS; KNIGHT, 1994). Em 1995, Maksimovic apresentou os resultados de um experimento com lógica adiabática utilizando *power-clock* de uma fase na técnica quase-adiabática denominada *CMOS Adiabatic Logic* (CAL), na frequência de 20 MHz (MAKSIMOVIC; OKLOBDZIJA, 1995). Em 1997, Maksimovic introduziu a técnica de construção de circuitos adiabáticos denominada *Pass-transistor Adiabatic Logic* (PAL), que superou a técnica recém-apresentada (CAL) no quesito recuperação de energia do nó de saída, e indo além, operando na frequência de 160 MHz (V.G. OKLOBDZIJA, 1997). Em 2003, Jianping apresenta um tipo de circuito adiabático utilizando a técnica *Complementary Pass-transistor Logic* (CPAL) (HU JIANPING; CEN LIZHANG; LIU XIAO, 2003).

Nos últimos anos, a pesquisa em circuitos adiabáticos está direcionada para aplicações de técnicas desenvolvidas até então, mas focando na redução da complexidade das portas adiabáticas e sistemas de alimentação, principalmente em circuitos lógicos sequenciais, onde o uso de *power-clocks* com múltiplas fases é mais adequado; e com ênfase na utilização de dispositivos tecnologicamente mais evoluídos, como FinFET (*Thin Silicon FET*) (BHUVANA; KANCHANA BHAASKARAN, 2017) e CNFET (*Carbon Nanotube FET*) (TAHERI et al., 2016).

A questão da redução da potência consumida pelos chips também afeta de forma acentuada as tecnologias em desenvolvimento. A tecnologia SiP (*System in Package*) possibilita a criação de produtos por integradores, não por desenvolvedores, reduzindo a complexidade dos PCBs (*Printed Circuit Board*), movendo a complexidade do roteamento para o encapsulamento do chip. As aplicações abrangem circuitos para rádio frequência, *wireless*, *IoT for Wearable* e *Machine to Machine (M2M)*, aplicações automotivas, microcontroladores, módulos de potência, tecnologias para circuitos lógicos, analógicos e *mixed-signals*, computação, redes de comunicação, e diversas outras tecnologias vindouras (“International Microelectronics Assembly and Packaging Society”, 2019). Assim, os projetistas de cada um dos

sistemas a integrar devem levar em consideração a redução de potência do sistema, já que a gestão da redução do consumo fica descentralizada. Preocupação constante também de integradores e desenvolvedores que utilizam a tecnologia SoC (*System-on-a-chip*), com diferentes sistemas se movendo para o substrato do chip (“IEEE SoCC”, 2019). Em relação à questão dos circuitos digitais operando em RF, todas as considerações de um projeto de RF devem ser levadas em conta na preparação do *setup* de medidas, e cada vez mais os projetistas tendo que adentrar no conhecimento de diversos segmentos da eletrônica, incluindo o da eficiência energética (STASZEWSKI; RUDELL, 2012).

2.2 Princípios da lógica adiabática

Um processo adiabático é aquele no qual não há transferência de energia na forma de calor (USP, 2010). No mundo real isto não é possível, mas utilizando-se de técnicas que permitem a recuperação da energia fornecida pela fonte de alimentação do circuito, a energia pode ser tratada de modo que a perda por dissipação no circuito pode ser minimizada através do aumento do tempo de carga da capacitância do nó de saída do circuito. Nos circuitos CMOS convencionais uma fonte de alimentação de tensão contínua é utilizada, sendo que o valor de tensão do sinal é representado pela carga/descarga dos nós capacitivos internos ao circuito. Durante este processo de carga/descarga, elétrons são extraídos do terminal da fonte de tensão contínua, carregando o nó capacitivo, e retornando para o terminal de aterramento, resultando em uma conversão irreversível de energia elétrica em energia térmica (PEDRAM; WU, 2000). Quando a comutação adiabática é utilizada, a energia armazenada nos nós capacitivos dos circuitos pode ser reciclada ao invés de ser dissipada em calor (ATHAS et al., 1994).

Em geral, de modo a recuperar a energia elétrica, os seguintes princípios devem ser seguidos pelos dispositivos CMOS em um circuito adiabático (GOJMAN, 2004):

- Nunca colocar o transistor em condução (ON) se existir qualquer diferença de potencial entre fonte e dreno. Uma vez colocado em

condução, a energia deve fluir através do transistor de modo gradual e controlada;

- Nunca colocar o transistor na condição de não-condução (OFF) se existir qualquer corrente circulando entre fonte e dreno. Os transistores não são comutadores perfeitos, indo do estado ON para o estado OFF instantaneamente. O transistor deve mudar do estado ON para o estado OFF gradualmente à medida que a tensão de porta muda;
- Nunca utilizar diodos nas árvores de avaliação ou potência, no caminho da corrente fonte-dreno, pois diodos são dispositivos termodinamicamente irreversíveis.

Diversas técnicas são utilizadas para projeto de sistemas com baixo consumo de energia. Estas técnicas estão agrupadas em diferentes níveis de abstração: tecnologia, arquitetura, sistema, projeto físico e tipo de lógica. No nível da tecnologia utiliza-se principalmente a redução de escala e a otimização de V_T . No nível da arquitetura utiliza-se a paralelização, o *pipelining*, o *retiming* e a minimização do *glitch*. No nível do sistema são utilizados o particionamento, a escolha adequada de componentes e o gerenciamento do uso de energia. No nível do projeto físico são utilizadas técnicas de otimização para distribuição de componentes e roteamento no PCB, bem como o cálculo de espaçamento e dimensionamento de trilhas e vias no mesmo. Quanto às técnicas utilizadas no nível de tipo de lógica aplica-se, no qual se inclui a lógica adiabática, os diversos tipos de alimentação do circuito, caracterizados pela forma de interligação dos componentes, alimentação AC e DC, múltiplos níveis de tensão e múltiplas fases.

2.3 Álgebra para circuitos pulsados

A álgebra utilizada para representar o funcionamento de um circuito pulsado, considera x como sendo a variável de entrada do circuito lógico, e \bar{x} o seu complemento (PEDRAM; WU, 2000). Os sinais de alimentação são representados por clk e \overline{clk} . A expressão:

$$x^i, i \in \{.clk | +\overline{clk}\} \quad (2.1)$$

representa a relação lógica entre a variável lógica de entrada x, \bar{x} e o sinal de alimentação clk, \overline{clk} . Deste modo, $x^{.clk}$ é $(x \cdot clk)$ e $x^{+\overline{clk}}$ é $(x + \overline{clk})$. Com dupla função, os sinais clk, \overline{clk} além de alimentar o circuito adiabático, também estabelece o momento em que o sinal de tensão do nó de saída de uma porta lógica adiabática deve ser avaliado. Quando o sinal clk é utilizado em um circuito pulsado este é conhecido como circuito pulsado de base “0”, e quando o sinal \overline{clk} é utilizado em um circuito pulsado este é conhecido como circuito pulsado de base “1”.

O teorema de De Morgan pode ser aplicado aos circuitos pulsados:

$$\overline{x \cdot clk} = \bar{x} + \overline{clk} \quad (2.2)$$

$$\overline{\bar{x} \cdot clk} = x + \overline{clk} \quad (2.3)$$

Isto mostra que a função inversora aplicada ao sinal pulsado resulta no inverso do sinal pulsado original.

As relações:

$$1 = 1^{+\overline{clk}} ; 0 = 0^{.clk} \quad (2.4)$$

mostram que o V_{DD} (1) e o sinal do terra (0) podem operar em circuitos pulsados de base “1” e “0”, respectivamente. Neste trabalho, circuitos adiabáticos de base “0” são utilizados, de modo que não existe sinal de alimentação contínua do tipo V_{DD} (exceto para a polarização do substrato).

As relações:

$$clk = 1^{clk}; \overline{clk} = 0^{+clk} \quad (2.5)$$

mostram que clk pode assumir a função de alimentação nos circuitos pulsados de base “0”, enquanto \overline{clk} pode assumir a função de sinal do terra em circuitos pulsados de base “1”. Neste trabalho, o sinal clk assume a função de alimentação nos circuitos pulsados.

As relações:

$$(x \cdot y)^{clk} = x^{clk} \cdot y^{clk} \quad (2.6)$$

$$(x \cdot y)^{+clk} = x^{+clk} \cdot y^{+clk} \quad (2.7)$$

$$(x + y)^{clk} = x^{clk} + y^{clk} \quad (2.8)$$

$$(x + y)^{+clk} = x^{+clk} + y^{+clk} \quad (2.9)$$

sugerem que sinais pulsados que são utilizados em operações lógicas AND/OR devem utilizar, em um mesmo projeto, a mesma base, ou base “0” ou base “1”. A Figura 2.1 mostra a relação entre as entradas de um circuito digital (x, \bar{x}) e as bases de $clock$ utilizadas (clk, \overline{clk}) (PEDRAM; WU, 2000).

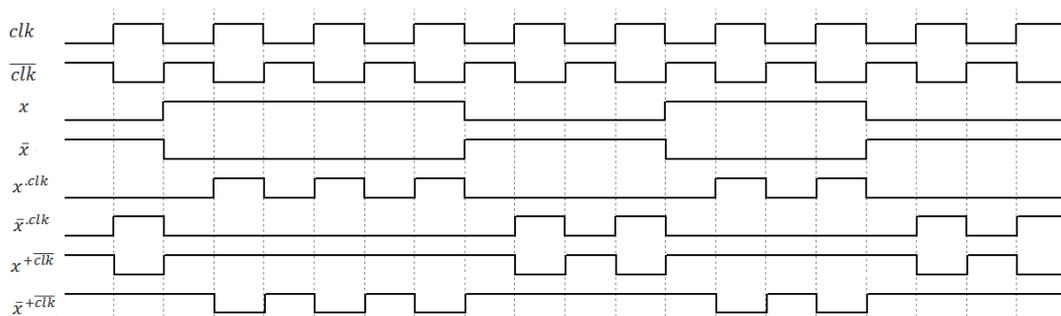


Figura 2.1 - Relação entre as entradas e o $clock$ em um circuito digital pulsado

A base para a construção do contador binário adiabático neste trabalho são flip-flops JK que utilizam portas lógicas adiabáticas AND/NAND. A álgebra adiabática para os flip-flops JK deriva da álgebra dos flip-flops JK convencionais. O estado futuro de um flip-flop JK é dado pela equação:

$$Q_+ = J \cdot \bar{Q} + \bar{K} \cdot Q \quad (2.10)$$

onde J e K são as entradas do flip-flop, Q e \bar{Q} suas saídas, e “ Q_+ ” o estado futuro de sua saída. Considerando a lógica adiabática, um flip-flop JK pode ser representado conforme apresentado na Figura 2.2. O sistema de *power-clock* mostrado na Figura 2.2 possui a função de alimentação do circuito, conforme afirmado pela equação 2.5. O sistema *power-clock* é descrito no item 5 do capítulo 2.

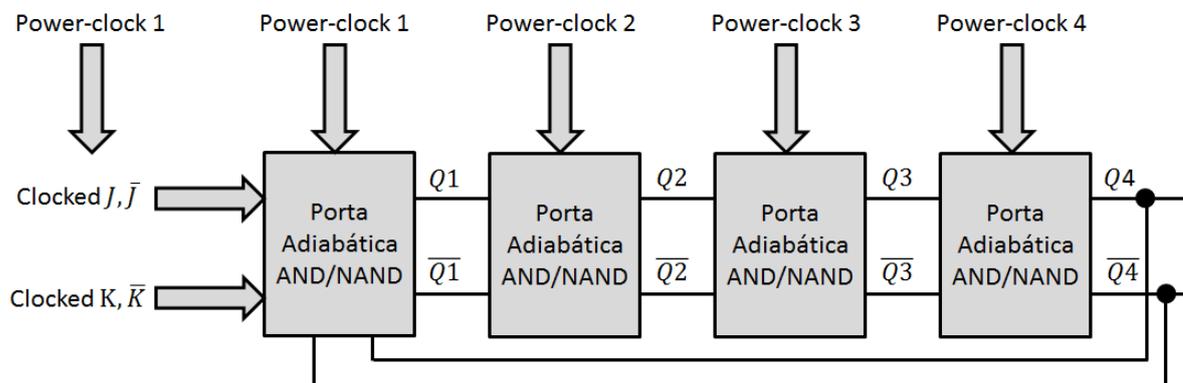


Figura 2.2 – Flip-flop JK utilizando lógica adiabática

A Equação 2.10 para a lógica convencional pode ser adaptada para a lógica adiabática, conforme a equação:

$$Q4^{PC4}_+ = J^{PC1} \cdot \bar{Q4}^{PC4} + \bar{K}^{PC1} \cdot Q4^{PC4} \quad (2.11)$$

No caso de um contador binário, $J = K = 1$, portanto:

$$Q4^{PC4+} = 1^{PC1} \cdot \overline{Q4}^{PC4} \quad (2.12)$$

$$Q4^{PC4+} = PC1 \cdot \overline{Q4}^{PC4} \quad (2.13)$$

A Equação 2.13 esclarece que o estado futuro da saída do flip-flop JK adiabático é sincronizado com o *power-clock4*, sendo dependente da saída invertida do flip-flop sincronizada com o *power-clock4* devido ao *feedback* da última porta do flip-flop para a sua primeira porta, e ainda dependente do *power-clock1*. No item 5 do capítulo 2, este mecanismo de interação entre a saída e entrada do flip-flop é esclarecido, quando se entende a relação de fase dos sinais do sistema *power-clock*.

2.4 Energia e potência dissipada

O projeto de circuitos de baixo consumo de potência requer considerações do consumo da potência de pico para disponibilizar confiabilidade e a correta operação do circuito, mas o ponto mais crítico é o consumo da potência média em um determinado período. Existem quatro fontes de dissipação de potência em circuitos digitais CMOS que podem ser resumidas conforme a Equação 2.14.

$$P_{avg} = P_{switching} + P_{short-circuit} + P_{leakage} + P_{static} \quad (2.14)$$

onde $P_{switching}$ representa a componente da potência dissipada referente ao chaveamento do transistor nas transições dos níveis lógicos $0 \rightarrow 1$ e $1 \rightarrow 0$. Esta parcela do consumo de potência é o principal foco dos circuitos adiabáticos, a qual é consideravelmente minimizada pela característica intrínseca destes circuitos de realizar transições suaves entre os estados de condução e não-condução dos transistores, e vice-versa. $P_{short-circuit}$ é a componente da potência dissipada devido à corrente de curto-circuito quando, durante uma transição de estado, os transistores NMOS e PMOS (que constituem o PUN e o PDN) ficam simultaneamente ativos, conduzindo corrente da fonte de alimentação para o potencial do terra. Esta parcela

do consumo de potência é minimizada em circuitos adiabáticos devido à característica intrínseca destes circuitos de realizar transições suaves entre os níveis lógicos. $P_{leakage}$ é a potência dissipada devido à corrente de polarização reversa dos diodos existentes nos transistores MOS e, principalmente devido a efeitos *sub-threshold*, sendo primariamente determinada pela tecnologia de fabricação. Como apresentado na Figura 2.3, $P_{leakage}$ é inversamente proporcional à frequência de trabalho do circuito (TEICHMANN, 2012). Não é objetivo deste trabalho determinar o ponto de inflexão da curva da Figura 2.3, mas sim determinar a potência consumida pelo circuito adiabático na faixa de frequência em que o circuito se mantém operacional e ainda competitivo em relação ao circuito convencional no quesito consumo de potência. P_{static} é a potência latente quando o circuito não possui sinais excitando suas entradas, assumindo geralmente baixos valores, e não é analisada separadamente dos outros tipos de dissipação nos circuitos adiabáticos aqui desenvolvidos (CHANDRAKASAN; BRODERSEN, 1995).

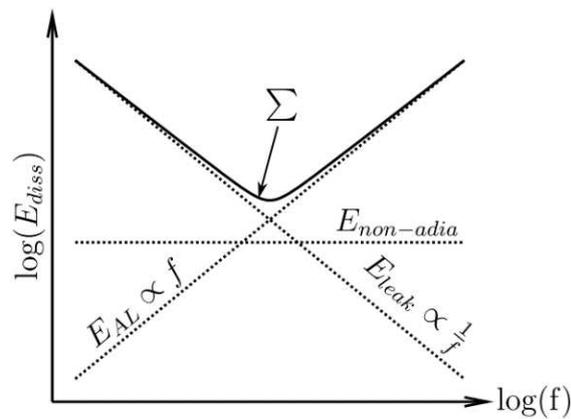


Figura 2.3 - Composição da energia dissipada por ciclo de operação em função da frequência de operação (TEICHMANN, 2012)

2.4.1 Circuito CMOS convencional

A Figura 2.4 apresenta os circuitos equivalente para comparação do consumo de potência em circuitos adiabáticos e convencionais. Em um circuito CMOS convencional a energia armazenada no nó de saída capacitivo, no final da transição

de “0” para “1”, pode ser obtida por meio da integração da potência instantânea no período de interesse.

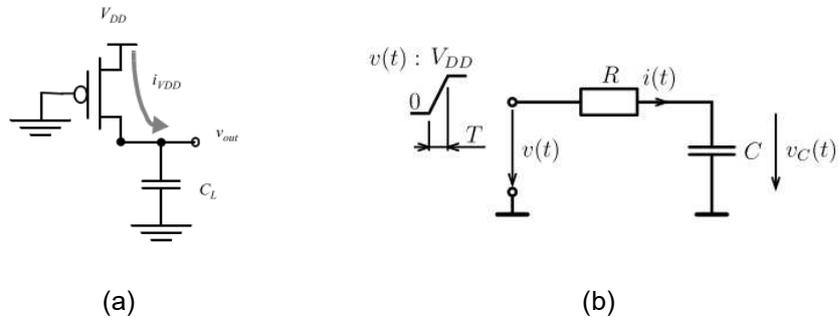


Figura 2.4 – Circuito equivalente para determinação das perdas utilizando técnicas (a) convencionais (RABAEY; CHANDRAKASAN; BORIVOJE, 2003) e (b) adiabáticas (TEICHMANN, 2012)

A Equação 2.15 apresenta o resultado da energia armazenada no capacitor.

$$E_C = \int_0^{\infty} i_{VDD}(t) v_{out} dt = \int_0^{\infty} C_L \frac{dv_{out}}{dt} v_{out} dt$$

$$E_C = C_L \int_0^{V_{DD}} v_{out} dv_{out} = \frac{C_L V_{DD}^2}{2} \quad (2.15)$$

onde E_C é a energia armazenada no capacitor, i_{VDD} é a corrente fornecida pela fonte de alimentação, v_{out} é a tensão no nó de saída, C_L é a capacitância do nó de saída e V_{DD} é a tensão de alimentação.

Como a energia tomada da fonte de alimentação durante o período de transição é dada pela Equação 2.16,

$$E_{VDD} = \int_0^{\infty} i_{VDD}(t) V_{DD} dt = V_{DD} \int_0^{\infty} C_L \frac{dv_{out}}{dt} dt$$

$$E_{V_{DD}} = C_L V_{DD} \int_0^{V_{DD}} dv_{out} = C_L V_{DD}^2 \quad (2.16)$$

onde $E_{V_{DD}}$ é a energia disponível na fonte de alimentação, isso significa que metade $(C_L V_{DD}^2 - \frac{C_L V_{DD}^2}{2})$ da energia é dissipada na resistência fonte-dreno (R_{ON}) do transistor PMOS. Assim, a energia dissipada independe do comprimento do canal do transistor PMOS. Durante a fase de descarga, a carga é removida do nó de saída, sendo que esta energia é dissipada na resistência fonte-dreno (R_{ON}) do transistor NMOS, e mais uma vez, não existe relação com a resistência fonte-dreno (R_{ON}) do transistor, nem com sua linearidade, ou tensão de *threshold*, ou mesmo com o tempo de carga do nó. Para um ciclo completo de chaveamento ($1 \rightarrow 0$ e $0 \rightarrow 1$), uma quantidade fixa de energia igual a $C_L V_{DD}^2$ é dissipada. O consumo de potência para este caso, também denominada potência dinâmica, em que o *gate* é comutado entre ON e OFF, “n” transições por segundo, é dado pela equação $P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1}$, onde $f_{0 \rightarrow 1}$ é a frequência das transições (RABAEY; CHANDRAKASAN; BORIVOJE, 2003). Observa-se para esta configuração de circuito que a transmissão de carga do terminal positivo da fonte de alimentação (V_{DD}) para o terminal negativo (GND) gera uma conversão de energia elétrica em energia térmica de forma irreversível.

2.4.2 Circuito CMOS adiabático

Nos circuitos adiabáticos, ao invés de se utilizar uma fonte de alimentação DC e o aterramento, uma fonte de alimentação alternada é utilizada para carregar o nó de saída e receber de volta a carga existente neste nó. Esta transmissão de carga reversível é a base para projetos de circuitos adiabáticos. Pelo fato da resistência R_{ON} do transistor fazer parte do caminho de transmissão da carga, a conversão da energia elétrica em calor ainda existe, mas pode ser minimizada (SALLES; KRETLY, 2017).

Considerando a Figura 2.4(b) para a análise da energia dissipada em um circuito adiabático, uma tensão que varia de zero até um valor máximo V_{DD} alimenta o circuito. Esta variação ocorre dentro de um período T e de forma lenta o suficiente para que a tensão no nó de saída $v_C(t)$ consiga seguir o sinal $v(t)$ quase que

instantaneamente, de modo que $v_C(t) \cong v(t)$. A corrente no circuito pode ser determinada pela Equação 2.17.

$$i(t) = C_L \frac{dv(t)}{dt} = \frac{C_L V_{DD}}{T} \quad (2.17)$$

A energia para carregar o nó de saída pode ser calculada pela integração da potência $p(t)$ durante o período de transição T , dada pela Equação 2.18 (TEICHMANN, 2012).

$$E = \int_0^T p(t) dt = \int_0^T v(t) \cdot i(t) dt$$

$$E = \int_0^T (v_R(t) + v_C(t)) \cdot i(t) \cdot dt \quad (2.18)$$

Como não é dissipada energia em um capacitor, a integral de $v_C(t) \cdot i(t)$, considerando um ciclo de operação, é igual a zero, e considerando ainda que $v_R(t) = i(t) \cdot R_{ON}$, temos que:

$$E = \int_0^T R_{ON} \frac{C_L^2 V_{DD}^2}{T^2} dt = \frac{R_{ON} C_L}{T} C_L V_{DD}^2 \quad (2.19)$$

onde,

$$R_{ON} = \left[\mu_{n,p} \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \right]^{-1} \quad (2.20)$$

Nesta expressão, μ é a mobilidade dos portadores, C_{ox} é capacitância do óxido de porta, W é a largura do canal, L é o comprimento do canal e V_T é a tensão de limiar de condução do transistor (*threshold voltage*).

Portanto, a energia dissipada em circuitos adiabáticos depende de R_{ON} , sendo que R_{ON} depende de parâmetros do processo de fabricação do dispositivo CMOS e ainda da voltagem aplicada entre *gate* e *source*, V_{GS} .

A energia dissipada pode ser minimizada se $T \gg (R_{ON} \cdot C_L)$. Para um ciclo completo de carga e descarga do nó de saída, a energia dissipada é calculada pela Equação 2.21 (TEICHMANN, 2012).

$$E = 2 \frac{R_{ON} C_L}{T} C_L V_{DD}^2 \quad (2.21)$$

Portanto, a potência dinâmica é dependente da frequência de operação e da taxa de subida do sinal de alimentação ($1/T$) do circuito adiabático, dada pela Equação 2.22.

$$P_{dyn} = 2 \frac{R_{ON} C_L}{T} C_L V_{DD}^2 f_{0 \rightarrow 1} \quad (2.22)$$

Circuitos adiabáticos com fontes de alimentação senoidal possuem energia dissipada, considerando uma transição de “0” para “1”, igual a (YOUNIS; KNIGHT, 1994):

$$E = \frac{\pi^2}{8} \frac{R_{ON} C_L}{T} C_L V_{DD}^2 \quad (2.23)$$

E para um ciclo completo de carga e descarga, a energia dissipada é igual a:

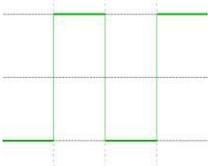
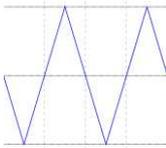
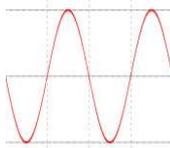
$$E = \frac{\pi^2}{4} \frac{R_{ON} C_L}{T} C_L V_{DD}^2 \quad (2.24)$$

A potência dissipada para este caso é dada por:

$$P_{dyn} = \frac{\pi^2 R_{ON} C_L}{4 T} C_L V_{DD}^2 f_{0 \rightarrow 1} \quad (2.25)$$

A Tabela 2.1 resume as equações para cálculo da potência em circuitos CMOS convencionais e adiabáticos, considerando um ciclo completo de carga e descarga, para três tipos de sinal alternado: onda quadrada (circuito convencional), rampa e senoidal (circuitos adiabáticos).

Tabela 2.1 - Equações de dissipação da potência em circuitos CMOS convencional e adiabático

 <p>convencional</p>	 <p>adiabático</p>	 <p>adiabático</p>
$C_L V_{DD}^2 f_{0 \rightarrow 1}$	$2 \frac{R_{ON} C_L}{T} C_L V_{DD}^2 f_{0 \rightarrow 1}$	$\frac{\pi^2 R_{ON} C_L}{4 T} C_L V_{DD}^2 f_{0 \rightarrow 1}$

Em circuitos MOS convencionais a variação dos parâmetros de transcondutância do processo (μ, C_{ox}) podem induzir a erros funcionais quando operam em altas frequências. Se, comparados entre si, os transistores que compõem o circuito respondem às frequências de modo mais lento ou mais rápido, e restrições de tempo (sincronização de sinais de dados e *clock*) são violadas levando o sistema a falhar. Em circuitos adiabáticos, além do fato de operarem em frequências mais baixas, a variação de fase dos sinais de tensão alternada que compõem o sistema de alimentação não é crítica para o correto funcionamento do circuito, conforme

apresentado em (SALLES; BARBIN; KRETLY, 2017). Neste trabalho não foi realizada análise paramétrica e análise da variação da temperatura.

A carga da capacitância do nó de saída em um circuito adiabático é realizada, na maioria das técnicas utilizadas, na região de operação linear do transistor MOS. A resistência encontrada no caminho desta carga, R_{ON} , definida com aproximações na Equação 2.20, vem da relação $R_{ON} = V_{DS}/I_D$, onde I_D é a corrente de dreno na região linear (RABAEY; CHANDRAKASAN; BORIVOJE, 2003), definida pela Equação 2.26.

$$I_D = \mu \cdot C_{ox} \cdot \frac{W}{L} \left((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2.26)$$

Para operar um circuito adiabático eficientemente, a frequência do *power-clock* (sinal de alimentação do circuito adiabático) deve ser baixa o suficiente para permitir ao sinal de saída (aquele observado sobre o nó capacitivo) seguir o sinal do *power-clock* de modo que a tensão de V_{DS} seja a menor possível. O impacto da variação de V_T na resistência R_{ON} é observado na Equação 2.20. À medida que C_{ox} é afetada por variações devidas ao processo de fabricação, pois t_{ox} é o principal parâmetro afetado por variações devidas ao processo de fabricação, um aumento ou redução do valor de R_{ON} é observado, com conseqüente redução ou aumento de I_D , alterando assim a potência dissipada. A redução do consumo de energia para valores de V_T globalmente inferiores deve ser considerada como uma opção de otimização de futuras tecnologias (FISCHER et al., 2005).

2.5 O sistema *power-clock*

O uso de fontes de alimentação alternada permite uma carga/descarga da capacitância do nó de saída de modo mais suave, ao invés do uso de alimentação com tensão contínua e do uso de pulsos retangulares para representar os sinais digitais. Em lógica adiabática, os sinais de dados também são modulados com o

mesmo tipo de sinal da alimentação alternada (normalmente uma onda senoidal, triangular ou trapezoidal) e com a mesma frequência do sinal da fonte de alimentação alternada, de modo que o nível lógico "1" é representado pela existência de pulsos, e o nível lógico "0" é representado pela ausência de pulsos. O sistema *power-clock* pode ser configurado com apenas um sinal alternado, ou utilizar dois, quatro ou oito sinais alternados, com uma defasagem pré-definida entre eles. No caso de se utilizar dois, quatro ou oito sinais de *power-clock*, a defasagem entre eles é de 180° , 90° ou 45° , respectivamente. Sistemas *power-clock* com uma só fase, normalmente são utilizados em portas lógicas adiabáticas; com uma ou duas fases são utilizados para portas lógicas adiabáticas em circuitos lógicos combinacionais e sequenciais; e com quatro ou oito fases são utilizados para circuitos adiabáticos sequenciais e unidades para processamento de lógica/aritmética. Neste trabalho é utilizado um sistema *power-clock* de quatro fases por se tratar de um circuito lógico sequencial, onde cada bit do contador é gerado por um flip-flop JK composto por quatro estágios sincronizados com as fases do sistema *power-clock*.

A Figura 2.5 mostra o sistema *power-clock* utilizado, bem como os seus quatro estados de operação.

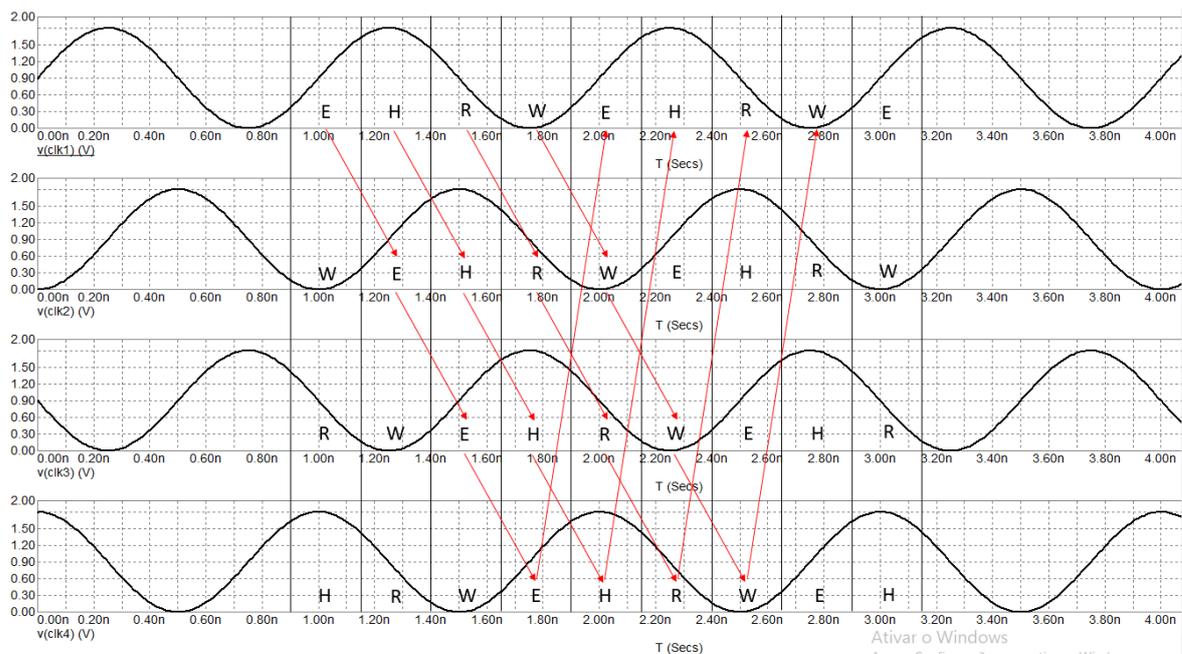


Figura 2.5 - O sistema *power-clock* com alimentação senoidal de quatro fases

No estado de operação denominado “avaliação” ($E = Evaluate$), a energia é entregue ao circuito, sendo recuperada no estado de operação “recuperação” ($R = Recovery$). No estado “E”, a saída é avaliada, considerando que a entrada, no estágio anterior, está estável. No estado de operação “estabilização” ($H = Hold$), a saída é mantida estável para entregar um sinal de entrada estável para o próximo estágio do circuito. O próximo estágio do circuito é aquele alimentado pelo sinal $power-clock_{(n+1)}$, onde “n” é o estágio do $power-clock$ atual. Em um circuito adiabático que utiliza quatro sinais de $power-clock$, o estágio seguinte ao estágio que utiliza $power-clock4$ é o estágio que utiliza o $power-clock1$. A energia é recuperada após este estado de “estabilização”. O estado de operação “espera” ($W = Wait$) é inserido apenas para fornecer uma simetria para o sistema $power-clock$. A Tabela 2.2 mostra como os estados de operação de cada fase ocorrem simultaneamente no tempo.

Tabela 2.2 - Sequência dos estados de operação do sistema $power-clock$ de quatro fases

		Sequência dos estados de operação							
Fase do $power-clock$	1	E	H	R	W	E	H	R	W
	2	W	E	H	R	W	E	H	R
	3	R	W	E	H	R	W	E	H
	4	H	R	W	E	H	R	W	E
Duração de cada estado de operação		T/4	T/4	T/4	T/4	T/4	T/4	T/4	T/4

Cada estado de operação tem a duração de $T/4$, onde T é o período referente à frequência em que o sistema $power-clock$ opera. Tomando-se como referência a fase $power-clock2$, a entrada do estágio alimentado pelo $power-clock2$ faz a avaliação (E) do sinal de saída do estágio anterior, enquanto este estágio anterior mantém sua saída em um valor estável (H). A próxima ação do estágio alimentado pelo $power-clock2$ é manter sua saída estável (H) para que o estágio alimentado pelo $power-clock3$ possa fazer a avaliação (E) do sinal de sua entrada, enquanto o estágio alimentado pelo $power-clock1$ está recuperando a energia de seu nó de saída. A próxima ação da fase $power-clock2$ é recuperar a energia do nó de saída do estágio do circuito alimentado pelo $power-clock2$, enquanto o estágio alimentado pelo $power-$

clock3 mantém sua saída estável para o estágio alimentado pelo *power-clock4* fazer a avaliação do sinal de entrada. Neste momento o estágio alimentado pelo *power-clock1* está inoperante, em “espera”. Na sequência, no próximo período $T/4$ é a vez do estágio alimentado pelo *power-clock2* permanecer em “espera”.

Cada fase do sistema *power-clock*, em função da ordem “n” do sinal senoidal que o compõe e do tempo “t”, é definida pela Equação 2.27.

$$power - clock(n, t) = A \cdot \text{sen}(2\pi ft + \varphi_n) + V_{os} \quad (2.27)$$

onde A é o valor da amplitude do sinal da tensão senoidal, f é a frequência do sinal da tensão senoidal, φ_n é a fase do sinal do *power-clock* em função de “n”, e V_{os} é o valor do *offset* do sinal da tensão senoidal. Assim, os quatro sinais de *power-clock* são definidos pelas Equações 2.28 a 2.31.

$$power - clock1(t) = A \cdot \text{sen}(2\pi ft) + V_{os} \quad (2.28)$$

$$power - clock2(t) = A \cdot \text{sen}\left(2\pi ft - \frac{\pi}{2}\right) + V_{os} \quad (2.29)$$

$$power - clock3(t) = A \cdot \text{sen}(2\pi ft - \pi) + V_{os} \quad (2.30)$$

$$power - clock4(t) = A \cdot \text{sen}\left(2\pi ft + \frac{\pi}{2}\right) + V_{os} \quad (2.31)$$

Neste trabalho, o circuito desenvolvido utiliza tecnologia TSMC 180 nm, com tensão de alimentação no *core* do chip igual a $1,8 V_{DC}$. Uma vez estabelecido este valor como premissa desta tecnologia, o sistema *power-clock* foi projetado com valor de $A = 0,9 V$. A Figura 2.6 mostra os sinais de alimentação do sistema *power-clock*, com suas respectivas equações.

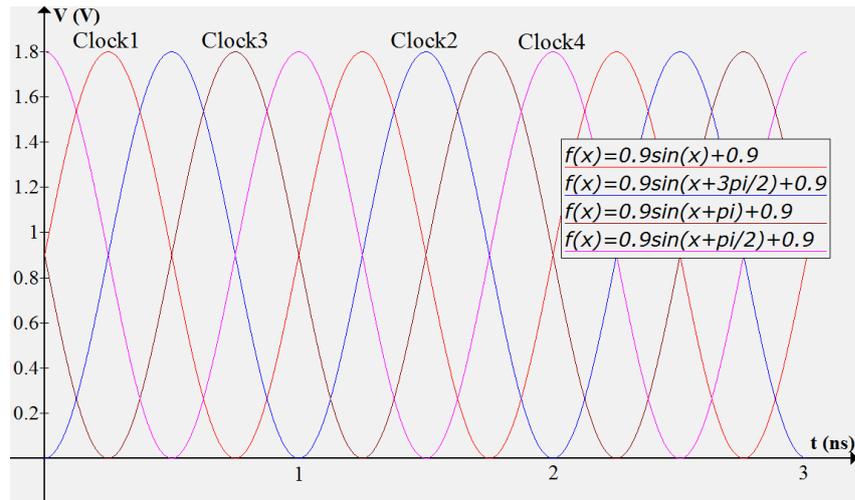


Figura 2.6 - Sistema *power-clock* utilizado na alimentação do circuito adiabático

2.6 Evolução das famílias de circuitos adiabáticos

Na metade da década de 1990 as pesquisas se intensificaram nas técnicas para circuitos adiabáticos (RABAEY; PEDRAM, 1996). A busca para redução de consumo de energia dos circuitos MOS convencionais utilizados em larga escala acelerou as pesquisas nos até então não-convencionais circuitos adiabáticos. Semelhantemente aos “circuitos lógicos reversíveis”, que recuperam as informações de entrada por meio da análise das informações de saída, os “circuitos termodinamicamente reversíveis” recuperam parte da quantidade de energia acumulada no nó de saída do circuito.

Os circuitos de recuperação de carga/energia se subdividem em circuitos adiabáticos e circuitos quase-adiabáticos. Os circuitos quase-adiabáticos possuem arquitetura e sistemas de *power-clock* mais simples. Os circuitos classificados como completamente adiabáticos possuem perdas adiabáticas menores que os quase-adiabáticos, e geralmente são mais complexos. Nestes, um percentual mais alto da carga do nó de saída é recuperado pelo sistema *power-clock*. Estes circuitos se deparam com problemas em relação à frequência de operação e à sincronização das diversas fases do sistema *power-clock* (SHINGHAL; SAXENA; NOOR, 2013).

A estrutura básica de um circuito lógico adiabático é mostrado na Figura 2.7 (BHUVANA; MANOHAR; KANCHANA BHAASKARAN, 2016). Um sistema *power-*

clock alimenta dois blocos funcionais, geralmente um bloco para execução da lógica e outro bloco para disponibilizar o resultado da função lógica para o próximo bloco do circuito sequencial. Podem apresentar uma saída simples, ou duas saídas complementares. A carga para o circuito é a capacitância do nó de saída.

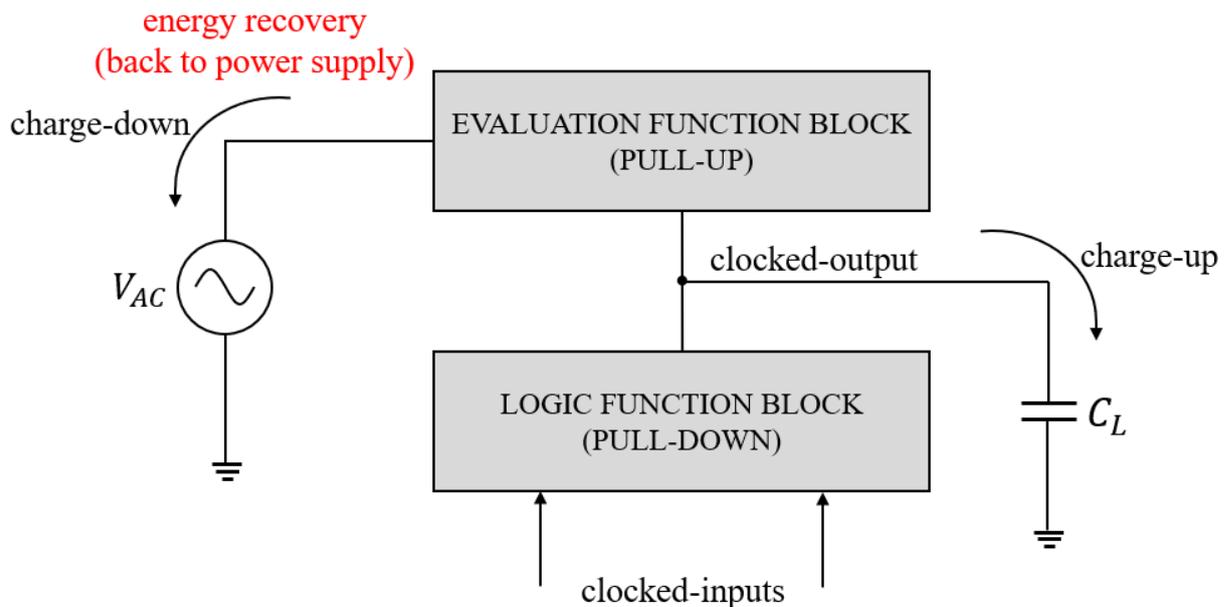


Figura 2.7 - Estrutura básica de um circuito lógico adiabático

Uma breve descrição dos circuitos adiabáticos, alinhados com a evolução para se chegar à técnica C-PAL de interesse para este trabalho, e que marcaram o referencial teórico dos circuitos adiabáticos nos últimos anos é aqui apresentada. Uma comparação entre as diversas técnicas, em relação ao valor absoluto do consumo de potência, não é realizada neste capítulo, pois esta comparação somente pode ser realizada quando os circuitos são desenvolvidos considerando os mesmos critérios para uma mesma tecnologia. Trabalhos desenvolvidos por pesquisadores nos últimos anos comparam pontualmente uma técnica adiabática com outra técnica, adiabática ou não, sob o ponto de vista de consumo de potência, utilizando simuladores.

Um dos primeiros circuitos desenvolvidos utiliza a técnica SCRL (*Split-level Charge Recovery Logic*) (YOUNIS; KNIGHT, 1994). O circuito apresentado foi o de um inversor, mas com a possibilidade de extensão para outros tipos de portas lógicas e circuitos. A Figura 2.8 mostra o circuito de um inversor SCRL. O inversor é

semelhante a um inversor convencional, exceto pela adição de um *pass-gate* na saída e que as linhas de alimentação V_{DD} e terra são substituídas por dois sinais *power-clock* complementares (daí o termo *Split-level*). Além desses sinais, dois outros sinais de *power-clock* controlam o *pass-gate*. Esta técnica é classificada como completamente adiabática.

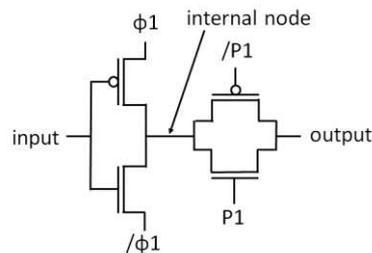


Figura 2.8 - Um inversor SCRL (YOUNIS; KNIGHT, 1994)

A técnica quase-adiabática ECRL (*Efficient Charge Recovery Logic*) usa a configuração DCVSL (*Differential Cascode Voltage Switch Logic*) e um sistema *power-clock* de quatro fases. Uma sequência de quatro portas forma um circuito completo de recuperação de energia. Esta técnica foi demonstrada através de um *carry lookahead adder* de 16 bits (YONG MOON; DEOG-KYOON JEONG, 1995). Esta técnica também é atribuída a Kramer (KRAMER et al., 1995), com a denominação de 2N-2P, por meio de um registrador de deslocamento com sistema *power-clock* de quatro fases, conforme mostrado na Figura 2.9.

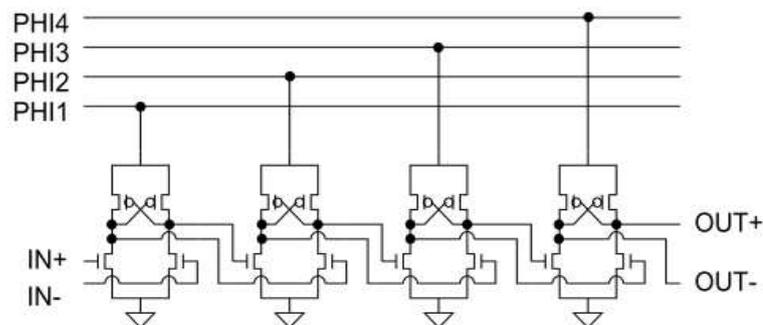


Figura 2.9 – Registrador de deslocamento utilizando porta adiabática ECRL (KRAMER et al., 1995)

Kramer ainda publicou o experimento com a técnica 2N-2N2P, onde acrescenta um par de *cross-coupled* NMOS ao circuito 2N-2P, como mostrado na Figura 2.10.

A técnica DCVSL (HELLER et al., 1984) usa um par de dispositivos NMOS (2N) no PDN (*Pull-down Network*) para avaliação da função da lógica, e um par de *cross-coupled* PMOS (2P) no PUN (*Pull-up Network*) para manter o resultado da lógica da função. A configuração DCVSL é usada como base para muitas outras técnicas de circuitos adiabáticos.

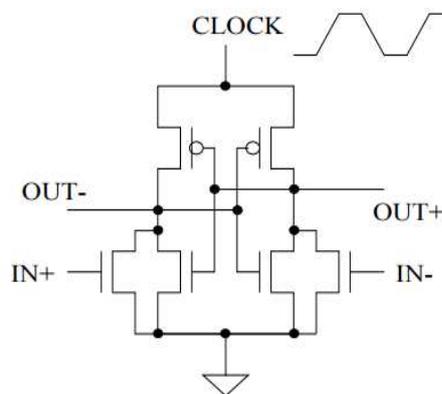


Figura 2.10 - A porta 2N-2N2P proposta por Kramer (KRAMER et al., 1995)

A técnica quase-adiabática CAL (*Clocked Adiabatic Logic*) (MAKSIMOVIC; OKLOBDZIJA, 1995) utiliza duas redes para avaliação lógica e um sinal de *power-clock*. Esta técnica é similar à 2N-2N2P, mas utiliza transistores NMOS entre a árvore de decisão e as saídas, que são acionados por sinais de onda quadrada denominados *control-clock* (CX) para acessar a avaliação da lógica. Esta configuração permite o uso de um sinal de *power-clock*, mas requer um sinal de controle adicional. A Figura 2.11 apresenta o esquema e o diagrama de sinais para um inversor CAL.

Na técnica quase-adiabática PFAL (*Positive Feedback Adiabatic Logic*) (VETULI; PASCOLI; REYNERI, 1996) os transistores NMOS para avaliação da lógica são conectados entre as saídas e o sinal de *power-clock*. A Figura 2.12 mostra a configuração de um inversor PFAL. Esta técnica apresenta baixo consumo de energia

comparada com configurações similares e possui robustez contra variações de parâmetros tecnológicos.

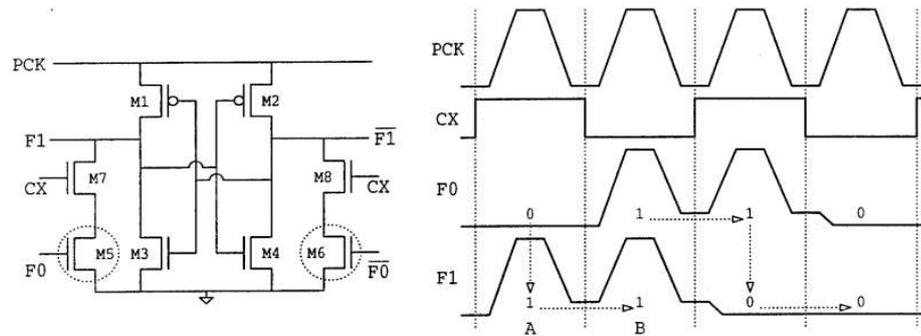


Figura 2.11 - O inversor CAL (MAKSIMOVIC; OKLOBDZIJA, 1995)

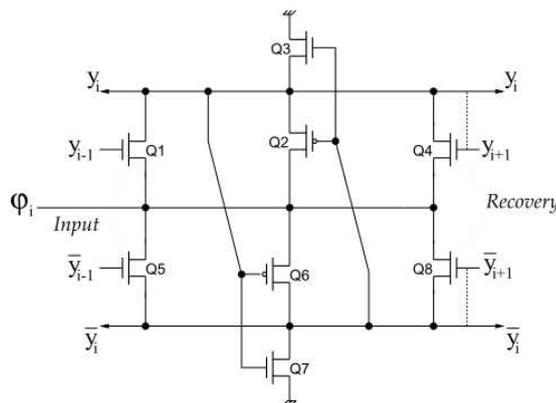


Figura 2.12 - O inversor PFAL (VETULI; PASCOLI; REYNERI, 1996)

A técnica completamente adiabática denominada PAL (*Pass-transistor Adiabatic Logic*) (OKLOBDZIJA; MAKSIMOVIC; LIN, 1997) utiliza dupla funcionalidade, pois apresenta a saída além do seu complemento, com mediana complexidade. A falta de transistores NMOS no *pull-down* do bloco de avaliação faz com que esta técnica não tenha um bom referencial de terra. Uma porta PAL consiste em blocos funcionais complementares NMOS, e um par de dispositivos PMOS na configuração *cross-coupled*. A Figura 2.13 mostra um multiplexador 2:1 utilizando a técnica PAL. *A* e *B* são as entradas, *S* é o sinal de *select*, *PC* é o *power-clock*, e *F1*, $\overline{F1}$ são as saídas.

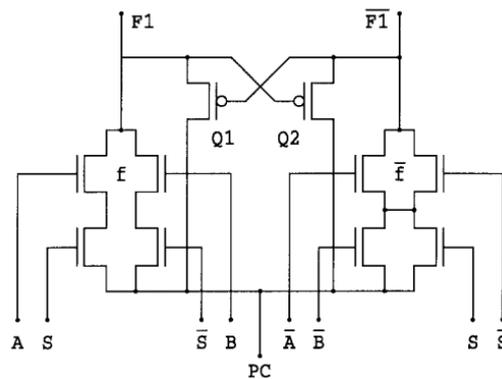


Figura 2.13 - Multiplexador 2:1 na técnica PAL (OKLOBDZIJA; MAKSIMOVIC; LIN, 1997)

A técnica quase-adiabática NERL (*NMOS Energy Recovery Logic*) (KIM; YOO; KANG, 2000) utiliza somente transistores NMOS e *power-clocks* complementares. Se adequa para aplicações que não requerem alta performance e baixo consumo de energia comparada com outras técnicas. Por utilizar somente dispositivos NMOS, é possível ocupar menor área no silício em um *layout* otimizado. A Figura 2.14 mostra um inversor NERL.

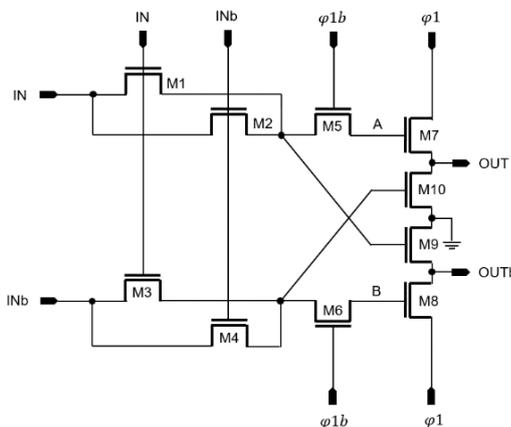


Figura 2.14 - O inversor NERL (KIM; YOO; KANG, 2000)

A técnica quase-adiabática TSEL (*True Single-phase Adiabatic Logic*) (KIM; PAPAETHYMIU, 1998) é a primeira a utilizar um *power-clock* senoidal de uma fase, e também a apresentar recuperação de energia em uma faixa larga de frequências (10 a 200 MHz). Até então as técnicas adiabáticas utilizavam alimentação

alternada com sinal trapezoidal, de fácil geração em simuladores, mas com maior dificuldade de implementação na prática. Apresenta uma carga balanceada ao *power-clock* independente do conjunto de dados a serem computados. A Figura 2.15 apresenta um inversor TSEL PMOS e um inversor TSEL NMOS.

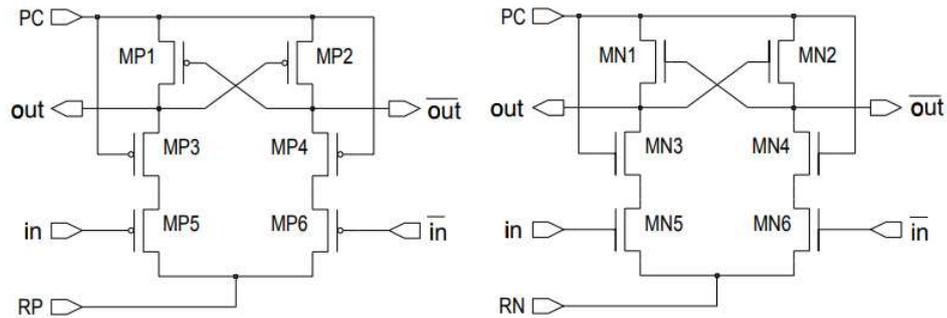


Figura 2.15 - O inversor TSEL PMOS e um inversor TSEL NMOS (KIM; PAPAETHYMIU, 1998)

A técnica quase-adiabática CPERL (*Complementary Pass-transistor Energy Recovery Logic*) (CHANG; HUNG; WANG, 2002) utiliza somente transistores NMOS no bloco de lógica e no bloco de avaliação do resultado da lógica. Utiliza um único *power-clock*, mas pode utilizar mais de um, se o circuito projetado necessitar trabalhar em cascata. A Figura 2.16 mostra o circuito de um inversor adiabático CPERL.

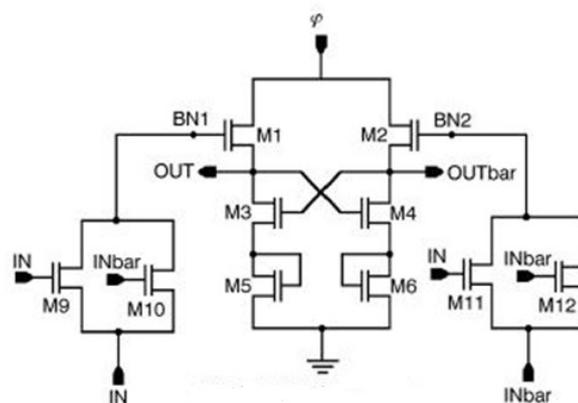


Figura 2.16 - O inversor CPERL (CHANG; HUNG; WANG, 2002)

A técnica quase-adiabática QSSERL (*Quase-Static Single-phase Energy Recovery Logic*) (LI et al., 2007) utiliza um *power-clock* senoidal sem outras fontes de voltagem adicionais. Apresenta configuração bem simplificada, sendo testada na frequência de 10 MHz, com economia de energia em torno de 50% em relação ao circuito CMOS convencional. A Figura 2.17 mostra um inversor QSSERL.

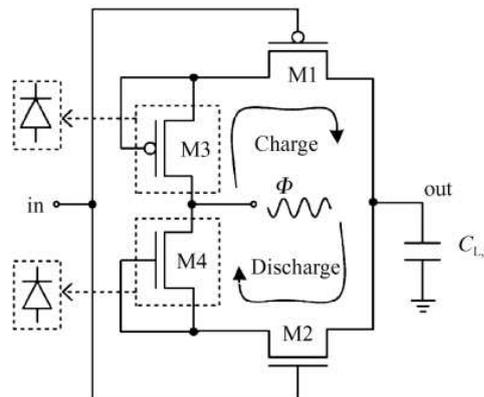


Figura 2.17 - O inversor QSSERL (LI et al., 2007)

2.7 Família CPAL (*Complementary Pass-transistor Adiabatic Logic*)

A família de circuitos adiabáticos CPAL (*Complementary Pass-transistor Adiabatic Logic*) utiliza transistores PMOS *cross-coupled* para carga do nó de saída e memorização do resultado da função lógica (HU JIANPING; CEN LIZHANG; LIU XIAO, 2003) (LIN; HU; CHEN, 2011) (XIN; HU; CHEN, 2011). Os transistores NMOS em paralelo com os transistores PMOS da configuração DCVSL possuem a função de *clamp* para garantir a estabilidade operacional prevenindo a flutuação dos nós de saída. A família CPAL evita a dissipação não-adiabática inicial na pré-carga dos nós de saída através dos transistores NMOS do bloco de lógica. Este bloco de carga do nó de saída é composto por um par de *pass-gates*. No bloco funcional, utiliza quatro transistores NMOS, conforme mostrado na Figura 2.18, formando o bloco de lógica complementar com *pass-transistor*. A variável de controle é conectada aos terminais de *gate* do bloco de lógica, enquanto a variável de passagem é conectada aos terminais de *source* dos transistores deste bloco. A configuração do circuito é simétrica, disponibilizando o resultado da lógica, bem como seu complemento.

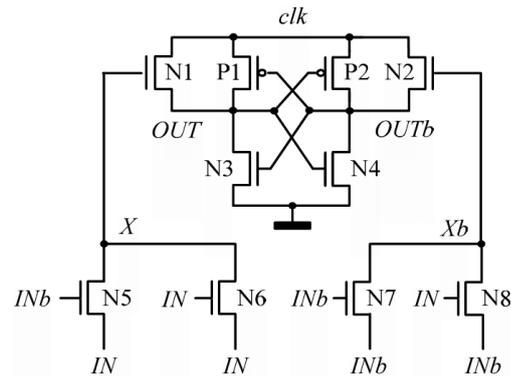


Figura 2.18 – Buffer CPAL (XIN; HU; CHEN, 2011)

Poucos anos antes da publicação de Hu Jianping, em 2001, Wong e Lau fizeram uma proposta de circuito, muito parecida com a família CPAL, batizada de C-PAL, que apresenta uma arquitetura mais racional, com a retirada dos transistores NMOS em paralelo com os transistores PMOS da configuração DCVSL, reduzindo assim dois transistores NMOS, e ainda conseguindo implementar uma porta AND/NAND com o mesmo número de transistores utilizados em uma porta inversora, por meio de uma configuração adequada das variáveis de entrada, do sinal de *power-clock* e do aterramento (WONG; LAU, 2001). Esta configuração é mostrada na Figura 2.19.

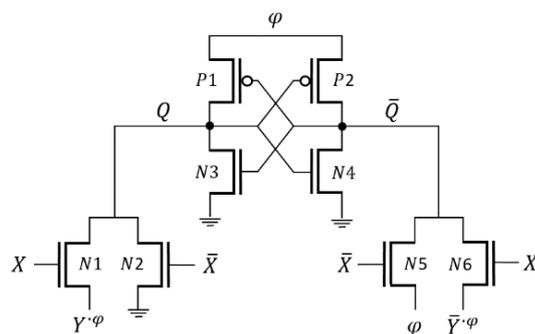


Figura 2.19 - Porta AND/NAND C-PAL (WONG; LAU, 2001)

Nesta configuração, uma das variáveis de entrada é denominada variável de “controle”, a qual é conectada ao terminal de *gate* dos transistores NMOS do bloco de lógica. A outra variável de entrada, denominada variável de “passagem”, é

conectada ao terminal de *source* de dois dos transistores NMOS do bloco de lógica. Para operar de modo adiabático, a variável de passagem deve estar em fase com o sinal *power-clock*, por outro lado, a variável de controle é um conjunto de pulsos representando os dados do sinal da outra variável de entrada. Considerando que, durante o estado (E), a variável de controle e a variável de passagem estão no nível lógico "1", os transistores N1 e N6 conduzem, fazendo com que a saída da porta siga o sinal de *power-clock*, subindo em fase com o sinal *power-clock*. A saída complementar da porta é então conectada à variável de passagem invertida, ou seja, 0 V. Quando a voltagem do *power-clock* excede V_T do transistor P1, este conduz, criando um caminho para continuar carregando o nó de saída. No estado de recuperação, a energia do nó de saída é recuperada de volta para o sistema de alimentação *power-clock* por meio dos transistores P1 e N1. A tabela verdade para as combinações dos estados dos sinais de entrada é mostrada na Tabela 2.3.

Neste mesmo trabalho Wong e Lau apresentaram um flip-flop JK e um contador binário conforme mostrado nas Figuras 2.20 e 2.21, respectivamente. O desenvolvimento desta pesquisa considera este contador como referência, sendo que a terminologia xCPAL (*Extended Complementary Pass-transistor Adiabatic Logic*) é adotada para os circuitos desenvolvidos.

Tabela 2.3 - Tabela verdade da porta AND/NAND C-PAL

EVALUATION PHASE	VARIABLES		PULL-UP		EVALUATION TREE		PULL-DOWN		EVALUATION TREE		Q (AND)	
	CONTROL	PASS	P1	P2	N1	N2	N3	N4	N5	N6	PULSE	NODE
BEFORE V_{th} P1,N4	1	1	OFF	OFF	ON	OFF	OFF	OFF	OFF	ON	YES	CHARGING via N1
AFTER V_{th} P1,N4	1	1	ON	OFF	ON	OFF	OFF	ON	OFF	ON		CHARGING via N1,P1
BEFORE V_{th} P2,N3	0	1	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF	NO	CONNECTED TO GROUND via N2
AFTER V_{th} P2,N3	0	1	OFF	ON	OFF	ON	ON	OFF	ON	OFF		CONNECTED TO GROUND via N2
BEFORE V_{th} P2,N3	1	0	OFF	OFF	ON	OFF	OFF	OFF	OFF	ON	NO	CONNECTED TO PASS via N1
AFTER V_{th} P2,N3	1	0	OFF	ON	ON	OFF	ON	OFF	OFF	ON		CONNECTED TO PASS via N1
BEFORE V_{th} P2,N3	0	0	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF	NO	CONNECTED TO GROUND via N2
AFTER V_{th} P2,N3	0	0	OFF	ON	OFF	ON	ON	OFF	ON	OFF		CONNECTED TO GROUND via N2

= Energy Recovery

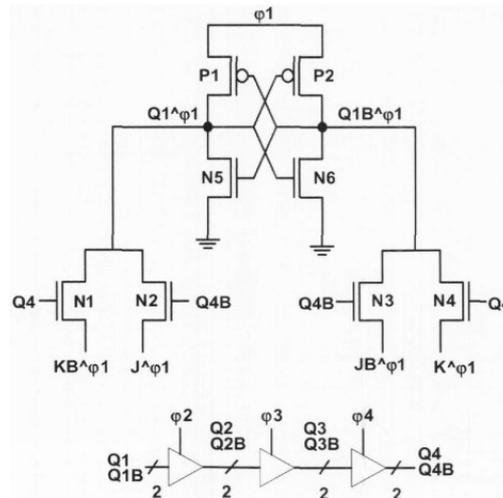


Figura 2.20 - Flip-flop JK utilizando técnica adiabática C-PAL (WONG; LAU, 2001)

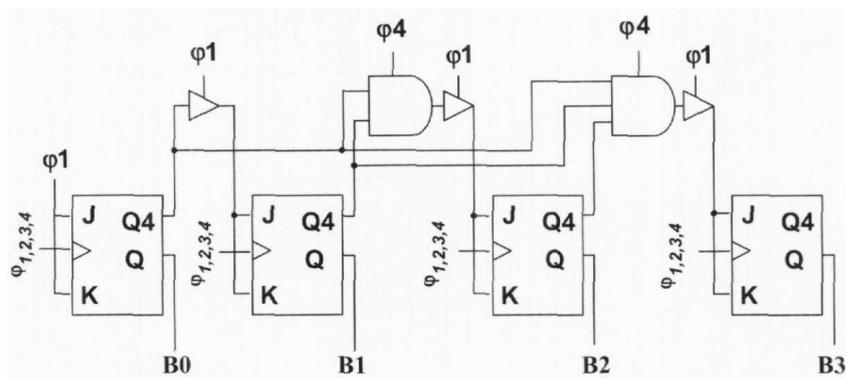


Figura 2.21 - Contador binário utilizando técnica adiabática C-PAL (WONG; LAU, 2001)

3 MODELAGEM DO CONTADOR BINÁRIO xCPAL

Os processos do projeto de um circuito integrado consistem em definir as entradas e saídas, os cálculos manuais, a elaboração dos esquemáticos, as simulações, a elaboração de *layouts*, as re-simulações incluindo parâmetros parasitas, as reavaliações das especificações das entradas e saídas, a fabricação e os testes. O fluxo destes processos é mostrado na Figura 3.1.

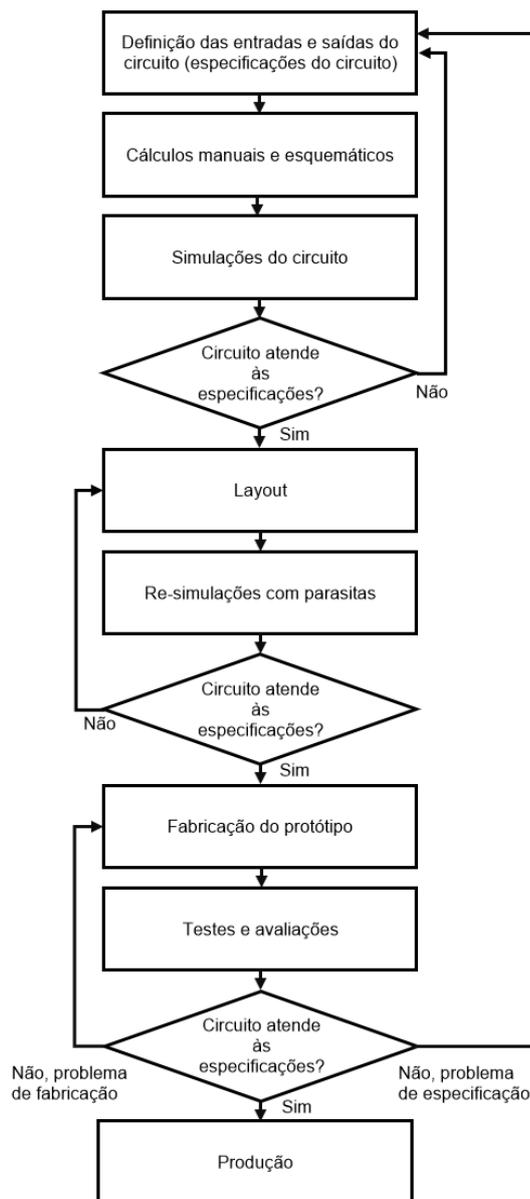


Figura 3.1 - Processos do projeto de um circuito integrado CMOS. Adaptado de (BAKER, 2010).

A tarefa de fazer o *layout* geralmente é dada a um especialista, mas é importante que o engenheiro projetista possa elaborar o *layout* para entender os parasitas envolvidos, como resistências e capacitâncias indesejáveis, indutâncias, junções PN, transistores bipolares etc., e seus problemas associados, como armazenamento de cargas, atrasos, rupturas de sinais etc. O entendimento destes problemas é importante porque geralmente limita a frequência máxima de operação do chip, e até mesmo sua correta operação (BAKER, 2010). Garantir que o projeto consiga chegar ao ponto de ser enviado para a *foundry* com todos os pré-requisitos atendidos é complexo. Não menos complexo é a caracterização do chip com um *setup* de medições adequado.

3.1 Concepção dos circuitos

O flip-flop JK adiabático é o cascadeamento da topologia de quatro portas adiabáticas AND/NAND, cada porta sendo alimentada e sincronizada por cada uma das quatro fases do sistema *power-clock*. A primeira porta do flip-flop possui configuração conforme a Figura 2.20, e as demais portas não foram definidas pelos autores Wong e Lau a nível de divulgação de suas pesquisas.

A primeira inovação proposta neste trabalho é a criação de uma configuração simplificada nas entradas da segunda, terceira e quarta porta do flip-flop (detalhada no item 2 do capítulo 3), de modo que os sinais das fases do *power-clock* pudessem fazer os sinais de dados se propagar nos quatro estágios do flip-flop, de forma adequada ao funcionamento dele. A segunda inovação é a eliminação de *buffers* entre os estágios do contador binário. O conceito de *buffer* utilizado por Wong e Lau refere-se à função de sincronização dos dados com seu respectivo *power-clock*. A terceira inovação é a utilização de duas portas adiabáticas AND/NAND com apenas duas entradas, após o segundo e o terceiro estágio do contador. Desta forma, o contador xCPAL foi projetado utilizando-se 144 transistores MOS, enquanto o contador convencional foi projetado utilizando-se 184 transistores MOS, proporcionando uma redução de aproximadamente 21% no número de transistores. Considerando que os *layouts* dos circuitos foram elaborados de modo a estar bem próximos do limite das regras de projeto (DR – *Design Rules*), com o objetivo de

otimizar a área ocupada pelos circuitos no silício, um ganho de área a favor do circuito do contador binário adiabático foi obtido.

O contador xCPAL foi projetado ocupando uma área de aproximadamente $4.680 \mu\text{m}^2$, enquanto o contador convencional foi projetado ocupando uma área de aproximadamente $6.460 \mu\text{m}^2$, proporcionando uma redução de área de aproximadamente 28%.

O diagrama em blocos do contador binário adiabático xCPAL proposto é mostrado na Figura 3.2. A escolha pela família C-PAL para desenvolver este trabalho é devido às seguintes características: simetria do bloco de lógica com utilização de sinais complementares, oferecendo estabilidade na árvore de decisão e também oferecendo conexões ao terra (ausência de flutuação do sinal); utilização de bloco de avaliação que utiliza circuito DCVSL, oferecendo estabilidade na carga do nó de saída; e ausência da dissipação não-adiabática inicial por meio da pré-carga do nó de saída através dos transistores NMOS da árvore de lógica.

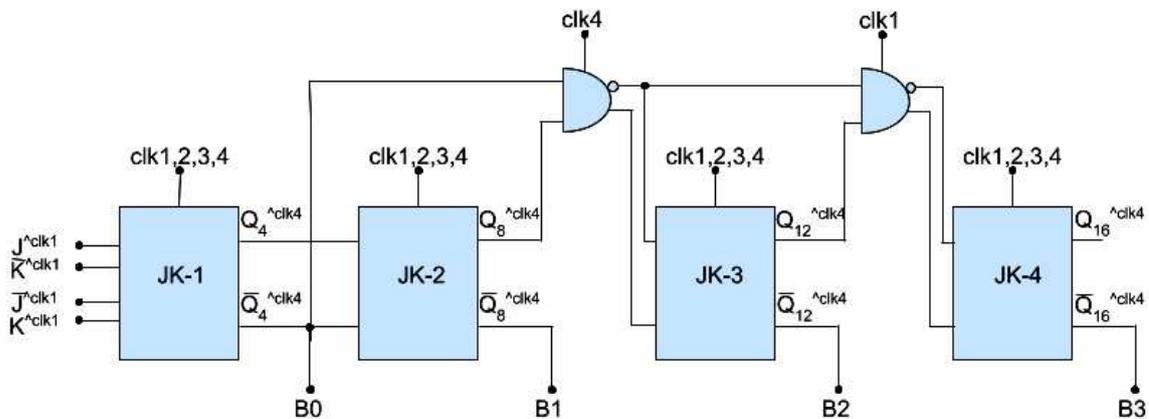


Figura 3.2 - Diagrama em blocos do contador binário adiabático xCPAL

Para se chegar à configuração apresentada na Figura 3.2 foram realizadas simulações a nível de componentes já parametrizados (EECS AT THE UNIVERSITY OF CALIFORNIA, 2017) em um simulador simplificado de mercado, para que se pudesse realizar os testes de funcionalidades do contador binário adiabático. Estas simulações são aqui denominadas “simulações preliminares”.

3.2 Simulações preliminares

O propósito destas simulações é testar a funcionalidade dos circuitos antes de realizar as simulações para a obtenção da potência consumida. Optou-se por esta etapa porque diversos testes e tentativas para colocar o circuito proposto em funcionamento seriam necessários. As atividades preliminares de simulação envolvem a escolha de um simulador com funções simples para testar a funcionalidade dos circuitos, mas com modelos eficientes para transistores MOS. O simulador Micro-Cap versão 10.9.0.2, foi escolhido devido ao modo simples de operação e configuração. Este simulador incorpora diversos modelos de parametrização dos componentes semicondutores. Neste trabalho é utilizado o modelo BSIM4 (*Berkeley Short-channel IGFET Model version 4*) (SHEU et al., 1987), baseado em modelos MOSFET SPICE (*Simulation Program with Integrated Circuit Emphasis*) (KUNDERT, 2003), com parametrização de dispositivos preditivos, para simulação de circuitos e desenvolvimento tecnológico. A tecnologia utilizada nas simulações preliminares é 0.35 μm . A Tabela 3.1 apresenta os parâmetros de transcondutância do processo (K'), a tensão de limiar de condução (V_T), a largura do canal (W) e o comprimento do canal (L) para os transistores NMOS e PMOS utilizados nas simulações preliminares.

Tabela 3.1 - Parâmetros do processo e dos dispositivos usados nas simulações preliminares

Parâmetro	NMOS	PMOS
$K' = \frac{(\mu_{n,p} \cdot C_{ox})}{2}$	94,7 $\mu\text{A}/\text{V}^2$	-31,5 $\mu\text{A}/\text{V}^2$
V_T	0,9 V	-0,9 V
W	2,5 μm	7,5 μm
L	0,35 μm	0,35 μm

O circuito da porta AND/NAND C-PAL é configurado conforme mostrado na Figura 3.3. Nesta simulação preliminar, foi utilizado um sistema *power-clock* de quatro

fases com sinais senoidais de 1,65 V de amplitude, *off-set* de 1,65 V, com frequência de 1 MHz, para alimentar e pulsar o circuito. O resultado da simulação é apresentado na Figura 3.4, mostrando o correto funcionamento da porta. Os substratos dos transistores PMOS são conectados a 3,3 V, enquanto os substratos dos transistores NMOS são conectados ao potencial do terra.

O aumento da tensão no terminal de *source* em relação ao substrato (V_{SB}), nos transistores NMOS do bloco de lógica, provocado pelas conexões das variáveis de passagem e o *power-clock* aos terminais de *source*, faz alargar a região de depleção nesses transistores NMOS, encurtando a profundidade do canal, e, portanto, reduzindo a carga total no canal, reduzindo a corrente de dreno (I_D). A diminuição da corrente de dreno é consequência do aumento da tensão de limiar de condução (V_T) desses transistores NMOS. O aumento de V_T ocorre por causa do aumento de V_{SB} e por influência do “efeito de corpo” dos transistores NMOS. Possíveis alterações no funcionamento dos circuitos desenvolvidos, por influência do “efeito de corpo” dos transistores NMOS, não são analisadas neste trabalho.

Os sinais da variável de controle x e \bar{x} , da variável de passagem y e \bar{y} , do *power-clock* clk , bem como as combinações necessárias ao funcionamento do circuito são gerados por circuitos lógicos auxiliares.

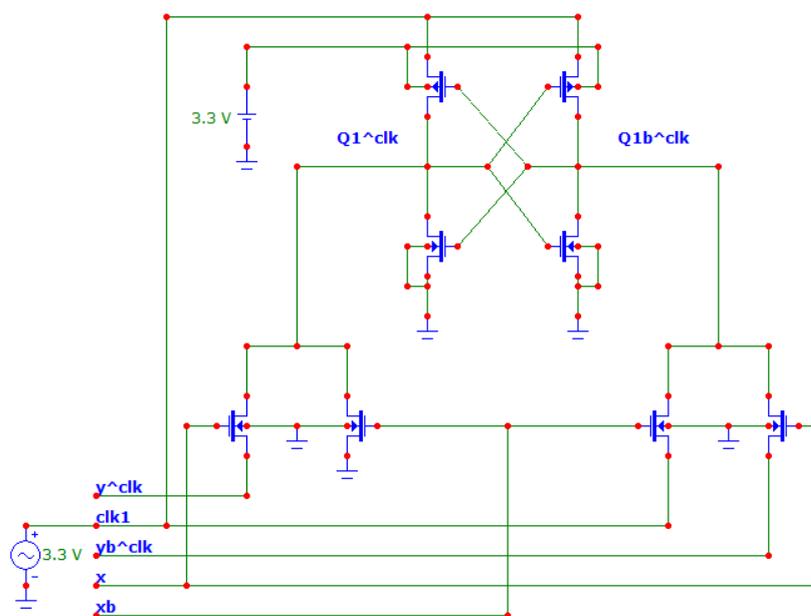


Figura 3.3 - Circuito da porta AND/NAND C-PAL nas simulações preliminares

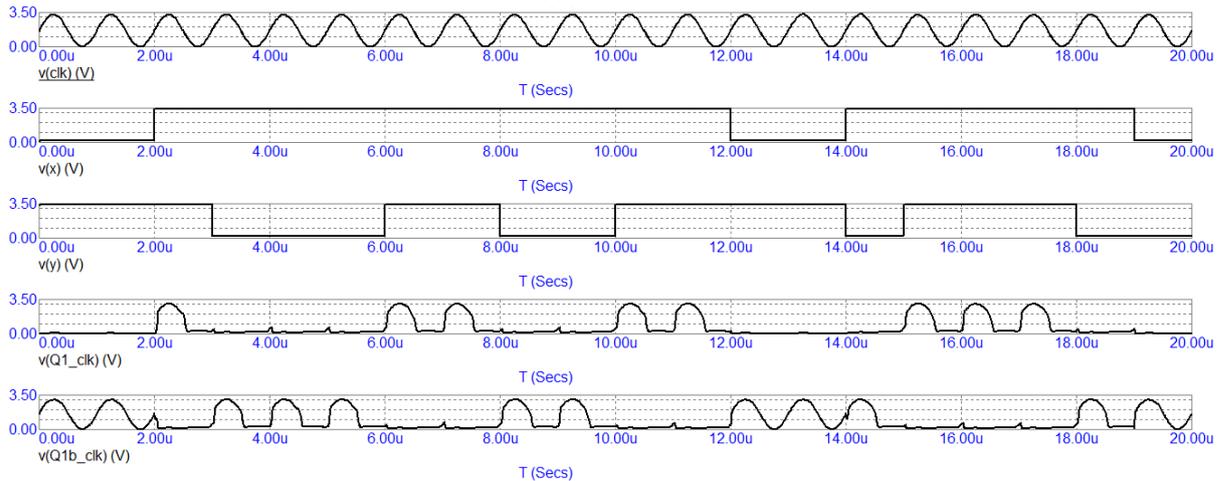


Figura 3.4 - Resultado da simulação da porta AND/NAND C-PAL nas simulações preliminares

A segunda etapa das simulações preliminares é a construção do flip-flop JK xCPAL. Uma das propostas de inovação é inserida no flip-flop JK adiabático: do segundo ao quarto estágio do flip-flop as conexões de *source* dos transistores NMOS possuem configuração como mostrado na Figura 3.5. Observa-se que os terminais de *source* dos transistores NMOS N1 e N5 são conectados ao *power-clock* do próprio estágio, enquanto os terminais de *source* dos transistores NMOS N2 e N6 são conectados ao potencial do terra. Desta forma as variáveis de passagem são o próprio *power-clock*, que ajudam a descarregar o nó de saída quando este estiver em nível lógico “1”, ou estão no referencial do terra, que ajudam a estabilizar o nó de saída em nível lógico “0”.

As variáveis de controle do estágio (n+1) são conectadas às saídas do estágio n. Quando o estágio (n+1) estiver no estado de avaliação (E) e operando com o *power-clock* atrasado 90° em relação ao estágio n, este estágio n está no estado (H), mantendo suas saídas estáveis para a correta leitura do nível lógico de entrada do estágio (n+1). As saídas do quarto estágio são realimentadas às variáveis de controle do primeiro estágio, completando o ciclo de propagação dos sinais do *power-clock*, e levando as informações de saída do último estágio para realimentar o primeiro estágio. No primeiro estágio, os sinais de controle, que são sincronizados com o *power-clock4*, habilitam as informações de passagem, que são sincronizadas com o *power-clock1*, mantendo a regra da variável de passagem estar atrasada 90° em

relação à variável de controle. Um circuito sequencial de quatro estágios se adequa à utilização de um sistema *power-clock* de quatro fases, e pode ser estendido a circuitos múltiplos de quatro estágios.

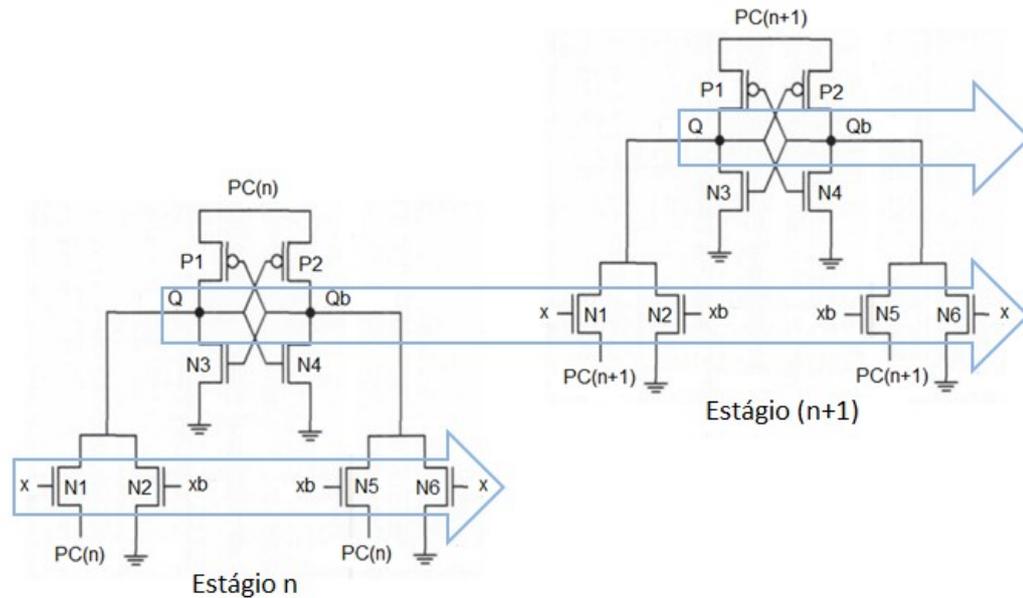


Figura 3.5 - Esquema de conexão dos terminais de *source* dos transistores NMOS da árvore de lógica para os estágios 2 a 4 do flip-flop JK xCPAL

A Figura 3.6 mostra o circuito completo do flip-flop JK xCPAL.

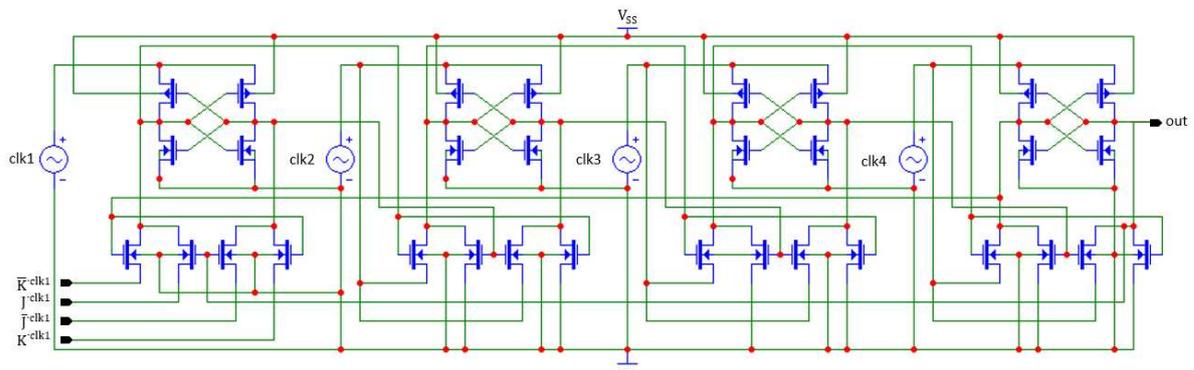


Figura 3.6 - Circuito completo do flip-flop JK xCPAL

A Figura 3.7 mostra o correto funcionamento do flip-flop JK xCPAL, apresentando as transições de saída do quarto estágio conforme as regras de

transição de um flip-flop JK convencional. A Tabela 3.2 mostra as possibilidades de estados para um flip-flop JK convencional, para que os estados apresentados na Figura 3.7 possam ser verificados, comprovando o funcionamento da técnica xCPAL. Pode-se ratificar também que nas famílias adiabáticas o *power-clock* possui a função dupla de alimentar e pulsar o circuito simultaneamente. No flip-flop JK adiabático não existe o terminal de *toggle* existente no flip-flop JK convencional, mas esta funcionalidade continua existindo.

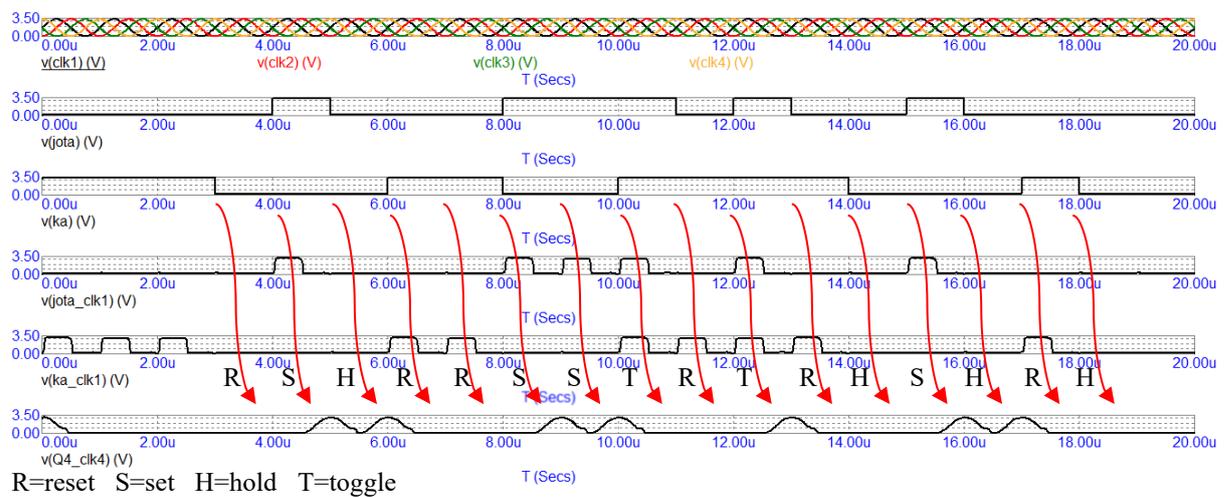


Figura 3.7 - Resultado da simulação do flip-flop JK xCPAL nas simulações preliminares

Tabela 3.2 - Tabela de estados do flip-flop JK convencional

Tabela de Estados Flip-flop JK			
Toggle	J	K	Q_{Futuro}
1 → 0	0	0	Q_{Atual}
1 → 0	0	1	0
1 → 0	1	0	1
1 → 0	1	1	\bar{Q}_{Atual}
0, 1 ou 0 → 1	X	X	Mantém-se

A Figura 3.8 mostra o sincronismo das saídas de cada estágio do flip-flop com o seu respectivo sinal de *power-clock*, bem como os sinais digitais de entrada com os seus respectivos sinais pulsados de entrada.

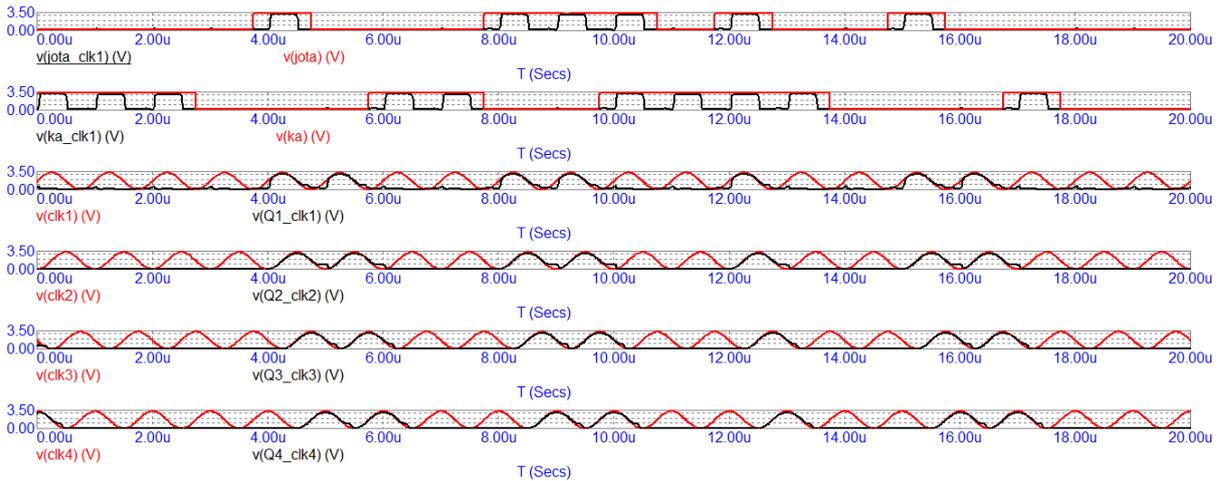


Figura 3.8 - Sincronismo das entradas e saídas de cada estágio do flip-flop JK xCPAL

O contador binário adiabático é composto por quatro flip-flops JK xCPAL. A terceira etapa das simulações preliminares é constituída pela simulação deste contador. A concatenação dos quatro flip-flops é realizada por meio das conexões exclusivas entre cada um dos flip-flops. Considerando as entradas do primeiro estágio do contador, $\bar{K} \cdot clk1$, $J \cdot clk1$, $\bar{J} \cdot clk1$ e $K \cdot clk1$, conforme mostrado na Figura 3.2, os sinais se propagam no interior do primeiro estágio conforme mostrado na Figura 3.9.

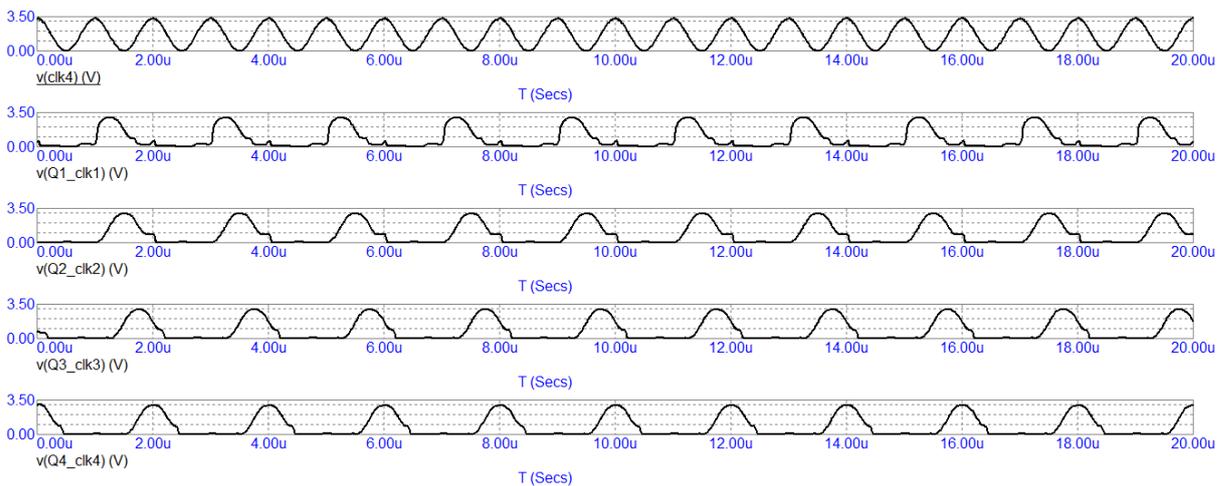


Figura 3.9 - Propagação dos sinais dentro do primeiro estágio do contador xCPAL

Entre o primeiro e o segundo flip-flop não existem conexões utilizando quaisquer portas lógicas ou *buffers*. A Figura 3.10 mostra como as saídas do último estágio do primeiro flip-flop JK estão conectadas ao primeiro estágio do segundo flip-

flop JK. Estas saídas assumem a função de bit menos significativo do contador binário, o bit “B0”. Quando o bit B0 é associado à saída Q_b do último estágio do primeiro flip-flop JK, o contador conta na ordem crescente (de 0 a 15, em decimal), mas quando o bit B0 é associado à saída Q , o contador conta na ordem decrescente (de 15 a 0, em decimal). O mesmo raciocínio também é regra para os bits B1, B2 e B3 (bit mais significativo).

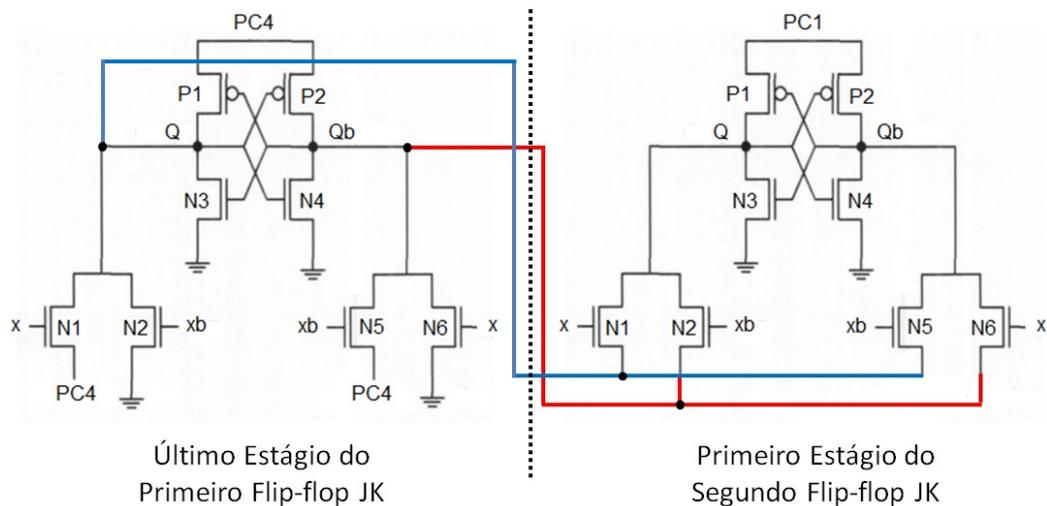


Figura 3.10 - Saídas do último estágio do primeiro flip-flop JK conectadas ao primeiro estágio do segundo flip-flop JK

As saídas do primeiro flip-flop JK entram como variável de passagem no segundo flip-flop, portanto, sincronizadas com o *power-clock4*. Como as variáveis de controle do primeiro estágio do segundo flip-flop JK também são sincronizadas com o *power-clock4* (realimentação do último estágio do flip-flop para o primeiro estágio) não está havendo defasagem de 90° entre as variáveis de controle e passagem. O fato é que o *power-clock1* continua a sequência de alimentação e pulsação do primeiro estágio do segundo flip-flop JK, sendo este, defasado e atrasado de 90° em relação ao *power-clock4*, o que não prejudica o *pipelining* do sinal dentro do segundo flip-flop. Esta deformação na saída do primeiro estágio do segundo flip-flop JK é consequência da retirada dos *buffers* em relação ao circuito tomado como referência para o projeto do contador. Com a recuperação do sinal nos estágios internos do segundo flip-flop esta deformação não afeta a integridade do sinal do BIT1 do contador que é observado no quarto estágio do segundo flip-flop. A Figura 3.11 mostra a deformação na curva

do sinal no primeiro estágio do segundo flip-flop e o sinal sendo recuperado dentro do próprio flip-flop nos estágios seguintes. Para um melhor entendimento da nomenclatura utilizada nas simulações preliminares, a Tabela 3.3 apresenta o nome do sinal de saída de cada porta lógica que constitui o contador binário.

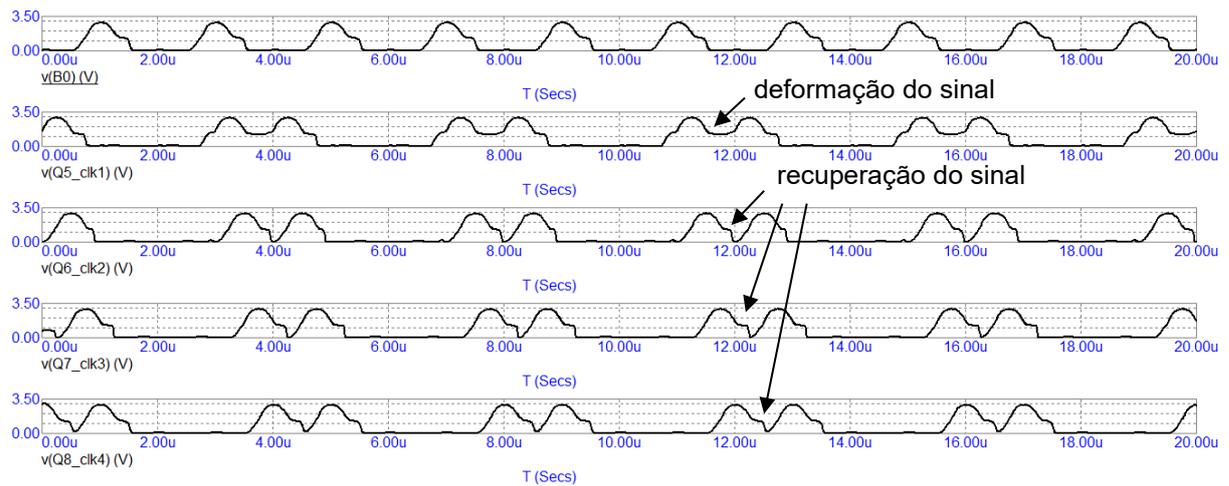


Figura 3.11 - Deformação do sinal no primeiro estágio do segundo flip-flop e o sinal sendo recuperado dentro do próprio flip-flop nos estágios seguintes.

Tabela 3.3 - Nome do sinal de saída de cada porta lógica que constitui o contador binário nas simulações preliminares

Contador Binário	1º estágio do flip-flop	2º estágio do flip-flop	3º estágio do flip-flop	4º estágio do flip-flop
1º flip-flop 1º estágio do contador	Q1_clk1	Q2_clk2	Q3_clk3	Q4_clk4
2º flip-flop 2º estágio do contador	Q5_clk1	Q6_clk2	Q7_clk3	Q8_clk4
3º flip-flop 3º estágio do contador	Q9_clk1	Q10_clk2	Q11_clk3	Q12_clk4
4º flip-flop 4º estágio do contador	Q13_clk1	Q14_clk2	Q15_clk3	Q16_clk4

Entre o segundo e o terceiro flip-flop, existe a necessidade de inserção de uma porta com a topologia semelhante à porta AND/NAND C-PAL, com o objetivo de desencadear a propagação do sinal dentro do terceiro flip-flop na condição de que os bits B0 e B1 estejam simultaneamente no nível lógico “1”. Esta porta lógica é aqui denominada *Middleware1*. A Figura 3.12 mostra o esquema do *Middleware1*.

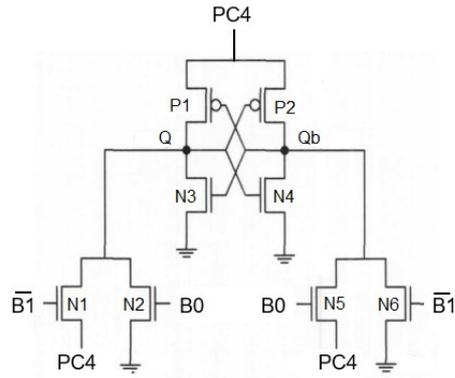


Figura 3.12 - Esquema do *Middleware1*

Diferente da porta C-PAL apresentada na Figura 2.19, as conexões da porta do *Middleware1* foram simplificadas, com conexões dos terminais de *source* da árvore de lógica conectados ao *power-clock4* e ao potencial do terra. As variáveis de controle invertidas, conectadas ao terminal de *gate* de N2 e N5, vêm de B0, porque B0 é gerado na saída NAND da porta AND/NAND, ou seja, na saída invertida da porta. O mesmo acontece com as variáveis de controle não-invertidas, conectadas ao terminal de *gate* de N1 e N6, provenientes de $\overline{B1}$, porque $\overline{B1}$ é gerado na saída AND da porta AND/NAND, ou seja, na saída não-invertida da porta.

A Figura 3.13 apresenta o diagrama de tempo para os sinais envolvidos na geração do sinal de entrada para o terceiro estágio do contador binário xCPAL.

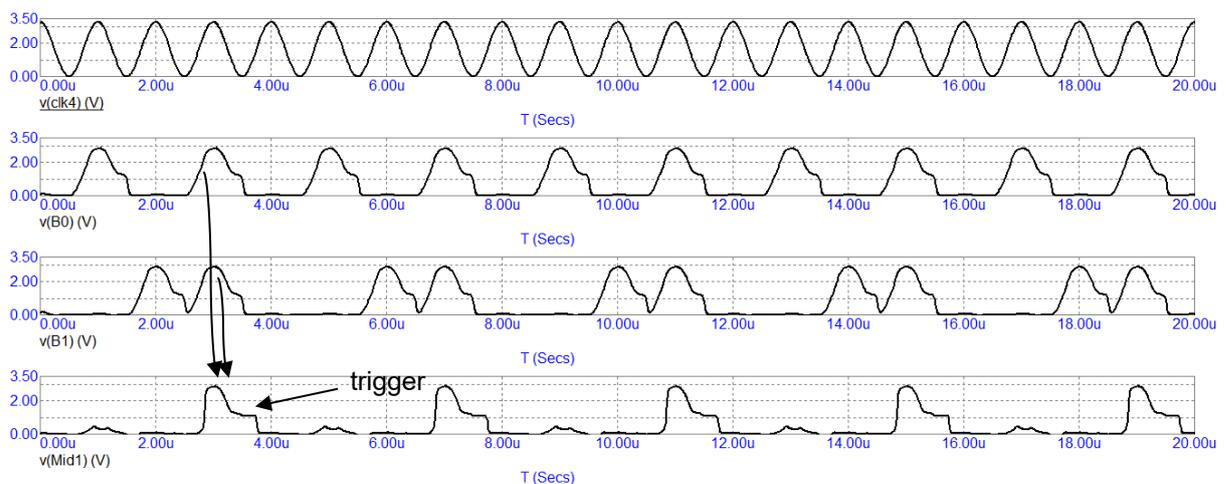


Figura 3.13 - Sinais envolvidos na geração do sinal de entrada para o terceiro estágio do contador binário xCPAL

A Figura 3.14 apresenta o circuito da primeira porta AND/NAND do flip-flop JK do terceiro estágio do contador com as conexões oriundas do *Middleware1*.

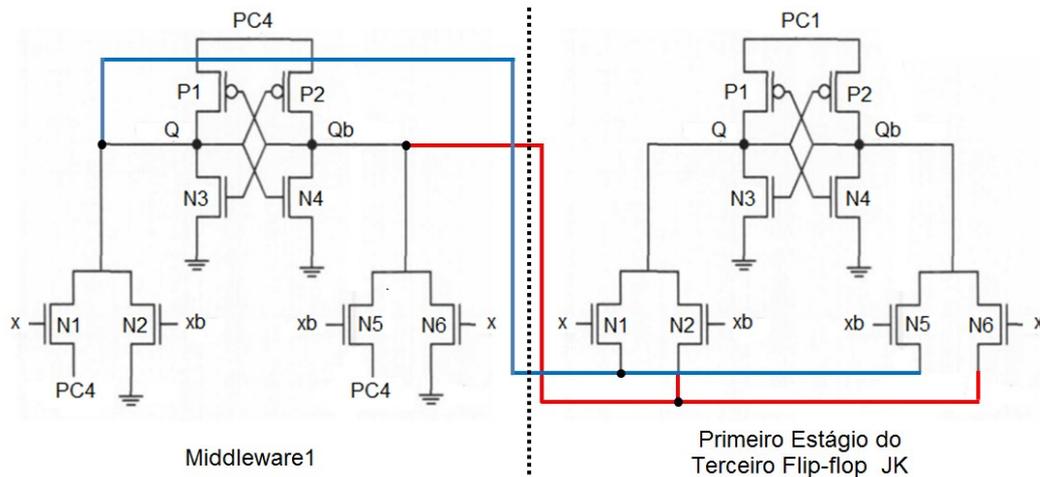


Figura 3.14 - Circuito da primeira porta AND/NAND do flip-flop JK do terceiro estágio do contador com as conexões oriundas do *Middleware1*

O terceiro estágio do contador xCPAL gera o sinal do bit B2. A exemplo do que acontece na entrada do segundo estágio, as variáveis de controle e de passagem no primeiro flip-flop JK do terceiro estágio do contador são sincronizadas com o *power-clock4*, ao mesmo tempo que neste primeiro flip-flop JK o *power-clock1* alimenta o circuito. A deformação do sinal, e a recuperação da deformação do sinal dentro do próprio estágio do contador é mostrado na Figura 3.15. Esta deformação na saída do primeiro estágio do terceiro flip-flop JK é consequência da retirada dos *buffers* em relação ao circuito tomado como referência para o projeto do contador. Com a recuperação do sinal nos estágios internos do terceiro flip-flop esta deformação não afeta a integridade do sinal do BIT2 do contador que é observado no quarto estágio do terceiro flip-flop.

Entre o terceiro e o quarto flip-flop, existe a necessidade de inserção de uma porta com topologia semelhante à porta AND/NAND C-PAL, com o objetivo de desencadear a propagação do sinal dentro do quarto flip-flop na condição de que os bits B0, B1 e B2 estejam simultaneamente no nível lógico "1". Esta porta lógica é aqui denominada *Middleware2*. A Figura 3.16 mostra o esquema do *Middleware2*.

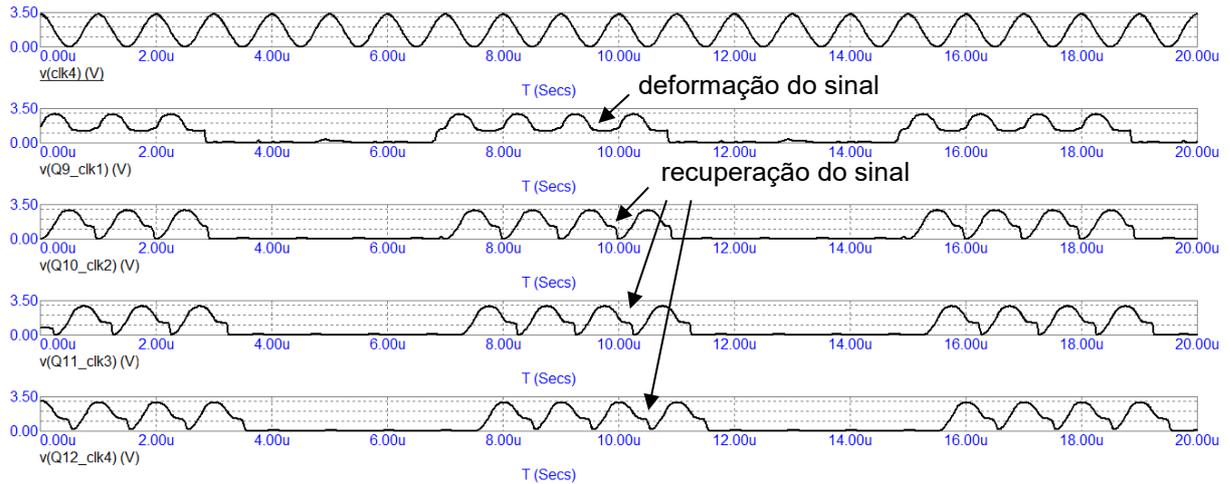


Figura 3.15 - Deformação do sinal no primeiro estágio do terceiro flip-flop e o sinal sendo recuperado dentro do próprio flip-flop nos estágios seguintes

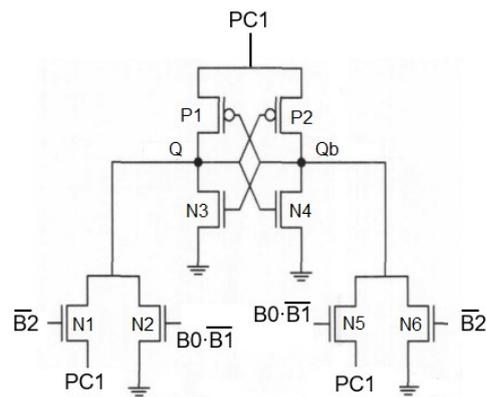


Figura 3.16 - Esquema do *Middleware2*

A geração do sinal *Middleware2* é realizada a partir da operação lógica AND/NAND entre os sinais do *Middleware1* ($B0 \cdot \overline{B1}$) e o sinal de saída do terceiro estágio do contador ($\overline{B2}$). As variáveis de controle invertidas, conectadas ao terminal de *gate* de N2 e N5, vêm de ($B0 \cdot \overline{B1}$), porque ($B0 \cdot \overline{B1}$) é gerado na saída NAND da porta AND/NAND, ou seja, na saída invertida da porta. O mesmo acontece com as variáveis de controle não-invertidas, conectadas ao terminal de *gate* de N1 e N6, provenientes de $\overline{B2}$, porque $\overline{B2}$ é gerado na saída AND da porta AND/NAND, ou seja, na saída não-invertida da porta. A Figura 3.17 apresenta o diagrama de tempo para

os sinais envolvidos na geração do sinal de entrada para o quarto estágio do contador binário xCPAL.

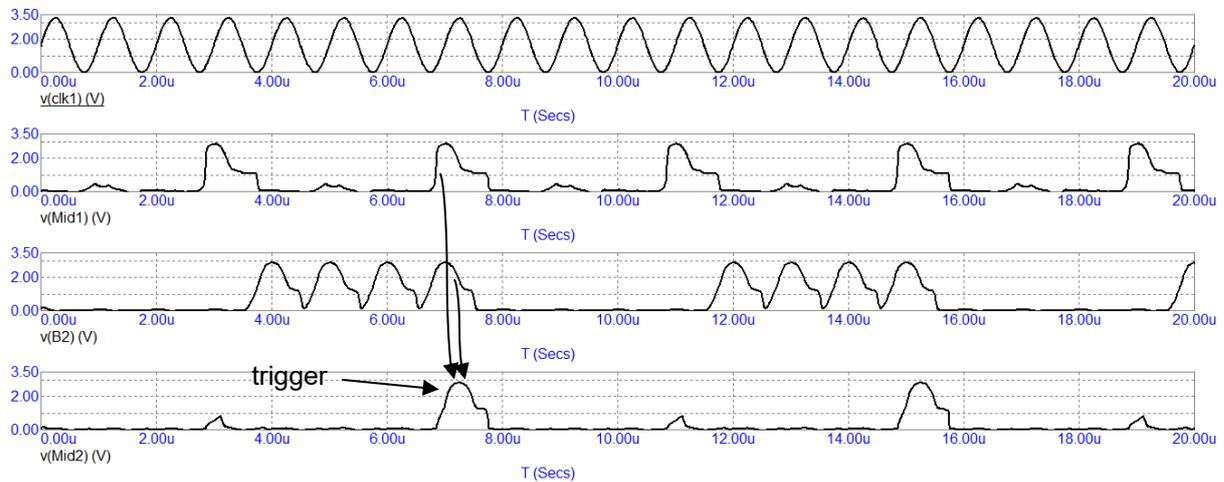


Figura 3.17 - Sinais envolvidos na geração do sinal de entrada para o quarto estágio do contador binário xCPAL

Para o circuito do *Middleware2* existe a possibilidade de se utilizar o *power-clock4* ou o *power-clock1*. Ambos poderiam gerar sinais compatíveis, em termos de sincronismo entre fases do *power-clock*, com o *power-clock1* do primeiro flip-flop JK do último estágio do contador. No trabalho apresentado por Wong e Lau, o contador adiabático utiliza uma porta AND/NAND com três entradas e um *buffer* na entrada do último estágio do contador. A porta AND/NAND é sincronizada pelo *power-clock4* e o *buffer* é sincronizado pelo *power-clock1* (WONG; LAU, 2001). Neste trabalho, com a exclusão do *buffer*, foram testados estes dois sinais de *power-clock* para se avaliar a melhor performance e o menor risco operacional, ou seja, qual *power-clock* gera menor distorção no sinal propagado dentro do último estágio do contador. As Figuras 3.18 e 3.19 respectivamente mostram como o uso do *power-clock1* ou do *power-clock4* no *Middleware2* influenciam no perfil do sinal após a primeira porta lógica do último estágio do contador, e até mesmo no correto funcionamento do contador. Quanto menor a distorção do sinal em relação ao sinal senoidal do *power-clock* menor é a corrente de dreno nos transistores PMOS no *pull-up* das portas do flip-flop JK, e conseqüentemente, menor é a potência consumida. Observa-se, comparando os

diagramas de tempo das Figuras 3.18 e 3.19, que o uso do sinal do *power-clock1* no *Middleware2* a distorção abrange metade dos pulsos após a primeira porta do último estágio do contador. Esta distorção é ocasionada pelo ruído existente no sinal de *trigger* gerado pelo *Middleware2*, mas não afeta a integridade do sinal do BIT3 do contador. Também podemos observar que a saída B3 do contador passa a funcionar incorretamente se for utilizado o *power-clock4* para a alimentação do *Middleware2*. Por esta razão é utilizado o *power-clock1* para sincronismo no circuito do *Middleware2*.

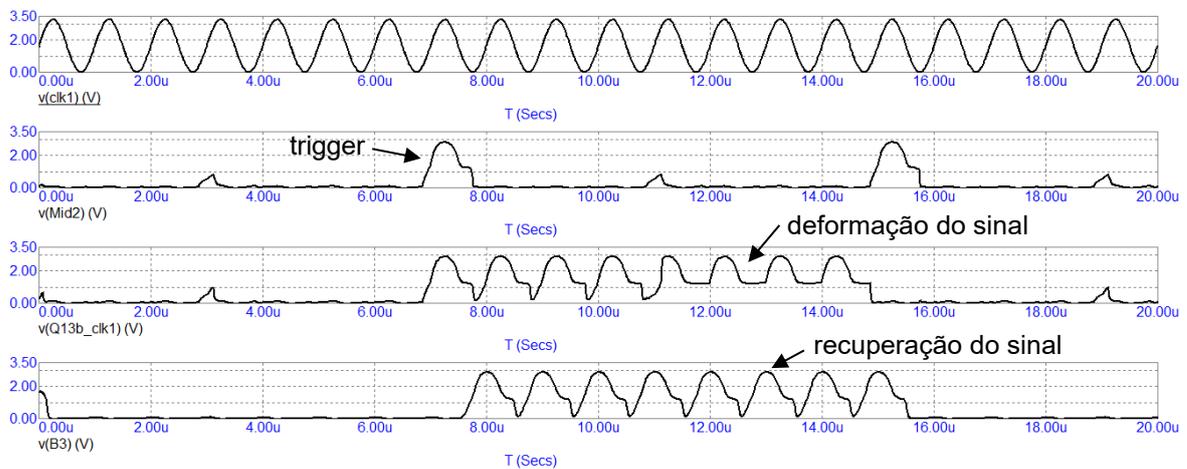


Figura 3.18 - Deformação do sinal após o primeiro estágio do quarto flip-flop JK do contador quando se utiliza o *power-clock1* como sincronismo no *Middleware2*

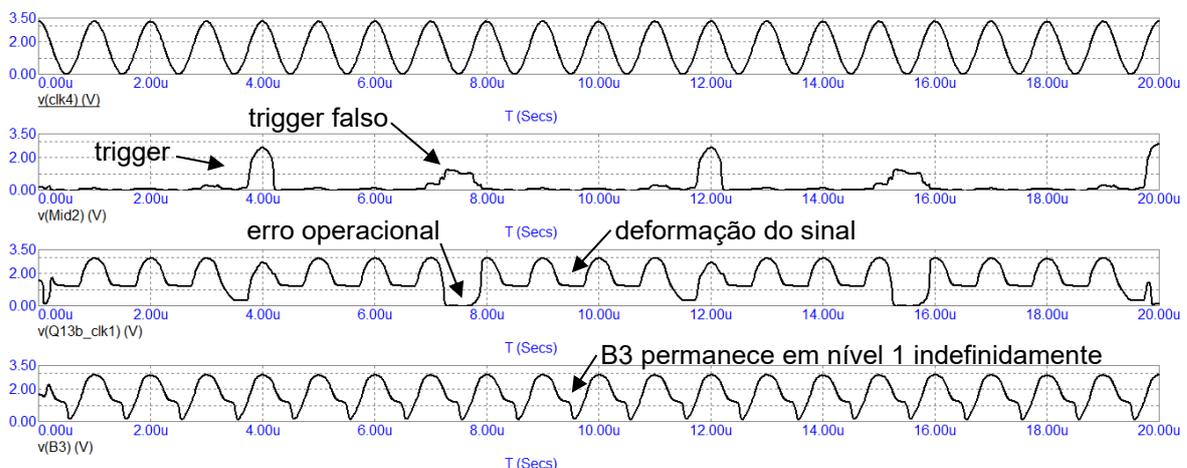


Figura 3.19 - Deformação do sinal após o primeiro estágio do quarto flip-flop JK do contador quando se utiliza o *power-clock4* como sincronismo no *Middleware2*

Diferentemente do *Middleware1*, se o *Middleware2* for sincronizado com o sinal *power-clock4*, o sinal não é recuperado após a segunda porta do último estágio do contador, conforme mostrado na Figura 3.20.

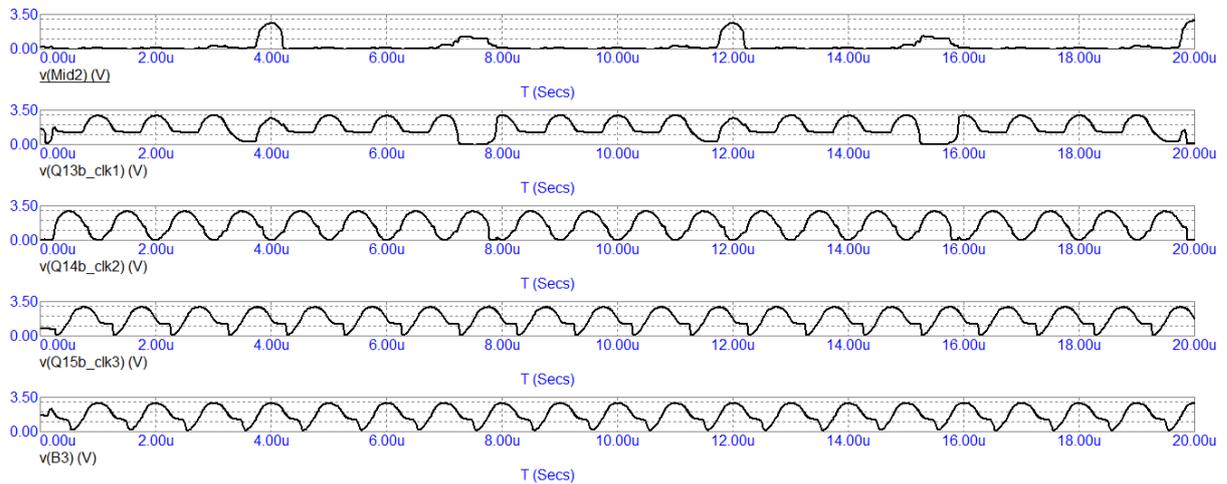


Figura 3.20 - Deformação do sinal nos estágios do quarto flip-flop e o sinal não sendo recuperado dentro do flip-flop nos estágios seguintes

A Figura 3.21 apresenta o circuito da primeira porta AND/NAND do flip-flop JK do quarto estágio do contador com as conexões oriundas do *Middleware2*.

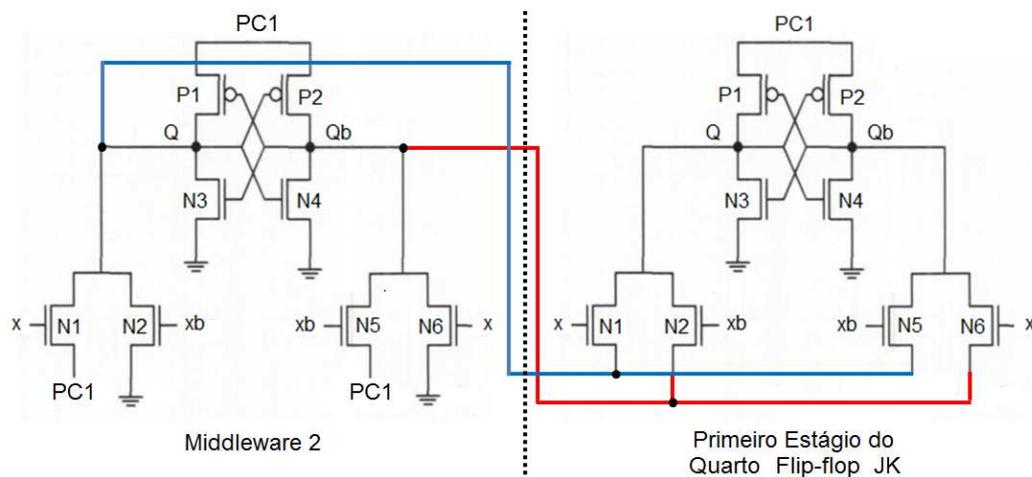


Figura 3.21 - Circuito da primeira porta AND/NAND do flip-flop JK do quarto estágio do contador com as conexões oriundas do *Middleware2*

Os quatro bits do contador xCPAL são mostrados no diagrama de tempo dos sinais na Figura 3.22. Os quatro bits são sincronizados com o *power-clock4*, pelo fato de serem tomados do último estágio de cada flip-flop JK.

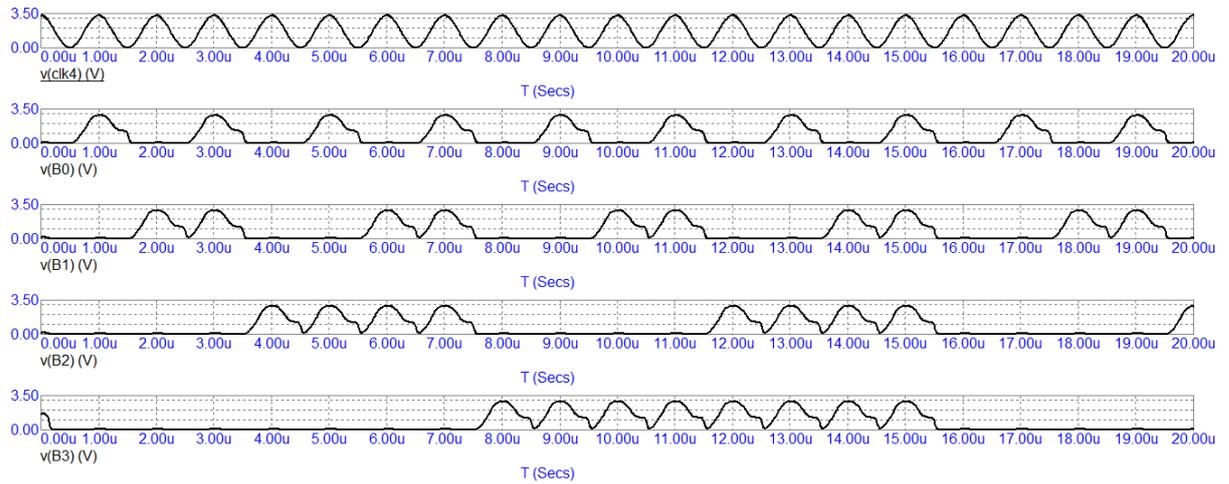


Figura 3.22 - Diagrama de tempo dos sinais dos quatro bits do contador adiabático xCPAL

4 DESENVOLVIMENTO DOS CIRCUITOS

O contador binário adiabático xCPAL é projetado utilizando o Cadence Virtuoso versão IC6.1.7-64b.500.5 com o PDK (*Process Design Kit*) da TSMC018 (*Taiwan Semiconductor Manufacturing Company 180 nm*). Para as simulações dos circuitos é utilizado o módulo *Spectre*. Os transistores utilizados são células padronizadas (*pcell*) da biblioteca do PDK denominadas “nmos2v” (*1.8 V nominal VT NMOS transistor*) com o terminal do substrato conectado ao potencial do terra, e “pmos2v” (*1.8 V nominal VT PMOS transistor*) com o terminal do substrato conectado a uma fonte de tensão contínua de 1,8 V. A Tabela 4.1 apresenta as principais características destes componentes (EUROPRACTICE, 2017).

Tabela 4.1 - Parâmetros dos transistores nmos2v e pmos2v do PDK TSMC018

Parâmetro	Transistor nmos2v	Transistor pmos2v
$K' = \frac{(\mu_{n,p} \cdot C_{ox})}{2}$	171 $\mu A/V^2$	-37 $\mu A/V^2$
$\mu_{n,p} \cdot C_{ox}$	342 $\mu A/V^2$	-74 $\mu A/V^2$
<i>L</i>	180 nm	180 nm
<i>W</i>	1 μm	1 μm
Número de fingers	2	4
<i>W total</i>	2 μm	4 μm
<i>W/L</i>	11,11	22,22
Core		
Tensão	1,8 V	1,8 V
<i>I_{sat}</i>	600 $\mu A/\mu m$	260 $\mu A/\mu m$
<i>I_{sat}</i>	1.200 μA	1.040 μA
<i>V_T</i>	0,42 V	-0,5 V
<i>I_{off_max}</i>	0,1 nA/ μm	0,1 nA/ μm
<i>I_{off_max}</i>	0,2 nA	0,4 nA
I/O		
Tensão	3,3 V	3,3 V
<i>I_{sat}</i>	600 $\mu A/\mu m$	300 $\mu A/\mu m$
<i>I_{sat}</i>	1.200 μA	1.200 μA
<i>V_T</i>	0,72 V	-0,74 V
<i>I_{off_max}</i>	0,1 nA/ μm	0,1 nA/ μm
<i>I_{off_max}</i>	0,2 nA	0,4 nA

Para reduzir a utilização de área do circuito na lâmina de silício, o que, para um circuito acadêmico não é um fator primordial, mas de grande importância na produção em massa de circuitos integrados, foram utilizadas larguras de canais padronizadas em 1 μm nos transistores NMOS e PMOS, com respectivos números de *fingers* iguais a 2 e 4, perfazendo uma largura total de canal de 2 μm e 4 μm , respectivamente. A largura padronizada de 1 μm é utilizada para possibilitar o ajuste final da largura por meio da escolha adequada do número de *fingers*. Utiliza-se a relação entre 2:1 e 3:1 devido à menor mobilidade de carga das lacunas em relação aos elétrons (HODGES; JACKSON, 1988). Esta relação, determinada pelos parâmetros de mobilidade de carga dos portadores e pela capacitância do óxido de porta, assume o valor de 4,6 para este processo de fabricação TSMC 180 nm. Com o objetivo de reduzir a corrente de dreno dos transistores PMOS dos circuitos, a relação com valor $((\frac{W}{L})_P = 2 \cdot (\frac{W}{L})_N)$ é utilizada. Esta relação implica em uma redução do consumo de potência em detrimento ao melhor desempenho quando utilizada a relação de 4,6 que garante uma inflexão exatamente no meio da excursão do sinal. A Tabela 4.1 apresenta os valores de L e W (parâmetros do componente) para os transistores utilizados no projeto, bem como os valores de I_{sat} e I_{off_max} em função das larguras dos canais dos transistores NMOS e PMOS.

O projeto do contador binário xCPAL foi concebido de forma hierárquica de modo a facilitar as simulações por etapas, bem como facilitar: a verificação e correção de erros de regras de projeto (DRC - *Design Rules Check*); a verificação e correção de erros de *layout* comparados com o respectivo esquemático (LVS – *Layout Versus Schematic*); e a extração de parâmetros parasitas (QRC – *Resistor and Capacitor Parasitic Extraction*) para permitir re-simulações com valores de resistências e capacitâncias parasitas. Desta forma é possível evoluir em direção à versão final do circuito com a redução de retrabalho no projeto, principalmente em relação à confecção de *layouts* para redução dos parâmetros parasitas. A Figura 4.1 mostra o diagrama hierárquico para elaboração dos esquemáticos para a construção do contador binário adiabático. A base para a construção do circuito xCPAL no Cadence Virtuoso é a porta adiabática AND/NAND representada no Nível 1.1 da Figura 4.1. As Figuras 4.2 e 4.3 mostram o esquemático e o símbolo da porta AND/NAND adiabática, respectivamente.

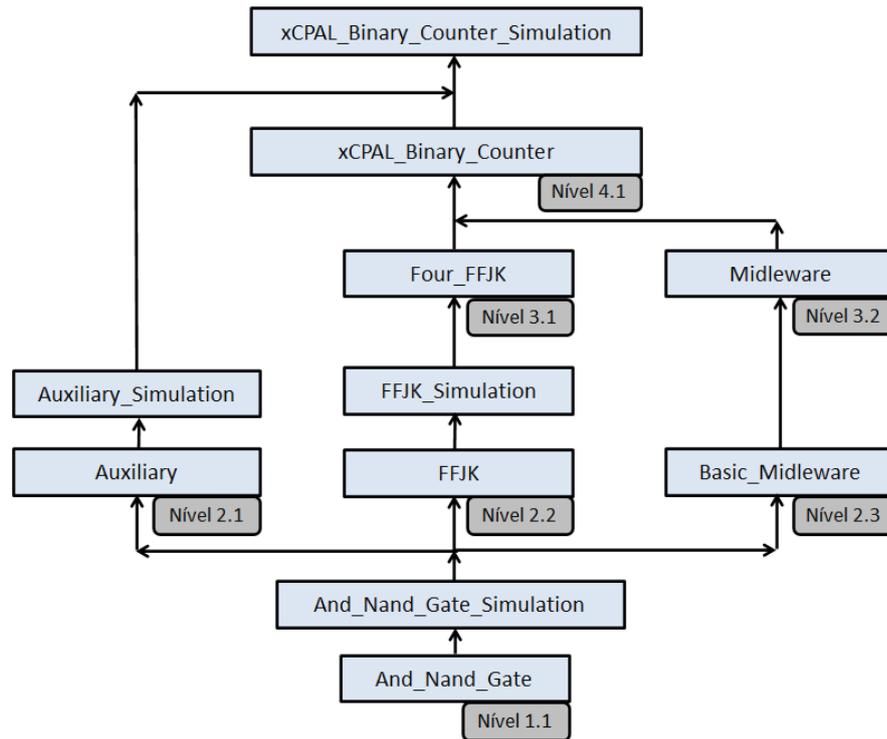


Figura 4.1 - Diagrama hierárquico para elaboração dos esquemáticos para a construção do contador binário adiabático

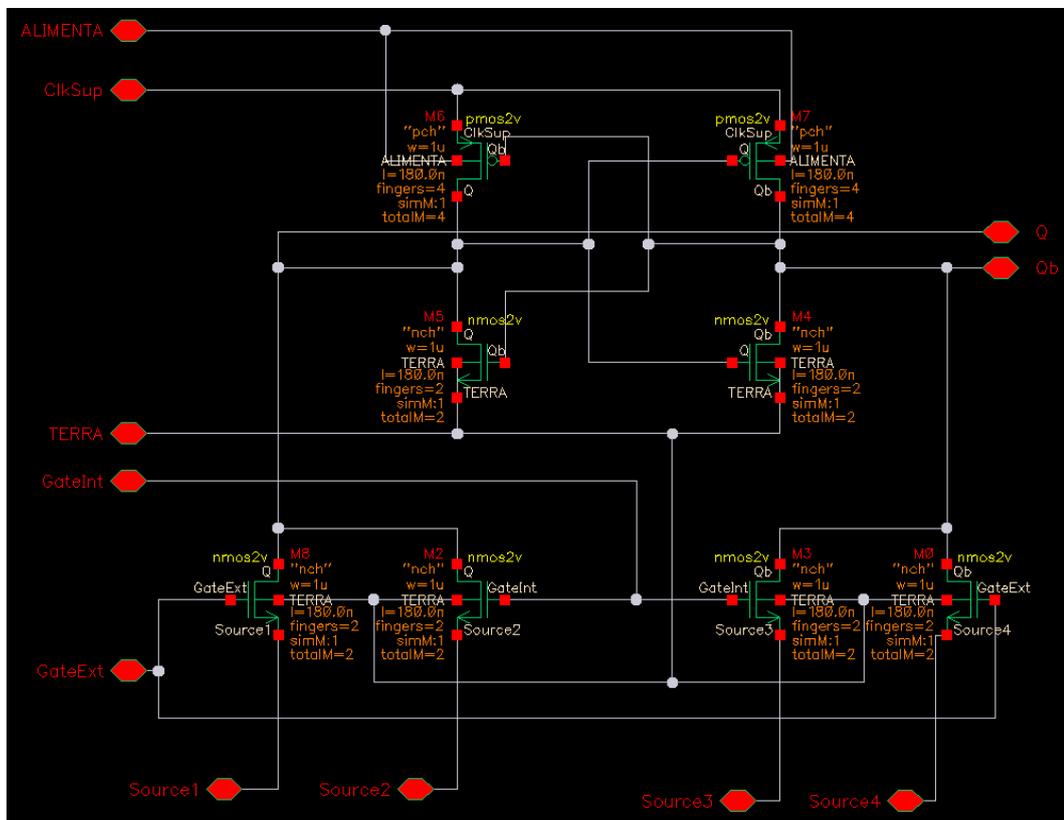


Figura 4.2 - Esquemático da porta lógica AND/NAND C-PAL

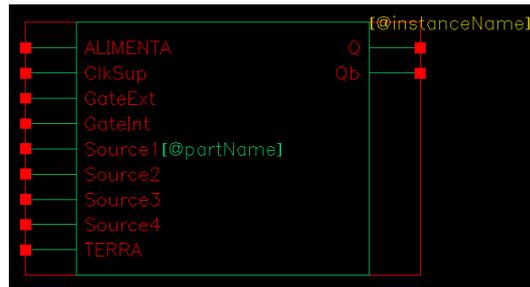


Figura 4.3 - Símbolo da porta lógica AND/NAND C-PAL

A geração do símbolo do circuito é necessária por duas razões: permite a elaboração dos circuitos nos níveis superiores de forma modular, e permite a simulação do funcionamento do circuito utilizando geradores de sinais, *probes*, ou qualquer outro dispositivo necessário para se verificar a operacionalidade do circuito. O termo “operacionalidade” é utilizado neste trabalho para indicar a execução correta da função do circuito. A porta AND/NAND possui um terminal denominado ALIMENTA, cuja função é permitir a polarização do substrato dos transistores PMOS da porta. Apenas para esta função, já que uma porta lógica adiabática não possui alimentação V_{DD} .

A simulação realizada com a porta AND/NAND tem dois objetivos. Primeiramente, verificar o correto funcionamento da porta lógica, e, obter o valor da corrente de dreno do transistor PMOS, como mostrado na Figura 3.3, quando este está em condução. A finalidade de comparar as correntes, a obtida pelo simulador e a calculada manualmente com o parâmetro de transcondutância do dispositivo ($K = K' \cdot W/L$), é verificar se o circuito está operando dentro de valores de parâmetros compatíveis com os parâmetros informados pela *foundry* para o processo de fabricação. A obtenção de valores na mesma ordem de grandeza das duas correntes, a medida e a calculada, indica que a porta adiabática possui estrutura robusta para apoiar a hierarquia que é construída sobre ela, para se alcançar o objetivo de o contador adiabático funcionar corretamente.

A Figura 4.4 mostra o circuito elaborado para simulação da porta AND/NAND para as quatro combinações das variáveis de entrada X e Y. O bloco *Auxiliary* é descrito adiante neste capítulo. Sua função é adequar sinais digitais à lógica pulsada utilizada em circuitos adiabáticos. A Figura 4.5 mostra os sinais das

saídas lógicas adiabáticas para as quatro combinações das variáveis de entrada X e Y.

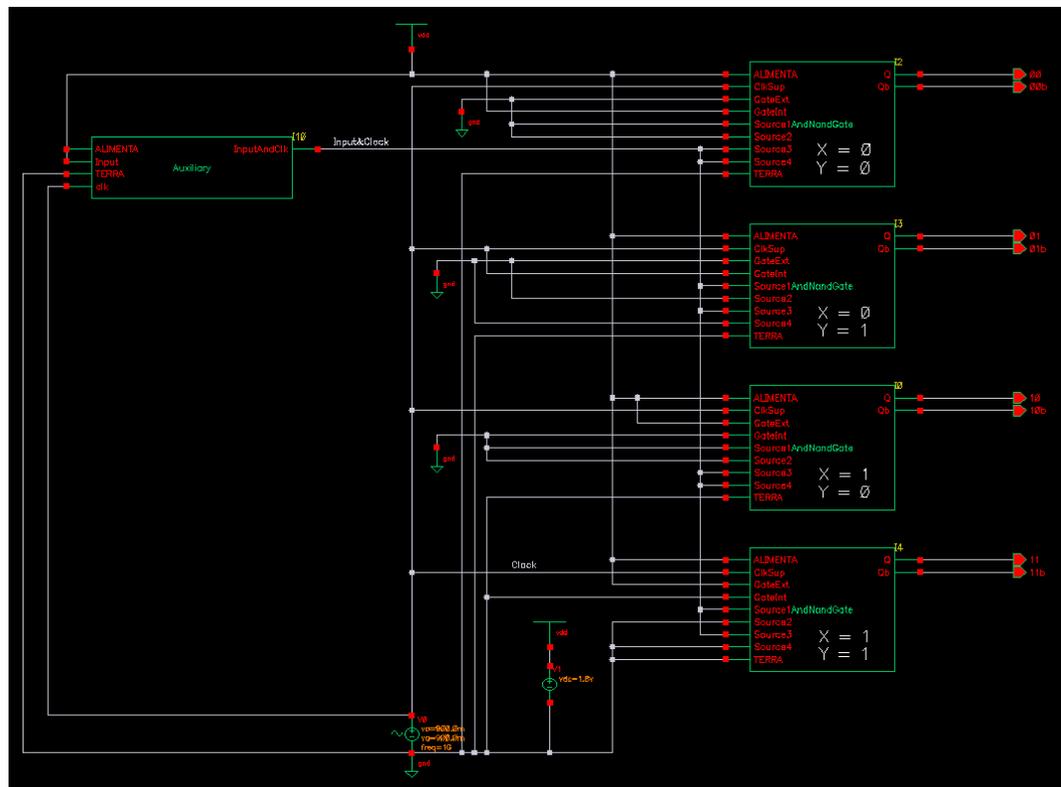


Figura 4.4 - Esquemático para simulação da porta AND/NAND C-PAL

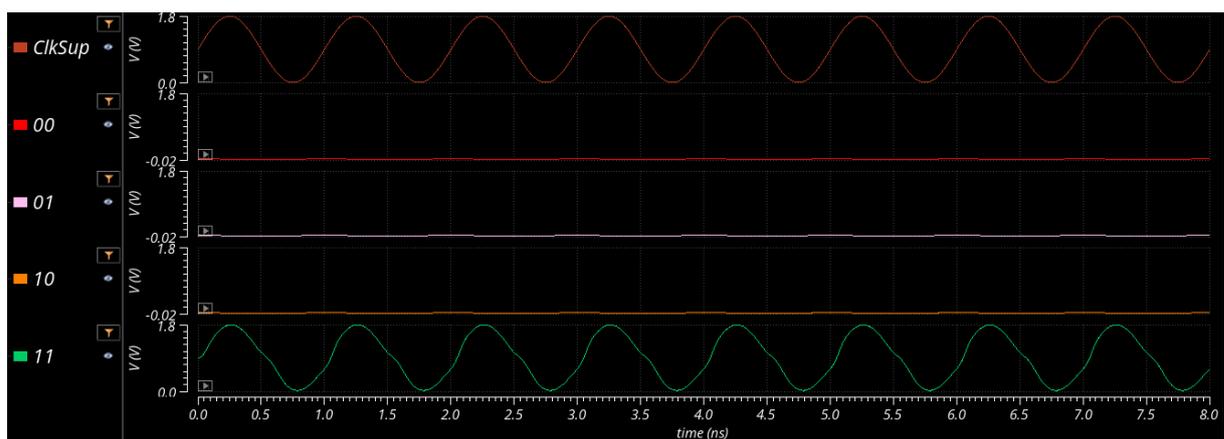


Figura 4.5 - Saídas lógicas para as quatro combinações das variáveis de entrada da porta AND/NAND C-PAL

O cálculo da corrente é realizado utilizando a Equação 2.26, que define a corrente de dreno I_{DP} do transistor PMOS da porta lógica. O cálculo da corrente é

realizado considerando a premissa de que as entradas X e Y da porta AND/NAND assumem o valor lógico “1”. Nestas condições, os valores de voltagem nos terminais do transistor PMOS da porta adiabática são definidos pelas Equações 4.1 e 4.2.

$$V_{DS} = Q - ClkSup \quad (4.1)$$

$$V_{GS} = \bar{Q} - ClkSup \quad (4.2)$$

Utilizando os parâmetros de transcondutância do processo TSMC 180 nm, os parâmetros de ganho do componente (W/L) e V_T informados na Tabela 4.1; e as Equações 4.1 e 4.2; o valor de I_{Dp} é calculado. Os valores de V_{DS} e V_{GS} (definidos pelos valores instantâneos dos sinais $ClkSup$, Q e \bar{Q}), foram obtidos do diagrama de tempo dos sinais mostrado na Figura 4.6. Este diagrama foi obtido no simulador *Cadence Spectre*, no ponto de corrente máxima para I_{Dp} , conforme mostra a linha vertical do cursor na Figura 4.6.

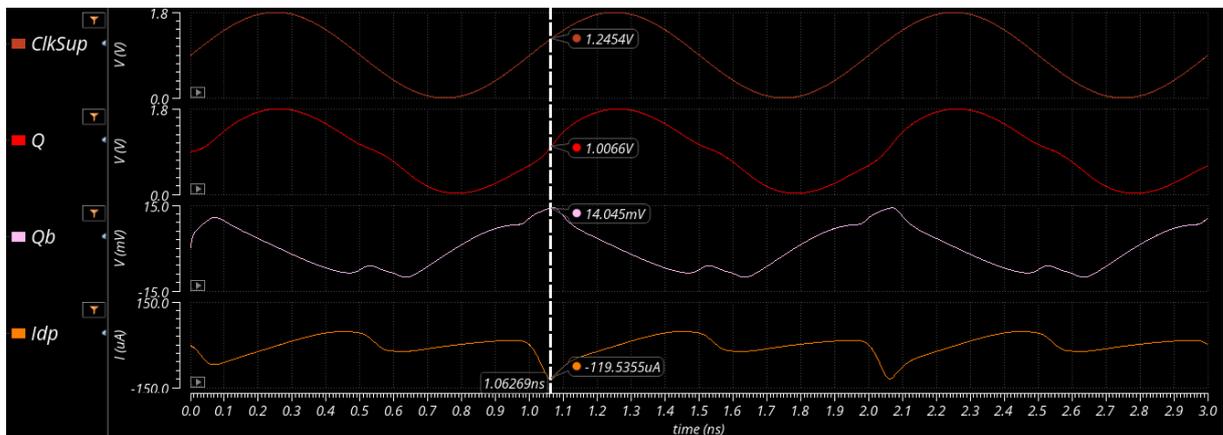


Figura 4.6 - Sinais utilizados para obtenção do valor da corrente de dreno do transistor PMOS

O valor de I_{Dp} calculado é igual a 144 μA , enquanto o simulador apresenta o valor aproximado de 120 μA conforme mostrado na Figura 4.6. Pode-se concluir que os valores calculados e simulados de I_{Dp} são da mesma ordem de grandeza e com valores absolutos próximos. Pode-se concluir também que, se o cálculo inverso for

realizado, ou seja, considerar que o I_{Dp} calculado seja $120 \mu\text{A}$, o valor de K' seria igual a $-30 \mu\text{A}/\text{V}^2$. A partir da porta adiabática AND/NAND, o flip-flop JK adiabático é elaborado conforme mostrado no nível 2.2 da Figura 4.1. As Figuras 4.7 e 4.8 apresentam o esquemático do flip-flop JK xCPAL e o seu símbolo, respectivamente.

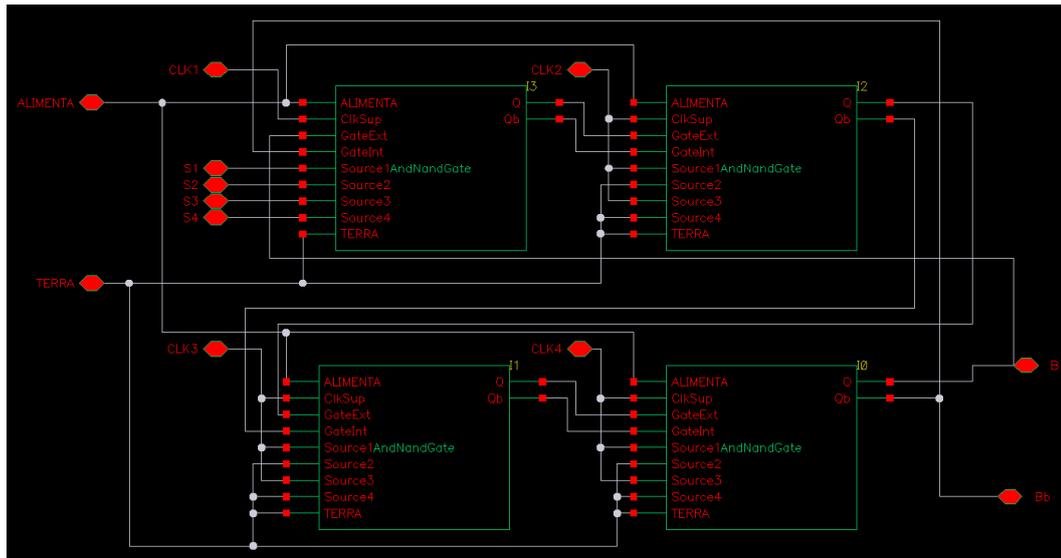


Figura 4.7 - Esquemático do flip-flop JK xCPAL



Figura 4.8 - Símbolo da flip-flop JK xCPAL

O flip-flop JK adiabático é elaborado com a interligação de quatro portas AND/NAND. A porta $(AND/NAND)_n$ é alimentada pelo sinal CLK_n , onde “n” varia de 1 a 4, sinal este conectado na entrada $ClkSup$ da porta “n”.

A saída Q da porta $(AND/NAND)_n$ é conectada à variável lógica de entrada X da porta $(AND/NAND)_{n+1}$, ou seja, aos terminais de *gate* dos dois transistores NMOS externos da árvore de lógica (PDN). Estes transistores equivalem aos transistores N1 e N6 na Figura 2.19. A entrada lógica X de uma porta AND/NAND

adiabática é representada neste esquemático pelo terminal *GateExt*. A saída Q_b da porta $(AND/NAND)_n$ é conectada à variável lógica de entrada \bar{X} da porta $(AND/NAND)_{n+1}$, ou seja, aos terminais de *gate* dos dois transistores NMOS internos da árvore de lógica (PDN). Estes transistores equivalem aos transistores N2 e N5 na Figura 2.19. A entrada lógica \bar{X} de uma porta AND/NAND adiabática é representada neste esquemático pelo terminal *GateInt*.

A Figura 4.9 mostra o esquemático utilizado para simular o funcionamento do flip-flop JK adiabático xCPAL. O bloco *Auxiliary* gera os sinais de entrada S2 e S4 para o flip-flop, sincronizados com o *power-clock* CLOCK1. Os geradores senoidais do *power-clock* são ajustados para a frequência de 1 GHz.

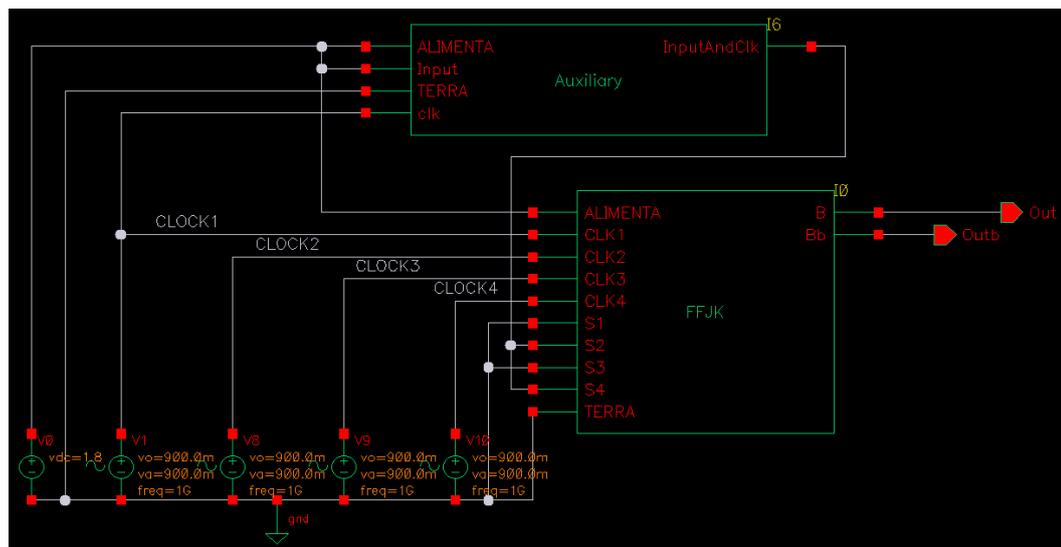


Figura 4.9 - Esquemático para simulação do flip-flop JK xCPAL

A Figura 4.10 apresenta os resultados da simulação do flip-flop JK adiabático. A saída *Out* é sincronizada com o *power-clock* CLOCK4. Observa-se que, como o sinal *Input&Clock* é derivado do sinal *power-clock* CLOCK1, a saída *Out* possui a frequência do sinal CLOCK1 dividida por dois.

Assim, observa-se que a função do flip-flop JK, ou seja, dividir por dois a frequência do sinal de sua entrada pulsada, quando está com suas entradas J e K em nível lógico “1”, comprova o seu funcionamento. Na Figura 4.10, os sinais *Est1*, *Est2* e *Est3* são as respectivas saídas dos estágios internos do flip-flop JK.

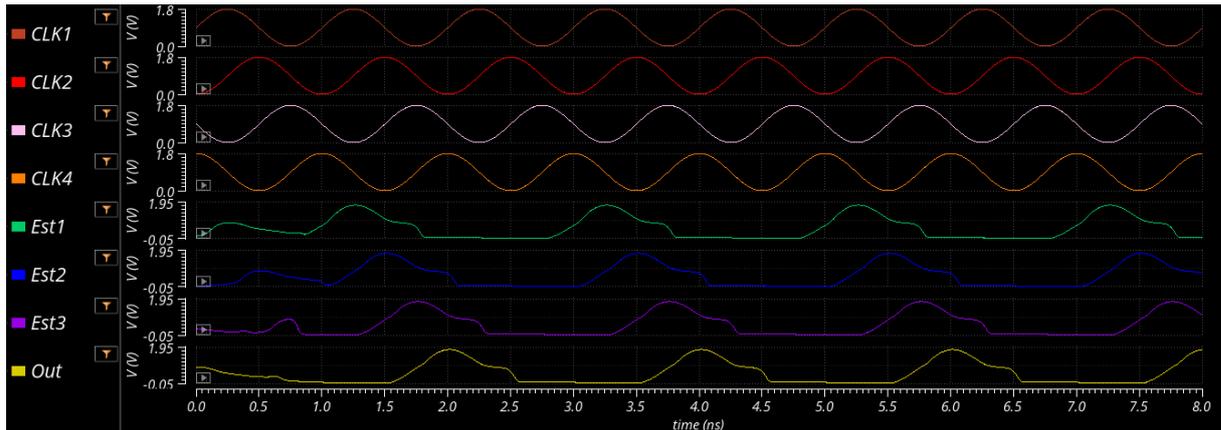


Figura 4.10 - Resultados da simulação do flip-flop JK xCPAL

Esta é uma simulação com o objetivo de verificar o funcionamento do flip-flop JK. No Capítulo 6 são abordados os resultados referentes ao consumo de potência, tanto do flip-flop JK, quanto do contador adiabático, ambos comparados com seus respectivos circuitos convencionais alimentados com tensão contínua (V_{DD}). O circuito *Auxiliary* possui a função de gerar um sinal de entrada para os circuitos adiabáticos com o objetivo de transformar um sinal digital em um sinal pulsado, utilizado em lógica adiabática. A Figura 4.11 apresenta o esquemático elaborado tendo como base a porta AND/NAND C-PAL. A entrada *Input* é a variável de controle, enquanto a variável de passagem opera na frequência do circuito sendo conectada à entrada *clk*.

O circuito da porta AND/NAND pode ser configurado para realizar qualquer uma das quatro combinações das entradas para realizar operações lógicas, mas o circuito *Auxiliary*, baseado em uma porta AND/NAND, foi configurado para realizar a operação AND/NAND com a variável de controle *Input* com valor lógico igual a “1”. Isto pode ser observado na Figura 4.12, onde o esquemático para a simulação do circuito *Auxiliary* é apresentado.

Na simulação do circuito flip-flop JK os sinais de entrada S2 e S4, mostrados na entrada do flip-flop JK na Figura 4.9, poderiam ser conectados diretamente à fonte de alimentação senoidal CLOCK1. O uso do circuito *Auxiliary*, que aparentemente pode parecer não ser necessário, pois praticamente reproduz o sinal do *power-clock*, é utilizado para que se possa garantir que a teoria da lógica adiabática pudesse ser integralmente aplicada.

A Figura 3.6 mostra que a variável de passagem (assim como a variável de controle) na entrada do flip-flop é combinada com o sinal do *power-clock*. Esta condição foi estabelecida na simulação dos circuitos xCPAL, com a introdução do circuito *Auxiliary*, porque de alguma forma, o não cumprimento deste quesito, poderia influenciar nos resultados da simulação e medição dos valores de potência consumida pelo contador binário adiabático.

As Figuras 4.13 e 4.14 mostram as diferenças de fase e amplitude, respectivamente, do sinal do *power-clock* em relação ao sinal de saída do circuito *Auxiliary*. A diferença de fase chega a 2% em relação ao período do sinal, enquanto a diferença de amplitude chega a 7% em relação à amplitude pico-a-pico do sinal.



Figura 4.11 - Esquemático do bloco *Auxiliary*



Figura 4.12 - Esquemático para simulação do bloco *Auxiliary*

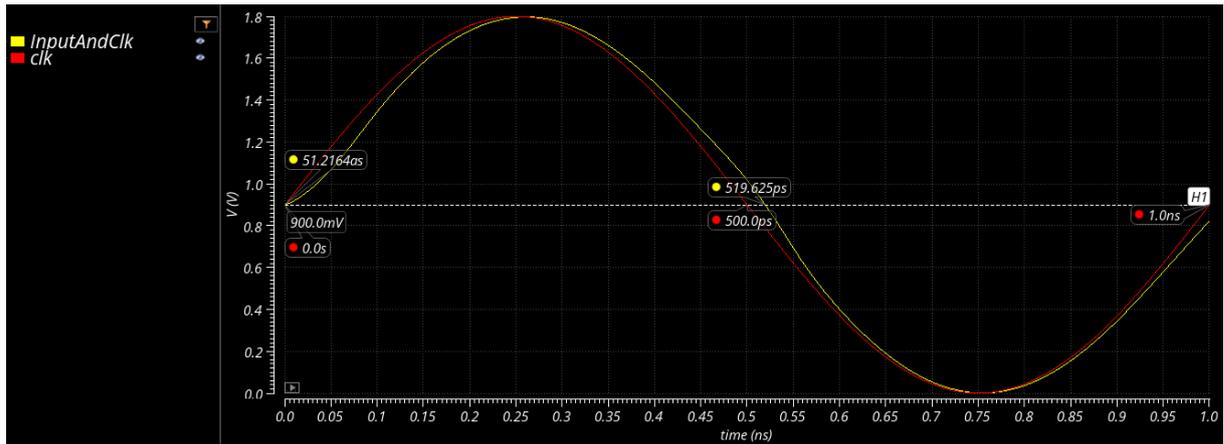


Figura 4.13 - Diferença de fase entre o sinal do *power-clock* e o sinal de saída do circuito *Auxiliary (InputAndClk)*

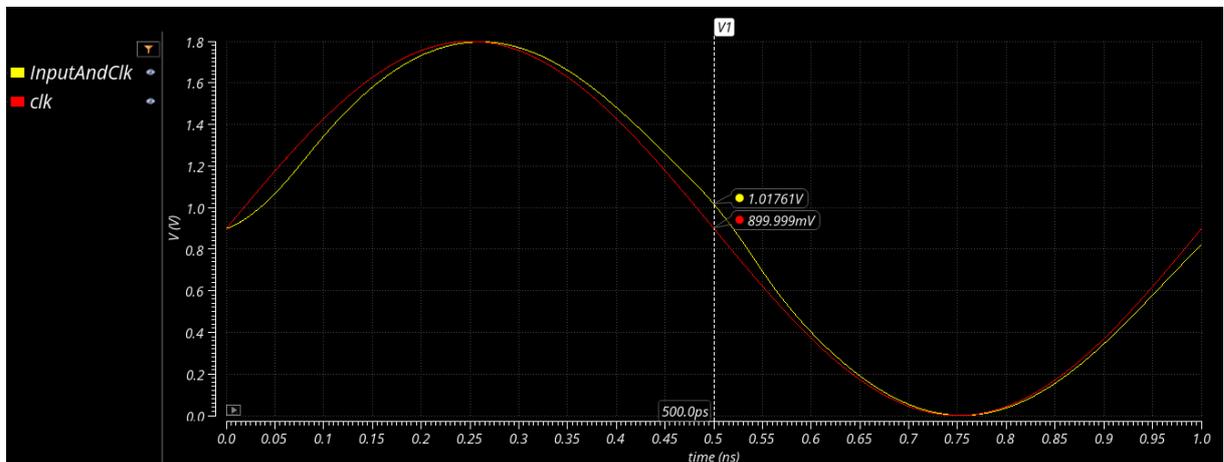


Figura 4.14 - Diferença de amplitude entre o sinal do *power-clock* e o sinal de saída do circuito *Auxiliary (InputAndClk)*

A etapa seguinte da elaboração dos esquemáticos é a conexão de quatro flip-flops JK, de modo a construir um bloco que, acoplado ao esquemático do *Middleware*, obtenha-se o esquemático completo do contador binário adiabático. O esquemático do *Middleware* é basicamente uma porta AND/NAND C-PAL, mas a dificuldade encontrada durante a pesquisa foi a definição da correta combinação do sinal de *power-clock* a utilizar nos terminais de entrada dos flip-flops, bem como a definição dos sinais de saída do segundo e terceiro estágio do contador binário adiabático, a serem utilizados como sinais de entrada para o *Middleware*. Em (WONG; LAU, 2001) os sinais de *power-clock* utilizados para sincronizar o acoplamento entre os estágios 2 e 3, e os estágios 3 e 4 do contador, são: o sinal *power-clock* para alimentar as portas lógicas entre tais estágios, e o sinal *power-clock* para alimentar os

buffers entre tais estágios. Ao passo que, neste trabalho, apenas uma porta lógica é utilizada entre os estágios 2 e 3, e outra porta lógica é utilizada entre os estágios 3 e 4. A definição de qual sinal de *power-clock* seria utilizado para alimentar estas duas portas lógicas de interligação entre tais estágios foi realizada experimentalmente nas simulações preliminares. O seguinte raciocínio pode agora complementar os resultados das simulações preliminares. O *Middleware* não faz parte do conjunto de portas que compõem os flip-flops, e hierarquicamente, irão compor o contador; portas estas que devem ser alimentadas pelo esquema de sinais senoidais defasados que constituem o sistema de alimentação do contador. Além disso, a função do *Middleware* é gerar um sinal no momento adequado para disparar o estágio seguinte do contador. O sinal de *trigger* gerado pelo *Middleware1* é sincronizado pelo *power-clock4*, sendo que os sinais da variável de controle do *Middleware1* provenientes dos bits “0” e “1” do contador também são sincronizadas com o sinal do *power-clock4* fazendo com que não exista defasagem de 90° entre variáveis de controle e passagem. Como este sinal de *trigger* é isolado no domínio do tempo (não existe um pulso de *trigger* adjacente a outro), este fato não acarreta problema na geração do pulso. Este efeito de não existir defasagem de 90° entre variáveis de controle e passagem é ocasionado pela retirada dos *buffers* em relação ao circuito adiabático de referência. Já para o sinal de *trigger* gerado pelo *Middleware2* este efeito não ocorre pelo fato de o *Middleware2* estar sincronizado com o sinal *power-clock1*. O sinal de *trigger* do *Middleware2* alimenta as variáveis de passagem da entrada do estágio 4 do contador, sendo que estão defasadas de 90° das variáveis de controle da entrada do estágio 4 do contador.

As Figuras 4.15 e 4.16 apresentam o esquemático e o símbolo do *Basic_Middleware*, respectivamente. Conforme o projeto hierárquico considerado para a construção do contador adiabático mostrado no nível 3.2 na Figura 4.1, o *Middleware*, constituído de dois *Basic_Middleware*, foi construído, cujo esquemático e símbolo são mostrados nas Figuras 4.17 e 4.18.



Figura 4.15 - Esquemático do *Basic_Middleware*

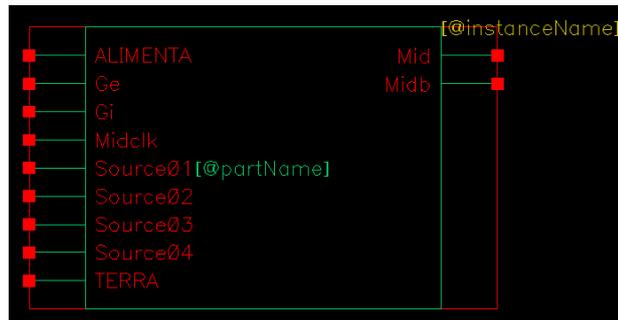


Figura 4.16 - Símbolo do *Basic_Middleware*

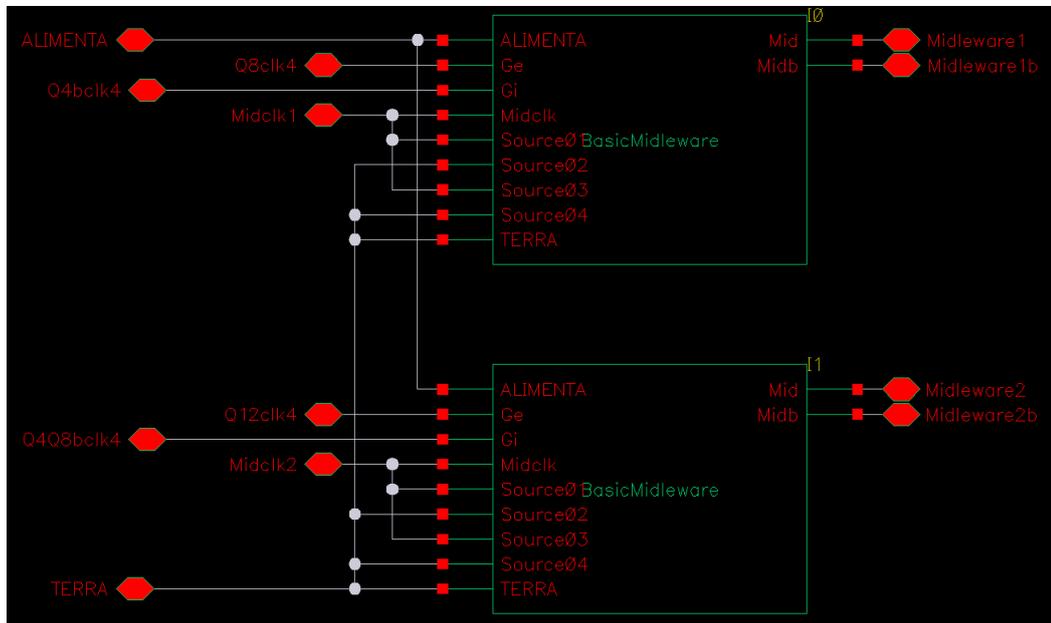


Figura 4.17 - Esquemático do *Middleware*

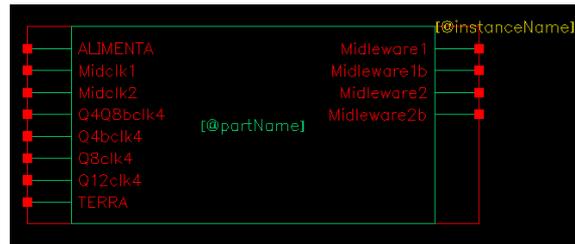


Figura 4.18 - Símbolo do *Middleware*

A Figura 4.19 mostra os sinais de saída do *Middleware* utilizados para disparar o estágio 3 do contador – sinal *Mid1*, e para disparar o estágio 4 do contador – sinal *Mid2*.

Um problema encontrado no projeto do *Middleware* foi a geração de picos de tensão provocados pelo alinhamento do CLK4 que alimenta o *Middleware1* e pelo CLK1 que alimenta o *Middleware2*, conforme está indicado na Figura 4.19. Estes picos de tensão provocam instabilidade do contador por possuírem valores próximos a V_T dos transistores NMOS da árvore de lógica. A adição de um diodo no circuito do *Middleware*, conforme mostrado na Figura 4.15, contorna este problema. Este problema não influenciou a operacionalidade do circuito quando as simulações preliminares foram realizadas com a tecnologia 0.35 μm utilizando parametrização BSIM4, mas só apareceram quando as simulações foram realizadas com a tecnologia TSMC 180 nm.

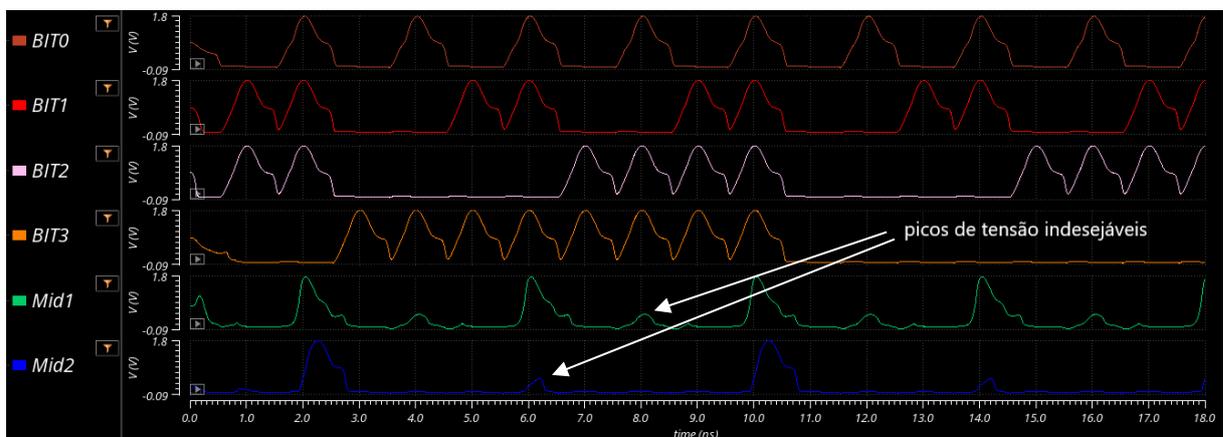


Figura 4.19 - Os sinais *Mid1* e *Mid2* utilizados para disparar o terceiro e o quarto estágios do contador

A Figura 4.20 mostra os valores destes picos de tensão indesejáveis, comparados com o valor de $V_{TN} = 0,42 V$, sem a utilização do diodo, quando realizando a simulação no *Cadence*. Estes valores (que variam entre 432 e 471 mV) são ligeiramente maiores que o valor de V_T do transistor NMOS. O sinal *Mid1* é conectado ao terminal de *source* de um transistor NMOS da árvore de lógica do primeiro estágio do terceiro flip-flop JK do contador, que combinado com os sinais *B2* e $\overline{B2}$ (sincronizados com CLK4) realimentados da saída para a entrada deste terceiro flip-flop, e com o CLK1 que alimenta o primeiro estágio deste terceiro flip-flop, causa instabilidade operacional no contador binário, ora funcionando corretamente, ora não funcionando corretamente. O mesmo efeito acontece com o sinal *Mid2* que é conectado à entrada do quarto flip-flop.

Com a inserção do diodo no circuito estes picos de tensão foram reduzidos para valores, ainda próximos, mas menores que o V_{TN} , fazendo com que a instabilidade do circuito fosse eliminada. O diodo é conectado ao terminal de *gate* do bloco de lógica dos circuitos do *Mid1* e *Mid2*, o que não provoca consumo de potência indesejado, por ser percorrido por uma corrente elétrica com ordem de grandeza seis vezes menor que a corrente de dreno. Um dos três princípios da lógica adiabática sugere não se utilizar diodos no caminho da “corrente de dreno” pelo fato do diodo ser um dispositivo termodinamicamente irreversível. A Figura 4.21 mostra os novos valores destes picos (entre 384 e 393 mV), com a utilização do diodo, comparados com o valor de V_{TN} .

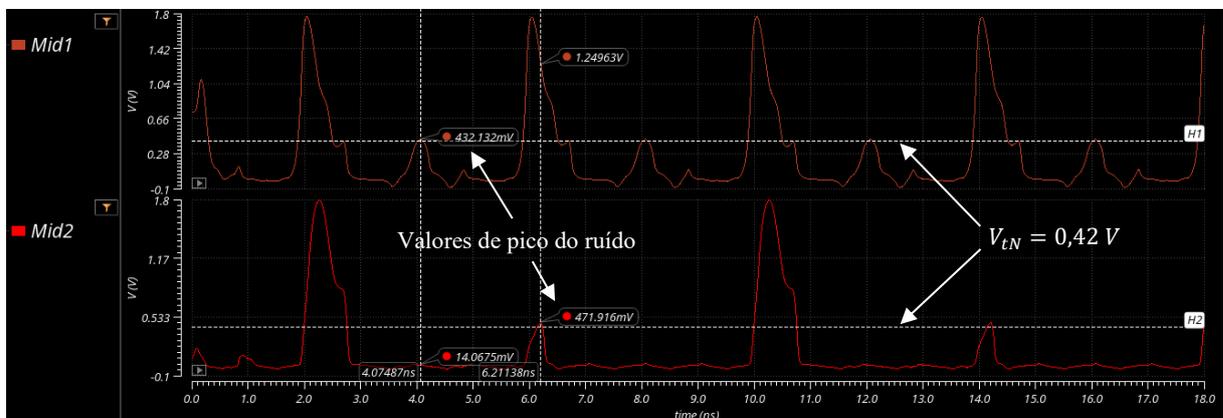


Figura 4.20 - Sinais indesejáveis na saída do *Middleware1* e *Middleware2* sem a utilização do diodo

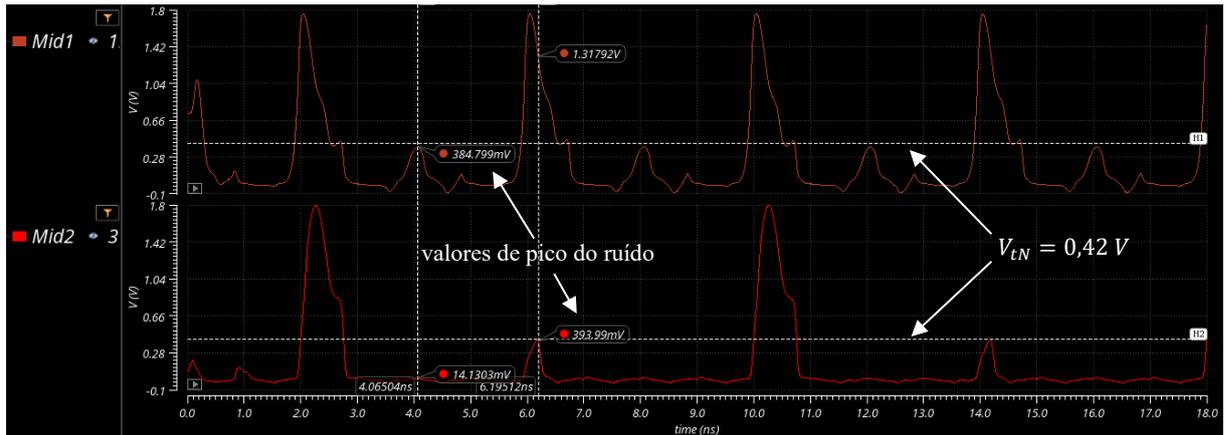


Figura 4.21 - Sinais indesejáveis na saída do *Middleware1* e *Middleware2* com a utilização do diodo

O esquemático elaborado em seguida foi a junção de quatro flip-flops JK conforme mostrado no nível 3.1 do esquemático hierárquico na Figura 4.1. As Figuras 4.22 e 4.23 mostram, respectivamente, o esquemático e o símbolo dos quatro flip-flops JK. Este esquema foi elaborado de modo a permitir a conexão do circuito do *Middleware* e do circuito *Auxiliary*. O flip-flop de instância I8 recebe os sinais do circuito *Auxiliary*, enquanto os flip-flops de instâncias I10 e I11 recebem os sinais do circuito do *Middleware*.

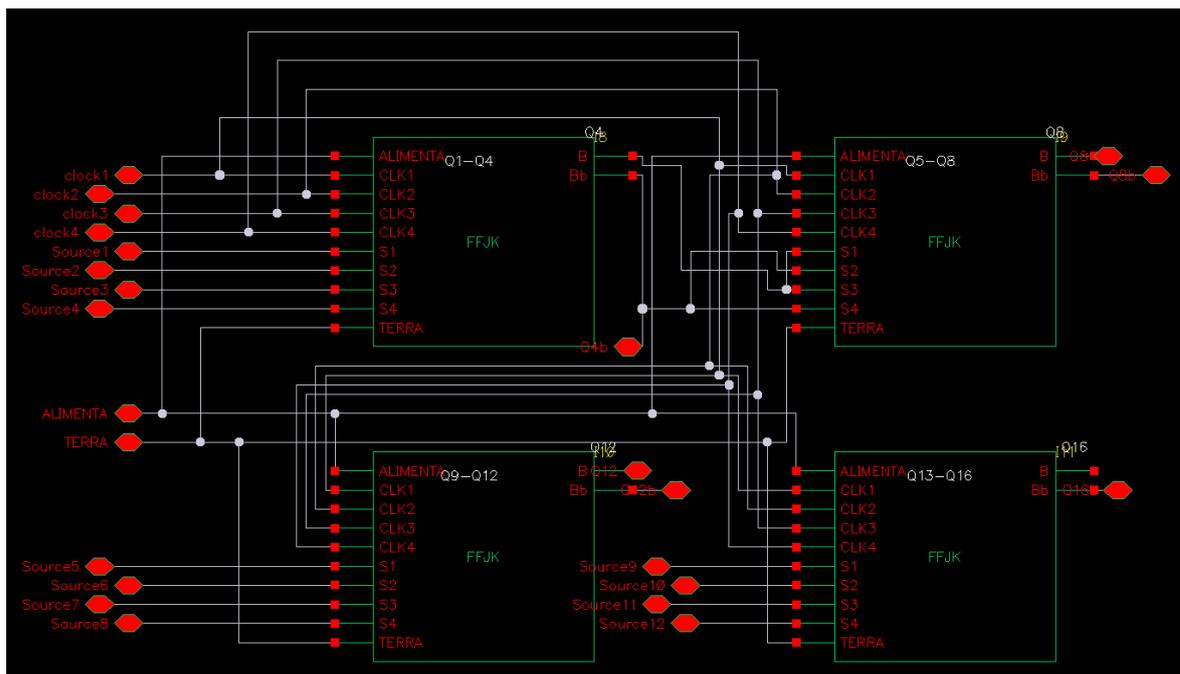


Figura 4.22 - Esquemático dos quatro flip-flops JK conectados

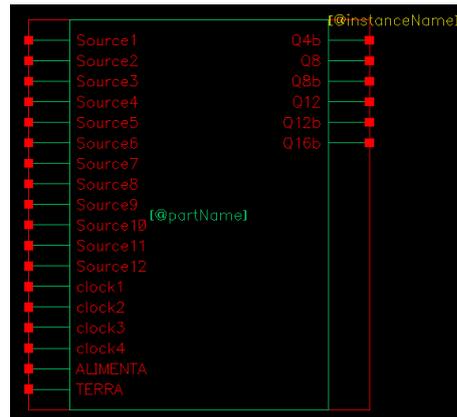


Figura 4.23 - Símbolo dos quatro flip-flops JK conectados

No último nível do projeto do esquemático hierárquico, o nível 4.1, o contador é completamente elaborado. Nesta etapa o esquemático do *Middleware* foi anexado ao esquemático do bloco com os quatro flip-flops JK conforme mostrado na Figura 4.24. Observa-se que os terminais para conexão dos sinais gerados pelo circuito *Auxiliary* foram adicionados para permitir a simulação e a inclusão de pontos de teste no *setup* de medição. A Figura 4.25 mostra o símbolo do contador binário adiabático.

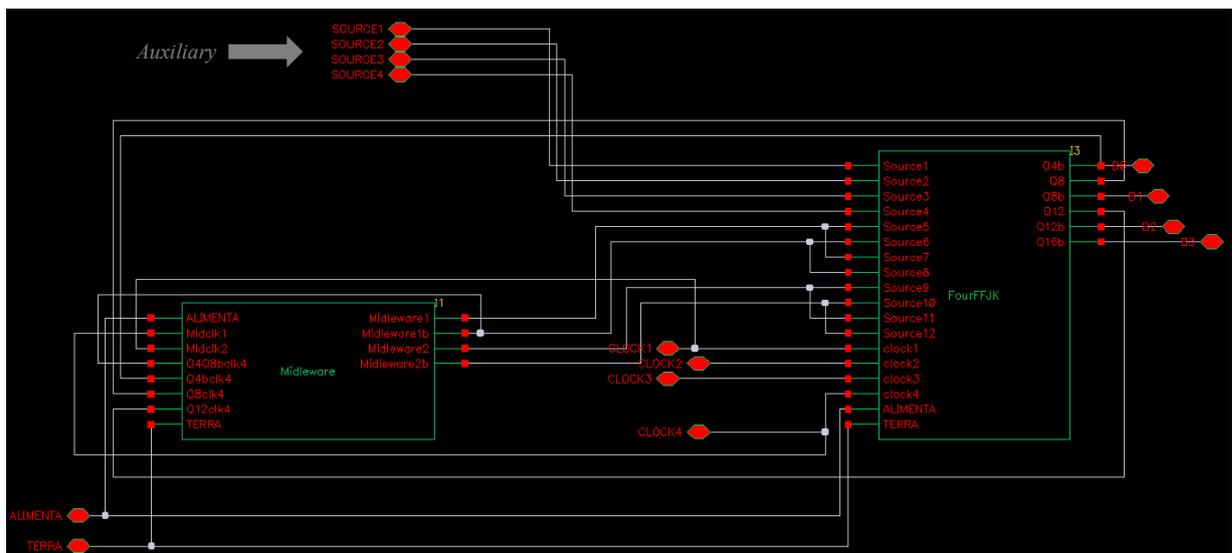


Figura 4.24 - Esquemático do contador xCPAL



Figura 4.25 - Símbolo do contador xCPAL

Para a simulação do funcionamento do contador binário e para a obtenção da potência consumida pelo mesmo é utilizado o esquemático mostrado na Figura 4.26. O circuito *Auxiliary* é conectado ao contador, bem como a fonte de tensão DC para polarização do substrato e os geradores de sinais senoidais para a composição do sistema *power-clock*. Na Figura 4.26, observa-se que os geradores de sinais senoidais foram definidos com valor de frequência configurável, permitindo a medição do consumo do circuito em diversas frequências utilizando o módulo *Spectre*.

A Figura 4.27 mostra o diagrama de tempo dos sinais de saída do contador binário adiabático. Se utilizarmos as saídas complementares de B0, B1, B2 e B3, obtém-se um contador binário adiabático com contagem decrescente (*down-counter*), da mesma forma que em um contador binário convencional. A Figura 4.28 mostra esta possibilidade.

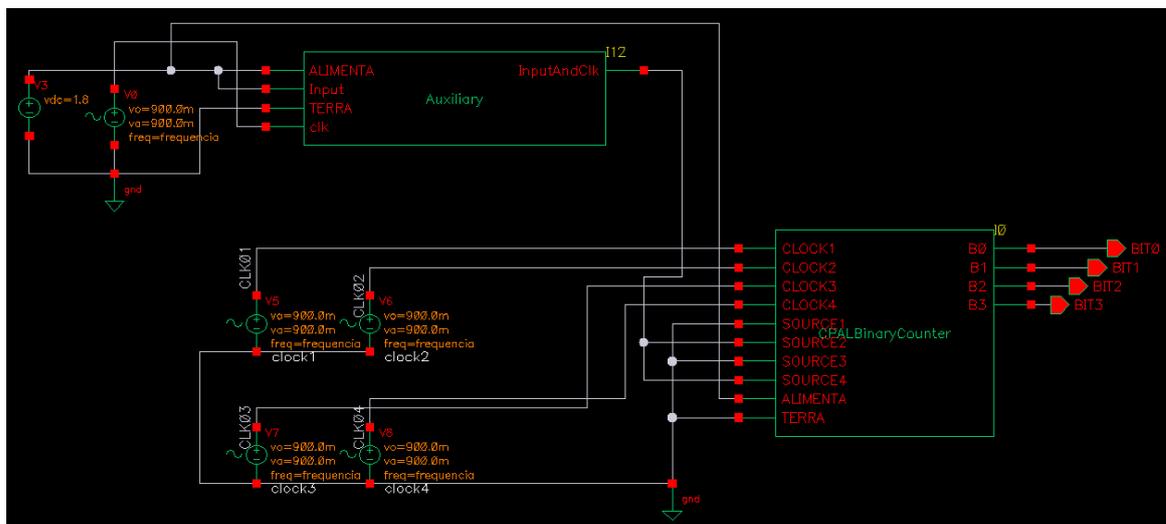


Figura 4.26 - Esquemático para a simulação e obtenção da potência consumida pelo contador xCPAL

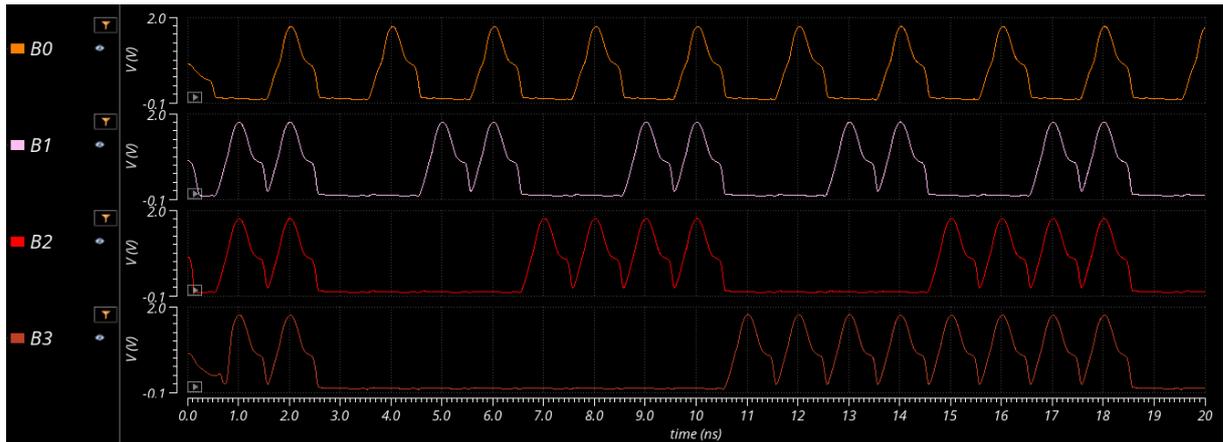


Figura 4.27 - Diagrama de tempo dos sinais de saída do contador xCPAL na frequência de 1 GHz operando como *up-counter*

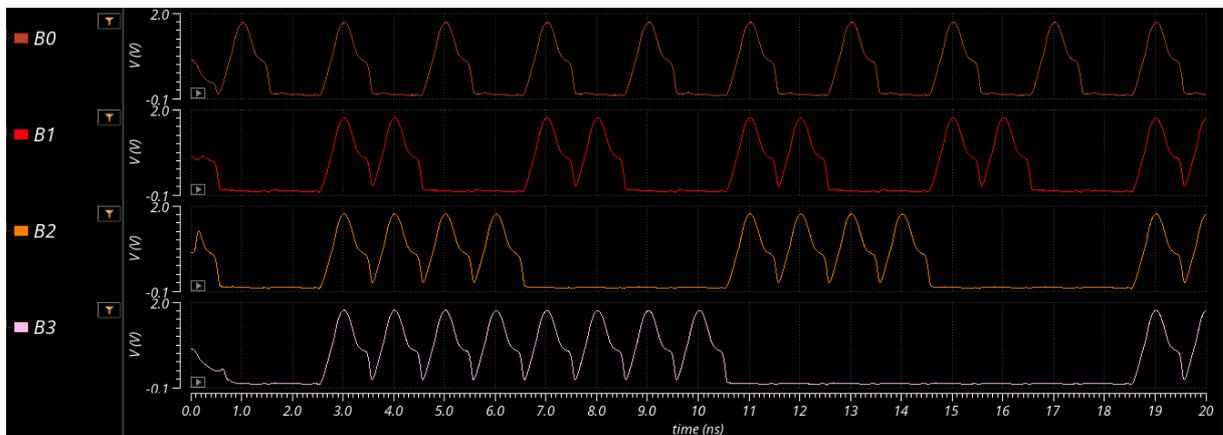


Figura 4.28 - Diagrama de tempo dos sinais de saída do contador xCPAL na frequência de 1 GHz operando como *down-counter*

Uma vez elaborados os esquemáticos e realizada a simulação da operacionalidade dos circuitos que compõem o contador xCPAL, a próxima etapa é a definição da estrutura de *Input/Output* do chip – o *I/O Ring*. Os principais elementos desta estrutura são as células de I/O, também denominadas *I/O PAD*, sendo classificadas em dois grandes grupos: tratamento dos sinais de entrada/saída e alimentação do chip. As células de I/O devem ser utilizadas de acordo com as necessidades do projeto, fazendo a comunicação dos sinais elétricos para dentro e para fora do chip, protegendo os componentes semicondutores de elementos indesejáveis que constituem o sinal elétrico. Além das células de I/O, o *I/O Ring* é composto por: espaçadores entre as células de I/O denominados *fillers*; espaçadores denominados *Corners*, que possuem a função de realizar o fechamento elétrico do I/O

Ring em suas extremidades; *Seal Ring*, que é uma estrutura de proteção contra portadores de carga indesejáveis ao funcionamento dos circuitos situados dentro do *I/O Ring*, sendo basicamente o perímetro do chip que será usado pela *foundry* como guia para cortar os *dies*. O programa denominado *Free IC Fabrication mini@sic Program For Brazilian Universities*, do IMEC - *Interuniversitair Micro-Electronica Centrum* (pelo qual o circuito integrado foi fabricado), limita o tamanho do *die* em 1.660 μm x 1.660 μm , o qual delimitou as medidas do *I/O Ring*, e assim delimitou o número de células de *I/O* e definiu o *pitch* do *I/O Ring*. O *pitch* é a distância entre a borda lateral de uma célula de *I/O* e a borda lateral equivalente da célula de *I/O* adjacente, incluindo o espaçamento entre estas duas células. Na visão prática, o *pitch* do *I/O Ring* é a distância entre o ponto central entre duas células de *I/O* adjacentes. Um outro elemento, que não faz parte do *I/O Ring*, mas possui a função de conectar a célula de *I/O* ao pino terminal do chip, é denominado *Bond PAD*.

A primeira versão do projeto do sistema de *I/O* do chip levava em consideração que existiria a possibilidade de fabricação do chip, contendo somente os circuitos deste trabalho dentro do chip. Não foi dado prosseguimento da pesquisa com esta versão porque esta pesquisa foi contemplada no programa do IMEC, que acabou possibilitando a inclusão de circuitos de terceiros dentro do chip. A partir deste fato, todo o projeto do *I/O* do chip teve que ser repensado. O chip que inicialmente teria uma quantidade de pinos no máximo igual a 28, teve que ser projetado para capacidade de 68 pinos para suportar as conexões de todos os circuitos. A Figura 4.29 mostra a visão geral do esquemático final do *I/O Ring* projetado. Nesta figura não é possível identificar todos os componentes, por isso, a configuração deste *I/O Ring* é detalhada por partes.

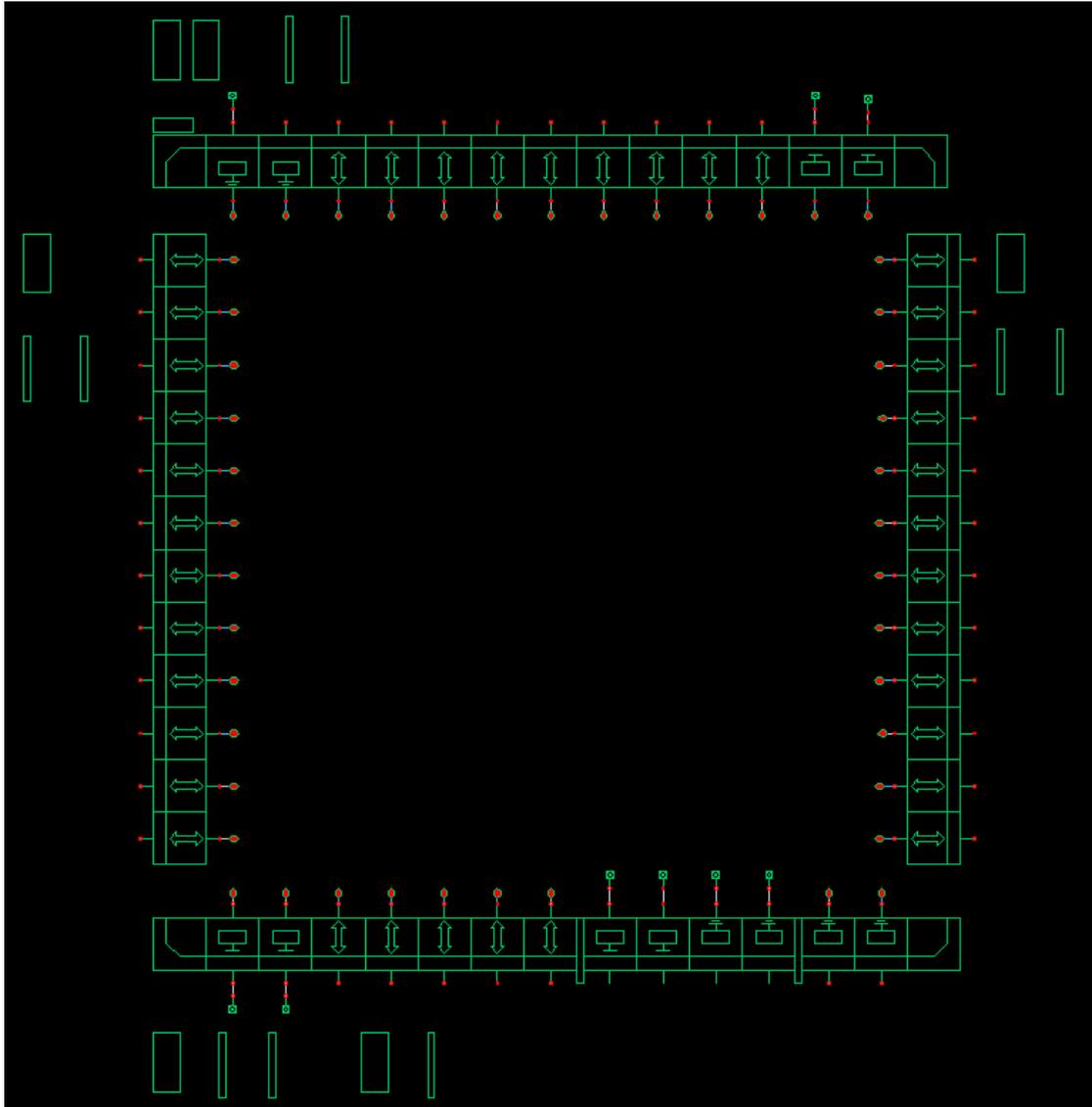


Figura 4.29 - Esquemático da versão final do *I/O Ring*

As Figuras 4.30 e 4.31 detalham o segmento do lado superior do *I/O Ring*. Nestas figuras observa-se o uso da célula de I/O PDB1AC, bem como as células para alimentação do *I/O Ring* (PVDD3A) e para alimentação do *core* (PVDD3AC). As características destas células, bem como as demais utilizadas neste projeto são apresentadas no Apêndice A. As células para alimentação do *core* têm a função de alimentar dois blocos do chip: o oscilador em anel e o circuito auxiliar. A alimentação bem como os sinais para os blocos do contador adiabático e do contador convencional utilizam células de I/O PDB1AC. Esta estratégia foi definida em função da possibilidade de medição e comparação do consumo de potência dos contadores projetados. As células de alimentação típicas possuem filtros e *drivers* que poderiam

mascarar a medição de potência consumida pelos contadores. Nestas figuras também observamos o uso da célula PCORNERA que é utilizada nos cantos do I/O Ring, com a finalidade de permitir condutividade entre os barramentos de tensão e de aterramento que compõem o anel. Observa-se o uso das células para o aterramento do I/O Ring (PVSS3A) e para o aterramento das células do core (PVSS3AC).

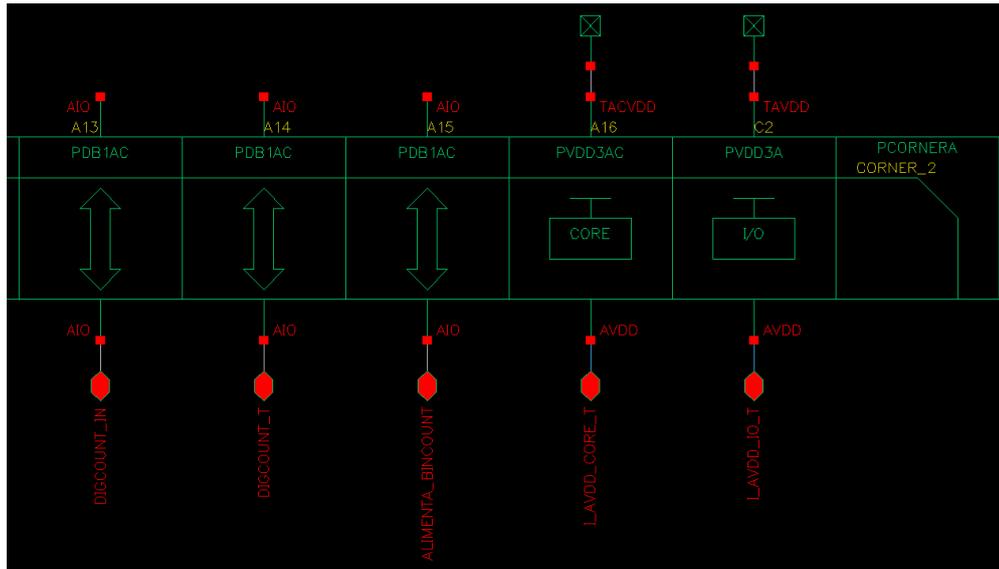


Figura 4.30 - Esquemático do lado superior direito do I/O Ring

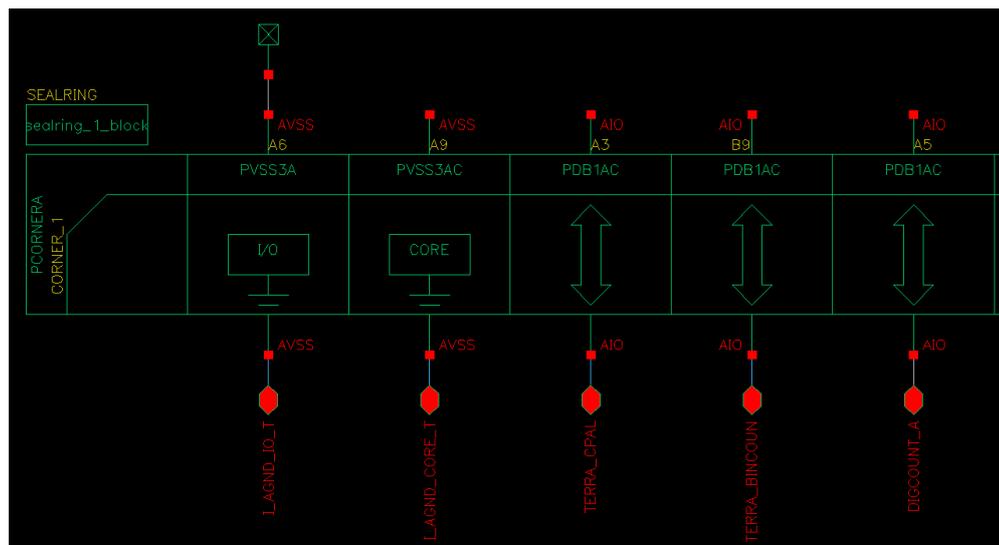


Figura 4.31 - Esquemático do lado superior esquerdo do I/O Ring

As Figuras 4.32 e 4.33 detalham o segmento do lado inferior do *I/O Ring*. Neste segmento estão as células PVDD1CDG, PVDD2POC, PVSS1CDG e PVSS2CDG. Estas células de alimentação para circuitos digitais não são utilizadas para alimentar nenhum bloco neste projeto, mas são de uso obrigatório no *I/O Ring*, porque o barramento VSS existente nas células do domínio de I/O analógico (PVSS3A/PVSS3AC) ficariam flutuantes, sendo necessário conectar este barramento a um pré-driver com aterramento em um domínio de I/O digital adjacente (PVSS1CDG/PVSS2CDG). Para separar o domínio de alimentação digital do domínio de alimentação analógica no *I/O Ring*, as células PRCUTA são de uso obrigatório. As células PRCUTA separam os domínios de I/O digital e analógico, mantendo conectados os aterramentos dos dois domínios. O Apêndice A apresenta o conceito de separação dos domínios digital e analógico. A TSMC não detalha o esquemático e *layout* das células de I/O por questões de sigilo tecnológico.

O lado esquerdo e o lado direito do *I/O Ring* apresentam somente células de I/O do tipo PDB1AC. As células de I/O e de alimentação possuem uma largura de 60 μm , sendo necessário preencher o espaço deixado entre as células de modo a estabelecer o *pitch* definido de 100 μm para o projeto do *I/O Ring*. Para isso foram utilizadas células do tipo PFILLER10A e PFILLER20A, com largura de 10 e 20 μm , respectivamente.

Para completar a estrutura do chip, são utilizadas células do tipo *Bond PAD* em cada célula de I/O, com a finalidade de se conectar os terminais do chip aos terminais do circuito integrado. Foram utilizadas células do tipo PAD60AR para permitir a conexão das células de I/O analógico, e células do tipo PAD60L para permitir a conexão das células de I/O digital. As Figuras 4.34 a 4.37 mostram a quantidade de células do tipo *Bond PAD* e *Filler* utilizadas em cada lado do anel.

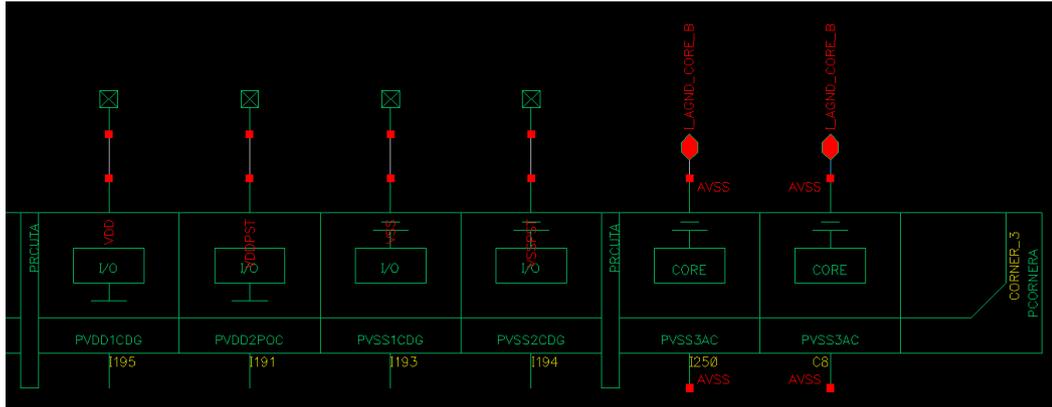


Figura 4.32 - Esquemático do lado inferior direito do I/O Ring

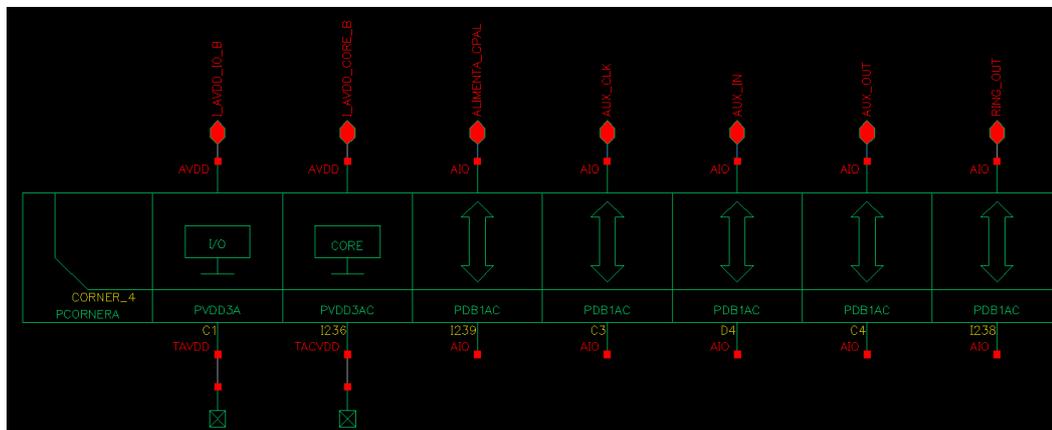


Figura 4.33 - Esquemático do lado inferior esquerdo do I/O Ring

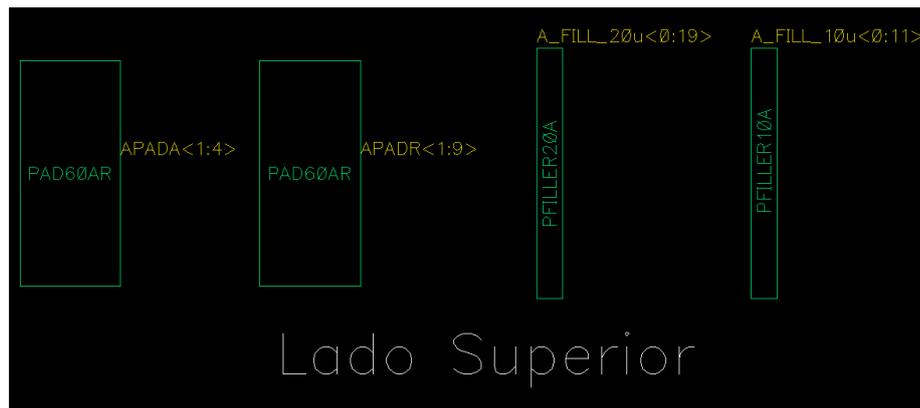


Figura 4.34 - Quantidade de células do tipo Bond PAD e Filler utilizadas no lado superior do I/O Ring

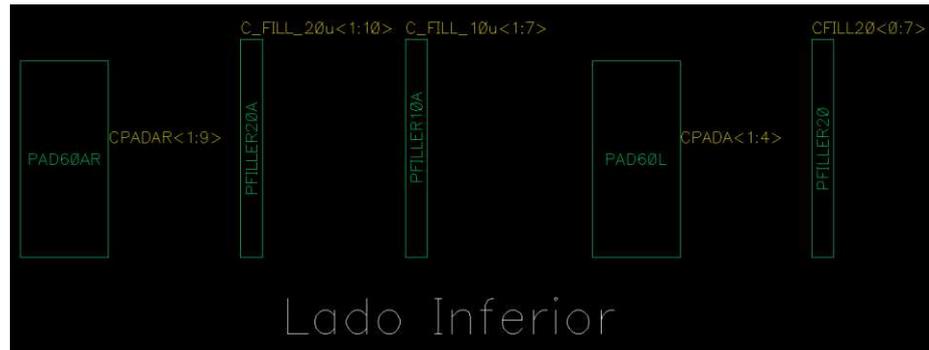


Figura 4.35 - Quantidade de células do tipo *Bond PAD* e *Filler* utilizadas no lado inferior do *I/O Ring*



Figura 4.36 - Quantidade de células do tipo *Bond PAD* e *Filler* utilizadas no lado esquerdo do *I/O Ring*



Figura 4.37 - Quantidade de células do tipo *Bond PAD* e *Filler* utilizadas no lado direito do *I/O Ring*

A Figura 4.38 mostra o símbolo criado para o *I/O Ring*.

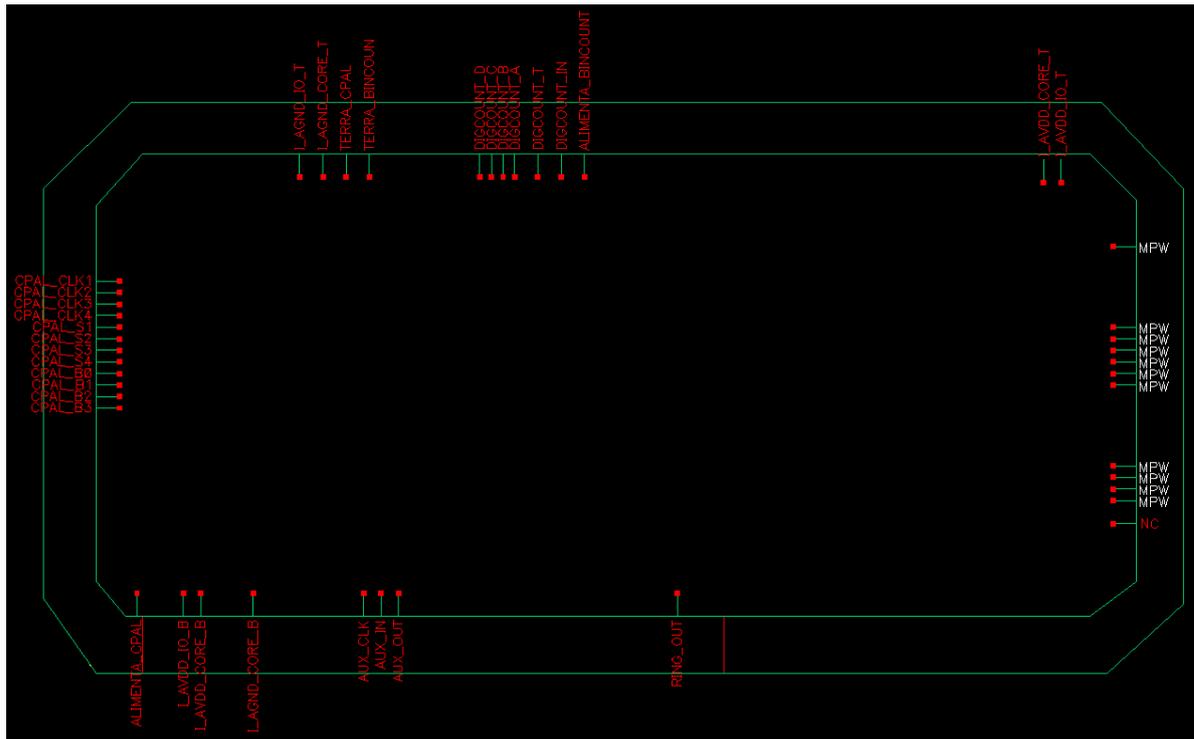


Figura 4.38 - Símbolo do *I/O Ring*

A Figura 4.39 mostra o esquemático completo do chip para os circuitos pertinentes a esta pesquisa (não mostra elementos de circuitos de terceiros pois trata-se de uma fabricação MPW – *Multi-Project Wafer*).

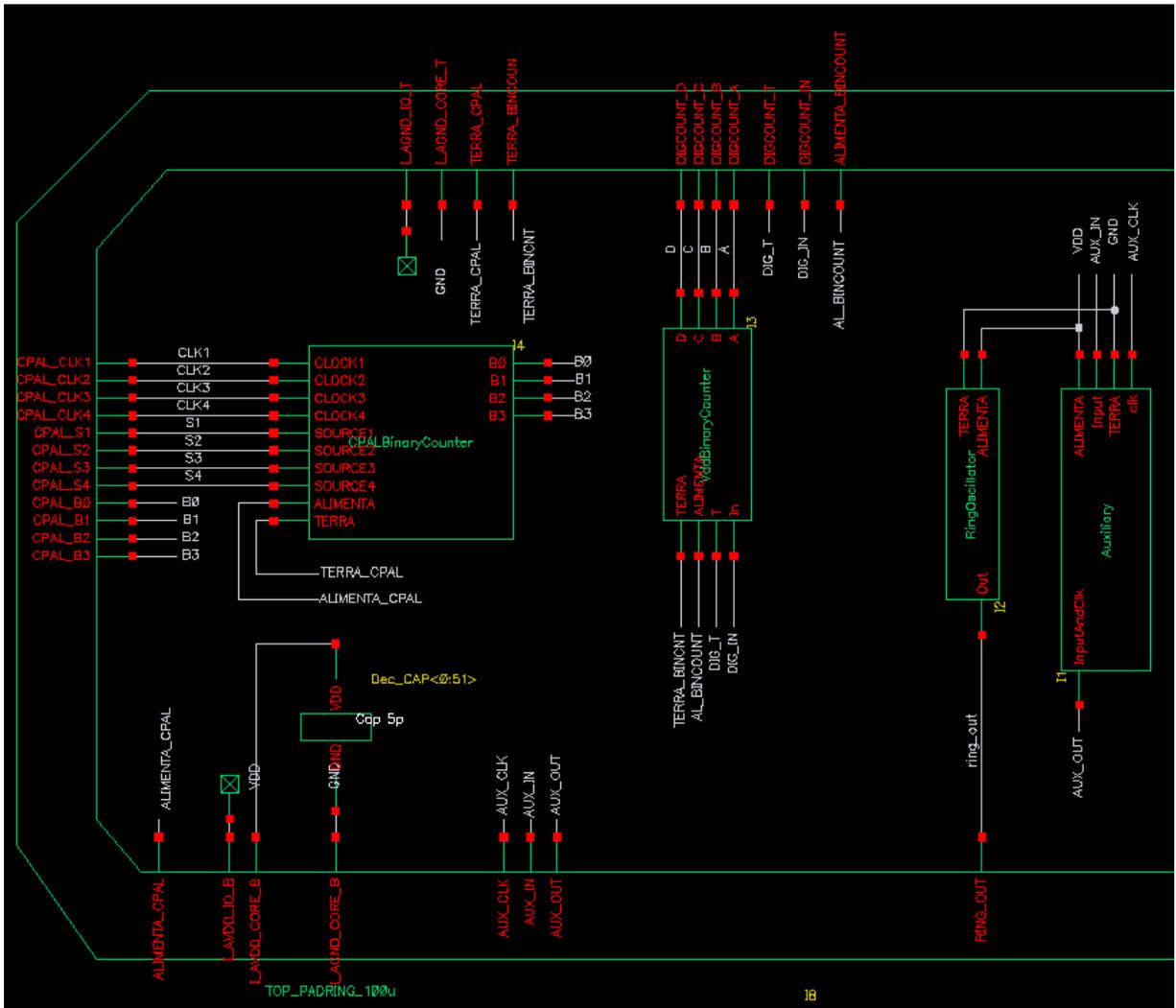


Figura 4.39 - Esquemático completo do chip

5 DESIGN e FABRICAÇÃO

5.1 Criação do *layout*

Para a elaboração do *layout* no silício é utilizado o editor de *layout* do Cadence Virtuoso e o módulo *Assura*. Este módulo contém as funcionalidades de DRC (*Design Rule Check*), LVS (*Layout versus Schematic*), ERC (*Electrical Rule Check*) e QRC (*Resistor and Capacitor Parasitic Extraction*). A construção do *layout* físico segue a mesma hierarquia da construção dos circuitos. A Figura 5.1 mostra a célula básica do projeto – a porta adiabática AND/NAND C-PAL.

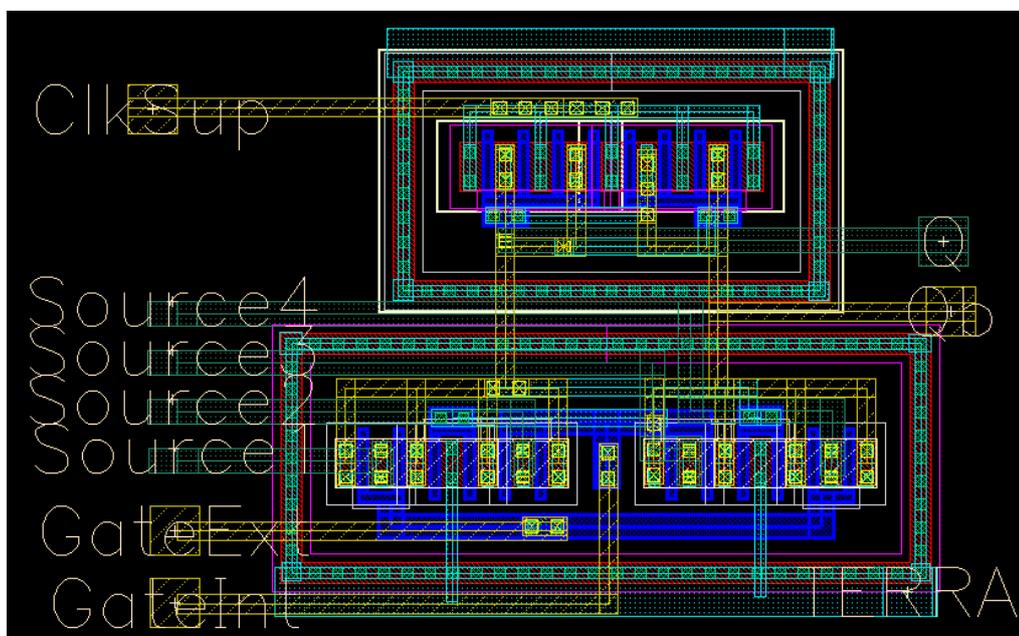


Figura 5.1 - *Layout* da porta adiabática C-PAL

A elaboração desta porta foi realizada criteriosamente, tanto para atender às regras de projeto (*Design Rules*) quanto para minimizar a ocupação da área do dispositivo no silício. Um dos critérios adotados foi a utilização do conceito de *fingers*, que é a redução da largura no desenho dos transistores NMOS e PMOS, mas que ao mesmo tempo aumenta proporcionalmente o número de elementos do transistor (fonte, dreno e porta), de modo a preservar a largura equivalente original, mantendo inalterada a corrente de dreno I_D projetada para o transistor. A Figura 5.2 mostra o *layout* de um transistor sem a utilização de *fingers* e com a utilização de *fingers*.

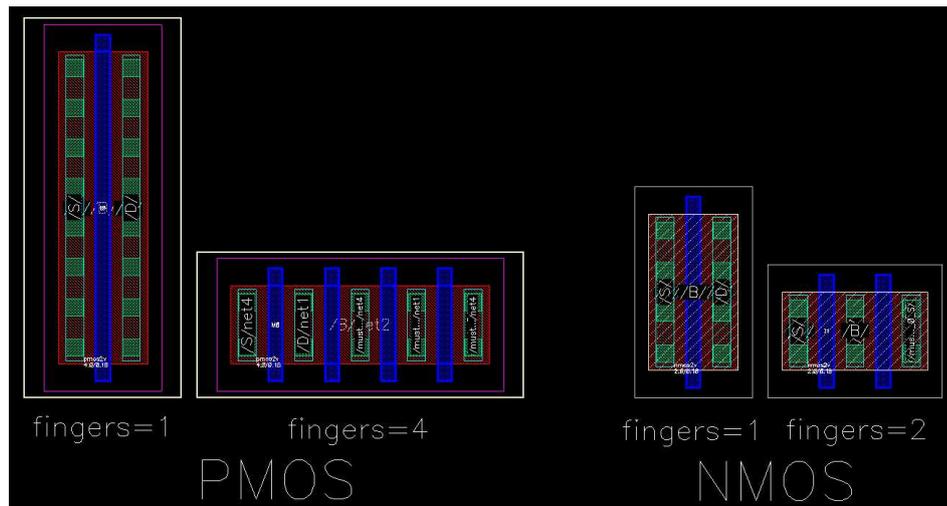


Figura 5.2 - A utilização de *fingers*

Os transistores PMOS e NMOS são agrupados de modo que possam ser protegidos contra portadores de carga indesejáveis ao funcionamento do transistor. Esta proteção se faz por meio de um *guard-ring*, que envolve o conjunto de transistores do mesmo tipo – NMOS ou PMOS. Do ponto de vista do esquemático, o *guard-ring* atua como o PTAP (quarto terminal – conexão do substrato) dos transistores. Assim, o *guard-ring* dos transistores PMOS é conectado ao maior potencial de tensão do circuito (1,8 V) e o *guard-ring* dos transistores NMOS é conectado ao menor potencial de tensão do circuito (0 V). No circuito do contador binário adiabático a tensão DC com valor de 1,8 V é utilizada apenas para conectar o PTAP dos transistores PMOS. A Figura 5.3 mostra a utilização dos *guard-rings*.

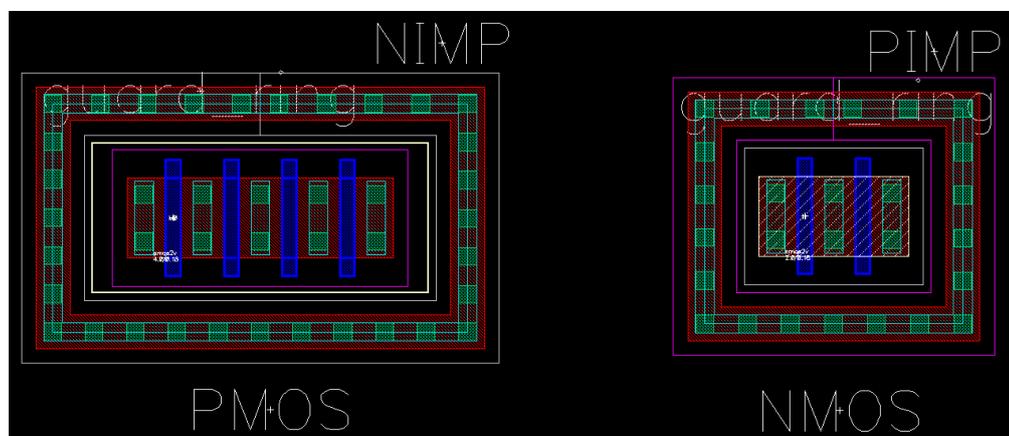


Figura 5.3 - A utilização de *guard-rings*

Um ponto importante na elaboração do *layout* da porta AND/NAND é a utilização do polisilício para conectar elementos do *layout*. O polisilício é utilizado como condutor para fazer o contato com o óxido de porta (SiO_2). Trilhas de polisilício, se longas, podem trazer efeitos indesejáveis ao funcionamento do transistor por meio do efeito antena, que pode capturar interferências eletromagnéticas do ambiente em que o circuito integrado será utilizado. A minimização deste efeito é obtida por meio da redução do comprimento das trilhas de polisilício conectadas à porta do transistor, ou por utilização de padrões de desenho do tipo zig-zag na trilha de polisilício.

O efeito antena é extraído no período de pré-fabricação pela *foundry* e informado ao projetista por meio de *error reports*, para que possam ser minimizados. As trilhas metálicas usadas nas camadas superiores na integração dos blocos no chip, também podem usar o desenho do tipo zig-zag para evitar o efeito antena, caso seja necessário. Caso o efeito antena apareça devido às áreas de polisilício de transistores com dimensões (W e/ou L) próximas ao comprimento de onda da frequência do sinal que provoca interferência no circuito, o efeito pode ser minimizado colocando-se proteções de metal da camada 6 conectadas ao potencial do terra, sobre a área ocupada pelos transistores, para implementar uma blindagem eletromagnética.

Nos circuitos que são utilizados como base para a elaboração do *layout* final, deve-se utilizar o menor número de camadas de metal. Na elaboração da porta AND/NAND foram utilizadas as três primeiras camadas de metal – das seis disponíveis na tecnologia TSMC 180 nm, para permitir flexibilidade na interligação dos blocos nos níveis hierárquicos superiores.

Uma abordagem adotada foi a colocação dos pinos de entrada, saída e alimentação nas extremidades do *layout* dos blocos, para facilitar o acesso a estes pinos quando da conexão dos blocos hierárquicos superiores.

Concluída a elaboração do *layout* da porta AND/NAND as ferramentas para a verificação dele foram utilizadas conforme proposto por Clein e Shimokura. As etapas de verificação são apresentadas na Figura 5.4.

O *layout* da célula básica do projeto mostrado na Figura 5.1 é o *layout* final após várias rodadas de DRC e LVS para ajustes de erros encontrados durante a elaboração do mesmo, com o objetivo de atender às regras de projeto (*Design Rules*).

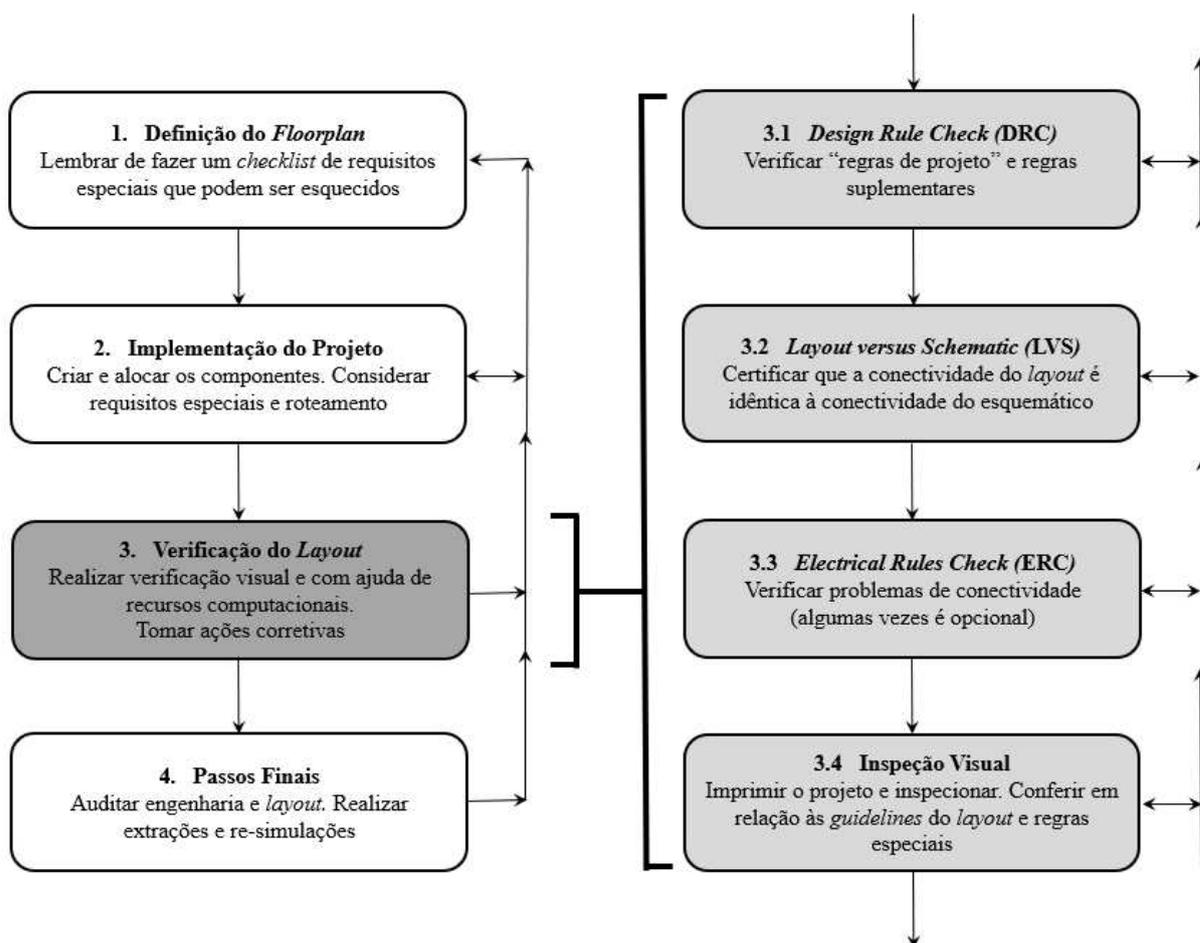


Figura 5.4 - Etapas da verificação do *layout*. Adaptado de (CLEIN; SHIMOKURA, 1999)

A extração de parâmetros parasitas é uma etapa do processo de re-simulações que foi executado quando o *layout* de cada bloco do contador adiabático ficou pronto. Estes parâmetros não são apresentados como erro pelo DRC e LVS, sendo que devem ser eliminados do *layout* quando atingem valores discrepantes em relação aos demais valores dos parâmetros extraídos. Na Figura 5.5 temos uma conexão mal realizada de trilhas na camada METAL1 que passou pela verificação de DRC e LVS, mas apresenta uma resistência parasita no valor de 2Ω , valor alto em relação às demais resistências parasitas que estão na ordem $m\Omega$, para a conexão de trilhas metálicas. Neste caso a solução foi a realizar a sobreposição das duas trilhas na camada METAL1. Capacitores parasitas da ordem de unidades de fF foram encontrados, conforme mostrado na Figura 5.6, mas estão na ordem de grandeza aceitável para a frequência máxima de operação do circuito que não chega a 1 GHz. Os parâmetros parasitas são extraídos tendo como referência o sinal de *gnd!* do esquemático. Na elaboração do *layout* de todos os circuitos, incluindo a elaboração

desde as portas lógicas dos contadores adiabático e convencional até os respectivos *layouts* finais, incluindo o oscilador em anel e o circuito auxiliar, foram realizadas um total de 217 rodadas de extração de parâmetros para redução dos valores dos parâmetros parasitas.

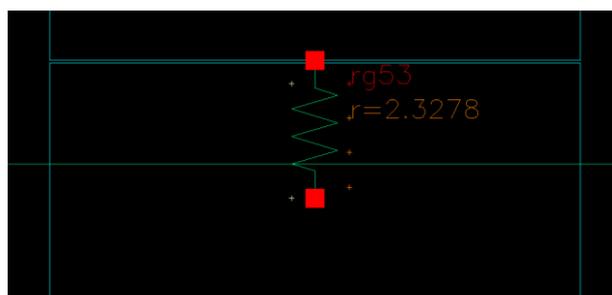


Figura 5.5 – Resistência parasita na extração de parâmetros do *layout*

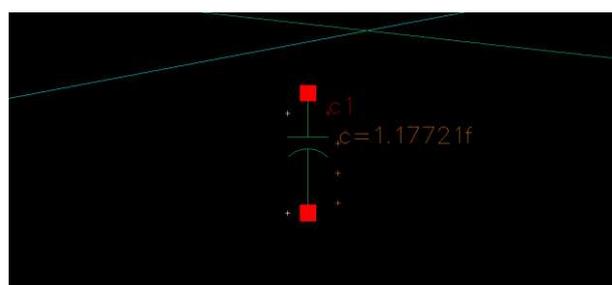


Figura 5.6 – Capacitância parasita na extração de parâmetros do *layout*

A partir da porta adiabática AND/NAND o *layout* do flip-flop JK é construído. Todo o fluxo de elaboração do *layout* executado para a porta AND/NAND é repetido para a elaboração do *layout* do flip-flop JK. A Figura 5.7 mostra a versão final do *layout* do flip-flop JK, com as quatro portas AND/NAND apresentadas como bloco, além das conexões metálicas necessárias para construir o flip-flop. A Figura 5.8 mostra a versão final do *layout* do flip-flop JK com todos os seus componentes.

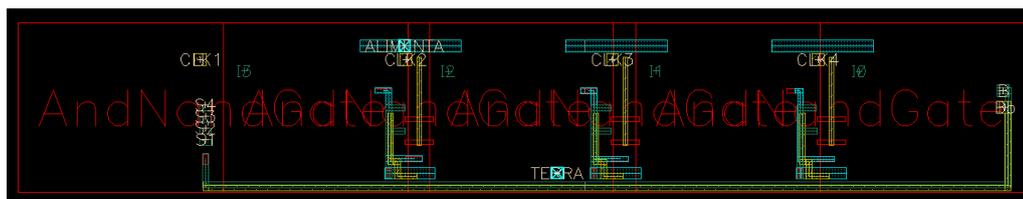


Figura 5.7 - *Layout* do flip-flop JK mostrando os blocos *AndNandGate*

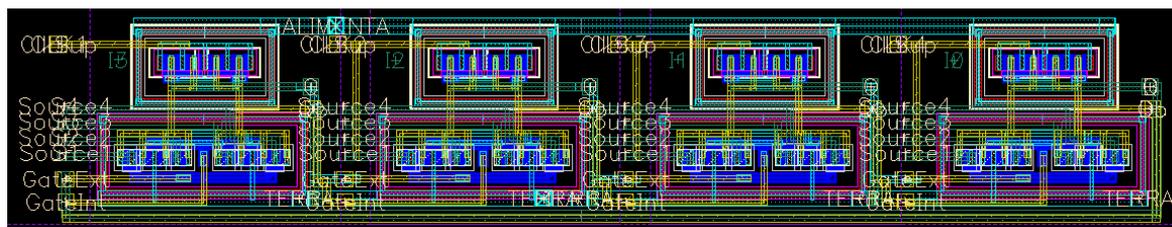


Figura 5.8 - *Layout* do flip-flop JK mostrando todos os seus componentes

Da Figura 5.9 a 5.16 é apresentada a evolução da construção do *layout* dos blocos até o *layout* do chip completo. Na interligação dos quatro flip-flops observa-se o *power-rail* utilizando METAL1 (na cor azul) na espessura de 1 μm e a interligação do sistema *power-clock* utilizando METAL4 (na cor roxa) na espessura de 1 μm . Na Figura 5.13 observa-se o uso de METAL1 na espessura de 1 μm para a construção do *power-rail* do circuito do *Middleware*. Na Figura 5.15 são utilizadas as camadas de METAL1 a METAL4 (na cor azul, amarela, verde e roxa, respectivamente) com espessura de 1 μm para a interligação do bloco com os quatro flip-flops JK e do *Middleware* para a constituição final do contador adiabático.

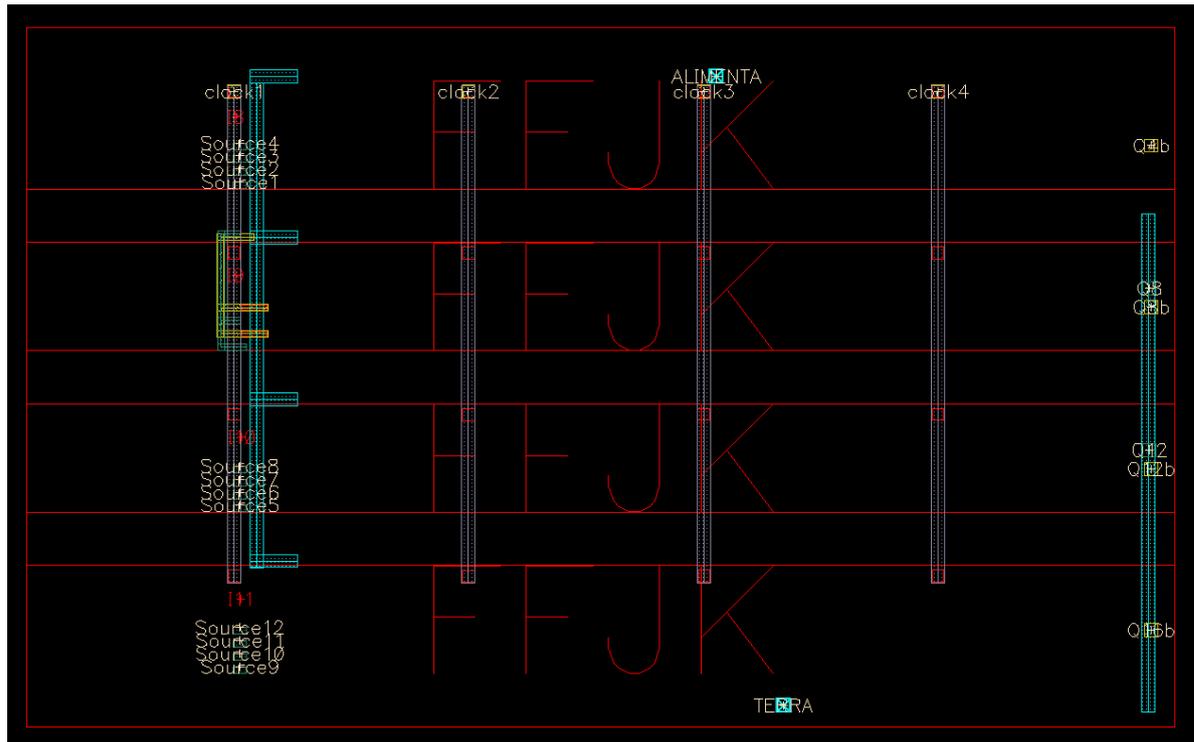


Figura 5.9 - *Layout* do bloco com a conexão dos quatro flip-flops JK

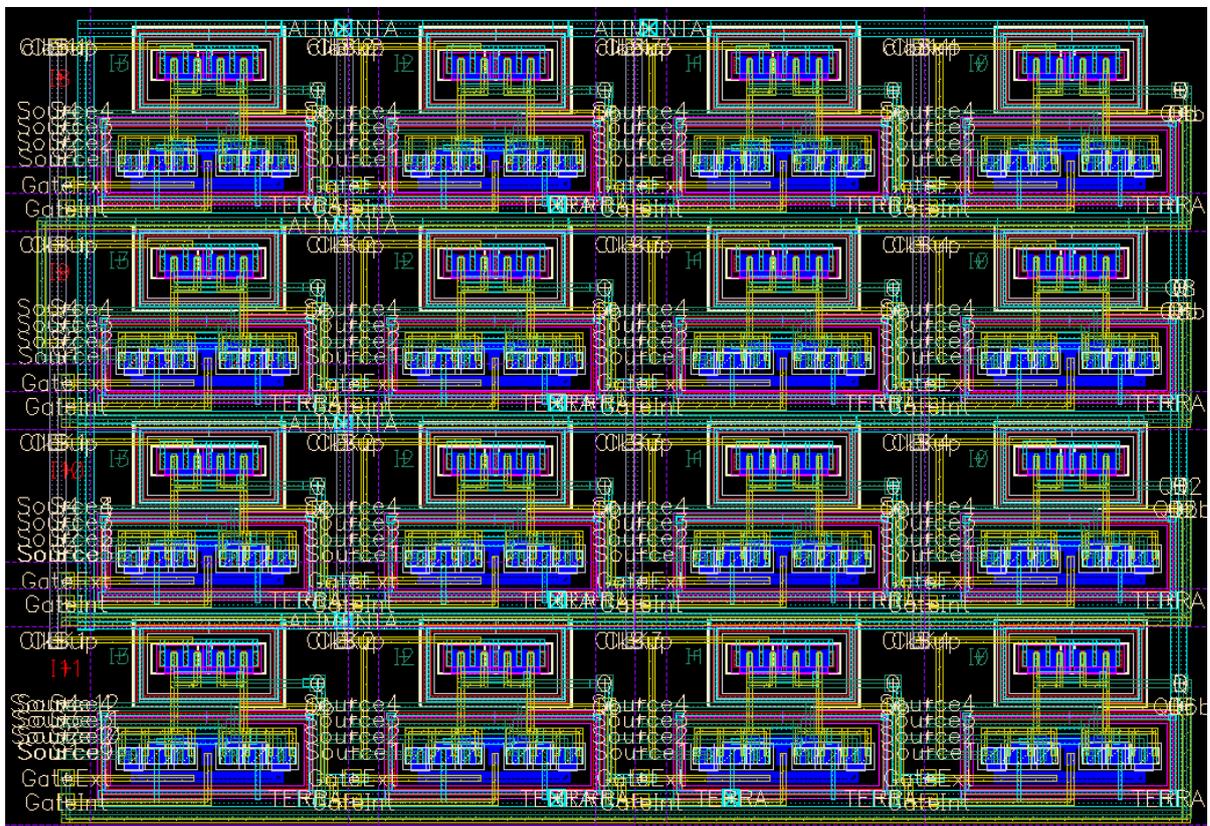


Figura 5.10 - *Layout* do bloco com os quatro flip-flop JK mostrando todos os seus componentes

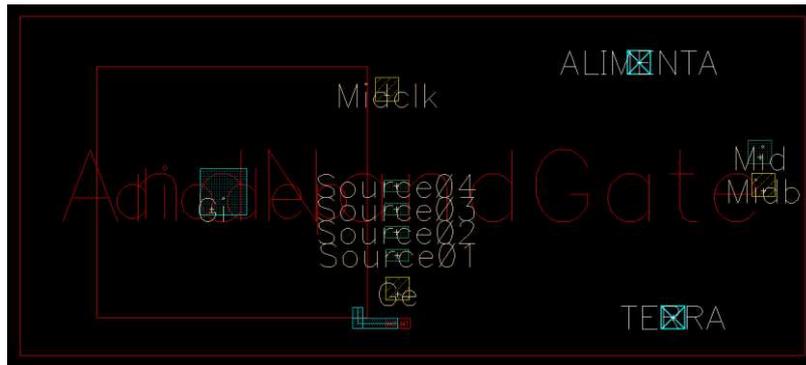


Figura 5.11 - Layout do bloco do *Basic Middleware* mostrando o uso do bloco *AndNandGate*

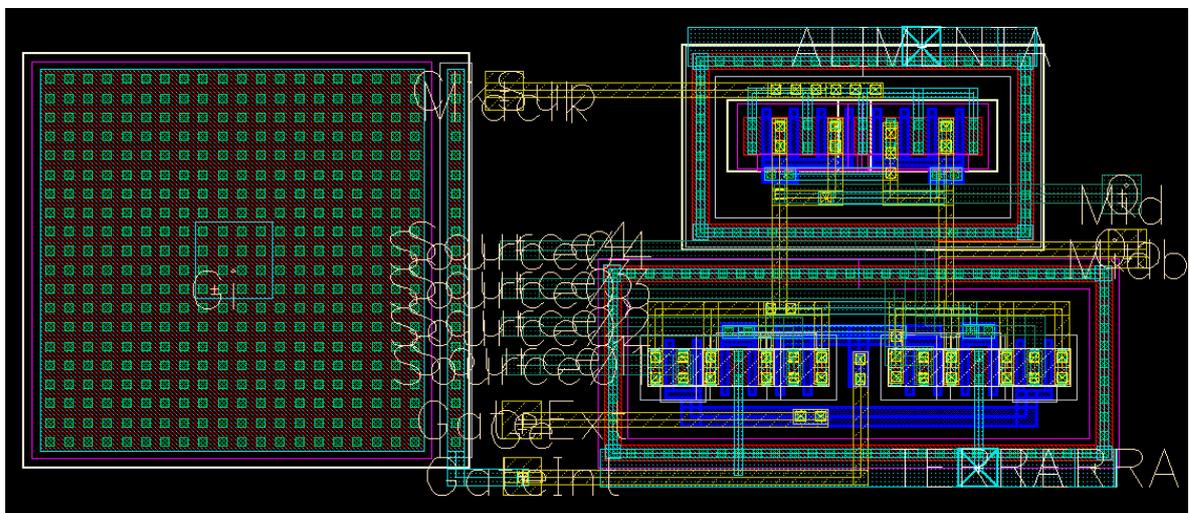


Figura 5.12 - Layout do bloco do *Basic Middleware* mostrando todos os seus componentes

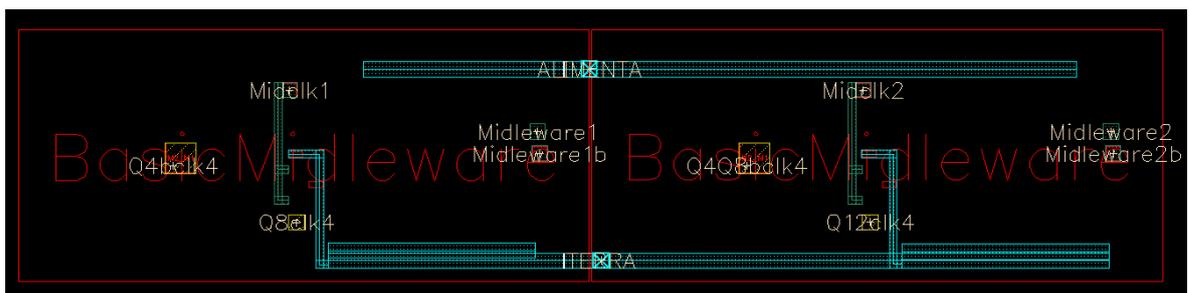


Figura 5.13 - Layout do bloco do *Middleware* mostrando o uso do bloco *Basic Middleware*

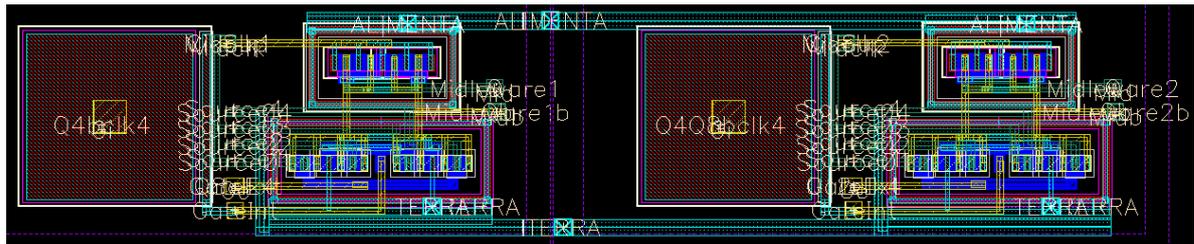


Figura 5.14 - *Layout* do bloco do *Middleware* mostrando todos os seus componentes

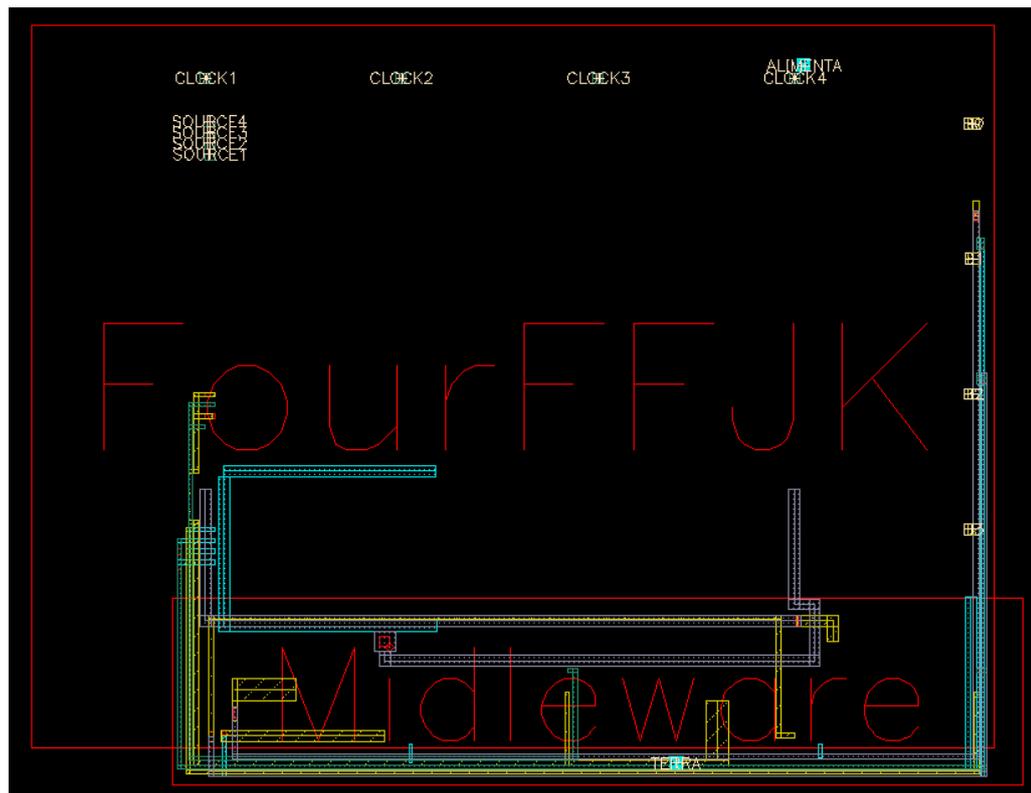


Figura 5.15 - *Layout* do bloco do contador xCPAL mostrando o uso dos blocos *FourFFJK* e *Middleware*

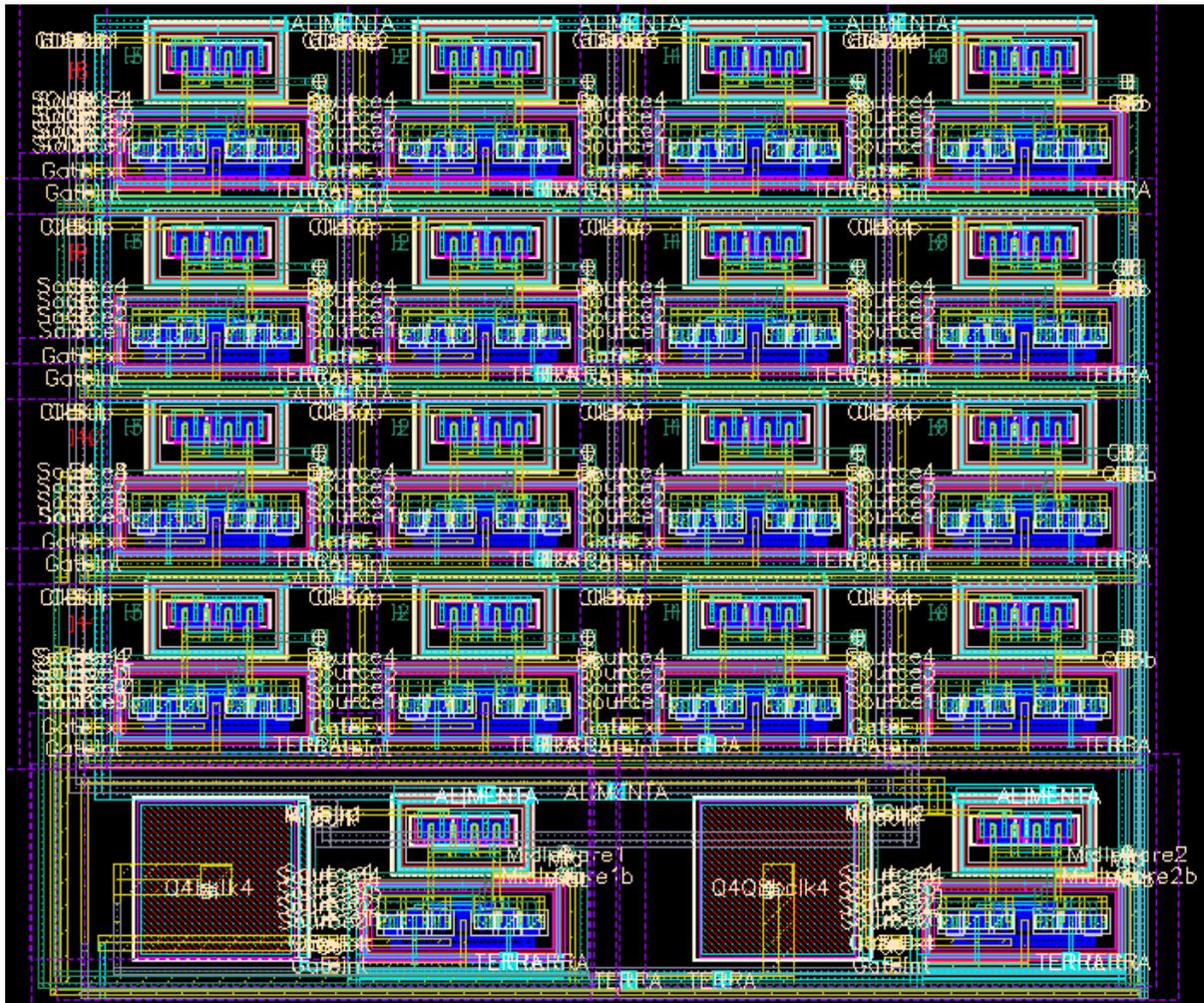


Figura 5.16 - *Layout* do contador xCPAL mostrando todos os seus componentes

A Figura 5.17 apresenta a primeira versão do *layout* completo do chip utilizando encapsulamento QFN-28.

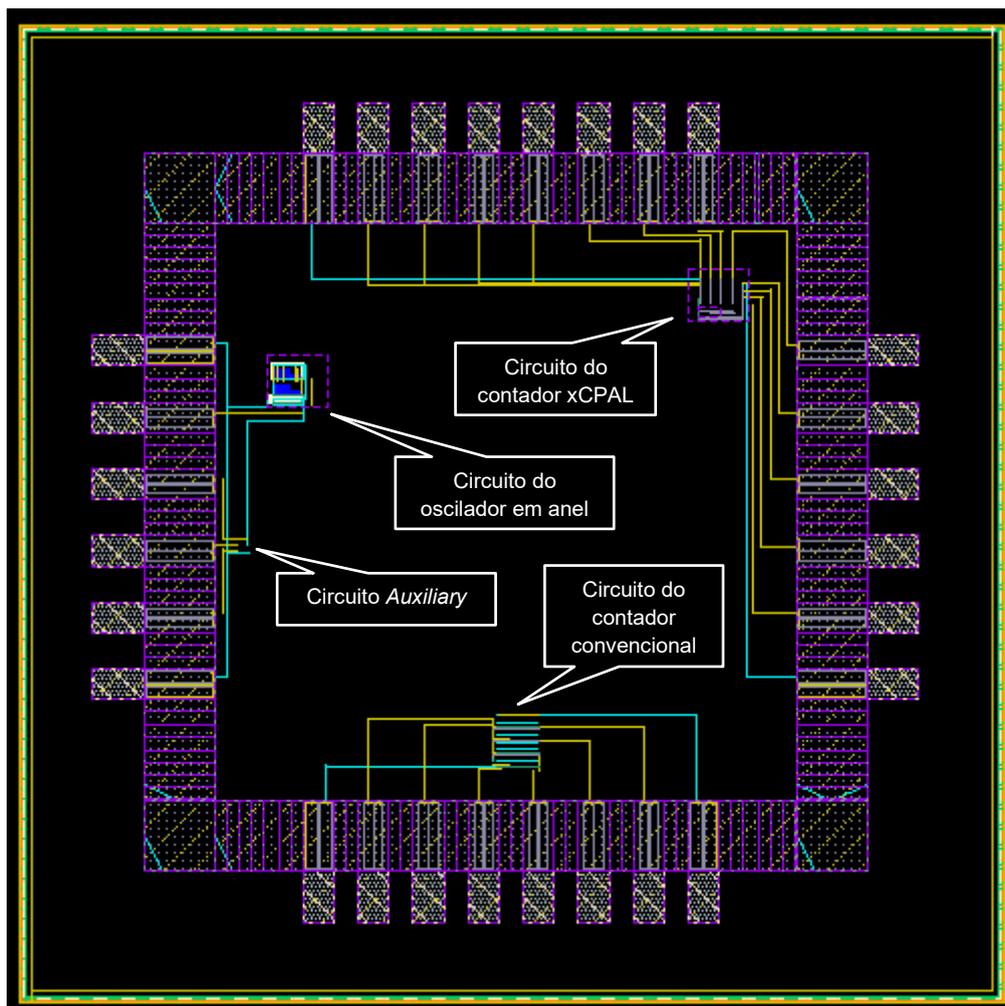


Figura 5.17 – Primeira versão do *layout* completo do chip com encapsulamento QFN-28

Com a viabilização de fabricação do chip foi definido um novo *floorplan*, agora com uma área do *die* de $1.660 \mu\text{m} \times 1.660 \mu\text{m}$, *pitch* de $100 \mu\text{m}$, utilizando encapsulamento CLCC-68. A Figura 5.18 mostra a versão final do *layout* do *I/O Ring*. A descrição de cada célula de I/O está no Apêndice A.

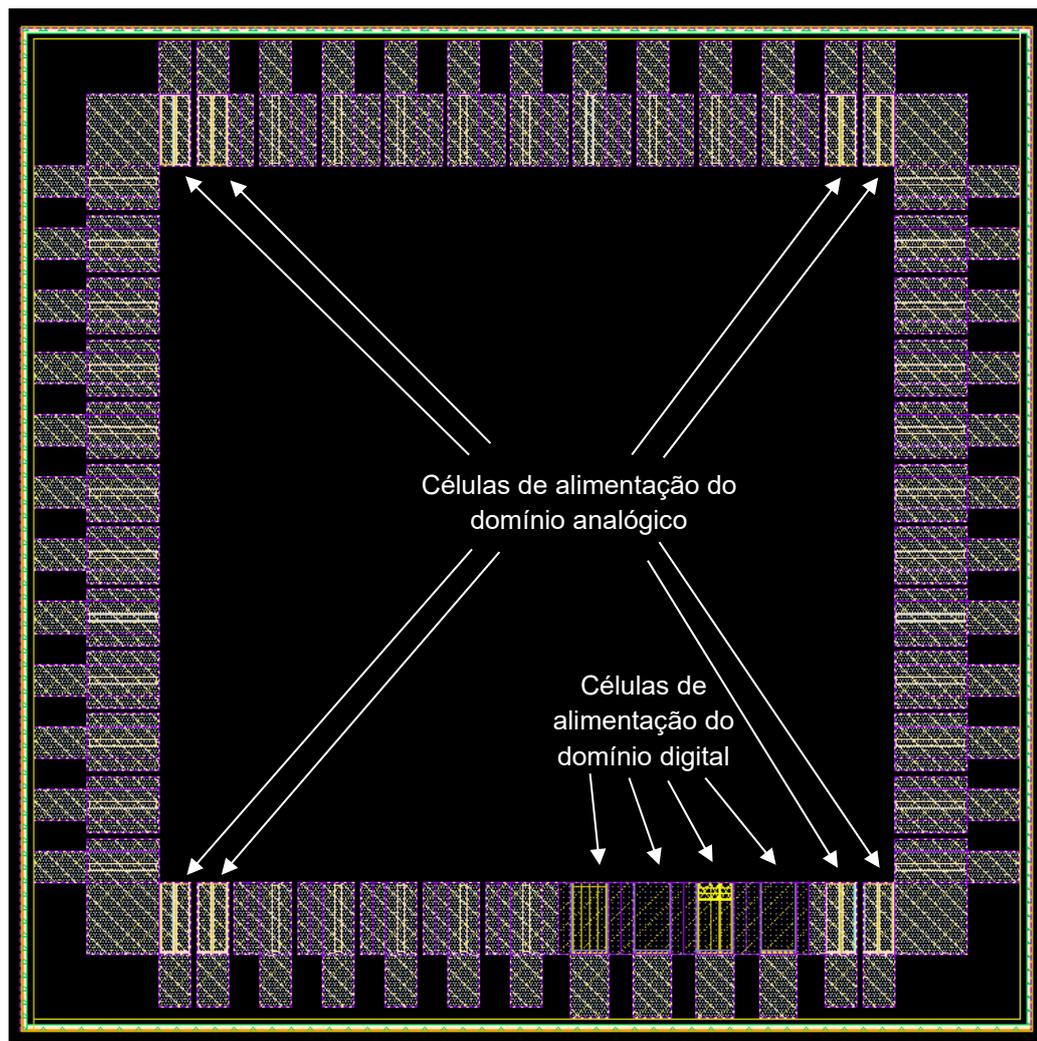


Figura 5.19 - *Layout do I/O Ring* mostrando as células de alimentação dos domínios analógico e digital

A Figura 5.20 mostra a localização dos blocos dos circuitos dentro do *layout* final do chip. A Figura 5.21 mostra o esquema de conexão dos *Bond Pads* aos terminais do chip. Neste esquema estão definidos os terminais 9 e 27 para possibilitar a polarização do substrato.

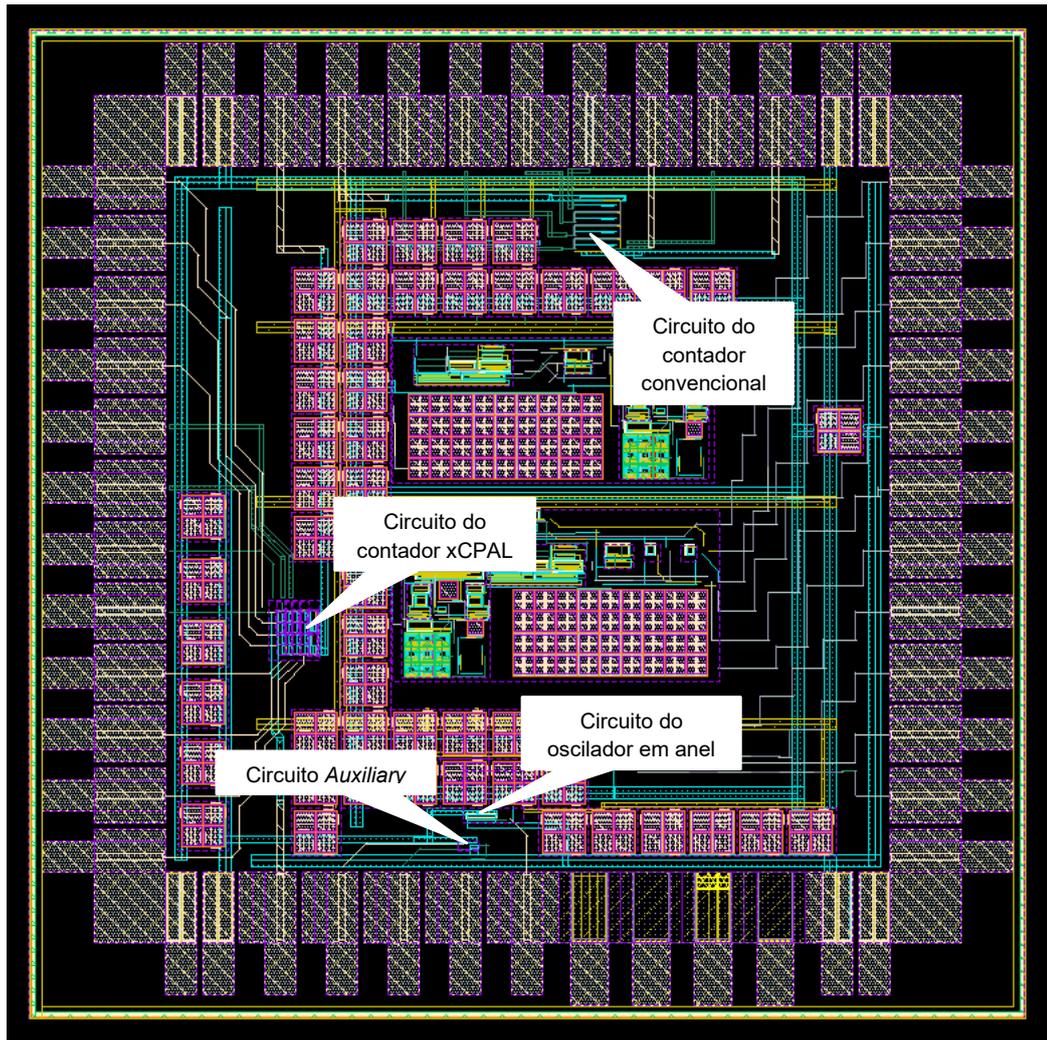


Figura 5.20 - *Layout* final do chip mostrando os blocos dos circuitos

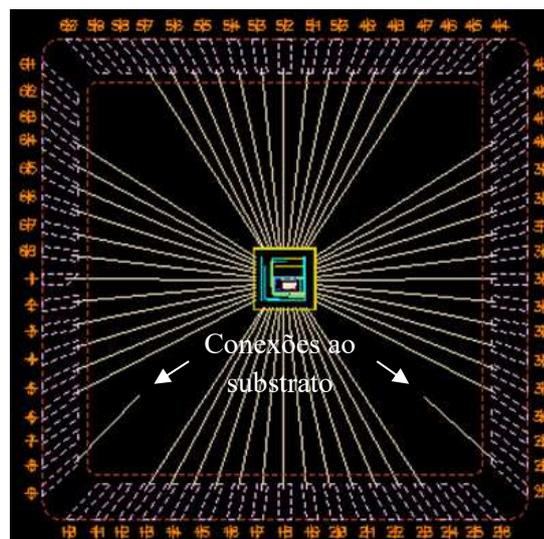


Figura 5.21 - Esquema de conexão dos *Bond Pads* aos terminais do chip

5.2 O circuito Integrado

A tecnologia 180 nm da TSMC utiliza uma camada de polissilício e seis camadas de metal. É adequada para aplicações *Mixed Signal/Radio Frequency* para atender às demandas de IoT e inovações *smart wearable* (EUROPRACTICE, 2019). O Apêndice D resume as principais características desta tecnologia.

O die fabricado na RUN 6207 da TSMC em maio/2018 possui dimensões de 1.660 μm x 1.660 μm . A área ativa disponível para a alocação dos circuitos, sem considerar os PADs e as interconexões com os PADs, é de 1.150 μm x 1.150 μm . Durante o período de ajuste do *layout* solicitado pela *foundry* na etapa de pré-fabricação do circuito integrado, existe muito retrabalho para adequar o *layout* devido ao ajuste fino das regras de projeto e eliminação de efeitos antena. A imagem mostrada na Figura 5.22 foi obtida com um microscópio óptico no CCS-UNICAMP (Centro de Componentes Semicondutores da UNICAMP), utilizando iluminação com luz dicróica. Esta imagem oferece uma visão geral do chip fabricado, onde estão indicados os circuitos elaborados durante o projeto. Outros circuitos aparecem nesta imagem pois trata-se de uma fabricação MPW – *Multi-Project Wafer*.

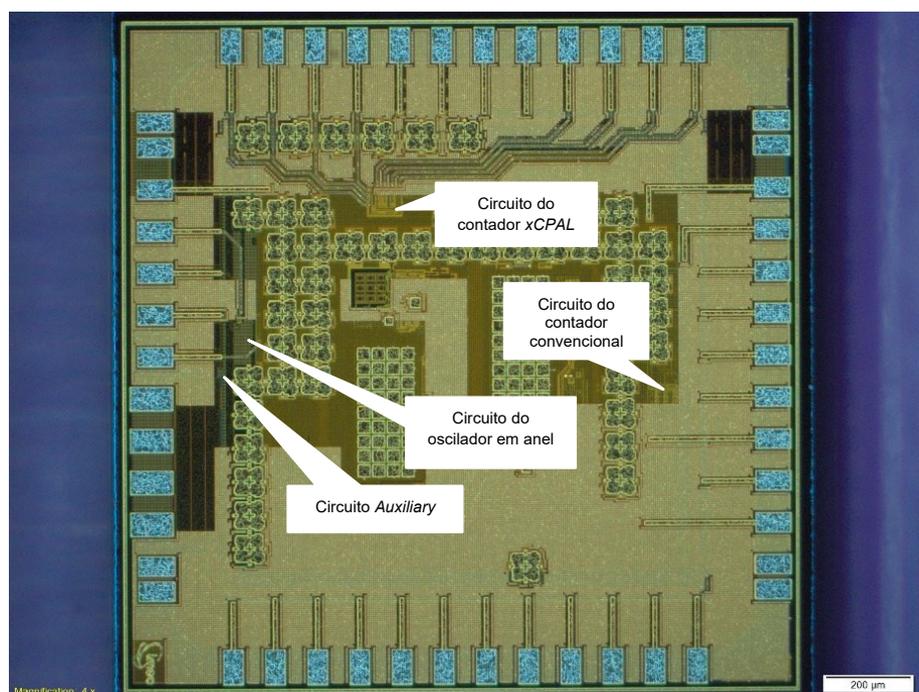


Figura 5.22 - Imagem do chip fabricado obtida com microscópio óptico com iluminação dicróica

Na imagem mostrada na Figura 5.23 estão indicados os principais elementos que compõem o *I/O Ring* do chip fabricado, além de mostrar o *Bond PAD* e o *Seal Ring*. Esta imagem foi obtida com iluminação natural.

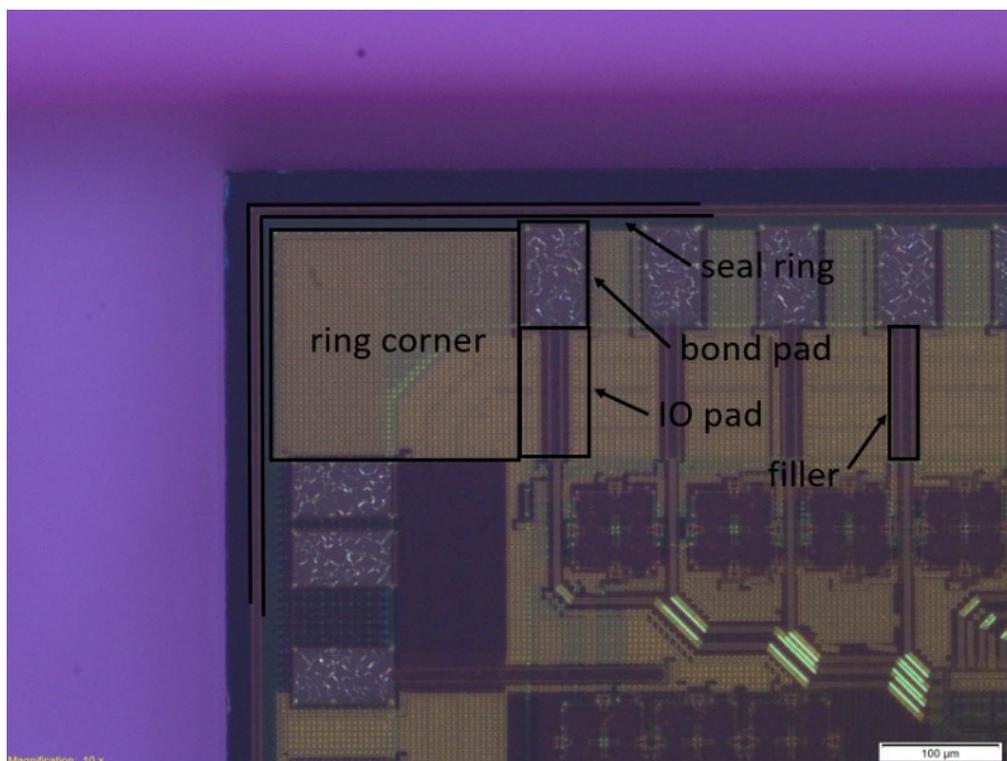


Figura 5.23 - Principais elementos que compõem o *I/O Ring* do chip fabricado

A Figura 5.24 mostra a imagem capturada com luz natural da abertura na camada de passivação do chip com o objetivo de permitir a realização do *wire bonding* (conexão do chip com os terminais do circuito integrado utilizando fiação metálica por processo de soldagem).

A fabricação do chip foi realizada com a opção de aplicação da camada de passivação, cuja função é proteger a superfície do chip contra oxidação. Esta camada disponibiliza este benefício ao mesmo tempo que torna opaca a visão no interior do chip, impossibilitando a tomada de imagens de boa qualidade por fotografia. O aprendizado é que, em novas oportunidades de fabricação, algumas amostras não sejam passivadas, para que as estruturas físicas sobre o silício possam ser verificadas com o uso de microscópios eletrônicos e por fotografia.

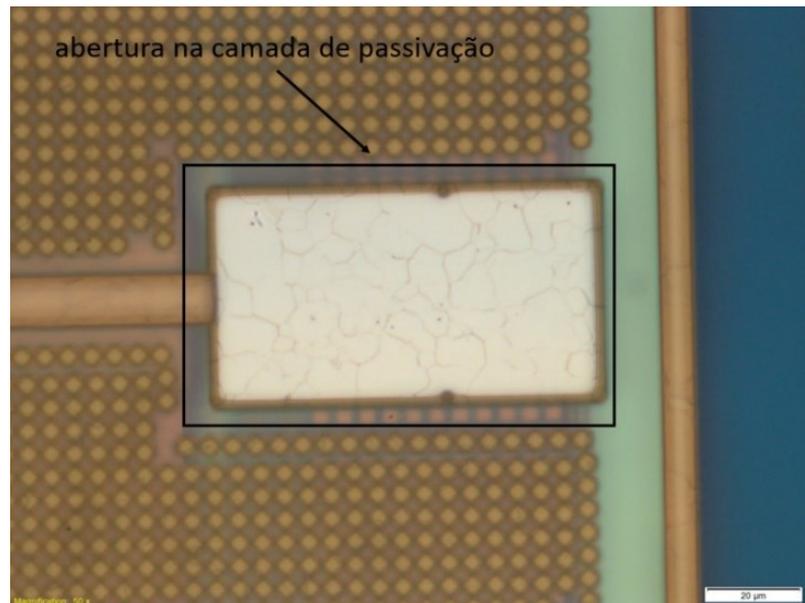


Figura 5.24 - Abertura na camada de passivação do chip fabricado

A Figura 5.25 mostra a imagem da borda do chip fabricado onde se destaca a cor azulada do silício e clivagem do *die*. Para efeito de comparação de um segmento do *layout* projetado com a imagem do chip fabricado, as Figuras 5.26 e 5.27 ilustram a parte do circuito onde aparecem parte do oscilador em anel, o circuito *Auxiliary* e segmentos das camadas de metal 1, 3 e 6. A Figura 5.28 mostra um conjunto de *dies* fabricados, e não encapsulados.

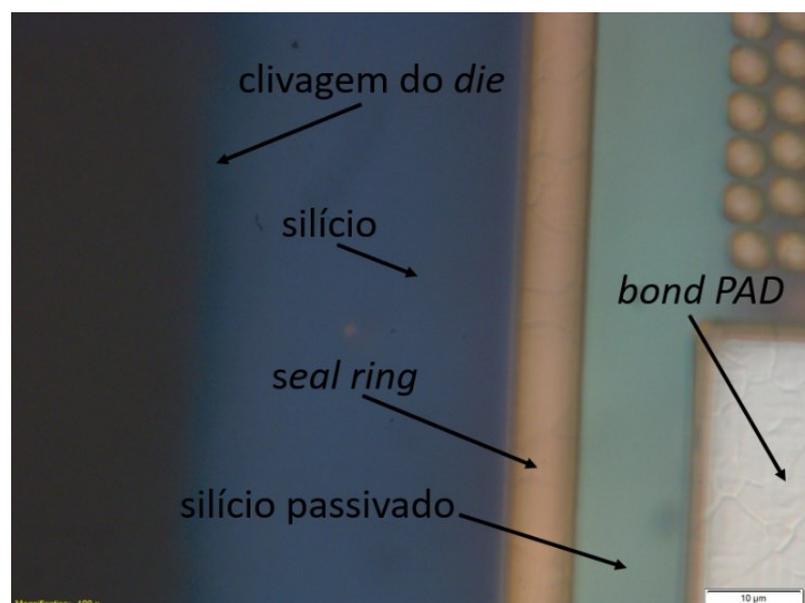


Figura 5.25 - Elementos na borda do chip fabricado

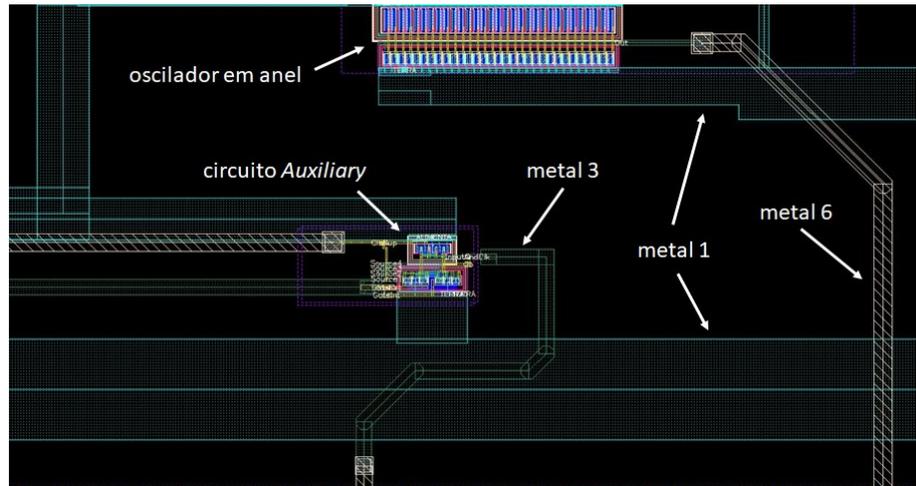


Figura 5.26 - Segmento do *layout* do chip projetado

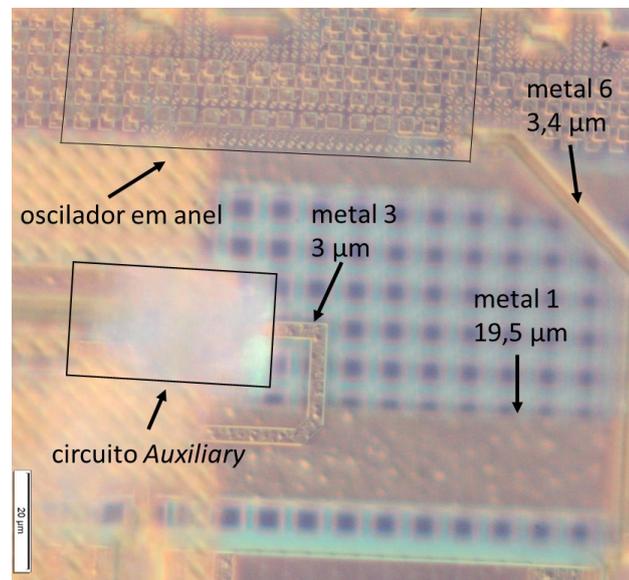


Figura 5.27 - Segmento da imagem do chip fabricado



Figura 5.28 - Conjunto de *dies* fabricados

A TSMC disponibiliza diversos tipos e tamanhos de encapsulamentos dependendo da necessidade do projetista. Para acomodar todas as entradas, saídas e alimentação dos circuitos que compõem o chip, o encapsulamento CLCC-68 foi escolhido. O Anexo E mostra as especificações deste formato de encapsulamento. Dos 40 *dies* fabricados, dez foram encapsulados no formato CLCC-68, sendo que 30 *dies* foram entregues sem encapsulamento. As regras de projeto para este encapsulamento estão definidas em (EUROPRACTICE, 2018). O encapsulamento foi realizado sob protocolo IMEC “1203 Package PB-C87671-B Die TMJP_C06”. A Figura 5.29 mostra as duas faces do circuito integrado fabricado.



Figura 5.29 - Imagem das duas faces do circuito integrado fabricado

O diagrama de pinagem do chip (*pin diagram*) é mostrado na Figura 5.30.

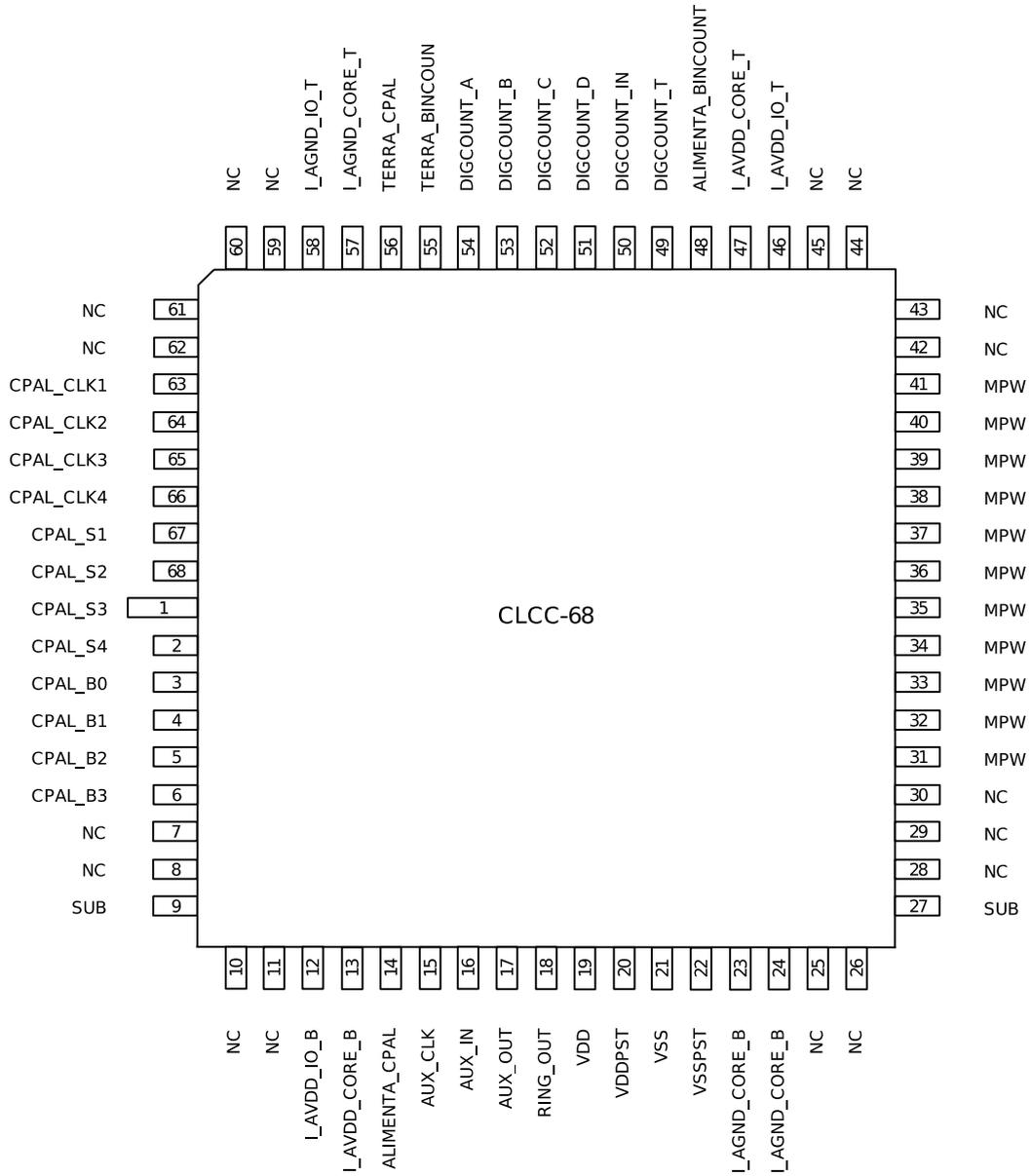


Figura 5.30 - *Pin diagram* do circuito integrado fabricado

6 SIMULAÇÕES E RESULTADOS

A potência média total consumida pelos circuitos adiabáticos é avaliada tendo como base os valores das variáveis disponibilizadas pelo *Spectre* tomando a média do somatório dos produtos de tensão e corrente, ponto-a-ponto, no domínio do tempo, nos terminais “+” das quatro fontes de tensão senoidais que constituem o sistema *power-clock*, no caso do contador adiabático, e no terminal “+” da fonte de tensão contínua, no caso do contador convencional. Para que a comparação de consumo de potência pudesse ser válida, um contador binário com alimentação DC foi projetado com a mesma tecnologia que o contador adiabático. No Apêndice C são apresentados o esquemático e o *layout* do contador convencional.

O cálculo da potência média total consumida pelos contadores é realizado de acordo com a Equação 6.1, que estabelece a média temporal da potência instantânea.

$$P = \frac{\sum_{i=1}^n V_i \cdot I_i}{n} [W] \quad (6.1)$$

onde V_i e I_i são os valores instantâneos de tensão e corrente tomados a partir das fontes de alimentação dos contadores, “n” é o número de amostras realizadas nos sinais de tensão e corrente. As amostragens são realizadas na ordem de 10^{-12} s. São maiores em três ordens de grandeza em relação ao período das maiores frequências utilizadas nos circuitos. Para que o efeito das oscilações inerentes à entrada em operação dos circuitos fosse neutralizado, as médias do consumo de potência dos circuitos adiabáticos foram realizadas sobre 800 ciclos dos sinais do *power-clock*, e para os circuitos convencionais sobre 160 ciclos do sinal de *clock*. A partir destes números de ciclos o valor da média converge para erros menores que 0,1%.

No caso do contador convencional, a potência média total é calculada conforme a Equação 6.2.

$$P = \frac{\sum_{i=1}^n 1,8 \cdot I_i}{n} [W] \quad (6.2)$$

No caso do contador adiabático, a potência média total é calculada conforme a Equação 6.3.

$$P = \frac{\sum_{i=1}^n V_{pc1_i} \cdot I_{pc1_i} + \sum_{i=1}^n V_{pc2_i} \cdot I_{pc2_i} + \sum_{i=1}^n V_{pc3_i} \cdot I_{pc3_i} + \sum_{i=1}^n V_{pc4_i} \cdot I_{pc4_i}}{n} [W] \quad (6.3)$$

onde $pc1$, $pc2$, $pc3$ e $pc4$ referem-se a cada fase do sistema *power-clock*.

6.1 Comparação do consumo das portas AND-NAND adiabática e convencional

O elemento básico para a construção dos contadores é a porta AND-NAND. Para uma porta lógica, além da comparação do consumo de potência, levanta-se a energia consumida por ciclo de operação do dispositivo. Para a porta convencional, diferentemente do consumo de potência, que varia de valores em relação à variação de frequência, o consumo de energia por ciclo de operação apresenta um valor em torno de um valor específico para uma determinada faixa de frequências utilizada na simulação.

O levantamento dos valores de potência consumida é obtido considerando-se critérios de operacionalidade da porta lógica. Na porta com alimentação convencional o critério adotado é o atraso da porta de modo que o nível lógico “1” possa ser amostrado corretamente na metade do período de duração de um pulso lógico. Para isso é considerado que o nível lógico “1” está superior a 90% (1,62 V) de seu valor nominal (1,8 V) e o nível lógico “0” está inferior a 10% (180 mV) de seu valor nominal (1,8 V). No caso da porta adiabática, como o sinal do dado está sincronizado com o sinal de *clock* do circuito, e ainda é menos sensível a atrasos em relação ao *clock*, o critério adotado é a amplitude pico-a-pico do sinal, que deve estar superior a 90% (1,62 V) do seu valor pico-a-pico (1,8 V).

Para o estabelecimento do limite operacional e para a realização das simulações do contador adiabático, o circuito apresentado na Figura 4.4 foi utilizado nas condições para $X = Y = 1$. O *power-clock* da porta lógica foi configurado separadamente do *power-clock* do circuito *Auxiliary* para que somente os dados de consumo da porta fossem levantados, conforme mostra a Figura 6.1.

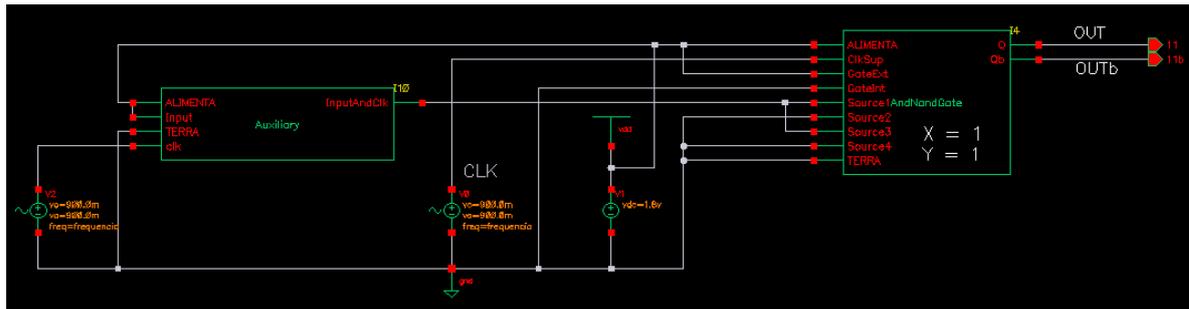


Figura 6.1 - Esquemático para medição do consumo da porta AND/NAND adiabática

Com as condições de contorno estabelecidas o limite operacional da porta adiabática é obtido em $f \cong 7 \text{ GHz}$. A Figura 6.2 mostra que na frequência de 7 GHz os critérios adotados são atendidos. O atraso da porta é de 12,03 ps. Optou-se por se realizar a medição do atraso da porta a partir do valor de pico dos sinais, ao invés das tomadas de tempo a 50% do valor da amplitude pico-a-pico, pelo fato do perfil do sinal na saída da porta possuir distorção próxima ao valor de 50% do valor pico-a-pico.

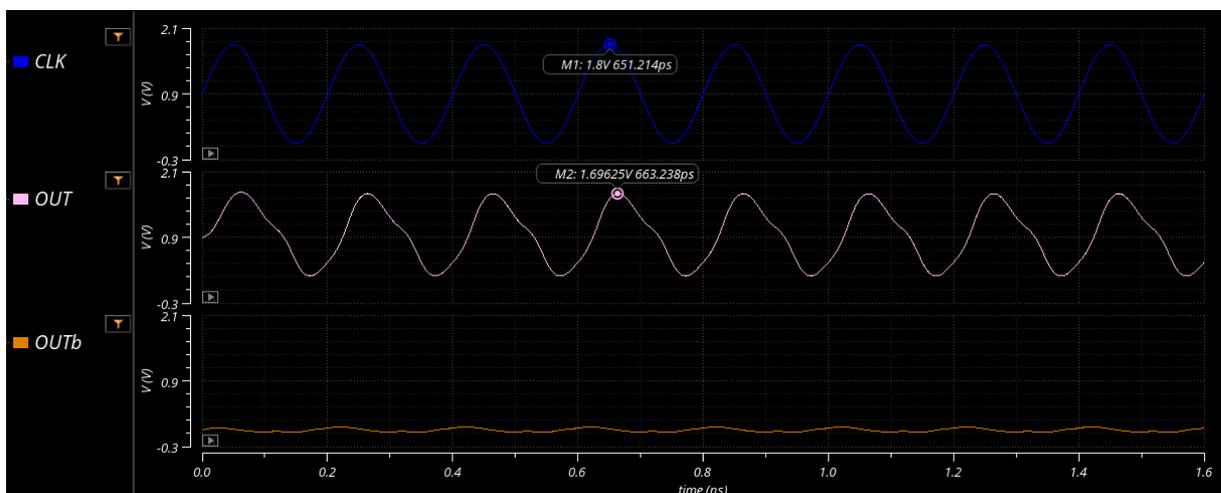


Figura 6.2 – Diagrama de sinais para levantamento do limite operacional da porta AND/NAND adiabática

A Figura 6.3 apresenta o diagrama de sinais da tensão, corrente e potência instantânea na frequência de 1 GHz para a porta AND/NAND adiabática. Para as demais frequências o mesmo procedimento foi adotado. A Tabela 6.1 apresenta os valores de potência consumida para as frequências na faixa de 20 MHz a 10 GHz. A Tabela 6.2 apresenta os valores de energia consumida por ciclo de operação.

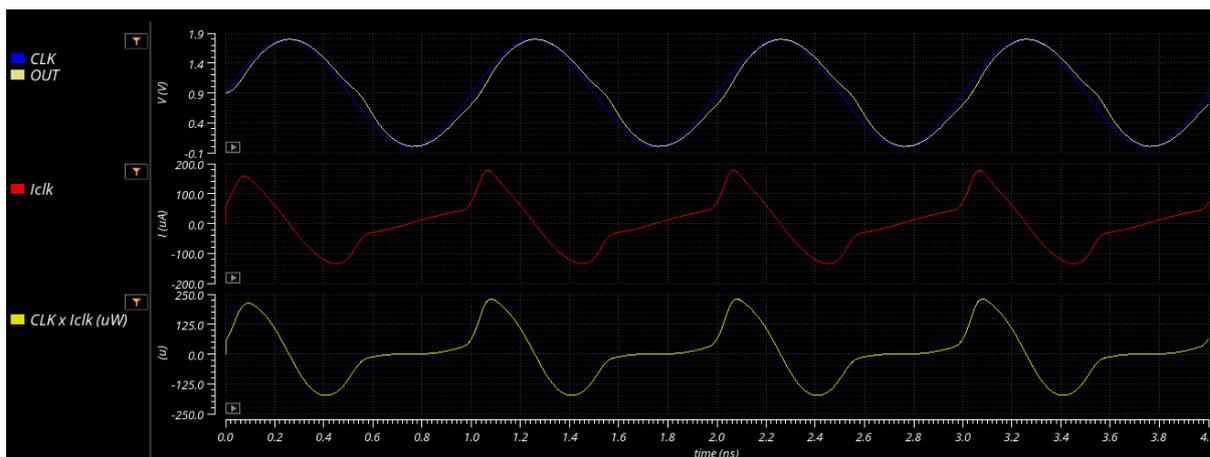


Figura 6.3 - Diagrama de sinais da tensão, corrente e potência da porta AND/NAND adiabática

Tabela 6.1 – Potência consumida pela porta AND/NAND adiabática

Frequência (MHz)	20	50	100	200	500	1000	2000	5000	10000
Potência (μ W)	0,003	0,017	0,067	0,264	1,567	5,865	21,29	100,9	216,3

Tabela 6.2 – Energia consumida por ciclo de operação pela porta AND/NAND adiabática

Frequência (MHz)	20	50	100	200	500	1000	2000	5000	10000
Energia (fJ)	0,149	0,343	0,673	1,321	3,134	5,865	10,64	20,18	21,63

É possível que o consumo de potência instantânea seja relatado negativo em alguns intervalos, conforme observado no produto $CLK \times I_{clk}$ na Figura 6.3, indicando apenas o fluxo de potência. No entanto, a potência líquida para o circuito é positiva, não sendo correto assumir que o circuito está gerando energia durante esses

intervalos. Circuitos adiabáticos devolvem parte da energia para o sistema de alimentação e retêm energia, para ser, em parte, utilizada no próximo estágio sequencial do circuito.

As Figuras 6.4 e 6.5 mostram os gráficos da potência média e energia por ciclo de operação consumidas pela porta AND/NAND adiabática. Observa-se que a potência consumida tem tendência de queda quando se aproxima de 10 GHz, não pelo fato de possuir melhor eficiência, mas pelo fato da distorção e consequente redução da amplitude do sinal de saída da porta, reduzindo consequentemente a corrente de dreno dos transistores do *pull-up* da porta. Apesar do consumo ser muito reduzido em 20 MHz, este aumenta quatro ordens de grandeza em 7 GHz. A energia consumida por ciclo de operação aumenta duas ordens de grandeza quando se varia a frequência de 20 MHz a 7 GHz.

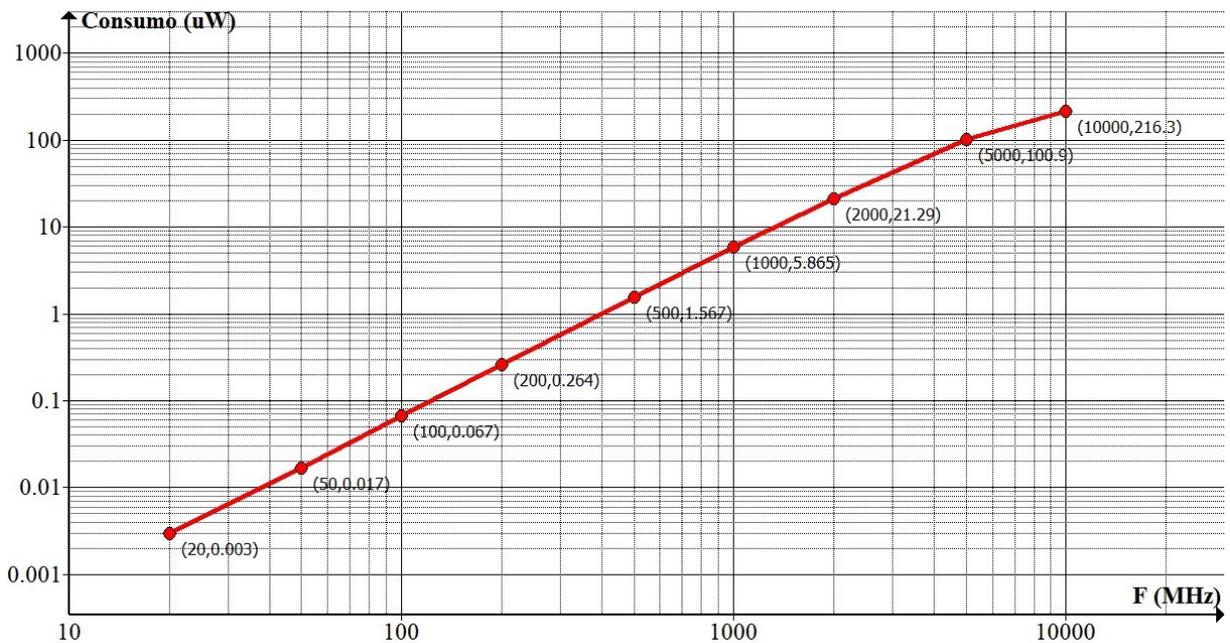


Figura 6.4 - Potência consumida pela porta AND/NAND adiabática

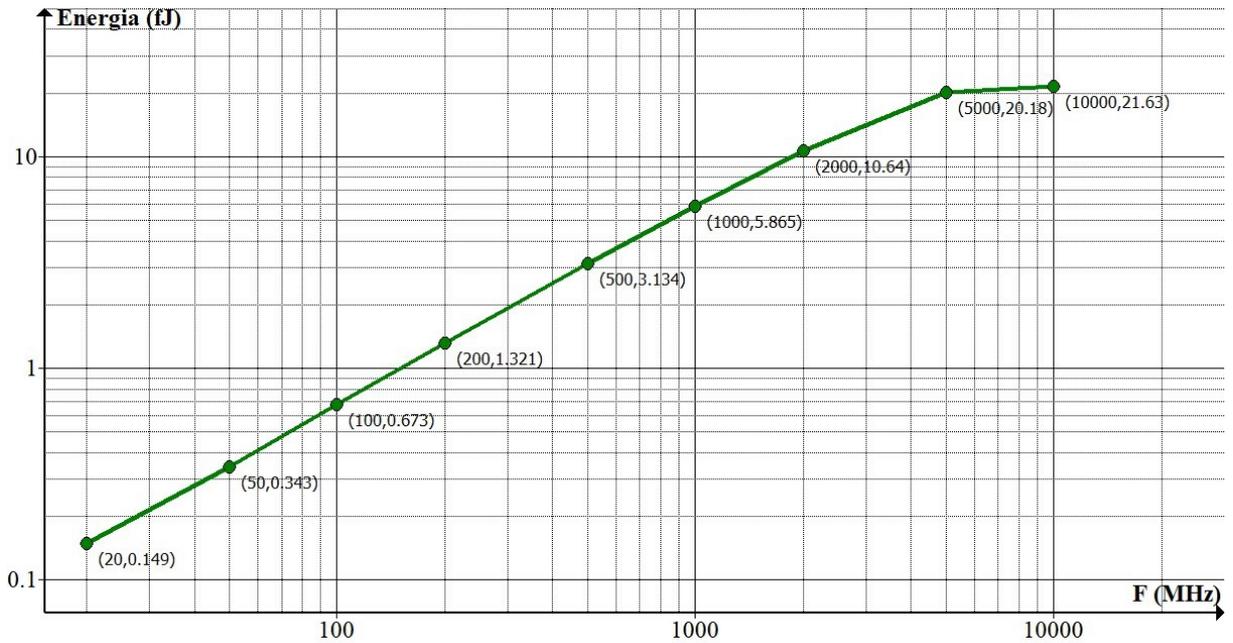


Figura 6.5 - Energia consumida por ciclo de operação pela porta AND/NAND adiabática

Para o estabelecimento do limite operacional e para a realização das medições de consumo do contador convencional, o circuito da Figura 6.6 é utilizado. Neste trabalho “limite operacional” é definido como a frequência máxima de operação para o correto funcionamento do circuito considerando os critérios estabelecidos. No bloco *VddANDGate* existe a funcionalidade das funções lógicas NAND e AND, para que o consumo da porta possa ser comparado à porta adiabática com a mesma funcionalidade, já que esta funcionalidade é nativa na porta adiabática.

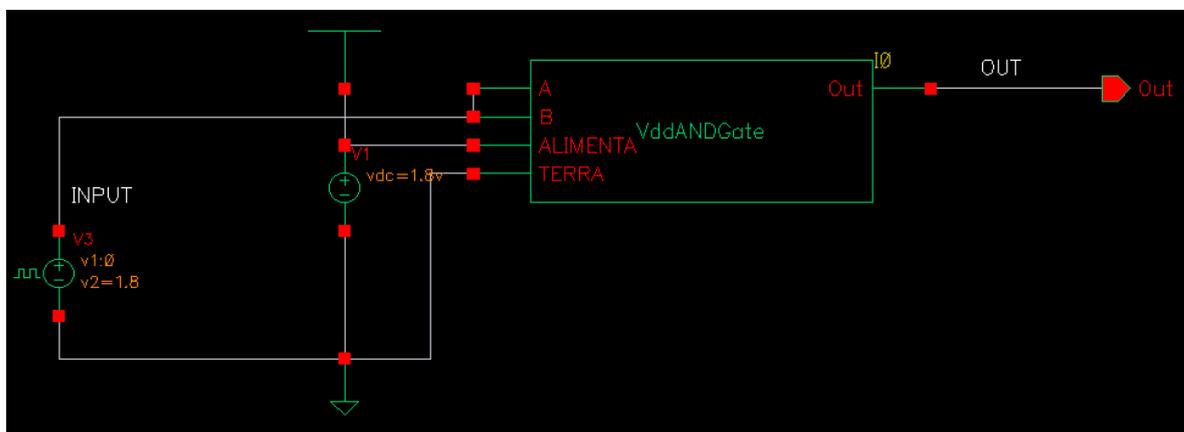


Figura 6.6 - Esquemático para medição do consumo da porta AND/NAND convencional

O próximo passo é o levantamento do limite operacional da porta. A Figura 6.7 mostra que na frequência de 3 GHz a porta ainda atende aos critérios de medição estabelecidos (marcador M1). Nesta frequência o atraso da porta é de 57,16 ps, tomado a partir de 50% da amplitude na subida do sinal de entrada (marcador M2) até 50% da amplitude na subida do sinal de saída da porta (marcador M3). Medidas a 5 MHz indicaram violação do critério de funcionamento da porta, com amplitude do sinal a meio ciclo com valor de 397,8 mV. Os resultados para o levantamento do limite operacional, e para o levantamento de consumo de potência e energia da porta AND/NAND convencional, foram obtidos com as entradas das portas em nível lógico “1”. Os diagramas de tempo mostrados nas Figuras 6.7 e 6.8 apresentam o sinal de excitação da porta (*clock*) com a tag “INPUT”.

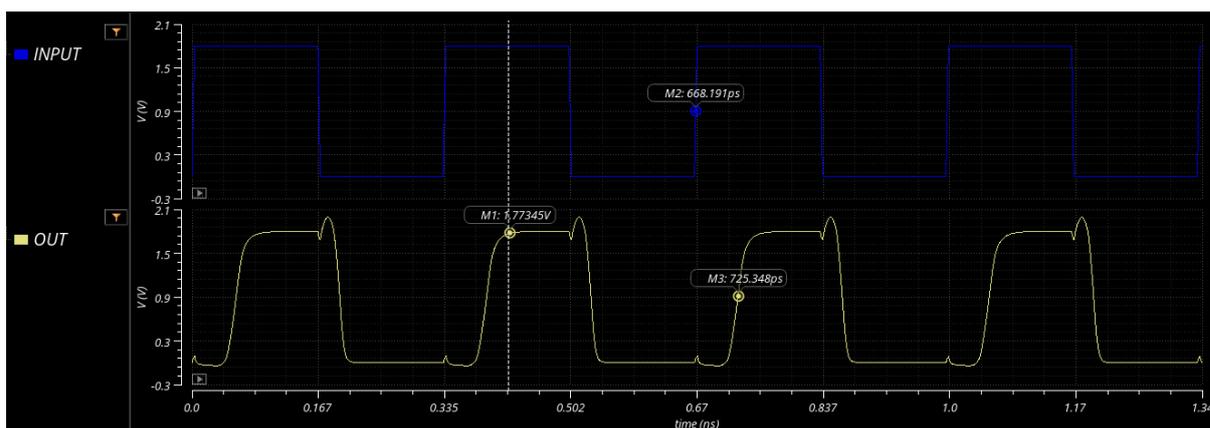


Figura 6.7 – Diagrama de sinais para o levantamento do limite operacional da porta AND/NAND convencional

A Figura 6.8 apresenta o diagrama de sinais da tensão, corrente e potência instantânea, na frequência de 1 GHz, da porta AND/NAND convencional. Para as demais frequências o mesmo procedimento foi adotado. A Tabela 6.3 apresenta os valores de potência consumida para as frequências na faixa de 20 MHz a 10 GHz. A Tabela 6.4 apresenta os valores de energia consumida por ciclo de operação pela porta convencional.

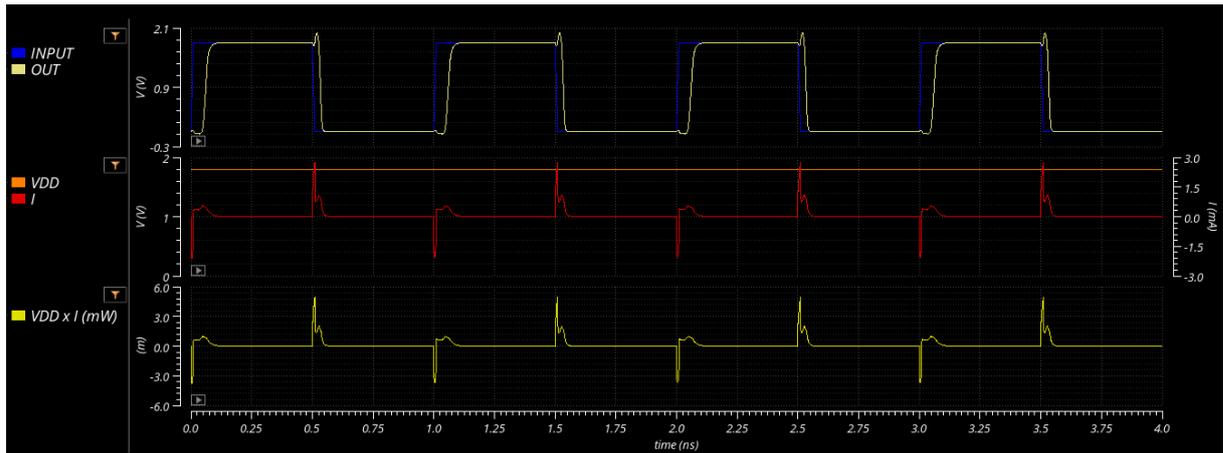


Figura 6.8 - Diagrama de sinais da tensão, corrente e potência da porta AND/NAND convencional

É possível que o consumo de potência instantânea seja relatado negativo em alguns intervalos, conforme observado no produto $V_{DD} \times I$ na Figura 6.8. Isto acontece nas bordas do sinal quando este é comutado por causa do acoplamento capacitivo gate-dreno e/ou efeitos indutivos, causando valores de tensão superiores a V_{DD} ou inferiores ao potencial do terra, forçando a corrente elétrica de volta para a fonte ou no sentido do terra para o circuito, indicando apenas o fluxo de potência. No entanto, a potência líquida para um circuito deve ser positiva, não sendo correto assumir que o circuito está gerando energia durante esses intervalos.

Tabela 6.3 – Potência consumida pela porta AND/NAND convencional

Frequência (MHz)	20	50	100	200	500	1000	2000	5000	10000
Potência (μ W)	2,940	5,693	10,60	21,18	55,12	113,5	231,5	579,5	814,9

Tabela 6.4 – Energia consumida por ciclo de operação pela porta AND/NAND convencional

Frequência (MHz)	20	50	100	200	500	1000	2000	5000	10000
Energia (fJ)	147,0	113,9	106,0	105,9	110,2	113,5	115,7	115,9	81,49

As Figuras 6.9 e 6.10 mostram os gráficos de consumo de potência e energia por ciclo de operação da porta AND/NAND convencional. Observa-se que a potência consumida, a exemplo da porta adiabática, também tem tendência de queda quando se aproxima da frequência de 10 GHz.

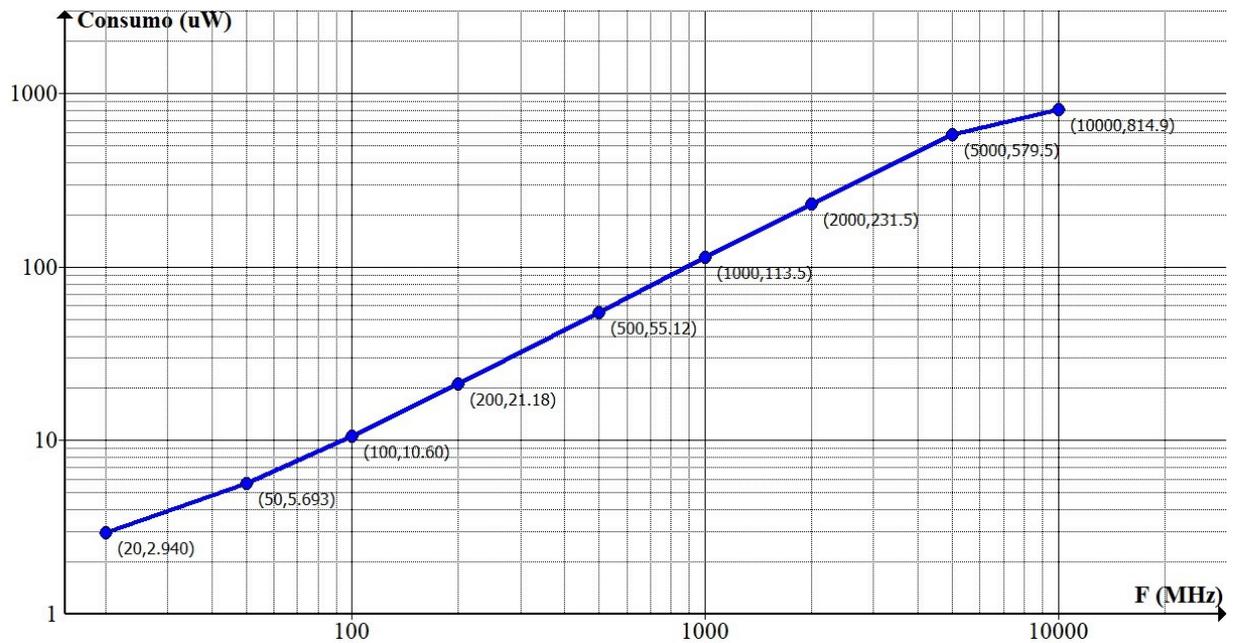


Figura 6.9 - Potência consumida pela porta AND/NAND convencional

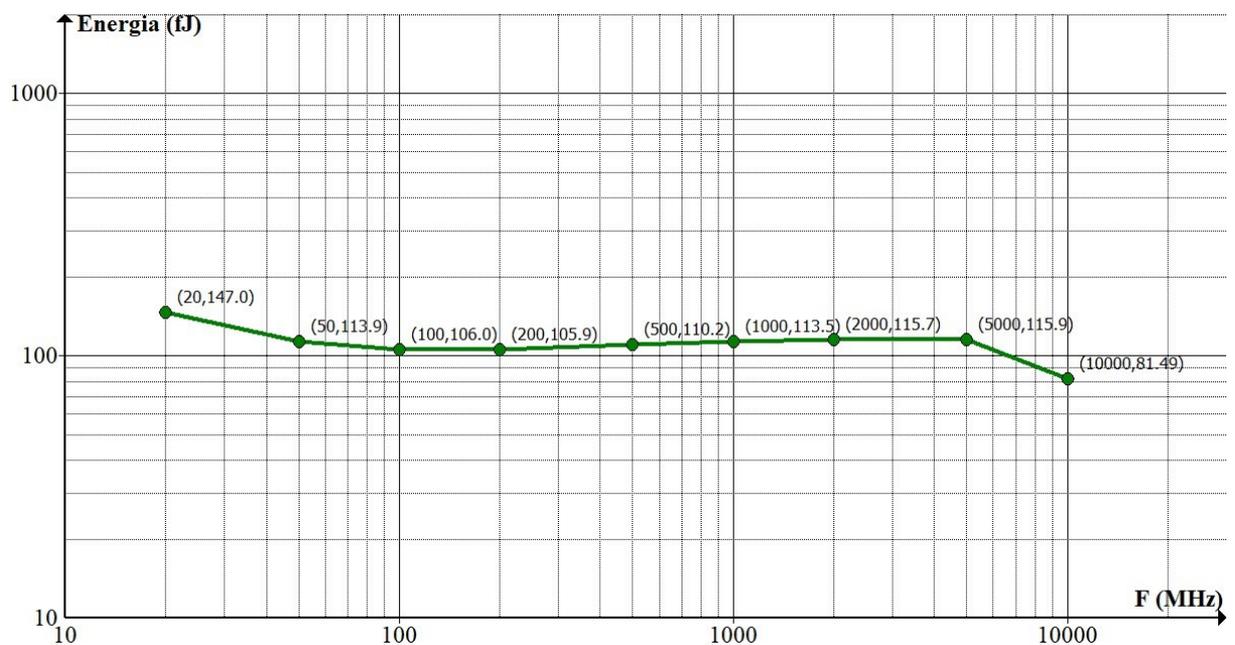


Figura 6.10 - Energia consumida por ciclo de operação pela porta AND/NAND convencional

A comparação entre o consumo de potência e energia das portas adiabática e convencional é apresentada nos gráficos da Figuras 6.11 e 6.12. Para realizar esta comparação foi considerado o limite de frequência operacional comum a estas duas portas. Considerando os dois limites já apresentados, a comparação é realizada até a frequência de 3 GHz.

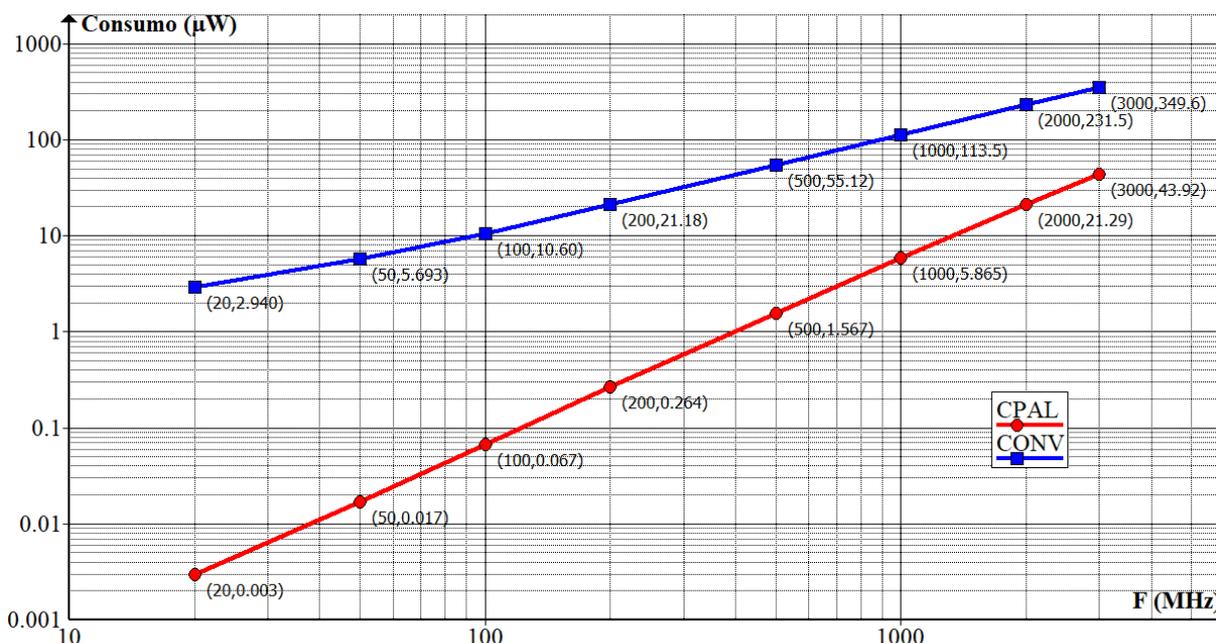


Figura 6.11 - Comparação da potência consumida pelas portas AND/NAND adiabática e convencional

A relação de consumo de potência por década de frequência, considerando o intervalo de 100 a 1000 MHz é de 10,7 para a porta convencional, e de 87,46 para a porta adiabática. Observa-se então a relação de 8,17 por década de frequência para o crescimento do consumo de potência da porta adiabática comparada com a porta convencional. Espera-se, como observado, uma taxa de crescimento do consumo maior para os circuitos adiabáticos, pois a técnica de circuitos adiabáticos possui consumo de potência diretamente influenciado pela taxa de subida da amplitude do sinal de *power-clock* comparado com as constantes de tempo RC do circuito, além do próprio aumento do consumo ser proporcional ao aumento da frequência, conforme pode ser observado na Equação 2.22. Por meio do gráfico de comparação do consumo de potência pode-se observar que, embora ambas as curvas sejam

crecientes com o aumento da frequência, a potência consumida pela porta adiabática é uma ordem de grandeza inferior, na maior frequência medida.

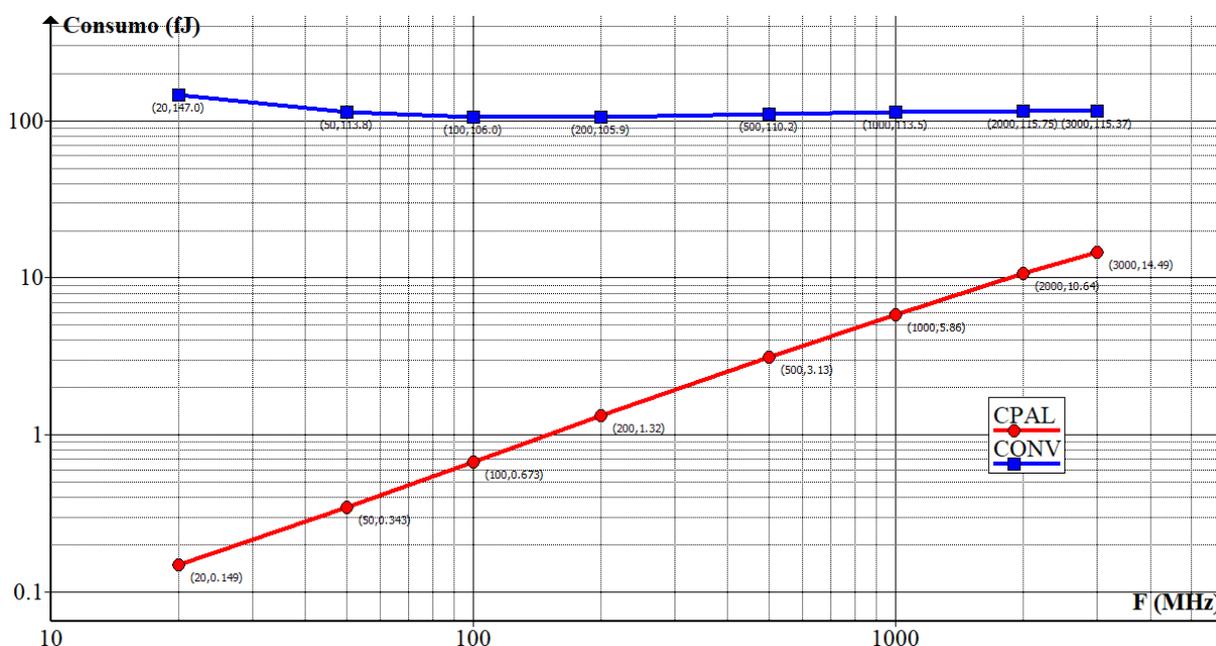


Figura 6.12 - Comparação da energia consumida por ciclo de operação pelas portas AND/NAND adiabática e convencional

No gráfico de comparação do consumo de energia por ciclo de operação, nota-se que, a porta adiabática tem o consumo aumentado em duas ordens de grandeza na faixa de frequências medida, enquanto a porta convencional consome energia na mesma ordem de grandeza. Esta observação pode ser mais bem compreendida pela análise das Equações 2.16 e 2.19, onde, para os circuitos convencionais alimentados por tensão contínua, a energia por ciclo de operação, independe da frequência de operação, enquanto nos circuitos adiabáticos, a energia por ciclo de operação depende da relação da taxa de subida da amplitude do sinal de *power-clock* com a constante RC observada no nó de saída da porta. A Figura 6.13 mostra a relação de consumo de potência entre a porta adiabática e a porta convencional. Na máxima frequência de operação comum às duas portas – 3 GHz, a porta adiabática consome 12,6% da potência consumida pela porta convencional.

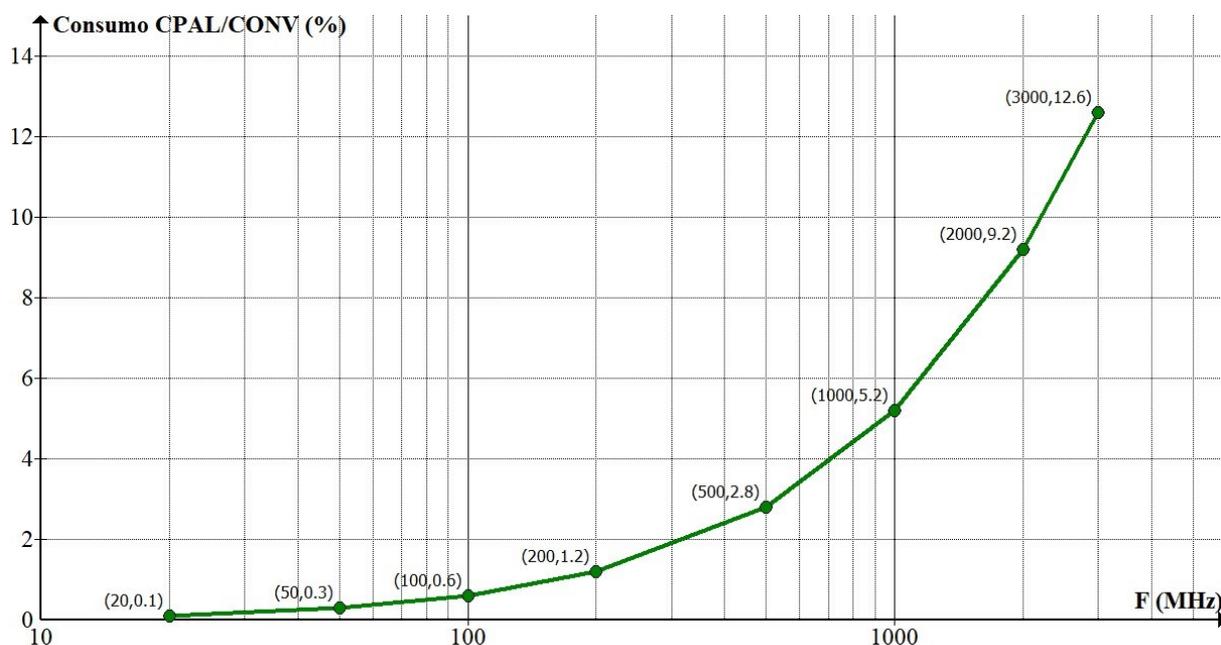


Figura 6.13 - Comparação percentual da potência consumida entre as portas AND/NAND adiabática e convencional

Um ponto a ser considerado na comparação destas duas portas lógicas é quanto à funcionalidade que está sendo comparada. A porta adiabática é por si só de natureza por operação pulsada, onde o pulso alimenta a porta, ao mesmo tempo que possui relação com a frequência de pulso do sinal e funciona como o *clock* básico de operação da porta. Denominado aqui *clock* básico pelo fato de que em lógica sequencial, outros sincronismos podem derivar dele. Se para manter a mesma funcionalidade na comparação das duas portas é necessário colocar as duas entradas da porta convencional em nível lógico “1”, invariável no tempo, a única potência consumida existente na porta convencional é a potência estática. Neste caso, a potência é constante depois do tempo de estabilização da alimentação da porta, com valor aproximado de 110,6 pW. Assim, se este valor for comparado com a potência consumida pela porta adiabática na mais baixa frequência avaliada (20 MHz), a porta adiabática consome 16,2 vezes o que consome a porta convencional. Como a potência média total da porta adiabática possui em seu principal componente a potência dinâmica, pode-se chegar à conclusão que se está comparando tipos de potência que não poderiam ser comparados. Optou-se então por se realizar a comparação com o uso de estímulos de mesma frequência aplicados às portas, ou seja, a comparação é realizada com a frequência do *power-clock* igual à frequência

do *clock* do circuito convencional. Esta questão vem a ser resolvida neste trabalho na comparação das duas técnicas, adiabática e convencional, já que o projeto utilizando portas convencionais por natureza usa um sinal de *clock* nos flip-flops e contadores.

6.2 Comparação do consumo dos FF JK adiabático e convencional

Pelo mesmo método utilizado para a medição do consumo de potência da porta AND/NAND adiabática, a potência do FF JK é medida utilizando o esquemático mostrado na Figura 6.14. A medição de potência é realizada também com a extração dos parâmetros parasitas, que ficam evidenciados como consequência do posicionamento dos elementos disponíveis para a elaboração do *layout* (trilhas, vias, contatos etc.).

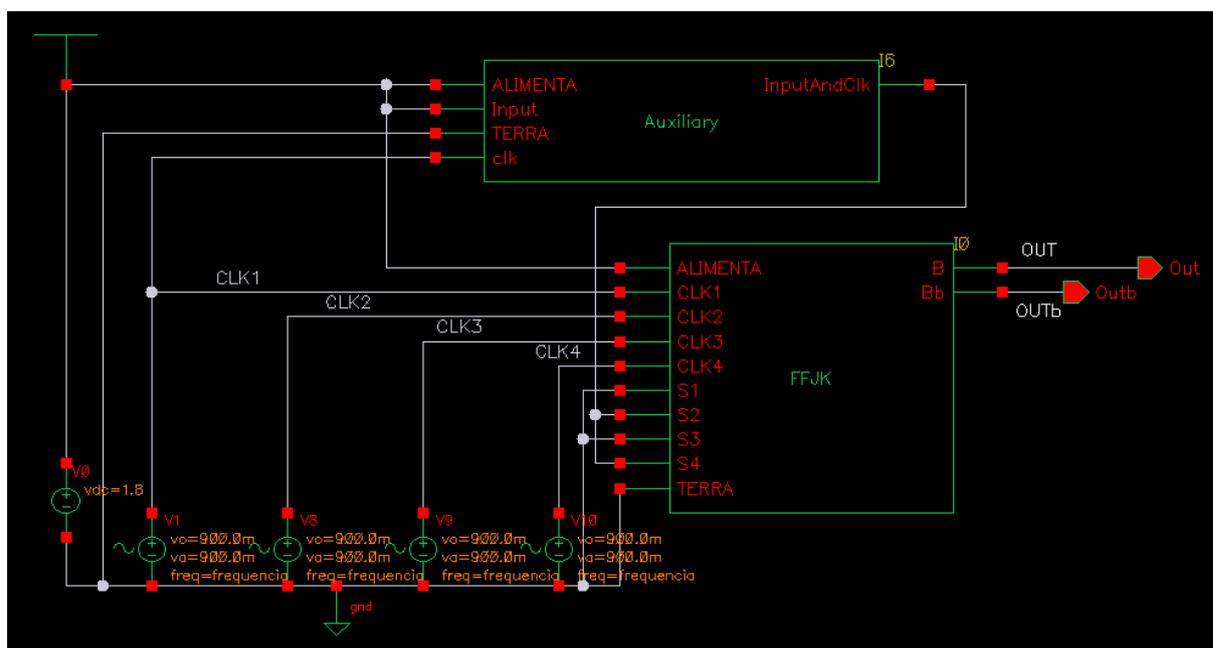


Figura 6.14 - Esquemático utilizado para medições de consumo no FF JK adiabático

A Figura 6.15 mostra o limite operacional do FF JK adiabático na frequência de 5 GHz, onde a amplitude do sinal OUT se aproxima do valor de 1,62 V estabelecido como critério de operacionalidade.

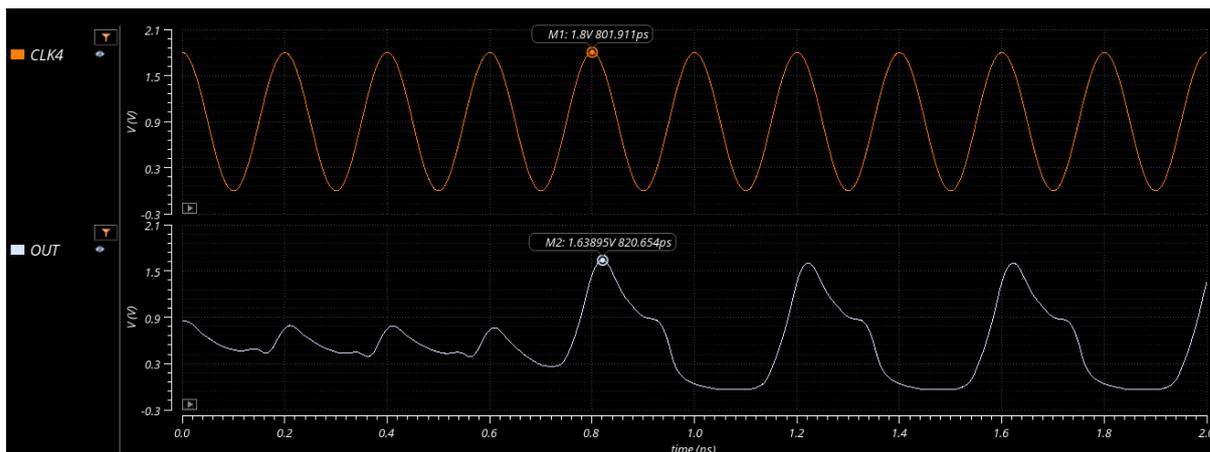


Figura 6.15 – Diagrama de sinais mostrando o limite operacional do FF JK adiabático

Considerando a extração dos parâmetros parasitas, o FF JK fica limitado a operar em frequências até 3 GHz. O gráfico da Figura 6.22 mostra a tendência de queda no consumo de potência na frequência de 5 GHz pelo fato da queda de amplitude do sinal de saída OUT do flip-flop, e não pelo fato do flip-flop estar sendo mais eficiente nesta frequência.

As Figuras 6.16 a 6.19 mostram os diagramas de sinais de tensão, corrente e potência para cada sinal do *power-clock*, na frequência de 1 GHz, sem extração de parâmetros. Diagramas similares, com extração de parâmetros, não são aqui apresentados, pois apresentam perfis dos valores instantâneos semelhantes, mas os valores obtidos do consumo de potência com extração de parâmetros são comparados com os valores sem extração de parâmetros. Nos diagramas de sinais das Figuras 6.16 a 6.19 observa-se que a corrente consumida pelo *power-clock_n* está em fase com a tensão do *power-clock_{n-1}*, pois as variáveis de controle do estágio alimentado pelo *power-clock_n* são acionadas pelas variáveis de saída do estágio alimentado pelo *power-clock_{n-1}*.

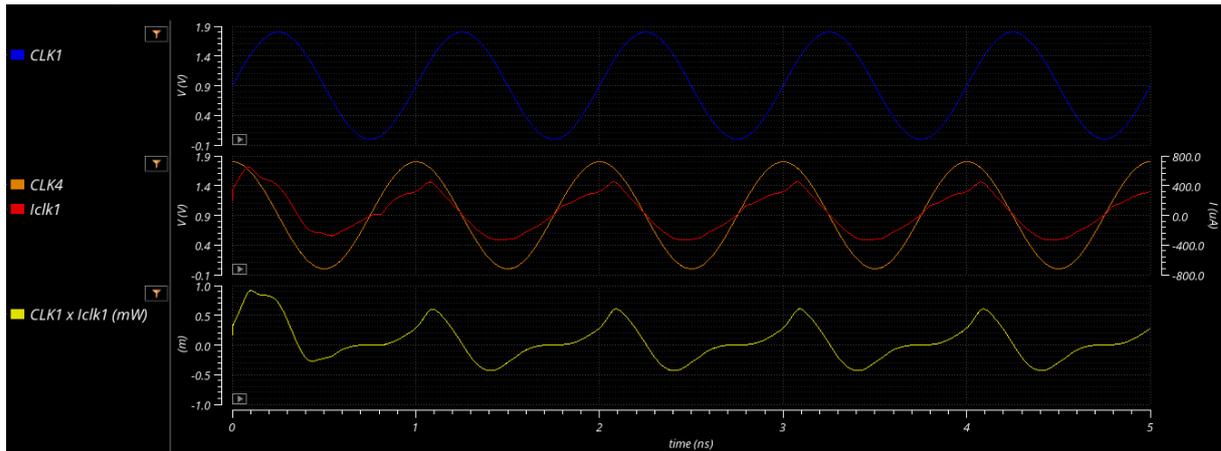


Figura 6.16 – Diagrama de sinais de tensão, corrente e potência do *power-clock1* do FF JK adiabático

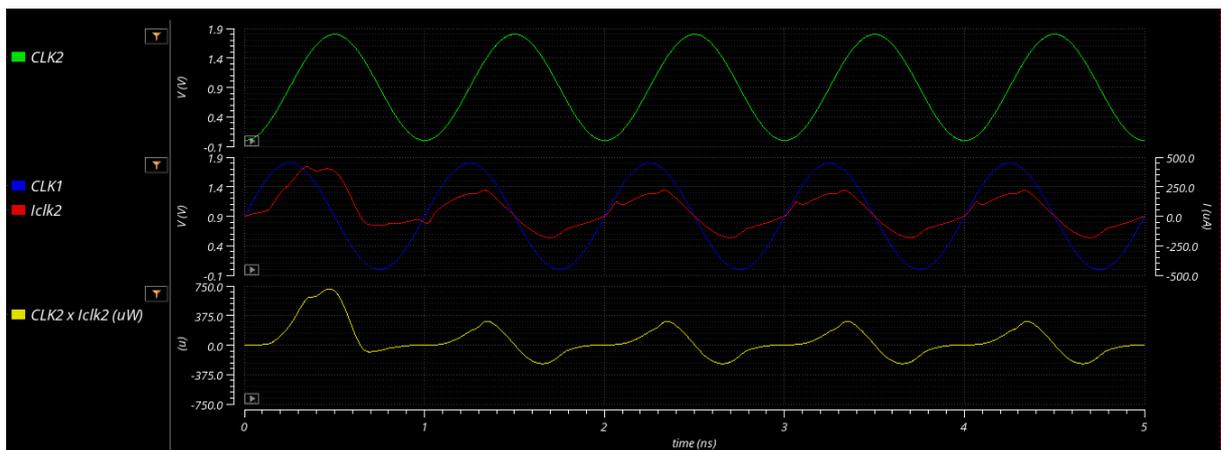


Figura 6.17 – Diagrama de sinais de tensão, corrente e potência do *power-clock2* do FF JK adiabático

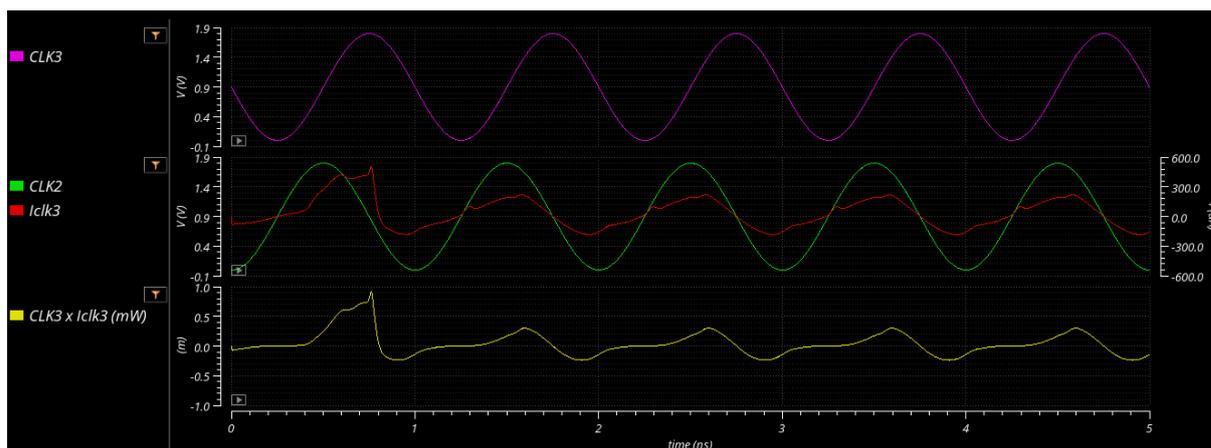


Figura 6.18 – Diagrama de sinais de tensão, corrente e potência do *power-clock3* do FF JK adiabático

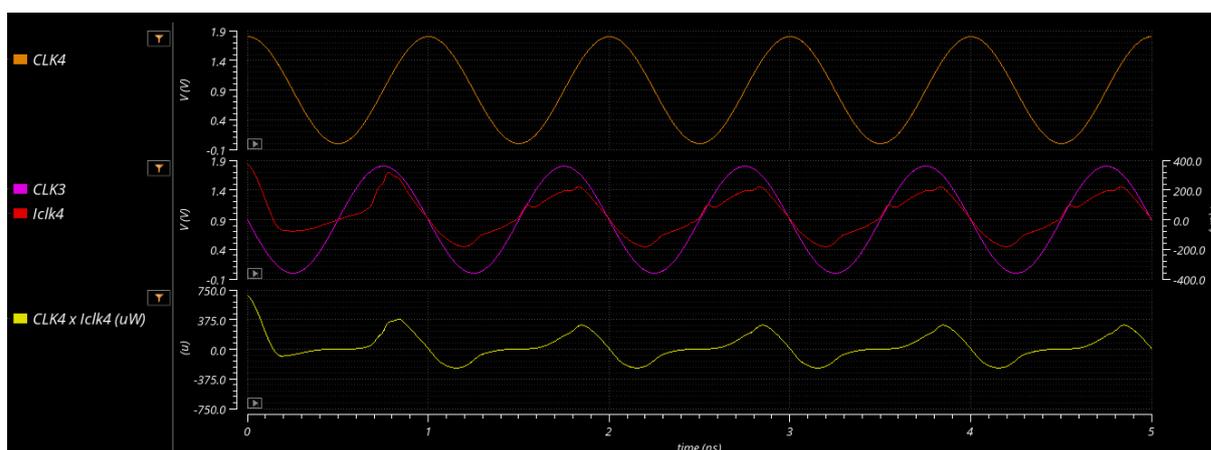


Figura 6.19 – Diagrama de sinais de tensão, corrente e potência do *power-clock4* do FF JK adiabático

A análise dos quatro estados de operação do sistema *power-clock* (E, H, R e W) pode ser realizada considerando o diagrama de sinais da Figura 6.20 a partir do sentido da corrente e da derivada da corrente do *power-clock*. O estado de avaliação “E” pode ser observado quando a corrente possui valor positivo e derivada positiva, assinalado pelo marcador M1 no diagrama de sinais da Figura 6.20. Quando a corrente possui valor positivo e derivada negativa o estado de operação é o de estabilização “H” (marcador M2). Quando a corrente possui valor negativo e derivada negativa o estado de operação é o de recuperação “R” (marcador M3), e quando a corrente possui valor negativo e derivada positiva o estado de operação é o de espera

“W” (marcador M4). O marcador M5 sinaliza a deformação do sinal de saída OUT, ocasionado pela variável de controle sincronizada pelo CLK3, quando CLK3 sobe a partir de zero volt, reduzindo a taxa de descarga do nó de saída OUT, durante o estado “W”, até que o *power-clock4* entre no estado “E”, quando então a descarga do nó de saída é completada.

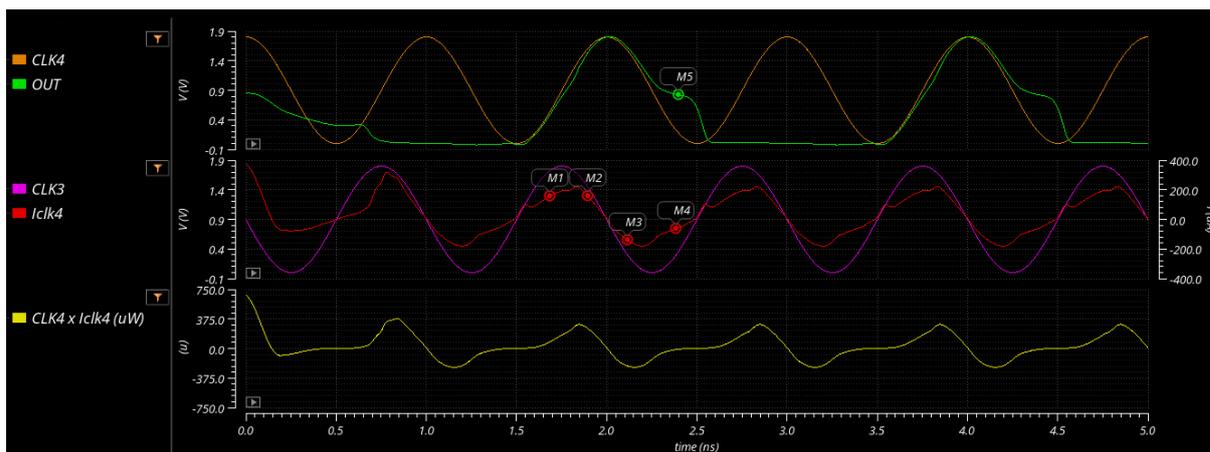


Figura 6.20 – Análise dos estados de operação do *power-clock* a partir do sinal da corrente do *power-clock*

Observa-se na Figura 6.16 que o valor de pico da corrente do *power-clock1* é maior que o valor de pico da corrente dos demais *power-clock*, devido à interface que o primeiro estágio do flip-flop faz com o circuito *Auxiliary*, por meio da provisão das variáveis de passagem ao primeiro estágio do flip-flop. Mas o valor médio de cada uma das correntes do sistema *power-clock* mantém-se em torno de 19 μA ($I_{clk1} = 19,89 \mu\text{A}$; $I_{clk2} = 19,48 \mu\text{A}$; $I_{clk3} = 19,72 \mu\text{A}$; $I_{clk4} = 19,82 \mu\text{A}$). A Figura 6.21 apresenta o diagrama de sinais da potência consumida de cada um dos sinais do *power-clock* e a potência total consumida.

A Tabela 6.5 apresenta a potência consumida pelo FF JK adiabático com e sem extração de parâmetros e a Figura 6.22 mostra os respectivos gráficos.

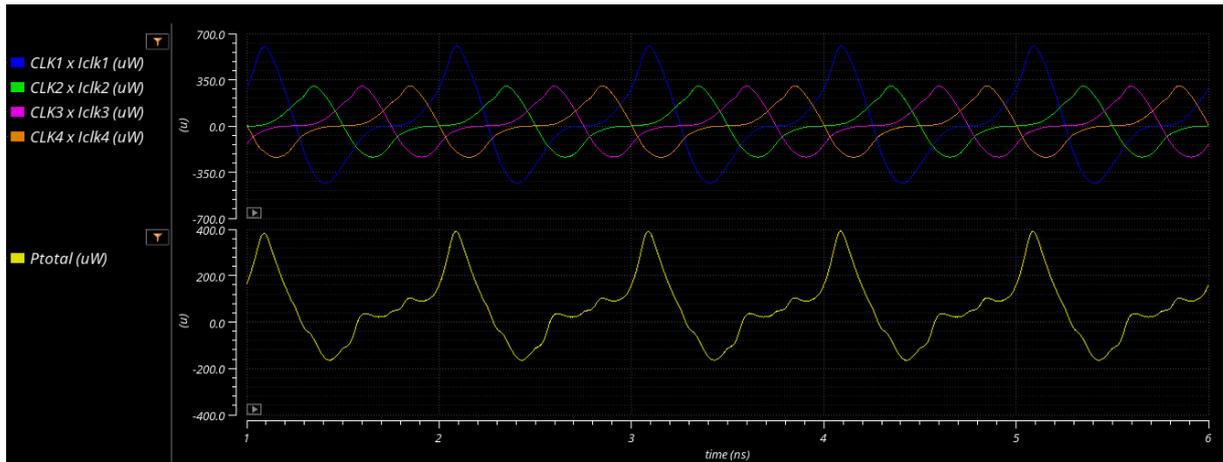


Figura 6.21 – Diagrama de sinais da potência total do *power-clock* do flip-flop JK adiabático

Tabela 6.5 – Potência consumida pelo FF JK adiabático

Frequência (MHz)	20	50	100	200	500	1000	2000	3000	4000	5000
Potência consumida (μW)	0,393	1,080	2,470	5,940	21,14	61,51	196,7	404,0	689,5	1098
Potência consumida com extração de parâmetros (μW)	0,745	2,148	5,027	12,48	47,05	142,4	470,2	1021	1189	1252

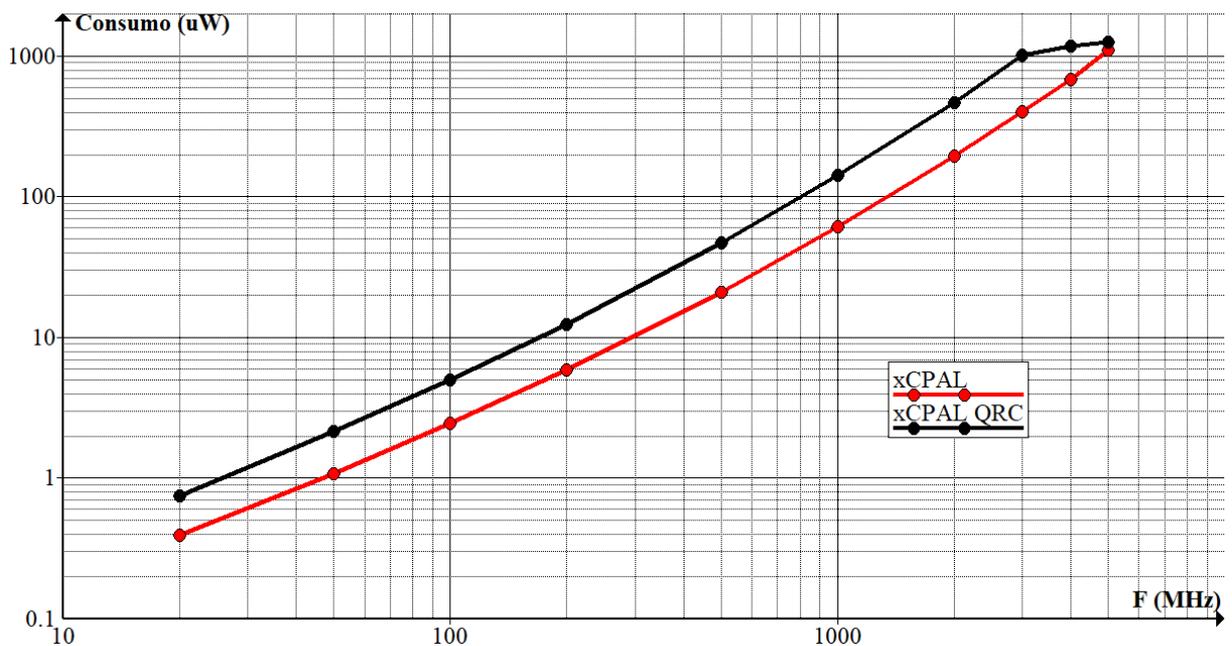


Figura 6.22 – Potência consumida pelo FF JK adiabático

O conceito de consumo de energia por ciclo de operação é utilizado para comparação da eficiência energética de elementos básicos, tal qual uma porta lógica. Para o FF JK e o contador estes dados não são apresentados. A medição de potência consumida pelo FF JK convencional é realizada com o esquemático mostrado na Figura 6.23.

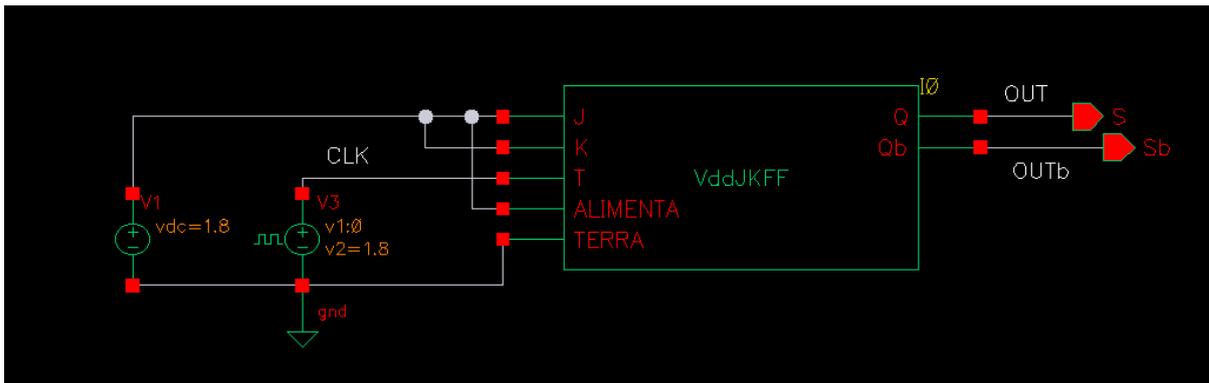


Figura 6.23 – Esquemático utilizado para medições de consumo no FF JK convencional

A Figura 6.24 mostra que o limite operacional do FF JK convencional se estabelece na frequência de 3,5 GHz, com atraso de 180,93 ps no sinal de saída OUT em relação à descida do sinal de *clock* CLK.

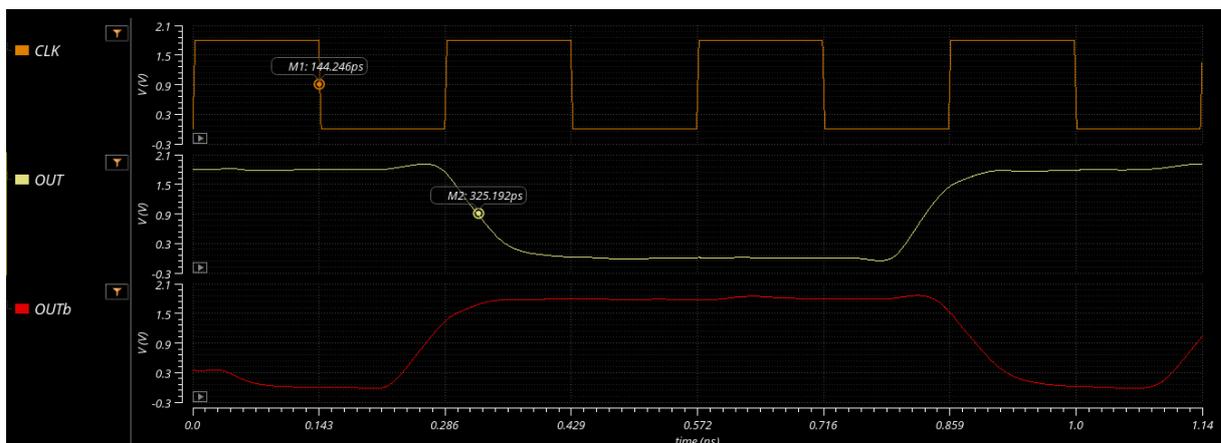


Figura 6.24 – Diagrama de sinais mostrando o limite operacional do FF JK convencional

Em frequências maiores que o limite operacional, este atraso não permite a correta avaliação dos estados lógicos nos estágios *slave/master*, fazendo com que o FF JK divida a frequência de *clock* por quatro, e não por dois. Com a extração dos parâmetros parasitas a frequência operacional se estabelece em 2,8 GHz.

O diagrama de sinais para a tensão, corrente e potência do FF JK convencional operando a 1 GHz é mostrado na Figura 6.25.



Figura 6.25 – Diagrama de sinais de tensão, corrente e potência do FF JK convencional

A Tabela 6.6 apresenta a potência consumida pelo FF JK convencional com e sem extração de parâmetros e a Figura 6.26 mostra os respectivos gráficos.

Tabela 6.6 – Potência consumida pelo FF JK convencional

Frequência (MHz)	20	50	100	200	500	1000	2000	3000	4000
Potência consumida (μW)	14,43	32,76	64,01	127,4	319,7	641,9	1288	2129	1954
Potência consumida com extração de parâmetros (μW)	19,18	45,13	89,09	178,0	446,2	893,5	1961	1960	2245

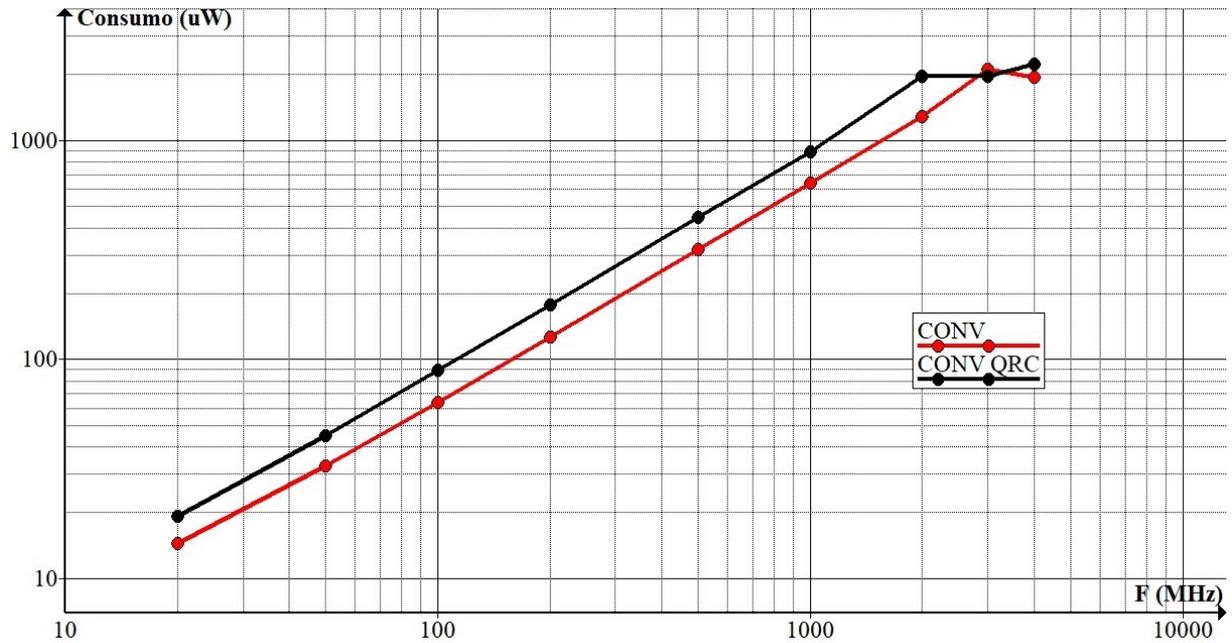


Figura 6.26 – Potência consumida pelo FF JK convencional

A descontinuidade na curva do consumo de potência do FF JK convencional com parâmetros extraídos nas frequências entre 3 e 4 GHz se explica pelo fato de já não haver regularidade operacional como demonstra o diagrama de sinais na Figura 6.27 (frequência de 4 GHz).

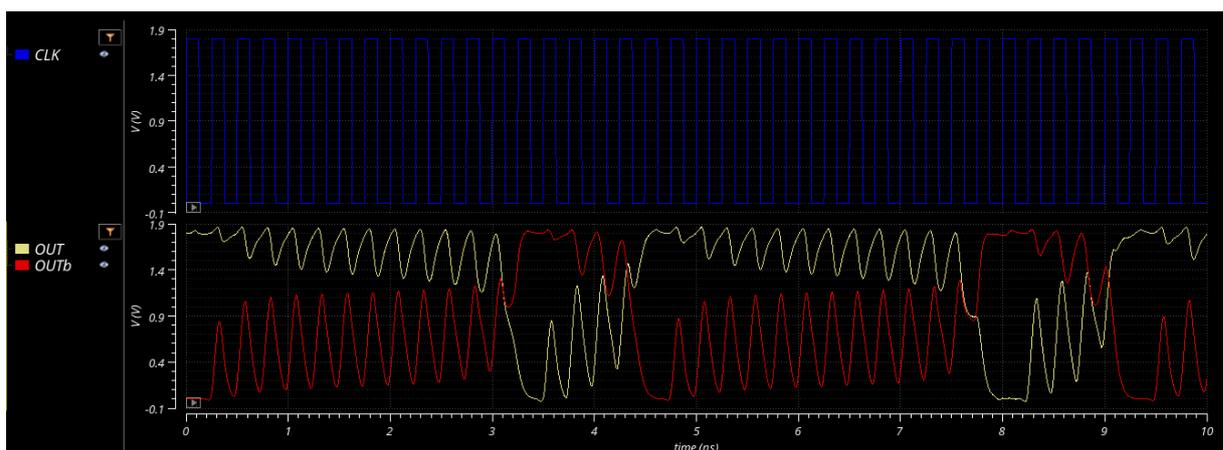


Figura 6.27 – FF JK convencional operando na frequência de 4 GHz

Considerando a máxima frequência de operação comum aos flip-flops adiabático e convencional, a comparação do consumo de potência é realizada até a frequência de 2 GHz. O gráfico da Figura 6.28 apresenta esta comparação.

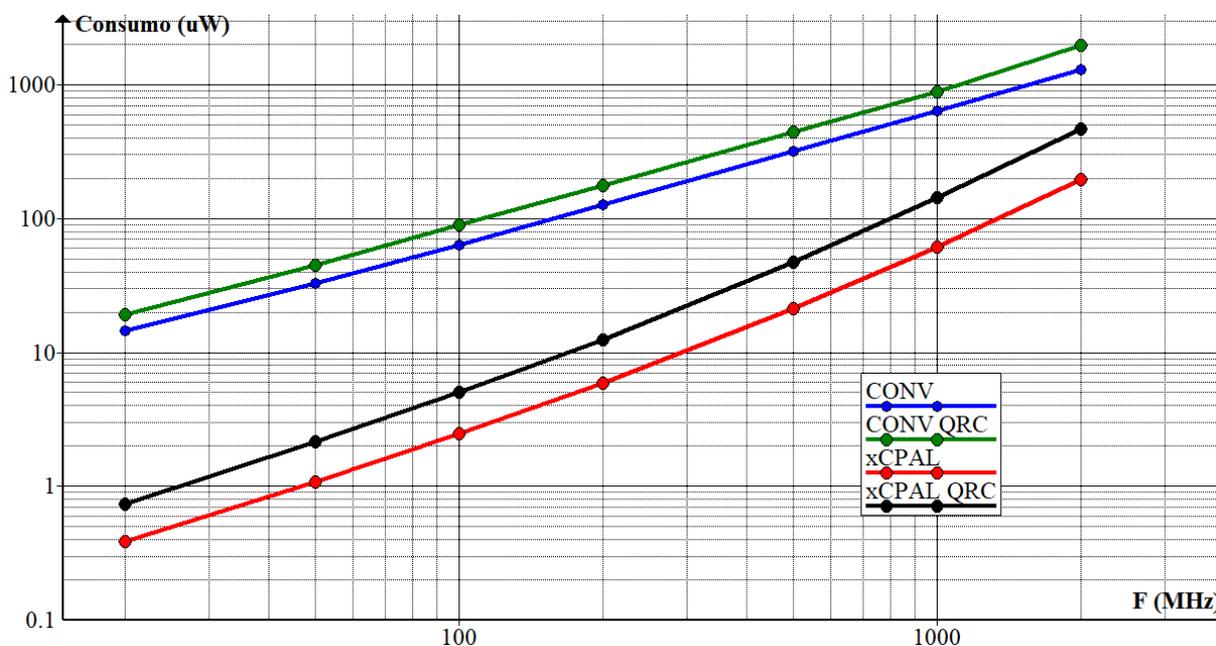


Figura 6.28 – Comparação da potência consumida pelos FF JK adiabático e convencional

Considerando o consumo de potência sem extração de parâmetros, na década de frequência de 100 a 1000 MHz, o FF JK adiabático possui relação de consumo de 24,9 por década de frequência, enquanto o FF JK convencional possui relação de consumo de 10 por década de frequência. Uma relação de 2,49 devido à sensibilidade do circuito adiabático com relação à constante RC do circuito. Considerando o consumo de potência com extração de parâmetros, na década de frequência de 100 a 1000 MHz, o FF JK adiabático possui relação de consumo de 28,4 por década de frequência, enquanto o FF JK convencional possui relação de consumo de 10,3 por década de frequência. A relação agora é de 2,76 devido à extração dos parâmetros parasitas.

Como podemos observar na Figura 6.29 o FF JK adiabático consome apenas 24% da potência comparado com o FF JK convencional, considerando a extração de parâmetros, na frequência máxima de operação de 2 GHz.

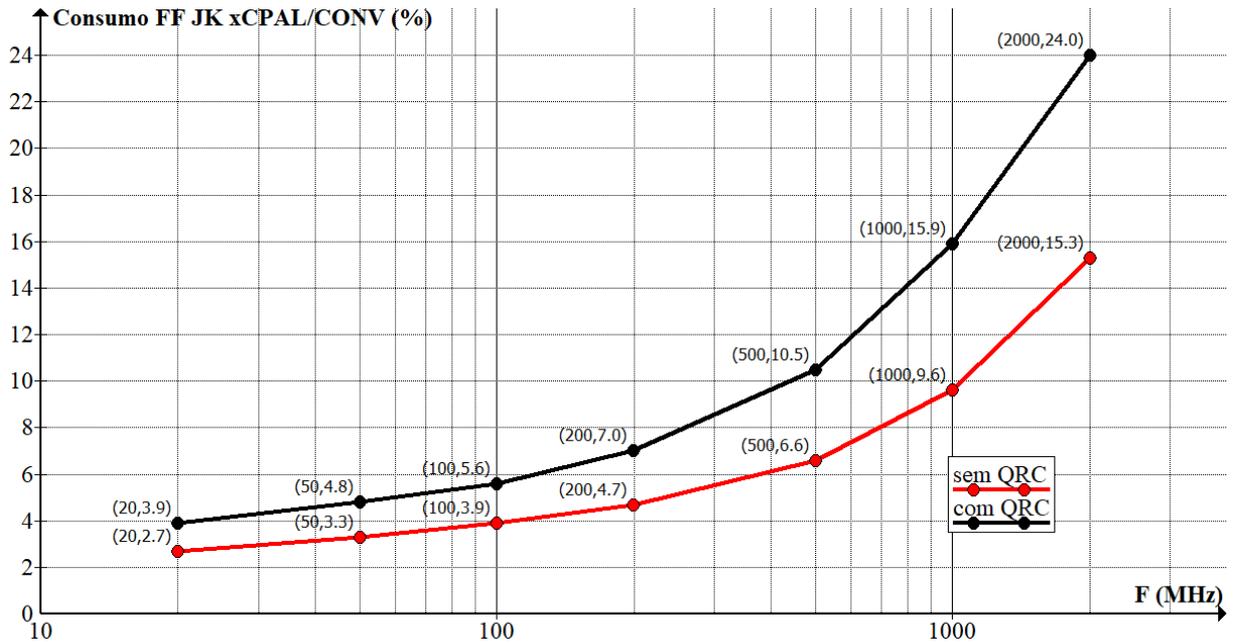


Figura 6.29 – Comparação percentual da potência consumida entre o FF JK adiabático e o convencional

6.3 Comparação do consumo dos contadores adiabático e convencional

A Figura 6.30 mostra o esquemático utilizado para as medições no contador adiabático.

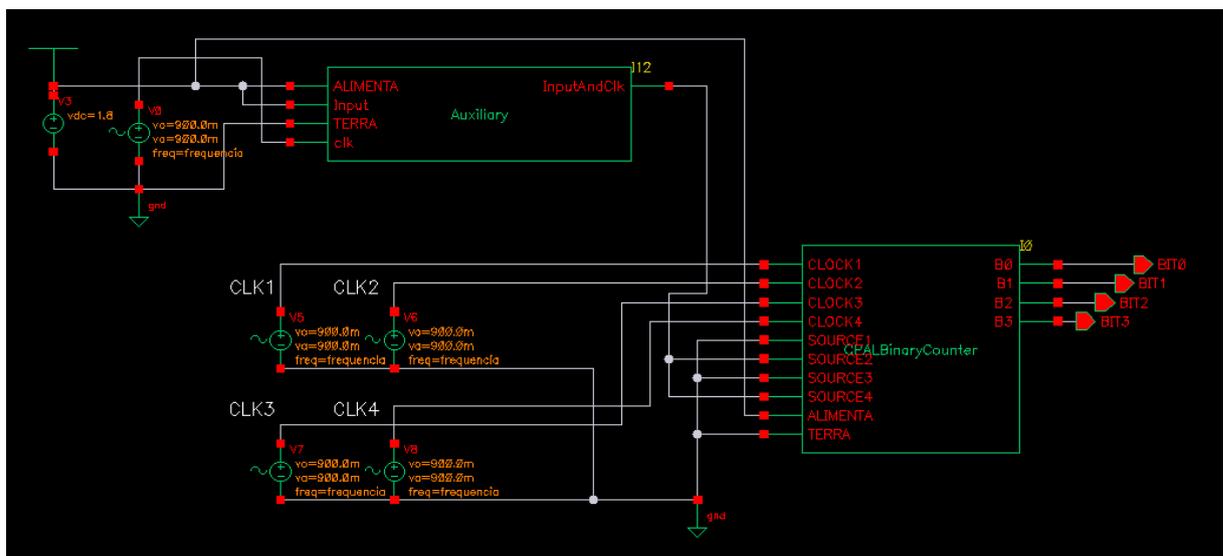


Figura 6.30 – Esquemático utilizado para as medições no contador adiabático

O circuito Auxiliary é utilizado para a geração das entradas pulsadas do contador binário adiabático. Um gerador de tensão independente para o sistema power-clock é utilizado no circuito Auxiliary para não influenciar nas medições de consumo de potência do contador.

Nas simulações realizadas, o contador adiabático apresentou instabilidade operacional em frequências acima de 1 GHz. A Figura 6.31 mostra que a partir de 1,36 GHz (marcadores M2 e M3 indicam duas vezes o período do *power-clock*) o sinal *Middleware2* fica distorcido em relação ao *power-clock1* (marcador M4) não gerando sincronismo para disparar o BIT3, provocando instabilidade no último estágio do contador (marcador M1). Com a extração dos parâmetros parasitas a frequência operacional cai para 709 MHz.

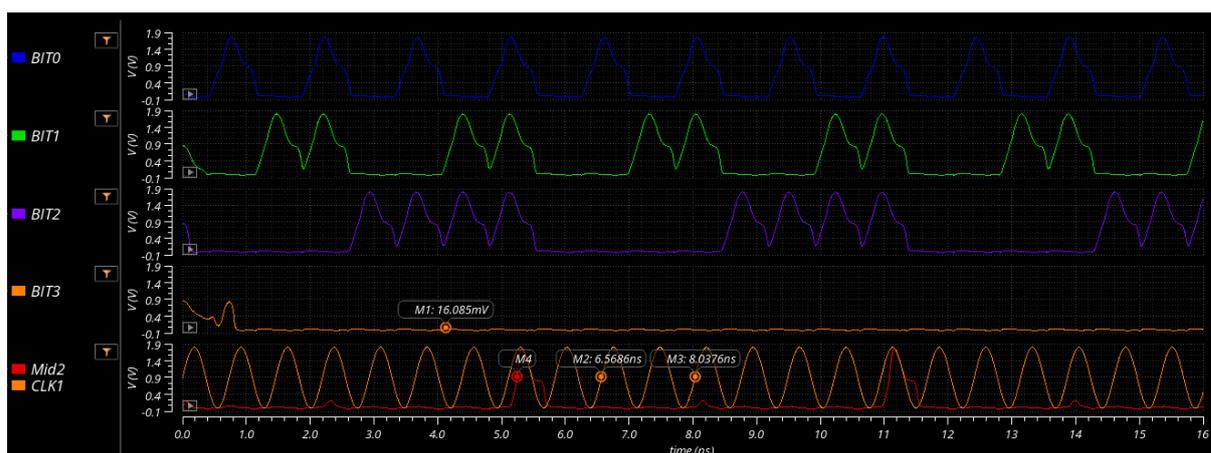


Figura 6.31 - Diagrama de sinais mostrando o limite operacional do contador adiabático

O consumo de potência é então medido até a frequência de 1,3 GHz. As Figuras 6.32 a 6.35 mostram os diagramas de sinais de tensão, corrente e potência na frequência de 1 GHz. Na Figura 6.32 observa-se que a corrente do *power-clock1* está em fase com o sinal de tensão do *power-clock4* pelos motivos expostos na análise de consumo de potência do FF JK adiabático. No contador adiabático existe um elemento adicional que influencia no consumo de corrente do *power-clock1*, que é a alimentação do *Middleware2* pelo *power-clock1*. O aumento do valor de pico desta corrente ocorre durante o pulso do *Middleware2* (marcador M1).

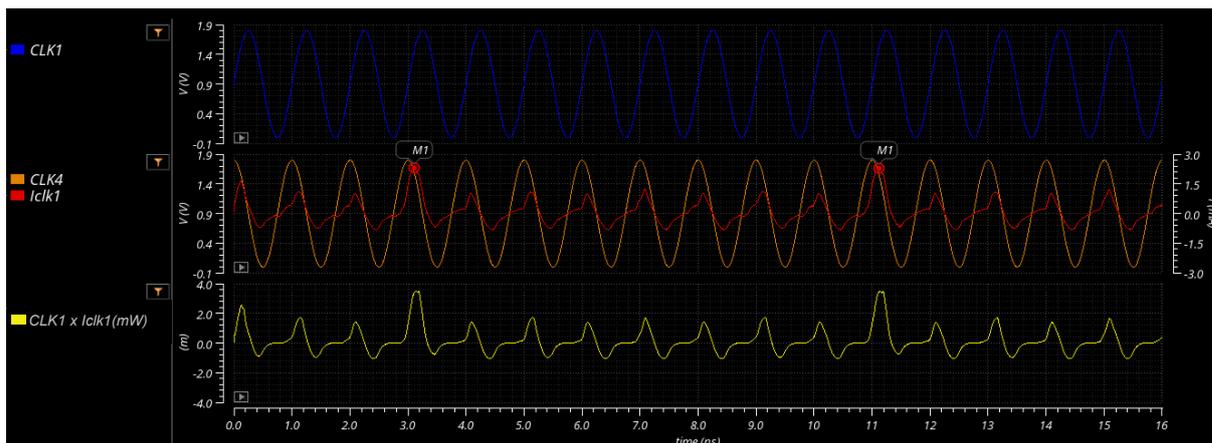


Figura 6.32 – Diagrama de sinais de tensão, corrente e potência do *power-clock1* do contador binário

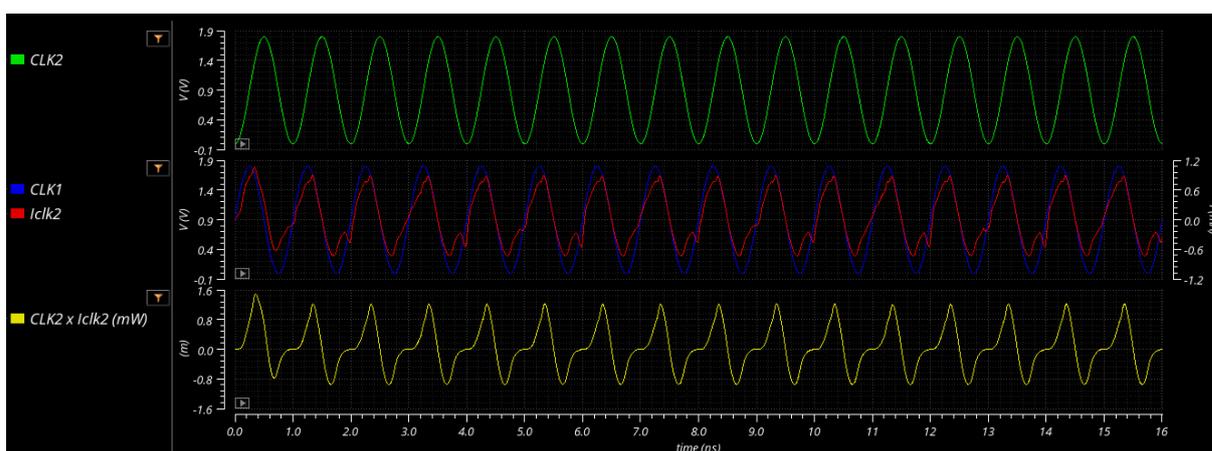


Figura 6.33 – Diagrama de sinais de tensão, corrente e potência do *power-clock2* do contador binário

De forma semelhante à corrente do *power-clock1*, existe um elemento adicional que influencia no consumo de corrente do *power-clock4*, que é a alimentação do *Middleware1* pelo *power-clock4*. Observa-se na Figura 6.35 o aumento do consumo desta corrente quando ocorre o pulso do *Middleware1*, sincronizado pelo *power-clock4* (marcador M1). Comparando-se a média das correntes de cada um dos *power-clock*, observa-se que a alimentação do *Middleware1* e do *Middleware2* fazem com que o consumo de corrente do *power-clock* opere em desequilíbrio. A corrente média para o *power-clock1* ao *power-clock4* é 73,27 μA , 36,89 μA , 37,31 μA e 245,12 μA . O fato do consumo de corrente do *power-clock4* ser maior que o consumo dos

demais *power-clock* se deve ao fato das variáveis de controle e passagem no primeiro estágio de cada FF JK do contador estarem sincronizadas com o *power-clock4*, sem a devida defasagem de 90° entre os sinais destas variáveis.

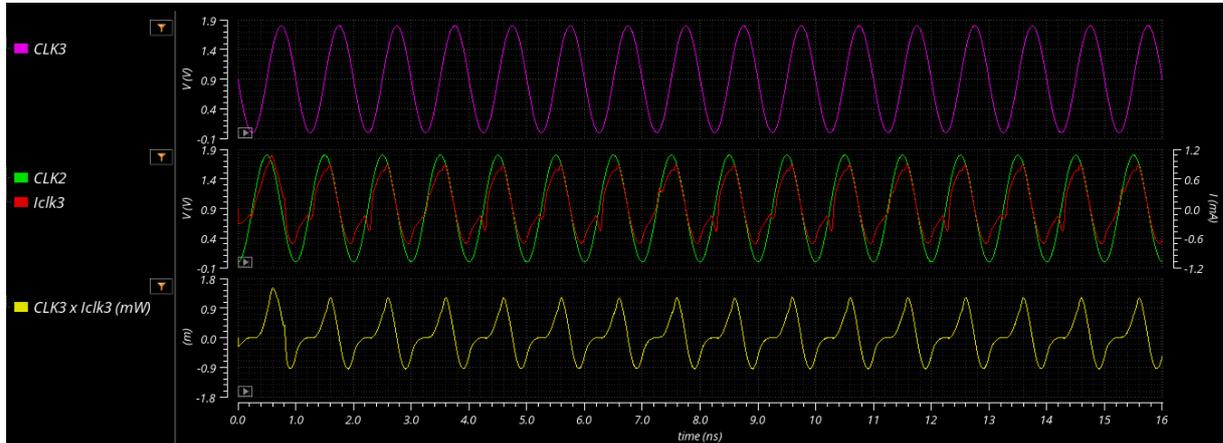


Figura 6.34 – Diagrama de sinais de tensão, corrente e potência do *power-clock3* do contador binário

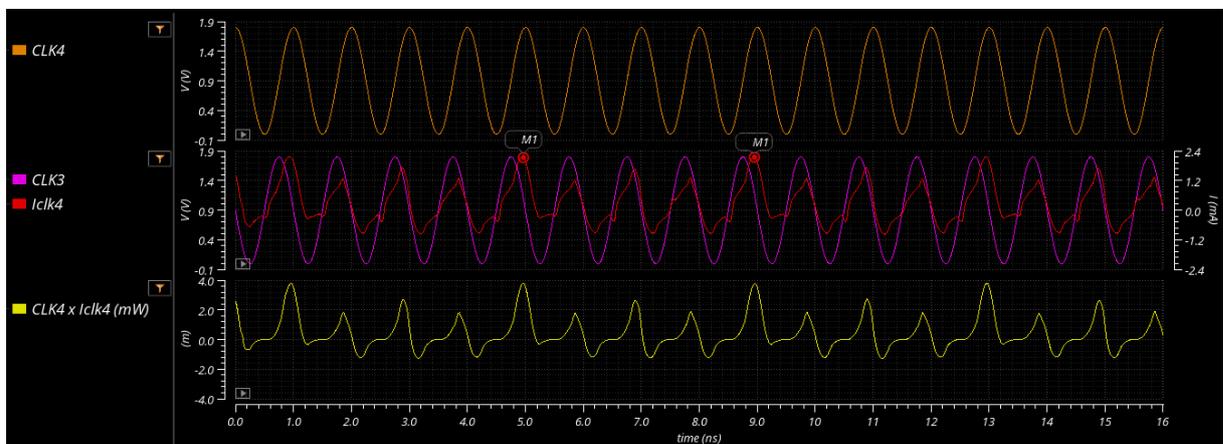


Figura 6.35 – Diagrama de sinais de tensão, corrente e potência do *power-clock4* do contador binário

A Figura 6.36 mostra o diagrama de sinais da potência total consumida pelo contador adiabático.

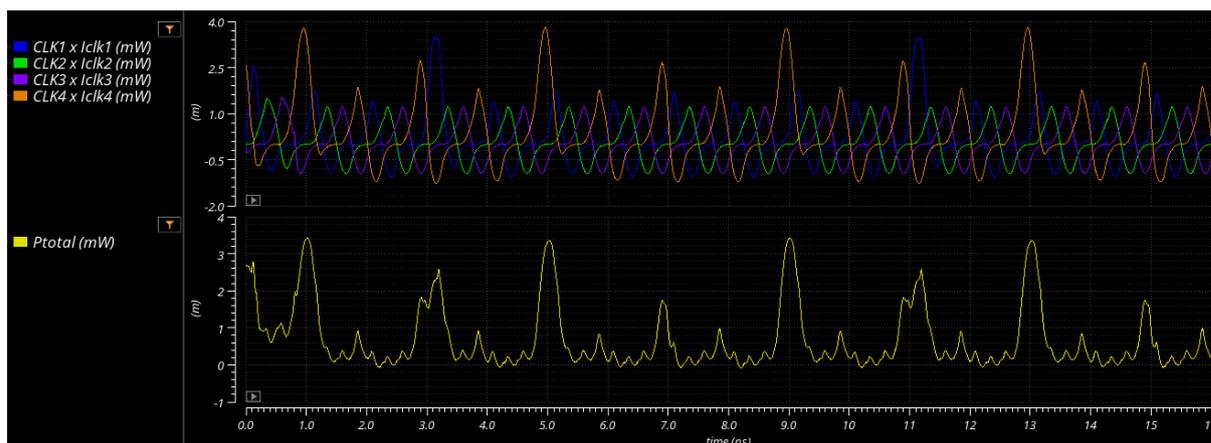


Figura 6.36 – Diagrama de sinais da potência total consumida do sistema *power-clock* pelo contador adiabático

A Tabela 6.7 apresenta a potência consumida pelo contador adiabático com e sem extração de parâmetros e a Figura 6.37 mostra os respectivos gráficos.

Tabela 6.7 – Potência consumida pelo contador adiabático

Frequência (MHz)	20	50	100	200	500	700	1000	1300
Potência consumida (μW)	336,4	341,5	350,1	369,0	442,6	506,5	625,0	769,9
Potência consumida com extração de parâmetros (μW)	327,8	338,3	356,6	400,4	589,0	771,7	996,4	1265

Observa-se na Figura 6.37 que nas frequências de 20 e 50 MHz o contador adiabático, com os parâmetros extraídos, apresentou melhor performance em consumo de potência. Neste caso, os parâmetros parasitas influenciaram na melhoria da performance (redução de consumo), considerando a constante de tempo RC resultante do *layout* do contador.

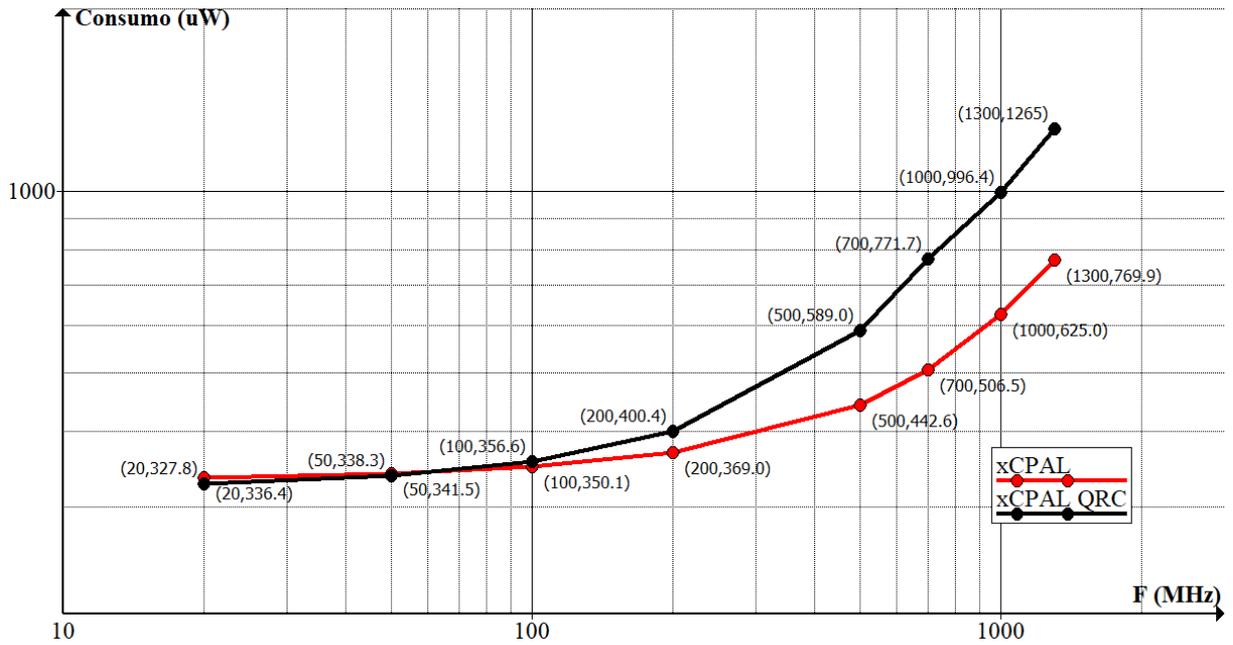


Figura 6.37 – Potência consumida pelo contador adiabático

A Figura 6.38 mostra o esquemático utilizado para a medição de potência do contador convencional.

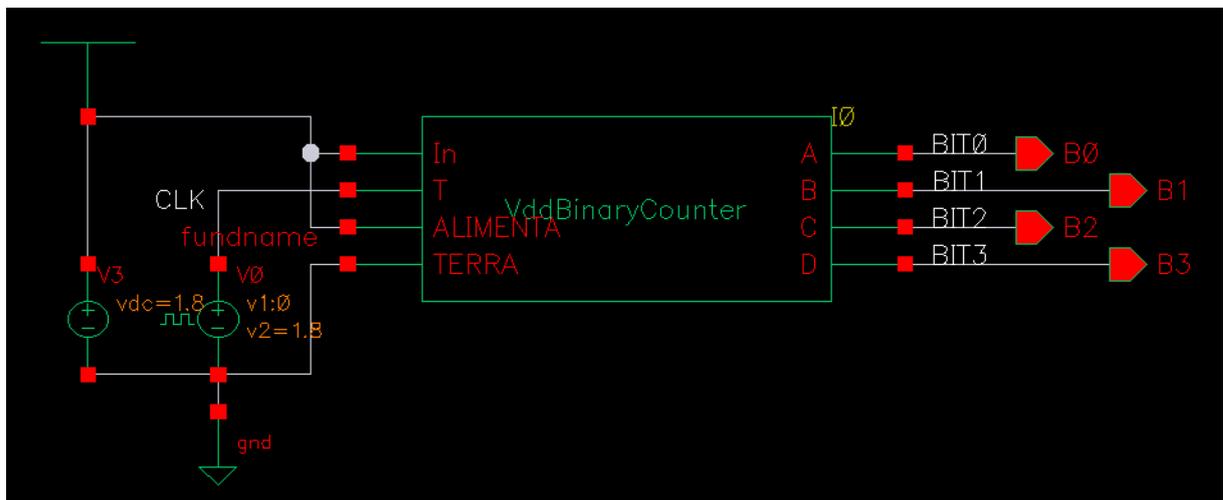


Figura 6.38 – Esquemático utilizado para as medições no contador convencional

O limite operacional do contador convencional é de 1,04 GHz (período do sinal identificado pelos marcadores M1 e M3 na Figura 6.39). O atraso total permitido

ao contador para continuar operacional ocorre nesta frequência e possui valor igual a 915,04 ps (identificado pelos marcadores M1 e M2). Com a extração de parâmetros o limite operacional fica estabelecido em 703 MHz.

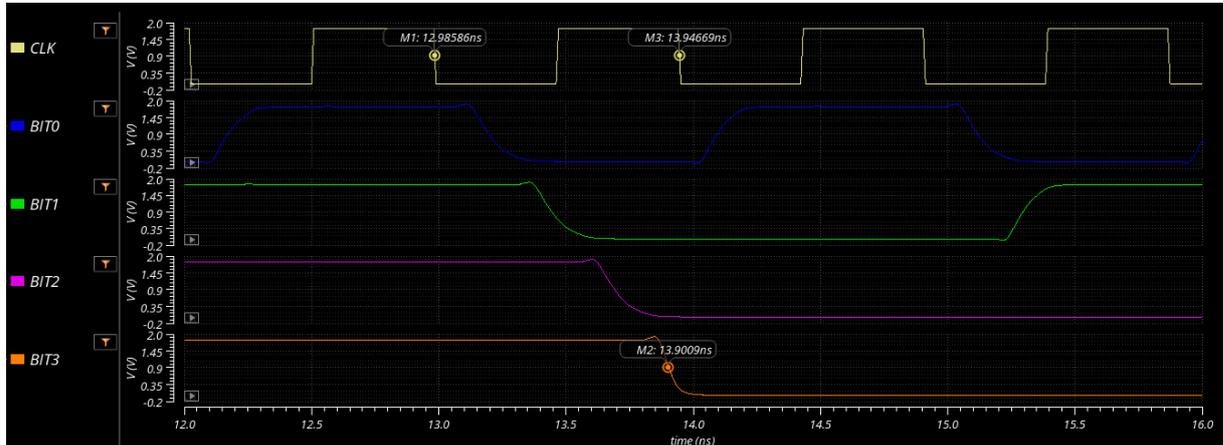


Figura 6.39 – Diagrama de sinais mostrando o limite operacional do contador convencional

O diagrama de sinais de tensão, corrente e potência do contador convencional operando a 1 GHz é mostrado na Figura 6.40.

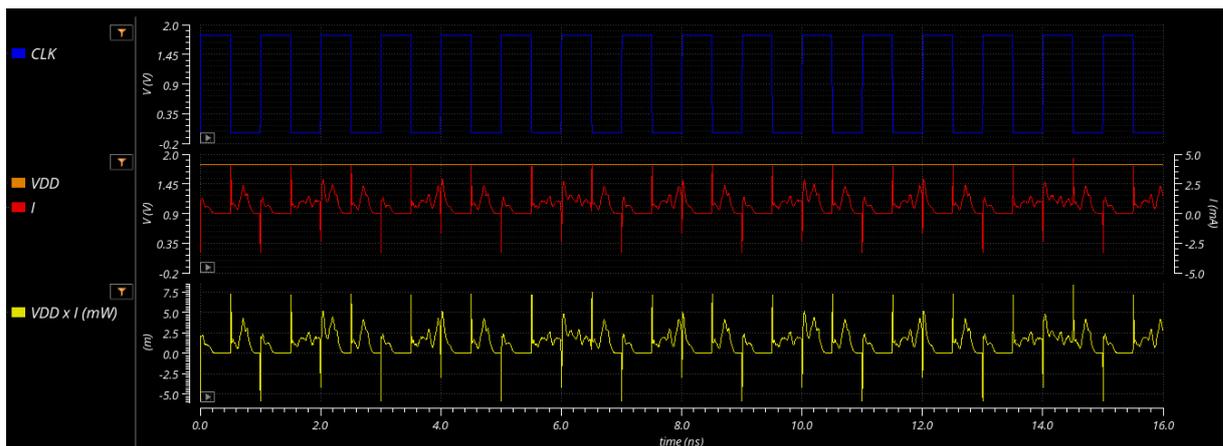


Figura 6.40 – Diagrama de sinais de tensão, corrente e potência do contador convencional

A Tabela 6.8 apresenta a potência consumida pelo contador convencional com e sem extração de parâmetros e a Figura 6.41 mostra os respectivos gráficos.

Tabela 6.8 – Potência consumida pelo contador convencional

Frequência (MHz)	20	50	100	200	500	700	1000	1300
Potência consumida (μW)	27,51	65,61	129,7	258,9	648,4	907,3	1298	1685
Potência consumida com extração de parâmetros (μW)	38,21	92,71	184,2	368,1	918,0	1283	1830	2448

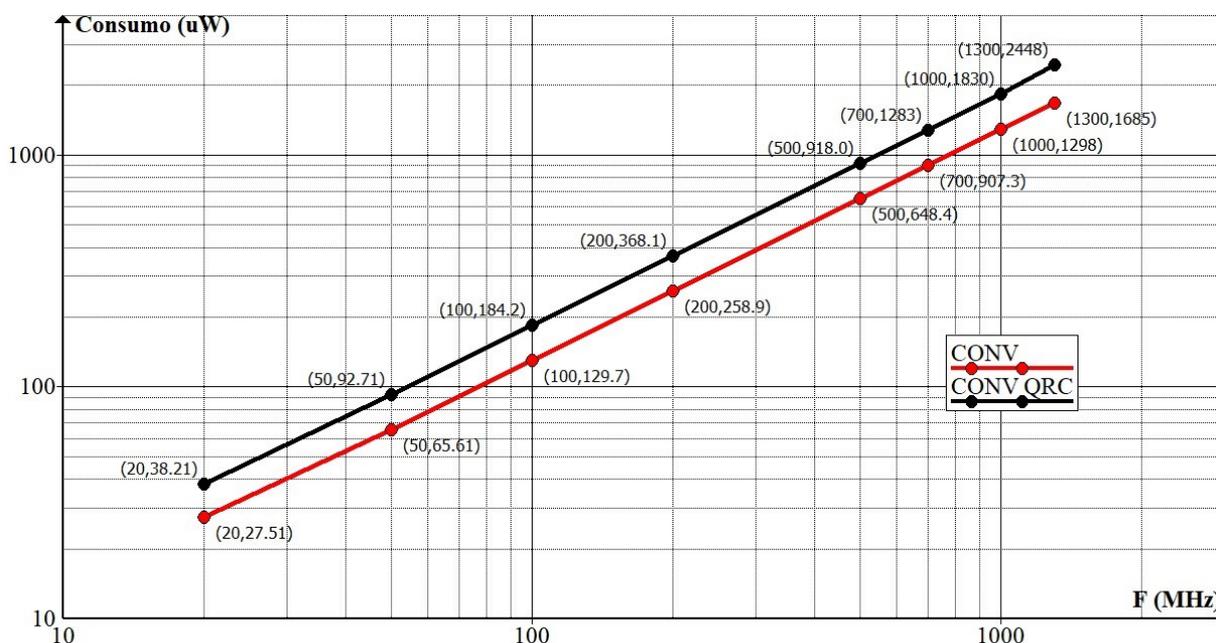


Figura 6.41 – Potência consumida pelo contador convencional

Observa-se que o contador convencional manteve sua curva com crescimento linear para o consumo de potência.

Considerando que a máxima frequência operacional comum aos contadores adiabático e convencional é 703 MHz, a comparação de consumo é realizada até a frequência de 700 MHz. A Figura 6.42 mostra a comparação do consumo de potência dos contadores adiabático e convencional. Este gráfico está na escala linear para as variáveis de frequência e potência para que o ponto de interseção entre as curvas possa ser mais bem visualizado. O marcador M1 indica a frequência na qual o contador adiabático passar a ter consumo de potência menor que o contador convencional, considerando a extração dos parâmetros.

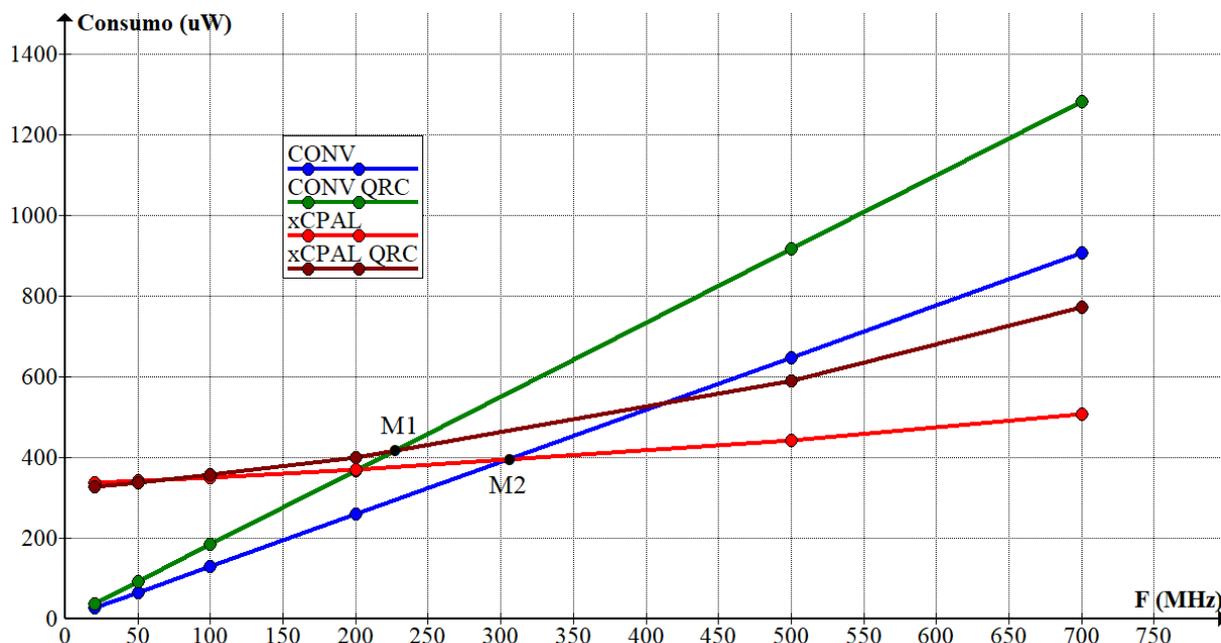


Figura 6.42 – Comparação da potência consumida pelos contadores adiabático e convencional

Observa-se que, com a maior complexidade do esquemático, a relação $T \gg RC$ começa a ser comprometida pelo aumento da constante RC do circuito adiabático, fazendo com que o contador adiabático seja indicado para uso, com relação ao consumo de potência, apenas para frequências superiores a $\cong 225$ MHz (marcador M1 na Figura 6.42) até a frequência de 700 MHz, considerando a extração de parâmetros. Sem a extração de parâmetros a faixa de frequência operacional se estabelece entre 310 e 700 MHz (marcador M2).

A Figura 6.43 apresenta o gráfico da relação do consumo de potência entre o contador adiabático e o convencional na faixa de 250 a 700 MHz, considerando a extração de parâmetros.

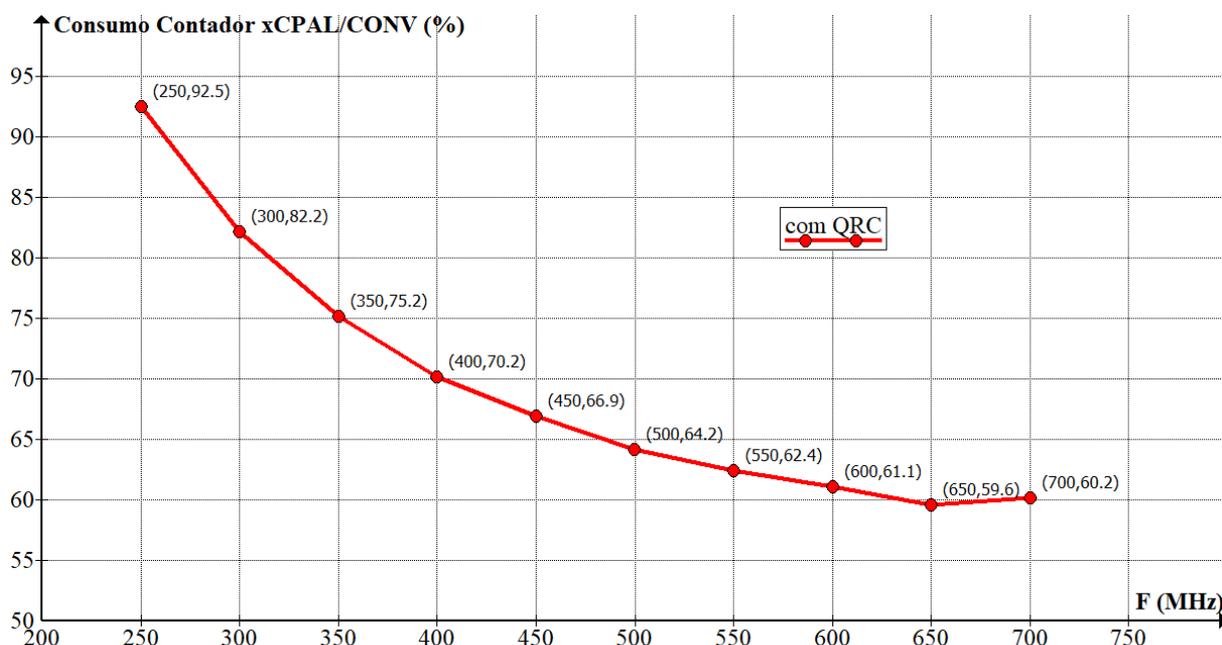


Figura 6.43 – Comparação percentual do consumo de potência entre o contador adiabático e o convencional com extração de parâmetros

6.4 Estratégias de caracterização e setup

As tradicionais interfaces coaxiais podem ser eliminadas dos sistemas finais quando os circuitos integrados são interligados no contexto de um sistema, mas para o teste de um componente específico as interfaces coaxiais estão presentes para interligação dos geradores de sinais de RF e medidores de potência/espectro ao dispositivo sob teste (DUT – *Device under Test*). Isso deixa o projetista com um grande problema para realizar as medições, sendo a solução a utilização de um dispositivo de teste (*test fixture*) que faça a interface entre as linhas coaxiais e não-coaxiais (KEYSIGHT, 2017).

Na caracterização de circuitos em altas frequências existem dois elementos importantes a considerar, que são o *test fixture* e os equipamentos de medições. As capacitâncias e indutâncias parasitas existentes nestes elementos são geralmente desprezadas em frequências baixas, mas devem ser tratadas adequadamente pois podem alterar o comportamento do circuito e os valores medidos em frequências elevadas. Um ponto que deve ser observado são os cabos e conectores que ligam o circuito sob teste aos instrumentos de medição, que juntamente com as trilhas

metálicas da placa do circuito de teste, se comportam como linhas de transmissão, devendo ser adaptados às impedâncias internas dos equipamentos de medição. Este casamento de impedância deve ser implementado para se garantir a transferência de potência dos equipamentos geradores de sinais para as entradas do circuito, e das saídas dos circuitos para os equipamentos de medição. Os equipamentos geradores e de medição normalmente apresentam impedância de saída e entrada em 50Ω para o uso de frequências elevadas. Para realizar este casamento de impedância, as trilhas metálicas do *test fixture*, que geralmente são *microstrip lines*, devem se comportar como linhas de transmissão com impedância característica de 50Ω . Resistores de 50Ω devem ser colocados o mais próximo possível dos terminais do chip com o intuito de evitar a reflexão de sinais devido ao descasamento de impedâncias entre o gerador/medidor de sinais e o circuito. Os cabos utilizados para as conexões entre equipamentos de geração e medição devem ser cabos coaxiais com esta mesma impedância. No caso da conexão do osciloscópio as entradas podem ser configuradas como 50Ω ou alta impedância, sendo que as medições podem ser obtidas com as entradas em alta impedância. Os conectores utilizados também devem suportar trabalhar em alta frequência, como o do tipo SMA. A Figura 6.44 mostra o diagrama esquemático do *test fixture* para medição em altas frequências.

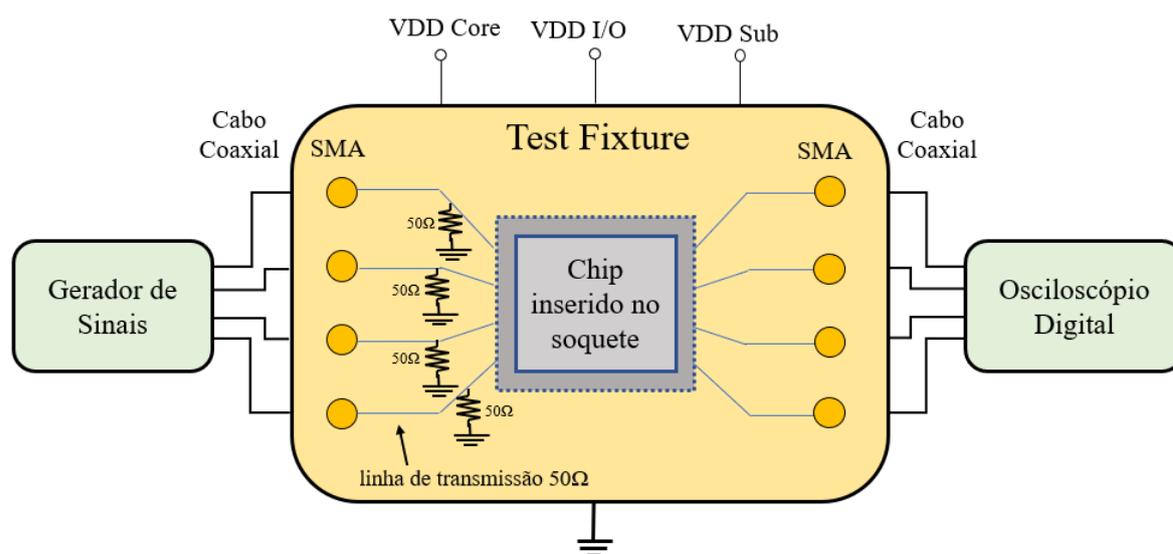


Figura 6.44 – Diagrama esquemático do *Test Fixture*

A primeira opção para o teste funcional dos circuitos foi pela utilização de *jig* de teste para o circuito integrado encapsulado. Entretanto, como trabalho futuro será feita a medição utilizando *microprobes*. Estratégias de *de-embedding* devem ser desenvolvidas para remover efeitos indesejáveis nas medições, nos quais estão incluídos os valores dos sinais medidos (KRETLY; CAPOVILLA; A. TAVORA, 2008).

Para possibilitar a caracterização do chip – *die* encapsulado – foram projetados e fabricados dois *test fixture*. A estratégia de construção de dois *test fixture* deve-se à alta densidade de pinos do soquete CLCC-68 utilizado para encaixar o chip fabricado. Um *test fixture* é dedicado às medições do contador adiabático e o outro *test fixture* é dedicado às medições do contador convencional. O projeto dos *test fixture* foi elaborado utilizando o software KiCad versão 5.1.6-1. A fabricação foi realizada pela empresa “Griffus - Tecnologia em Circuito Impresso”, empresa com Certificação ISO 9001: 2008.

Os *test fixture* foram projetados com dois tipos de conectores: conectores SMA para a interligação dos equipamentos geradores e medidores, e conectores MT para conexão das alimentações do circuito. Foi utilizado um soquete PLCC-68 para conectar o circuito integrado ao *test fixture*. O soquete PLCC-68 suporta o encapsulamento CLCC-68, sendo que o chip é encaixado no soquete por um processo sob pressão que não utiliza soldagem.

Os *test fixture* foram projetados em duas faces, sendo que a face inferior foi utilizada como plano de terra. Os principais problemas encontrados nos projetos de *test fixture* são para aplicações com sinais digitais (grande largura de banda). O contador adiabático não utiliza sinais digitais, e sim sinais senoidais que representam elementos binários. Os sinais senoidais são menos críticos para o projeto de *test fixture*, por possuírem largura de banda inferior aos sinais digitais. Mas medições também são realizadas no circuito do contador convencional. Os pontos críticos para a elaboração do *test fixture* para sinais em alta frequência foram levados em consideração, pois os contadores adiabático e convencional podem chegar a operar em frequências da ordem de 700 MHz, conforme apresentado na Figura 6.43.

Os *test fixture* foram fabricados com placas cujo dielétrico é o FR4 com espessura de 1,6 mm, com dupla face de cobre na espessura de 17 μm (0,5 *oz/ft*²). Para PCBs utilizando FR4 para aplicações digitais com *risetimes* menores que 500

ps, com comprimentos de *striplines* até 10", a perda dielétrica pode ser ignorada sem apresentar dispersão significativa (JOHNSON; GRAHAM, 2003).

A Figura 6.45 e 6.46 mostram o esquemático das conexões do *test fixture* para cada um dos contadores.

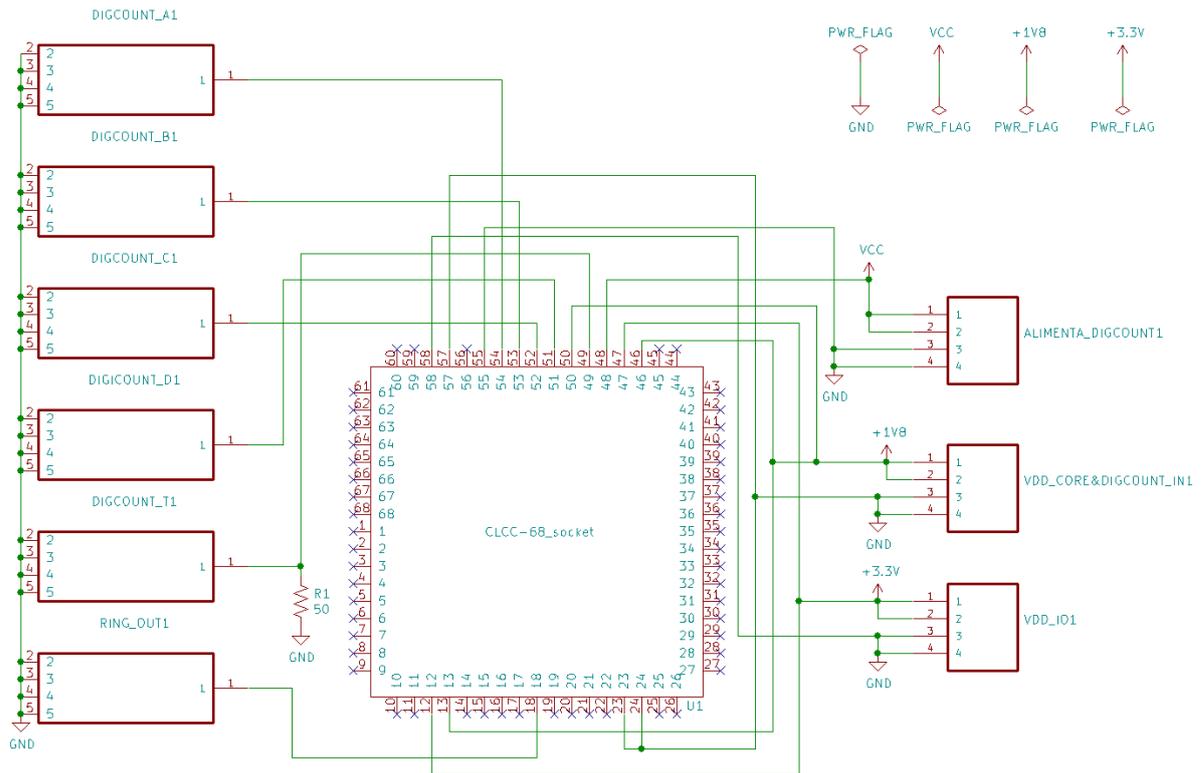


Figura 6.45 – Esquemático do *test fixture* do contador convencional

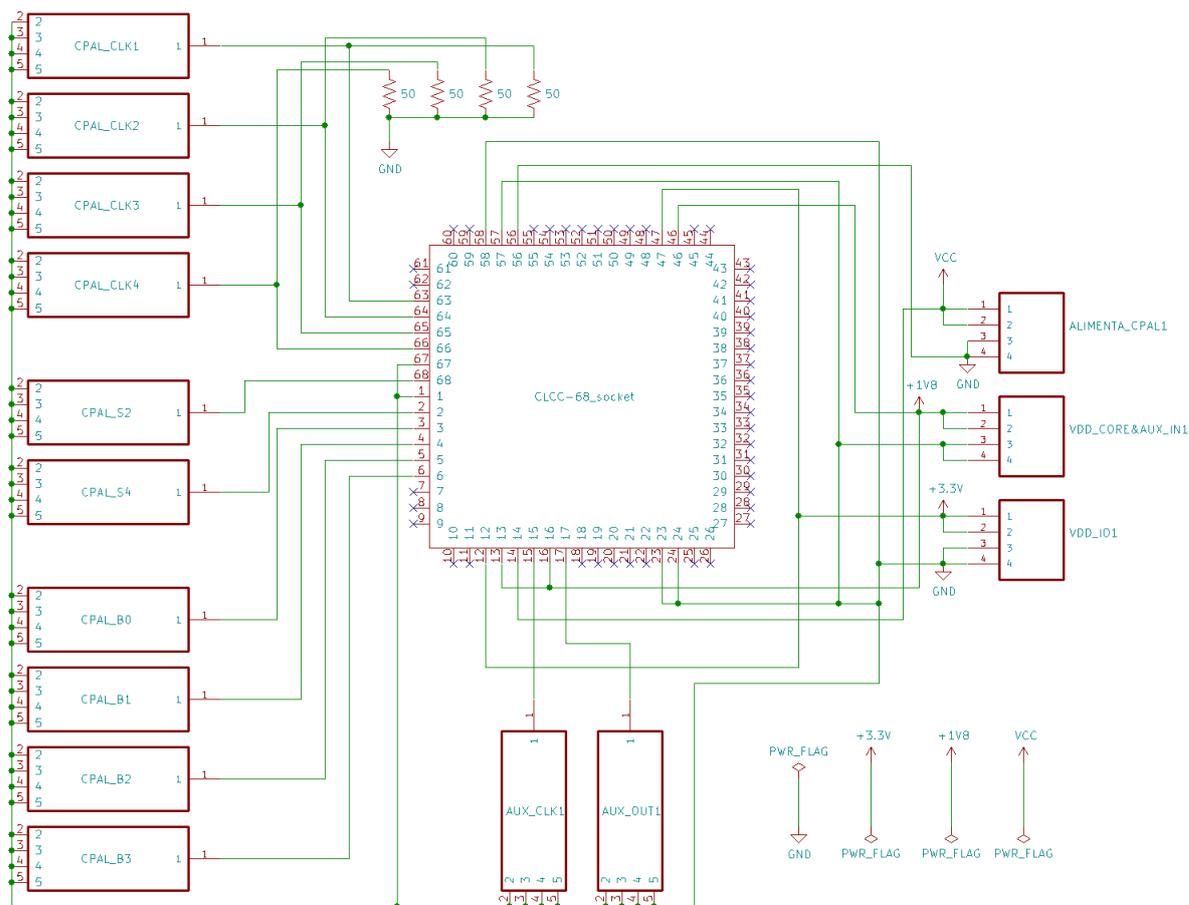
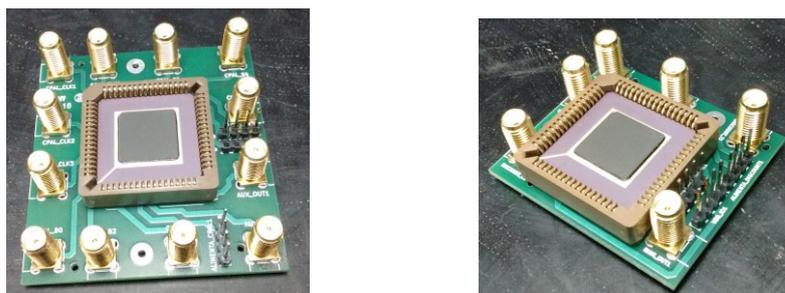


Figura 6.46 – Esquemático do *test fixture* do contador adiabático

Uma segunda versão do *test fixture* foi desenvolvida sem as conexões externas para interligar os sinais do circuito *Auxiliary* (AUX_CLK1 e AUX_OUT1 na Figura 6.46) aos sinais de entrada do contador (CPAL_S2 e CPAL_S4). A primeira versão foi idealizada com a possibilidade de testes no sinal de saída do circuito *Auxiliary* (AUX_OUT1). O oscilador em anel pode ser medido utilizando-se o *test fixture* do contador convencional por meio da saída RING_OUT1. Em futuras versões do *test fixture* os conectores SMA para conexão ao osciloscópio podem ser substituídos por conectores BNC para evitar o uso de adaptadores SMA-BNC.

A Figura 6.47 mostra a imagem dos *test fixture* do contador adiabático e convencional.



(a)

(b)

Figura 6.47 – *Test Fixture* para testes do circuito integrado. (a) contador adiabático, (b) contador convencional e oscilador em anel

O *setup* proposto para as medições no contador convencional é apresentado na Figura 6.48. O gerador Keysight N5172B é um gerador vetorial de sinais de RF da Série X-EXG, de 9 KHz a 3 GHz, com possibilidade de geração de onda quadrada por meio das funções de *Arbitrary Waveform Generation* e *built-in MATLAB*. A saída de RF do gerador, cujo sinal possui amplitude fixa em $1 V_{PP}$, é conectada a um atenuador de 6 dB, modelo Keysight 8493C para que a amplitude do sinal de saída do gerador possa ser ajustada para a entrada do amplificador de RF Keysight N4985A, e disponibilizar em sua saída um sinal com amplitude de $1,8 V_{PP}$. A saída do amplificador de RF é conectada a um *Bias Tee* Marki BT-0025 com a função de inserir o *off-set* de tensão de 0,9 V. A SMU (*Source Measure Unit*) Keysight B2902A é uma unidade de alimentação e medição de precisão de dois canais, que foi utilizada como fonte DC neste *setup*, por estar disponível no laboratório de testes na FEEC/UNICAMP (Faculdade de Engenharia Elétrica e de Computação da UNICAMP). O osciloscópio é o Keysight DSOS404A com quatro canais analógicos com taxa de amostragem de 10 GSa/s.

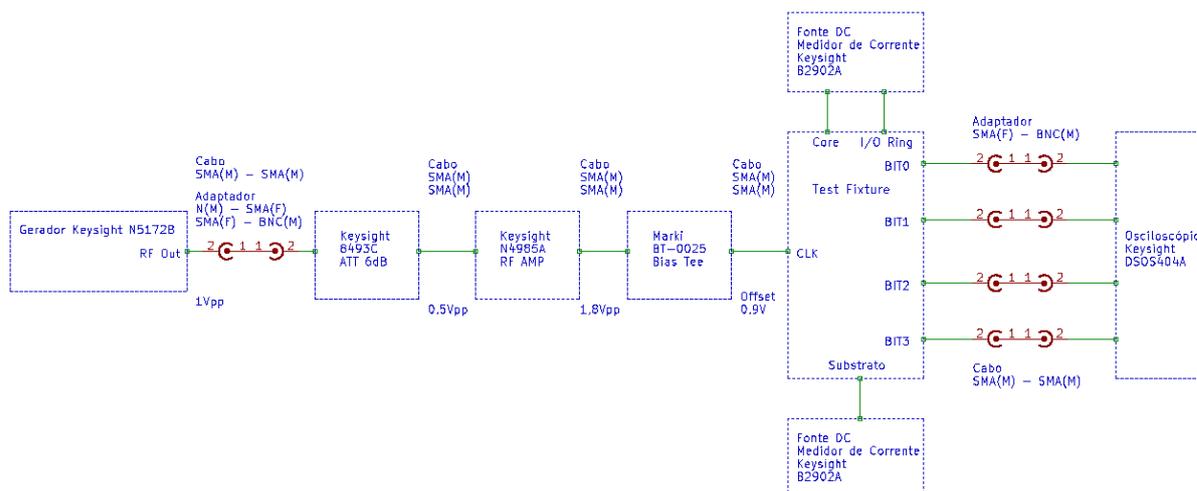


Figura 6.48 – Setup proposto para a caracterização funcional do contador convencional

Para verificar a funcionalidade básica do contador convencional foi utilizado um gerador de frequência *Hewlett-Packard 8012B Pulse Generator* na frequência de 1 MHz, com saída de alta impedância (foi retirado o resistor de 50 ohms do *test fixture*). Para esta observação foi utilizado um osciloscópio Keysight Infinium modelo MSOS054A. A alimentação do I/O e do *core*, e a polarização do substrato do chip, foram feitas com as SMUs Keysight B2902A. A Figura 6.49 mostra o setup para verificação do funcionamento do contador convencional. A Figura 6.50 mostra a imagem em bancada do setup proposto para verificação do funcionamento do contador convencional. Nesta imagem aparecem também os geradores Keysight N5172B utilizados no setup para a caracterização funcional dos contadores convencional e adiabático, bem como o gerenciador de configuração desses geradores.

A Figura 6.51 mostra o diagrama de sinais para os bits 0 a 3 do contador. Estas medições foram realizadas com acoplamento DC. O diagrama mostra o *off-set* de 900 mV para os quatro sinais, indicando a amplitude de $1,8 V_{pp}$. Conforme previsto, o sinal BIT0 possui frequência de 500 kHz, e os sinais BIT1, BIT2 e BIT3 possuem frequências de 250 kHz, 125 kHz e 62,5 kHz, respectivamente.

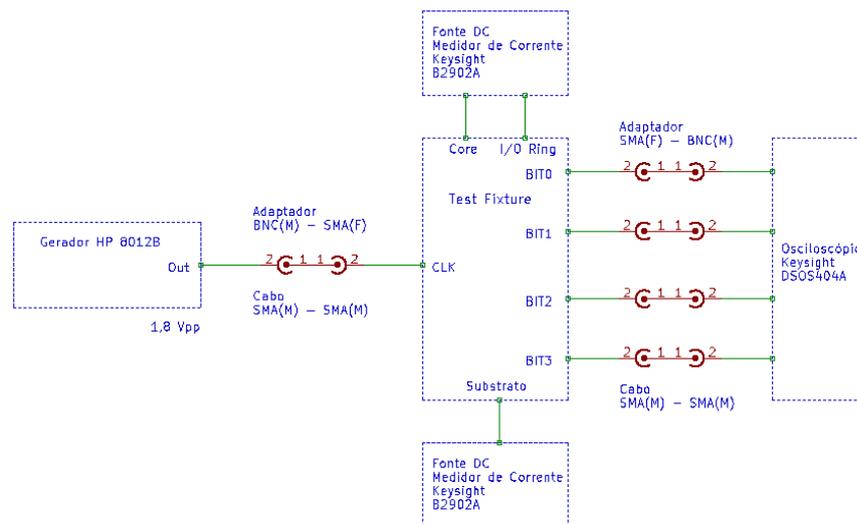


Figura 6.49 – *Setup* proposto para verificação do funcionamento do contador convencional

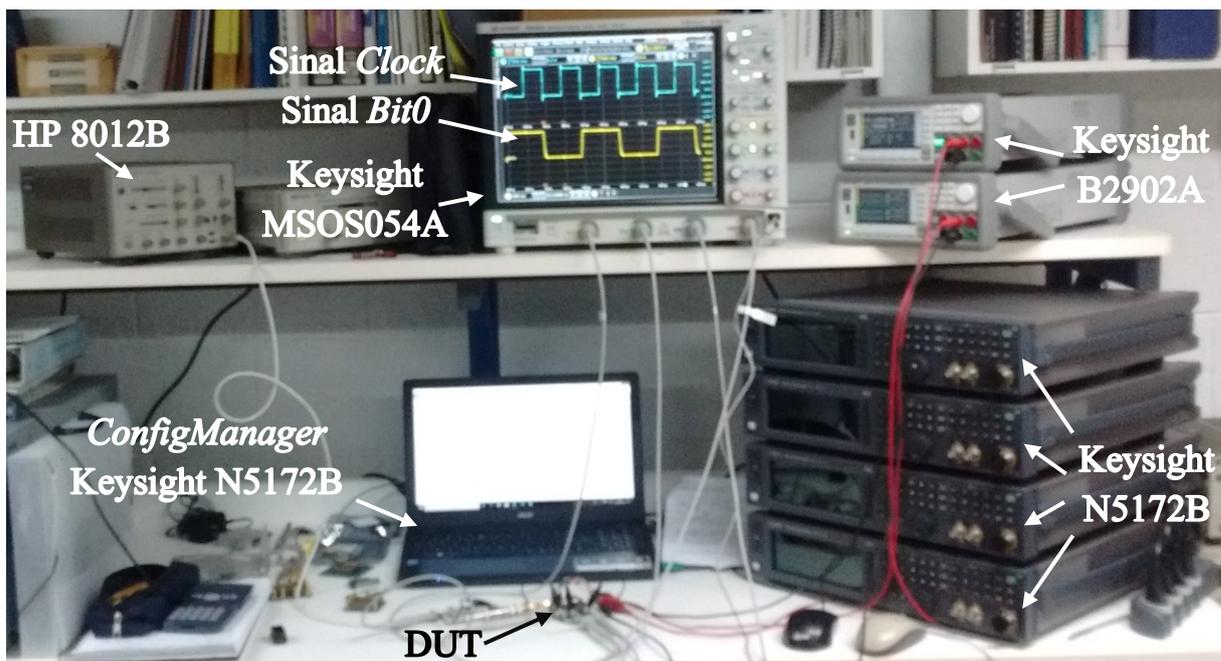


Figura 6.50 – Imagem em bancada do *setup* proposto para verificação do funcionamento do contador convencional

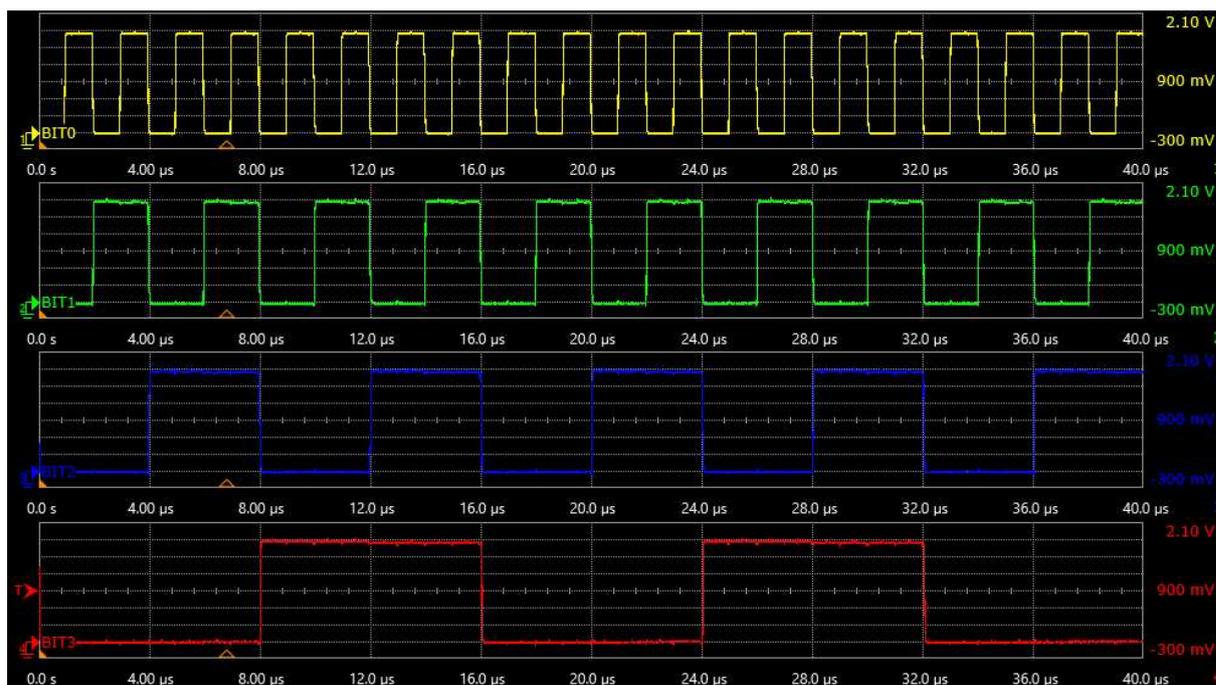


Figura 6.51 – Sincronismo dos sinais medidos na saída do contador convencional de quatro bits

A Figura 6.52 mostra a amplitude média e a amplitude pico-a-pico de cada um dos sinais de saída do contador convencional. Observa-se que a amplitude pico-a-pico é maior que a amplitude média em consequência dos picos gerados durante a transição do sinal de *clock*. Esses ruídos nos sinais, cerca de 3% da amplitude pico-a-pico no sinal do BIT0 e 6% nos sinais dos demais bits, não comprometem o funcionamento do contador.

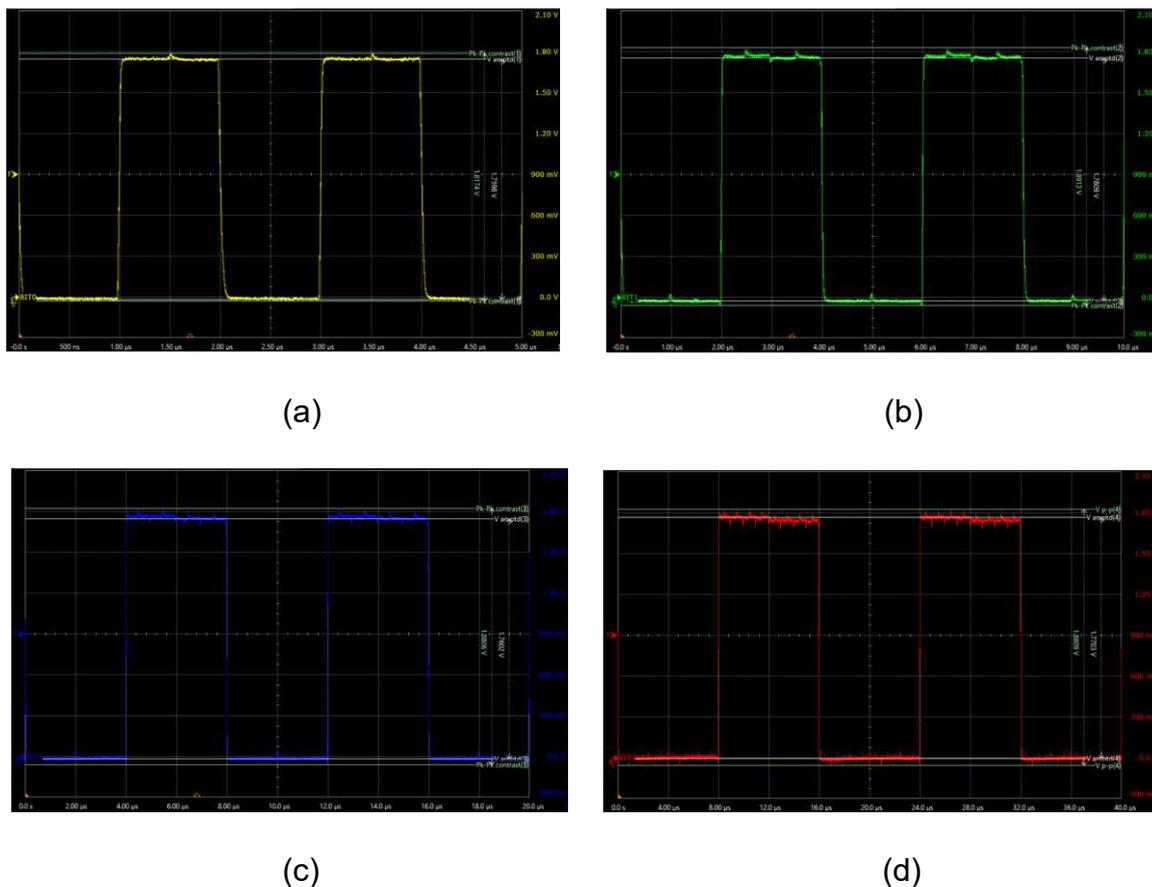
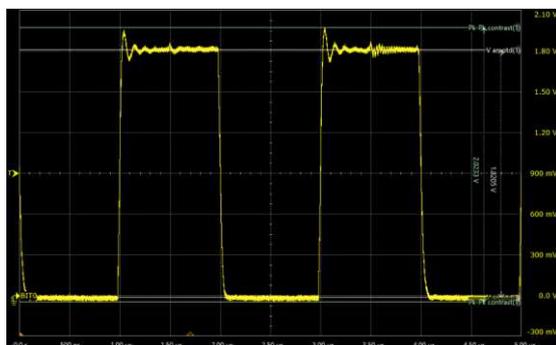


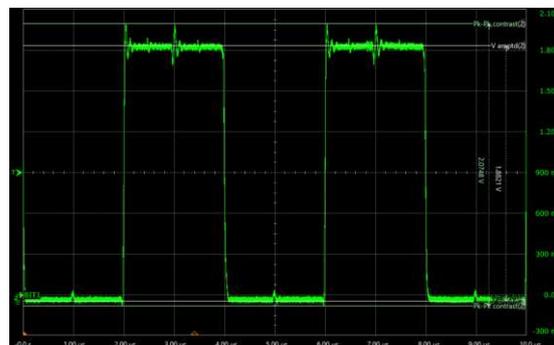
Figura 6.52 – Amplitude dos sinais medidos na saída do contador convencional de quatro bits. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3

Os sinais de entrada e saída do contador convencional, bem como a alimentação e o sinal do terra, utilizam células passivas no *I/O Ring*, ou seja, não utilizam a estrutura de alimentação do *I/O Ring*. Neste caso os sinais externos ao chip utilizam valores de tensão do *core* do chip (1,8 V), o sinal do terra é conectado à via de aterramento do anel, e o anel não necessita ser alimentado para o funcionamento do contador. O anel precisaria ser alimentado com 3,3 V nesta tecnologia caso o projeto do circuito integrado utilizasse a estrutura do anel com células ativas (células contendo *drivers*, filtros etc.) de entrada/saída e de alimentação. Neste caso a alimentação dos circuitos do chip seria realizada por meio de um sinal de tensão de 3,3 V externo ao chip, pois o anel reduziria a alimentação dos circuitos internos do chip (*core*) para 1,8 V. Os sinais obtidos na Figura 6.52 são obtidos com a alimentação do anel desligado. Com o anel alimentado com 3,3 V, os sinais de saída do contador apresentam um nível maior de ruído, mesmo com o uso de somente células passivas

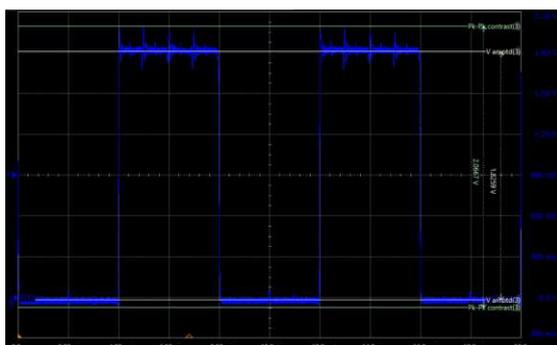
no anel, como apresentado na Figura 6.53. Esses ruídos nos sinais possuem valores de cerca de 11% da amplitude pico-a-pico no BIT0, 10,2% no BIT1, 13,0% no BIT2 e 15,4% no BIT3.



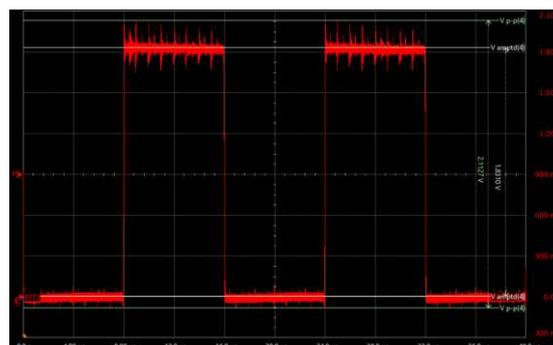
(a)



(b)



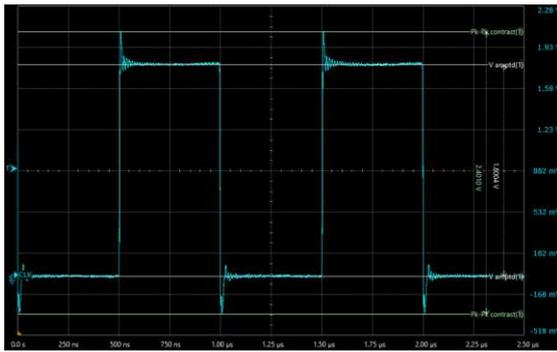
(c)



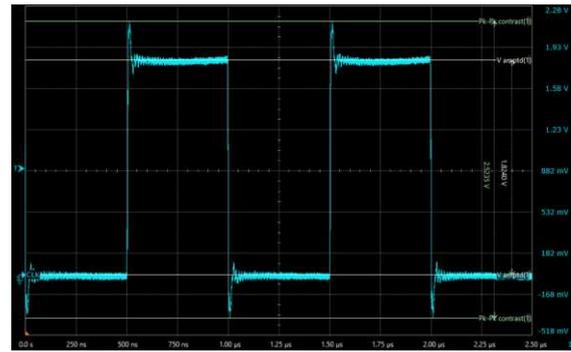
(d)

Figura 6.53 – Amplitude dos sinais medidos na saída do contador convencional de quatro bits com o *I/O Ring* alimentado. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3

O sinal de *clock*, com e sem a interferência da alimentação do *I/O Ring* é mostrado na Figura 6.54. A diferença das amplitudes pico-a-pico neste caso é de 5,4%.



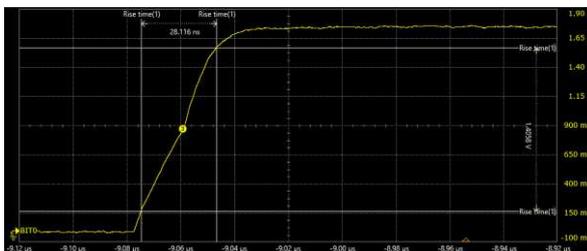
(a)



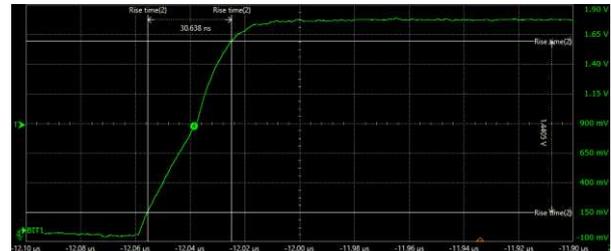
(b)

Figura 6.54 – Amplitude do sinal de *clock*. (a) sem e (b) com *I/O Ring* alimentado

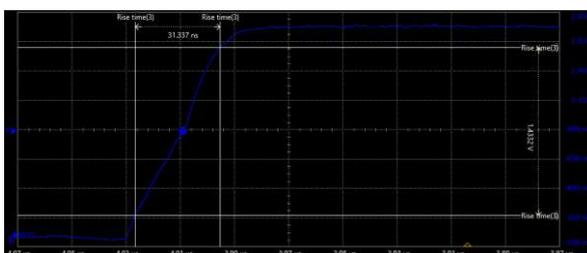
A caracterização de um circuito digital tem como uma das mais importantes medidas os tempos de subida e descida dos sinais. A Figura 6.55 mostra o tempo de subida dos sinais nas saídas do contador.



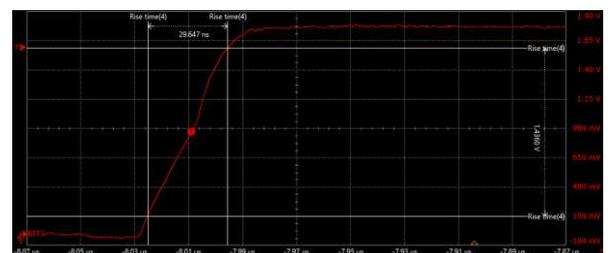
(a)



(b)



(c)



(d)

Figura 6.55 – Tempo de subida medido nas saídas do contador convencional de quatro bits.

(a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3

Com os parâmetros extraídos na simulação o contador apresentou os seguintes tempos de subida para os BIT0 ao BIT3 respectivamente: 154,5 ps, 154,6 ps, 153,4 ps e 77,77 ps. O principal fator para a diferença apresentada é a capacitância das *probes* do osciloscópio.

A Figura 6.56 apresenta o tempo de descida dos sinais nas saídas do contador. Com os parâmetros extraídos na simulação o contador apresentou os seguintes tempos de descida para os BIT0 ao BIT3 respectivamente: 169,7 ps, 171,7 ps, 170,0 ps e 87,19 ps. O tempo total do atraso nos sinais do contador fabricado é de 142,69 ns.

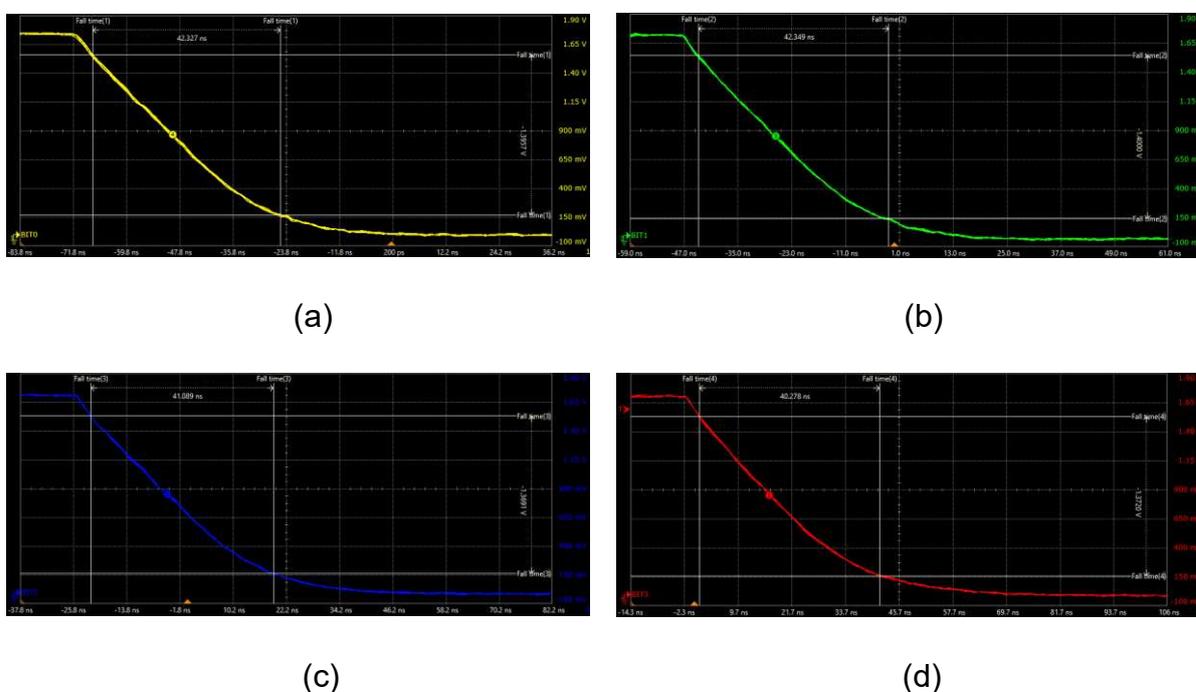


Figura 6.56 – Tempo de descida medido nas saídas do contador convencional de quatro bits. (a) BIT0, (b) BIT1, (c) BIT2, (d) BIT3

Um problema de instabilidade nos níveis dos sinais de saída, provocado por uma causa não determinada, não permitiu a caracterização operacional nas frequências de interesse. Na frequência de 1 MHz a potência consumida medida foi de 6,28 μW . Na simulação, considerando a extração de parâmetros, a potência consumida nesta frequência foi de 1,32 μW .

Para as medições funcionais do contador adiabático é proposto o setup apresentado na Figura 6.57. A partir de um oscilador master R&S SM300, a base de tempo é gerada para os osciladores locais dos geradores de RF Keysight N5172B, por meio das entradas de frequência local (LO in). Em uma futura implementação um gerador Keysight 33509B pode ser utilizado em substituição ao gerador R&S SM300, ou se utilizar somente o sinal do oscilador interno do gerador Keysight N5172B (conector 10 MHz out) para sincronizar os sinais de saída dos quatro geradores, eliminando o gerador de base de tempo externo. A saída EVENT1 do gerador do *power-clock1* é conectada na entrada PAT TRIG do gerador do *power-clock2*, sendo que o mesmo tipo de conexão é realizado entre o gerador do *power-clock_n* e o gerador do *power-clock_{n+1}*. Nesta saída, um pulso pode ser usado para iniciar um padrão de dados da forma de onda arbitrária, sendo que cada ponto da forma de onda arbitrária possui um marcador associado a ele. A entrada PAT TRIG recebe o sinal de sincronização para o gerador interno de padrões de formas de onda, com a função de iniciar um padrão de saída único ou para parar e resincronizar um padrão que está continuamente gerado. Seguindo a mesma sequência dos geradores do *power-clock*, a saída 10 MHz OUT é conectada à entrada REF IN. A saída de RF de cada gerador é conectada a um atenuador de 6 dB, modelo Keysight 8493C para que a amplitude do sinal de saída do gerador possa ser ajustada para a entrada do amplificador de RF Keysight N4985A, e disponibilizar em sua saída um sinal com amplitude de $1,8 V_{PP}$. A saída do amplificador de RF é conectada a um *Bias Tee* Marki BT-0025 com a função de inserir o *off-set* de tensão de 0,9 V. A SMU Keysight B2902A é uma unidade de alimentação e medição de precisão de dois canais, que foi utilizada como fonte DC neste *setup*, por estar disponível no laboratório de testes na FEEC/UNICAMP. O osciloscópio é o Keysight DSOS404A com quatro canais analógicos com taxa de amostragem de 10 GSa/s. Um notebook é utilizado como gerenciador de configuração dos geradores Keysight N5172B.

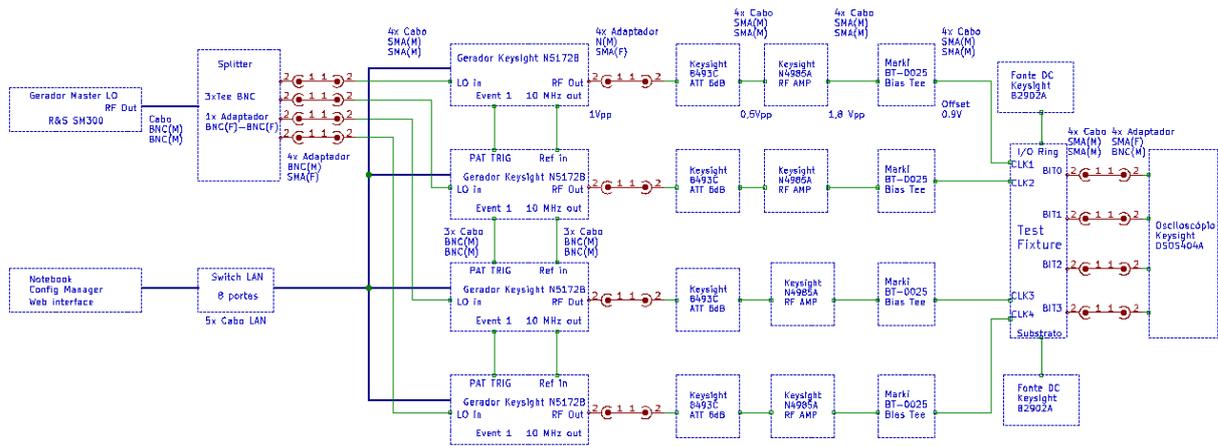


Figura 6.57 – *Setup* proposto para a caracterização funcional do contador adiabático

Para a caracterização do consumo de potência dos contadores é proposto o uso de um *setup* com instrumentação termo-acoplada ao circuito integrado, com especificações a serem desenvolvidas.

7 CONCLUSÕES

A humanidade passa por um período em que a energia é a tônica para a sustentabilidade. Novas formas de geração de energia limpa e consumo reduzido estão como prioridade dos objetivos gerais da nova revolução energética, a direção para onde a sociedade se move. As tecnologias cuja viabilidade está associada ao baixo consumo de energia podem se beneficiar das técnicas da lógica adiabática, demonstrando ser esta uma solução atrativa para projetos de circuitos digitais com baixo consumo de potência. A tendência de integração de sistemas em chips e sistemas em um mesmo encapsulamento deve alertar seus projetistas em relação também à integração dos recursos de redução do consumo de potência.

Circuitos adiabáticos possuem melhor eficiência energética do que circuitos convencionais porque não trabalham com transições abruptas, e mesmo sendo dependentes da constante RC do circuito, consomem menor potência em uma determinada faixa de frequências. A lógica adiabática se deriva da lógica de circuitos pulsados que demonstra que um sinal de *clock* pode ser utilizado para alimentar o circuito. Quando comparados com circuitos convencionais, circuitos projetados com lógica adiabática podem utilizar quantidade menor de transistores, bem como ocupar área menor no silício, apesar de sua maior complexidade lógica.

Quando comparado com circuitos convencionais, o contador binário xCPAL utiliza uma quantidade de transistores 21% menor e área ocupada no silício 28% menor.

A porta lógica AND/NAND C-PAL funciona até a frequência de 7 GHz enquanto a porta lógica convencional funciona até 3 GHz. Na frequência de 3 GHz a porta adiabática consome 12,6% da potência consumida pela porta convencional. A energia consumida pela porta adiabática por ciclo de operação aumenta com a frequência de operação do circuito, enquanto se mantém estável para a porta convencional.

O flip-flop JK adiabático xCPAL funciona até a frequência de 3 GHz enquanto o flip-flop JK convencional funciona até a frequência de 2,8 GHz considerando a extração de parâmetros. O flip-flop adiabático manteve melhor performance que o convencional na faixa de frequências de 20 MHz a 2,8 GHz. Na

frequência de 2 GHz o flip-flop adiabático consome 24% da potência consumida pelo flip-flop convencional considerando a extração de parâmetros.

O contador adiabático xCPAL funciona até a frequência de 709 MHz enquanto o contador convencional funciona até a frequência de 703 MHz considerando a extração de parâmetros. O contador adiabático manteve melhor performance que o contador convencional na faixa de frequências de 225 a 700 MHz considerando a extração de parâmetros. A melhor performance do contador adiabático é na frequência de 650 MHz consumindo 59,6% da potência do contador convencional.

A fase de elaboração do *layout* deste circuito integrado é a etapa mais complexa do projeto. As exigências das regras de projeto combinadas com as re-simulações após as extrações dos parâmetros parasitas torna-se um círculo virtuoso, em que a decisão de considerar uma rodada de ajustes como a versão final pode significar uma perda de eficiência energética do circuito.

Tecnologias empregadas em biomedicina, nano-satélites, *wake-up receivers*, *smartphones*, sensores e atuadores *wireless* para a indústria, RFID, dispositivos *wearables* etc., demandam circuitos digitais com baixo consumo de energia e podem usufruir das vantagens de circuitos alimentados com técnicas adiabáticas.

PROPOSTAS PARA TRABALHOS FUTUROS

A caracterização operacional e energética dos circuitos fabricados deve ser realizada.

O conceito de consumo de potência e tempo de vida útil de baterias estão diretamente relacionados. A possibilidade de eliminação da bateria em equipamentos portáteis, substituída por conversores termoelétricos e piezoelétricos, oferece viabilidade para utilização de circuitos adiabáticos. Estudos comparando estes dois tipos de geração de energia devem ser intensificados na aplicabilidade de circuitos adiabáticos em dispositivos biomédicos portados pelo corpo humano.

A análise realizada neste trabalho se limitou a contadores binários. Uma análise mais intensiva deve ser realizada em sistemas digitais seriais de múltiplos estágios, como em *buffers*, registradores de deslocamento e multiplexadores em sistemas de telecomunicações.

Já que a porta adiabática responde a frequências de 7 GHz, propõe-se a análise de técnicas de *layout* adequadas para permitir o projeto de sistemas adiabáticos com maior eficiência energética. Neste trabalho, poder-se-ia renunciar ao ganho em área no silício para viabilizar um *layout*, em trabalhos futuros, utilizando um menor acoplamento capacitivo entre as camadas de metal, ou mesmo utilizar um número menor de camadas de metal, com o objetivo de reduzir a constante de tempo RC do circuito.

Propõe-se o aprimoramento do circuito do *Middleware* com o objetivo de aumentar a faixa de frequência operacional com redução do consumo de potência.

Pesquisas para o desenvolvimento de sistemas de alimentação polifásica para utilização em circuitos adiabáticos com viabilidade de aplicação na prática devem ser intensificadas.

Neste trabalho não foram realizadas análises paramétricas, como modelos *slow* e *fast* (t_{ox} maior ou menor que o típico), análises da variação de V_T em função da variação de V_{SB} provocada pelo fator de corpo, ou análises da variação da temperatura. Estas análises são sugeridas para trabalhos futuros.

PUBLICAÇÕES DURANTE O DOUTORADO

SALLES, V. M.; BARBIN, S. E.; KRETLY, L. C. **A design of adiabatic digital circuits for micro, nano and cube satellites: Four stage JK-FF binary counter using four-phase AC-clocked power-supply**. 2017 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC). **Anais...**Águas de Lindóia-SP: IEEE, ago. 2017. Disponível em: <http://ieeexplore.ieee.org/document/8121145/>

SALLES, V. M.; BARBIN, S. E.; KRETLY, L. C. **Dissipated energy of a low-power adiabatic CPAL JK-FF design using four-phase AC-clocked power supply based on 180 nm CMOS technology with various load capacitances**. 2017 IEEE-APS Topical Conference on Antennas and Propagation in Wireless Communications, APWC 2017. **Anais...**Verona: IEEE, set. 2017. Disponível em: <http://ieeexplore.ieee.org/document/8062308/>

SALLES, V. M.; BARBIN, S. E.; KRETLY, L. C. **Metastability investigation in adiabatic logic for wake-up receivers: Critical concerns in the JK-FF of a CPAL binary counter**. 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems, COMCAS 2017. **Anais...**Tel Aviv: IEEE, nov. 2017. Disponível em: <http://ieeexplore.ieee.org/document/8244766/>

EUROPRACTICE. **Activity Report 2018-2019**. Leuven: IMEC, 2019, pg. 47. Disponível em: <http://europractice-ic.com/wp-content/uploads/2019/06/EP-activity-Report-2018.pdf>

REFERÊNCIAS BIBLIOGRÁFICAS

- ATHAS, W. C. et al. Low-Power Digital Systems Based on Adiabatic-Switching Principles. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, v. 2, n. 4, 1994.
- BAKER, R. J. **CMOS Circuit Design, Layout, and Simulation**. 3rd. ed. New Jersey: IEEE Series, 2010.
- BHUSHAN, M.; KETCHEN, M. B. **Microelectronic Test Structures for CMOS Technology**. 1a. ed. New York: Springer, 2011.
- BHUVANA, B. P.; KANCHANA BHAASKARAN, V. S. Performance Analysis of 2N-N-2P Adiabatic Logic Circuits for Low Power Applications using FinFET. **Procedia Computer Science**, v. 115, p. 166–173, 2017.
- BHUVANA, B. P.; MANOHAR, B. R.; KANCHANA BHAASKARAN, V. S. Adiabatic logic circuits using FinFETs and CMOS - a review. **International Journal of Engineering and Technology**, v. 8, n. 2, p. 1256–1270, 2016.
- C.H. BENNETT. Logical reversibility of computation. **IBM J. Res. Dev.**, v. 17, n. 6, p. 525–532, 1973.
- CAMPBELL, S. A. **Fabrication Engineering at the Micro and Nanoscale**. 3rd. ed. New York: Oxford University Press, 2008.
- CHANDA, M. et al. **Design of sequential circuits using single-clocked Energy efficient adiabatic Logic for ultra low power application**. 18th International Symposium on VLSI Design and Test. **Anais...IEEE**, jul. 2014Disponível em: <<http://ieeexplore.ieee.org/document/6881076/>>
- CHANDRAKASAN, ANANTHA P. BOWHILL, W. J. . **Design of High-performance Microprocessor Circuit**. 1s. ed. Piscataway, New Jersey: IEEE Press, 2001.
- CHANDRAKASAN, A. P.; BRODERSEN, R. W. **Low Power Digital CMOS Design**. 1st. ed. Boston, MA: Springer US, 1995.
- CHANG, R. C.; HUNG, P.-C.; WANG, I.-H. Complementary pass-transistor energy recovery logic for low-power applications. **IEE Proceedings - Computers and Digital Techniques**, v. 149, n. 4, p. 146, 2002.
- CLEIN, D.; SHIMOKURA, G. **CMOS IC Layout: Concepts, Methodologies, and Tools**. 1st. ed. Boston: Newnes, 1999.
- EECS AT THE UNIVERSITY OF CALIFORNIA. **BSIM4**. Disponível em: <<https://bsim.berkeley.edu/models/bsim4/>>. Acesso em: 20 mar. 2019.
- EMILIO, M. D. P. **Microelectronic Circuit Design for Energy Harvesting Systems**. 1a. ed. Cham: Springer International Publishing AG, 2017.
- EUROPRACTICE. **TSMC 0.18 UM TECHNOLOGY OVERVIEW**. Disponível em:

<http://www.europractice-ic.com/technologies_TSMC.php>. Acesso em: 25 abr. 2018.

EUROPRACTICE. **Asic Package Design Rules**. Disponível em: <<http://europractice-ic.com/wp-content/uploads/2019/07/ASIC-Package-Design-Rules.pdf>>.

EUROPRACTICE. **TSMC 0.18 μ m CMOS Logic or MS/RF, General Purpose 1.8V/3.3V**. Disponível em: <<http://europractice-ic.com/mpw-prototyping/asics/tsmc/>>. Acesso em: 20 set. 2019.

FISCHER, J. et al. **Impact of process parameter variations on the energy dissipation in adiabatic logic**. Proceedings of the 2005 European Conference on Circuit Theory and Design. **Anais...IEEE**, 2005Disponível em: <<http://ieeexplore.ieee.org/document/1523152/>>

FREDKIN, E.; TOFFOLI, T. Conservative Logic. **International Journal of Theoretical Physics**, v. 21, n. 3–4, p. 219–253, 1982.

GOJMAN, B. **Adiabatic Logic**, 2004. (Nota técnica).

GREIG, W. J. **Integrated Circuit Packaging , Assembly and Interconnections**. 1st. ed. New Jersey: Springer, 2007.

HALL, J. S. **An Electroid Switching Model for Reversible Computer Architectures**, 1992. (Nota técnica).

HALLIDAY; RESNICK; WALKER, J. **Fundamentos de Física**. 8a. ed. Rio de Janeiro: LTC - Livros Técnicos e Científicos Editora, 2009.

HELLER, L. et al. **Cascode voltage switch logic: A differential CMOS logic family**. IEEE International Solid-State Circuits Conference. Digest of Technical Papers. **Anais...IEEE**, 1984Disponível em: <<http://ieeexplore.ieee.org/document/1156629/>>

HODGES, D. A.; JACKSON, H. G. **Analysis and Design of Digital Integrated Circuits**. 2nd. ed. Boston: McGraw-Hill International Editions, 1988.

HU, C. C. **Modern Semiconductor Devices for Integrated Circuits**. 1st. ed. New York: Pearson, 2010.

HU JIANPING; CEN LIZHANG; LIU XIAO. **A new type of low-power adiabatic circuit with complementary pass-transistor logic**. 2003 5th International Conference on ASIC Proceedings (IEEE Cat No 03TH8690) ICASIC-03. **Anais...IEEE**, 2003Disponível em: <<http://ieeexplore.ieee.org/document/1277438/>>

IEEE SoCC. Disponível em: <<https://www.ieee-socc.org/>>. Acesso em: 15 set. 2019.

IMAN, S.; PEDRAM, M. **Logic Synthesis for Low Power VLSI Designs**. 1st. ed. Boston, MA: Springer, 1998.

International Microelectronics Assembly and Packaging Society. Disponível em:

<<http://www.imaps.org/sip/>>. Acesso em: 12 set. 2019.

J.G.KOLLER, W. C. A. **Adiabatic switching, low energy computing, and the physics of storing and erasing information**. Proc.Workshop on Physics and Computation. **Anais...**1992

JAEGER, R. C. **Introduction to Microelectronic Fabrication**. 2nd. ed. New Jersey: Prentice Hall, 2002.

JOHNSON, H.; GRAHAM, M. **High Speed Signal Propagation: Advanced Black Magic**. First ed. Upper Saddle River: Prentice Hall, 2003.

KANO, K. **Semiconductor Devices**. 1st. ed. New Jersey: Prentice Hall, 1998.

KASAP, S. O. **Principles of Electronic Materials and Devices**. 4th. ed. New York: MacGraw-Hill, 2018.

KEYSIGHT. **De-Embedding and Embedding S-Parameter Networks Using a Vector Network Analyzer**. Disponível em: <<http://literature.cdn.keysight.com/litweb/pdf/5980-2784EN.pdf>>. Acesso em: 29 mar. 2018.

KIM, C.; YOO, S.-M.; KANG, S.-M. (STEVE). Low-power adiabatic computing with NMOS energy recovery logic. **Electronics Letters**, v. 36, n. 16, p. 1349–1350, 2000.

KIM, S.; PAPAETHYMIIOU, M. C. **True single-phase energy-recovering logic for low-power, high-speed VLSI**. Proceedings of the 1998 international symposium on Low power electronics and design - ISLPED '98. **Anais...**New York, New York, USA: ACM Press, 1998Disponível em: <<http://portal.acm.org/citation.cfm?doid=280756.280879>>

KRAMER, A. et al. **2Nd Order Adiabatic Computation With 2N-2P and 2N-2N2P Logic Circuits**. Proceedings of the International Symposium on Low Power Design. **Anais...**1995

KRETLY, L. C.; CAPOVILLA, C. E.; A. TAVORA, A. S. **Design and Modeling of an RFIC PAD Structure and Probe Contact Impedance Correction for On-Wafer Measurements**. 7th International Caribbean Conference on Devices, Circuits and Systems. **Anais...**Mexico: 2008

KUMARI, M.; KEOTE, M. L. **Design os Sequential Circuit using Low Power Adiabatic Complementary Pass Transistor Logic**. International Conference on Industrial Automation and Computing (ICIAC). **Anais...**2014

KUNDERT, K. S. **The Designer's Guide to SPICE and SPECTRE**. 1st. ed. New York: Kluwer Academic Publishers, 2003.

KUO, J. B.; LOU, J.-H. **Low-voltage CMOS VLSI circuits**. 1st. ed. New Jersey: John Wiley & Sons, Inc., 1999.

LANDAUER, R. Ibm j. res. develop. vol. 44 no. 1/2 january/march 2000 r. landauer. v. 5, n. 3, p. 261–269, 2000.

LI, S. et al. **Quasi-Static Energy Recovery Logic with Single Power-Clock Supply**. 2007 IEEE International Symposium on Circuits and Systems. **Anais...IEEE**, maio 2007Disponível em: <<http://ieeexplore.ieee.org/document/4253090/>>

LIN, J.; HU, J.; CHEN, Q. Low voltage adiabatic flip-flops based on power-gating CPAL circuits. **Procedia Engineering**, v. 15, p. 3144–3148, 2011.

MAKSIMOVIC, D.; OKLOBDZIJA, V. G. **Clocked CMOS Adiabatic Logic with Single AC Power Supply**. Solid-State Circuits Conference ESSCIRC '95. Twenty-first European. **Anais...Lille**: IEEE Publisher, 1995

MITTAL, M. et al. **Energy Conservation for IoT Devices - Concepts, Paradigms and Solutions**. 1s. ed. Singapore: Springer Nature Singapore Pte. Ltd., 2019.

OKLOBDZIJA, V. G.; MAKSIMOVIC, D.; LIN, F. Pass-transistor adiabatic logic using single power-clock supply. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 44, n. 10, p. 842–846, 1997.

PEDRAM, M.; WU, X. **Analysis of power-clocked CMOS with application to the design of energy-recovery circuits**. Proceedings 2000. Design Automation Conference. (IEEE Cat. No.00CH37106). **Anais...2000**

PLUMMER, J. D.; DEAL, M. D.; GRIFFIN, P. B. **Silicon VLSI Technology: Fundamentals, Practice and Modeling**. 1st. ed. New Jersey: Prentice Hall, 2000.

RABAEY, J. M.; CHANDRAKASAN, A.; BORIVOJE, N. **Digital Integrated Circuits: A design perspective**. 2nd. ed. New York: Pearson, 2003.

RABAEY, J. M.; PEDRAM, M. (EDS.). **Low Power Design Methodologies**. Boston, MA: Springer US, 1996.

RICKETTS, D.; MCNEILL, J. A. **The Designer's Guide to Jitter in Ring Oscillators**. Boston, MA: Springer US, 2009.

ROY, K.; PRASAD, S. C. **Low-power CMOS VLSI Circuit Design**. 1st. ed. New York: John Wiley & Sons, Inc., 2000.

SAINT, C.; SAINT, J. **IC Mask Design: Essential LAYout Techniques**. New York: MacGraw-Hill, 2002.

SALLES, V. M.; BARBIN, S. E.; KRETLY, L. C. **Metastability investigation in adiabatic logic for wake-up receivers: Critical concerns in the JK-FF of a CPAL binary counter**. 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems, COMCAS 2017. **Anais...Tel Aviv**: IEEE, nov. 2017Disponível em: <<http://ieeexplore.ieee.org/document/8244766/>>

SALLES, V. M.; KRETLY, L. C. Guidelines to Establish Design and Simulation of AC-Clocked Power Supply in Digital CVSL Circuits: The Base to Implement Complex Sequential Circuits. **International Workshop on the Electromagnetic Compatibility of Integrated Circuits, COMPO 2017**, 2017.

SHALF, J. The future of computing beyond Moore's Law. **Philisophical Transaction**

A, 2020.

SHEU, B. J. et al. BSIM: Berkeley short-channel IGFET model for MOS transistors. **IEEE Journal of Solid-State Circuits**, v. 22, n. 4, p. 558–566, ago. 1987.

SHINGHAL, D.; SAXENA, A.; NOOR, A. Adiabatic Logic Circuits: A Retrospect. **MIT International Journal of Electronics and Communication Engineering**, v. 3, n. 2, p. 108–114, 2013.

SINGH, V. P.; SINHA, S. R. P. Design and Implementation of Adiabatic Logic for Low Power Application. **International Journal of Science and Research (IJSR)**, v. 4, n. 8, p. 930–934, 2015.

STASZEWSKI, R. B.; RUDELL, J. **Is RF doomed to digitization? What shall RF circuit designers do?** 2012 IEEE International Solid-State Circuits Conference. **Anais...IEEE**, fev. 2012 Disponível em:
<<http://ieeexplore.ieee.org/document/6177041/>>

SZE, S. M.; LEE, M. K. **Semiconductor Devices**. 3rd. ed. Ney York: John Wiley & Sons, Inc., 2012.

SZE, S. M.; MAY, G. S. **Fundamentals of Semiconductor Fabrication**. 1a. ed. New Jersey: John Wiley & Sons, Inc., 2003.

TAHERI, M. et al. Comparative analysis of adiabatic full adder cells in CNFET technology. **Engineering Science and Technology, an International Journal**, v. 19, n. 4, p. 2119–2128, 2016.

TEICHMANN, P. Adiabatic logic: Future trend and system level perspective. **Springer Series in Advanced Microelectronics**, v. 34, n. 1, 2012.

TSMC. **TSMC Universal Analog I/O Library General Application Note V 2.00**, 2008.

TSMC. **TSMC PDK usage guide: Introduction of the usage of IC6.1 process design kits (PDK)**, 2009.

ULRICH, R. K.; BROWN, W. D. **Advanced Electronic Packaging**. 2nd. ed. Piscataway, New Jersey: IEEE Press, 2006.

USP. **Notas de Aula Físicao-Química**. Disponível em:
<<https://edisciplinas.usp.br/mod/resource/view.php?id=226688>>. Acesso em: 4 ago. 2019.

UYEMURA, J. P. **CMOS Logic Circuit Design**. New York, Boston, Dordrecht, London, Moscow: Kluwer Academic Publishers, 2002.

V.G. OKLOBDZIJA, D. M. AND F. L. Pass-Transistor Adiabatic Logic Using Single Power-Clock Supply. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 44, n. 10, p. 842–846, 1997.

VEENDRICK, H. **Deep Submicron CMOS IC**. 2nd. ed. Philadelphia: Kluwer

Academic Publishers, 2000.

VETULI, A.; PASCOLI, S. D.; REYNERI, L. M. Positive feedback in adiabatic logic. **Electronics Letters**, v. 32, n. 20, p. 1867–1869, 1996.

WESTE, N. H.; HARRIS, D. M. **CMOS VLSI Design A Circuits and Systems Perspective**. Boston: Addison-Wesley, 2011.

WONG, H. H.; LAU, K. T. Energy-recovery low power C-PAL flip-flop design. **Microelectronics International**, v. 18, n. 2, p. 6–10, 2001.

WU, X.; GUOQIANG, H.; PEDRAM, M. Low power DCVSL Circuits Employing AC Power Supply. **Science in China**, v. 45, n. 3, p. 232–240, 2002.

XIN, Z.; HU, J.; CHEN, Q. Adiabatic Two-Phase CPAL Flip-Flops Operating on Near-Threshold and Super-Threshold Regions. **Procedia Environmental Sciences**, v. 11, p. 339–345, 2011.

YONG MOON; DEOG-KYOON JEONG. **Efficient charge recovery logic**. Digest of Technical Papers., Symposium on VLSI Circuits. **Anais...**Japan Soc. Applied Phys, 1995Disponível em: <<http://ieeexplore.ieee.org/document/520719/>>

YOUNIS, S. G.; KNIGHT, J. T. F. **Asymptotically Zero Energy Computing Split-Level Charge Recovery Logic**. International Workshop on Low Power Design. **Anais...**1994

ZANT, P. VAN. **Microchip Fabrication**. New York: McGraw-Hill International Editions, 2004.

APÊNDICE A – ESTRUTURA DAS CÉLULAS DE I/O TSMC 180 nm

As células de I/O analógico são implementadas de modo a fornecer capacitância de ultrabaixo valor para os sinais de aplicações de RF e interfaces de alta velocidade para que a forma de onda do sinal seja preservada. Basicamente os fios de ligação do terminal do *packaging* se conectam aos *BondPADs*. Os *BondPADs* são conectados às *I/O Cells*, que por sua vez são ligadas aos circuitos dentro do chip (*core*), como ilustrado na Figura A.1.

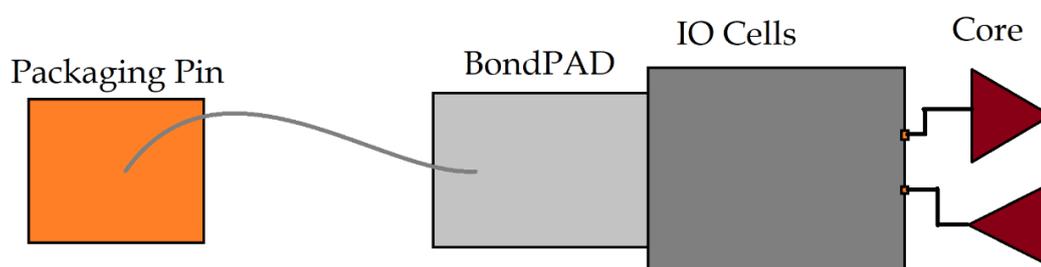


Figura A.1 – Estrutura das conexões de I/O na tecnologia TSMC 180 nm (TSMC, 2008)

O bloco analógico PDB1AC foi escolhido para o projeto do circuito integrado pelo fato de apresentar a menor capacitância para o sinal (100 fF) em relação a outros blocos de entrada/saída analógica disponíveis, que podem chegar a 600 fF de capacitância, e por apresentar proteção contra descarga eletrostática com valor de 1 kV HBM (*Human Body Model*). A Tabela A.1 e a Figura A.2 mostram, respectivamente, as características da célula PDB1AC e o esquemático de ligação dos dispositivos ESD ao *power rail* e ao *ground rail* (TSMC, 2008).

Tabela A.1 - Características da célula PDB1AC na tecnologia TSMC 180 nm

<i>Analog Cell</i>	<i>Estimated Capacitance</i>	<i>Expected ESD Performance</i>	<i>EM Optimization</i>	<i>Features</i>
<i>PDB1AC</i>	<i>~ 100 fF at steady state</i>	<i>~ 1 kV HBM</i>	<i>No</i>	<i>Optimum design for ultra-low-input capacitance</i>

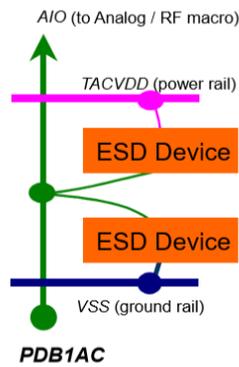


Figura A.2 - Esquemático de ligação dos dispositivos ESD ao *power rail* e *ground rail* da célula PDB1AC (TSMC, 2008)

A Tabela A.2 e a Figura A.3 mostram, respectivamente, as características e o esquemático das células PVDD3A e PVDD3AC. Estas células possuem a função de prover a alimentação para o I/O (3,3 V) e o *core* (1,8 V), respectivamente.

Tabela A.2 - Características das células PVDD3AC e PVDD3A na tecnologia TSMC 180 nm

<i>Cell Name</i>	<i>Port to Core</i>	<i>Port to Pad</i>	<i>Power & Ground</i>	<i>Description</i>
<i>PVDD3AC</i>	<i>AVDD</i>	<i>TACVDD</i>	<i>TACVDD, VSS</i>	<i>Power source for both analog macro and analog I/O power rail</i>
<i>PVDD3A</i>	<i>AVDD</i>	<i>TAVDD</i>	<i>TAVDD, VSS</i>	<i>Power source for both analog macro and analog I/O power rail</i>

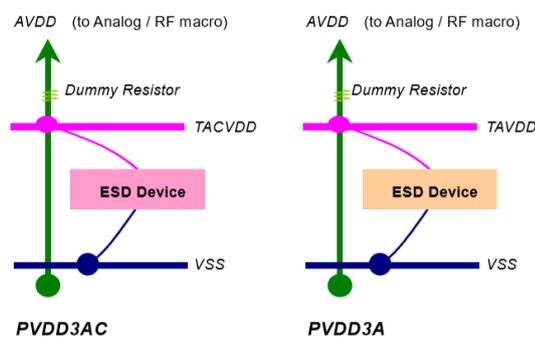


Figura A.3 - Esquemático de ligação dos dispositivos *ESD* ao *power rail* e *ground rail* das células PVDD3AC e PVDD3A (TSMC, 2008)

A Tabela A.3 e a Figura A.4 mostram, respectivamente, as características e o esquemático das células PVSS3A e PVSS3AC. Estas células possuem a função de prover o aterramento para o I/O e o *core*, respectivamente.

Tabela A.3 - Características das células PVSS3AC e PVSS3A da tecnologia TSMC 180 nm

<i>Cell Name</i>	<i>Port to Core</i>	<i>Port to Pad</i>	<i>Power & Ground</i>	<i>Description</i>
<i>PVSS3AC</i>	<i>AVSS</i>	<i>AVSS</i>	<i>TACVDD, VSS</i>	<i>Ground provider used with PVDD3AC power cell</i>
<i>PVSS3A</i>	<i>AVSS</i>	<i>AVSS</i>	<i>TAVDD, VSS</i>	<i>Ground provider used with PVDD3A power cell</i>

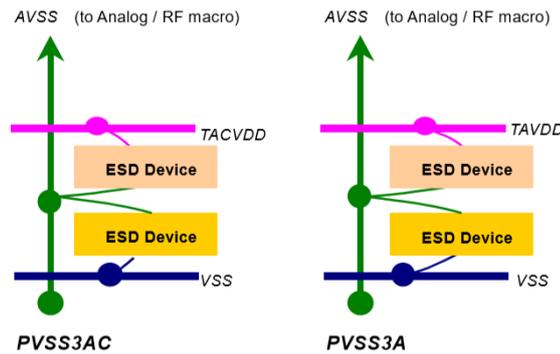


Figura A.4 - Esquemático de ligação dos dispositivos ESD ao *power rail* e *ground rail* das células PVSS3AC e PVSS3A (TSMC, 2008)

A Figura A.5 mostra o conceito de interligação do aterramento de um domínio de alimentação digital com o aterramento de um domínio de alimentação analógico utilizando uma célula do tipo PRCUTA.

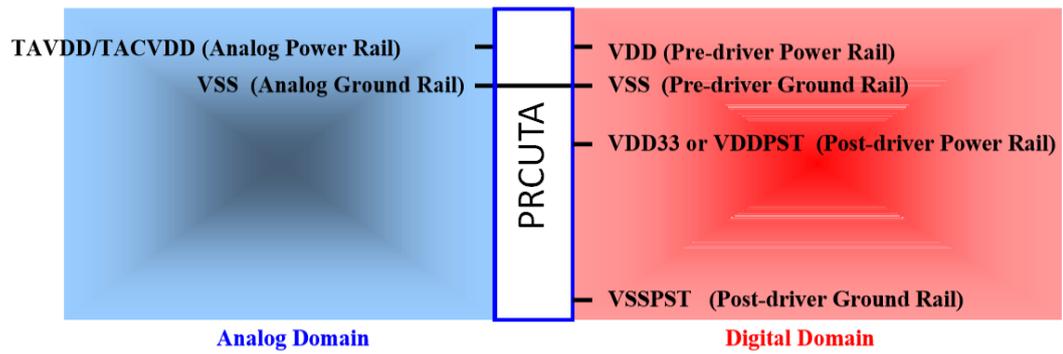


Figura A.5 - Conceito de interligação do aterramento dos domínios analógico e digital na tecnologia TSMC 180 nm (TSMC, 2008)

As células PVDD1CDG, PVDD2POC, PVSS1CDG e PVSS2CDG usadas para alimentação de circuitos digitais dentro do chip (e obrigatórias na composição do *I/O Ring*) não são aqui apresentadas por não serem efetivamente utilizadas para a alimentação de quaisquer circuitos neste projeto.

APÊNDICE B – FLUXOGRAMA DO ASSURA DRC/LVS/QRC

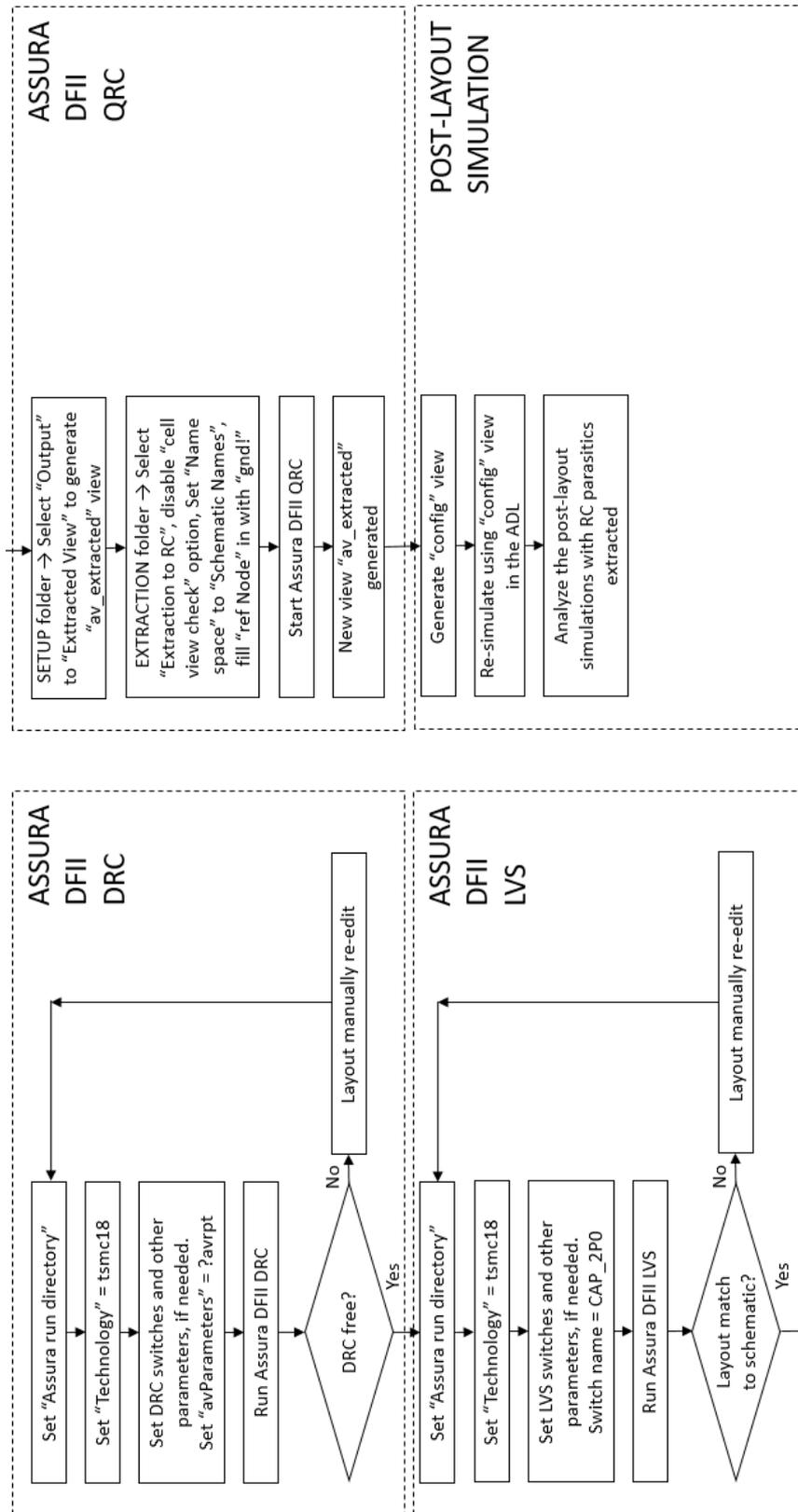


Figura B.1 - Fluxograma do Assura DRC/LVS/QRC. Adaptado de (TSMC, 2009)

APÊNDICE C – ESQUEMÁTICOS E *LAYOUTS* COMPLEMENTARES

C.1 Esquemático e *layout* do contador binário convencional

O projeto do circuito e do *layout* do contador binário convencional foram elaborados com blocos hierárquicos. Apesar dos componentes lógicos básicos – portas AND, NAND e INV – existirem na biblioteca TSMC 180 nm, eles foram reconstruídos com transistores NMOS e PMOS com os mesmos parâmetros utilizados no contador binário adiabático, para que a comparação do consumo de potência seja válida. A Figura C.1 mostra o diagrama hierárquico para a construção dos circuitos e dos blocos que compõem o contador binário convencional, bem como os pontos de simulação.

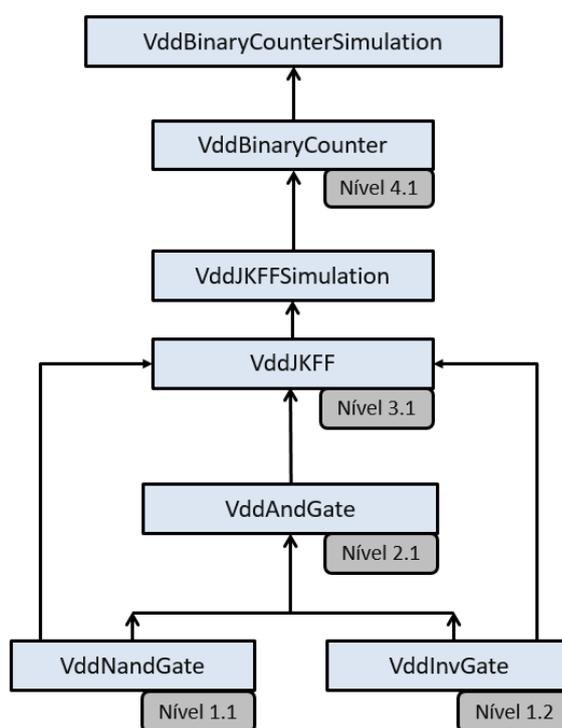


Figura C.1 - Estrutura hierárquica do projeto do contador convencional

O bloco *VddINVGate* é um inversor CMOS. As Figuras C.2 a C.5 mostram, respectivamente, o esquemático, o símbolo, o *layout* com os transistores no modo bloco e o *layout* completo da porta inversora.



Figura C.2 - Esquemático da porta *VddINVGate*

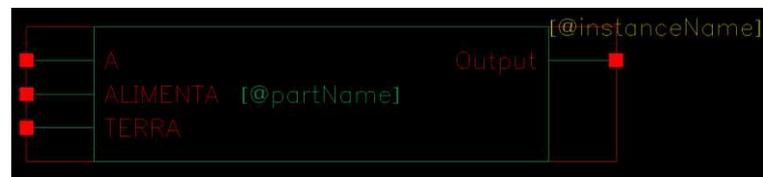


Figura C.3 - Símbolo da porta *VddINVGate*

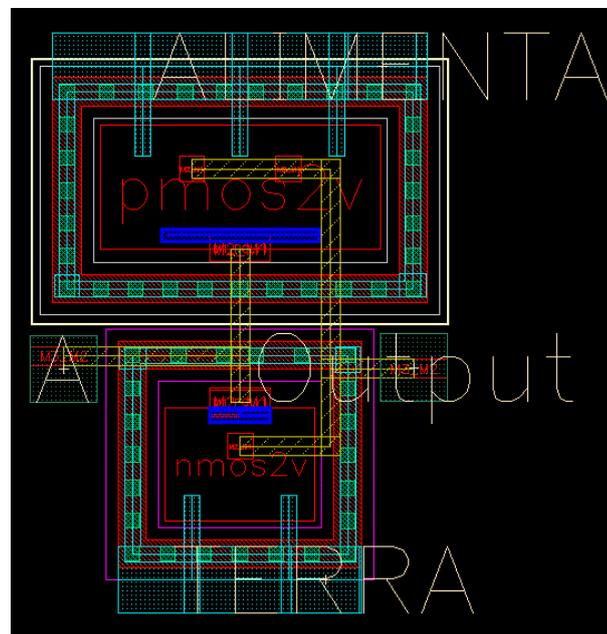


Figura C.4 - *Layout* da porta *VddINVGate* mostrando seus blocos e interconexões

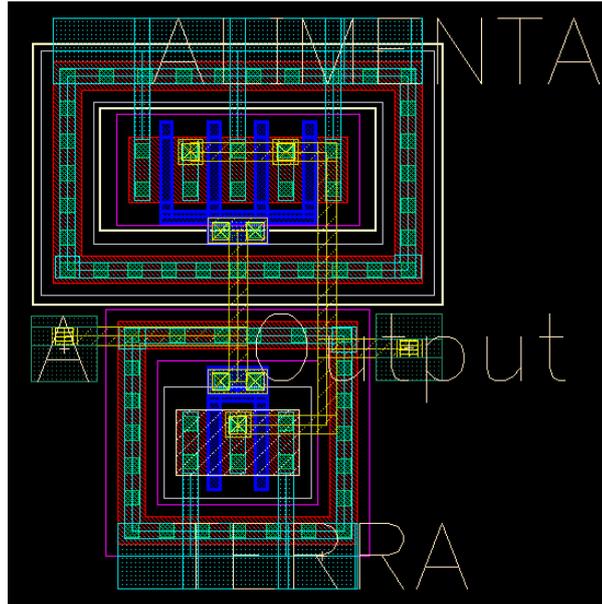


Figura C.5 - Layout da porta *VddINVGate* mostrando todos os seus componentes

O bloco *VddNANDGate* é uma porta lógica NAND. As Figuras C.6 a C.9 mostram, respectivamente, o esquemático, o símbolo, o *layout* com os transistores no modo bloco e o *layout* completo da porta NAND.

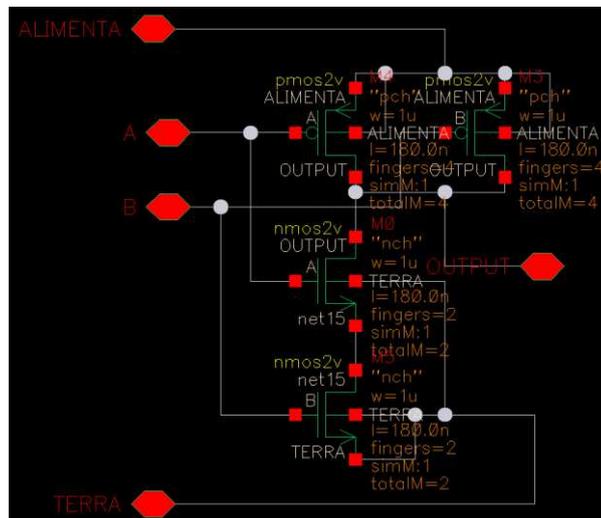


Figura C.6 - Esquemático da porta *VddNANDGate*



Figura C.7 – Símbolo da porta *VddNANDGate*

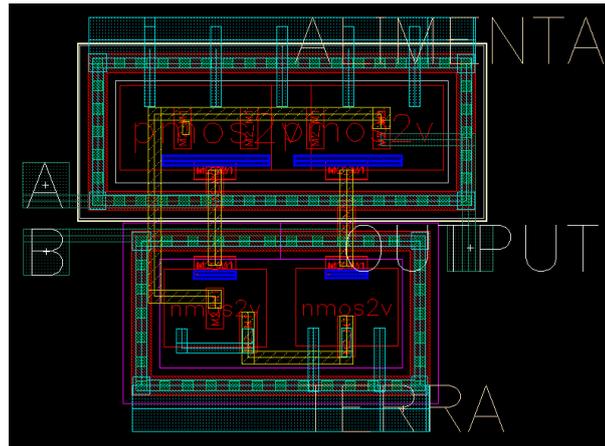


Figura C.8 - *Layout* da porta *VddNANDGate* mostrando seus blocos e interconexões

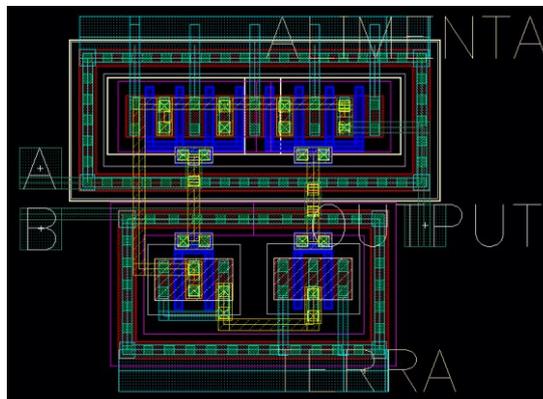


Figura C.9 - *Layout* da porta *VddNANDGate* mostrando todos os seus componentes

O bloco *VddANDGate*, mostrado no nível 2.1 do diagrama do projeto hierárquico, é uma porta lógica AND, composto pela junção dos blocos NAND e INV. As Figuras C.10 a C.13 mostram, respectivamente, o esquemático, o símbolo, o *layout* no modo bloco e o *layout* com todos os seus componentes.

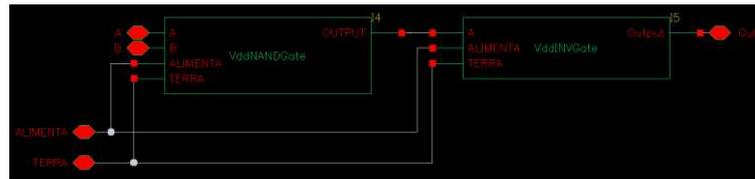


Figura C.10 - Esquemático da porta *VddANDGate*



Figura C.11 - Símbolo da porta *VddANDGate*



Figura C.12 - *Layout* da porta *VddANDGate* mostrando seus blocos e interconexões

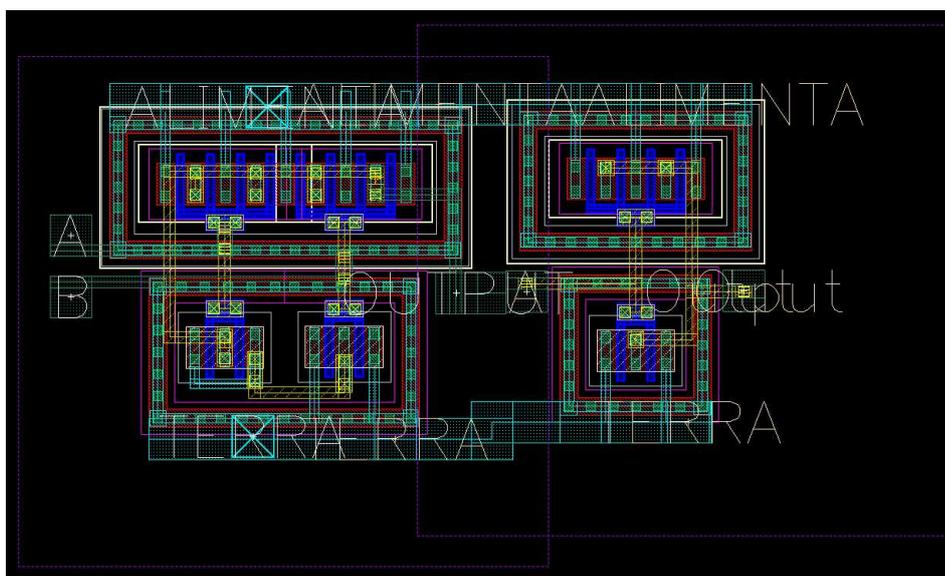


Figura C.13 - *Layout* da porta *VddANDGate* mostrando todos os seus componentes

Utilizando-se dos blocos *VddANDGate*, *VddNANDGate* e *VddINVGate*, o bloco *VddJKFF* foi elaborado, conforme mostrado no nível 3.1 do diagrama do projeto hierárquico do contador convencional. As Figuras C.14 a C.17 mostram, respectivamente, o esquemático, o símbolo, o *layout* no modo bloco e o *layout* com todos os seus componentes.

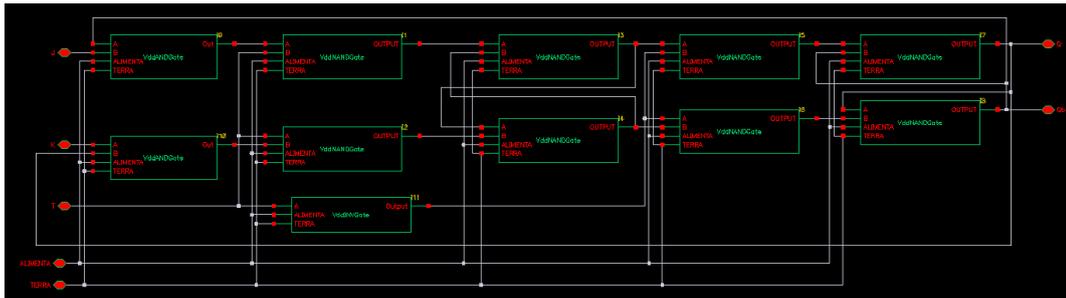


Figura C.14 - Esquemático do bloco *VddJKFF*

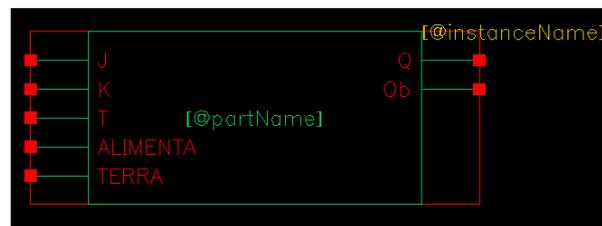


Figura C.15 – Símbolo do bloco *VddJKFF*

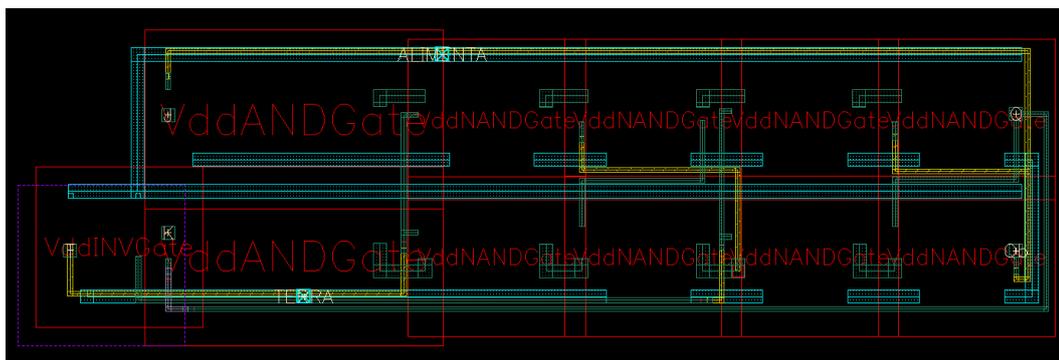


Figura C.16 – *Layout* do bloco *VddJKFF* no modo bloco

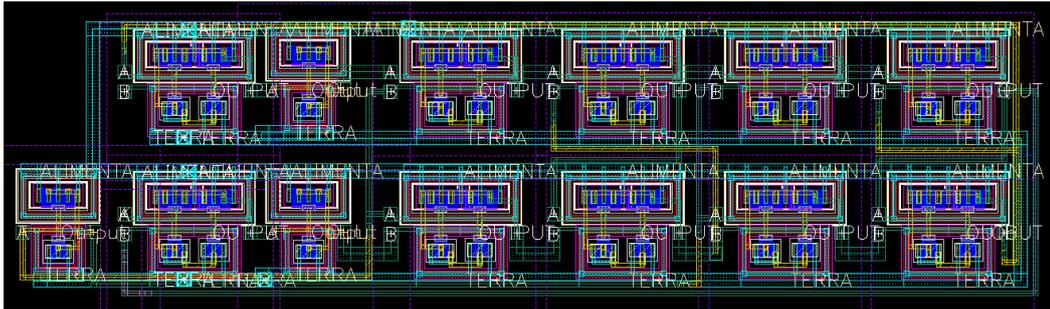


Figura C.17 – Layout do bloco *VddJKFF* mostrando todos os seus componentes

As Figuras C.18 e C.19 mostram, respectivamente, o esquemático para a simulação e o diagrama de sinais com as formas de onda da simulação do funcionamento do flip-flop JK. Como o objetivo é a construção de um contador binário, apenas as formas de onda geradas com as entradas $J = K = 1$ foram obtidas.



Figura C.18 – Esquemático para a simulação do *VddJKFF*

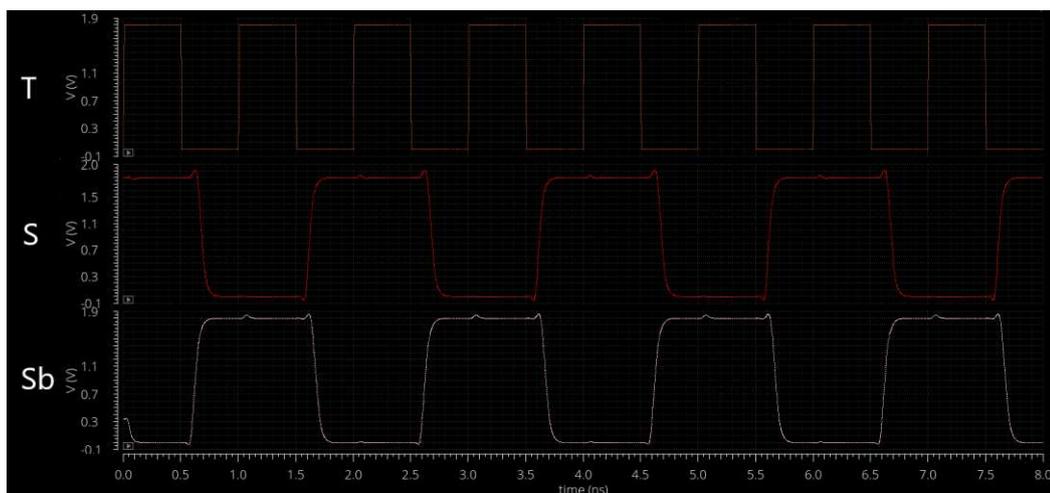


Figura C.19 – Diagrama de sinais na saída do *VddJKFF*

Utilizando os bloco *VddJKFF* o contador binário convencional *VddBinaryCounter* é construído, conforme mostrado no nível 4.1 do diagrama do projeto hierárquico do contador convencional. As Figuras C.20 a C.23 mostram, respectivamente, o esquemático, o símbolo, o *layout* no modo bloco e o *layout* com todos os seus componentes.

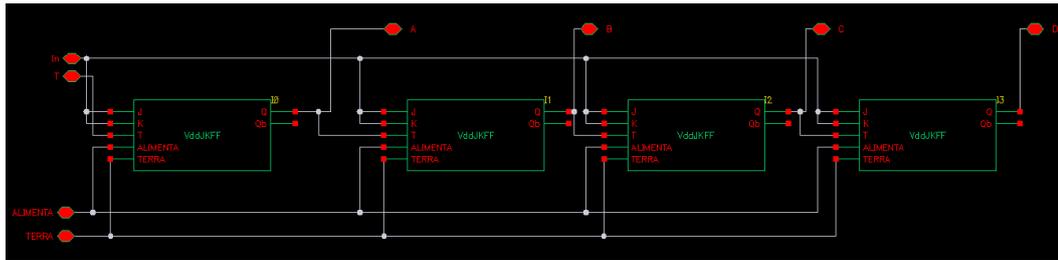


Figura C.20 - Esquemático do contador convencional



Figura C.21 - Símbolo do contador convencional

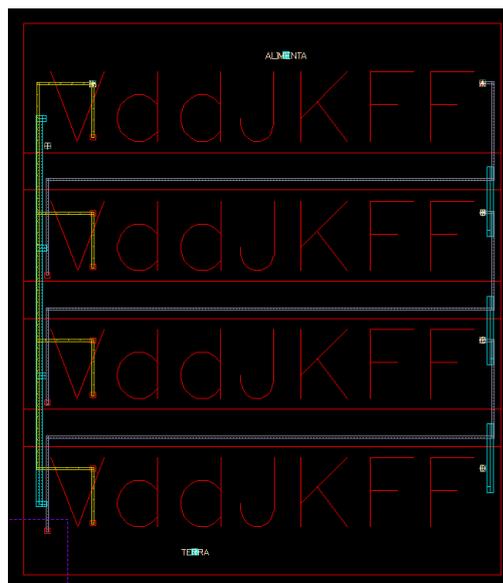


Figura C.22 - *Layout* do contador convencional mostrando os blocos e suas interconexões

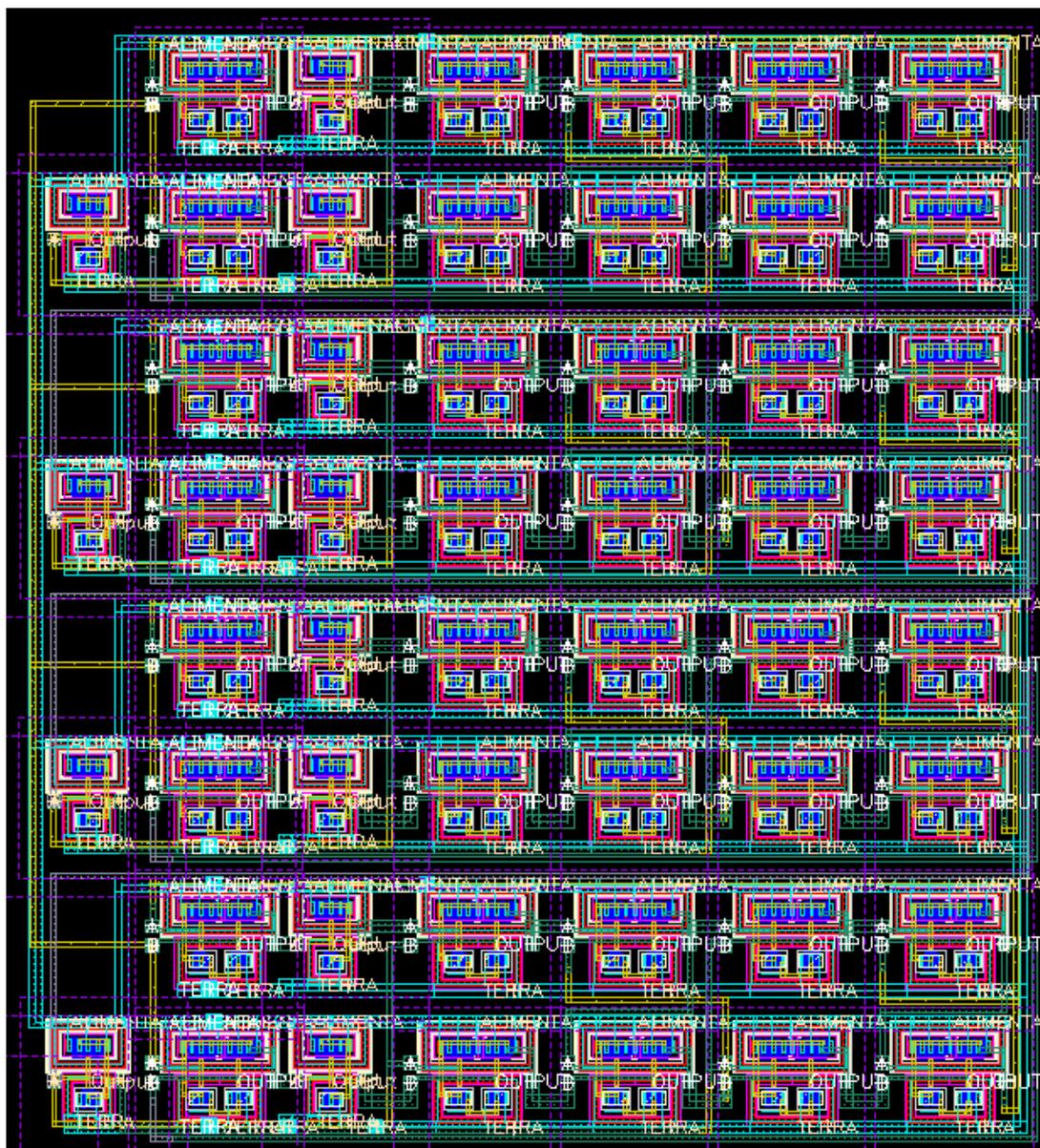


Figura C.23 - *Layout* do contador convencional mostrando todos os seus componentes

C.2 Estrutura de teste (oscilador em anel)

Osciladores em anel são importantes estruturas de teste para caracterização de circuitos CMOS (BHUSHAN; KETCHEN, 2011). *Wafers* podem incluir um oscilador em anel como parte de suas estruturas de teste na *scribe line* – um pequeno espaço não-funcional entre os blocos funcionais dos circuitos no *wafer*. Um oscilador em anel pode ser constituído por uma malha fechada com um número ímpar de portas lógicas do tipo inversor, podendo ser implementado de uma forma simples utilizando CMOS. A Figura C.24 mostra a topologia de um oscilador em anel.

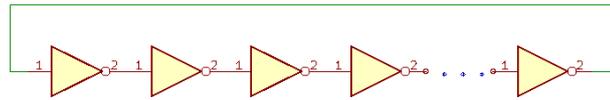


Figura C.24 – Topologia de um oscilador em anel

Utiliza-se da técnica de realimentação negativa, sendo que o circuito se torna instável por que cada inversor produz um deslocamento de fase de 90° na frequência de ganho unitário garantindo que o ganho de realimentação é maior do que 1 quando o deslocamento de fase atinge 180° . A frequência de oscilação depende do atraso de cada inversor. Mais especificamente do tempo de subida para carga e do tempo de descida para descarga da capacitância de carga. O tempo de subida e descida são calculados pelas Equações C.1 e C.2.

$$\tau_R = \frac{4C}{K_P \left(\frac{W}{L}\right)_P V_{DD}} \quad (\text{C.1})$$

$$\tau_F = \frac{4C}{K_N \left(\frac{W}{L}\right)_N V_{DD}} \quad (\text{C.2})$$

onde K_P e K_N são as transcondutâncias intrínsecas do processo, W/L é o fator de ganho de cada transistor do inversor, C é a capacitância de carga e V_{DD} a alimentação do oscilador. A frequência de operação é definida então pela Equação C.3.

$$f = \frac{1}{N(\tau_R + \tau_F)} \quad (\text{C.3})$$

onde N é o número de inversores.

A frequência de oscilação também pode ser obtida se o tempo médio de atraso de cada inversor for conhecido. Este método foi utilizado para construir a estrutura de teste. A relação entre tempo de atraso em cada inversor, o número de inversores e a frequência de oscilação é estabelecida conforme a Equação C.4.

$$\tau_p = \frac{\tau_{pu} + \tau_{pd}}{2} = \frac{T_p}{2(2\alpha + 1)} = \frac{1}{2(2\alpha + 1) \cdot f} \quad (\text{C.4})$$

onde τ_p (“p” de propagação) é a média de atrasos *pull-up* (τ_{pu}) e *pull-down* (τ_{pd}) por inversor, T_p é o período da oscilação – inverso da frequência de oscilação f , que é também a soma de todos os atrasos *pull-up* e *pull-down* do oscilador. Se o oscilador possui $(2\alpha + 1)$ inversores, onde α é um inteiro, T_p aumenta com o aumento de α , com a correspondente diminuição da frequência f . Da Equação C.4 obtemos a frequência de oscilação, conforme mostra a Equação C.5.

$$f = \frac{1}{2(2\alpha + 1) \cdot \tau_p} \quad (\text{C.5})$$

O contador binário adiabático com parâmetros parasitas extraídos tem frequência de corte operacional de 709 MHz. Para definir o número de inversores do oscilador em anel foi considerada a frequência de 690 MHz. Foi também considerado o tempo de atraso de cada porta inversora. O número de inversores é definido pela Equação C.6.

$$(2\alpha + 1) = \frac{1}{2 \cdot f \cdot \tau_p} \quad (\text{C.6})$$

O tempo de atraso por inversor foi medido com valor igual a 23,855 ps. Assim o número de inversores é definido pela Equação C.7.

$$(2\alpha + 1) = \frac{1}{2 \cdot 690 \cdot 10^6 \cdot 23,855 \cdot 10^{-12}} = 30,37 \quad (\text{C.7})$$

A estrutura de teste construída possui 31 inversores de modo a gerar um sinal com frequência próximo à frequência de operação do contador binário adiabático com os parâmetros parasitas extraídos. O sinal gerado em sua saída possui frequência de 691,9 MHz. Com extração de parâmetros o sinal gerado em sua saída possui frequência de 520,7 MHz. Para o desacoplamento da carga na saída do oscilador, estimada em 10 pF, é necessário a utilização de *buffers*. Para dimensionamento dos *buffers* é necessário realizar o levantamento dos tempos de subida e descida do sinal do inversor, com a carga de 10 pF, para cálculo das resistências de fonte-dreno dos transistores PMOS e NMOS. Em seguida é necessário realizar o levantamento destes tempos sem a carga de 10 pF, para então, utilizando estes tempos e os valores de resistência de fonte-dreno, calcular a capacitância de saída e entrada da porta. Os valores de capacitância de saída e entrada da porta foram calculados em 5,08 fF e 7,62 fF, respectivamente. Calcula-se o número de estágios do *buffer* (N) e o fator multiplicativo “A” da relação $(\frac{W}{L})_{P,N}$ de cada estágio do inversor, por meio das Equações C.8 e C.9.

$$N = \ln\left(\frac{C_L}{C_{IN}}\right) \quad (\text{C.8})$$

$$A = \left(\frac{C_L}{C_{IN}}\right)^{\frac{1}{N}} \quad (\text{C.9})$$

Com valores arredondados de N = 6 e A = 3, a Tabela C.1 apresenta os valores da largura do canal dos transistores do *buffer*, considerando que L = 180 nm. A Figura C.25 apresenta os sinais de saída do oscilador e do *buffer*, indicando um atraso total de 327,4 ps (marcadores M1 e M2 nesta figura).

Tabela C.1 – Largura do canal dos transistores PMOS e NMOS nos estágios do *buffer*

Estágio	1	2	3	4	5	6
$W_{P,N}$ (μm)	2	6	18	54	160	480

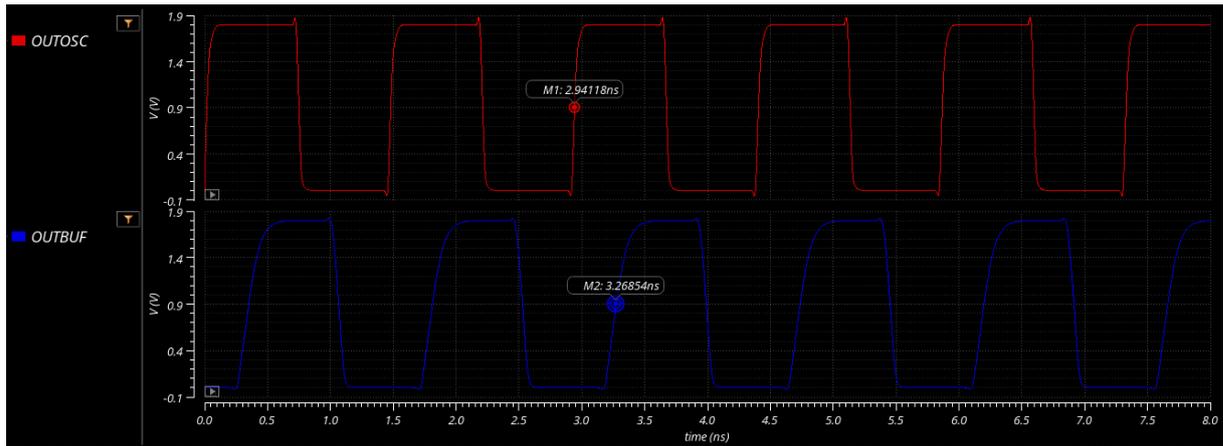


Figura C.25 – Sinais de saída do oscilador e do *buffer*

As Figuras C.26 a C.29 apresentam o esquemático do oscilador em anel, o esquemático do *buffer*, o *layout* do oscilador em anel e o *layout* do *buffer*, respectivamente.

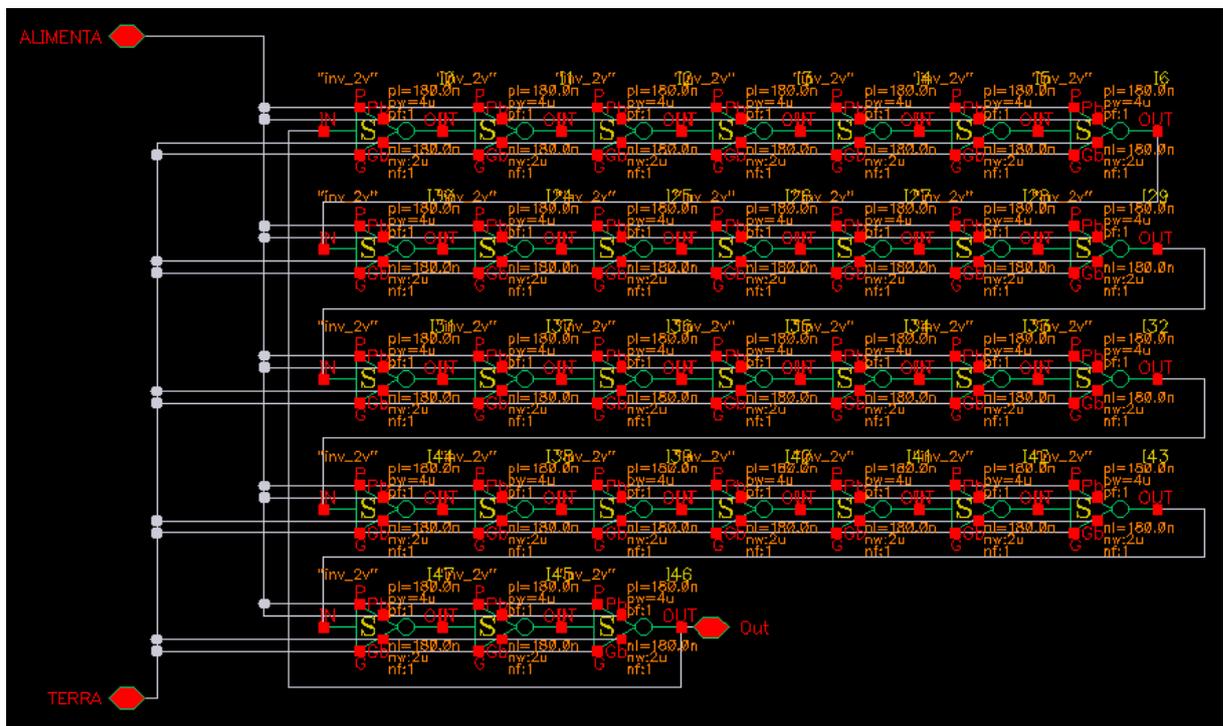


Figura C.26 – Esquemático do oscilador em anel

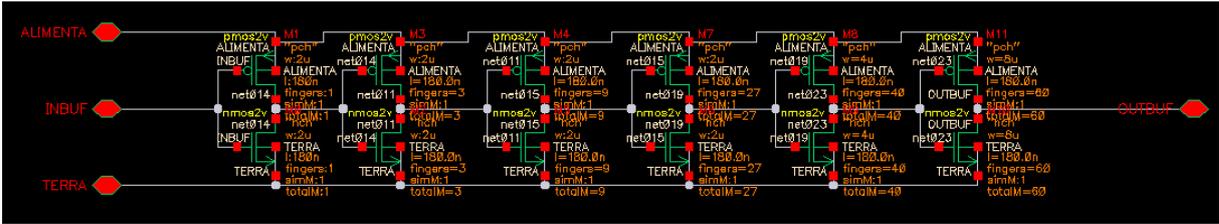


Figura C.27 – Esquemático do *buffer*

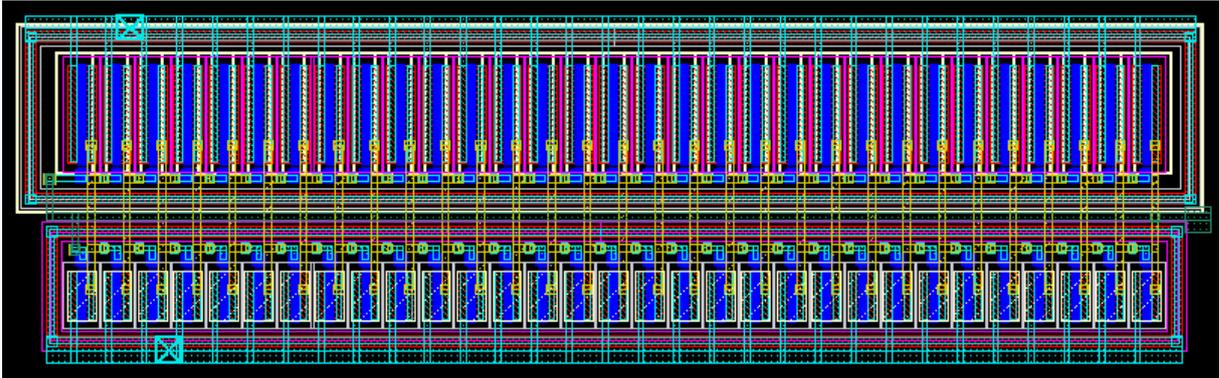


Figura C.28 – *Layout* do oscilador em anel

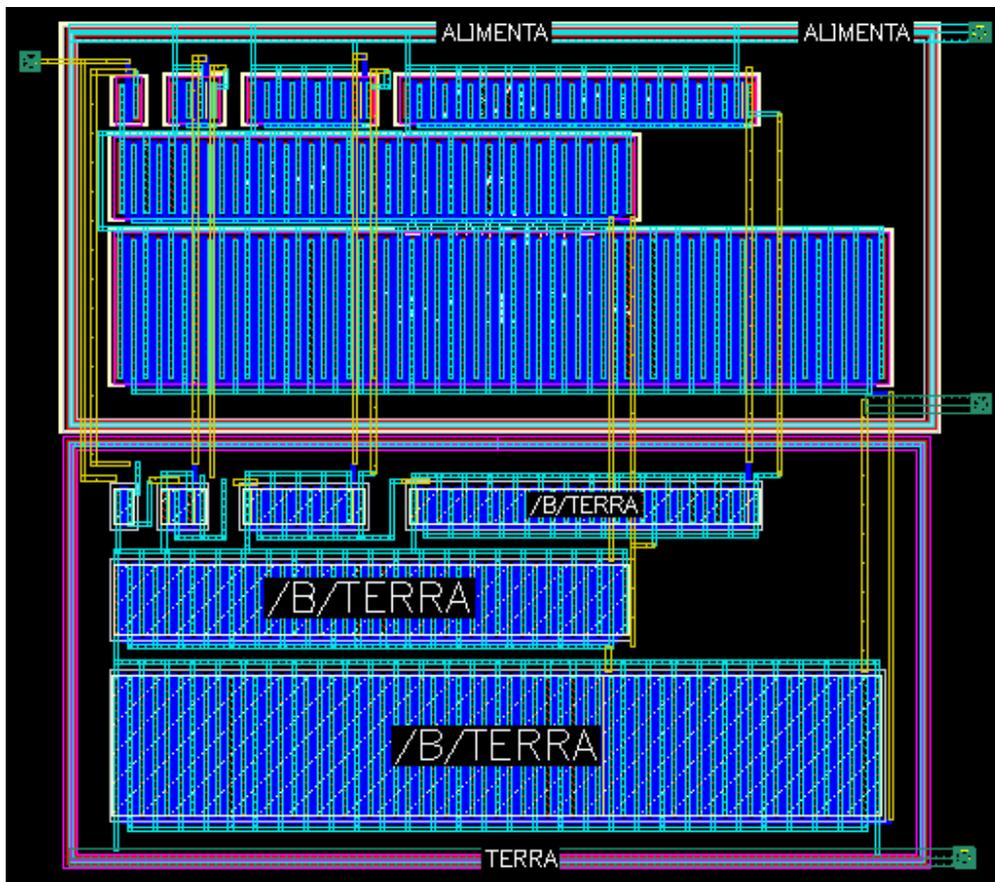


Figura C.29 – *Layout* do *buffer*

Para a medição no oscilador em anel é utilizado um osciloscópio Keysight Infinium modelo MSOS054A. A alimentação do I/O e do *core*, e a polarização do substrato do chip, foram feitas com as SMUs Keysight B2902A, atuando como fonte DC. A Figura C.30 mostra o setup para a medição no oscilador em anel. O sinal de saída do oscilador apresentou um nível de tensão muito baixo, 157 mV, mas a frequência de oscilação ficou em 482 MHz, mesma ordem de grandeza do valor esperado de aproximadamente 520,7 MHz. Para recuperar o sinal de saída do oscilador é utilizado o amplificador de RF ETS_EMCO 7405-907B. A amplitude do sinal de saída foi amplificada para 1,51V, mas a largura de banda do amplificador de RF reduziu a frequência do sinal amostrado para 457 MHz, conforme mostra a Figura C.31. O sinal senoidal da saída do oscilador em anel é resultado de algumas possibilidades: restrição da largura de banda no próprio circuito fabricado, restrição da largura de banda nas células de I/O do chip ou restrição da largura de banda no contato da própria ponta de prova do osciloscópio. A própria natureza do sinal gerado por um oscilador em anel tem como elemento da modelagem matemática a função cosseno (RICKETTS; MCNEILL, 2009).

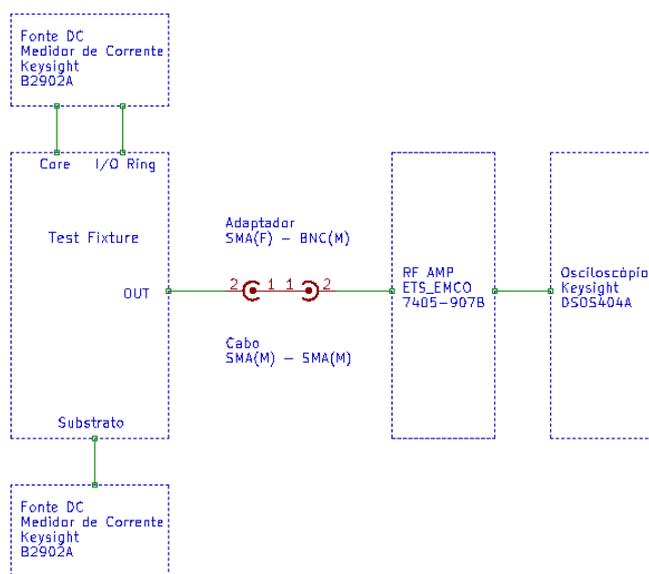


Figura C.30 – *Setup* para medição do oscilador em anel

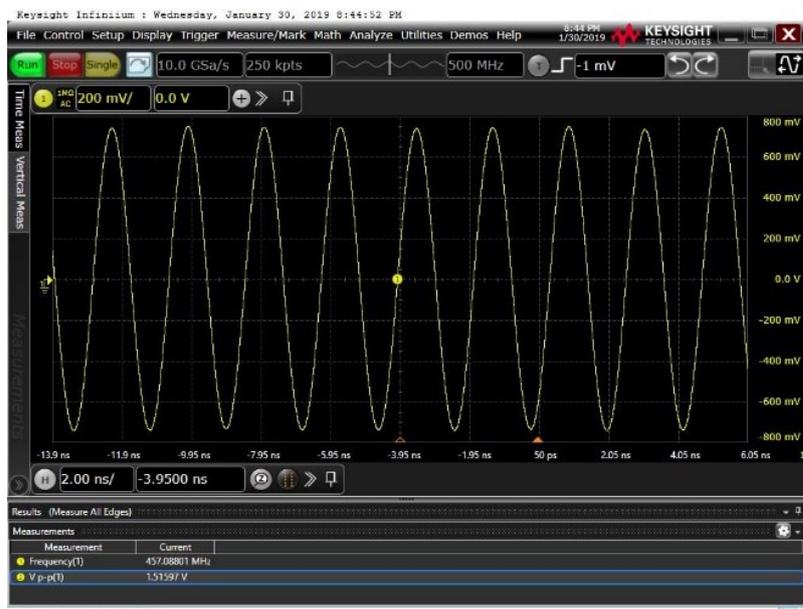


Figura C.31 – Sinal de saída amplificado do oscilador em anel

C.3 Layout do circuito *Auxiliary*

O esquemático e a necessidade de uso do circuito *Auxiliary* foram descritos no Capítulo 4. Neste apêndice é apresentado o *layout* do mesmo. As Figuras C.32 e C.33 mostram, respectivamente, o *layout* no modo bloco, e o *layout* completo do circuito *Auxiliary*.



Figura C.32 – *Layout* do circuito *Auxiliary* mostrando os blocos e suas interconexões

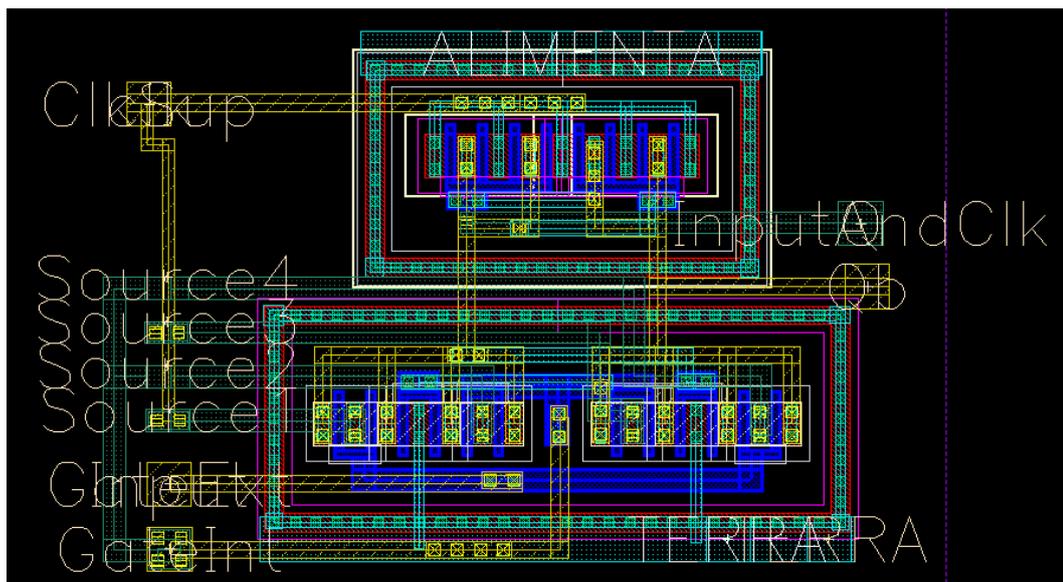


Figura C.33 – *Layout* do circuito *Auxiliary* mostrando todos os seus componentes

APÊNDICE D - A TECNOLOGIA TSMC 180 nm

Principais características	<p><i>Shrink technology: NO</i> <i>Core voltage 1.8V</i> <i>I/O voltage 3.3V</i> <i>Shallow Trench Isolation (STI)</i> <i>Triple well (retrograde NW, PW and optional DNW)</i> <i>Substrate resistivity 8~12 ohm.cm on <100> P- substrate</i> <i>Standard Vt, Medium Vt NMOS and medium Vt PMOS, native NMOS</i> <i>HRI poly resistor</i> <i>Temperature range -40C to 125C</i> <i># of metals: 3 to 6</i> <i>Interconnect material: AlCu</i> <i>Interconnect dielectric: FSG</i> <i>Top metal: 8KA, 20KA or 40KA</i> <i>RDL: 8KA, limited offer in FAB8</i> <i>Inductors</i> <i>MoM</i> <i>MiM: 1fF/μm^2 or 2fF/μm^2, mutual exclusive</i> <i>Passivation: single</i></p>
Diâmetro da lâmina	<i>8 inches</i>
Entregáveis	<i>40 dies/wafer</i>
Ferramentas EDA compatíveis	<i>Cadence CDBA, Cadence OA, TSMC iPDK</i>
Ferramentas de simulação compatíveis	<i>HSPICE, Eldo, Spectre</i>
Ferramentas para verificação de DRC compatíveis	<i>Magma, Cadence, Synopsys, Mentor Graphics</i>
Ferramentas para verificação de LVS compatíveis	<i>Magma, Cadence, Synopsys, Mentor Graphics</i>
Ferramentas para extração de parasitas	<i>Cadence, Synopsys, Mentor Graphics</i>
Ferramentas P&R	<i>Cadence, Synopsys</i>
Foundry IP	<p><i>Standard cells: 7-track. Gate density $\geq 140\text{KGates} / \text{mm}^2$</i> <i>I/O library 3.3V</i> <i>SRAM: from third party</i></p>
Tamanho do bloco MPW	<i>Min. 25 mm², flexible aspect ratio</i>
Características do Mini@sic	<p><i>Supported</i> <i>Block size: 1,660μm x 1,660μm</i> <i>3.3V</i> <i>1P6M 4X1U (U=20KA)</i> <i>Mimcap 2fF/μm^2</i></p>

