

UNIVERSIDADE ESTADUAL DE CAMPINAS

CONTROLE E SINCRONISMO NO TERMINAL RECEPTOR DE UM SIS-
TEMA MCP DE 30 CANAIS

por

Alexander H. A. Vermeersch

Tese submetida como requisito parcial pa-
ra a obtenção do grau de

MESTRE EM CIÊNCIAS

DE

ENGENHARIA ELÉTRICA

Campinas, Junho de 1974.

V59C

V59c

807/BC

a minha esposa Jeanine

Agradeço a todas as pessoas que me auxiliaram na elaboração deste trabalho.

SUMÁRIO

Este trabalho teve por objetivo conceituar, projetar e montar o sistema de controle e de sincronismo do terminal receptor de um sistema multiplex de 30 canais que utiliza técnica de modulação por codificação de pulsos (MCP).

Nos capítulos iniciais foram introduzidos os sinais necessários para controle e sincronismo com as respectivas notações. Em seguida, discute-se a geração de cada sinal de sincronismo ou de controle com as diversas opções possíveis. Finalmente as montagens dos circuitos projetados são executadas e testadas. Mostra-se que os circuitos interligados funcionam satisfatoriamente e que os atrasos verificados nas ondas geradas estão bem abaixo dos limites aceitáveis pelo sistema MCP.

UNICAMP
BIBLIOTECA CENTRAL

ÍNDICE

	<u>Páginas</u>
SUMÁRIO	1
ÍNDICE	2
I. INTRODUÇÃO	5
1.1 - Introdução ao Sistema MCP de 30 canais	6
1.2 - Objetivos do trabalho	7
II. AS ONDAS DE CONTROLE DO TERMINAL RECEPTOR	8
2.1 - Esquema do Receptor	8
2.2 - Composição do trem de pulsos	10
2.3 - Nomenclatura	13
2.4 - Sincronismo e alarme de quadro	17
2.5 - Sincronismo de superquadro, sinalização	18
2.6 - Contador de canal e ondas de controle - das portas de canal	18
2.7 - Contador de sinalização e ondas de controle das portas de sinalização	21
2.8 - Ondas de controle do decodificador ...	21
III. GERAÇÃO DAS ONDAS DE CONTROLE	23
3.1 - Introdução	23
3.2 - Ondas de controle obtidas por divisão - de frequência	24

3.3 - Ondas de canal	26
3.4 - Realização dos circuitos para os divisores de frequência e contadores de canal	27
3.5 - Ondas de controle das portas de sinalização	35
3.6 - Ondas de controle do decodificador ...	38
3.7 - Circuito final do gerador de ondas de controle	41

IV SINCRONISMOS

4.1 - Sincronismo de Quadro - SQ	45
4.1.a - Palavra de sincronismo	45
4.1.b - Detecção da palavra de sincronismo	49
4.1.c - Alarme indicando falta de sincronismo de quadro no receptor	52
4.1.d - Recomendações da CCITT	55
4.2 - Realização do Circuito	57
4.3 - Sincronismo de superquadro	57
4.3.a - Detecção da palavra de sincronismo de superquadro e do alarme - Al_{sq_t}	58
4.3.b - Alarme de falta de sincronismo de superquadro	58
4.4 - Recomendações da CCITT	59
4.5 - Realização do circuito	62
4.6 - Circuito final do detetor de sincronismo e de alarme	62

	<u>Páginas</u>
V. MEDIDAS E TESTES	66
5.1 - Introdução	66
5.2 - As ondas d_{ir}	68
5.3 - As ondas c_{ir} e PEc	68
5.4 - As ondas c_{ar} e c_{br}	69
5.5 - As ondas c_{ir} , PEm, PCm	70
5.6 - As ondas \bar{s}_{ir}	71
5.7 - Os pulsos de sincronismo \bar{s}_q e \bar{s}_{sq}	72
5.8 - Os alarmes	73
5.9 - Conclusões	73
REFERÊNCIAS	75

- CAPÍTULO I -

INTRODUÇÃO

1.1 - Introdução ao Sistema MCP de 30 canais

O Sistema MCP que está sendo desenvolvido no Departamento de Eletrônica & Comunicações (Scarabucci, et al, 1973) terá capacidade de transmitir e de receber 30 canais telefônicos mais 2 canais de sincronismo e sinalização/supervisão através de multiplexagem em tempo. Cada canal de informação será amostrado a 8 KHz. Estas amostras serão comprimidas e quantizadas em 256 níveis e, em seguida, codificadas binariamente em palavras de 8 dígitos. Cada quadro de sinal MCP contará com 30 canais de sinal e mais dois canais que serão utilizados para transmissão de sinalização dos canais, sincronismo de quadro, várias mensagens de alarme, sincronismo da sinalização (super quadro), indicação de transmissão de dados, além de possuir uma reserva de codificação para possíveis usos futuros.

Para maior flexibilidade, o sistema MCP poderá também ser usado na transmissão de dados digitais. A frequência máxima de repetição dos pulsos - na saída do sistema ao longo da linha de transmissão será de

$$f_p = (8 \text{ dígitos}) \times (8 \text{ KHz}) \times (32 \text{ canais}) = 2048 \text{ KHz}$$

Em outras palavras, ter-se-á uma capacidade instalada de 2,048 megabits/segundo.

O trem de pulsos de saída será bipolar, com a polaridade dos pulsos se alternando + e -, a medida da ocorrência dos pulsos. Isto tem por finalidade eliminar o termo contínuo do trem de pulsos e maximizar a densidade espectral em torno de $0.5 f_p = 1024 \text{ KHz}$.

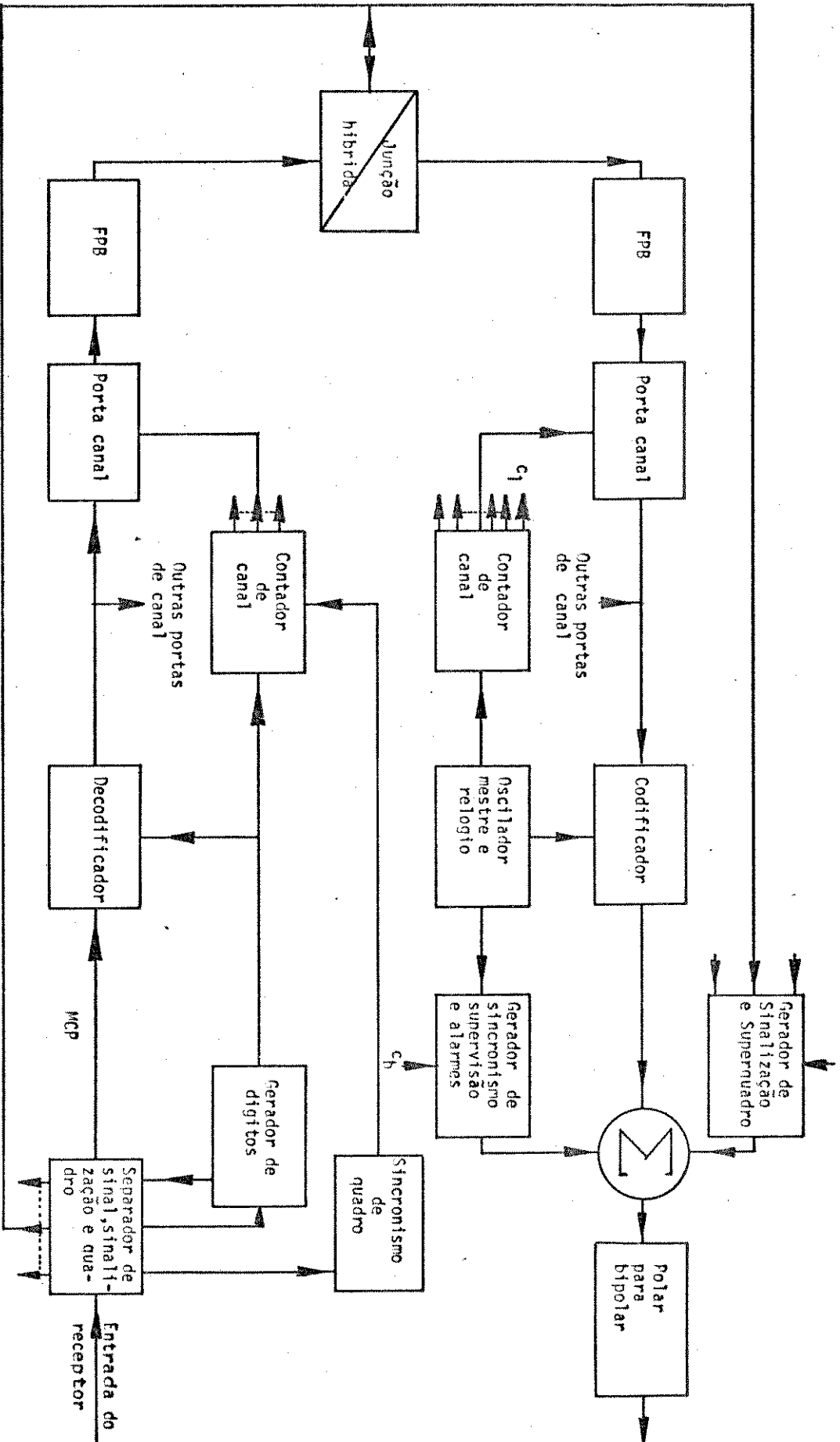


Figura 1.1 Diagrama de transmissão e recepção de um canal genérico J.

1a

O trem de pulsos poderá ser transmitido através de pares de cabos telefônicos, isolados por papel ou plástico, ligando terminais a repetidores - regenerativos. E o trem de pulsos refeito e ampliado em cada repetidor poderá ser ligado ao repetidor ou terminal adjacente de maneira idêntica.

Os repetidores serão energizados através dos próprios pares de cabos do sinal por baterias ou fontes d.c. colocadas nos terminais.

A Figura 1.1 mostra o diagrama de transmissão e recepção simplificado de um canal genérico j . Considere inicialmente a parte superior do diagrama relacionada à transmissão. O sinal de voz passa por uma junção híbrida e é, em seguida, filtrado por um filtro de corte agudo para se evitar o efeito de "aliasing" na recepção. Em seguida o sinal do canal j é amostrado através de um circuito porta que abre sincronamente, comandado pelo contador de canal. Este contador abre sequencialmente as portas de todos os 30 canais de voz e mais os canais S_a e S_b destinados a sincronismo e sinalização.

O sinal do canal j , amostrado pelo contador de canal a 8 KHz, é passado pelo codificador. A codificação é aqui entendida como o processo que transforma a mensagem de análoga na forma digital codificada. Isto compreende uma compressão no sinal de forma logarítmica seguida de conversão análoga/digital ou ainda uma conversão análoga/digital em um codificador não linear. Dependendo da velocidade dos pulsos e dos circuitos projetados, o codificador poderá ser um só para todos os canais ou ser constituído de dois codificadores, operando alternadamente para blocos de canais.

A sinalização de todos os canais (inclusive a do canal j) é inserida no trem de pulsos de saída através do Gerador de Sinalização. Soma-se ainda ao trem de pulsos os sinais de sincronismo e supervisão, bem como palavras de alarmes caso sejam necessárias. O trem de pulsos resultante é uma sequência de pulsos polares que leva, em forma codificada, 30 canais de informação e mais 2 canais com palavras de sinalização, de sincronização e supervisão. Antes de ser transmitido, o trem de pulsos é passado à forma bipolar, com forma de pulso apropriada aos cabos

de transmissão, duty cycle de 50% e voltagens de pico iguais a ± 3.0 Volts.

O sinal MCP viaja pelo meio de transmissão, constituído de trechos de cabos e de repetidores regenerativos, e, ao chegar no outro terminal, sofre um processamento inicial semelhante ao imposto por qualquer repetidor regenerativo, ganhando a forma de um trem de pulsos regenerados unipolares à entrada do receptor. A parte inferior da Figura 1.1 mostra o processamento seguido no receptor MCP. Um conjunto de circuitos separa os canais de informação, a sinalização e os sinais de sincronismo, fornecendo ao sistema um relógio gerado localmente. Este relógio é constituído pelo gerador de dígito e pelo gerador de sincronismo de quadro. Os sinais produzidos pelo relógio darão o ritmo e o sincronismo necessários - ao decodificador e ao contador de canal para que o sinal MCP possa ser decodificado e, em seguida, demultiplexado, como mostra a Figura 1.1. O sinal do canal j passará pela porta correspondente, sincronamente aberta pelo contador do canal. Finalmente o sinal PAM é passado por um filtro Passa-Baixas que reconstitui a forma original do sinal modulador do canal j , somada a pequenas componentes de distorção produzidas pela quantização original. Este ruído de quantização será minimizado para sinais de voz, através do uso de um circuito adequado de compressão do sinal na codificação e de um circuito de expansão complementar na decodificação.

1.2 - Objetivos do trabalho

O objetivo deste trabalho é o de estudar as ondas necessárias - para controle do receptor PCM. Inicia-se o estudo mostrando-se as diversas ondas de controle do receptor com a respectiva nomenclatura. Em seguida são estudados métodos de obtenção das várias ondas e como elas estão interrelacionadas. Finalmente os vários circuitos eletrônicos de controle são projetados, construídos e testados. Este trabalho inclui os resultados obtidos dos testes.

AS ONDAS DE CONTROLE DO TERMINAL RECEPTOR

2.1 - Esquema do Receptor

O esquema do receptor é mostrado na Figura 2.1 e descrito abaixo.

O estágio de entrada do receptor é idêntico ao estágio de entrada do receptor regenerativo cuja função é restabelecer a forma original do pulso e extrair o relógio. Além disso, o estágio de entrada transforma o trem de pulsos bipolares em trem de pulsos unipolares de duty cycle 100%. Este trem de pulsos é agora aplicado nas seguintes unidades:

- unidade de extração de mensagens de supervisão
- unidade de extração de mensagens de sincronismo
- decodificador
- contador de canais

O contador de canais além de gerar os sinais necessários para controlar as portas análogas de saída, gera um sinal controlando o decodificador - quanto à identificação do grupo de 8 dígitos como sendo de determinado canal; gera também o sinal Ca_p que será aplicado no contador de sinalização cuja função é controlar as portas de sinalização de saída.

O gerador de sinalização, a partir de um sinal M_s (mensagem de sinalização) gera a sinalização telefônica a ser enviada aos vários canais.

Para o funcionamento correto do receptor é necessário que as ondas de controle estejam sincronizadas com o transmissor. Distingue-se sincronismo de bits e sincronismo de bloco. O sincronismo de bits é a regeneração dos pulsos de relógio. Isto é feito em cada repetidor, como no receptor. O sincronismo de

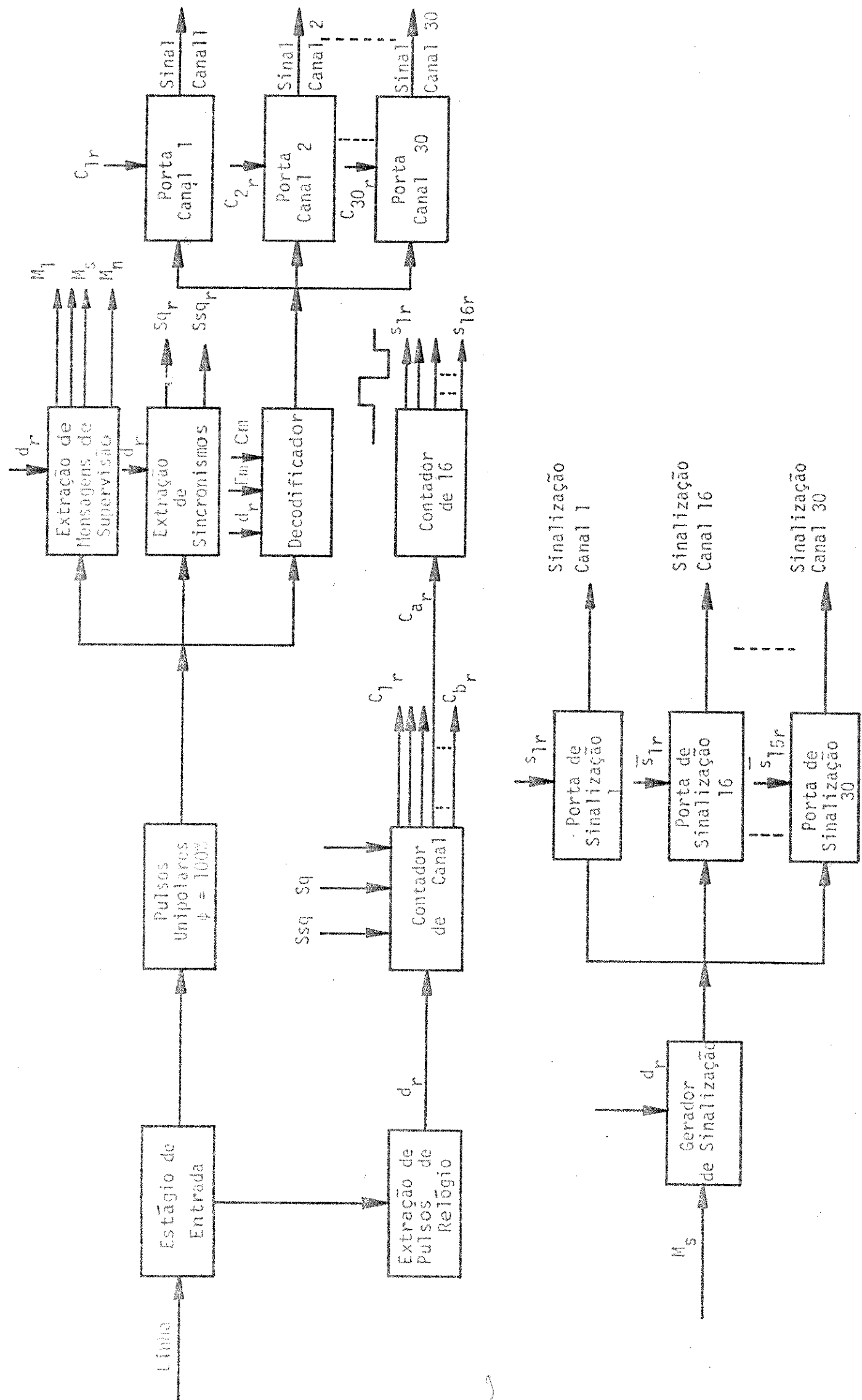


Figura 2.1 - Esquema do Receptor.

bloco compreende o sincronismo de quadro e de superquadro. A extração do sincronismo de bloco só é feita no receptor.

2.2 - Composição do trem de pulsos

Cada bloco de 8 dígitos constitui um canal. Estes canais colocados em sequência no tempo constituem a multiplexagem. Um grupo de 32 canais constitui um quadro e 16 quadros dão origem a um superquadro.

No quadro, as janelas temporais 0 a 14 trazem a informação de voz de 15 canais, a janela 15, que será chamada canal a, traz a informação de sinalização. As janelas 16 a 30 novamente trazem a informação de voz de mais 15 canais e a janela 31, que será chamada canal b, traz a informação de sincronismo de quadro e outras mensagens, como explicado abaixo. No primeiro quadro o canal b destina-se ao sincronismo de quadro. No segundo quadro o canal b destina-se a uma dada mensagem; no terceiro quadro novamente vem a informação do sincronismo de quadro e assim sucessivamente.

A sinalização para cada dois canais de voz é agrupada no canal a, sendo que no primeiro quadro vem a informação sobre a sinalização dos canais 1 e 16, no segundo quadro, a informação da sinalização dos canais 2 e 17 e assim por diante. Desta maneira, necessita-se de 15 quadros para a transmissão da sinalização dos 30 canais de voz.

Por outro lado, a sinalização de cada canal deve ser detetada sincronamente. Isto é feito por meio de um sincronismo de sinalização que é providenciado por meio de uma palavra digital de 8 dígitos enviada no canal a no 16º quadro, palavra esta que constitui o sincronismo de superquadro.

O superquadro é, portanto, composto de 16 quadros e cada quadro composto de 32 canais.

A Figura 2.2 e a Tabela 2.1 ilustram as composições do trem de pulsos e do superquadro.

Temos as seguintes frequências envolvidas no sistema:

- 8 KHz, que é a frequência de amostragem, sendo também a frequência de repetição de cada canal.
- $8 \times 32 = 256$ KHz, que é a frequência de comutação de cada canal.
- 256×8 KHz = 2048 KHz, que é a frequência de relógio.
- $(8:2) = 4$ KHz, que é a frequência de repetição do sincronismo de quadro.
- $(8:16)$ KHz = 500 Hz que é a frequência de amostragem da sinalização.

Os tempos correspondentes são:

$$T_D = 488,3 \text{ ns, tempo para um dígito}$$

$$T_C = 3,906 \text{ } \mu\text{s} = 8 T_D, \text{ tempo de um canal}$$

$$T_Q = 125 \text{ } \mu\text{s} = 32 T_C = 256 T_D, \text{ tempo de um quadro}$$

$$T_{SQ} = 2 \text{ ms} = 16 T_Q = 512 T_C = 4096 T_D, \text{ tempo de um superquadro}$$

Os tempos e as frequências acima estão sumarizadas na Tabela -

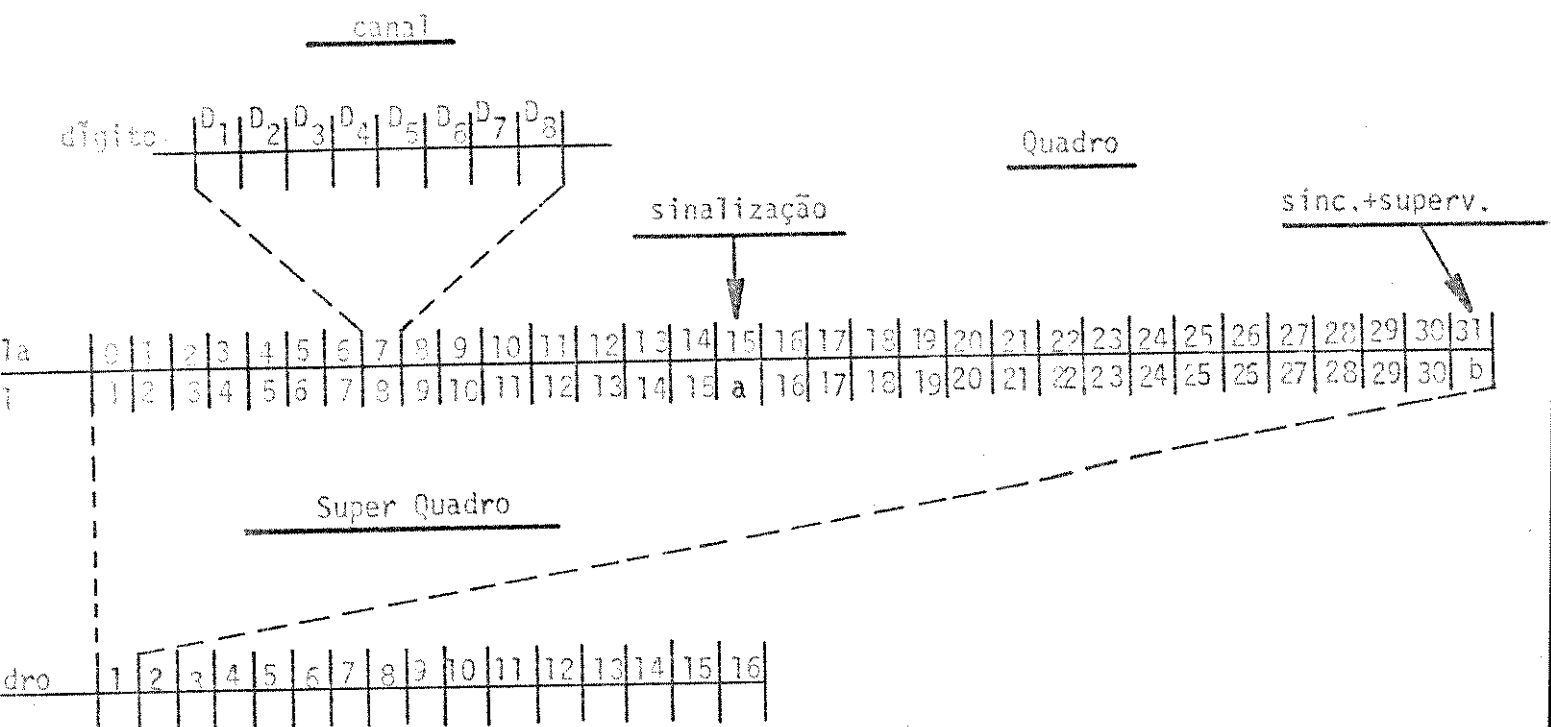


Figura 2.2 - Composição do Trem de Pulso

Quadro	Canal a Janela de tempo 15		Canal b Janela de tempo 31
	Sinalização C1	Sinalização C16	Mensagem
Q2	Sinalização C2	Sinalização C17	Sinc. de Quadro
.	.	.	.
.	.	.	.
Q15	Sinalização C15	Sinalização C30	Mensagem
Q16	Sinc. de Superquadro		Sinc. de Quadro

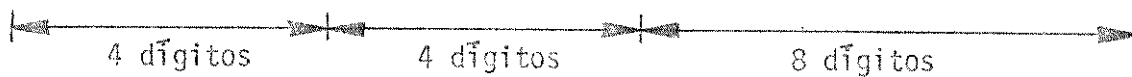


Tabela 2.1 - Composição do Superquadro

	Tempo	Frequência
Dígito	488.3 nseg	2048 KHz
Canal	3,906 μseg	256 KHz
Quadro	125 μseg	8 KHz
Superquadro	2 mseg	500 Hz

Tabela 2.2 - Tabela de tempos

2.3 - Nomenclatura

Todas as ondas derivadas por simples divisão do relógio são identificadas pela letra d (dígito) seguida de um índice i que determina o divisor e, no receptor, um índice r. (Figura 2.3). Exemplo: onda d_{256r} significa onda quadrada de frequência $\frac{2048}{256}$ KHz = 8 KHz gerada no receptor.

As ondas controladoras de canais serão identificadas com a letra c seguida de um índice, indicando o número do canal de voz correspondente (Figura 2.4). Exemplo: a onda c_{14r} é a onda controladora da porta do canal 14 no receptor e corresponde a janela de tempo 13 no quadro.

As ondas controladoras das portas de sinalização serão identificadas pela letra s seguida de índice. Exemplo: a onda s_{9r} ligará a porta de sinalização correspondente ao canal 9 na recepção.

As ondas correspondentes as janelas de tempo 15 e 31 (canais a e b) serão chamadas respectivamente c_{ar} e c_{br} .

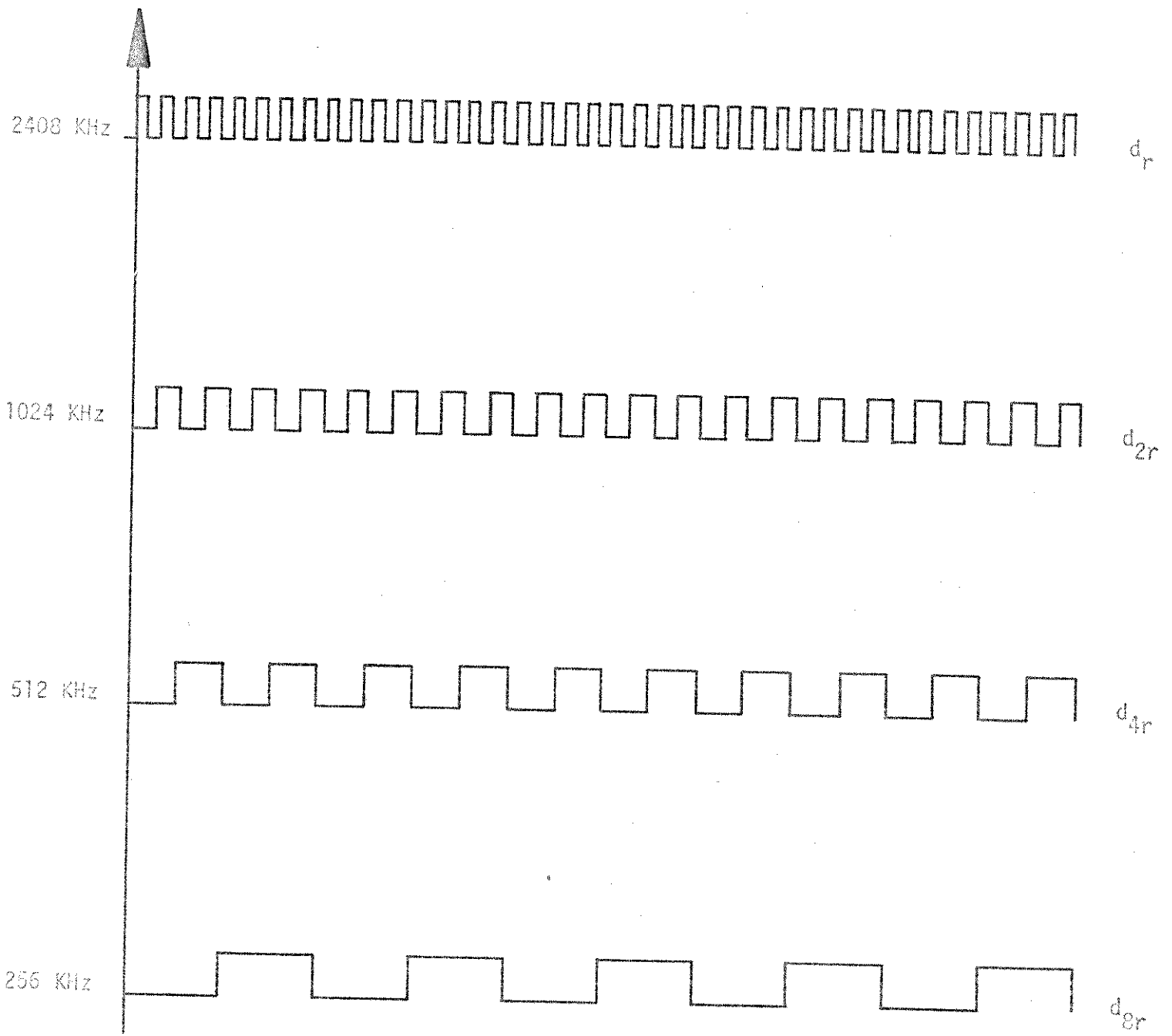


Figura 2.3 Ondas obtidas por divisão de frequência

Nº da janela	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Índice de correção (índice)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	a	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	b

divisão em tempo de um quadro

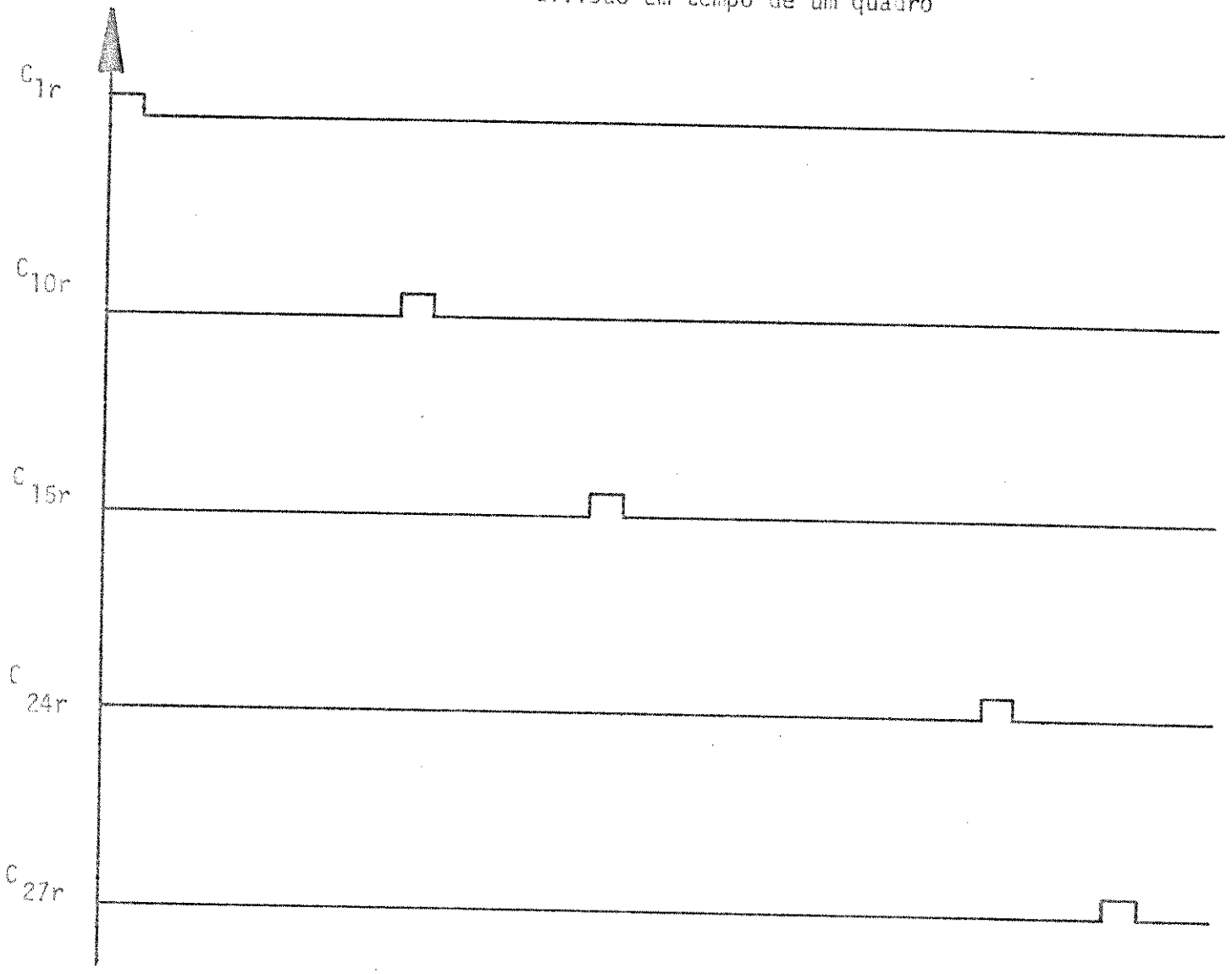


Figura 2.4 Relação temporal das ondas controladoras das portas de canal

Os pulsos de sincronismo serão identificados com a letra S seguida da letra q para sincronismo de quadro e das letras sq para sincronismo de superquadro;

Sq_r : pulso controlador de sincronismo de quadro detetado no receptor.

Ssq_r : pulso controlador de sincronismo de superquadro detetado no receptor.

Os alarmes serão identificados por A1 seguidos de um índice. Os índices são:

qr : para falta de sincronismo de quadro na recepção do próprio terminal;

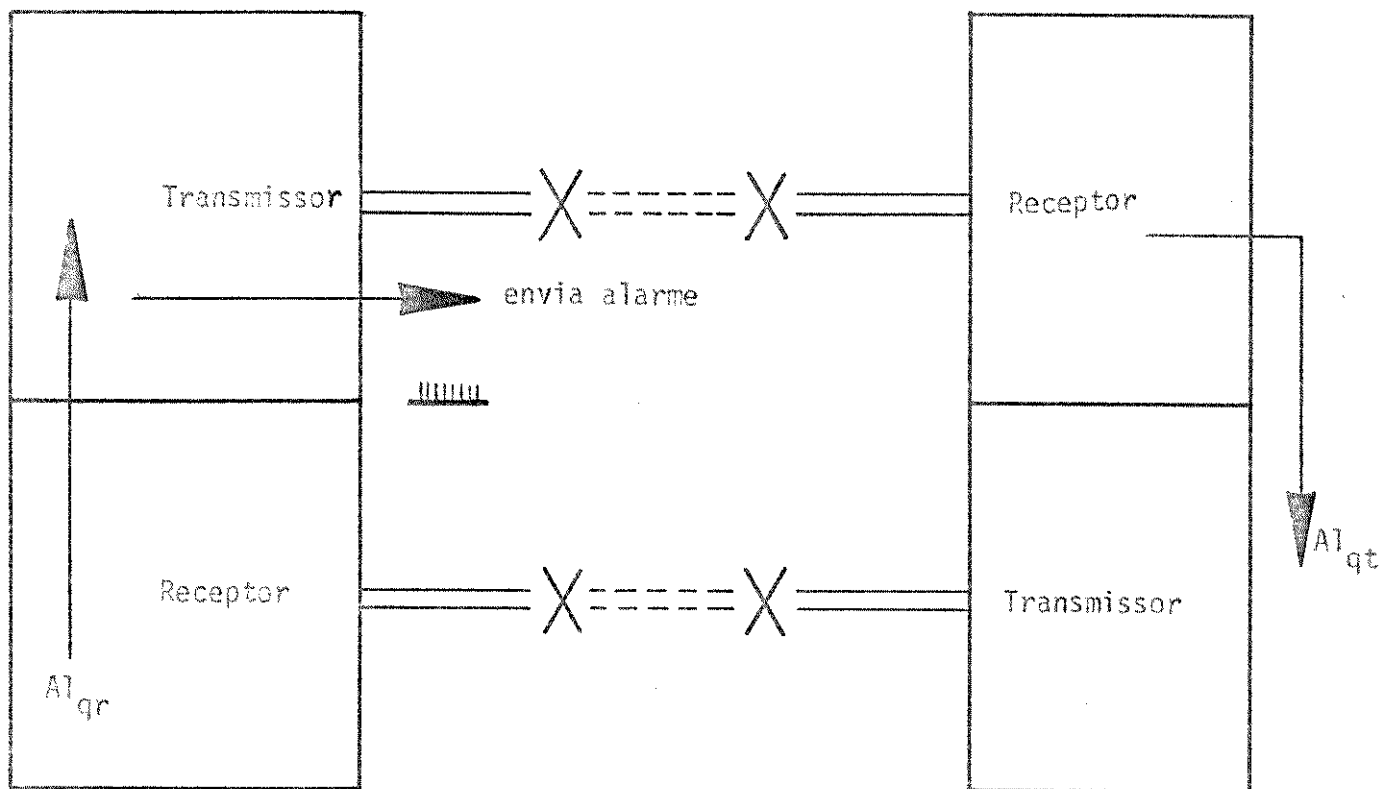
qt : para falta de sincronismo de quadro no receptor do terminal distante. Este alarme é transmitido pelo terminal distante ($A1_{qr}$ deve gerar 11111111 no canal b. Ver 2.4) e detetado no terminal em consideração gerando a onda $A1_{qt}$ (Figura 2.5);

sqr : para falta de sincronismo de superquadro no receptor;

sqt : para falta de sincronismo de superquadro indicado pelo terminal distante;

dr : indicando ausência de qualquer pulso na linha de recepção por falha do codec.

Finalmente temos as ondas de controle do decodificador. A onda PEm controla as entradas da memória do decodificador e a onda PCm permite carregar-se a memória.



Terminal 1

Figura 2.5 - Falta de Sincronismo de Quadro no Transmissor 2 detetado no Receptor 1 e realimentado ao terminal 2.

Terminal 2

2.4 - Sincronismo e alarme de quadro

A informação sobre o sincronismo de quadro é enviada durante a janela de tempo 31, de dois em dois quadros. A palavra de sincronismo de quadro é, conforme as recomendações da CCITT, 10011011. Esta palavra é inserida no trem de pulsos MCP e será detetada no receptor gerando a onda Sqr. O alarme indicando falta de sincronismo de quadro no terminal distante é enviado também na janela 31 do quadro não utilizado para envio de sincronismo de quadro.

O alarme será indicado dando o valor 1 ao bit nº 3 da segunda-palavra. Os bits d4 a d8 podem ser utilizados para transmissão de qualquer outra mensagem. A CCITT recomenda deixar estes 5 bits com valor 1 nos circuitos interna-

		d1	d2	d3	d4	d5	d6	d7	d8
1	quadro com sincronismo de quadro	1	0	0	1	1	0	1	1
2	quadro sem sincronismo de quadro	1	1	X	X	X	X	X	X

cionais. O alarme de Quadro \bar{e} gerado a partir de $A1_{qr}$ detetado no receptor.

2.5 - Sincronismo de superquadro, sinalização

Uma palavra de sincronismo de superquadro \bar{e} inserida no trem de pulsos MCP na janela de tempo 15 a cada 16 quadros. Esta palavra \bar{e} , conforme a CCITT, 00001011 ou 00001111. O alarme \bar{e} enviado utilizando-se a segunda palavra, ou seja: o bit n^o 6 tendo valor 1 indica alarme.

Uma palavra indicando o n \bar{v} el de sinalização (1 ou 0, ocupado ou livre) tambem \bar{e} inserida nesta janela 15 nos 15 outros quadros do superquadro. A sinalização de dois canais \bar{e} enviada na mesma janela. Para isto utiliza-se uma palavra de 4 bits. A palavra 0101 indica sinalização 0 e a palavra 1101 indica sinalização 1, conforme as recomendações da CCITT.

2.6 - Contador de canal e ondas de controle das portas de canal

Para identificar 8 bits como pertencendo a um dado canal, a onda d_r (pulsos de relógio) \bar{e} dividida, gerando desta maneira as ondas d_{2r} , d_{4r} ,

d_{15r}	d_{32r}	d_{64r}	d_{128r}	d_{256r}	Nº decimal correspondente	Canal corresp.
0	0	0	0	0	0	1
1	0	0	0	0	1	2
0	1	0	0	0	2	3
1	1	0	0	0	3	4
0	0	1	0	0	4	5
1	0	1	0	0	5	6
0	1	1	0	0	6	7
1	1	1	0	0	7	8
0	0	0	1	0	8	9
1	0	0	1	0	9	10
0	1	0	1	0	10	11
1	1	0	1	0	11	12
0	0	1	1	0	12	13
1	0	1	1	0	13	14
0	1	1	1	0	14	15
1	1	1	1	0	15	a
0	0	0	0	1	16	16
1	0	0	0	1	17	17
0	1	0	0	1	18	18
1	1	0	0	1	19	19
0	0	1	0	1	20	20
1	0	1	0	1	21	21
0	1	1	0	1	22	22
1	1	1	0	1	23	23
0	0	0	1	1	24	24
1	0	0	1	1	25	25
0	1	0	1	1	26	26
1	1	0	1	1	27	27
0	0	1	1	1	28	28
1	0	1	1	1	29	29
0	1	1	1	1	30	30
1	1	1	1	1	31	b

Tabela 2.3 Tabela verdade do contador de canais

d_{512r}	d_{1024r}	d_{2048r}	d_{4096r}	Número Decimal	Canal de voz corresp.	Porta de sinal corresp. ondas
0	0	0	0	0	1;16	1
1	0	0	0	1	2;17	2
0	1	0	0	2	3;18	3
1	1	0	0	3	4;19	4
0	0	1	0	4	5;20	5
1	0	1	0	5	6;21	6
0	1	1	0	6	7;22	7
1	1	1	0	7	8;23	8
0	0	0	1	8	9;24	9
1	0	0	1	9	10;25	10
0	1	0	1	10	11;26	11
1	1	0	1	11	12;27	12
0	0	1	1	12	13;28	13
1	0	1	1	13	14;29	14
0	1	1	1	14	15;30	15
1	1	1	1	15	sincronismo	16

Tabela 2.4 Tabela verdade do contador de sinalização

... etc. A combinação l3gica destas ondas determina o canal correspondente.

Dando um peso bin3rio equivalente 3s saídas d_{16r} , d_{32r} , ..., deveremos simplesmente fazer uma convers3o bin3rio-decimal para obter um n3mero - correspondente 3 janela de tempo. Exemplo:

$$\begin{array}{cccccc} d_{16r} & d_{32r} & d_{64r} & d_{128r} & d_{256r} & \\ \hline 0 & 1 & 1 & 0 & 0 & \end{array}$$

Esta combina3o d3 o n3mero 6 (janela de tempo correspondente). Uma onda gerada a partir desta combina3o acionar3 a porta de canal n3 7. As ondas geradas desta maneira ser3o identificadas pelo s3mbolo c_{ir} , como mencionado anteriormente.

A Tabela 2.3 mostra as v3rias combina33es poss3veis para as portas de canal.

2.7 - Contador de sinaliza33o e ondas de controle das portas de sinaliza33o

Dividindo a onda d_{256r} por 16, geram-se as ondas d_{512r} , d_{1024r} , d_{2048r} , d_{4096r} .

A combina33o l3gica destas ondas gerar3 as ondas s_{ir} de maneira id3ntica 3 descrita no item 2.6, isto 3,

$$\{ d_{512r}, d_{1024r}, d_{2048r}, d_{4096r} \} = \{ i_r \}$$

A Tabela 2.4 mostra as combina33es poss3veis para as ondas controlando as portas de sinaliza33o.

2.8 - Ondas de controle do decodificador

O decodificador dever3 funcionar s3ncronamente com o codificador do terminal distante, isto 3, ele dever3 decodificar os oito d3gitos correspon

dentos a um canal. Devido a este fato, os dígitos são primeiramente memorizados num registro com oito saídas paralelas. Depois de registrados os oito dígitos correspondentes a um canal, as saídas são ligadas às oito entradas da memória e os dígitos serão assim memorizados enquanto o registro aceita os oito dígitos do canal seguinte.

A Figura 2.6 mostra as várias ondas controlando o decodificador. A onda Em liga a saída do registro às entradas da memória e a onda Cm carregará a informação na memória.

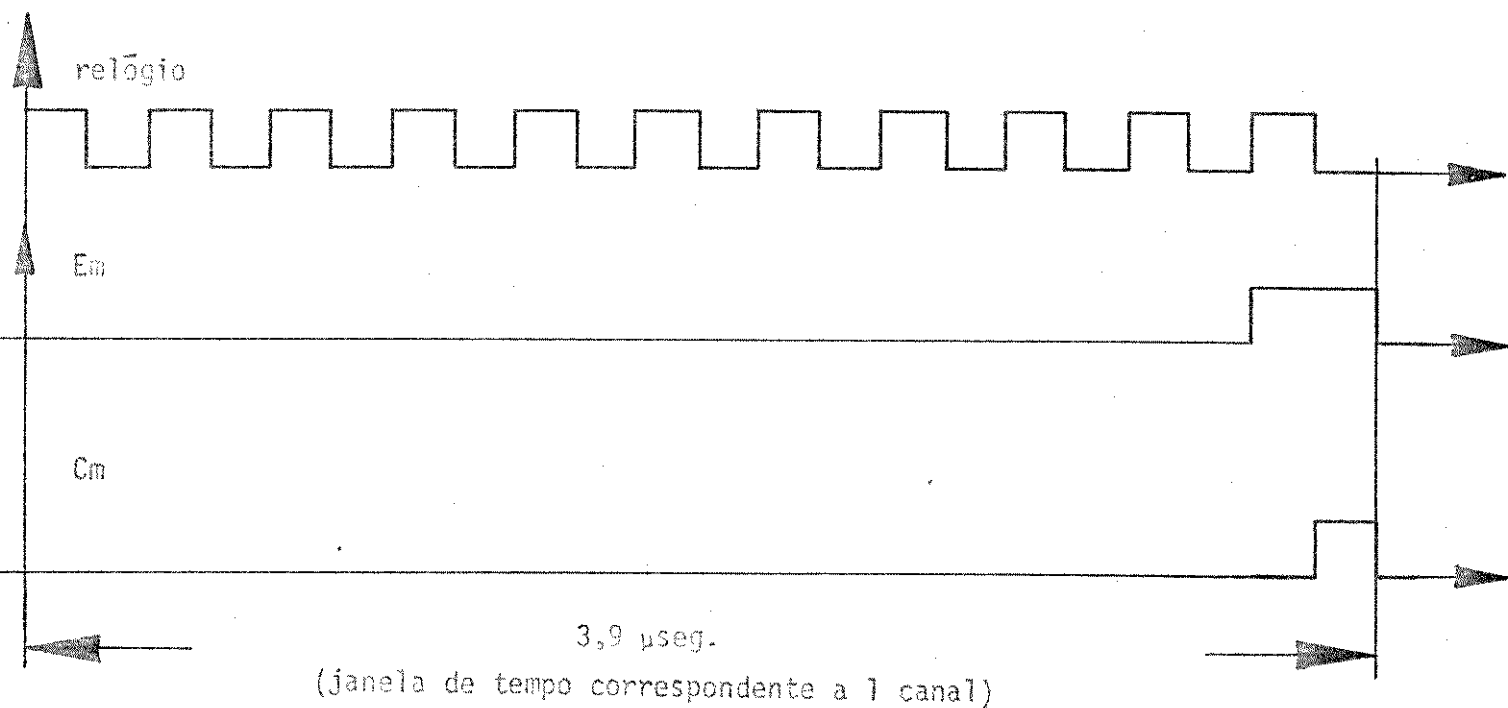


Figura 2.6 Ondas de controle do decodificador

GERAÇÃO DAS ONDAS DE CONTROLE

3.1 - Introdução

O estágio de entrada do receptor tem a função de regenerar os pulsos vindos da linha. Este estágio é semelhante a um repetidor regenerativo, como mostrado à Figura 3.1.

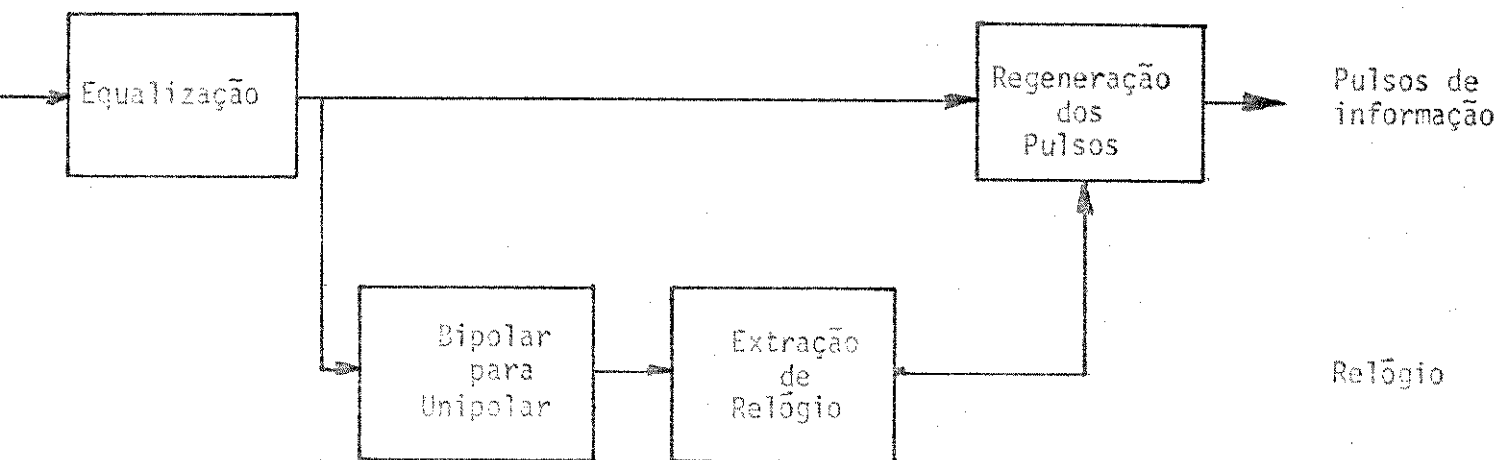


Figura 3.1 - Esquema da entrada do terminal

O trem de pulsos bipolar depois de equalizado é transformado num trem de pulsos unipolar e aplicado a um circuito gerador de onda quadrada com a frequência do relógio. Os pulsos de relógio e a onda bipolar equalizada dão entrada a um circuito regenerador que produz os pulsos de informação regenerados, livres de ruído e com duty cycle de 100%. A amplitude dos sinais a partir deste estágio deve ser compatível com as amplitudes TTL, ou seja, nível "0" no máximo 0,8 V, nível "1" no mínimo 2V e no máximo 5V. Os sinais não podem ser negativos. O estágio de entrada deve ainda prover o alarme Al_{dr} na falta de pulsos na linha.

3.2 - Ondas de Controle Obtidas Por Divisão de Frequência

Os pulsos de relógio são aplicados a uma série de divisores para gerar as ondas d_{2r} , d_{4r} , ..., d_{4096r} .

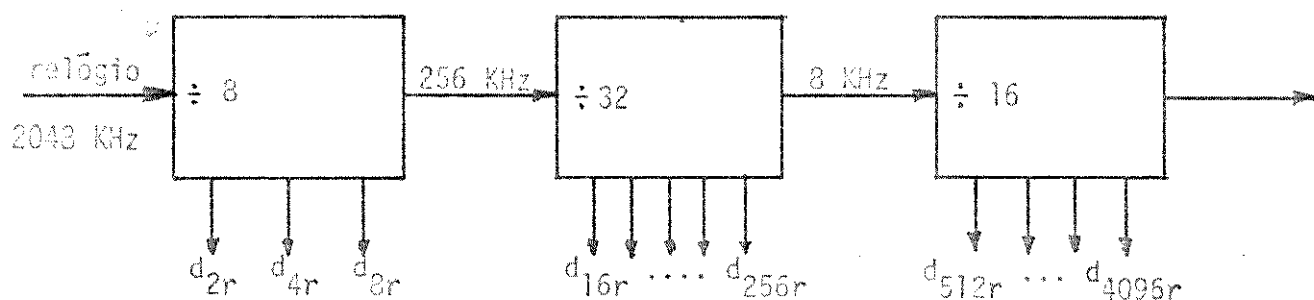


Figura 3.2 - Ondas de Controle Obtidas por Divisão de Frequência

A divisão de frequência é feita em três etapas como mostra a Figura 3.2.

Uma primeira divisão por 8 (3 FF) gera um sinal de 256 KHz, e uma segunda divisão por 32 (5 FF, contador de canal) gera um sinal de 8 KHz e a última divisão por 16 (4 FF, contador de sinalização) gera um sinal de 500 Hz.

A divisão de frequência pode ser feita assincronamente ou sincronamente. Segue uma descrição de 2 tipos de contadores a saber: o contador assíncrono e o contador síncrono

O contador assíncrono, como mostra a Figura 3.3, é de montagem simples, porém apresenta a desvantagem de que o sinal de saída apresenta uma defasagem equivalente à soma da defasagem individual de cada FF. Com as entradas J e K

ligadas no nível 1, a saída do FF se modifica a cada pulso aplicado na entrada "clock". Neste tipo de contador ligamos a saída Q de cada FF na entrada "clock" do próximo. Como cada FF apresenta um atraso, verifica-se facilmente que o efeito é cumulativo. O atraso típico de um FF é de 40 ns. Em nosso caso, o atraso de 5 FF em cascata seria equivalente a meio dígito, o que não é aceitável.

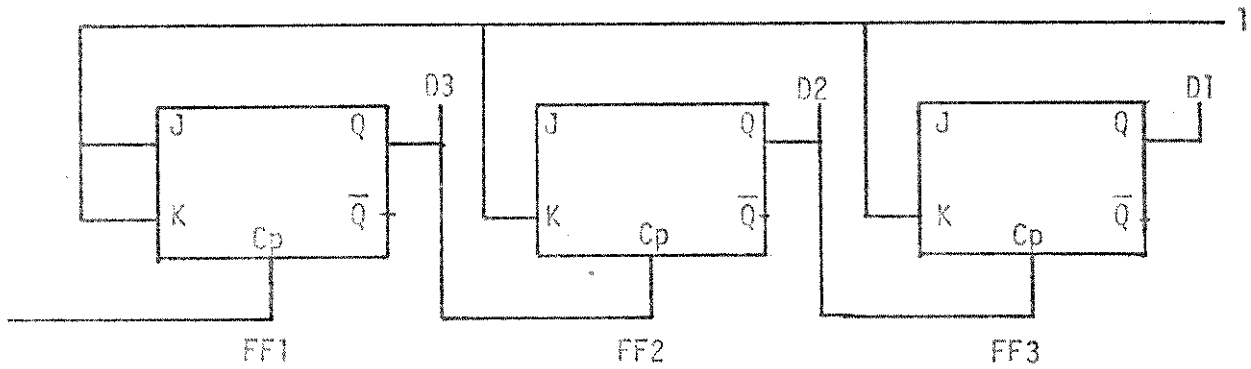


Figura 3.3 - Contador Assíncrono

O contador síncrono mostrado na Figura 3.4 não apresenta o efeito de atraso cumulativo.

Neste tipo de contador o sinal de relógio d_p é aplicado a cada FF (entrada T) através de uma combinação lógica das saídas dos FF precedentes.

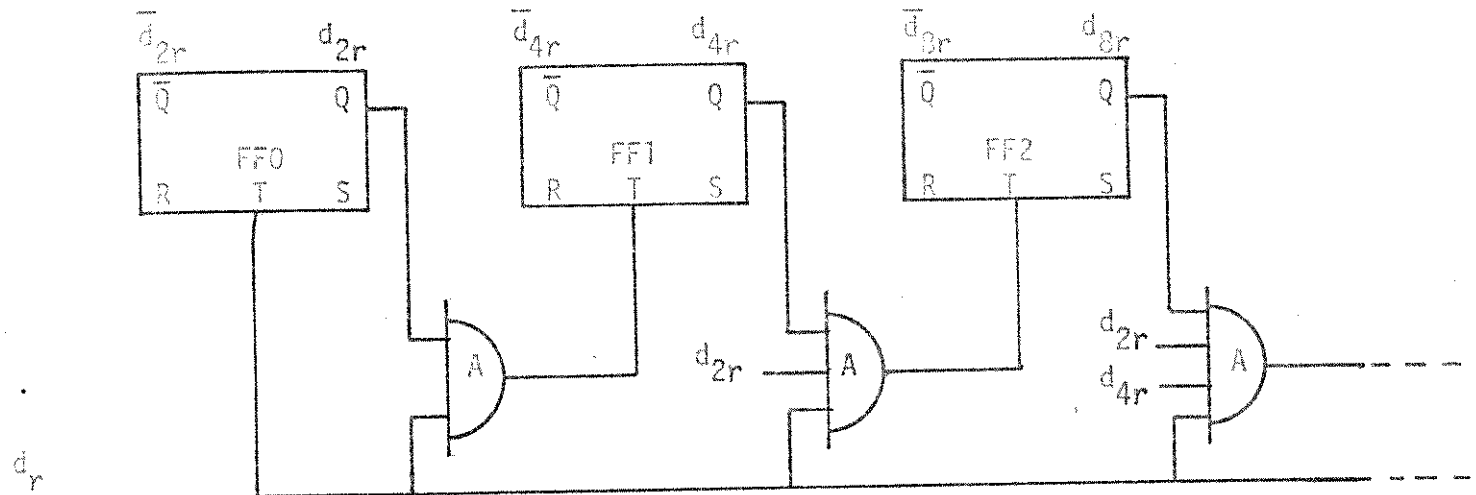


Figura 3.4 - Contador Sincrono

Assim, no esquema da Figura 3.4 o gatilhamento de FF2 é dado por $d_r \cdot d_{2r}$; o gatilhamento de FF3 é dado por $d_r \cdot d_{2r} \cdot d_{4r}$, e assim sucessivamente.

Verifica-se então que a defasagem do sinal de saída com relação ao sinal de entrada dependerá somente do atraso de uma porta (atraso típico 10 ns aproximadamente). Este atraso não influenciará o funcionamento normal do sistema.

A Figura 3.5 mostra algumas das ondas obtidas por divisão e o relacionamento temporal delas.

3.3 - Ondas de Canal

As ondas que controlam as portas de canal serão obtidas a par -

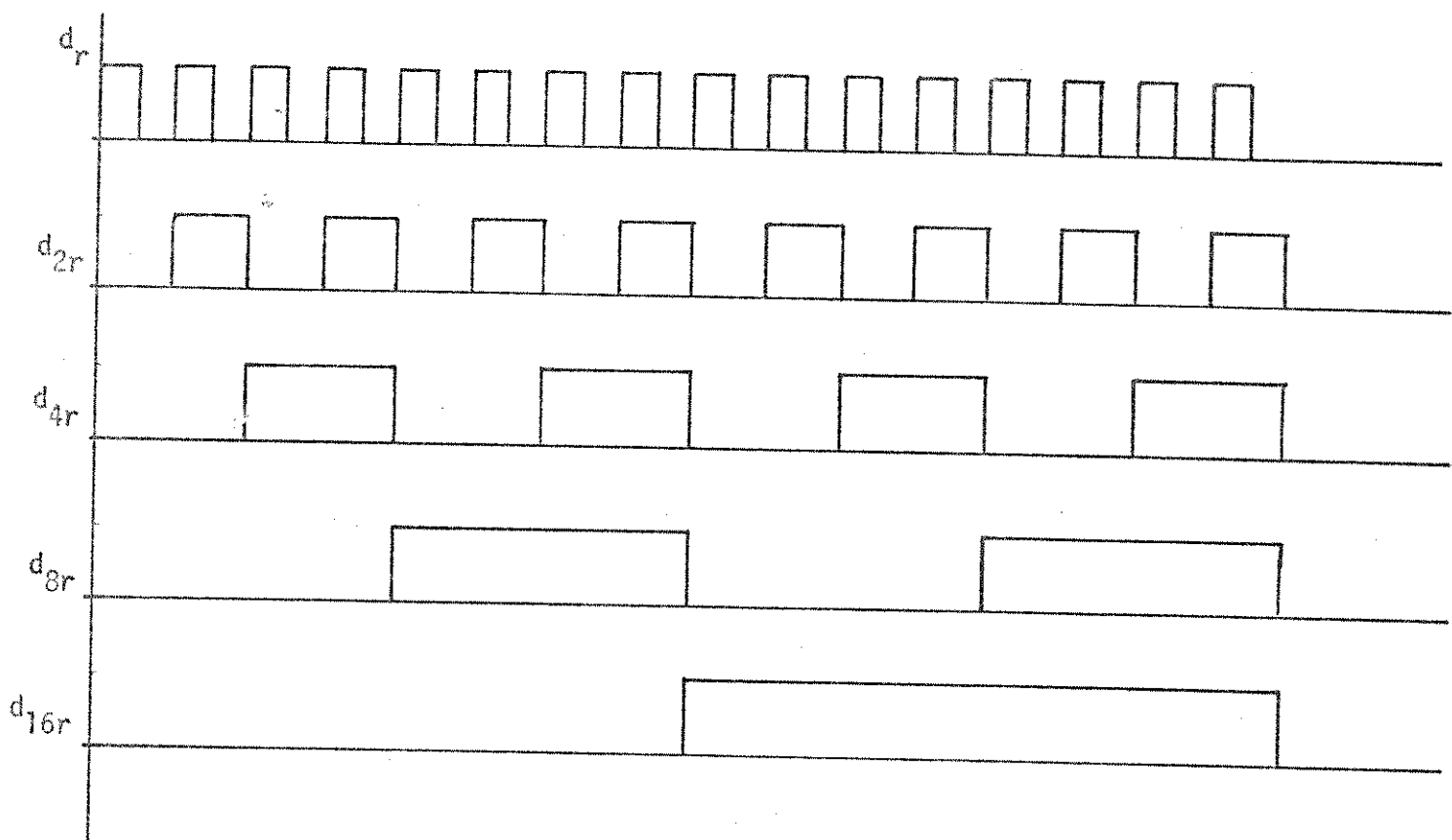


Figura 3.5 - Ondas obtidas a partir do relógio d_r

tir de uma combinação lógica das saídas de cada FF dos contadores, como mostra a Figura 3.6 e a Tabela 3.1 da verdade.

3.4 - Realização dos Circuitos para os Divisores de Frequência e Contadores de Canal

Os contadores serão obtidos do circuito integrado 9316 da Fairchild, cuja descrição segue abaixo. O esquema é mostrado na Figura 3.7.

Este circuito integrado é um contador síncrono de alta velocidade de 4 bits (estes podem ser pré-armados síncronamente) e apresenta a possibilidade de ser ligado em cascata sem piorar as suas características de velocidade e a traso.

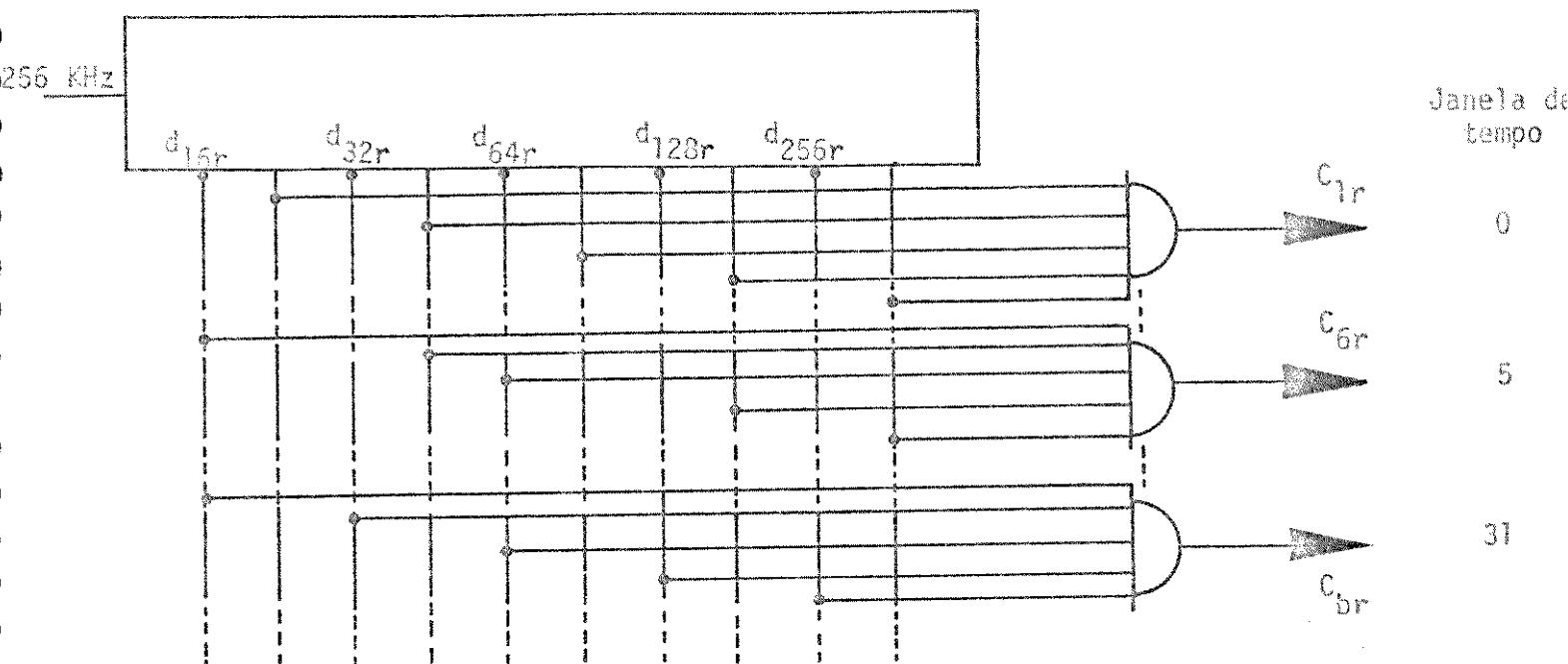


Figura 3.6 - Decodificador 1 de 32 para contador de canal

d_{16r}	d_{32r}	d_{64r}	d_{128r}	d_{256r}	Onda de canal correspondente	d_{16r}	d_{32r}	d_{64r}	d_{128r}	d_{256r}	Onda de canal correspondente
0	0	0	0	0	C_{1r}	0	0	0	0	1	C_{16r}
1	0	0	0	0	C_{2r}	1	0	0	0	1	C_{17r}
0	1	0	0	0	C_{3r}	0	1	0	0	1	C_{18r}
1	1	0	0	0	C_{4r}	1	1	0	0	1	C_{19r}
0	0	1	0	0	C_{5r}	0	0	1	0	1	C_{20r}
1	0	1	0	0	C_{6r}	1	0	1	0	1	C_{21r}
0	1	1	0	0	C_{7r}	0	1	1	0	1	C_{22r}
1	1	1	0	0	C_{8r}	1	1	1	0	1	C_{23r}
0	0	0	1	0	C_{9r}	0	0	0	1	1	C_{24r}
1	0	0	1	0	C_{10r}	1	0	0	1	1	C_{25r}
0	1	0	1	0	C_{11r}	0	1	0	1	1	C_{26r}
1	1	0	1	0	C_{12r}	1	1	0	1	1	C_{27r}
0	0	1	1	0	C_{13r}	0	0	1	1	1	C_{28r}
1	0	1	1	0	C_{14r}	1	0	1	1	1	C_{29r}
0	1	1	1	0	C_{15r}	0	1	1	1	1	C_{30r}
1	1	1	1	0	C_{br}	1	1	1	1	1	C_{br}

Tabela 3.1 - Tabela da verdade para as ondas C_{ir}

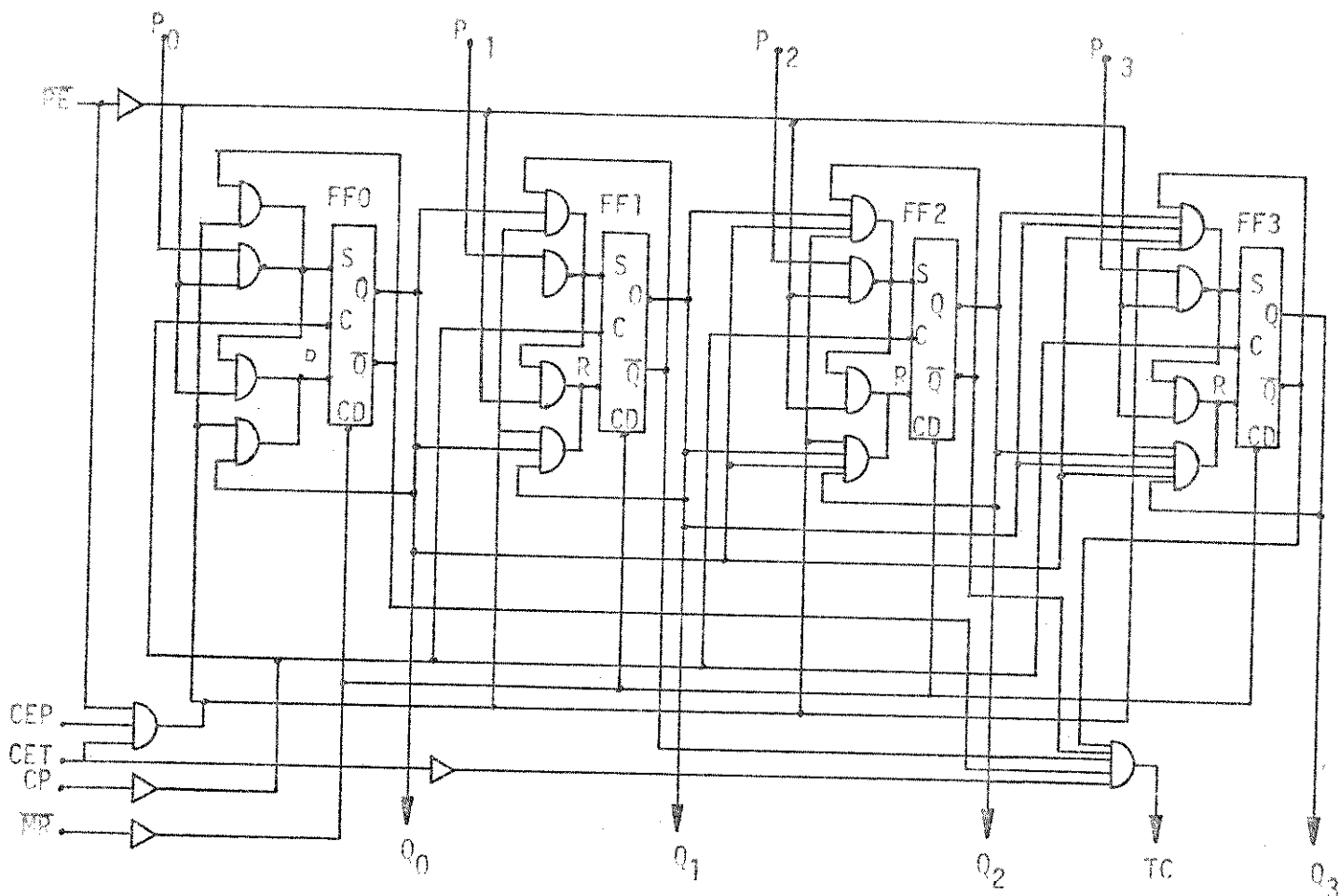


Figura 3.7 - Contador síncrono utilizado.
9316 FAIPCHILD

O pulso de relógio d_r é aplicado na entrada CP e gatilha os quatro flip-flop mestre-escravo (FF0 a FF3).

Durante a transição "0" para "1" do relógio d_r os FF mestres são inibidos e ao atingir o nível "1" a informação dos mestres é transferida para os escravos. Durante a transição "1" a "0" do relógio, os escravos são inibidos e os mestres são desinibidos podendo então receber nova informação.

A Figura 3.8 ilustra estas fases:

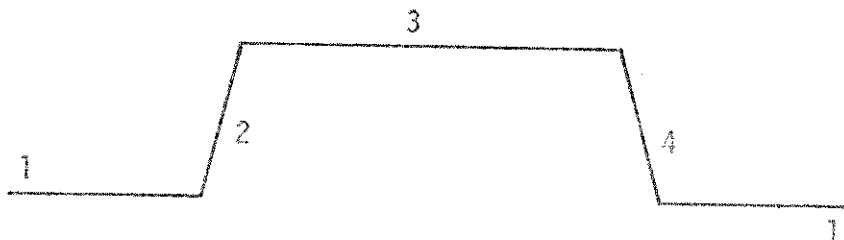


Figura 3.8 - Pulso de relógio com as regiões de interesse da figura 3.7

- Região 1 : Entrar dados, R e S ligados ao mestre
- Região 2 : Inibir os mestres, R e S desligados
- Região 3 : Interligação dos FF mestres com os FF escravos, transferência de informação
- Região 4 : Isolar escravo do FF mestre; desinibir este último

Este CI também pode aceitar informação nas 4 entradas em paralelo (P_0, P_1, P_2, P_3). Quando os sinais nas entradas \overline{PE} (controle das entradas paralelas) e CP (relógio) são "0", cada FF mestre é ligado à entrada paralela correspondente mas os estados dos FF escravos não são modificados. Na transição "0" para "1" do sinal de relógio (sinal em \overline{PE} permanece "0") a informação é transferida das entradas P_i as saídas Q_i obedecendo a sequência descrita acima.

Nesta aplicação o CI 9316 será utilizado como contador síncrono (Vide Figura 3.4 e descrição correspondente) portanto, as entradas P_i e \overline{PE} não serão ligadas (circuito aberto).

O circuito providencia uma saída TC (terminal count) indicando o final da contagem $TC = \overline{CET} \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$.

As entradas CET e CEP controlam o funcionamento do circuito - sendo que um "0" numa destas entradas inibe o contador.

Combinando a ação das entradas CEP e CET e o pulso providenciado na saída TC, pode-se ligar vários destes ci's em cascata.

Aplicando-se um "0" na entrada \overline{MR} o contador será zerado independente dos sinais nas demais entradas. Nesta aplicação o sinal \overline{S}_{qr} será ligado a esta entrada para sincronizar o contador com o sinal de sincronismo.

Os três contadores de dígitos, de canal e de sinalização serão realizados através de 3 unidades 9316 da Fairchild, conforme mostrado na Figura - 3.9.

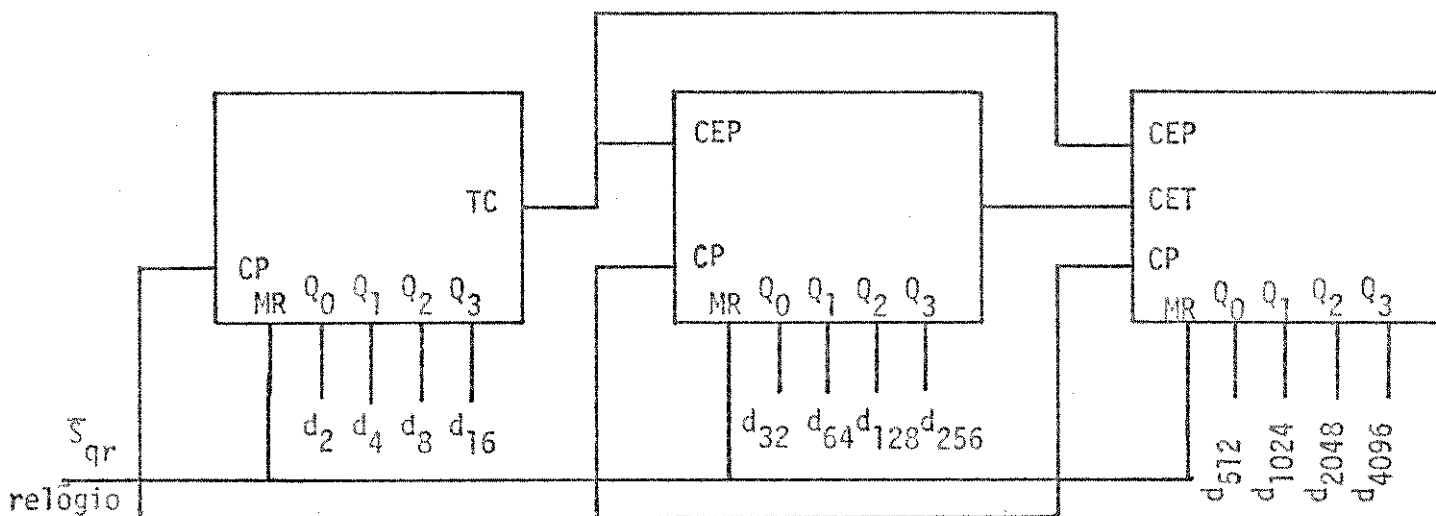


Figura 3.9 - Divisor por 256 síncrono

A combinação lógica das ondas obtidas dos contadores para controle das portas de canal e de sinalização é feita através do circuito integrado - 9311 da Fairchild (Esquema na Figura 3.10).

Este último, é um decodificador 1 de 16, que aceita informação de 4 entradas A_0 , A_1 , A_2 e A_3 e providencia 16 saídas mutuamente exclusivas.

Além disto, possui duas entradas E_0 e E_1 em um "AND" cuja função é a de inibir todas as saídas. Quando estas duas entradas estão no nível 1 todas as saídas também estão no estado 1. Com as duas entradas no nível 0 uma das saídas estará no nível 0, dependendo da combinação lógica das entradas. As 16 possibilidades são mostradas na Tabela 3.2.

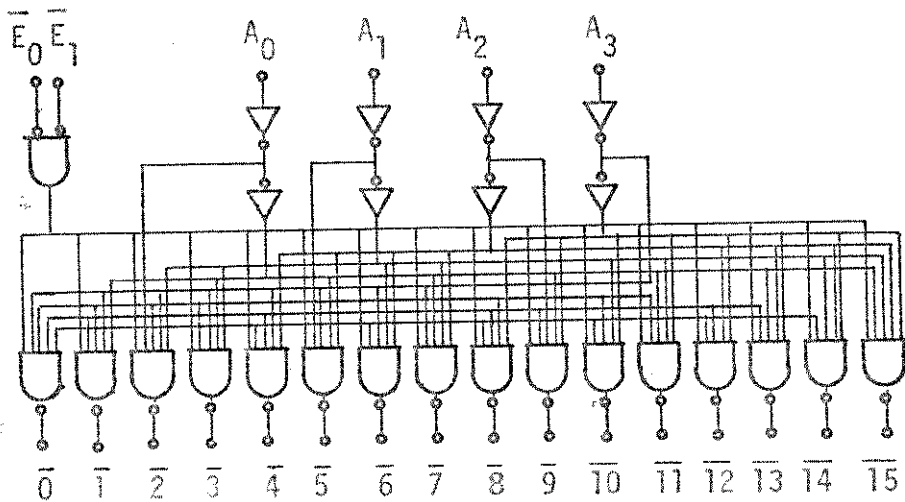


Figura 3.10 - Decodificador 1 de 16 - Fairchild 9311

$\overline{E_0} \overline{E_1}$	A_0	A_1	A_2	A_3	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
11	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
10	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
01	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
00	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
00	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
00	0	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
00	1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
00	0	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
00	1	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
00	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
00	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
00	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
00	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
00	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
00	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1

Tabela 3.2 Tabela verdade da figura 3.10

Dois destes circuitos formarão um decodificador 1 a 32 cujas ligações estão ilustradas na Figura 3.11 abaixo. Observe que os decodificadores são utilizados alternadamente dependendo do estado do 5º FF.

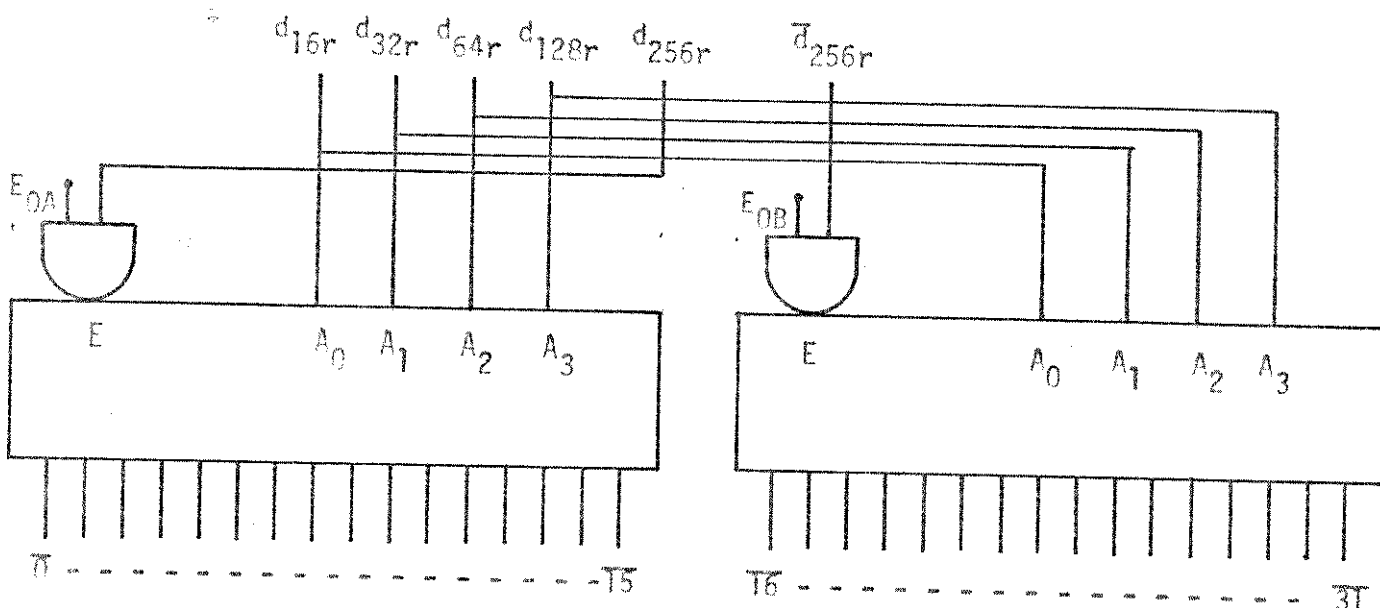


Figura 3.11 Decodificador 1 de 32 montado com 2 CI 9311 da FAIRCHILD

Para evitar que os transitórios sejam enviados para a linha, as portas de canal no demultiplex são serão acionadas durante o tempo correspondente aos dígitos D4, D5, D6 e D7 de cada canal. Para isto aplica-se simultaneamente nas entradas E_{OA} e E_{OB} da Figura 3.11, uma onda \overline{PE}_{cr} . Esta onda será obtida por uma combinação lógica das 3 saídas do primeiro divisor.

$$PE_{cr} = d_{2r} \cdot d_{4r} \cdot \overline{d_{8r}} + \overline{d_{8r}} \cdot d_{2r} \cdot d_{4r}$$

As ondas c_{ar} e c_{br} devem ter a largura normal de 1 canal (8 bits). Para isto faz-se uma outra combinação das saídas dos FF do contador por 32.

$$c_{ar} = d_{16r} \cdot d_{32r} \cdot d_{64r} \cdot d_{128r} \cdot \overline{d_{256r}}$$

$$c_{br} = d_{16r} \cdot d_{32r} \cdot d_{64r} \cdot d_{128r} \cdot d_{256r}$$

O circuito para a obtenção destas ondas é mostrado na Figura - 3.12.

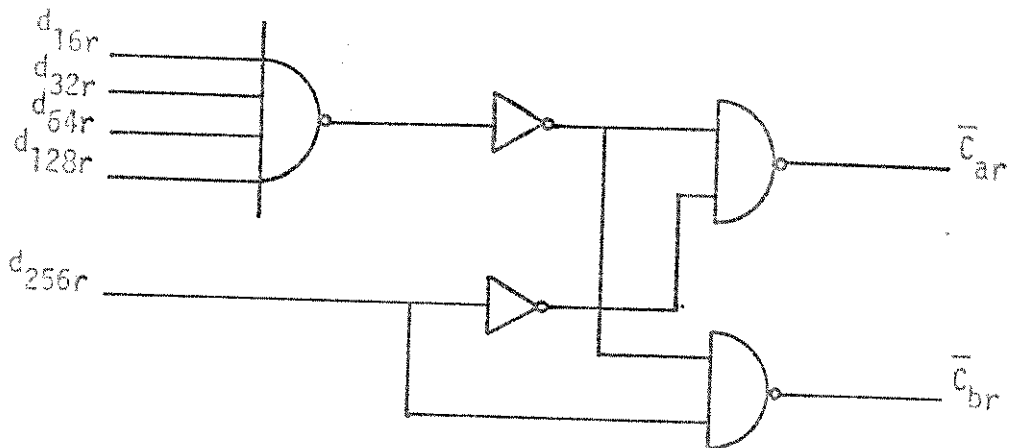


Figura 3.12 - Gerador das ondas \bar{c}_{ar} e \bar{c}_{br}

A Figura 3.13 mostra a relação temporal das ondas de canal.

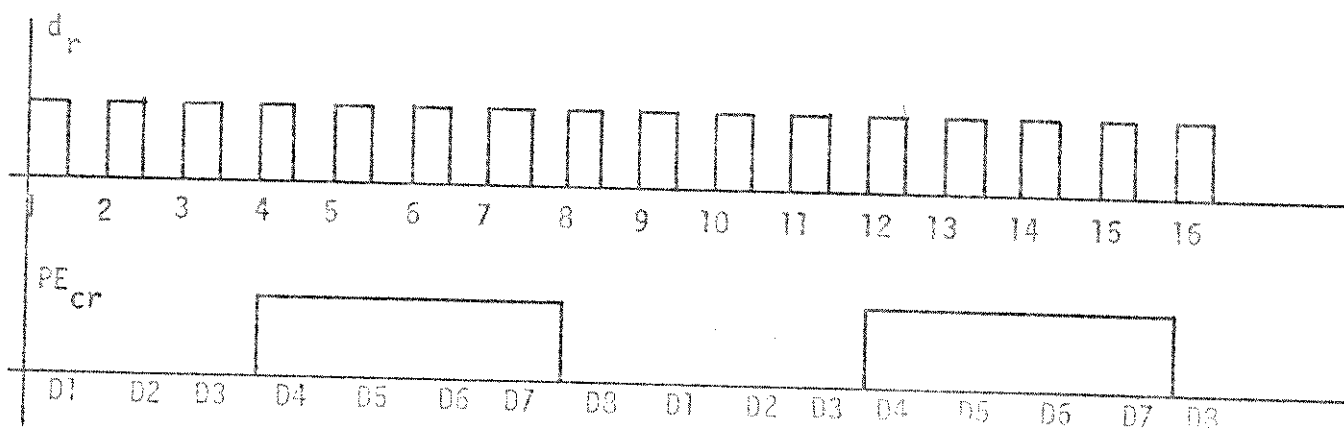


Figura 3.13 - Relação temporal da onda PE_{cr} e d_r

3.5 - Ondas de controle das portas de sinalização

As ondas de controle para as portas de sinalização serão obtidas a partir de uma combinação lógica das saídas do terceiro contador, como é mostrado na Figura 3.14 e na Tabela 3.3.

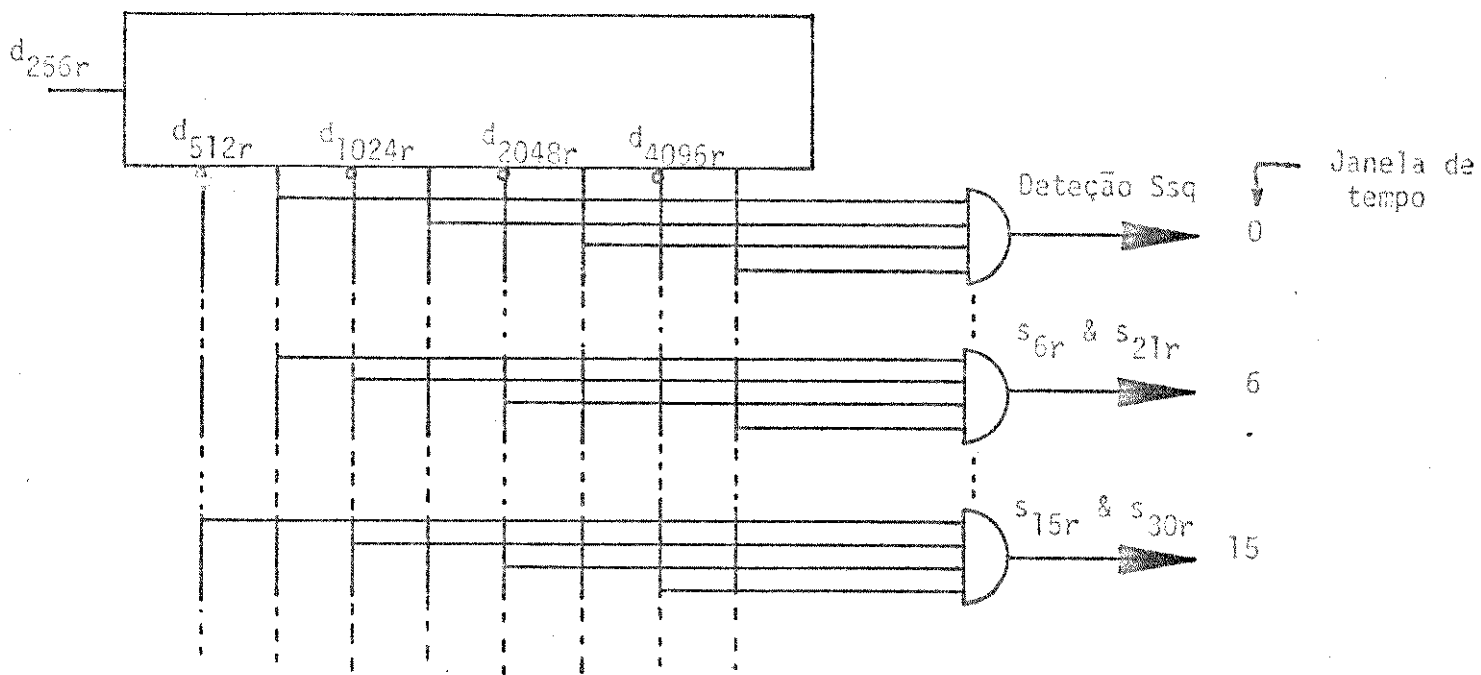


Figura 3.14 - Decodificador 1 de 16 para o contador de sinalização

O circuito será realizado utilizando os mesmos componentes que foram utilizados para os circuitos de canal, (CI 9316 e 9311 da Fairchild). Como a sinalização é enviada na janela de tempo $n^{\circ} 16$ as portas de sinalização só poderão ser atuadas durante este tempo. Para isto aplica-se a onda $\overline{c_{ar}}$ numa das entradas E do circuito. (Ver Figura 3.15).

Para distinguir os códigos de sinalização dos dois canais enviados em janelas adjacentes, utilizam-se dois circuitos 9311. Num deles, aplica-se a onda d_8 na entrada \overline{E}_1 e no outro a onda \overline{d}_8 . A Figura 3.15 mostra as ligações e a Tabela 3.4 mostra quais saídas serão ativadas ao serem aplicadas as várias ondas.

d_{512r}	d_{1024r}	d_{2048r}	d_{4096r}	valor decimal	Ação tomada
0	0	0	0	0	Deteção S_{sqr}
1	0	0	0	1	Porta sin. 1-16
0	1	0	0	2	2-17
1	1	0	0	3	3-18
0	0	1	0	4	4-19
1	0	1	0	5	5-20
0	1	1	0	6	6-21
1	1	1	0	7	7-22
0	0	0	1	8	8-23
1	0	0	1	9	9-24
0	1	0	1	10	10-25
1	1	0	1	11	11-26
0	0	1	1	12	12-27
1	0	1	1	13	13-28
0	1	1	1	14	14-29
1	1	1	1	15	15-30

Tabela 3.3 Tabela verdade da figura 3.14

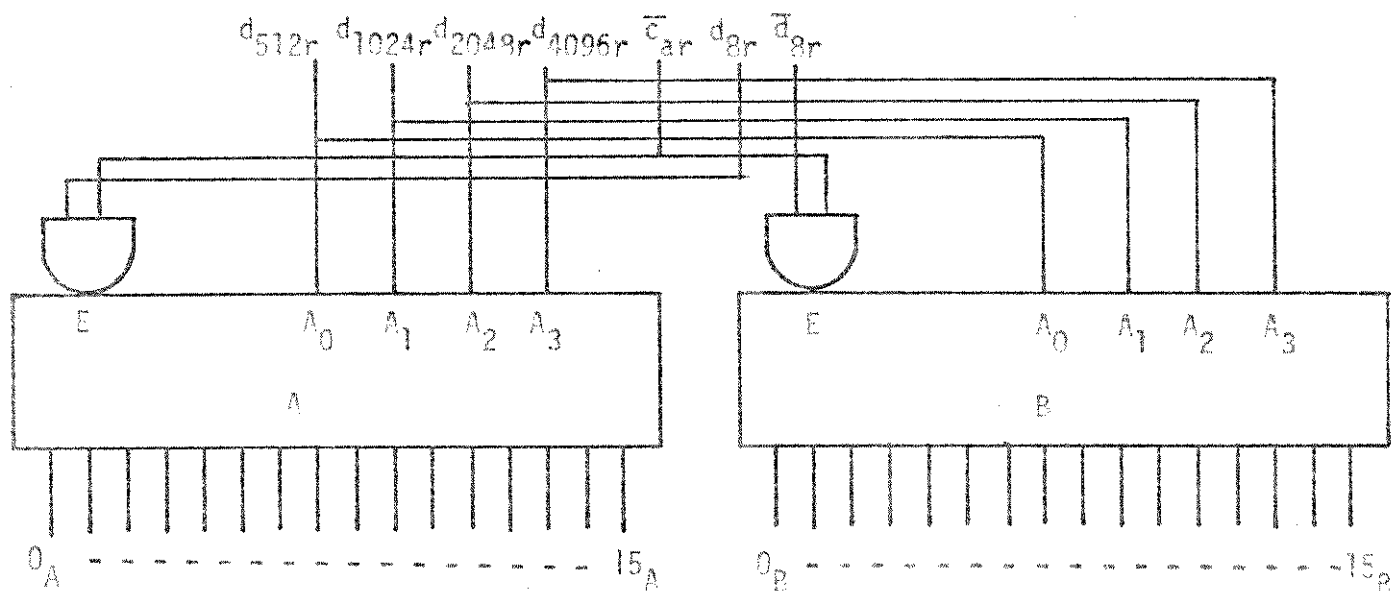


Figura 3.15 Gerador das ondas s_i controladoras das portas de sinalização

d _{512r}	d _{1024r}	d _{2048r}	d _{4096r}	d ₈	Saída atuada dos circuitos A ou B														
					0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
0	0	0	0	0	A														
1	0	0	0	1	B	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	0			A												
1	1	0	0	1			B	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	0					A										
1	0	1	0	1					B	1	1	1	1	1	1	1	1	1	1
0	1	1	0	0							A								
1	1	1	0	1							B	1	1	1	1	1	1	1	1
0	0	0	1	0									A						
1	0	0	1	1									B	1	1	1	1	1	1
0	1	1	0	0											A				
1	1	1	0	1											B	1	1	1	1
0	0	1	1	0													A		
1	0	1	1	1													B	1	1
0	1	0	1	0															A
1	1	0	1	1															B
0	0	1	1	0															
1	0	1	1	1															
0	1	1	1	0															
1	1	1	1	1															

Tabela 3.4 - Tabela verdade da Figura 3.15

Observar que a Tabela só vale quando o sinal $\overline{c_{ar}}$ é "0". Quando $\overline{c_{ar}}$ for "1", todas as saídas permanecem no estado 1 também.

A Figura 3.16 mostra o relacionamento temporal das ondas de saída deste circuito.

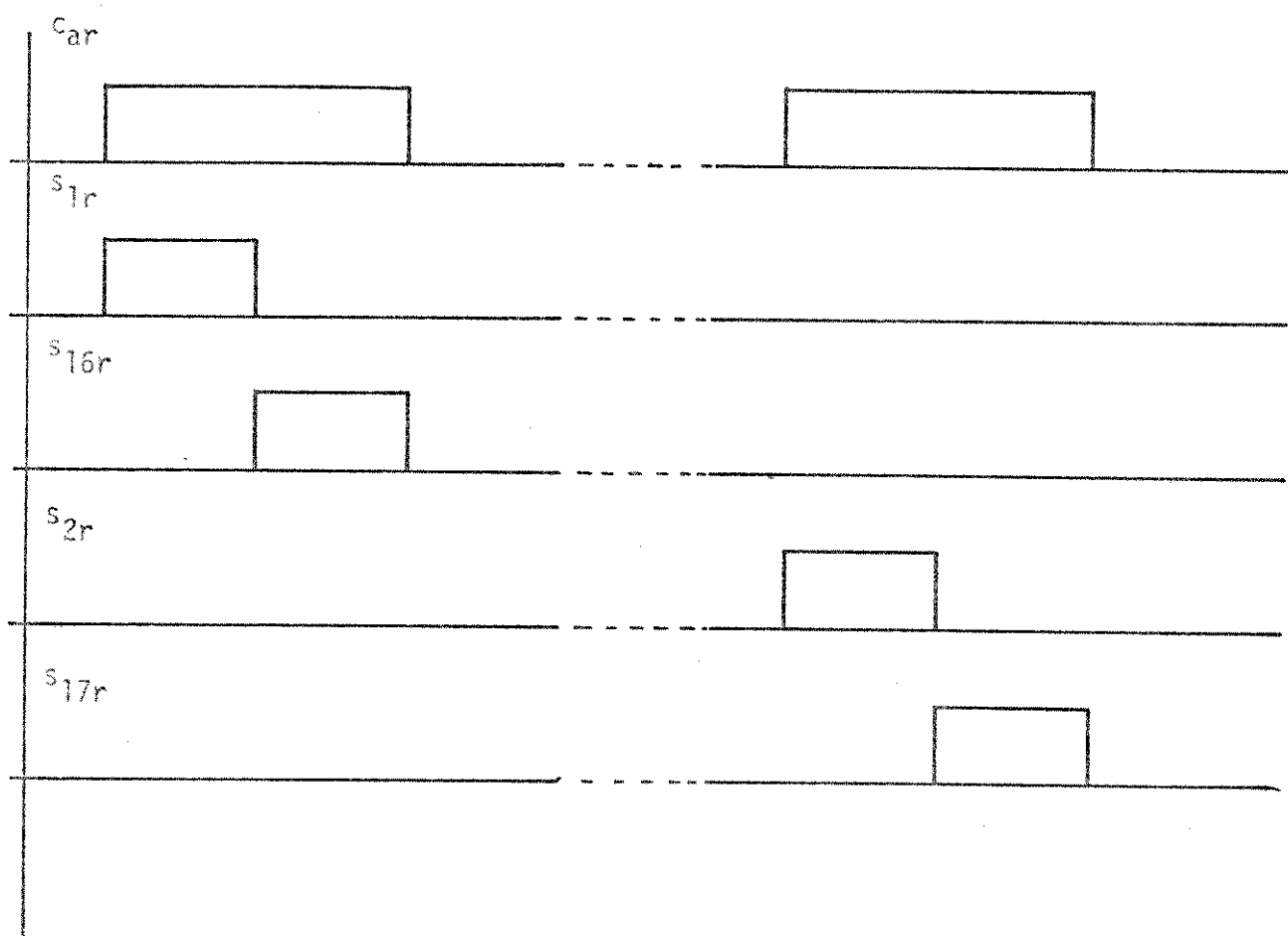


Figura 3.16 - Relação temporal das ondas controladoras das portas de sinalização e a onda c_{ar}

3.6 - Ondas de controle do decodificador

No decodificador proposto (R. R. Scarabucci e K. K. Yin, Publicação FEC 03/74) haverá necessidade das seguintes ondas de controle:

- relógio para ativar o registro, (2048 KHz)
- um sinal para ligar as entradas da memória (256 KHz) e
- um sinal para carregar a memória (256 KHz).

O registro será construído com dois CI's 93H00. A memória será também construída com dois destes circuitos. Os circuitos são mostrados nas Figuras 3.17 e 3.18. O 93H00 é um "shift-register" de 4 bits, de alta velocidade e que aceita informação paralela quando a entrada \overline{PE} estiver no nível "0". A informação será então transferida das entradas às saídas com a transição 0-1 na entrada CP. As ligações para se obter o registro e a memória são mostradas na Figura 3.18. As ondas E_{mr} e C_{mr} serão obtidas a partir de combinações das ondas d_r , d_{2r} , d_{4r} , d_{8r} como mostra a Figura 3.19

$$PE_{mr} = d_{2r}d_{4r}d_{8r}$$

$$PC_{mr} = \overline{d_r}d_{2r}d_{4r}d_{8r}$$

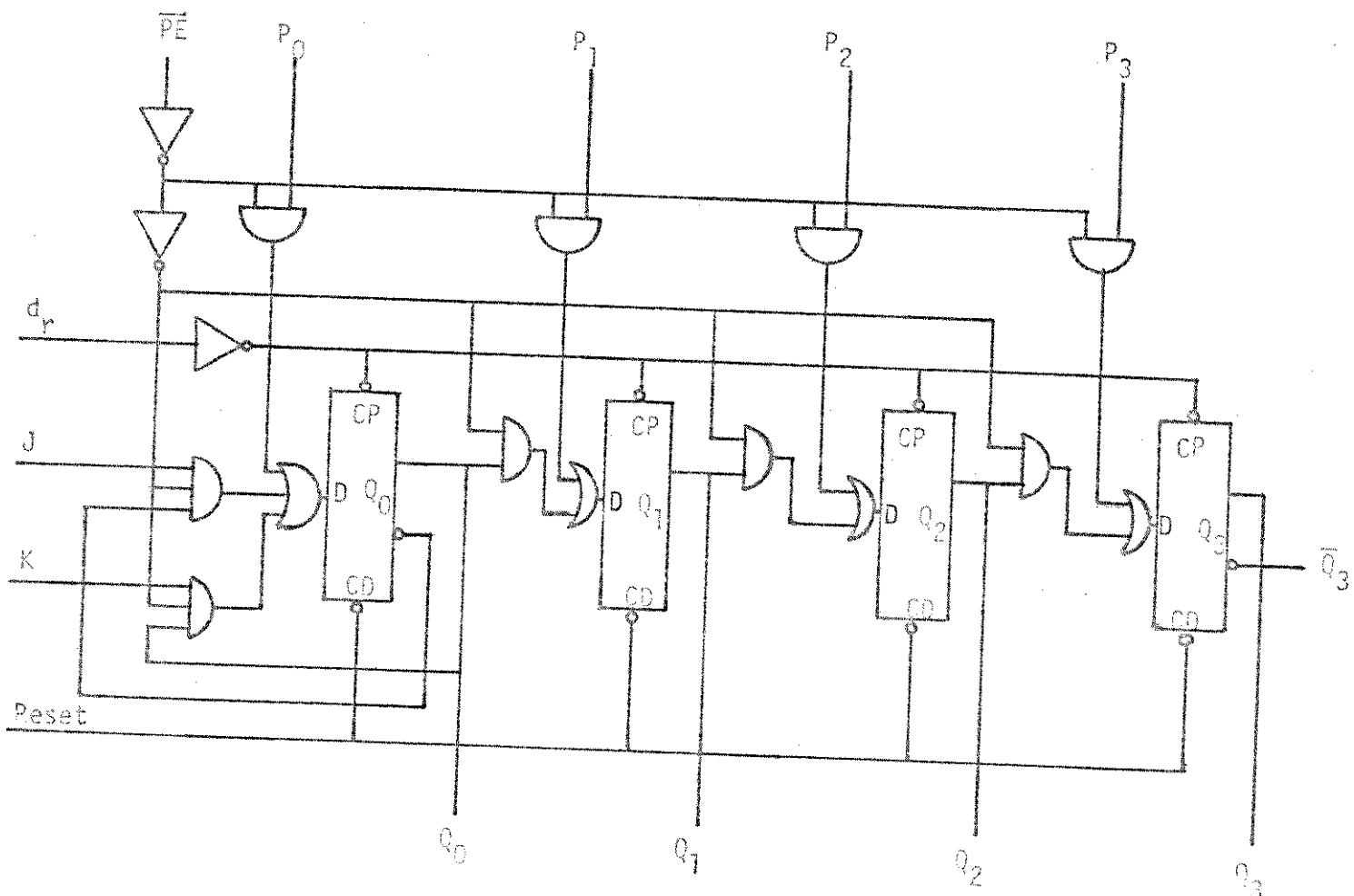


Figura 3.17 - "Shift-Register" Universal de 4 bits
Fairchild 93H00

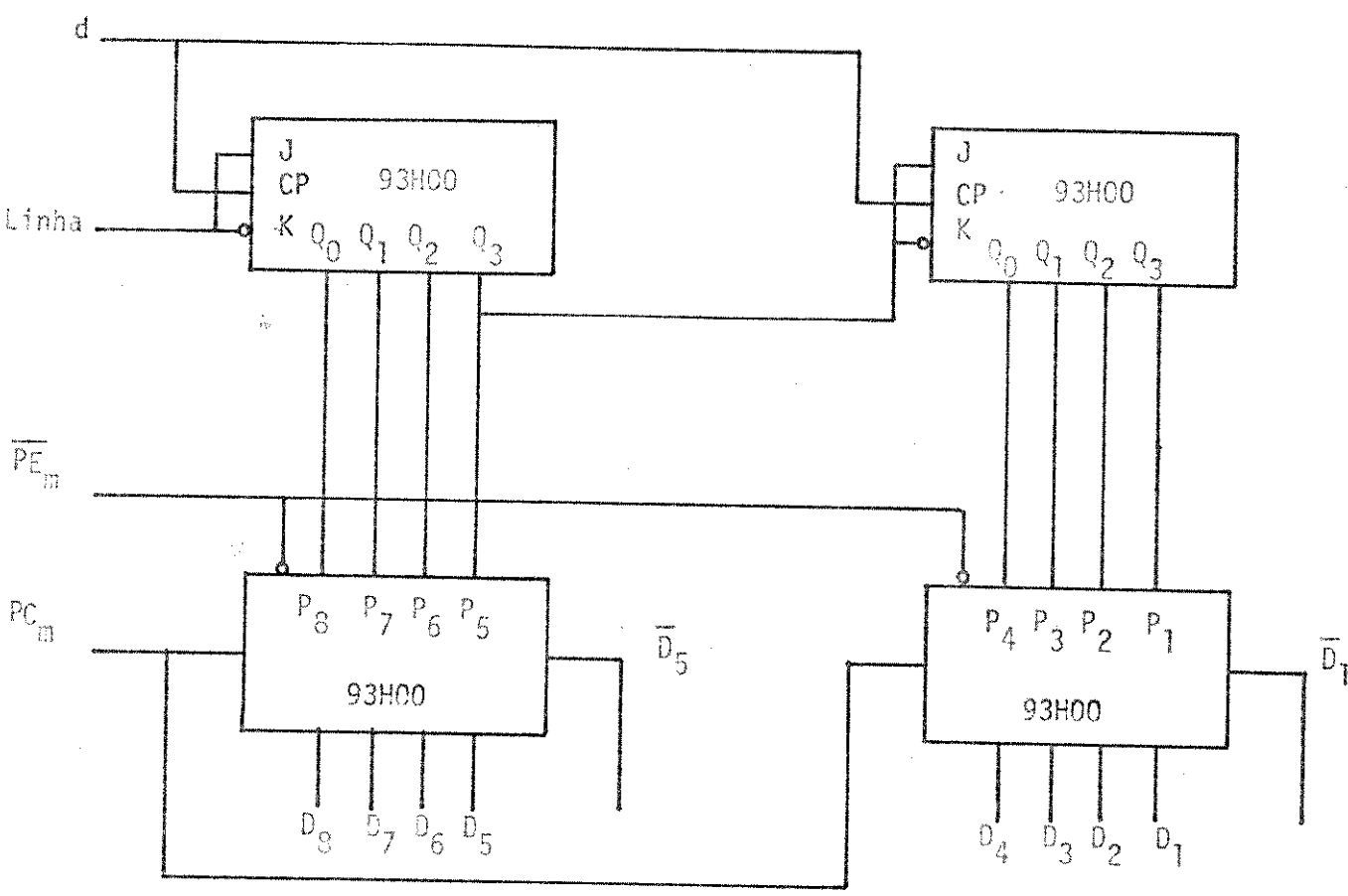


Figura 3.18 - Esquema do registro e da memória de 8 bits para o decodificador.

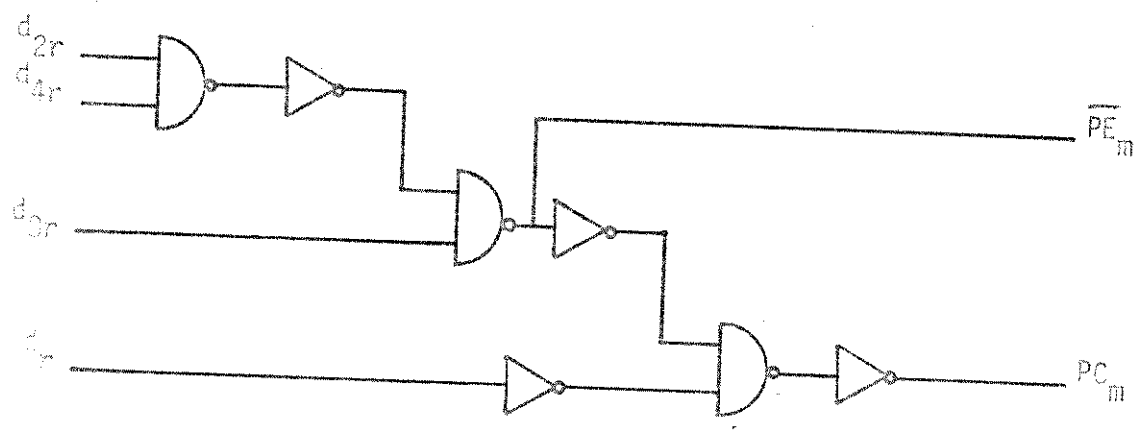


Figura 3.19 - Gerador das ondas \overline{PE}_m e PC_m

A Figura 3.20 mostra a relação temporal das ondas aqui descritas.

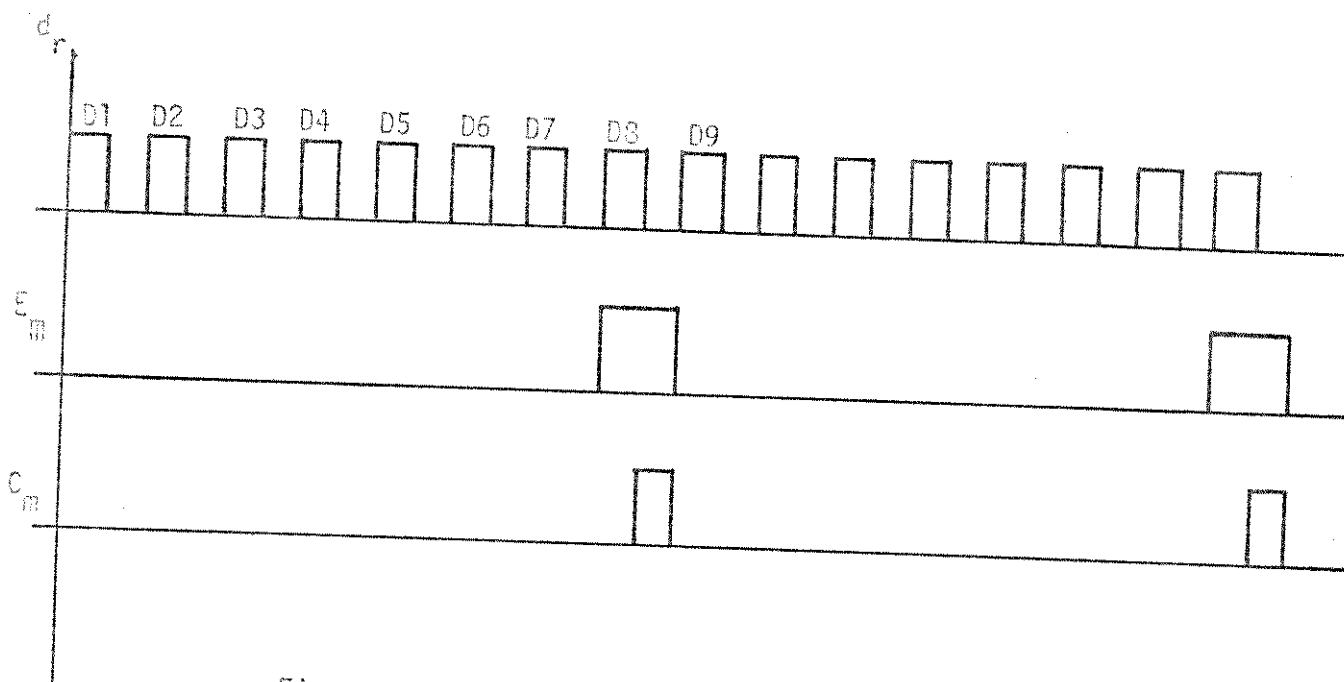


Figura 3.20 - Relação temporal das ondas d_r , PE_m e PC_m .

3.7 - Circuito final do gerador de ondas de controle

Os circuitos para a geração das ondas de controle foram montados em dois cartões de circuito impresso. O primeiro cartão, SINC 1, mostrado na Figura 3.21, contém os dois primeiros contadores (gerando d_{2r} a d_{256r}), os circuitos para controle das portas de canal, o circuito para a geração das ondas c_{ar} e c_{br} e o circuito para gerar as ondas de controle do decodificador. O cartão SINC 2 mostrado na Figura 3.22 contém o último divisor (gerando d_{512r} a d_{4096r}) e os circuitos geradores das ondas de controle das portas de sinalização. A Tabela seguinte mostra as várias ligações feitas no terminal do cartão. O índice c do número, indica face dos componentes e o índice v indica verso do cartão.

CARTÃO SINC 1				CARTÃO SINC 2			
1 _c	-	1 _v	+5V	1 _c	-	1 _v	-
2 _c	\bar{s}_{sq}	2 _v	\bar{c}_{br}	2 _c	GND	2 _v	-
3 _c	Relógio	3 _v	\bar{c}_{ar}	3 _c	Deteção \bar{s}_{sq}	3 _v	Deteção \bar{s}_{sq}
4 _c	\bar{c}_{1r}	4 _v	\bar{c}_{2r}	4 _c	\bar{s}_{2r}	4 _v	\bar{s}_{17r}
5 _c	\bar{c}_{3r}	5 _v	\bar{c}_{4r}	5 _c	\bar{s}_{3r}	5 _v	\bar{s}_{18r}
6 _c	\bar{c}_{5r}	6 _v	\bar{c}_{6r}	6 _c	\bar{s}_{4r}	6 _v	\bar{s}_{19r}
7 _c	\bar{c}_{11r}	7 _v	\bar{c}_{8r}	7 _c	\bar{s}_{5r}	7 _v	\bar{s}_{20r}
8 _c	\bar{c}_{9r}	8 _v	\bar{c}_{10r}	8 _c	\bar{s}_{6r}	8 _v	\bar{s}_{21r}
9 _c	\bar{c}_{7r}	9 _v	-	9 _c	\bar{s}_{7r}	9 _v	\bar{s}_{22r}
10 _c	\bar{c}_{15r}	10 _v	\bar{c}_{14r}	10 _c	\bar{s}_{8r}	10 _v	\bar{s}_{23r}
11 _c	\bar{c}_{13r}	11 _v	\bar{c}_{12r}	11 _c	\bar{s}_{9r}	11 _v	\bar{s}_{24r}
12 _c	\bar{c}_{16r}	12 _v	\bar{c}_{17r}	12 _c	\bar{s}_{10r}	12 _v	\bar{s}_{25r}
13 _c	\bar{c}_{18r}	13 _v	\bar{c}_{19r}	13 _c	\bar{s}_{11r}	13 _v	
14 _c	\bar{c}_{20r}	14 _v	\bar{c}_{21r}	14 _c	d_{8r}	14 _v	\bar{s}_{26r}
15 _c	\bar{c}_{22r}	15 _v	\bar{c}_{23r}	15 _c	\bar{s}_{15r}	15 _v	\bar{s}
16 _c	\bar{c}_{24r}	16 _v	\bar{c}_{25r}	16 _c	\bar{s}_{14r}	16 _v	\bar{s}_{29r}
17 _c	\bar{c}_{26r}	17 _v	\bar{c}_{30r}	17 _c	\bar{s}_{13r}	17 _v	\bar{s}_{27r}
18 _c	\bar{c}_{29r}	18 _v	PCm	18 _c	\bar{s}_{12r}	18 _v	\bar{s}_{1r}
19 _c	\bar{c}_{28r}	19 _v	PEm	19 _c	\bar{s}_{22r}	19 _v	\bar{d}_{8r}
20 _c	\bar{c}_{27r}	20 _v	PEm	20 _c	\bar{s}_{30r}	20 _v	\bar{c}_{ar}
21 _c		21 _v	GND	21 _c	\bar{s}_{sq}	21 _v	\bar{s}_{16r}
22 _c		22 _v	-	22 _c	d_{256r}	22 _v	+5V

Tabela 3.5 Ligações físicas nos cartões SINC 1 e SINC 2

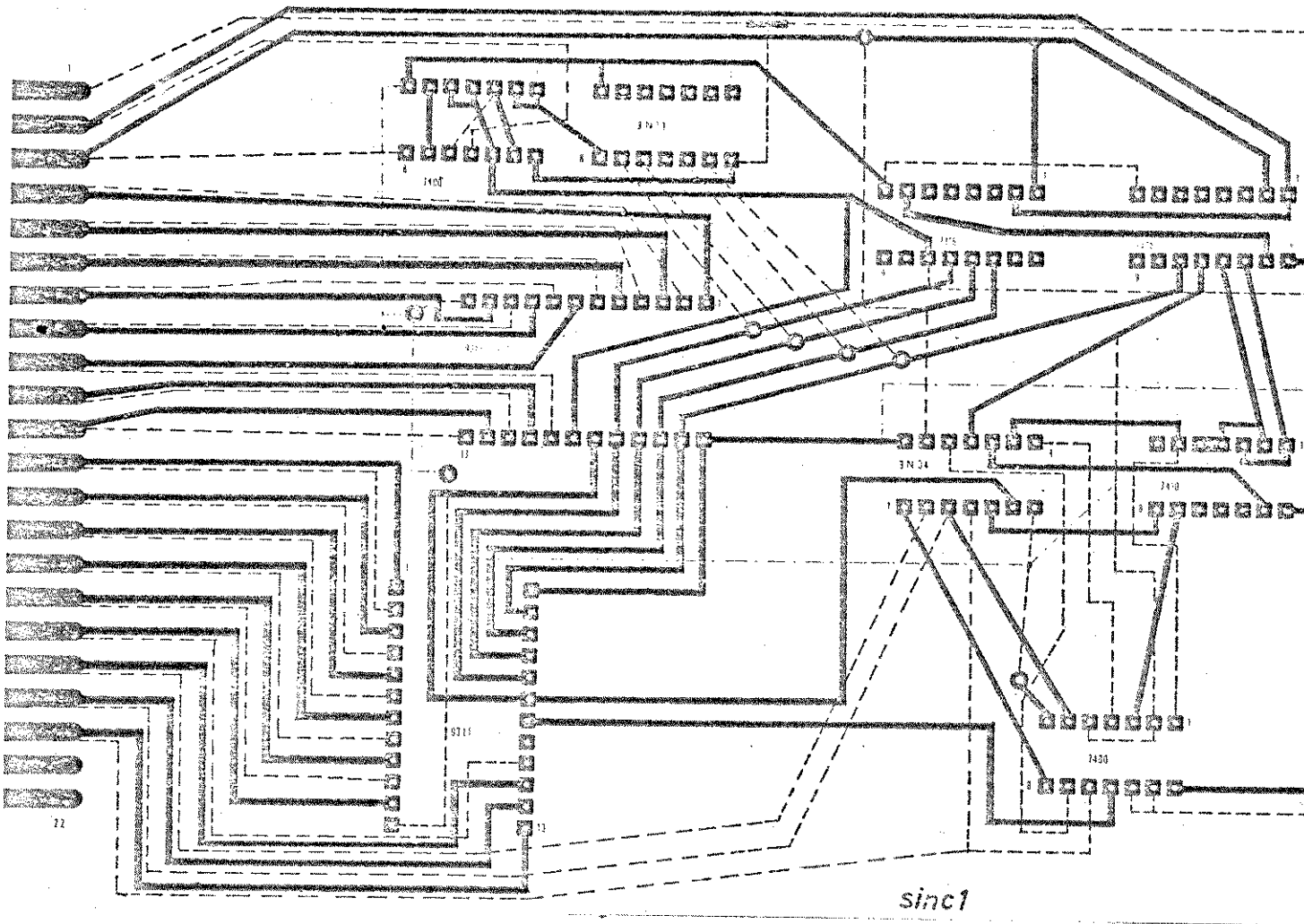


Figura 3.21 Cartão SINC 1.E mostrada a face dos componentes do cartão.
 As ligações da face verso são mostradas em pontilhado.

sinc2

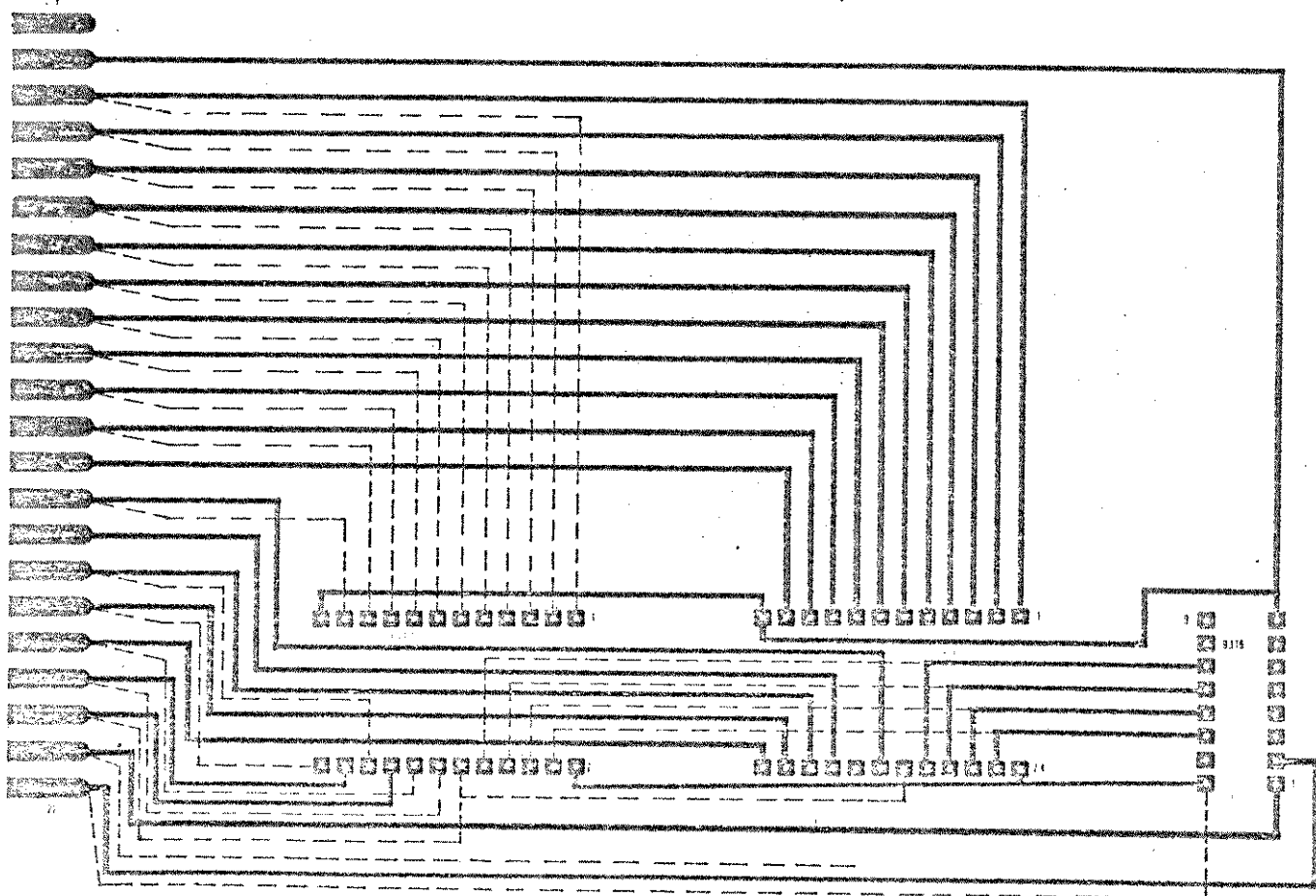


Figura 3.22 Cartão SINC 2.E mostrada a face dos componentes do cartão.
As ligações da face verso são mostradas em pontilhado.

SINCRONISMOS

4.1 - Sincronismo de Quadro - SQ

4.1.a - Palavra de Sincronismo

A informação sobre o sincronismo é enviada através de uma palavra digital de 8 dígitos no canal c_b , de dois em dois quadros (250 μ s). A palavra é a seguinte: 10011011.

Os dígitos da palavra de SINC chegam da linha em série e é preciso uma transformação série-paralelo para se extrair estes dígitos. Isto pode ser feito atrasando os pulsos e armazenando-os em uma memória apropriada. Verifica-se que o primeiro dígito a chegar deve ser atrasado de 8 unidades de tempo; o segundo de 7 u.t, etc, conforme mostra a Figura 4.1.

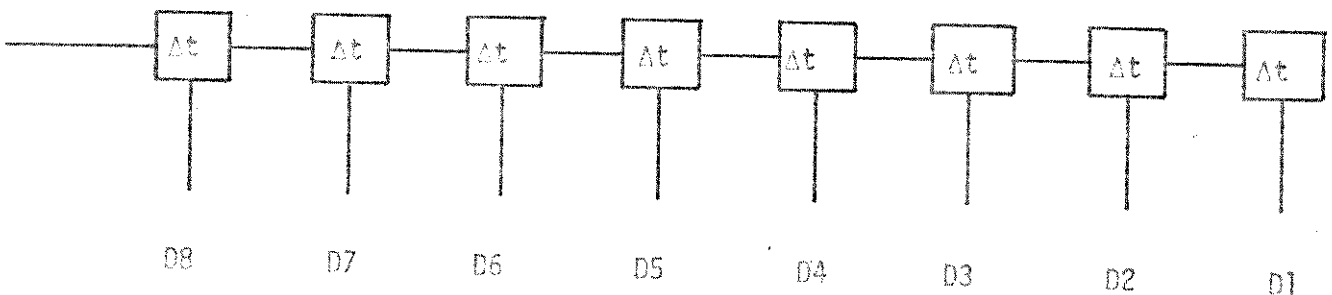


Figura 4.1 Princípio de conversão série-paralelo

Descreve-se agora sucintamente o funcionamento do conversor s\u00e9rie-paralelo e por simplicidade escolhe-se um conversor de 4 d\u00edgitos, Fig. 4.2.

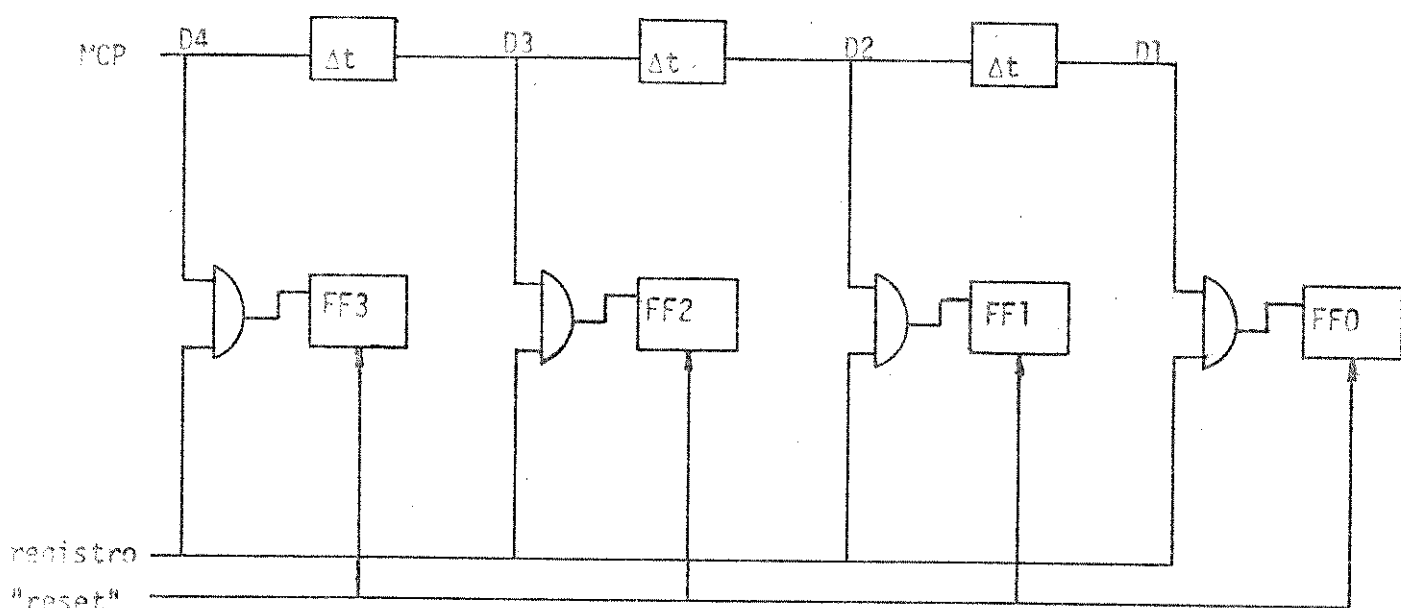


Figura 4.2 Conversor s\u00e9rie-paralelo do primeiro tipo

O trem de pulsos chegar\u00e1 na posi\u00e7\u00e3o D1 ap\u00f3s 3 unidades de tempo, ou seja, o primeiro d\u00edgito aparecer\u00e1 na posi\u00e7\u00e3o D1 quando o 4\u00f3 aparecer na posi\u00e7\u00e3o D4. Neste instante, um pulso na linha "reset" limpar\u00e1 os quatro Flip-Flops - preparando-os para armazenar a nova informa\u00e7\u00e3o. Logo depois \u00e9 gerado um pulso de registro e o cont\u00e9udo digital das posi\u00e7\u00f5es D1 a D4 ser\u00e1 armazenado nos Flip-Flops FF0 a FF3. Observar que um pulso D_i ocorrendo juntamente com o pulso de registro, gatilhar\u00e1 o Flip-Flop correspondente, passando a sa\u00edda Q de FF i de 0 para 1. Na aus\u00eancia de pulso, o FF correspondente n\u00e3o mudar\u00e1 de estado, devido \u00e0 a\u00e7\u00e3o da porta AND.

Em nosso caso espec\u00edfico, como \u00e9 necess\u00e1rio verificar cada grupo de 8 d\u00edgitos, pois n\u00e3o se conhece a posi\u00e7\u00e3o exata da palavra de sincronismo, a frequ\u00eancia dos pulsos de registro deve ser a mesma que a frequ\u00eancia do rel\u00f3gio. Isto implica que neste conversor s\u00e9rie-paralelo a mem\u00f3ria deve ser limpada tamb\u00e9m na frequ\u00eancia do rel\u00f3gio. Uma limita\u00e7\u00e3o deste tipo de conversor s\u00e9rie-paralelo \u00e9 a necessidade de 3 ou mais atrasos de tempo que devem ser exatamente iguais. Um esque-

ma que não apresenta este inconveniente é o "shift-register", da Figura 4.3, cujo funcionamento é descrito a seguir.

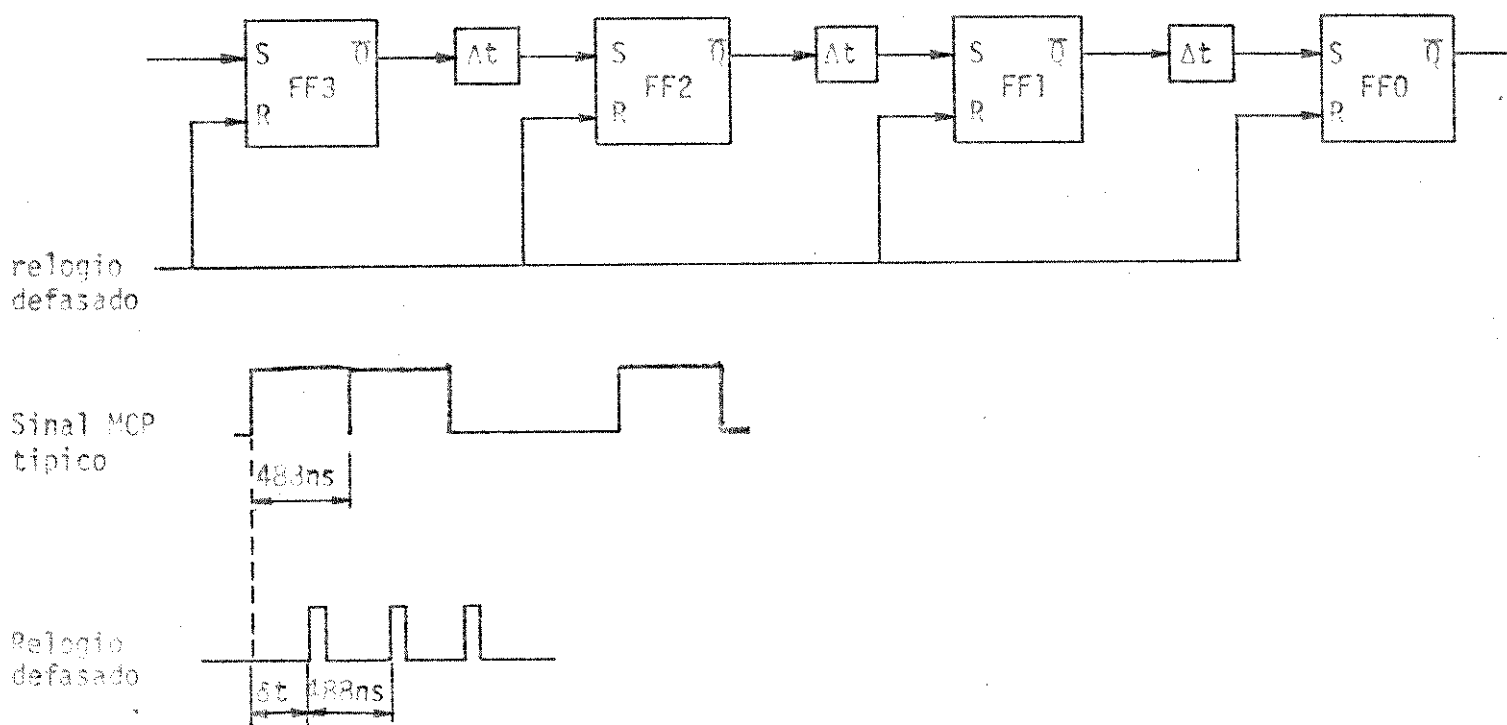


Figura 4.3 Conversor série-paralelo do segundo tipo

Os pulsos de relógio são defasados em relação aos pulsos de informação PCM. O sinal da saída invertida do 1º FF é atrasado de um tempo Δt muito inferior ao período do pulso de relógio, isto para impedir a ocorrência simultânea de um pulso nas entradas S e R dos próximos FF. Com um pulso chegando da linha, o primeiro FF será gatilhado e a saída \bar{Q} passará de 1 para 0 (suponhamos também que os FF só serão acionados pela subida do pulso). O pulso de relógio rearmará todos os FF e a saída \bar{Q} do primeiro passará de 0 para 1. Esta subida é atrasada e gatilhará o 2º FF. Verificamos então que a informação do 1º pulso passou do 1º ao 2º FF com o pulso de relógio. É fácil verificar que a informação passará do 2º para o 3º FF com o próximo pulso de registro, e assim por diante.

A vantagem deste tipo de conversor é que as ações de registro e

de rearmação são feitas ao mesmo tempo e que os atrasos podem ser pequenos e não precisam ser iguais (basta que sejam menores que o período do pulso de relógio). Contudo, ainda se necessita providenciar atrasos, o que não é aconselhável.

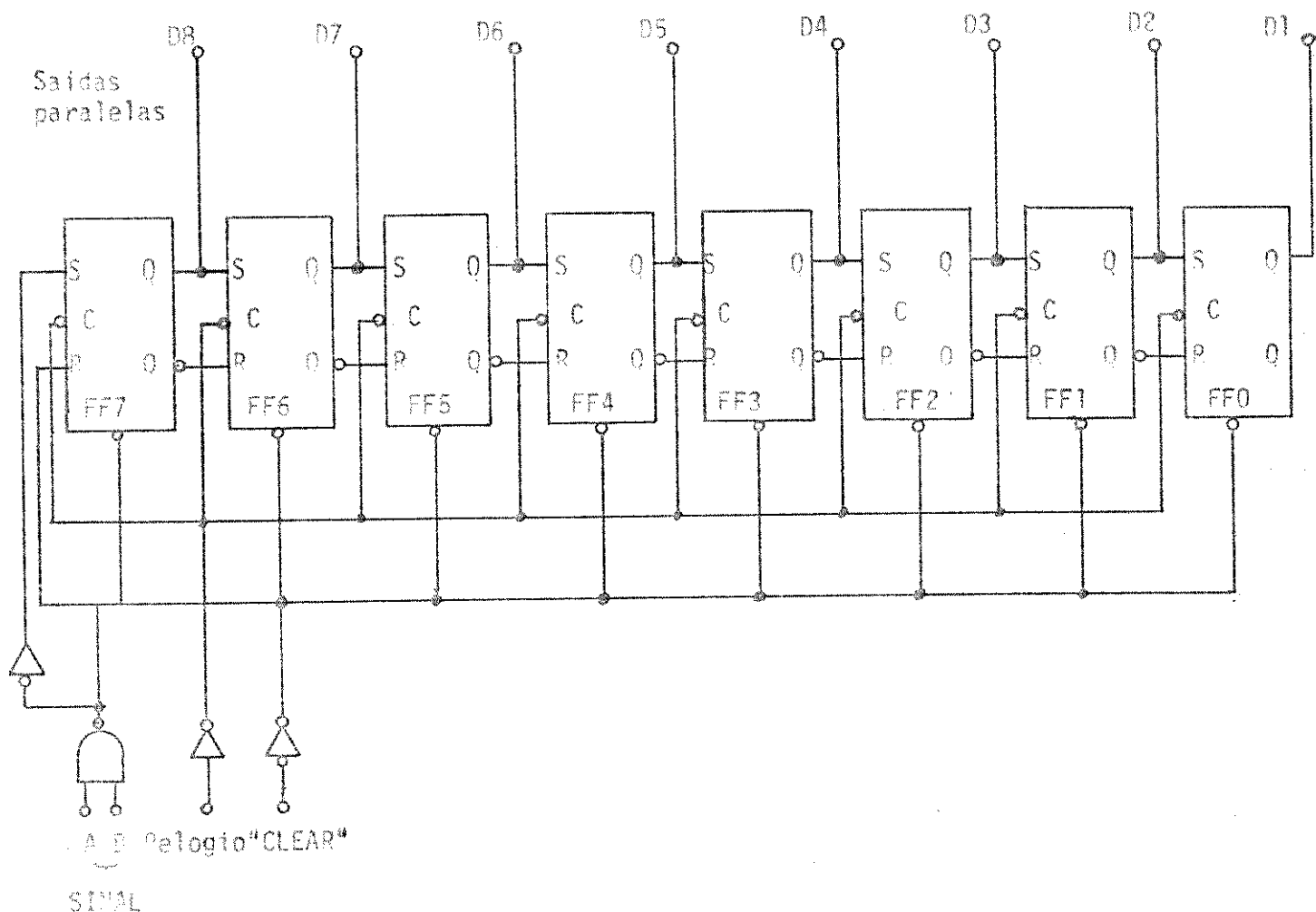


Figura 4.4 Conversor série-paralelo utilizado, FAIRCHILD 93164

A Figura 4.4 mostra o conversor utilizado. Este é composto por 8 FF com entradas S e R e o relógio. Na entrada S aplica-se o trem de pulsos original e na entrada R o trem de pulsos invertido. Na ocorrência do pulso de relógio, a informação nas entradas S e R de cada FF é transferida para as saídas Q e \bar{Q} . Verifica-se então que o 1º pulso será transferido de S a Q com o 1º pulso de relógio. Observa-se que os pulsos de relógio podem estar em fase com o trem de pulsos (não há necessidade da defasagem exigida nos modelos anteriores). Este primeiro pulso da linha gatilhará, com o segundo pulso de relógio, o 2º FF e assim por diante. Assim a informação é transferida de uma para a próxima saída pelo relógio.

Dispõe-se desta maneira de uma palavra de 8 dígitos em paralelo (D1 a D8) que, chegando da linha, modifica-se na frequência do relógio.

4.1.b - Deteção da palavra de sincronismo

Deve-se detetar a presença da palavra de sincronismo. Como esta é conhecida, basta fazer uma combinação apropriada das saídas do conversor, numa operação AND, conforme Figura 4.5.

Saídas paralelo Di do conversor da Fig.4.4

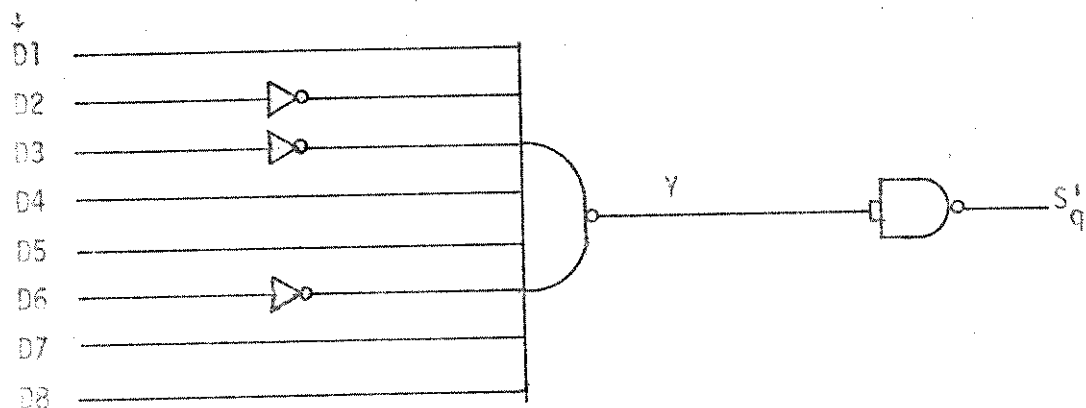


Figura 4.5 Detetor de palavra

Observa-se que na saída Y aparece ruído nos instantes em que a palavra se modifica no conversor. Este efeito pode ser eliminado com um comparador lógico que foi realizado com uma porta NAND, sendo que a entrada desta apresenta um limiar bastante alto para eliminar o ruído. Ao mesmo tempo, o circuito NAND inverte o sinal Y para gerar S'q.

S'q será o pulso indicativo de sincronismo de quadro e terá largura um pouco menor que 488 ns.

Como pode ocorrer uma palavra de mesma configuração que a palavra de sincronismo de quadro em qualquer instante, deve-se eliminar os pulsos gerados desta maneira. A probabilidade de ocorrer duas palavras desta configuração espaçadas de exatamente $250 \mu\text{seg}$, que não seja sincronismo, é quase nula. Então vai-se comparar o pulso S_q com o S_q anterior, atrasado de $250 \mu\text{seg}$. Na ocorrência dos dois, uma porta AND soltará o pulso de sincronismo S_{qr} .

O pulso de sincronismo S_q é utilizado para gatilhar um monoestável que por sua vez gera um pulso de $248 \mu\text{seg}$ de largura. O monoestável só é gatilhável quando $Q = 0$. A saída \bar{Q} deste monoestável, apresentará uma subida depois de $248 \mu\text{seg}$. Portanto, esta subida é aproveitada para gatilhar um segundo monoestável que gera um pulso de $4 \mu\text{s}$. É este pulso que será aplicado num AND juntamente com o pulso de sincronismo S_q , gerando assim o pulso de sincronismo de quadro S_{qr} , como é mostrado na Figura 4.6.

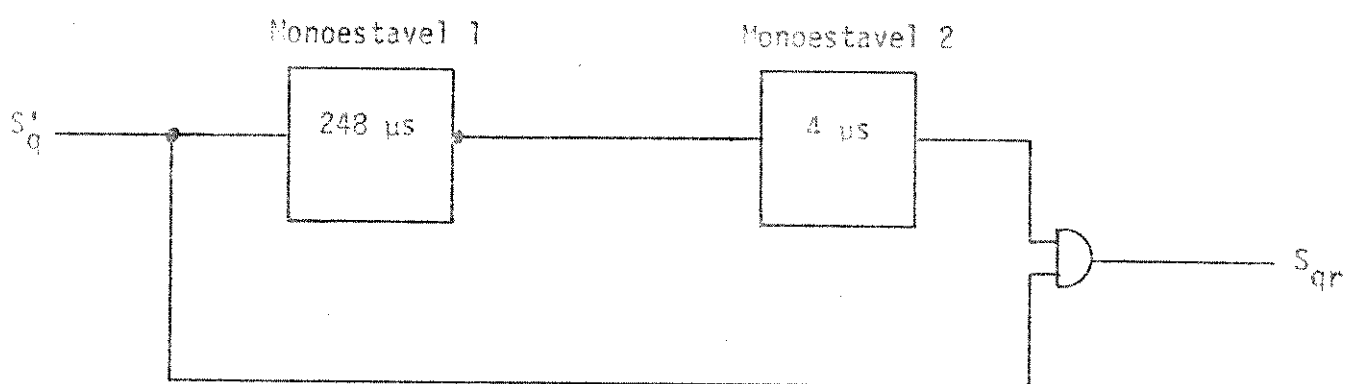


Figura 4.6 Gerador de sinal de sincronismo S_{qr}

A palavra de sincronismo é transmitida com intervalos de exatamente $250 \mu\text{s}$. O circuito proposto aceitará como sendo S_q qualquer pulso que ocorra

no intervalo de tempo de $4 \mu\text{s}$ em torno de $250 \mu\text{s}$, isto é, um tempo correspondente a 8 dígitos. Isto pode introduzir um erro nos contadores, mas pode-se supor - que a probabilidade de ocorrência de uma combinação de pulsos dando um sinal $S'q$, a não ser a palavra de sincronismo, é quase nula.

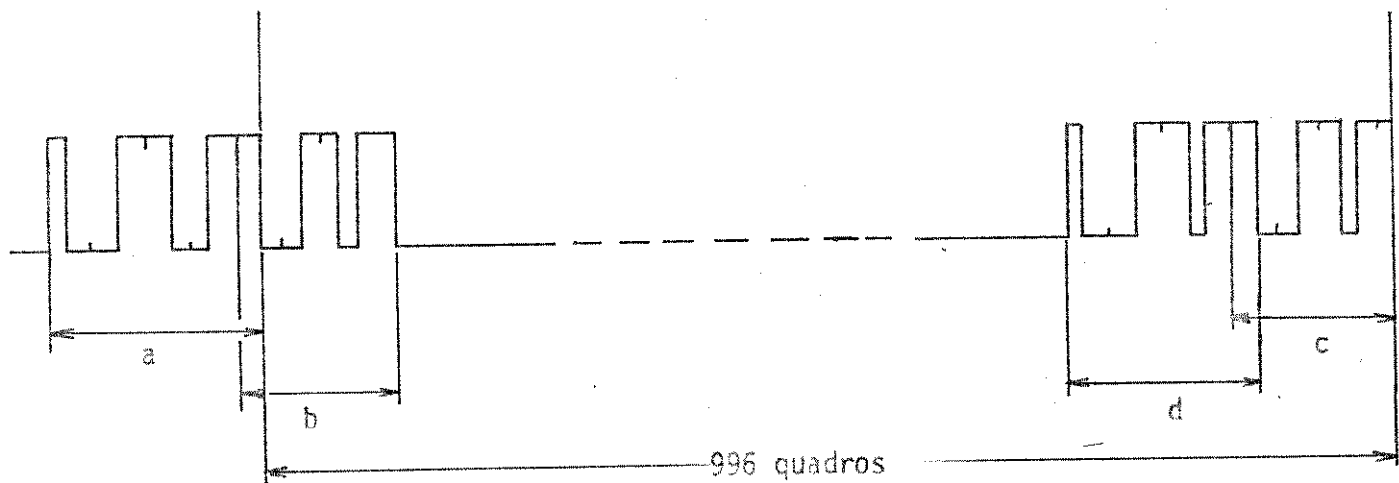
Pode-se realizar um atraso exato de $250 \mu\text{s}$, aplicando a saída do detetor de sincronismo a um "shift-register". Este registro deve ter uma capacidade de 512 bits (2 quadros). Registros desta capacidade são fabricados usando técnica MOS. Um registro conveniente para esta aplicação seria o FDNI96A ou o FDNI66A da Philips.

O caso de funcionamento fora de sincronismo, sem dar sinal de alarme, pode ocorrer quando uma combinação dando o sinal de sincronismo se repete. Suponha-se que o pulso gerado desta maneira se desloque de um tempo correspondente a um dígito a cada 2 quadros ($250 \mu\text{s}$). Isto significa que uma palavra igual a de sincronismo é obtida pela combinação dos dígitos de 2 canais. O pior caso ocorre - quando a palavra de sincronismo não é detetada por alguma razão (erro introduzido ao longo do meio de transmissão, por exemplo) e logo a seguir uma palavra igual a de sincronismo aparece. A primeira combinação possível é a que combina o último dígito da palavra de sincronismo com os sete dígitos seguintes. Na pior situação a palavra errada se deslocará dígito por dígito até que o último pulso dela coincida com o primeiro pulso da palavra de sincronismo certa. Deste ponto em diante o sincronismo correto é estabelecido. A palavra se deslocou de 498 dígitos como mostra o diagrama de tempo da Figura 4.7. Isto corresponderá a $498 \times 2 = 996$ quadros.

Precisa-se de mais dois quadros para se restabelecer o sincronismo correto. O tempo que o sistema não está sincronizado corresponde a 998 quadros, ou seja:

$$998 \times 125 \mu\text{seg} \approx 125 \text{ ms.}$$

Portanto, este é o maior tempo de procura do sincronismo do Sistema projetado. Normalmente, este tempo deverá ser bem menor.



- a : palavra de sincronismo não detetada
- b : primeira combinação possível detetada como sinc.
- c : palavra de sincronismo
- d : última combinação detetada como sinc.

Figura 4.7 Relação temporal das varias palavras obtidas por combinação.

O pulso de sincronismo Sq_p é utilizado agora para rearmar o contador de canais.

Do contador de canais podemos derivar o sinal Q_0 indicativo do término da contagem. Este sinal deve ocorrer juntamente com o pulso indicativo de sincronismo de quadro, e pode então ser aproveitado para gerar o alarme de sincronismo de quadro.

4.1.c - Alarme indicando falta de sincronismo de quadro no receptor

O alarme, conforme o CCITT, tem que ser dado depois de 4 falhas.

O sinal Q_0 é comparado com Sq_r e gera um sinal (A) a cada falta. Um contador por 4 solta um pulso (Al_{qr}) depois de 4 falhas. (Figura 4.8)

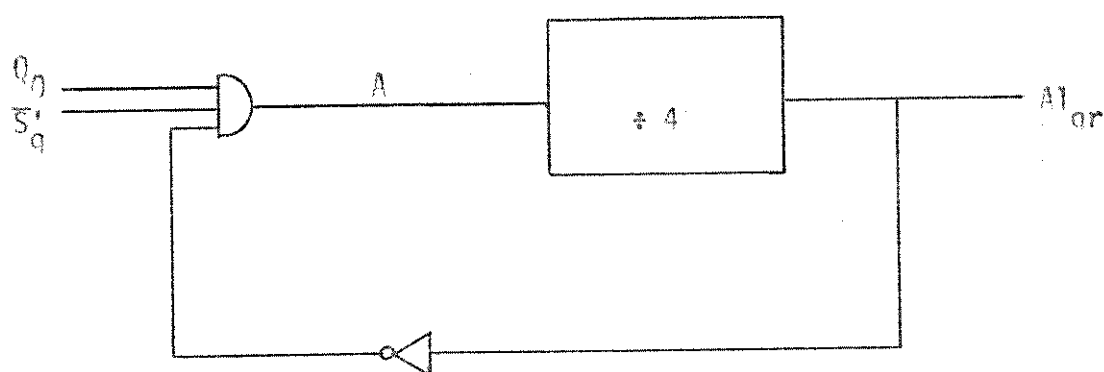


Figura 4.8 Gerador de alarme de quadro

O sinal de alarme Al_q agora é usado nos devidos lugares. Como depois de ter contado 4, um 5º pulso A rearmaria o contador, e assim o alarme, deve-se impedir que se gere este 5º pulso enquanto houver alarme. Isto se faz com um AND de 3 entradas onde a terceira será \overline{Al}_{qr} , como mostrados na Figura 4.8.

Porém, ao chegar uma palavra de sincronismo, o contador deve ser rearmado, o que não é possível com o circuito da Figura 4.8. Usa-se então o mesmo princípio, mas, com o circuito modificado da Figura 4.10

Na Figura 4.10 o contador de 4 é constituído de dois FF em cascata.

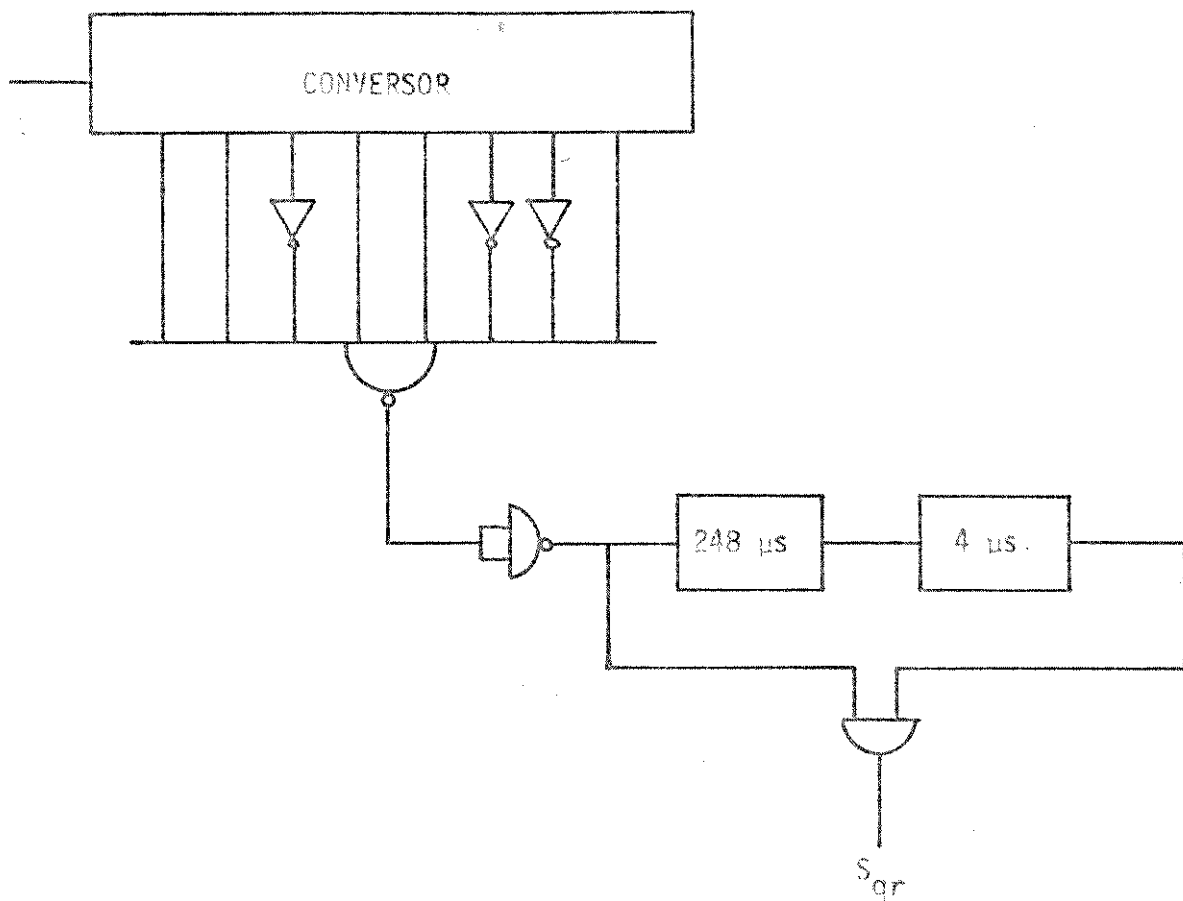


Figura 4.9 Detetor de sincronismo de quadro.

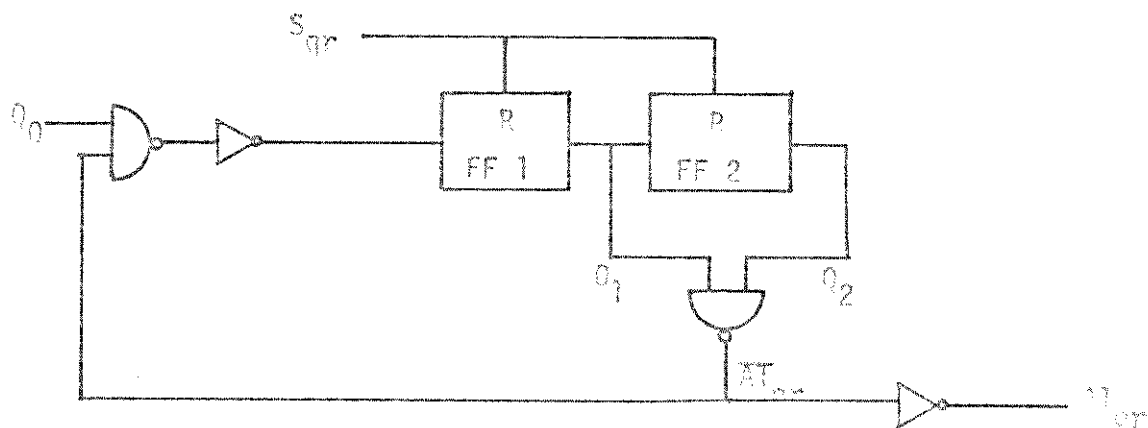


Figura 4.10 Gerador de alarme de quadro

e o alarme \bar{e} gerado a partir das duas saídas Q_1 e Q_2 dos FF numa operação NAND. A saída deste NAND é $\overline{A1}_{qr}$. Para rearmar, aplica-se S_{qr} na entrada "clear" dos FF. Com isto elimina-se a necessidade de aplicar o sinal S_{sqr} na terceira entrada AND da Figura 4.8 e ao mesmo tempo o alarme \bar{e} desligado quando o sistema funcionar normalmente.

A Figura 4.9 mostra o circuito de detecção de sincronismo de quadro.

4.1.d - Recomendações da CCITT

As ações em caso de alarme recomendadas pela CCITT são as seguintes:

No terminal local

- visualizar o alarme
- desligar os canais telefônicos no demultiplex
- aplicar a condição de sinalização " 1 " (ocupado) em todos os canais (este sinal será transmitido pelo transmissor do terminal local)
- enviar a palavra indicativa do alarme para o terminal - distante (conforme foi mostrado na Figura 2.5).

No terminal distante

- visualizar o alarme para poder retirar os circuitos de - feitosos.

4.2 - Realização do Circuito

O conversor série-paralelo é o 93164 da Fairchild, onde as

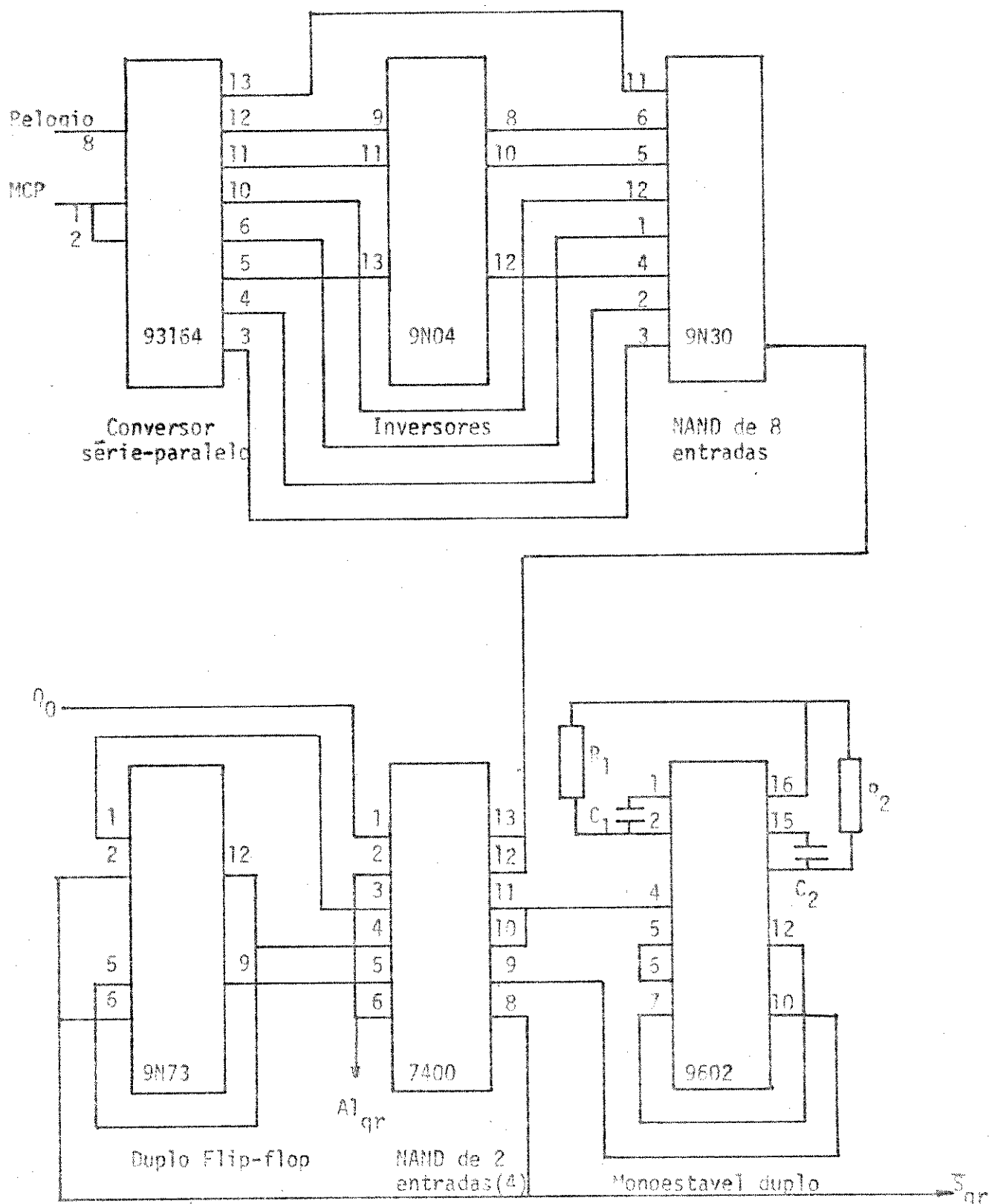


Figura 4.11 Circuito pratico do detetor de sincronismo e do gerador de alarme de quadro

entradas A e B estão ambas ligadas na linha. O "clear" não é utilizado.

Para inversão de dígitos utiliza-se o 9N04 (Hex inverter). A combinação lógica dos oito dígitos é feita num 9N30 (NAND gate de 8 entradas). As portas NAND de 2 entradas estão disponíveis num 9N00.

O atraso de 250 μ s é obtido com os 2 monoestáveis do C.I. 9602 (dual one-shot Fairchild).

A porta NAND de 3 entradas é o C.I. 9N10.

O contador por 4 é implementado com os 2 FF tipo JK do C.I. 9N73.

O circuito é mostrado na Figura 4.11

4.3 - Sincronismo de Superquadro

4.3.a - Deteção da palavra de sincronismo de superquadro e do alarme Al_{sq_t}

A palavra de sincronismo de superquadro ocorre no canal a e é da forma 0 0 0 0 1 0 1 1 no caso normal. O dígito D_{6r} pode ser 1, indicando a transmissão de alarme do outro terminal. Tem-se:

$$S_{sqr} = \overline{D_{1r}} \overline{D_{2r}} \overline{D_{3r}} \overline{D_{4r}} D_{5r} D_{7r} D_{8r} C_{ar}$$

$$Al_{sqt} = S_{sqr} \cdot D_{6r}$$

A detecção destas duas palavras será feita da maneira igual à determinação do sincronismo de quadro, ou seja, um conversor transforma o fluxo de dígitos que chega em série em palavras digitais extraídas em paralelo, sendo as saídas aplicadas num AND de 8 entradas. Aplica-se a onda C_{ar} na 8a. entrada. Isto nos garante que a palavra detetada é a palavra de sincronismo do superquadro. Aplicando S_{sq} e D_6 num AND de 2 entradas gera-se o sinal indicativo de alarme do outro terminal Al_{sq_t} como mostra a Figura 4.12.

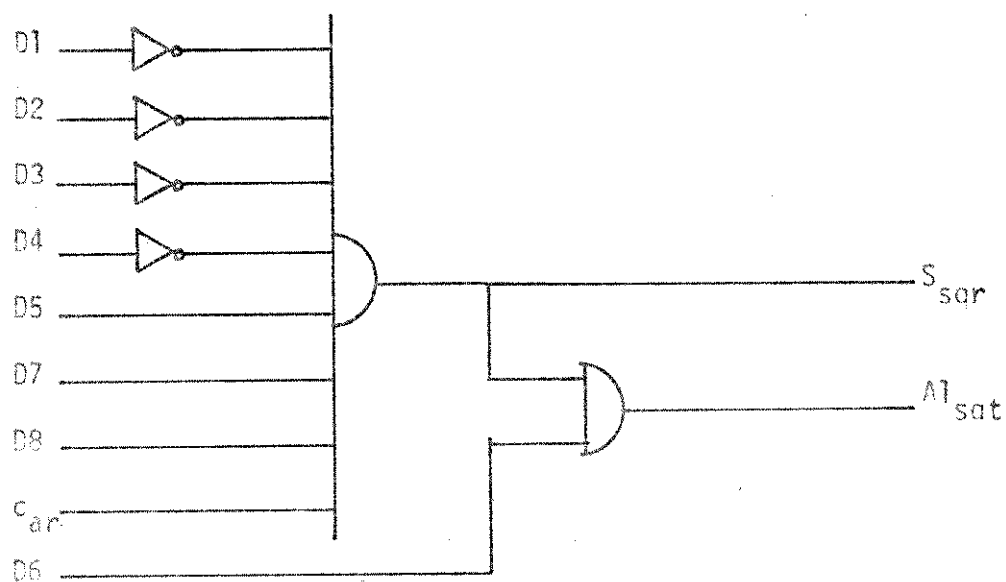


Figura 4.12 Detetor de sincronismo e de alarme de superquadro

4.3.b - Alarme de falta de sincronismo de superquadro

O alarme indicando falta de sincronismo de superquadro é gerado a partir de S_{sq} e s_{0r} . O sinal s_{0r} é obtido no contador de sinalização. (Ver - Tabela 3.3).

A combinação lógica (num AND) de s_{0r} e Ssq_r gerará um pulso a cada falha de sincronismo de superquadro. Este pulso gatilhará uma memória (FF) - que por sua vez acionará o alarme.

O sinal Ssq_r é um pulso de largura um pouco menor que 488 ns, ou seja, a largura 1 dígito, enquanto que s_{0r} é um pulso de largura correspondente a 4 dígitos ($4 \times 488,3$ ns). O alarme só pode ser dado quando ocorrer $\overline{Ssq_r}$.

A memória será armada por s_{0r} e rearmada por $s_{0r} \cdot Ssq_r$ ou seja, a memória não deve ficar atuada enquanto o sincronismo de superquadro chegar normalmente. Além disto, a memória não deve acionar o alarme se estiver atuada durante um tempo menor que o de 4 dígitos. Por isso o sinal da saída da memória é integrado e comparado com um nível de referência (Vide Figuras 4.13 e 4.14).

A Figura 4.14 mostra o caso normal, quando a palavra de sincronismo é detetada. A memória é armada no instante t_0 (saída 1 passa de "0" para "1"); no instante t_1 é detetada a palavra de sincronismo e a memória é desarmada (saída 1 passa de "1" para "0"). A integração da onda em (1) gera uma rampa positiva a partir de t_0 . A rampa será negativa a partir de t_1 . No caso de não ser detetada a palavra de sincronismo, a memória não será desarmada e a rampa continuará positiva. Ao chegar a um determinado limiar a onda (2) dispara um comparador que por sua vez gera o sinal de alarme. Isto é mostrado na Figura 4.15.

Com a volta ao funcionamento normal (detecção do sincronismo de superquadro) a memória será desarmada, o integrador gerará uma rampa negativa e ao chegar abaixo do limiar o alarme será desligado.

4.4 - Recomendações da CCITT

As ações a serem tomadas em caso de perda de sincronismo de superquadro são, seguindo as recomendações da CCITT:

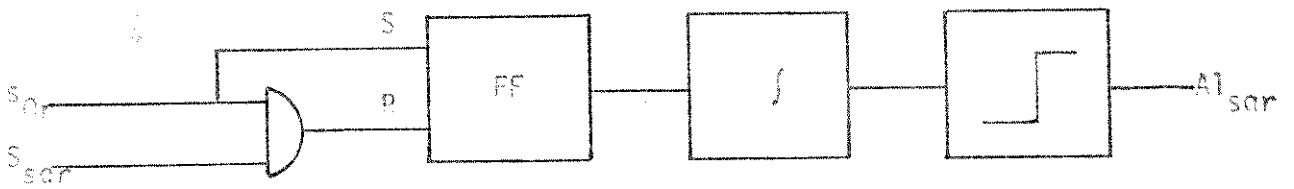


Figura 4.13 Gerador do alarme Al_{gr}

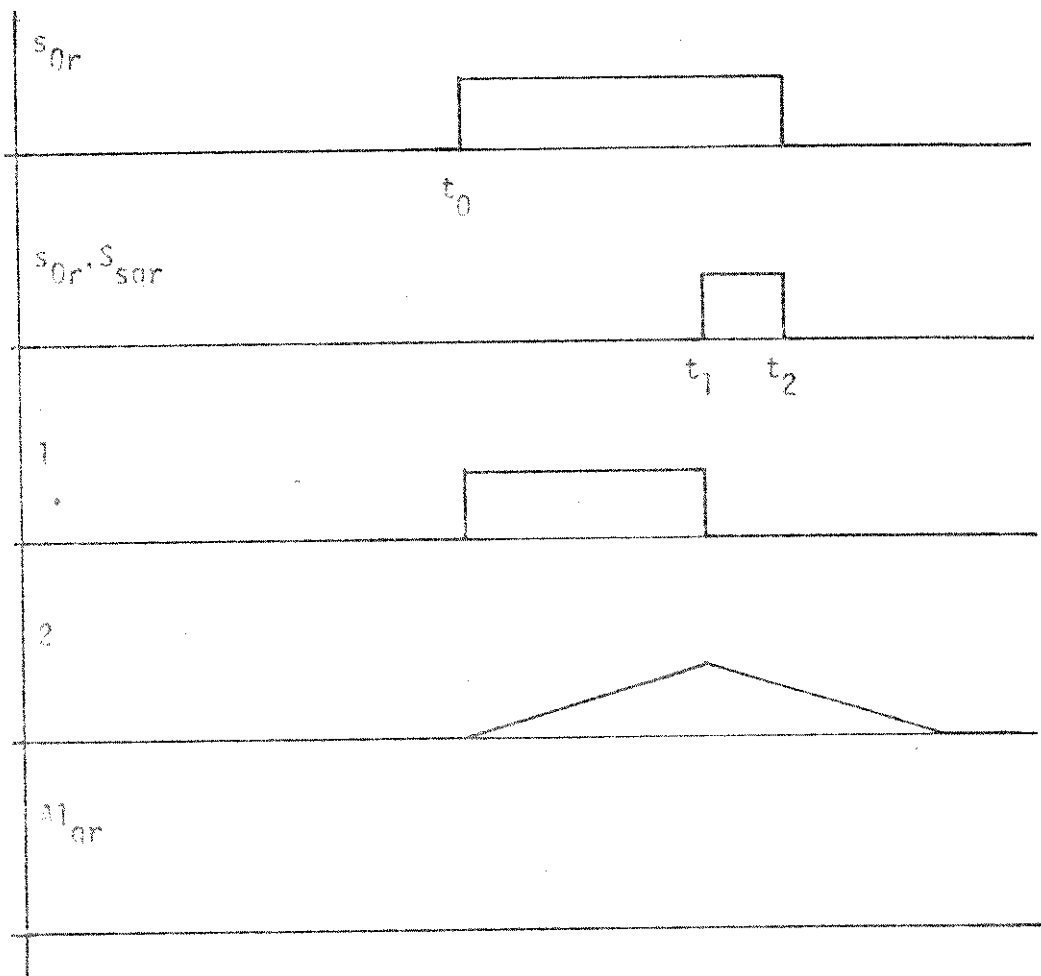


Figura 4.14 Varias ondas no gerador de alarme de superquadro no caso normal

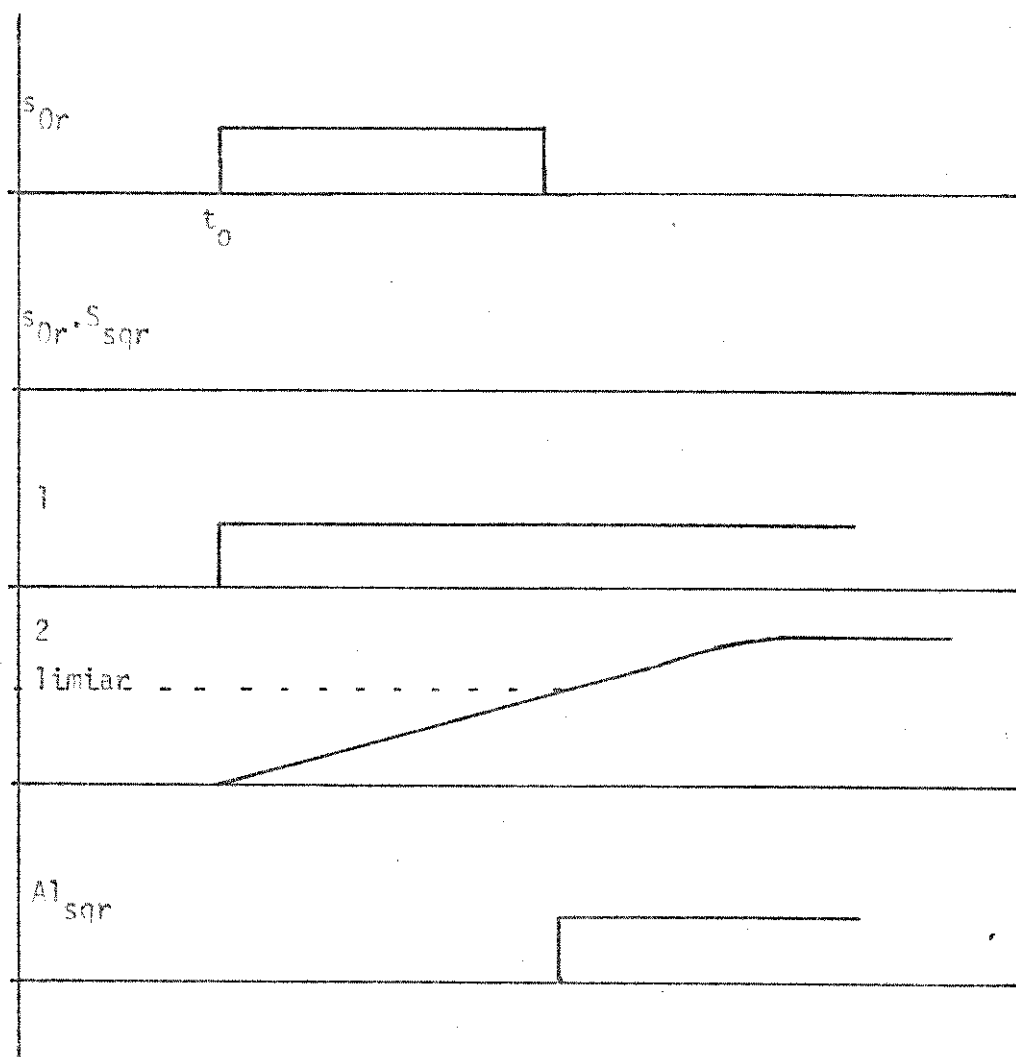


Figura 4.15 Varias ondas no gerador de alarme de superquadro no caso de alarme

No terminal local

- visualizar o alarme
- aplicar a condição "1" (ocupado) em todos os canais recebidos do terminal distante
- transmitir o alarme ao outro terminal mandando "1" no dígito 6 da palavra de sincronismo de superquadro

No terminal distante

Ao detectar o alarme Al_{sqt} deve-se tomar as seguintes providências:

- aplicar a condição de sinalização "1" (ocupado) a todos os canais recebidos do outro terminal
- visualizar o alarme

4.5 - Realização do Circuito

O conversor série-paralelo é o mesmo utilizado no detetor de sincronismo de quadro (C.I. 93164 da Fairchild). A combinação lógica é feita - num C.I. 9N30 e a inversão de dígitos é feita num C.I. 9N04. Para as portas de 2 entradas usa-se o 9N00. A memória é um dos 2 FF JK de um 9N73. A integração é feita com um RC de 0,4 ms [$R = 12\text{ K}\Omega$ e $C = 3,3\text{ nF}$]. A comparação é realizada por - meio de um diodo e do diodo base-emissor de um transistor, sendo que o sinal indicando falha de Ssq_r é obtido no coletor de um segundo transistor (Vide Figura 4.16).

4.6 - Circuito final do detetor de sincronismo e de alarme

O detetor de sincronismo de quadro e de superquadro, o gerador de alarme Al_{qr} e Al_{sqr} e o detetor de alarme Al_{sqt} são montados num cartão de circuito impresso "SINC 3", mostrado na Figura 4.17. A Tabela 4.1 mostra as várias - ligações no terminal do cartão. Todas as ligações foram feitas no verso do cartão.

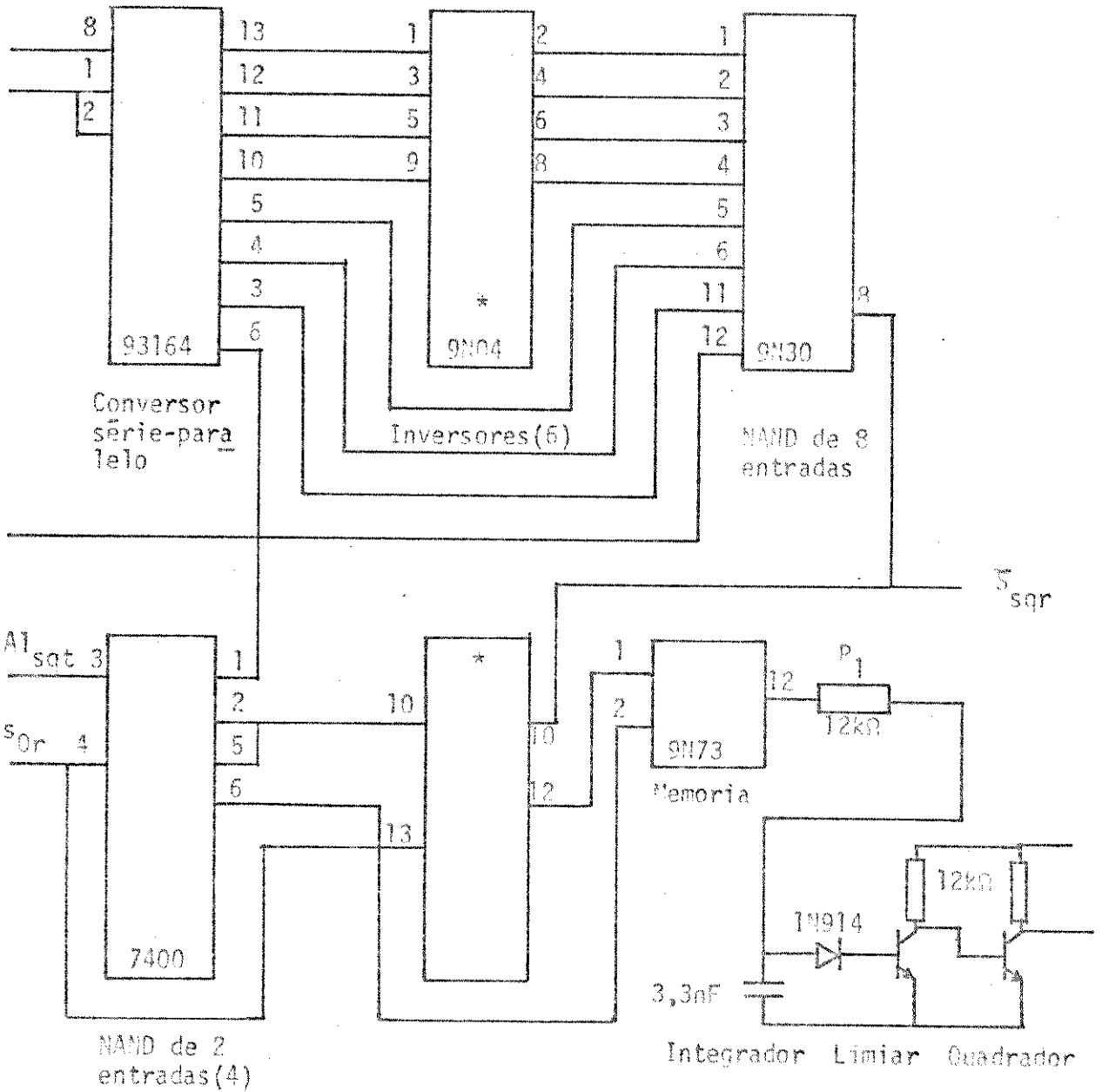


Figura 4.16 Circuito pratico do detetor de sincronismo e de alarme, e do gerador de alarme de superquadro.

CARTÃO SINC 1			
1 _v	-	12 _v	-
2 _v	0 ₀	13 _v	-
3 _v	$\overline{A1}_{sqr}$	14 _v	\overline{S}_{sqr}
4 _v	S_{sqr}	15 _v	-
5 _v	-	16 _v	\overline{AT}_{or}
6 _v	-	17 _v	\overline{C}_{ar}
7 _v	-	18 _v	-
8 _v	$A1_{sqr}$	19 _v	Relógio
9 _v	\overline{S}_{sqr}	20 _v	+5V
10 _v	-	21 _v	GND
11 _v	-	22 _v	MCP

Tabela 4.1 Ligações físicas no cartão SINC 3

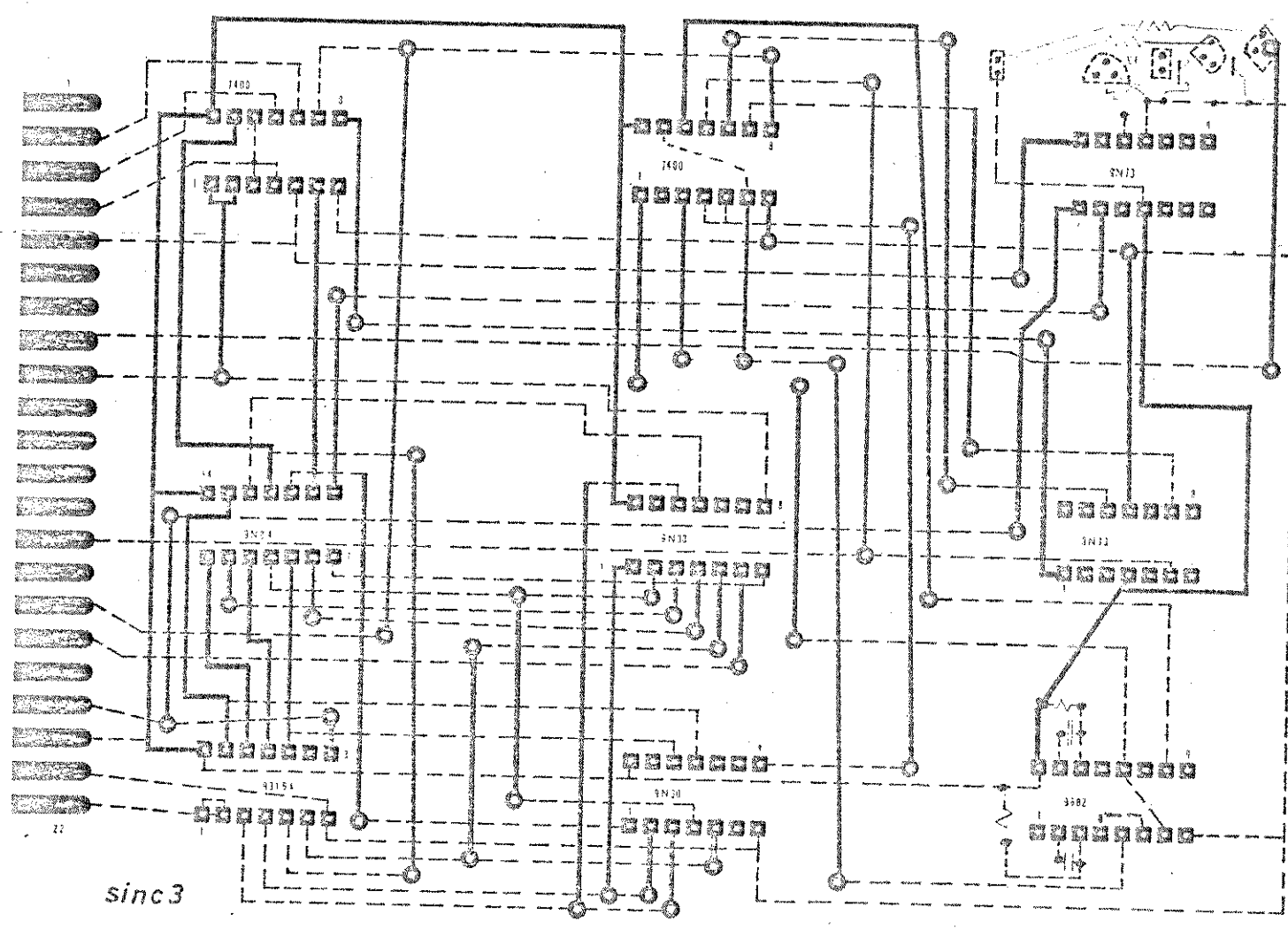


Figura 4.17 Cartão SINC 3.E mostrado a face dos componentes do cartão.
 As ligações da face verso são mostradas em pontilhado.

MEDIDAS E TESTES

5.1 - Introdução

Depois de montados, os três cartões foram testados. Foram efetuadas várias medidas de atraso e tiradas fotografias das várias formas de onda. As medidas revelaram que os circuitos integrados utilizados funcionam dentro das especificações do fabricante. Revelaram também que os atrasos são muito bem toleráveis pelo sistema MCP, o que prova que o conceito dos circuitos é adequado.

A referência para todas as medidas é a onda de relógio d_r . As medidas foram feitas com o osciloscópio HP 183A (mainframe), um amplificador vertical de quatro canais com banda de 200 MHz (HP 1834A) e uma base de tempo com atraso (HP 1841A) que tem uma resolução de 10 ns/div. As medidas foram confirmadas com o contador digital HP 5327B que tem uma resolução de 10^{-15} s.

As fotografias foram tiradas da tela do osciloscópio HP 182C - (mainframe) com amplificador vertical de dois canais com banda de 100 MHz (1805A) e uma base de tempo com expansão (100x) (HP 1824A) com resolução de 50 ns. Foi utilizado o filme PLUS-X-PAN (22DIN, 125 ASA), revelador MICRODOL-X e fixador da KODAK.

5.2 - As ondas d_{jr}

O atraso observado na onda d_{jr} é de 40 ns e na onda \bar{d}_{jr} de 50 ns. As fotos obtidas são mostradas nas Figuras 5.1 e 5.2.

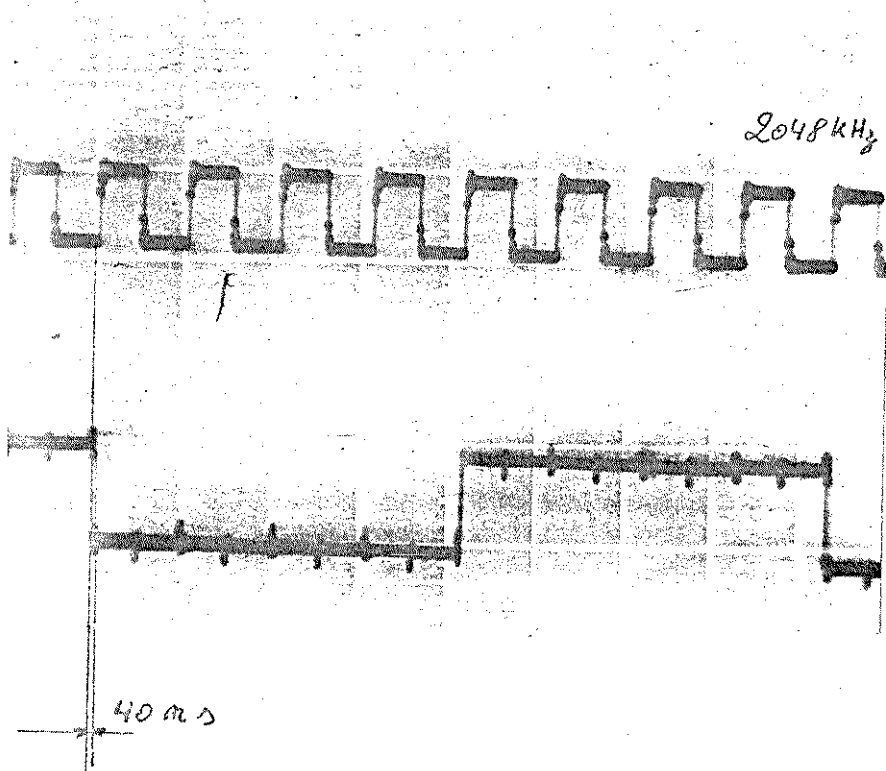


Figura 5.1

Onda d_g observada.
O relógio d_r é a onda superior.

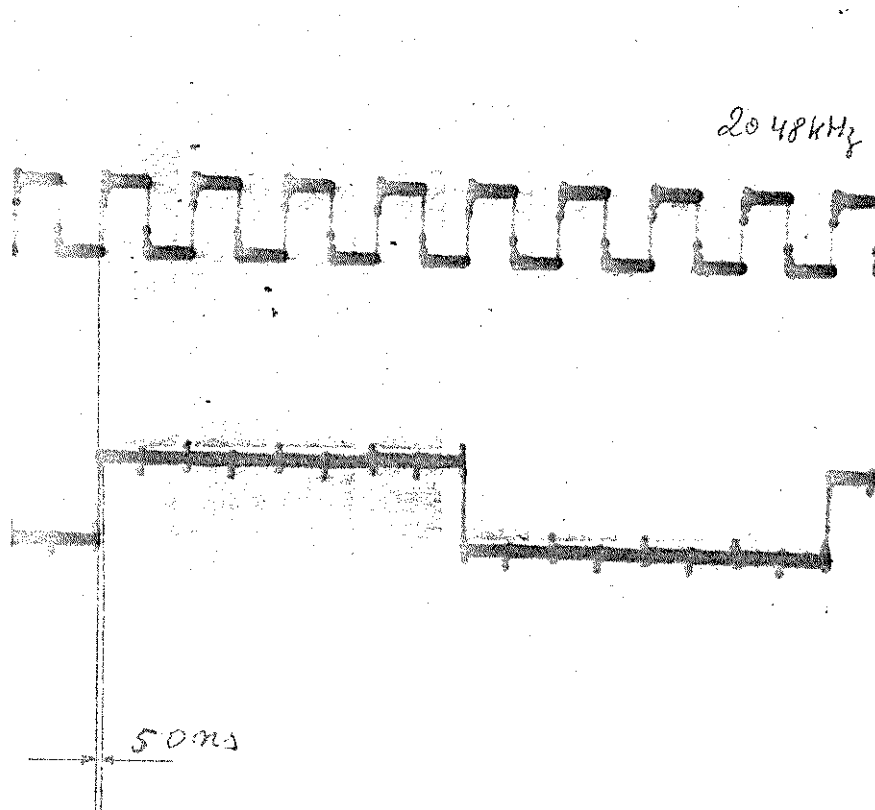


Figura 5.2

Onda \bar{d}_{gr} observada.
O relógio d_r é a onda superior.

5.3 - As ondas c_{ir} e PEc

O atraso observado em relação a d_r é de 70 ns. A largura do pulso PEc corresponde a 4 dígitos, de acordo com o projeto.

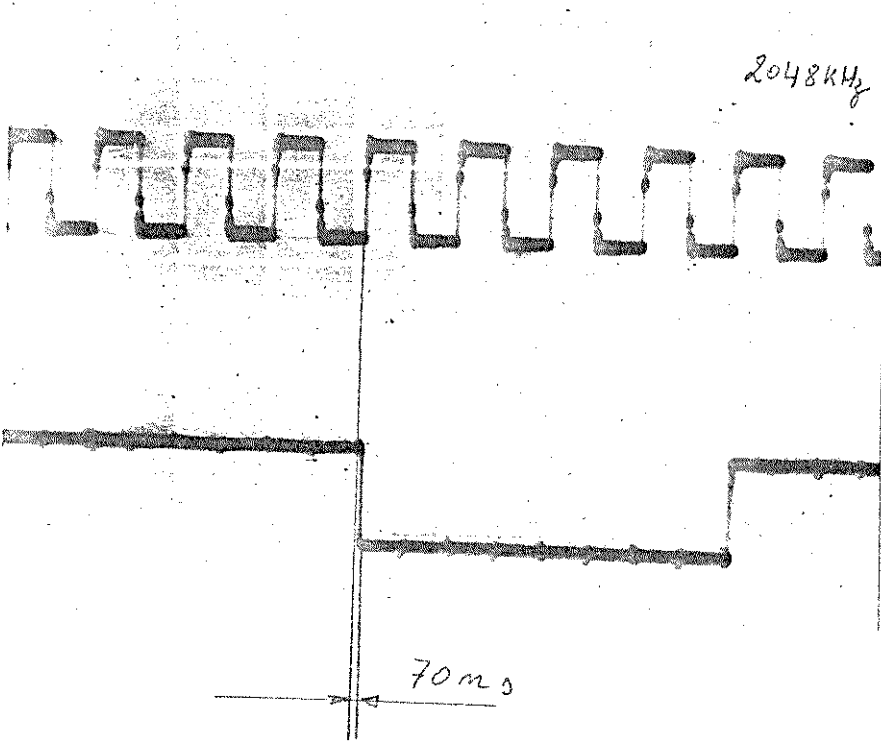


Figura 5.3

Onda PEc que controla o decodificador 1-32 da Figura 3.11.

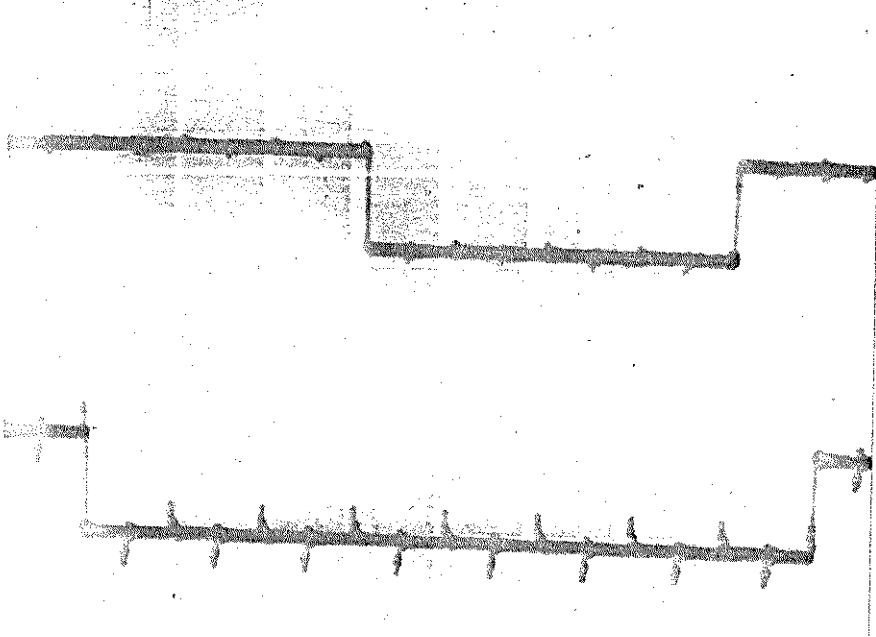


Figura 5.4

Onda c_{ir} do canal i . Ela ocorre 3 dígitos depois de iniciada a janela do canal e termina 1 dígito antes de a janela se fechar.

5.4 - As ondas c_{ar} e c_{br}

O atraso observado \bar{e} de 50 ns para ambas as ondas. A Figura - mostra as ondas d_r , c_{ar} e c_{ir} onde i corresponde a 16a. janela (canal a).

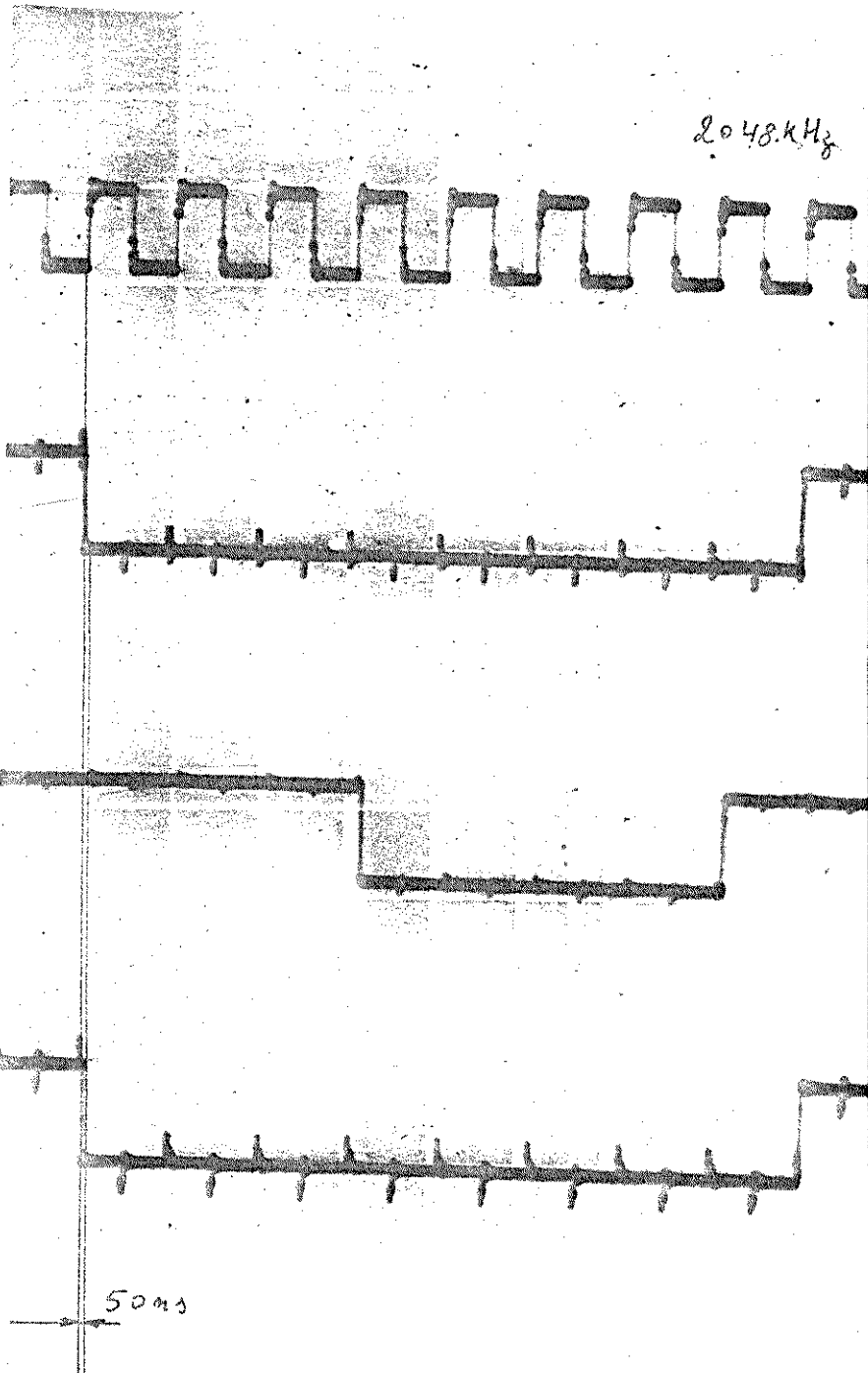


Figura 5.5

Onda \bar{c}_{ar} observada.

O relógio d_r \bar{e} a onda su perior.

Figura 5.6

Onda \bar{c}_{ir} observada.

O índice i corresponde a 16a. janela.

A onda de canal de sinalização (Canal a) c_{ar} \bar{e} mostrada acima e ainda a onda porta de canal que ocorre na mesma janela de tempo. Observe que esta última onda não \bar{e} usada no sistema. Ela \bar{e} mostrada para referência.

5.5 - As ondas c_{ir} , \overline{PEm} , PCm

Os atrasos observados são de 60 ns para \overline{PEc} , 50 ns para \overline{PEm} e 40 ns para PCm .

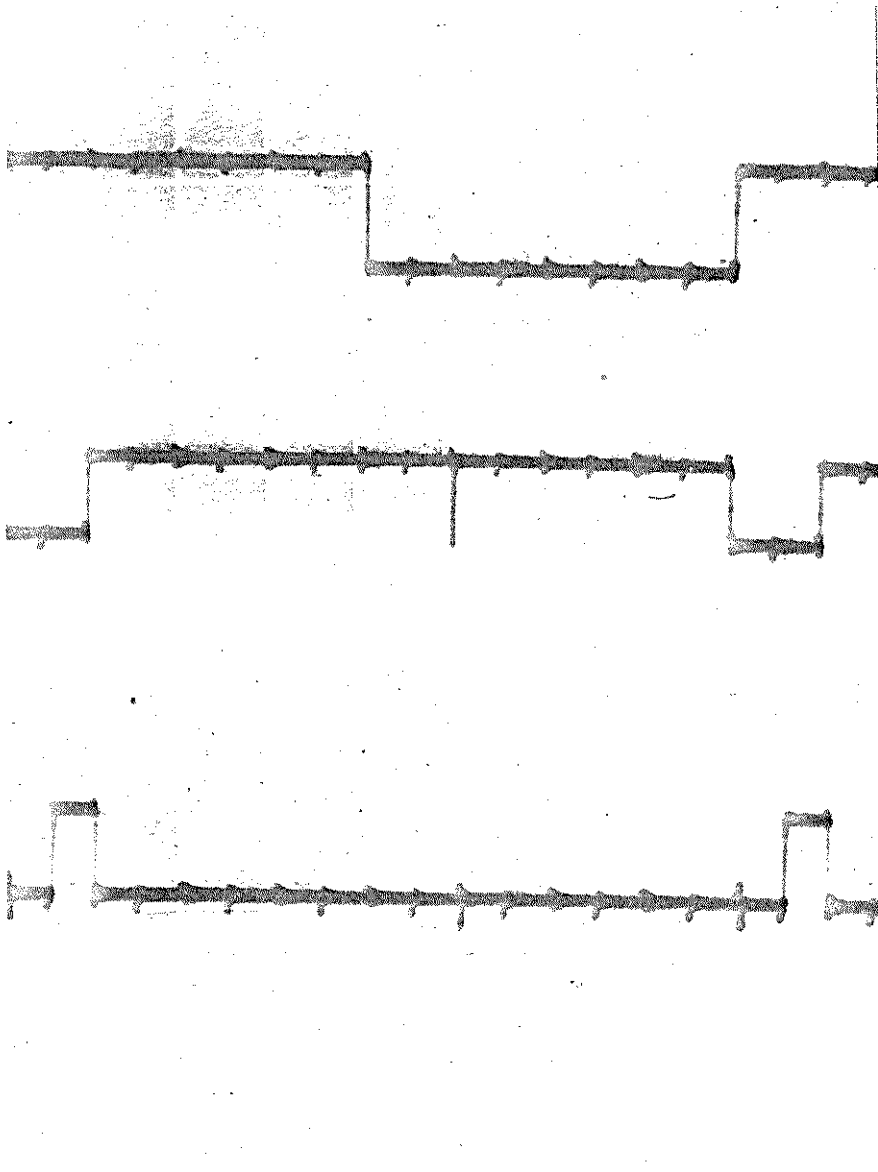


Figura 5.7

A onda de cima é a onda $\overline{c_{ir}}$
A onda do meio é a onda \overline{PEm}
A onda de baixo é a onda PCm

\overline{PEm} ocorre durante o último dígito de um canal e é o responsável pela distribuição das entradas da memória do decodificador. PCm ocorre durante o último meio dígito do canal e carrega a memória.

5.6 - As ondas \bar{s}_{ir}

O atraso observado \bar{e} de 70 ns e a largura do pulso corresponde a 4 dígitos.

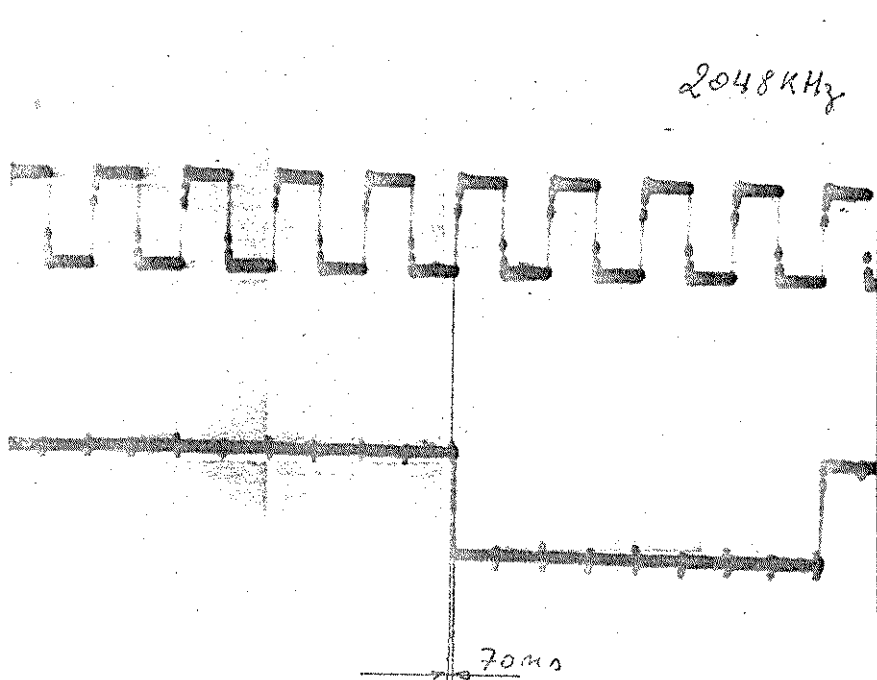


Figura 5.8

Onda controladora da porta de sinalização \bar{s}_{ir} .

A onda de cima \bar{e} a onda d_r .

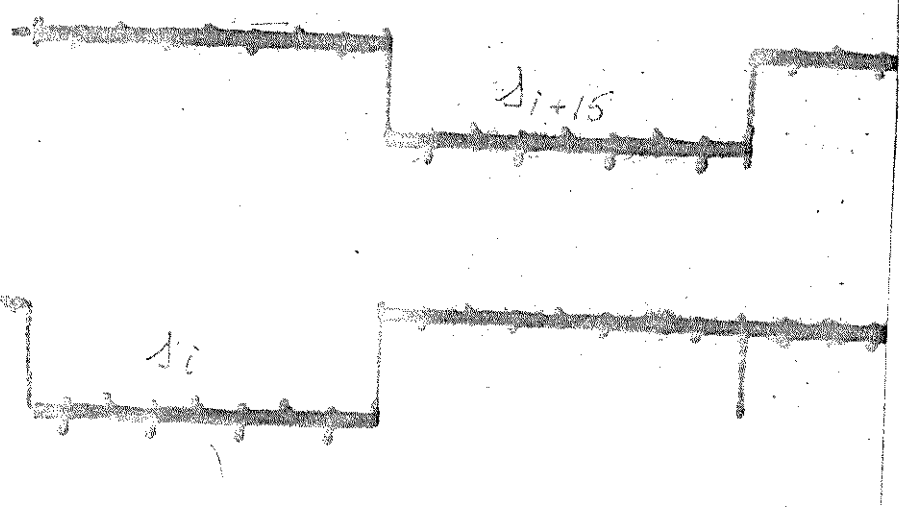


Figura 5.9

Onda controladora da porta i e $(i + 15)$

5.7 - Os pulsos de sincronismo \overline{S}_q e \overline{S}_{sq}

Os atrasos observados são de 70 ns em ambos os casos e a largura dos pulsos corresponde a 1 dígito. Nas figuras que se seguem são mostradas somente as ondas S_q pois S_{sq} é idêntica, somente ocorrendo em lugar diferente (de 16 em 16 quadros).

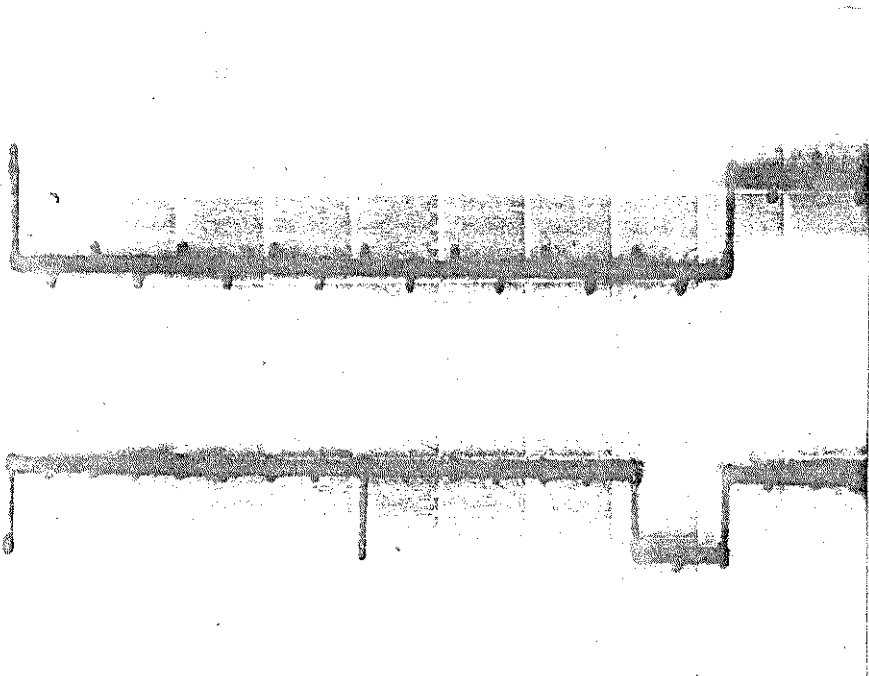


Figura 5.10

Onda \overline{c}_{br} e a correspondente -
onda de sincronismo de quadro
 \overline{S}_{qr}

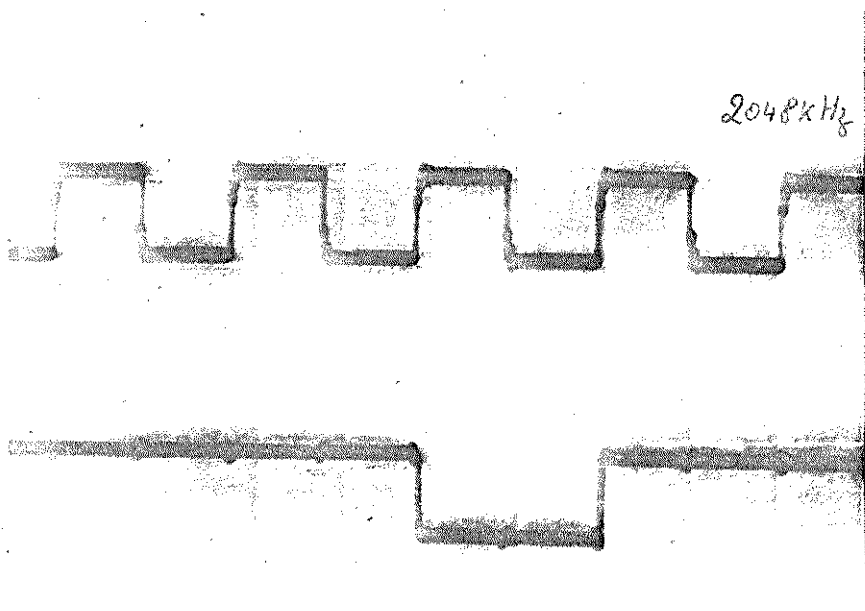


Figura 5.11

Onda \overline{S}_{qr} observada. A onda de
de cima é a onda d_r .

5.8 - Os alarmes

O sinal de alarme \overline{AI}_{qr} é gerado após receber 8 quadros consecutivos sem detecção da palavra de sincronismo. O sinal permanece "0" durante pelo menos 250 μ s. O sinal de alarme \overline{AI}_{qt} é um pulso com largura correspondente a 1 dígito e sofre um atraso de 10 ns na detecção. O sinal de alarme AI_{sqr} é gerado 8 μ s depois da detecção da primeira falha (este atraso é introduzido pelo integrador da Figura 4.13). O sinal de alarme \overline{AI}_{sqt} é gerado ao mesmo tempo que o sinal \overline{S}_{sq} e apresenta um atraso de 10 ns em relação a este último. Este sinal é um pulso com largura correspondente a 1 dígito. Todas estas ondas foram observadas em Laboratório e os respectivos atrasos são aqueles estabelecidos acima. Porém, neste caso não é possível mostrar-se as ondas medidas pois ao ocorrer um sinal de alarme, as ondas AI_{qr} e AI_{sqr} ficam somente em um estado.

5.9 - Conclusões

Neste trabalho conceituou-se um sistema de controle e sincronismo de um sistema multiplex de 30 canais telefônicos que utiliza técnica de modulação por codificação de pulsos (MCP). O processo de transmissão faz uso de dois canais adicionais onde as ondas de controle, sincronismo e supervisão são enviadas agrupadamente (Recomendação CCITT G.711, Mar Del Plata 1968; COM Sp.D-Nº 132-E).

Todo o sistema de obtenção dos sincronismos e das ondas de controle foi projetado tendo-se como preferência a utilização de circuitos integrados modernos. De fato, os projetos apresentados nos Capítulos 3 e 4 foram montados em três cartões de circuito impresso e num pequeno volume obtem-se 70 ondas de controle e duas de sincronismo.

Os três cartões de circuito impresso foram interligados e funcionaram a contento, produzindo atrasos que estão bem abaixo dos limites suportáveis pelo sistema. Isto é, os atrasos constatados não introduzirão nenhum erro na dete -

ção dos canais e dos dígitos correspondentes.

No sistema MCP a ser montado, as ondas de controle de canal de verão ser fisicamente levadas aos circuitos de canal onde estarão localizadas as -
chaves analógicas de cada canal. As ondas de controle de sinalização deverão ir pa-
ra um conversor de sinalização, que produzirá na saída de cada canal de voz a sina-
lização adequada para a central telefônica em uso. As ondas de controle do decodi-
ficador vão, obviamente, para o decodificador, juntamente com a onda de relógio. E
finalmente as ondas de alarme deverão ser utilizadas para gerar sinais luminosos -
no painel do equipamento terminal e gerar ondas de alarmes que desligarão os canais
telefônicos.

REFERÊNCIAS

1. Millman and Taub : "Pulse, Digital and Switching Waveforms ", McGraw-Hill New York 1967.
2. Fairchild Semiconductor Handbook, 1973.
3. The TTL Databook, Texas Instruments, 1973.
4. Philips Data Handbook, 1971.
5. Recomendações CCITT G.711, Mar Del Plata, 1968, COM. Sp. D-Nº 132-E.
6. Scarabucci, R. R. et al, "Sistemas de Comunicações por Amostragem", Publicação FEC 04/73.
7. Scarabucci, R. R. e Yin, K. K., "Projeto de um CODEC Não Linear para Sistema Multiplex MCP de 30 Canais Telefônicos", Publicação FEC 03/74.