

ERRATA

Pg.	linha	onde se lê	lê-se
3.3	legenda (fig. 3.2.a)	(término)	(têrmico)
3.12	3	$V_G - V_{SUB}$	$V_G - V_{FB} - V_{SUB}$
5.5	legenda (figs. 5.4 e 5.5)	$V_{SUB} = -2.5 \text{ V}$	$V_{SUB} = 0 \text{ V}$
5.17	8	comprimento e canal	comprimento e largura grandes de canal
5.17	11	0085 V^{-1}	0.085 V^{-1}
5.28	legenda (fig. 5.23)	diferentes valores de V_{GS}	diferentes valore de V_{SUB}
5.32	legenda (fig. 5.25)	$V = - 5.0 \text{ V}$	$V_{SUB} = - 5.0 \text{ V}$
5.34	legenda (fig. 5.29)	$Z_{eff} = 3.0 \text{ } \mu\text{m}$	$Z_{eff} = 30.0 \text{ } \mu\text{m}$
5.47	legenda (fig. 5.40)	$\theta_1 = 0.15 \text{ V}$ $\theta_2 = 0.02 \text{ V}$	$\theta_1 = 0.15 \text{ V}^{-1}$ $\theta_2 = 0.02 \text{ V}^{-1}$
5.48	legenda (fig. 5.41)	$\theta_2 = 0.02$	$\theta_2 = 0.02 \text{ V}^{-1}$
5.48	legenda (fig. 5.42)	$\theta_2 = 0.02$	$\theta_2 = 0.02 \text{ V}^{-1}$
B1	13	Ni_2O_3	N_4Si_3

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA DE CAMPINAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

*Este exemplar corresponde a
redação final da tese defendida
por Jader Alves de Lima Filho
e aprovada pela Comissão
Julgadora em 30/03/84.*

Alberto Martins Jorge

PROJETO E FABRICAÇÃO DE UMA MEMÓRIA RAM
DINÂMICA UTILIZANDO PROCESSO NMOS

JADER ALVES DE LIMA FILHO

014/84

Orientador:
ALBERTO MARTINS JORGE

Tese apresentada à Faculdade de Engenharia de Campinas, da Universidade Estadual de Campinas - UNICAMP, como parte dos requisitos exigidos para a obtenção do título de Doutor em Eng^a Elétrica

- MARÇO 1984 -

UNICAMP
BIBLIOTECA CENTRAL

A

Meu pai,

JADER ALVES DE LIMA

Minha mãe,

MARIANA B. ALVES DE LIMA

Minha esposa,

NEUSA ALVES DE LIMA

Meu filho,

FÁBIO ALVES DE LIMA

Este trabalho foi realizado com o apoio financeiro das seguintes entidades:

- Financiadora de Estudos e Projetos - FINEP*
- Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPq*
- Conselho Britânico*
- Telecomunicação Brasileiras S.A. - TELEBRÁS*

'My good boy!' The Director wheeled sharply round on him. 'Cant't you see? Can't you *see*?' He raised a hand; his expression was solemn. 'Bokanovsky's Process is one of the major instruments of social stability!'

Major instruments of social stability.

Standard men and women; in uniform batches. The whole of a small factory staffed with the products of a single bokanovskified egg.

'Ninety-six identical twins working ninety-six identical machines!' The voice was almost tremulous with enthusiasm. 'You really know where you are. For the first time in history'. He quoted the planetary motto. 'Community, Identity, Stability'. Grand words. 'If we could bokanovskify indefinitely the whole problem would be solved'.

Solved by standard Gammas, unvarying Deltas, uniform Epsilons. Millions of identical twins. The principle of mass production at last applied to biology.

From Aldous Huxley's "Brave New World".

AGRADECIMENTOS

Ao Prof. Dr. Alberto Martins Jorge, pelo incentivo e proveitosas discussões.

Ao Prof. Dr. John M. Robertson, Coordenador do Edinburgh Micro fabrication Facility, pelas facilidades oferecidas para a realização da parte experimental deste trabalho.

Ao Prof. Dr. Furio Damiani, Coordenador do Laboratório de Eletrônica e Dispositivos, pelas condições necessárias à realização deste trabalho.

Ao Prof. Dr. Anthony J. Walton, pelo auxílio na utilização do sistema Keitley/300, em Edimburgo.

À Srta. Irene Chiqueto pela paciente datilografia e às desenhistas Maria Auxiliadora Mazotini e Lúcia Cardoso pelo minucioso serviço prestado.

A todos os colegas do Laboratório de Eletrônica e Dispositivos que, direta ou indiretamente, contribuíram para a realização deste trabalho e que, involuntariamente, foram esquecidos.

Em especial, à minha esposa Neusa, pela dedicação e zelo, sem o que este trabalho não teria sido realizado.

RESUMO

O objetivo deste trabalho consiste no projeto e fabricação de uma memória de leitura e escrita ("Random Access Memory") dinâmica, particionada em módulos elementares, utilizando o processo NMOS, porta de Silício policristalino, disponível no Edinburgh Microfabrication Facility, Universidade de Edimburgo, Escócia. Um modelo experimental para transistores MOS, modo enriquecimento e depleção, considerando os efeitos devido a pequenas dimensões de canal, é também apresentado.

O capítulo I é uma introdução às memórias a semicondutor e suas aplicações. Algumas tendências e opções no projeto de subsistemas RAM dinâmicas, com tecnologia MOS, em escala VLSI, são descritas.

No capítulo II é apresentado o particionamento do subsistema de 1024 bits em unidades elementares, tais como interfaces de entrada e saída, circuitos decodificadores, amplificadores sensores e unidades de controle. Os diagramas ("timing") dos ciclos de leitura, escrita e leitura/escrita são também mostrados.

No capítulo III tem-se o modelamento da célula básica da memória, bem como considerações sobre os modos de transferência de carga e a influência das correntes de fuga e subcondução no tempo de reescrita da informação na célula.

No capítulo IV tem-se o projeto dos módulos elementares nos quais a memória foi particionada. Simulações realizadas com o programa MSINC são também mostradas, constituindo-se em uma pré-avaliação do desempenho dos circuitos projetados. Assim, é previsto, para o referido subsistema, um tempo de ciclo de 700 ns, um tempo de acesso de 450 ns e um período máximo de reescrita de 1 ms. No caso de uma integração de todas as partes elementares, estima-se em 6 mm x 6 mm a área de Silício requerida pela memória de 1024 bits.

No capítulo V é apresentado o modelo GMOS, que descreve o comportamento de transistores MOS, modo enriquecimento e depleção, nas condições usuais de polarização, considerando os efeitos devido a pequenas dimensões de canal. Os resultados teóricos são comparados com os obtidos experimentalmente, podendo ser constatado um erro médio inferior a 10%.

No capítulo VI são apresentados os resultados experimentais pro

venientes da caracterização dos módulos elementares da memória de 1024 bits, os quais sugerem ter-se alcançado uma condição aceitável de projeto. As conclusões referentes ao trabalho teórico e experimental desenvolvido são apresentados no capítulo VII, sendo ainda sugeridas alternativas no sentido de um melhor desempenho do subsistema projetado, tanto a nível de controle interno, como de disposição dos módulos na definição do lay-out. A possibilidade de redução do valor da tensão de alimentação V_{DD} , de 12.0 V para 7.0 V, ou mesmo 5.0 V, é também analisada.

ABSTRACT

This work aims to design and fabricate a 1024 bits dynamic Random Access Memory divided in elementary blocks, with a poly - Silicon-gate NMOS process available in the Edinburgh Microfabrication Facility, Edinburgh University, Scotland. A geometry dependent model based on fitting parameters, for both enhancement and depletion small-sized MOSFET'S is presented as well.

Chapter I is an introduction to semiconductor memories and their applications. Some possibilities and alternatives in designing VLSI dynamic RAM's are also discussed.

The memory splitting in elementary blocks (input/output interfaces, decoders, sense amplifiers, control units), is shown in chapter II, as well as the timing referred to the read, write and read-modify-write cycles.

In chapter III one has the elementary memory cell modeling and considerations about charge-transferring modes and refresh period dependence on leakage and subthreshold currents.

Chapter IV shows the elementary blocks design and simulated results from MSINC (Modular Simulator for Non-Linear Electronic Circuits) program, corresponding to an advanced performance of the designed circuits. Some figures like a 700 ns cycle time, a 250 ns access time and a 1 ms maximum refresh period have been foreseen. In case of an overall elementary blocks integration the expected area required by the 1024 bits memory is approximately 6 mm x 6 mm.

In chapter V is presented a geometry dependent model for both enhancement and depletion MOSFET's (GMOS) taking in account small-sized channel effects. The good agreement between theoretical and experimental results exhibits an average error lower than 10%.

Chapter VI shows the experimental results from the elementary blocks measurements which suggest an acceptable design level reached. Some conclusions about the theoretical and experimental results end this work in chapter VII, as well as alternatives to improve the memory performance by changing the inner control unit structure and the elementary blocks placement in the lay-out. A possibility of reducing the power supply voltage from 12.0 V to 7.0 V, or even 5.0 V, is analysed as well.

ÍNDICE

I.	INTRODUÇÃO	1.1
1.1.	Memórias a Semicondutor	1.1
1.2.	Subsistemas RAM Estáticos	1.3
1.3.	Subsistemas RAM Dinâmicos	1.3
1.4.	Tendências e Opções de Projeto de Subsistemas RAM Dinâmicos em Escala VLSI	1.5
1.4.1.	Organização Interna	1.6
1.4.2.	Redundância	1.8
1.4.3.	Auto-Polarização de Substrato	1.9
1.4.4.	Células com Maior Capacidade Armazenadora	1.9
1.4.5.	Linhas com Baixa Resistividade	1.10
1.4.6.	Transistores com Dimensões de Canal Reduzidas ...	1.12
II.	DESCRIÇÃO DO SUBSISTEMA	2.1
2.1.	Particionamento da Memória em Módulos Elementares	2.1
2.2.	Diagrama de Ciclos ("Timing")	2.3
III.	MODELAGEM DA CÉLULA BÁSICA DA MEMÓRIA	3.1
3.1.	Apresentação da Célula Básica de Memória	3.1
3.2.	Modelagem da Célula Básica de Memória	3.4
IV.	PROJETO DA MEMÓRIA RAM DINÂMICA DE 1024 BITS	4.1
4.1.	Considerações a Respeito do Modelamento dos Parâmetros de Projeto	4.1
4.1.1.	Expressões Elétricas Básicas do Transistor MOS (TECMOS)	4.1
4.1.2.	Tempo de Subida do Inversor	4.3
4.1.3.	Tempo de Descida do Inversor	4.3
4.1.4.	Potência Dissipada	4.4
4.1.5.	Tensão de Limiar	4.6
4.1.6.	Mobilidade Superficial	4.6
4.2.	Projeto da Interface de Entrada dos Endereços	4.8

4.3	Projeto do Circuito Gerador de Fases para a Interface de Entrada de Endereço e Circuito Decodificador	4.16
4.4	Projeto do Circuito Decodificador	4.22
4.5	Projeto da Interface de Entrada e Saída de Dados	4.27
4.6	Projeto do Amplificador Sensor	4.30
4.6.1	A Prê-Detecção e Suas Vantagens	4.30
4.6.2	Sensibilidade do Amplificador Sensor	4.36
4.7	Projeto da Unidade de Controle	4.43
4.8	Estimativa da Eficiência de Transferência e do Período de Reescrita da Memória	4.49
V.	GMOS: UM MODELO PARA TRANSISTORES MOS INCLUINDO EFEITOS DEVIDO A PEQUENAS DIMENSÕES DE CANAL	5.1
5.1	Modelamento de Transistores Modo Enriquecimento	5.2
5.1.1	Tensão de Limiar para $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$	5.2
5.1.1.1	Fator de Corpo	5.2
5.1.1.2	Tensão de Limiar para $V_{SUB} = 0 \text{ V}$ e $V_{DS} = 0.1 \text{ V}$	5.4
5.1.2	Tensão de Limiar para $V_{DS} \gg 0.1 \text{ V}$	5.6
5.1.2.1	Tensão de Limiar na Região Triodo	5.6
5.1.2.2	Tensão de Limiar na Saturação	5.10
5.1.3	Capacitância Efetiva de Porta	5.12
5.1.4	Mobilidade Superficial	5.16
5.1.4.1	Dependência da Mobilidade com o Campo Elétrico Vertical	5.16
5.1.4.2	Dependência da Mobilidade com o Campo Elétrico Longitudinal	5.18
5.1.5	Modulação de Canal	5.22
5.1.6	Características $I_D \times V_{DS}$	5.28
5.2	Modelamento de Transistores Modo Depleção	5.35
5.2.1	Tensão de Limiar para $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$	5.35
5.2.1.1	Fator de Corpo	5.35
5.2.1.2	Tensão de Limiar para $V_{SUB} = -1.0 \text{ V}$ e $V_{DS} = 0.1 \text{ V}$	5.36
5.2.2	Tensão de Limiar para $V_{DS} \gg 0.1 \text{ V}$	5.38
5.2.3	Capacitância Efetiva de Porta	5.38

5.2.4	Mobilidade Superficial	5.39
5.2.4.1	Dependência da Mobilidade com o Campo Elétrico Vertical	5.39
5.2.4.2	Dependência da Mobilidade com o Campo Elétrico Longitudinal	5.42
5.2.5	Modulação de Canal	5.43
5.2.6	Características $I_D \times V_{DS}$	5.43
VI.	RESULTADOS EXPERIMENTAIS DOS MÓDULOS ELEMENTARES DA MEMÓRIA RAM DINÂMICA DE 1024 BITS	
6.1	Caracterização dos "Drivers"	6.2
6.2	Caracterização da Interface de Entrada e Saída de Dados..	6.5
6.3	Caracterização do Circuito Controlador da Interface de Endereços e Decodificador	6.8
6.4	Caracterização da Interface de Endereços	6.10
6.5	Caracterização do Circuito Decodificador	6.13
6.6	Caracterização da Unidade de Controle	6.14
6.7	Teste de Leitura e Escrita na Célula de Memória	6.17
VII.	CONCLUSÕES E CONSIDERAÇÕES FINAIS	7.1
7.1	Considerações Sobre o Projeto da Memória de 1024 Bits ..	7.1
7.2	Considerações Sobre o Modelo GMOS	7.6
APÊNDICE A	REGRAS DE PROJETO	A.1
APÊNDICE B	SÍNTESE DAS ETAPAS DO PROCESSO DE FABRICAÇÃO	B.1
REFERÊNCIAS	R.1

LISTA DE SÍMBOLOS

C_{ox}	capacitância do óxido de porta, por unidade de área
$C_{Si/C}$	capacitância do Si-poli sobre o óxido do campo, por unidade de área
$C_{Al/C}$	capacitância do Alumínio sobre o óxido de campo, por unidade de área
C_{jun}	capacitância de junção, por unidade de área
C_g	capacitância de porta do transistor MOS (TECMOS)
C_{geff}	capacitância efetiva de porta do TECMOS
E_x	componente longitudinal do campo elétrico no canal
E_y	componente vertical do campo elétrico no canal
g_{ds}	condutância do TECMOS
g_m	transcondutância de porta do TECMOS
I_D	corrente de dreno do TECMOS
I_{DSAT}	corrente de saturação do TECMOS
I_{DSATO}	corrente no limiar de saturação do TECMOS
I_{ger}	corrente de geração de minoritários em uma estrutura MOS
I_{sub}	corrente de subcondução do TECMOS
k	constante de Boltzmann ($= 8.62 \times 10^{-5} \text{ eV}/^\circ\text{K}$)
L	comprimento de canal, de máscara, do TECMOS
L_B	comprimento de Debye
L_{eff}	comprimento efetivo de canal do TECMOS
L_{el}	comprimento elétrico de canal do TECMOS
LCD	transistor de canal longo ("long-channel device")
LWD	transistor de canal largo ("large-width device")

ΔL	variação do comprimento efetivo de canal do	TECMOS,
	na saturação	
ΔL_V	variação do comprimento efetivo de canal do	TECMOS,
	por unidade de Volt, na saturação	
m	Índice de saturação do transistor de carga	
ML	margem de leitura	
ML_{min}	mínima margem de leitura	
N_A	concentração de impurezas aceitadoras no substrato	
N_C	densidade de estados na banda de condução	
N_{SS}	densidade de estados de superfície	
$N(t)$	número médio de portadores emitidos pelos estados de	
	superfície, num tempo t .	
n_i	concentração intrínseca de portadores (para Silício ,	
	$n_i = 1.45 \times 10^{10} \text{ cm}^{-3} @ T = 300^\circ\text{K}$)	
NWD	transistor com pequena largura de canal ("narrow -	
	width device")	
P_{DC}	potência dissipada em regime estático	
$P_{max/\bar{a}rea}$	máxima potência dissipada permissível, por unidade de	
	área	
q	carga do elétron ($= 1.6 \times 10^{-19} \text{ C}$)	
$Q_{"0"}$	carga armazenada na célula de memória, por unidade de	
	área, correspondente à condição de "0" armazenado	
$Q_{"1"}$	carga armazenada na célula de memória, por unidade de	
	área, correspondente à condição de "1" armazenado	
Q_B	carga espacial, por unidade de área, na região de	
	depleção de uma estrutura MOS	

Q_{BE}	carga espacial, por unidade de área, na região de armazenamento da célula de memória, na condição de poço vazio
Q_{BF}	carga espacial, por unidade de área, na região de armazenamento da célula de memória, na condição de poço cheio
Q_{inv}	carga armazenada no poço de potencial da célula de memória, por unidade de área, na condição de inversão forte
Q_{res}	carga residual, por unidade de área, na célula de memória após a leitura
Q_{tr}	carga transferida, por unidade de área, da célula de memória para a linha de dados, durante a leitura
$R_{\square Poli}$	resistência por quadrado da linha de Silício policristalino
S	sensibilidade do amplificador sensor
S_0	velocidade de geração/recombinação superficial
T	temperatura absoluta
t_a	tempo de atraso
t_d	tempo de descida
t_{ret}	tempo de retenção da informação na célula de memória
t_s	tempo de subida
t_{ox}	espessura do óxido de porta
V_D	tensão de dreno
V_G	tensão de porta
V_S	tensão de fonte
V_{DD}	tensão de alimentação
V_{DS}	tensão entre dreno e fonte

V_{DSAT}	tensão de saturação do TECMOS
V_{FB}	tensão de banda plana
V_{GS}	tensão entre porta e fonte
V_{SUB}	polarização de substrato
V_T, V_{TH}	tensão de limiar
V_{TO}	tensão de limiar do TECMOS, sob baixos campos
V_{THLD}	tensão de limiar para transistores com grandes dimensões de canal
V_{TSAT}	tensão de limiar para transistores saturados
V_{i0}	valor de tensão, à entrada de um circuito, correspondente ao nível "0"
V_{i1}	valor de tensão, à entrada de um circuito, correspondente ao nível "1"
V_{00}	valor de tensão, à saída de um circuito, correspondente ao nível "0"
V_{01}	valor de tensão, à saída de um circuito, correspondente ao nível "1"
V_{DI}	valor digital correspondente ao nível "0"
V_{DS}	valor digital correspondente ao nível "1"
V_{LE}	potencial na linha de endereçamento
V_{LD}	potencial na linha de dados
V_R	tensão de referência
x_D	largura da região depletada
x_j	profundidade de junção
Z	largura de canal, de máscara, do TECMOS
Z_{eff}	largura efetiva de canal do TECMOS
α_t	fração de carga emitida pelos estados de interface
β	fator de ganho do TECMOS

β_D	fator de ganho do transistor de comando
β_L	fator de ganho do transistor de carga
β_R	fator de aspecto ($= \beta_D/\beta_L$)
γ	fator de corpo
ϵ_0	permissividade do vácuo ($= 8.86 \times 10^{-14}$ F/cm)
ϵ_{Si}	constante dielétrica relativa do Silício ($= 11.7$)
ϵ_{ox}	constante dielétrica relativa do SiO_2 (≈ 3.8)
ϵ_S	constante dielétrica do Silício ($= 1.03 \times 10^{-12}$ F/cm)
ϕ_S	potencial de superfície
ϕ_{SE}	potencial de superfície, na condição de depleção
ϕ_{SF}	potencial de superfície, na condição de inversão
ϕ_{FP}	potencial de Fermi
ϕ_{inv}	potencial de superfície, na condição de inversão forte ($\approx 2\phi_{FP}$)
η	eficiência na transferência de carga durante a <u>lei</u> tura
μ	mobilidade dos portadores (elétrons), sob a ação de de campos elétricos
μ^*	mobilidade efetiva dos elétrons
μ_0	mobilidade dos elétrons, sob a ação de baixos cam- pos elétricos
μ_V	mobilidade dos elétrons, sob a ação de campo elêtri- co vertical e $V_{DS} = 0.1$ V

CAPÍTULO I

INTRODUÇÃO

Neste capítulo é apresentado um resumo das principais características de memórias a semicondutor e suas aplicações. Algumas tendências de projeto de subsistemas RAM dinâmicas com tecnologia MOS em escala VLSI são descritas.

1.1. Memórias a Semicondutor

O advento de memórias a semicondutor causou um impacto significativo no que se refere ao custo, desempenho, confiabilidade, versatilidade, manutenção, tamanho físico e arquitetura de unidades de processamento e outros subsistemas digitais periféricos. Sua utilização não mais se restringe a computadores ou microprocessadores, abrangendo atualmente uma grande gama de equipamentos eletrônicos, nos quais o armazenamento de dados é requerido. Assim, memórias estão presentes em televisores, armazenando frequências para sintonizadores digitais, em aparelhos telefônicos, em instrumentos de medidas, etc.

A cada ano são lançadas no mercado mundial memórias com maior capacidade de armazenamento, menor tempo de acesso e menor dissipação de potência. Atualmente, memórias de 64 K-bits, com decodificação e controle no próprio chip, estão disponíveis, prevendo-se para um breve futuro, subsistemas comerciais de 256 K-bits [1,2,3]. Tal evolução está suportada por um expressivo desenvolvimento em todas etapas do processo de fabricação de microcircuitos, em especial a microfotolitografia e a deposição de filmes condutores [4,5,6,7,8,9].

Quanto às características funcionais, as memórias a semicondutor são agrupadas basicamente em:

- Memória de Apenas Leitura ou ROM ("Read-Only Memory"), permitindo somente a leitura de dados, previamente definidos a nível de processo pelo fabricante. São comumente utilizadas como tabelas numéricas, listas de instruções, conversores de código, em microprogramação, em geração de caracteres, para o armazenamento de software básico, etc. [10,11,12].

- Memória de Apenas Leitura Programável ou PROM ("Programmable Read-Only Memory"), podendo ser programada pelo usuário, constitui-se em um importante elemento de projeto durante a fase de desenvolvimento do software. Sub sistemas PROM implementados com tecnologia bipolar apresentam o inconveniente de uma programação irreversível, uma vez que a mesma realiza-se através de uma definitiva ruptura em uma interconexão, ou em uma junção semicondutora, na célula de memória [10,12]. Esta desvantagem não existe em memórias PROM fabricadas com tecnologia MOS, cuja principal característica é a reprogramação de dados, sendo denominadas Memórias Reprogramáveis de Apenas Leitura ou EPROM's ("Erasable - Programmable Read-Only Memories").

Diferentes dispositivos armazenadores de informação podem compor as células elementares de memória de um subsistema EPROM. O dispositivo FAMOS ("Floating-gate Avalanche-injection Metal-Oxide-Semiconductor"), constitui-se em um transistor MOS, canal P, com a porta, de Silício policristalino, flutuante. Uma elevada tensão reversa aplicada (≈ 30 V) entre dreno e substrato, ou entre dreno e fonte, inicia um mecanismo de avalanche no transistor, fazendo com que elétrons com alta energia sejam acumulados na porta flutuante. Como consequência, um canal de portadores positivos é induzido na superfície, conectando eletricamente o dreno à fonte. O estado inicial de não-condução é restaurado através de exposição à luz ultra-violeta, quando os portadores do canal são removidos ao substrato, via uma corrente foto-voltáica [8,12,49].

Outro dispositivo presente em células básicas de EPROM's corresponde a uma estrutura Metal-Nitreto-Óxido-Semicondutor, ou MNOS, na qual uma fina camada de SiO_2 ($\approx 25-100$ Å) localiza-se sob uma camada de Si_3N_4 mais espessa (≈ 600 Å). Aplicações de elevadas tensões de porta (± 25 V) favorecem que, através do mecanismo quântico de tunelamento, portadores negativos ou positivos, dependendo da polaridade da tensão aplicada, sejam retidos na interface $\text{Si}_3\text{N}_4\text{-SiO}_2$ e, de modo similar ao FAMOS, alterar o estado de condução do transistor MOS. A remoção das cargas de interface dá-se através da aplicação de uma tensão com polaridade contrária à inicial [8, 12].

- Memória de Leitura e Escrita ou RAM ("Random Access Memory"), na qual a escrita e leitura de dados são realizadas a nível de circuito. Constitui-se no principal elemento de projeto de sistemas digitais. Sua maior aplicação reside em computadores, de pequeno, médio e grande porte e em circuitos

periféricos. Quanto ao controle interno, dividem-se em memórias estáticas e dinâmicas.

1.2. Subistemas RAM Estáticos

Os subsistemas RAM estáticos caracterizam-se, principalmente, pela não volatilidade da informação armazenada. A célula básica de memória de uma RAM-MOS estática é composta por um circuito biestável e dois transistores de acesso, conforme ilustrado na figura 1.1 [8,10,12]. Embora possuam um controle interno relativamente simples, limitado basicamente aos comandos de leitura e escrita, a área requerida por bit e a grande dissipação de potência quiescente dificultam uma integração em alta escala. Com isto, sua aplicação restringe-se a subsistemas em que o consumo de potência e o tempo de acesso não sejam parâmetros decisivos de projeto.

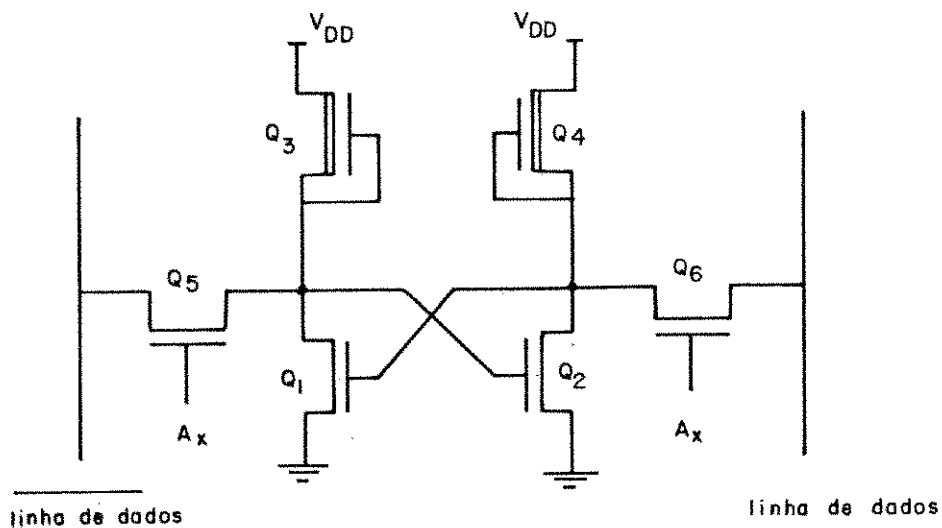


Figura 1.1 - Célula básica de memória de um subsistema RAM-MOS estático.

1.3. Subistemas RAM Dinâmicos

Os subsistemas RAM dinâmicos, fabricados com tecnologia MOS, apresentam uma sensível redução na potência dissipada, uma vez que o fluxo de da

dos na memória é controlado por fases, derivadas internamente a partir de sinais externos. As fases, ou sinais de controle, viabilizam a pré-carga das linhas de endereçamento e de dados, reduzindo o tempo de acesso. Controlam, ainda, os transistores de carga, tornando-os ativos apenas durante intervalos bem definidos de tempo.

Historicamente, a primeira célula de memória, desenvolvida para um subsistema RAM dinâmico comercial, consistia em um arranjo de três transistores, conforme mostrado na figura 1.2 [8,10,12,13]. A informação 1 ou 0 corresponde, por exemplo, à presença ou não de carga armazenada na porta de Q_1 . Os transistores Q_2 e Q_3 são selecionados, respectivamente, para as operações de leitura e escrita. No entanto, a carga é apenas temporariamente armazenada devido às correntes de fuga presentes [14,15,16].

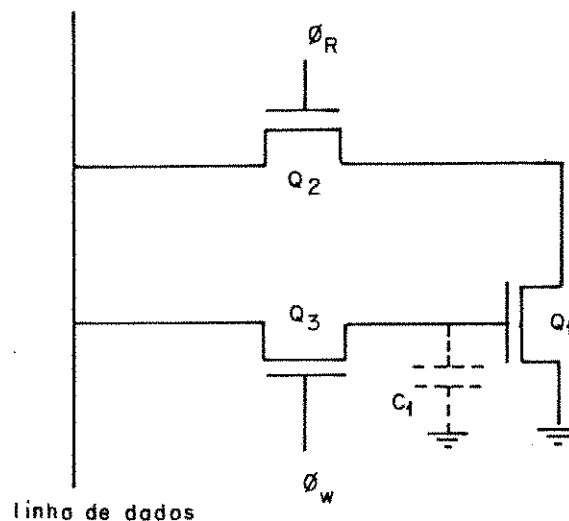


Figura 1.2 - Célula básica com três transistores de um subsistema RAM-MOS dinâmico.

A contínua necessidade de uma maior integração fez com que a célula de memória evoluísse para arranjos mais simples. Atualmente, a célula mais utilizada por fabricantes de memórias dinâmicas é composta unicamente por um transistor de acesso Q_A e um capacitor C_S , no qual a informação é armazenada, conforme mostrado na figura 1.3 [8,10,12,13,18]. Entretanto, por

motivos expostos no Capítulo III, secção 3.2, o armazenamento, também neste caso, é temporário.

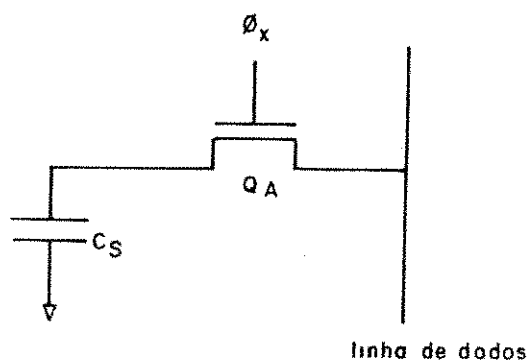


Figura 1.3 - Célula básica com transistor e capacitor, de um subsistema RAM-MOS dinâmico.

Na figura 1.4 tem-se o custo por bit versus o tempo de acesso para vários subsistemas RAM, comercialmente disponíveis no final da década de 70 [12]. Como pode ser observado, memórias estáticas possuem um custo por bit mais alto, face ao número de dispositivos em sua célula. Entretanto, para subsistemas com pequena capacidade de armazenamento, as mesmas, em relação às dinâmicas, são favorecidas pela simplicidade de seu controle interno. Devido à característica volátil da informação em memórias dinâmicas, torna-se necessário que, periodicamente, a mesma seja reescrita na célula, independente de acessos externos, o que é realizado às custas de uma maior complexidade dos circuitos geradores das fases de controle.

1.4. Tendências e Opções de Projeto de Subsistemas RAM Dinâmicos em Escala VLSI

Existe uma tendência de que, a cada ano, sejam lançados no mercado mundial de semicondutores subsistemas RAM dinâmicos cada vez mais complexos. Isto significa uma maior capacidade de armazenamento, menor produto tempo de acesso x potência dissipada, menor custo por bit e maior confiabilidade. Indústrias e universidades, principalmente nos Estados Unidos e Japão,

através de seus laboratórios de pesquisa e desenvolvimento, vem realizando significativos esforços no estudo de organizações internas de memórias dinâmicas em integração VLSI, que otimizem seu desempenho, e no desenvolvimento das etapas do processo de fabricação de microcircuitos, através do aprimoramento de equipamentos e utilização de novos materiais. Algumas das opções de projeto e de materiais são descritas a seguir.

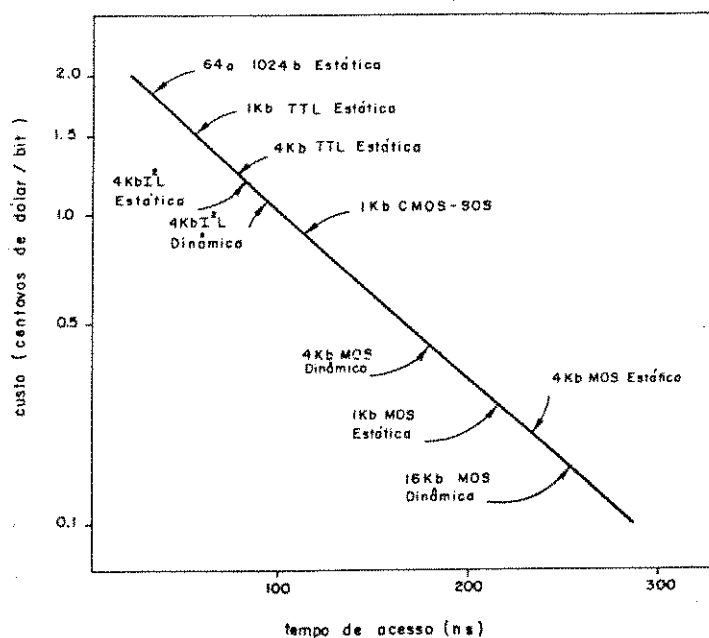


Figura 1.4 - Custo por bit \times tempo de acesso para vários subsistemas RAM comercialmente disponíveis no fim da década de 70.

1.4.1 Organização Interna

A divisão da matriz de armazenamento em submatrizes é condição para que sejam obtidas memórias dinâmicas com alto desempenho. Blocos compactos, com um número muito elevado de células, significa longas linhas de endereçamento e de dados e, como ambas raramente são metálicas, o conjunto não-metálico de interconexões, pelo seu alto valor RC, pode elevar os atrasos internos e degradar o tempo de acesso. Além disto, a relação entre a capacitância de armazenamento da célula e a capacitância parasitária da linha de dado, pode assumir valores extremamente baixos, requerendo uma menor sensibilidade do circuito sensor.

Uma outra vantagem no particionamento reside na possibilidade de

inibição das submatrizes que não estiverem sendo utilizadas, com o propósito de diminuir o consumo de potência. Como ilustração, tem-se na figura 1.5 as várias organizações internas de subsistemas RAM dinâmicos de 64 K-bits adotadas pelos principais fabricantes [1], onde os pequenos quadrados escuros simbolizam o circuito sensor, conectados às linhas de dados.

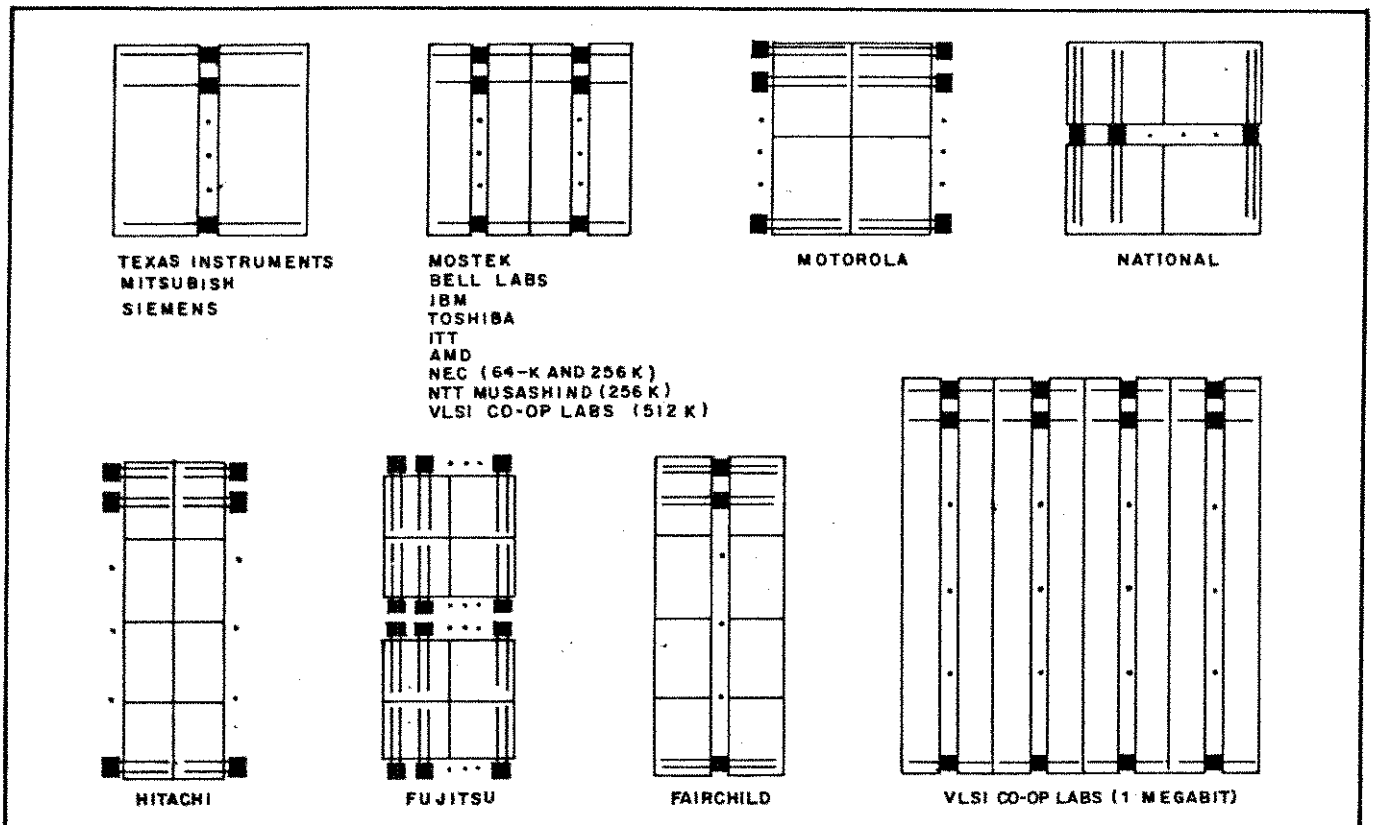


Figura 1.5 - Particionamentos internos de subsistemas RAM dinâmicos comerciais de 64 K-bits.

Em subsistemas nos quais o circuito sensor, também denominado amplificador sensor, está conectado a apenas um par de linhas de dados, o número de ciclos necessários para reescrever a informação nas células ("refresh") é, em geral, idêntico ao total de circuitos sensores. Uma alternativa para se reduzir a dissipação de potência, consiste em compartilhar o circuito sensor com dois pares de linhas de dados. Assim, o número de amplificadores sensores, como, praticamente, o consumo de potência são reduzidos à metade. Esta

técnica é utilizada pela National e Fairchild em seus subsistemas de 64 K-bits (v. figura 1.5), que requerem igual número de amplificadores sensores em relação às memórias de 16 K-bits (128 amps). No entanto, um circuito sensor conectado a quatro linhas de dados exige uma maior complexidade de projeto.

De um modo geral, em memórias de até 16 K-bits de capacidade, as linhas de dados são difundidas e simetricamente opostas em relação ao circuito sensor. Em alguns subsistemas de 64 K-bits, as linhas são dispostas paralelamente uma à outra ("folded bit lines"), conforme pode ser visto na figura 1.5. Esta medida visa diminuir os erros de leitura induzidos por partículas alfa, emitidas por elementos que contaminam a lâmina durante o processo de fabricação [43]. Devido à alta energia que possuem, estas partículas, ao colidirem com os átomos da rede cristalina, geram pares elétron-lacunas que podem influir na correta detecção do dado armazenado, uma vez que, particularmente em subsistemas de elevada capacidade, a mesma depende de um pequeno pacote de carga transferido da célula a um dos nós do circuito sensor. Assim, em igual proporção, os portadores gerados atingem a ambas as linhas de dados e, como a detecção realiza-se através de uma diferença de tensão, os referidos erros são significativamente diminuídos.

A utilização de linhas de dados metálicas é uma alternativa para se evitar a influência das partículas alfa, o que implica em linhas de endereçamento de Si policristalino. De modo a não se deteriorar o tempo de acesso do subsistema, torna-se conveniente o seu particionamento em submatrizes. Outros meios para diminuir os erros induzidos por partículas alfa consistem no desenvolvimento de células de memória com maior capacidade de armazenamento ("Hi-C RAM cells") [17,18,19,20,21,22,23,24], e em proteger a superfície da lâmina com uma camada de material orgânico poliamido (PIQ) [1], o qual tem reduzido estes erros de um fator 1000.

1.4.2. Redundância

Uma das formas mais utilizadas em se elevar o rendimento do processo de fabricação de memórias em escala VLSI consiste na disposição, no próprio chip, de algumas linhas e colunas extras que perfeitamente compõem o arranjo principal, caso células defeituosas sejam detectadas durante a etapa de testes [1,25,26,27,28]. Algumas memórias apresentam, ainda, um circuito extra que provê o refrescamento de dados, independente de controle externo, co

mo é o caso dos subsistemas de 64 K-bits da Motorola e Mostek [27,28].

Os elementos redundantes podem ser desativados com a ruptura de suas interconexões, através da aplicação de pulsos de alta tensão (15-25V) ou da utilização de laser [1,27,28].

1.4.3. Auto-Polarização de Substrato

A polarização reversa de substrato, aplicada a subsistemas digitais, apresenta como vantagens uma redução nas capacitâncias de junção, um valor mais alto da tensão de limiar e conseqüentemente uma melhor margem de ruído inferior, e um menor fator de corpo (v. capítulo V, secção 5.1), sendo, portanto, largamente utilizada. A principal desvantagem que se apresenta, particularmente em memórias dinâmicas, é o aumento das correntes de fuga, devido às regiões de carga espacial das junções N⁺P serem estendidas [14,15,16].

No intuito de se diminuir o número de fontes externas de tensão, a maioria das memórias de 64 K-bits comerciais, à exceção da Texas Instruments que o mantém aterrado, possuem um circuito auto-polarizador de substrato. Uma técnica bastante adotada para a auto-polarização consiste no bombeamento de cargas negativas do canal e dos estados rápidos de superfície para o substrato, ao se aplicar um trem de pulsos de alta frequência em um diodo MOS controlado pela porta [29,30]. Estas cargas, no entanto, podem degradar o tempo de retenção de dados, caso alcancem os capacitores das células ou as linhas de dados durante a leitura [44]. Desta forma, é conveniente que o circuito auto-polarizador não seja alocado nas proximidades das matrizes de armazenamento.

1.4.4. Células com Maior Capacidade Armazenadora

A integração de subsistemas com elevada capacidade (64 K-bits, 256 K-bits, 1 M-bits) requer uma redução na área do capacitor da célula básica de memória (ver figura 1.3). De modo a manter uma margem de detecção aceitável, é necessário que a célula tenha a sua capacidade intrínseca de armazenamento aumentada.

Sendo a capacitância proporcional à constante dielétrica do material entre as placas condutoras, um método para elevar a capacidade armazenadora da célula consiste na substituição do SiO₂ ($\epsilon_{\text{SiO}_2} \approx 3.87$), como dielétrico de porta, por um outro material isolante. Para esse fim, um dos materiais

mais utilizados é o óxido de Tântalo (Ta_2O_5), cuja constante dielétrica, aproximadamente 22, é superior em cinco vezes a do SiO_2 . Um inconveniente que aparece é a necessidade de 10 máscaras para o processo de fabricação [1].

Uma outra técnica, largamente utilizada, consiste em alterar, através de implantação de Boro e Arsênio sob o capacitor, a dependência do potencial de superfície ϕ_s com a tensão de porta V_G do capacitor, de modo a "aprofundar" o poço de potencial para uma mesma tensão $V_G = V_{DD}$, e aumentar, portanto, a carga nele armazenada [17]. Denominada célula de memória de alta capacidade ("Hi-C memory cell"), permite um armazenamento de carga superior em 30% em relação às células padrão. Uma desvantagem que se apresenta é a adição de uma máscara ao processo HMOS convencional (Si policristalino e contacto enterrado) [8,31], para ambas implantações em uma mesma região. Estruturas utilizando silicetos, 2 ou 3 níveis de Silício policristalino, processo DMOS, camada enterrada e outras técnicas, estão sendo desenvolvidas a fim de se obter células de memória com maior capacidade de armazenamento, alta compactação e que não degradem o tempo de retenção dos dados [18,19,20,21, 22,23,24,32].

1.4.5. Linhas com Baixa Resistividade

Multi-níveis em interconexões é condição necessária para a integração de subsistemas em escala VLSI. É essencial, no entanto, que estas linhas apresentem um baixo valor de resistividade de folha (ρ) para que o tempo de propagação do sinal seja reduzido. Entre os materiais mais utilizados atualmente para este propósito, destacam-se os metais refratários (Mo, W, Ta, Ti-W) [4,5,6,7,8], os silicetos dopados com átomos de metal ($MoSi_2$, $TaSi$, $TiSi$) [4,5,33,34,35] e o Silício policristalino após recozimento com laser [36, 37,38].

Na figura 1.6 tem-se a comparação do tempo de resposta, a um pulso de amplitude V_p , de linhas com iguais dimensões e diferentes materiais [1]. Alguns fabricantes optam pela utilização de silicetos por melhor se adaptarem às etapas do processo de fabricação, podendo ser constituídos através de "sputtering" ou evaporação de metal, "co-sputtering" metal e Silício ou co-evaporação metal e Silício. Embora os silicetos possuam um valor de ρ na faixa 1-5 Ω/\square , os metais refratários apresentam uma resistividade de folha, em média, uma década menor, como pode ser verificado pela tabela 1.1 [4].

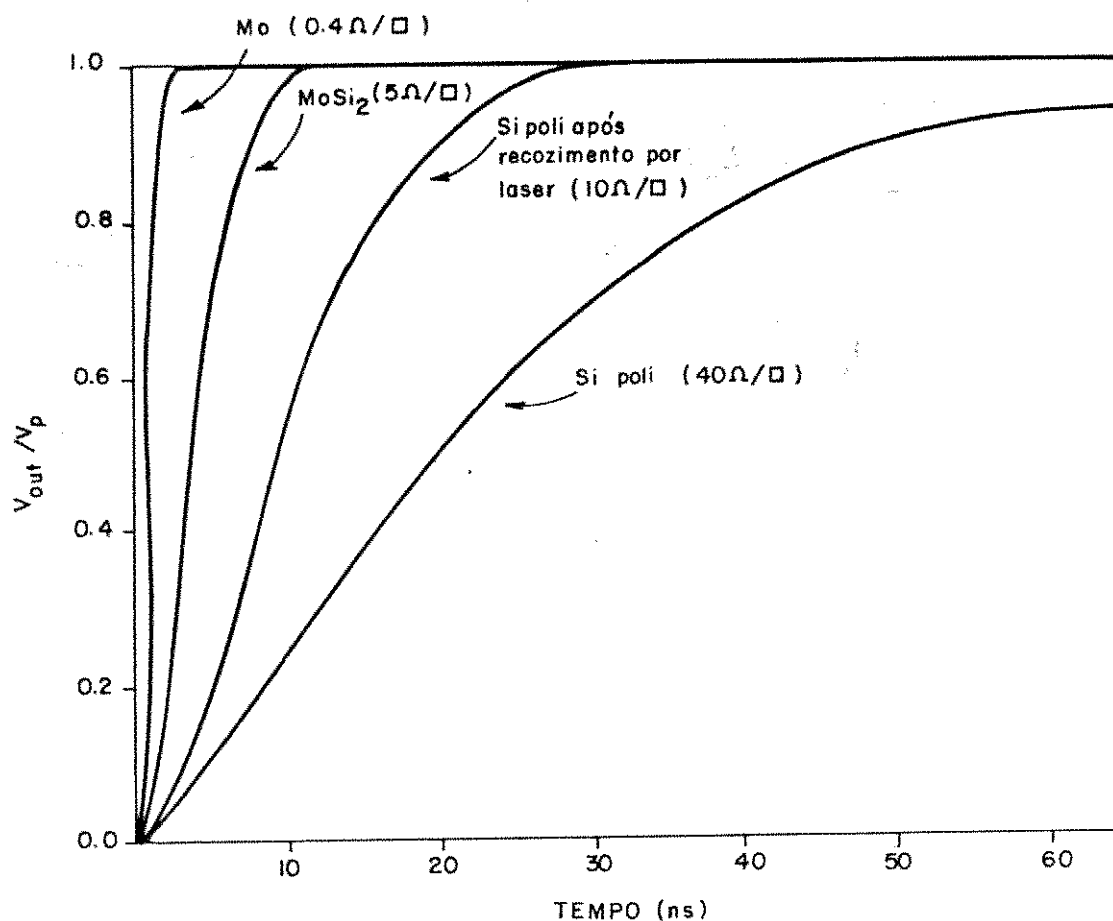


Figura 1.6 - Comparação do tempo de resposta, a um pulso de amplitude V_P , de linhas com iguais dimensões e diferentes materiais.

Metal e Método de Deposição	Resistividade de Corpo 20°C ($\mu\Omega\text{-cm}$)	Espessura do filme ₀ (Å)	Ω/\square	
			Antes do Recozimento	Após o Recozimento
Molibidênio	4.8			
. Electron-beam		3048	0.95	0.27
. Sputtering (RF)		3302	1.70	0.43
. Sputtering (S-gun)		3000	0.72	0.35
Tungstênio	5.5			
. Electron-beam		3302	2.60	0.40
. Sputtering (RF)		3810	5.0	0.87
. Sputtering (S-gun)		3000	0.98	0.69
Tântalo	50	5524	24.0	14.0

Tabela 1.1 - Resistividade de folha dos metais refratários mais utilizados em interconexões de circuitos em integração VLSI.

1.4.6 - Transistores com Dimensões de Canal Reduzidas

Devido ao desenvolvimento alcançado nos processos de fotolitografia e ataque por plasma [4,8,9,39,40,41,42], o comprimento efetivo de canal de transistores MOS em subsistemas comerciais tem tido o seu valor reduzido nos últimos anos, com igual tendência para o futuro, como ilustrado na figura 1.7 [15]. Dividindo-se as dimensões do transistor, incluindo a espessura do óxido de porta e as tensões de operação V_{GS} e V_{DS} , por um fator K , os campos elétricos presentes permanecerão constantes, o que aproxima o modelamento destes transistores ao caso de dispositivos com dimensões grandes de canal. Assim, simplificadaamente, a corrente de dreno, o tempo de trânsito dos portadores no canal e a capacitância de porta são divididos por K ; a área requerida pelo transistor e a potência dissipada por K^2 e a energia de chaveamento por K^3 , traduzindo um melhor desempenho do dispositivo [31].

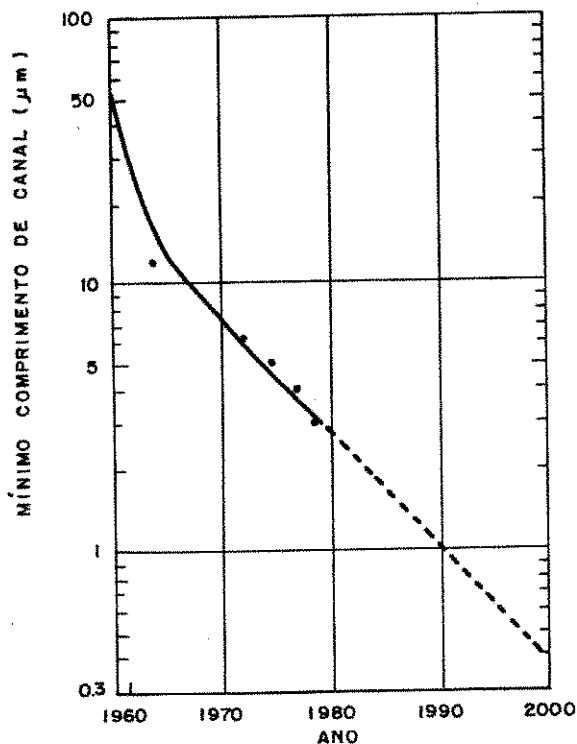


Figura 1.7 - Mínimo comprimento de canal em subsistemas comerciais em função do ano.

Entretanto, particularmente em memórias dinâmicas de alta capacidade, a utilização de uma tensão de fonte V_{DD} abaixo de 5 Volts tem-se mostrado uma tarefa difícil devido às reduzidas margens de detecção [32,111,112,113] e, à medida em que o comprimento efetivo de canal dos transistores é reduzido, efeitos de segunda ordem como diminuição da tensão de limiar, aumento da corrente de subcondução, diminuição do valor da mobilidade superficial devido à ação dos campos elétricos, entre outros, tornam-se cada vez mais relevantes. Um estudo destes efeitos é realizado neste trabalho e os resultados experimentais estão descritos no Capítulo V.

Na figura 1.8 tem-se o tempo de retenção dos dados na célula, em função do comprimento efetivo de canal do transistor de acesso Q_A (ver figura 1.3), sendo 500 \AA a espessura do óxido de porta e $20 \Omega \cdot \text{cm}$ a resistividade do substrato [32]. Como se observa, a degradação do tempo de retenção é significativo para comprimentos abaixo de $3.0 \mu\text{m}$, decorrente de uma elevada corrente de subcondução [15,45,46,47,48]. Desta forma, recomenda-se a não utilização de transistores de acesso, nas células de memória, com um comprimento muito pequeno de canal.

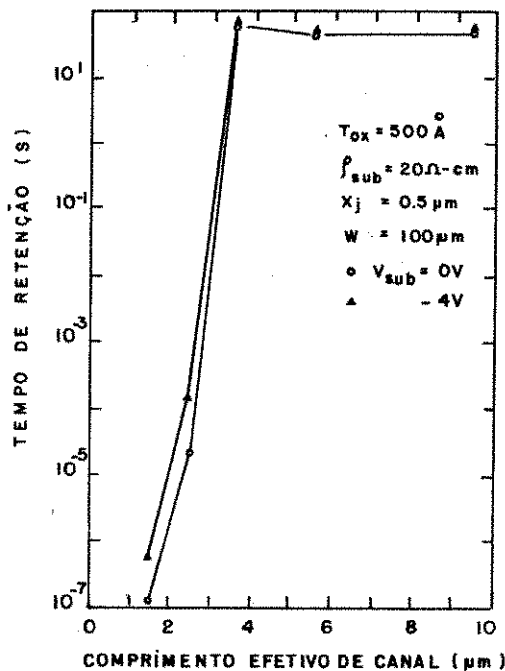


Figura 1.8 - Tempo de retenção dos dados na célula de memória em função do comprimento efetivo de canal do transistor de acesso.

Algumas considerações e opções de projeto descritas nesta seção são levadas em conta no particionamento, definição de lay-out e dimensionamento da memória RAM dinâmica de 1024 bits, a ser projetada neste trabalho. Assim, a matriz de armazenamento é dividida em duas submatrizes de 16x32 células, estando as linhas de dados, difundidas, dispostas simetricamente em relação ao circuito de detecção, onde apenas um par de linhas de dados é conectado a um amplificador sensor. As linhas de endereçamento são, portanto, metálicas, no intuito de se reduzir o tempo de acesso do subsistema.

De modo a não degradar o tempo de retenção da informação na célula, utiliza-se um transistor de acesso, ou endereçamento, com um comprimento de canal de 8 μm , de máscara, de modo a diminuir, sensivelmente, a corrente de subcondução.

CAPÍTULO II

DESCRIÇÃO DO SUBSISTEMA

Neste capítulo são apresentados o particionamento do subsistema em unidades elementares, assim como o fluxo de dados, endereços e sinais de controle. Os diagramas ("timing") dos ciclos de leitura, de escrita e de leitura e escrita são também mostrados.

2.1. Particionamento da Memória em Módulos Elementares

A memória RAM Dinâmica, de 1024x1 bits, a ser dimensionada neste trabalho, é particionada em Módulos Elementares, como disposto na figura 2.1. Os módulos IL e IC correspondem à interface de entrada para os endereços de linha A_0, \dots, A_4 , e de coluna, A_5, \dots, A_9 , multiplexados no duto de endereçamento DE. Os módulos GL e GC enviam sinais de controle às respectivas interfaces, bem como aos decodificadores, de linha, DL, e de coluna, DC. A matriz de células é simetricamente dividida nas duas submatrizes ME e MD, cada qual correspondendo a um arranjo de 16x32 bits. O módulo AS representa o conjunto de 32 circuitos sensores, responsáveis pela detecção da informação armazenada. As linhas de células falsas ("dummy cells") são representadas por CF. A unidade de controle do subsistema, UC, controla o circuito sensor, bem como o endereçamento das células falsas. O módulo I/O corresponde à interface de entrada e saída para dados.

Estando $\overline{SEL} = 1$ e $\overline{SEC} = 1$, a memória encontra-se em seu ciclo de pré-carga. Quando $\overline{SEL} \rightarrow 0$, inicia-se o endereçamento de linha, assim como o ciclo de leitura. Quando $\overline{SEC} \rightarrow 0$, o endereçamento da memória é completado, sendo o decodificador de colunas ativado. O sinal WE seleciona uma operação de escrita ($WE = 1$), ou leitura ($WE = 0$). Quanto a CS, ("chip select"), estando desativado, coloca a saída do subsistema numa condição de terceiro estado, em alta impedância.

Além dos sinais descritos na figura 2.1, têm-se ainda a tensão de fonte $V_{DD} = 12$ V, o terra (GND) e a polarização de substrato, $V_{SUB} = -2,5$ V. Na figura 2.2, é mostrada a possível disposição de terminais para o subsistema de 1024 bits.

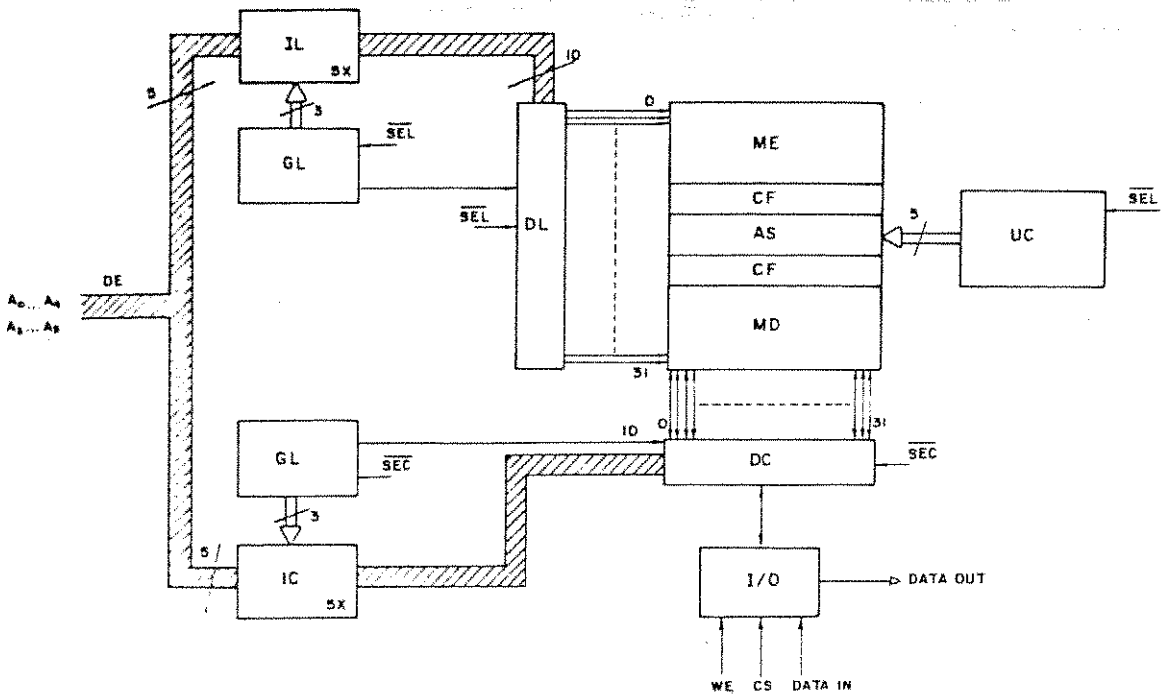


Figura 2.1 - Particionamento da Memória.

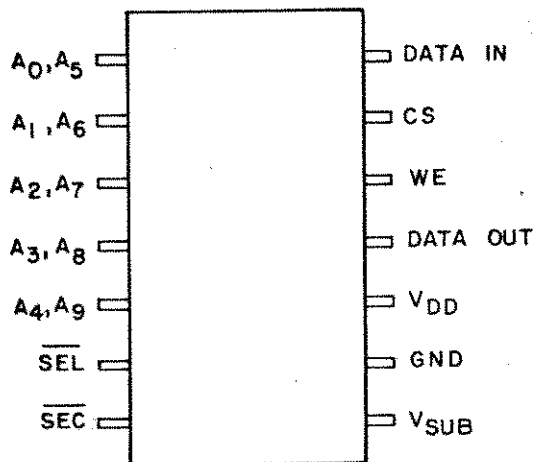


Figura 2.2 - Possível Distribuição de Terminais para o subsistema.

Os Módulos Elementares têm o seu detalhamento exposto nos capítulos III e IV, o que compreende a descrição das respectivas fases internas de controle, sua implementação a nível de portas lógicas e, posteriormente, a nível de transistores, bem como o seu dimensionamento.

2.2. Diagrama de Ciclos ("Timing").

As três possibilidades de operação do subsistema constituem-se no ciclo de leitura, CL, ciclo de escrita, CE, e ciclo de leitura e escrita, CLE. Os requerimentos externos para tais operações são mostrados, respectivamente, nas figuras 2.3, 2.4 e 2.5. Os tempos discriminados nos diagramas são especificados a seguir, sendo associados aos seus valores teóricos e experimentais no capítulo VI:

t_{CL}	duração do ciclo de leitura e/ou escrita.
t_{SEL}	tempo de desativação de \overline{SEL} .
t_{PC}	tempo de pré-carga.
t_{AC}	tempo de sustentação do endereçamento de coluna referente a \overline{SEL} .
t_{SCF}	tempo de sustentação de \overline{SEC} referente a \overline{SEL} .
t_{SC}	retardo da ativação de \overline{SEC} referente a \overline{SEL} .
t_{SEC}	tempos de desativação de \overline{SEC} .
t_{AL}	tempo de set-up do endereçamento de linha.
t_{LL}	tempo de sustentação do endereçamento de linha referente a \overline{SEL} .
t_{LC}	intervalo para multiplexação dos endereços.
t_{CC}	tempo de sustentação do endereçamento de coluna referente a \overline{SEC} .
t_{WCL}	tempo de set-up de WE no ciclo de leitura (CL).
t_{WF}	tempo de sustentação de WE referente a \overline{SEC} , no CL.
t_{CDC}	intervalo para a validade de dados à saída referente a \overline{SEC} , no CL.
t_{LDL}	intervalo para a validade de dados à saída referente a \overline{SEL} , no CL.
t_{VCL}	tempo de validade de dados à saída, no CL.
t_{LWE}	tempo para ativação de WE referente a \overline{SEL} , no ciclo de escrita (CE).
t_{WCE}	tempo de set-up de WE referente a \overline{SEC} , no CE.
t_{WEE}	tempo de ativação de WE, no CE.
t_{LDE}	intervalo para a validade dos dados à entrada referente a \overline{SEL} , no CE.
t_{VCE}	tempo de validade dos dados à entrada, no CE.
t_{SM}	intervalo para a validade de WE referente a \overline{SEL} , no ciclo de leitura e escrita, (CLE).

t_{LM}	tempo de desativação de WE, no CLE.
t_{EM}	tempo de ativação de WE, no CLE.
t_{COM}	intervalo para a validade de dados \bar{a} saída, referente a \overline{SEC} , no CLE.
t_{VOM}	tempo de validade de dados \bar{a} saída, no CLE.
t_{LIM}	intervalo para validade de dados \bar{a} entrada referente a \overline{SEL} , no CLE.
t_{VIM}	tempo de validade de dados \bar{a} entrada, no CLE.

Ciclo de Leitura (CL)

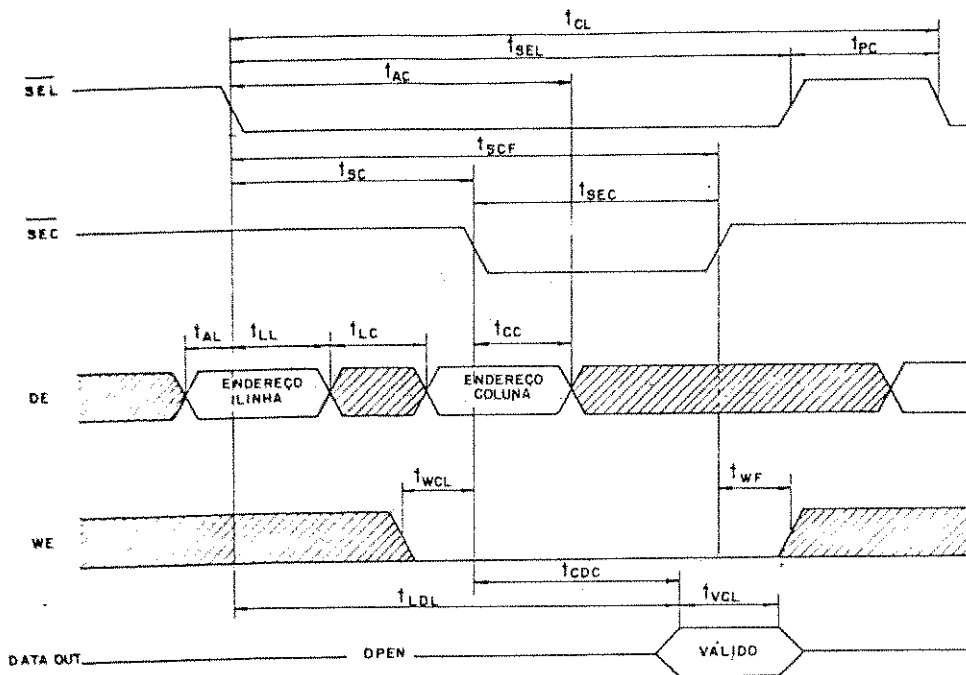


Figura 2.3 - Diagrama de controle do ciclo de leitura do subsistema projetado.

Ciclo de Escrita (CE)

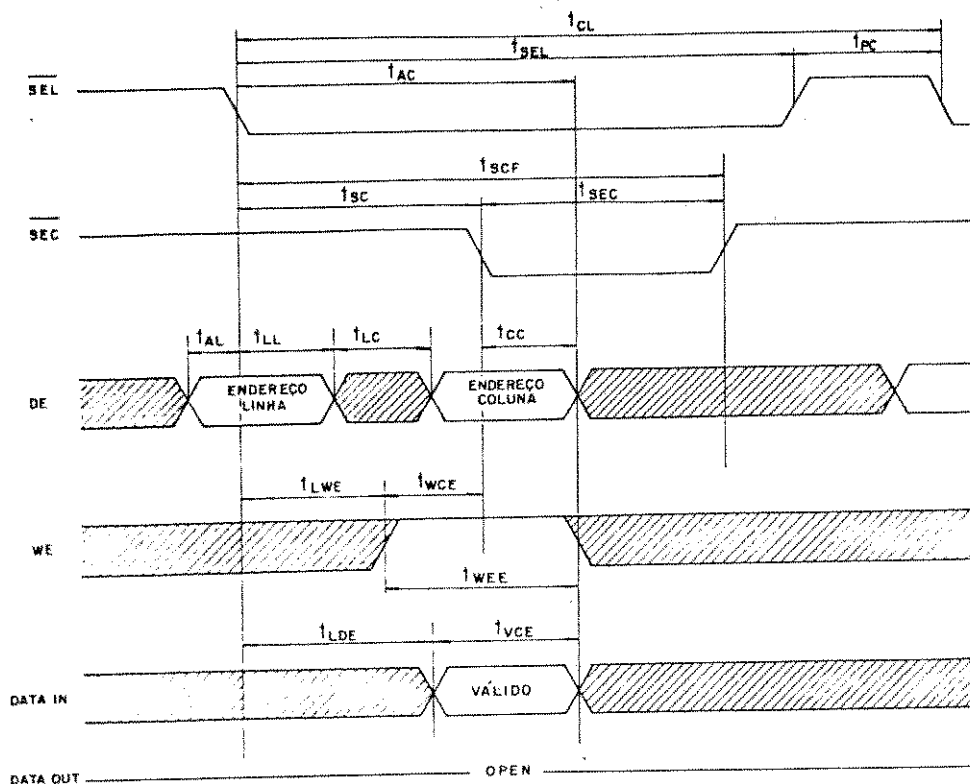


Figura 2.4 - Diagrama de controle de ciclo de escrita do subsistema projetado.

Ciclo de Leitura e Escrita (CLE)

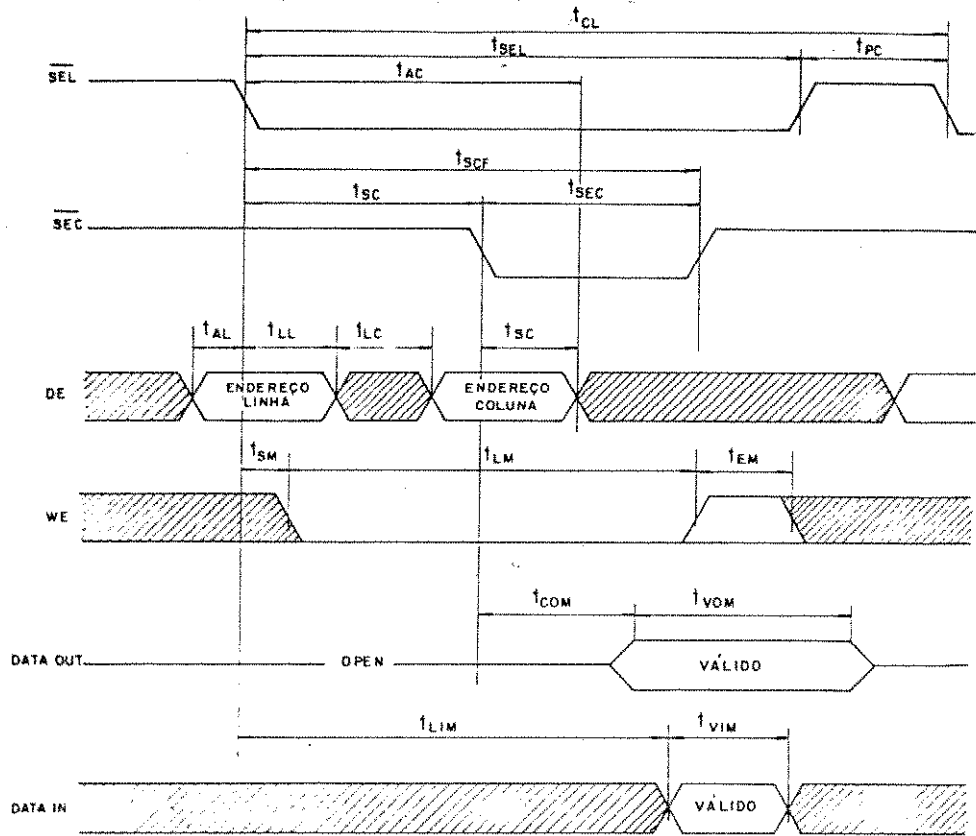


Figura 2.5 - Ciclo de controle do ciclo de leitura e escrita do subsistema projetado.

CAPÍTULO III

MODELAGEM DA CÉLULA BÁSICA DA MEMÓRIA

Neste capítulo é analisada a célula básica de memória, com a qual dimensionou-se o subsistema de 1024 bits, e apresentado o respectivo modelamento. A existência de corrente de fuga e de subcondução, e sua influência no tempo de retenção da informação na célula, são consideradas, assim como os modos de transferência.

3.1. Apresentação da Célula Básica de Memória.

Conforme mencionado no capítulo I, Memórias de Leitura e Escrita Dinâmicas apresentam vantagens em relação às estáticas, destacadamente no que se refere ao menor consumo de potência e maior densidade de bits por unidade de área de Silício. No entanto, devido ao caráter volátil de informação, torna-se imprescindível, em memórias dinâmicas, a existência de um ciclo periódico de refrescamento ou reescrita da informação na célula, fato que exige uma maior complexidade nas funções executadas pela Unidade de Controle.

O diagrama elétrico equivalente à célula básica de memória adotada no presente trabalho é mostrado na figura 3.1. Uma vez ativada, o que corresponde a um potencial alto na linha de endereçamento, o transistor de acesso transfere a carga armazenada no capacitor C_s para a linha de dados durante o ciclo de leitura, e vice-versa, durante a escrita. No caso de não seleção da célula, o potencial da linha de endereçamento é colocado num valor baixo, suficiente para manter Q_A cortado, abaixo do ponto de subcondução, preservando a informação contida em C_s [10,11,12].

Entretanto, devido aos mecanismos de fuga inerentes à estrutura, conforme será visto na seção 3.2, a informação permanece válida em C_s durante o tempo de retenção t_{ret} . A boa caracterização do tempo de retenção, determinado pelo processo de fabricação e pelas tensões de operação, é de relevante importância no cálculo do período mínimo de refrescamento da memória.

Na figura 3.2.a é mostrada a estrutura da célula básica, implementada a partir de um processo HMOS de 7 máscaras, canal N, desenvolvido no

Edinburgh Microfabrication Facility, Universidade de Edimburgo, Escócia. Dentre algumas características principais desse processo, destaca-se o isolamento pelo processo LOCOS [8,50,51], o ajuste da tensão de limiar dos dispositivos através da implantação iônica [52,53,54,55], a presença de um nível de Silício policristalino [56,57,58], e a possibilidade de contato direto entre o nível de Silício policristalino e o nível de difusão, ou contato enterrado [5,59]. No apêndice B são apresentadas as sequências do processo HMOS adotado para a implementação prática deste trabalho.

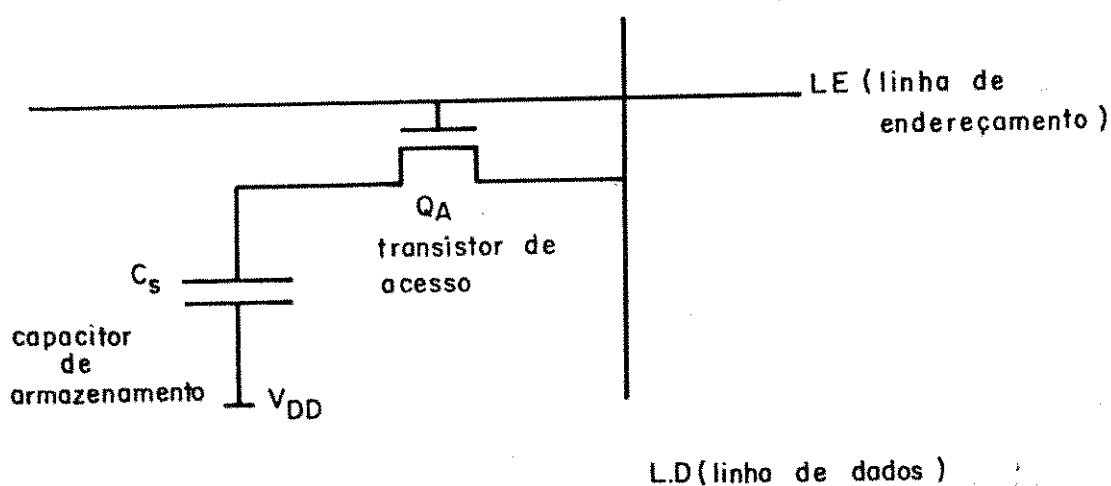


Figura 3.1 - Diagrama elétrico da célula de memória.

As configurações do potencial de superfície da referida célula de memória básica durante a operação de LEITURA/ESCRITA e ARMAZENAMENTO, são mostradas na figura 3.2.b. A linha de polarização, sempre mantida a um potencial fixo V_{DD} , causa a formação de um poço de potencial na região de armazenamento. Dependendo da informação armazenada, o poço de potencial é dito vazio de cargas, com um potencial de superfície ϕ_{SE} correspondendo a uma condição de depleção profunda, ou é dito cheio, com um potencial de superfície ϕ_{SF} , caracterizado por uma concentração de portadores minoritários na superfície.

No projeto de memórias RAM dinâmicas, de um modo geral, o potencial da linha de endereçamento V_{LE} oscila entre zero Volts, ou um potencial próximo, durante o ARMAZENAMENTO, e V_{DD} , ou um valor inferior, durante a LEITURA/ESCRITA. A passagem de carga armazenada no capacitor C_s para a linha

de dados pode dar-se numa condição de transferência completa ($V_{LE} \geq V_{DD}$, e $V_{LD} \geq V_{DD}$) ou numa situação de transferência incompleta ($V_{LE} < V_{DD}$ ou $V_{LD} < V_{DD}$), em que parte da carga é retida em C_S . Essa retenção torna necessário, em projetos convencionais de memória dinâmicas, a utilização de um amplificador sensor com melhor sensibilidade para a detecção dos níveis lógicos, ou ainda, aumentar a capacidade de armazenamento da célula, quer por tensões de operação mais altas, quer por um aumento nas dimensões do capacitor.

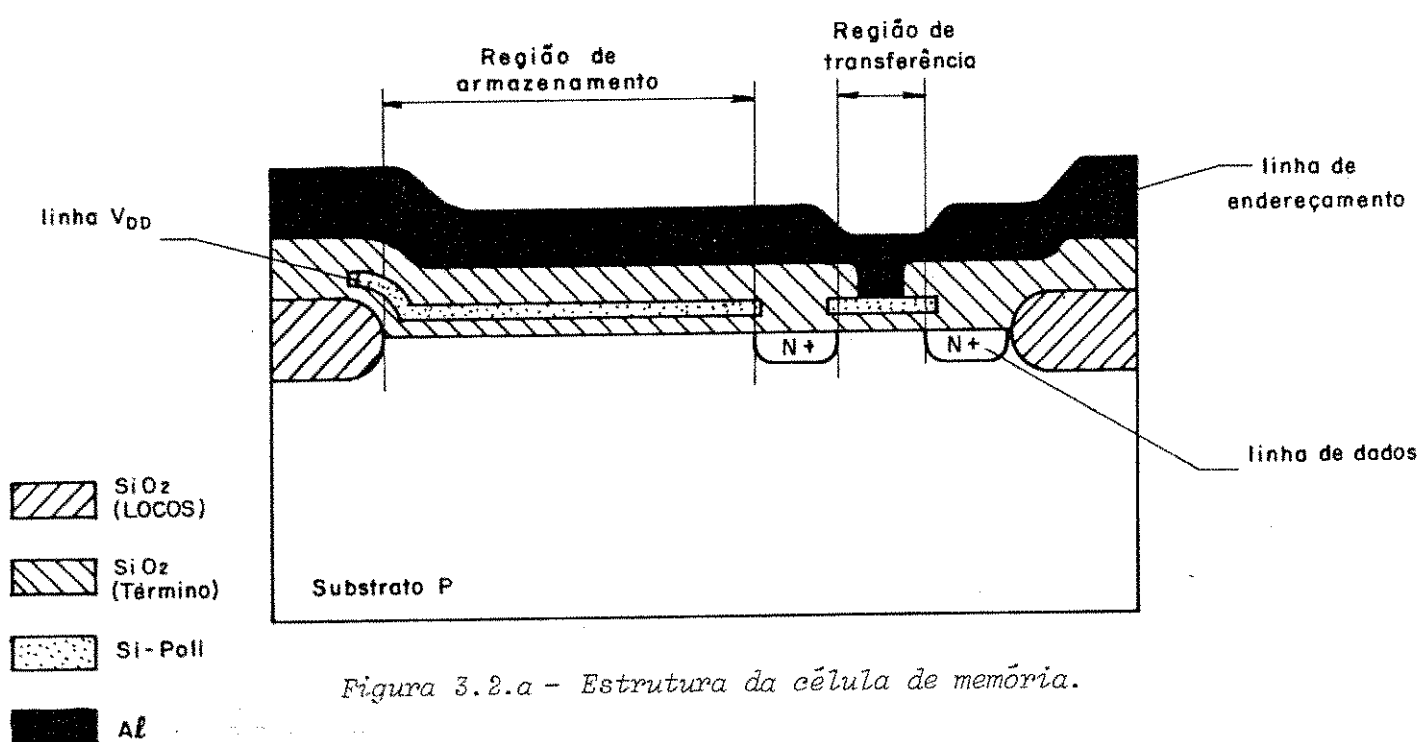


Figura 3.2.a - Estrutura da célula de memória.

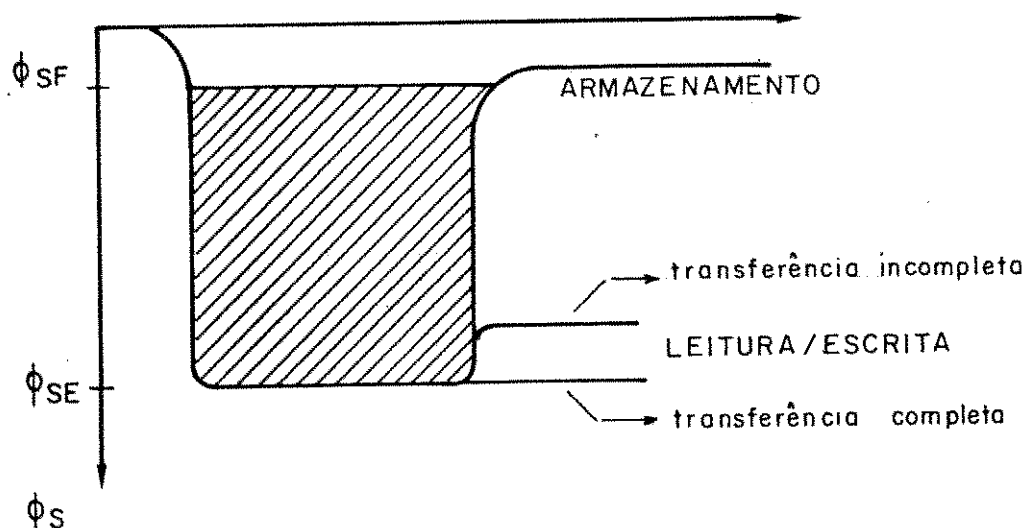


Figura 3.2.b - Potenciais de superfície nas condições de LEITURA/ESCRITA e ARMAZENAMENTO.

3.2. Modelagem da Célula Básica de Memória.

A diferença de potencial entre porta e substrato, na região de armazenamento da célula básica da figura 3.2.a, é dada por [14,15,60]:

$$V_G - V_{SUB} - V_{FB} = V_{ox} + \phi_S \quad (3.1)$$

onde:

- V_G = tensão de porta
- V_{SUB} = polarização de substrato
- V_{FB} = tensão de banda plana
- V_{ox} = queda de potencial no óxido
- ϕ_S = potencial de superfície, relativo ao substrato.

O potencial V_{ox} pode ser colocado em função da carga no semicondutor, pela aplicação da Lei de Gauss, ou seja,

$$V_{ox} = \frac{-Q_T}{C_{ox}} = -\frac{(-Q_B - Q_{inv})}{C_{ox}} \quad (3.2)$$

onde C_{ox} é a capacitância, por unidade de área, do óxido de porta e Q_T corresponde à carga total no Silício, composta pela carga fixa da região depleta Q_B e pela carga dos elétrons armazenados no poço de potencial Q_{inv} .

Assim, a expressão (3.1) pode ser reescrita como

$$V_G - V_{SUB} - V_{FB} = \frac{Q_B + Q_{inv}}{C_{ox}} + \phi_S \quad (3.3)$$

Para a condição de poço vazio ($Q_{inv} = 0$):

$$V_{DD} - V_{SUB} - V_{FB} = \frac{Q_{BE}}{C_{ox}} + \phi_{TSE} \quad (3.4)$$

Os Índices, que agora aparecem e que serão mantidos no decorrer do trabalho, seguem a seguinte convenção: o índice inicial "1" ou "2" denota se o potencial de superfície refere-se à região de armazenamento ou de transferência, respectivamente. O segundo índice "S" ou "R" indica, respectivamente, a condição de ARMAZENAMENTO ou operação de LEITURA/ESCRITA. O terceiro índice "F" ou "E" indica poço cheio ou vazio, respectivamente.

Deste modo, na expressão (3.4), Q_{BE} corresponde à carga fixa na região depleta na condição de poço vazio e ϕ_{1SE} denota o potencial de superfície na região de armazenamento, na condição de poço vazio e no modo de operação ARMAZENAMENTO.

Na condição de poço cheio tem-se:

$$V_{DD} - V_{SUB} - V_{FB} = \frac{Q_{BF} + Q_{inv}}{C_{ox}} + \phi_{1SF} \quad (3.5)$$

Combinando-se as expressões (3.4) e (3.5), tem-se a carga, por unidade de área, armazenada no poço:

$$Q_{inv} = C_{ox} (\phi_{1SE} - \phi_{1SF}) + (Q_{BE} - Q_{BF}) \quad (3.6)$$

No entanto, a carga Q_{inv} é equivalente à variação da tensão de porta de um valor necessário para preencher o poço de potencial, multiplicado pela capacitância do óxido. Assim,

$$Q_{inv} = C_{ox} \Delta V_G = C_{ox} [V_G(\phi_{1SE}) - V_G(\phi_{1SF})] \quad (3.7)$$

Para se analisar a dependência do potencial de superfície com a tensão de porta, deve-se considerar, inicialmente, o perfil de impurezas aceitadoras no substrato, após a implantação dos íons de Boro. Através da simulação realizada com o programa SUPREM | 61 | e, baseado na descrição do processo MOS adotado neste trabalho, pode-se prever o perfil de distribuição

teórico das impurezas aceitadoras, mostrado na figura 3.3.

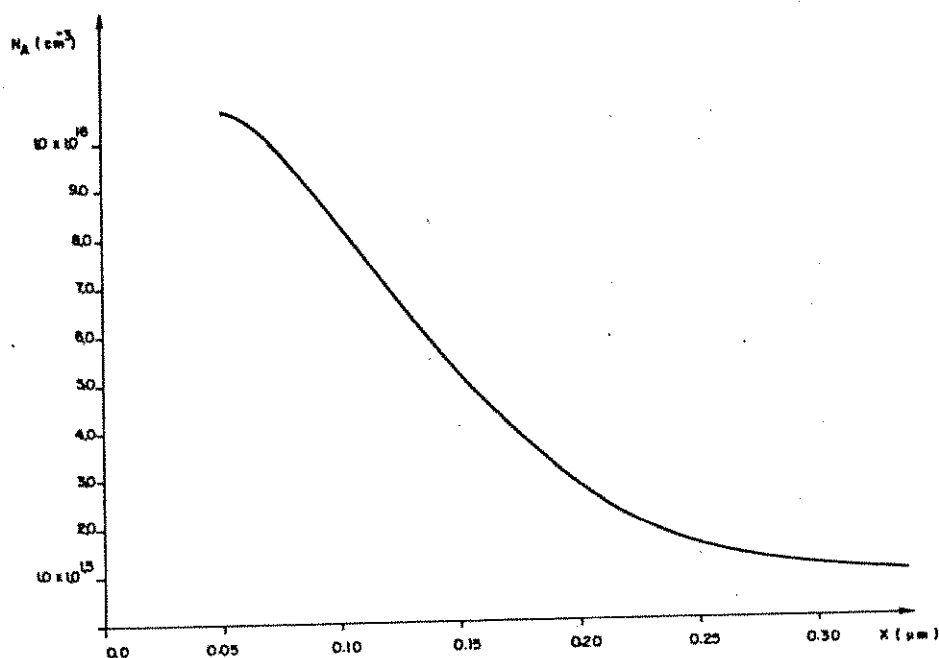


Figura 3.3 - Perfil de impurezas aceitadoras para transistores enriquecidos.

Uma análise mais rigorosa do perfil de impurezas poderia ser realizada utilizando-se as expressões desenvolvidas por Douglas et al | 62 | ou as proposições de Ratnakumar et al | 63 | . No presente trabalho, no entanto, procura-se estabelecer um modelo simplificado da distribuição das impurezas no substrato, sem detrimento da precisão, o qual pode ser observado através da figura 3.4, onde N_{A1} e N_{A2} correspondem, respectivamente, à concentração média de impurezas aceitadoras referente à I/I de Boro e à dopagem do substrato. Pelo referido processo, $N_{A1} = 4.7 \times 10^{15} \text{ cm}^{-3}$ e $N_{A2} = 1.0 \times 10^{15} \text{ cm}^{-3}$.

Assim, baseado no perfil de impurezas da figura 3.4, a dependência do potencial de superfície com a tensão de porta é dada por:

$$\phi_S = (V_G - V_{FB} - V_{SUB}) + V_0 - V_1 - \sqrt{V_0^2 + 2(V_G - V_{FB} - V_{SUB} - V_1)V_0 - V_2} \quad (3.8)$$

onde:

$$V_0 = q \frac{\epsilon_S \cdot N_{A2}}{C_{ox}^2} \quad (3.9.a)$$

$$V_1 = q \frac{N_{A1} x_I}{C_{ox}} \quad (3.9.b)$$

$$V_2 = \frac{q^2 \cdot N_{A1} N_{A2}}{C_{ox}^2} x_I^2 \quad (3.9.c)$$

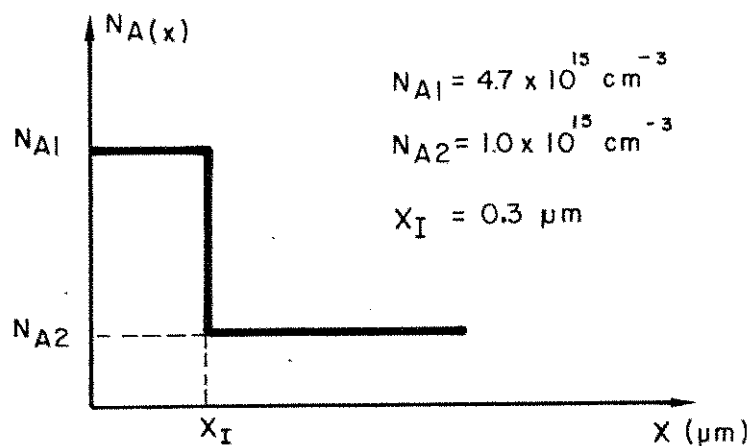


Figura 3.4 - Perfil simplificado de impurezas aceitadoras para transistores enriquecidos.

A adoção do perfil de impurezas simplificado da figura 3.4 não acarretará singificativas imprecisões na determinação de ϕ_S a partir de V_G , uma vez que $x_D \gg x_I$, onde x_D corresponde à largura da região de carga espacial, dada por:

$$x_D = \sqrt{\frac{2\epsilon_S \phi_S}{q N_{A2}} - \frac{N_{A1}}{N_{A2}} x_I^2} \quad (3.9.d)$$

Na figura 3.5 é mostrado o potencial de superfície ϕ_S em função da tensão de porta V_G . Para valores pequenos de V_0, V_1 e V_2 , o que corresponde à utilização de substratos de alta resistividade e/ou óxidos de porta de pequena espessura, a dependência de ϕ_S mostra-se preferencialmente linear com V_G . Para substratos de baixa resistividade, o termo raiz quadrático de (3.8) não mais é desprezível, conduzindo a uma variação mais lenta de ϕ_S com V_G . Esta mesma variação pode ser aproximada utilizando-se, em substratos de alta resistividade, implantações de Boro próximo à superfície do semiconductor [17].

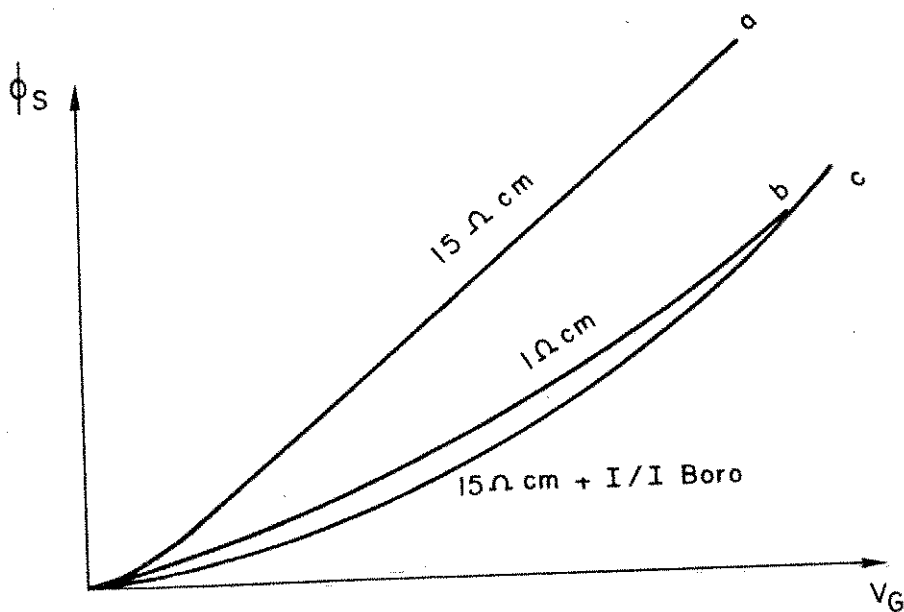


Figura 3.5 - Potencial de superfície em função da tensão de porta, para substratos com diferentes dopagens.

Na figura 3.6 tem-se o potencial de superfície em função da tensão de porta, relativo ao substrato, na região de armazenamento da célula básica da figura 3.2.a.

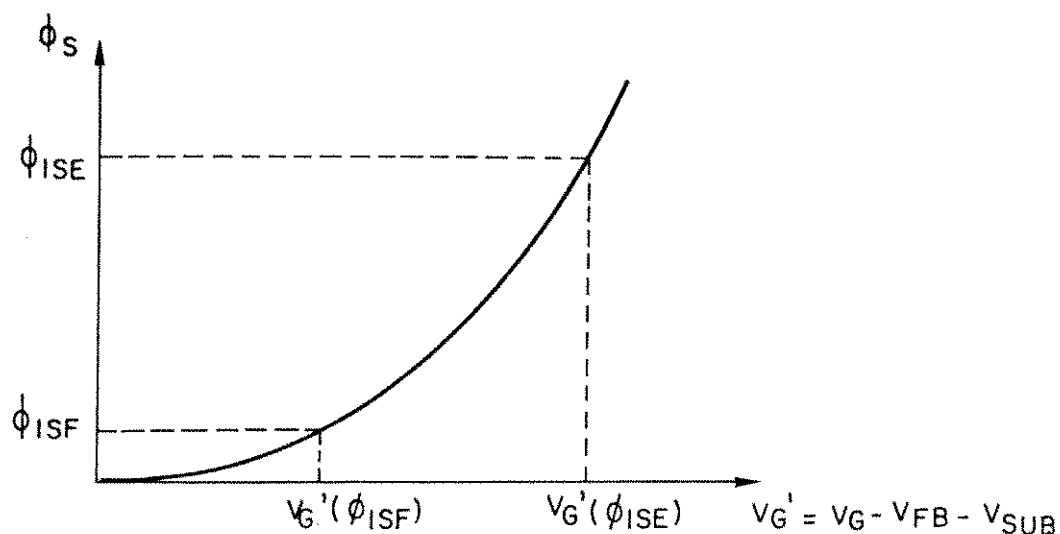


Figura 3.6 - Dependência do potencial de superfície com a tensão de porta, na região de armazenamento da célula de memória.

O potencial de superfície em relação ao substrato, na condição de poço vazio, pode ser determinado substituindo-se V_G por V_{DD} na expressão (3.8). Assim,

$$\phi_{ISE} = V_0 - V_1 + (V_{DD} - V_{FB} - V_{SUB}) - \left\{ V_0^2 + 2(V_{DD} - V_{FB} - V_{SUB} - V_1)V_0 - V_2 \right\}^{1/2} \quad (3.10)$$

onde V_0 , V_1 e V_2 são dados por (3.9.a,b,c).

Na condição de poço cheio, o potencial de superfície, em relação ao substrato, é dada por:

$$\phi_{ISF} = \phi_{inv} + |V_{SUB}| \quad (3.11)$$

onde ϕ_{inv} corresponde ao potencial de superfície de uma estrutura MOS, na condição de inversão forte [14,15,60].

Numa condição de transferência incompleta, parte da carga é retida no poço, devido à barreira de potencial imposta por $\phi_{2RF} < \phi_{1SE}$ e/ou $V_{LD} < \phi_{1SE}$, onde ϕ_{2RF} corresponde ao potencial de superfície na região de transferência, quando $V_{LE} = "1"$, e V_{LD} ao potencial na linha de dados, conforme mostrado na figura 3.7.

A carga, por unidade de área, transferida para a linha de dados é dada por:

$$Q_{tr} = C_{ox} [V_G(\phi_{1SE}) - V_G(\phi_{1SF})] - C_{ox} [V_G(\phi_{1SE}) - V_G(\phi_{2RF})] \quad (3.12)$$

$$= Q_{inv} - C_{ox}(V_{DD} - V_{LE}) \quad (3.13)$$

para

$$\phi_{2RF} < \phi_{1SE} \text{ e } \phi_{2RF} < V_{LD},$$

ou

$$Q_{tr} = Q_{inv} - C_{ox}(V_{DD} - V_G(V_{LD})) \quad (3.14)$$

para

$$V_{LD} < \phi_{1SE} \text{ e } V_{LD} < \phi_{2RF}$$

Quanto ao armazenamento da informação na célula, o valor lógico a ser armazenado depende, basicamente, do potencial da linha de dados V_{LD} durante o ciclo de escrita. Como mostrado na figura 3.8, se V_{LD} for igual, ou próximo, a zero Volts, o poço de potencial será preenchido com elétrons que fluem da linha de dados. Se V_{LD} corresponder a um valor alto de tensão ($V_{LD} > \phi_{2RF}$), a barreira de potencial existente entre a linha de dados e a região de transferência evita o referido fluxo de elétrons, mantendo o poço vazio, ou apenas com a carga residual. Uma vez que o processo de leitura é destrutivo, a condição de poço cheio não subsiste após o mesmo.

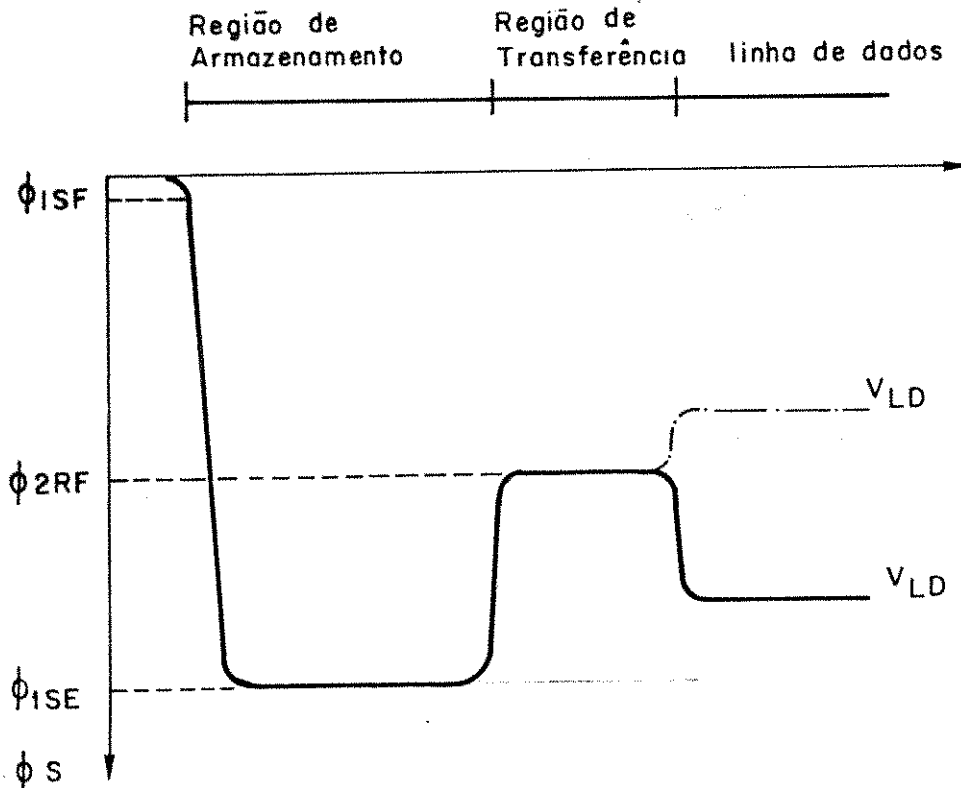


Figura 3.7 - Configuração do potencial de superfície na célula durante a leitura.

A convenção adotada neste trabalho para a informação contida na célula de memória associa a condição de poço cheio o valor digital "0", correspondendo ao poço vazio, ou com carga residual, o valor digital "1".

A dependência da carga Q_{inv} contida no poço com o potencial de superfície pode ser analisada a partir da expressão (3.3). Adotando-se uma situação de junção abrupta para a região N^+P , constituída pela camada invertida de elétrons e pelo substrato, com o perfil de impurezas aceitadoras mostrado na figura 3.4, a carga fixa na região depletada, por unidade de área, é dada por:

$$Q_B = q N_{A1} x_I + \sqrt{2V_0 C_{ox}^2 \phi_S - N_{A2} N_{A1} x_I^2 q^2} \quad (3.15)$$

onde V_0 é dado por (3.9.a).

Substituindo (3.15) em (3.3) e resolvendo para ϕ_S :

$$\phi_S = V_G' + V_0 - V_1 + \sqrt{V_0^2 + 2(V_G' - V_1)V_0 - V_2} \quad (3.16)$$

onde:

$$V_G' = V_G - V_{SUB} - Q_{inv}/C_{ox} \quad (3.17)$$

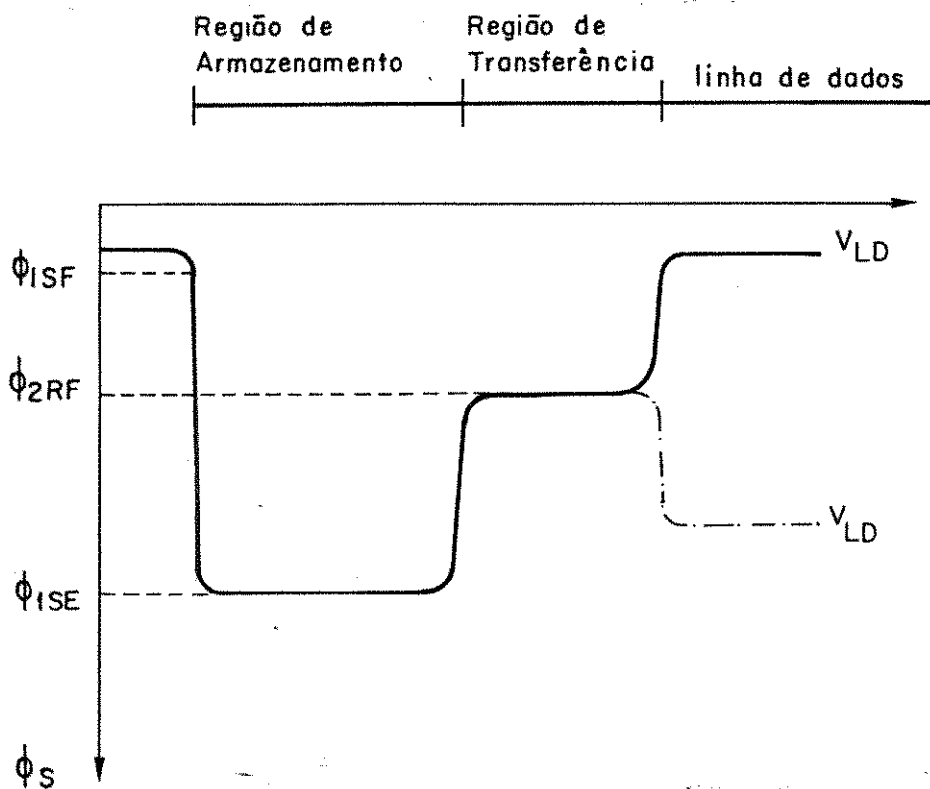


Figura 3.8 - Configuração do potencial de superfície na célula durante a escrita.

Para valores de espessura de óxido de 850 \AA e dopagem de substrato da ordem de $1.0 \times 10^{15} \text{ cm}^{-3}$, V_0 é aproximadamente 0.10 V , valor perfeitamente desprezível comparado a uma tensão de porta de alguns Volts. Assim, com uma boa aproximação, pode-se escrever:

$$\phi_S = V_G - V_{FB} - V_{SUB} - \frac{Q_{inv}}{C_{ox}} \quad (3.18)$$

Pela expressão (3.18), verifica-se uma dependência linear da carga Q_{inv} armazenada no poço, com o potencial de superfície ϕ_S , mostrada na figura 3.9.

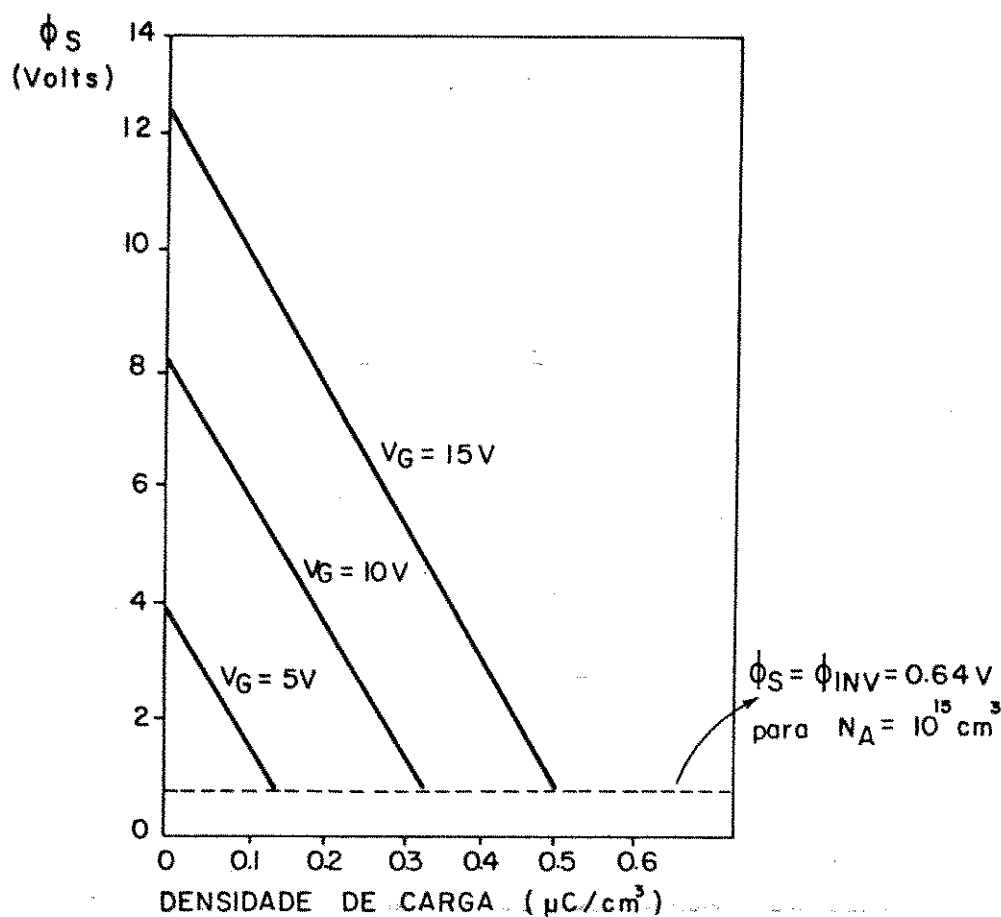


Figura 3.9 - Dependência da carga no canal com o potencial de superfície, para pequenos valores de V_0 .

Basicamente, há três mecanismos pelos quais a transferência de carga se processa: difusão térmica, campo elétrico auto-induzido e espraiamento das linhas de campo ("fringing fields"). A difusão térmica predomina na transferência de pequenas quantidades de carga. Para grandes quantidades, o campo elétrico longitudinal, auto-induzido pela repulsão eletrostática entre os portadores torna-se o mecanismo dominante. A intensidade do campo é máxima no início da transferência, quando a diferença de potencial de superfície, entre as regiões de armazenamento e transferência, é significativa. À medida em que a carga é transferida, os potenciais em ambas regiões tendem

ao valor de equilíbrio, anulando o campo elétrico.

Devido ao acoplamento eletrostático, o potencial de superfície na região de armazenamento é afetado pelo espraiamento das linhas do campo elétrico, resultante da tensão aplicada à porta do transistor de acesso. Dependente de parâmetros como espessura do dielétrico, concentração de substrato, dimensões do eletrodo de porta e tensões aplicadas, este campo atuará sobre a última porção de carga a ser transferida, da região de armazenamento, para a linha de dados [15].

Define-se como eficiência de transferência, a relação entre a carga transferida para a linha de dados e a carga armazenada na célula. Assim,

$$\eta = \alpha_t + \frac{Q_{tr}}{Q_{inv}}, \quad (3.19)$$

onde Q_{tr} e Q_{inv} são dadas por (3.14) e (3.7), respectivamente, e α_t é a fração da carga correspondente aos portadores aprisionados nos estados de superfície e, após o endereçamento, lançados na linha de dados.

Para uma avaliação de α_t , considera-se o número médio de portadores $N(t)$ emitidos num tempo t , por unidade de área, pelos estados de interface, inicialmente preenchidos em $t = 0$ [15,64]:

$$N(t) = kTN_{ss} \lambda_n (\bar{\sigma}_n \bar{v}_n N_c t) \quad (3.20)$$

onde N_{ss} é a densidade de estados de superfície, N_c a densidade de estados na banda de condução, $\bar{\sigma}_n$ o valor médio da secção de captura dos estados de interface para elétrons, e \bar{v}_n a velocidade térmica média desses portadores.

A expressão anterior é válida para $(\bar{\sigma}_n \bar{v}_n N_c)^{-1} \ll t \ll \tau_{mb}$, onde τ_{mb} é a constante de tempo para estados situados no meio da banda proibida. Considerando elétrons em Silício, $(\bar{\sigma}_n \bar{v}_n N_c)^{-1} = 4.4 \times 10^{-12}$ s e $\tau_{mb} = 10^{-2}$ s, (3.20) terá validade no intervalo $10^{-11} - 10^{-3}$ s. Na figura 3.10 tem-se a emissão de elétrons dos estados de interface em função do tempo, sendo adotados os seguintes valores: $N_{ss} = 2 \times 10^{10} \text{ cm}^{-2}$, $\bar{\sigma}_n = 8.1 \times 10^{-16} \text{ cm}^2$,

$$\bar{v}_n = 10^7 \text{ cm/s e } N_c = 2.8 \times 10^{19} \text{ cm}^{-3}.$$

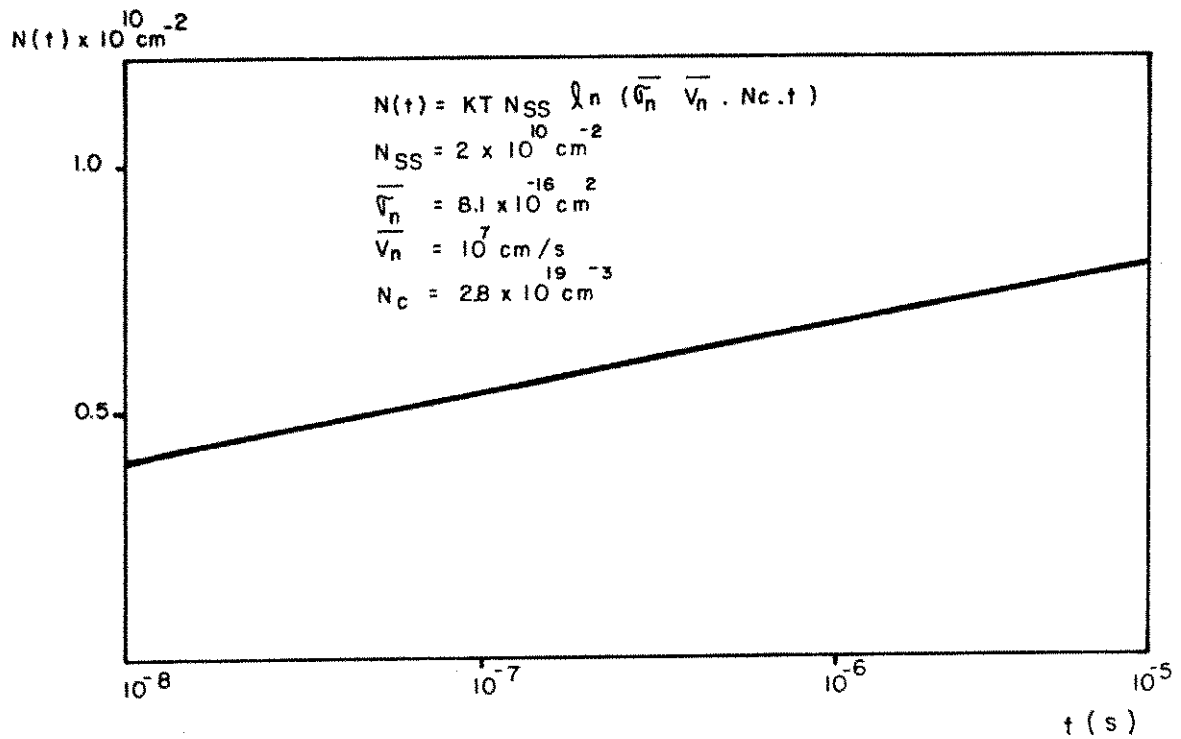


Figura 3.10 - Emissão de elétrons provenientes de estados de interface.

Assim, para uma justa avaliação de α_t , é necessário conhecer-se o intervalo de tempo em que, a partir do endereçamento da célula pela ativação do transistor de acesso, a linha de dados será "sentida" pelo amplificador sensor. O fator α_t , assim como a eficiência de transferência são calculados no capítulo IV, secção 4.8.

Conforme mencionado na secção 3.1, uma das mais importantes características de uma memória dinâmica é a volatilidade da informação. No presente caso, enquanto a informação lógica "0", associada à condição de poço cheio, não sofre restrições ao longo do tempo, o mesmo não ocorre quanto ao "1", correspondente a um poço vazio de carga, uma situação de não-equilíbrio.

Desta forma, existe uma tendência natural de se alcançar o equilíbrio, implicando num acúmulo crescente de minoritários na interface SiO_2/Si , sob o eletrodo de armazenamento, até que a inversão completa de população seja caracterizada. Há, basicamente, três mecanismos pelos quais o fluxo de minoritários se processa: difusão de elétrons da região de corpo do semiconductor em direção à interface, geração de pares elétron-lacunas na região

depletada e a geração de pares elétron-lacunas na interface SiO_2/Si .

A densidade de corrente de minoritários, abrangendo os três mecanismos descritos, é dada pela expressão [14, 15]:

$$J_{\text{ger}} = \frac{qn_i x_D}{2\tau} + \frac{qD_n n_i^2}{L_n N_A} + \frac{qS_0 n_i}{2}, \quad (3.21)$$

na qual x_D corresponde à largura da região depletada, τ à constante de tempo dos minoritários, D_n ao coeficiente de difusão, L_n ao comprimento de difusão e S_0 à velocidade de geração/recombinação superficial. Assim, a carga introduzida no poço de potencial, através do mecanismo de geração/recombinação, após o tempo t a partir do último endereçamento, é dada por:

$$Q_{\text{ger}} = A_s J_{\text{ger}} t = I_{\text{ger}} t \quad (3.21.a)$$

onde A_s é a área do eletrodo de armazenamento.

Para se avaliar o desempenho de um transistor MOS como chave, particularmente no estado de corte, é necessário considerar o comportamento da corrente entre dreno e fonte na região de subcondução, quando a tensão aplicada à porta é inferior à tensão de limiar, ou seja, $0 \leq V_{GS} \leq V_{TH}$. A retenção da informação na célula baseia-se na condição de corte do transistor de acesso durante o período de não endereçamento da mesma. No entanto, apesar de a tensão na linha de endereçamento, nesse período, permanecer próxima a zero Volts, existe uma corrente I_{sub} , embora muito pequena, que poderá influir no tempo de validade da informação, caso o circuito decodificador, responsável pelo endereçamento das linhas, não apresente o desempenho especificado.

O modelamento da corrente de subcondução de um transistor MOS, válido para dispositivos de canal longo, apresentado a seguir, assume três hipóteses fundamentais [45]:

1) A curvatura da banda de energia possui o mesmo valor ao longo do canal, considerando que a densidade de portadores seja desprezível, face

ã carga fixa da região depletada para a resolução da equação de Poisson.

2) Não há campo elétrico longitudinal atuando sobre os portadores, devido à hipótese anterior. Deste modo, a corrente flue pelo mecanismo de difusão. O gradiente de concentração, na camada superficial de inversão, deve ser o mesmo, ao longo do canal, para manter constante a corrente. Sendo N_{inv} a concentração de minoritários, por unidade de área, junto à fonte, e zero, junto ao dreno, o gradiente é dado por N_{inv}/L_{eff} , sendo L_{eff} o comprimento efetivo do canal.

3) Para valores de $V_{DS} \geq 3.kT/q$, a corrente de subcondução atinge a saturação, independentemente da tensão de dreno.

Assim, a corrente de subcondução é dada por | 45,65 | :

$$I_{sub} = \beta^{-2} \mu^* (Z_{eff}/L_{eff}) C_{ox} (\beta q N_{inv}/C_{ox}) \quad , \quad (3.22)$$

onde $\beta = q/kT$, e μ^* a mobilidade efetiva dos portadores.

O valor de N_{inv} depende, entre outros parâmetros, do perfil de impurezas, da concentração de substrato e do potencial de fonte V_S . Considerando o perfil de impurezas mostrado na figura 3.4 e tendo $x_D \gg x_I$, onde x_D é a largura da região depletada e x_I a profundidade de implantação, N_{inv} é dado por:

$$\frac{\beta q N_{inv}}{C_{ox}} = \frac{a}{2} \left(\frac{n_i}{N_{A2}} \right)^2 \exp(\beta \phi_{sat} - \beta V_S') / \Delta_I(\phi_{sat}) \quad (3.23)$$

onde:

$$a = \sqrt{2} \frac{\epsilon_{si} t_{ox}}{\epsilon_{ox} L_B} \quad (3.24.a)$$

$$\Delta_I(\phi_{sat}) = \frac{m_0}{\sqrt{2}} + \frac{a}{2} \left\{ \left[1 + \left(\frac{4}{a^2} \right) (\beta V_G' - m_1 - \frac{am_0}{\sqrt{2}} - 1) \right]^{1/2} - 1 \right\} \quad (3.24.b)$$

$$m_0 = \frac{N_{A1} x_I}{N_{A2} L_B} \quad , \quad m_1 = \frac{m_0 x_I}{2 L_B} \quad (3.24.c)$$

$$L_B : \text{comprimento de Debye} = \sqrt{\frac{\epsilon_{Si} \epsilon_0}{\beta q N_{A2}}} \quad (3.24.d)$$

$$V_G' = V_G - V_{FB} - V_{SUB} \quad , \quad V_S' = V_S - V_{SUB} \quad (3.24.e)$$

Na expressão (3.23), ϕ_{sat} corresponde à curvatura da banda de energia junto ao dreno, relacionado com a tensão de porta pela expressão:

$$\beta \phi_{sat} = \beta V_G' - \frac{am_0}{\sqrt{2}} - \left(\frac{a^2}{2}\right) \left\{ \left[1 + \left(\frac{4}{a^2}\right) \left(\beta V_G' - m_1 - \frac{am_0}{\sqrt{2}} - 1\right) \right]^{1/2} - 1 \right\} \quad (3.25)$$

Deste modo, a partir dos valores de V_G e V_S , pode-se avaliar a corrente de subcondução I_{sub} , cujo efeito no tempo de retenção da informação "1" na célula expressa-se através da carga Q_{sub} , proveniente da linha de dados e transferida para o poço de potencial via transistor de acesso, ou seja:

$$Q_{sub} = I_{sub} \cdot t \quad (3.26)$$

onde t representa o período entre dois endereçamentos consecutivos da célula. Na figura 3.11 é mostrada a dependência de I_{sub} com V_S e V_G , para $t_{ox} = 850 \text{ \AA}$, $N_{A1} = 4.7 \times 10^{15} \text{ cm}^{-3}$, $N_{A2} = 1.0 \times 10^{15} \text{ cm}^{-3}$, $x_I = 0.3 \mu\text{m}$, $V_{FB} = -1.0 \text{ V}$ e $V_{SUB} = -2.5 \text{ V}$. Deve-se observar que, pequenos desvios em V_S e V_G , da ordem de poucos décimos de Volts, acarretam variações de duas ou três ordens na magnitude da corrente de subcondução I_{sub} .

A análise apresentada do comportamento da corrente de subcondução aplica-se a transistores de canal longo, não sendo considerados, portanto, os efeitos de canal curto [15, 66]. Brews et al sugerem uma relação empírica entre os parâmetros de um transistor MOS, a qual estabelece um valor limiar do comprimento de máscara do canal, no que se refere ao comportamento da corrente de subcondução, acima do qual os efeitos devidos a dispositivos de canal curto podem ser desprezados. Tal relação corresponde a [67]:

$$L_{\min} = A \left[x_j t_{\text{ox}} (W_s + W_d) \right]^{1/2} \mu\text{m} \quad (3.27)$$

onde A é uma constante de proporcionalidade, x_j a profundidade de junção em microns, t_{ox} a espessura do óxido de porta, em angstroms, e $W_s + W_d$ a soma, em microns, das difusões laterais nas regiões de fonte e dreno.

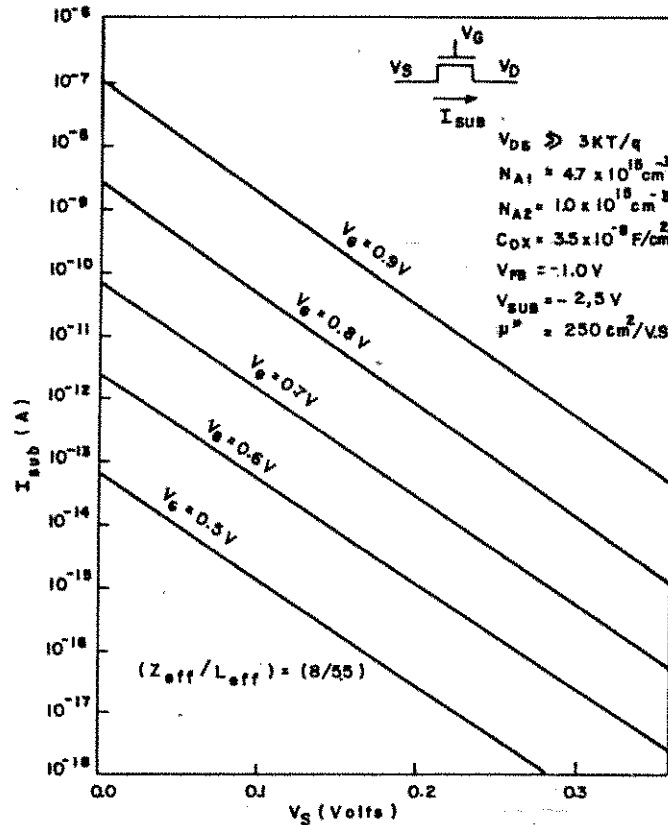


Figura 3.11 - Dependência da corrente de subcondução com os potenciais de porta e fonte.

Nas condições do processo de fabricação adotado para a realização deste trabalho, ver apêndice A, $t_{\text{ox}} = 850 \text{ \AA}$, $x_j = 1.5 \mu\text{m}$ e $W_s + W_d \cong 2.50 \mu\text{m}$. Sendo $A = 0.41 (\text{A})^{1/2}$,

$$L_{\min} = 0.41 \left[1.5 \times 850(2.50)^2 \right]^{1/2} = 8.18 \mu\text{m} \quad (3.28)$$

O transistor de acesso Q_A na célula de memória, esquematizada na figura 3.1, tem seu comprimento de canal, de máscara, igual a $8.0 \mu\text{m}$, de modo

aos efeitos de canal curto ainda poderem, a uma primeira instância, serem desprezados.

O índice de mérito Margem de Leitura (ML) é definido pela expressão:

$$ML = 1 - \frac{Q_{"1"}}{Q_{"0"}} \quad (3.28)$$

onde $Q_{"1"}$ e $Q_{"0"}$ correspondem, respectivamente, às cargas associadas à informação digital "1" e "0". No caso de transferência incompleta de cargas durante a leitura, $Q_{"1"}$ é representada pela soma da carga residual com a carga injetada no poço de potencial, ou seja:

$$Q_{"1"} = Q_{res} + Q_{inj} \quad (3.29)$$

onde

$$Q_{res} = Q_{inv} - Q_{tr} = Q_{"0"} - Q_{tr} \quad (3.30)$$

$$Q_{inj} = Q_{ger} + Q_{sub} \quad (3.31)$$

sendo Q_{inv} , Q_{tr} , Q_{ger} e Q_{sub} dadas, respectivamente, por (3.7), (3.14), (3.21.a) e (3.26).

Assim, para que ML assuma um alto valor, condição para uma boa distinção entre os níveis "0" e "1", é necessário que o termo Q_{inj} seja limitado a um valor conveniente, função do período de reescrita da memória. Especificando-se um valor mínimo para a Margem de Leitura (ML_{min}), fica determinado o tempo de retenção, ou validade, da informação na célula. Combinando-se as expressões (3.28) a (3.31), tem-se:

$$t_{ret} = \frac{Q_{"0"}(1 - ML_{min}) - Q_{res}}{I_{ger} + I_{sub}} \quad (3.32)$$

No capítulo IV, seção 4.8, é calculado o valor de t_{ret} , a partir do qual especifica-se o período máximo de reescrita da memória.

Na figura 3.12 tem-se o lay-out, já dimensionado, da célula básica de memória RAM dinâmica, com a qual foi projetado o subsistema de 1024x1 bits. Sendo 3.5×10^{-4} pF/ μm^2 a capacitância do óxido de porta, por unidade de área, a capacitância do elemento armazenador equivale a 0.23 pF, correspondendo a $2613 \mu\text{m}^2$ a área total da célula.

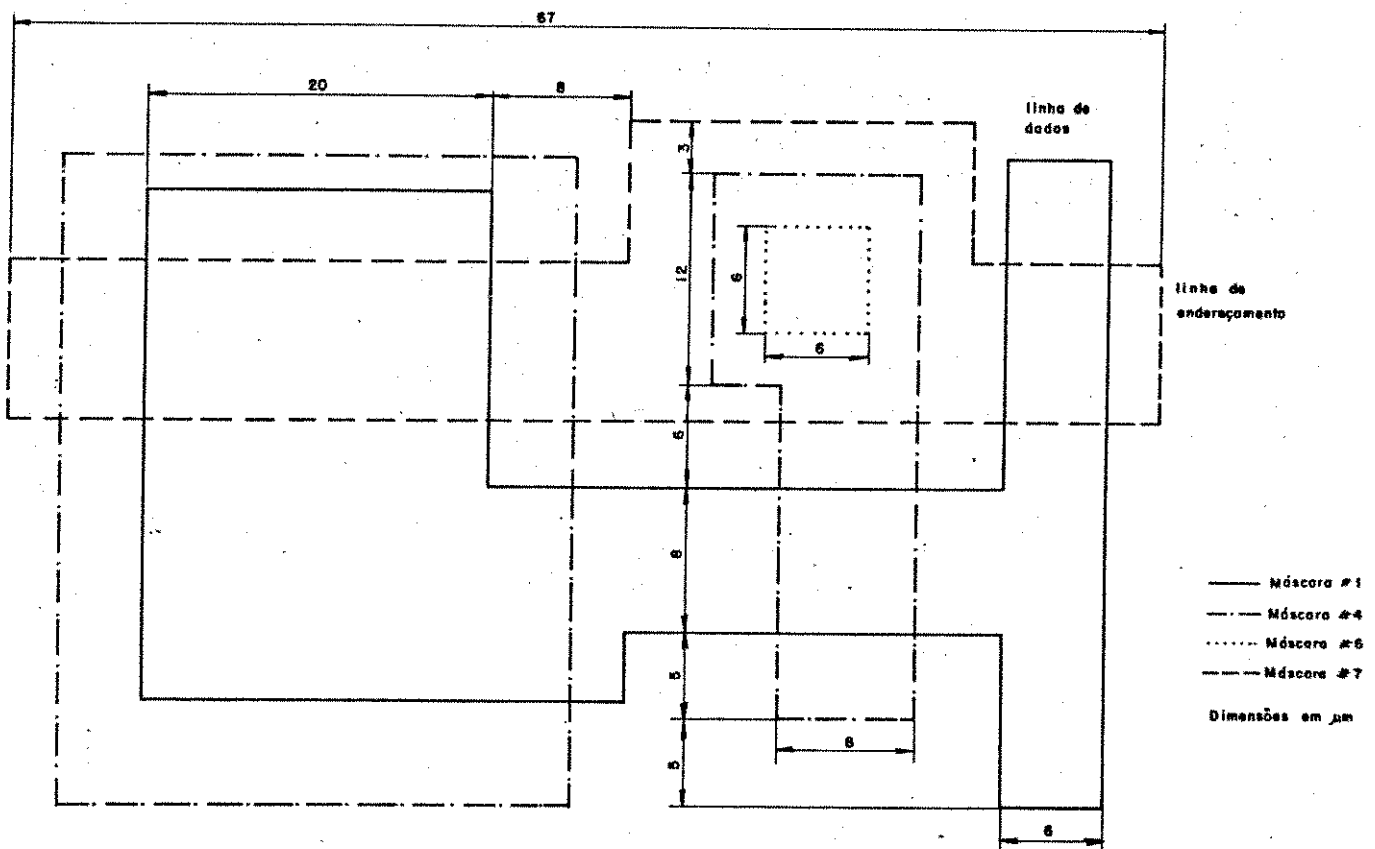


Figura 3.12 - Lay-out e dimensões da célula de memória.

CAPÍTULO IV

PROJETO DA MEMÓRIA RAM DINÂMICA DE 1024 BITS

Neste capítulo são especificados e dimensionados os módulos elementares nos quais a memória RAM dinâmica foi particionada, conforme descrito no capítulo II. As condições de carga de projeto, correspondem àquelas de um subsistema de 1024 bits, dividido em duas submatrizes de 16×32 células cada, implementado com processo NMOS, porta de Silício policristalino, disponível no Edinburgh Microfabrication Facility (EMF) e cujas regras de projeto encontram-se no apêndice A. Simulações realizadas com o programa MSINC [87] são apresentadas, constituindo-se numa pré-avaliação do desempenho dos circuitos projetados.

4.1. Considerações a Respeito do Modelamento dos Parâmetros de Projeto

O projeto da memória apresentado neste capítulo antecedeu, no tempo, ao modelamento dos parâmetros de transistores, modo enriquecimento e depleção, descrito no capítulo V. Desta forma, para o dimensionamento dos transistores nos circuitos, são adotadas as expressões clássicas de corrente em dispositivos com largura e comprimento grandes de canal [14,15,60], bem como valores médios em parâmetros de projeto, como mobilidade superficial, tensão de limiar e fator de corpo.

A utilização de modelos de primeira ordem no presente projeto justifica-se, também, pela simplificação de cálculos que proporciona e por se adotar um comprimento efetivo mínimo de canal de $3.5 \mu\text{m}$, o que não acentua, ainda, os efeitos devido a dispositivos de canal curto [15,68,69,70,71]. No entanto, como poderá ser verificado no decorrer deste capítulo, as dimensões adotadas possuem, em pontos críticos, uma margem de projeto no intuito de conseguir um bom desempenho, na prática, do circuito dimensionado a partir de um modelo simplificado.

4.1.1. Expressões Elétricas Básicas do Transistor MOS (TECMOS)

As expressões de corrente, transcondutância e condutância do TECMOS dependem, essencialmente, de sua região de operação. Neste projeto ado-

ta-se:

a) Região Linear: ($0 < V_{DS} \ll 2\phi_{FP}$)

$$I_D = \beta(V_{GS} - V_T)V_{DS} \quad (4.1)$$

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}} = \beta V_{DS} \quad (4.2)$$

$$g_{ds} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}} = \beta(V_{GS} - V_T) \quad (4.3)$$

b) Região Triodo: ($0 < V_{DS} < V_{DSAT}$)

$$I_D = \beta \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.4)$$

$$g_m = \beta V_{DS} \quad (4.5)$$

$$g_{ds} = \beta(V_{GS} - V_T - V_{DS}) \quad (4.6)$$

c) Região de Saturação:

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad (4.7)$$

$$g_m = \beta(V_{GS} - V_T) \quad (4.8)$$

$$g_{ds} = 0$$

Nas expressões anteriores, define-se:

$$V_{DSAT} = V_{GS} - V_T: \text{ Tensão de saturação}$$

$\beta = C_{ox} \cdot \mu^* \cdot (Z_{eff}/L_{eff})$: fator de ganho, onde:

μ^* = mobilidade efetiva dos portadores no canal.

Z_{eff} = largura efetiva de canal.

L_{eff} = comprimento efetivo do canal.

4.1.2. Tempo de Subida do Inversor.

O tempo de subida, à saída do inversor, pode ser fator limitante de projeto, devendo ser, às vezes, especificado a priori. Crawford [72] expressou o comportamento dinâmico do transistor de carga modo enriquecimento, através de curvas normalizadas, mostradas na figura 4.1, em função de seu índice de saturação, denotado por:

$$m = \frac{V_{DD}}{V_{in} - V_{T_L}} \quad , \quad (4.10)$$

e da constante de tempo

$$\tau_L = \frac{C_S}{\beta_L (V_{in} - V_{T_L})} \quad (4.11)$$

Para transistores modo depleção como carga [73] ,

$$t_S = \frac{C_S}{\beta_L |V_{T_L}|} \cdot \left\{ \frac{2}{|V_{T_L}|} \cdot [0.9 V_{DD} - 0.9 V_0 - |V_{T_L}|] + \ln \left[\frac{2|V_{T_L}| - 0.1 \times V_{DD}}{0.1 V_{DD}} \right] \right\} \quad (4.12)$$

4.1.3. Tempo de Descida do Inversor.

O tempo de descida à saída do inversor pode ser calculado considerando que a descarga do capacitor C_S seja feita preferencialmente pelo transistor de comando Q_D . Na figura 4.2 tem-se o tempo de descida t_d em função do potencial de saída, ambos normalizados, respectivamente, por τ e V_1 , onde

$$\tau = \frac{C_S}{\beta_D(V_{in} - V_{TD})} \quad (4.13)$$

$$V_1 = V_{in} - V_{TD} \quad (4.14)$$

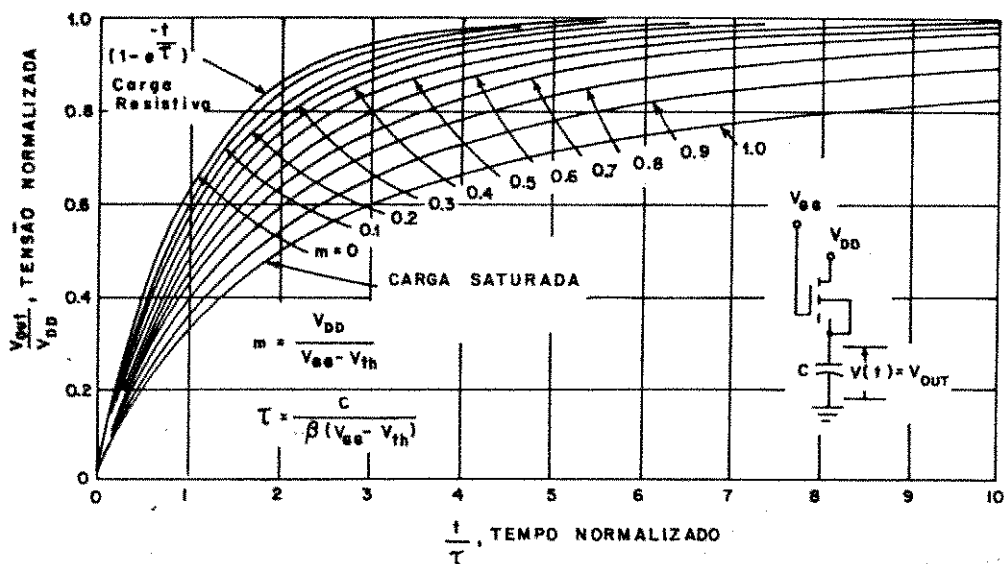


Figura 4.1 - Tempo de subida normalizado do inversor.

4.1.4. Potência Dissipada.

A potência dissipada pode se impor como um dos fatores limitantes da densidade máxima de dispositivos numa única pastilha ("chip"), uma vez que o aumento de temperatura traz, como imediata consequência, uma degradação no valor da mobilidade e das correntes de fuga. Em memórias dinâmicas, o tempo de retenção da informação na célula é comprometido, bem como o tempo de acesso [74,75].

Os circuitos denominados dinâmicos têm, como característica fun

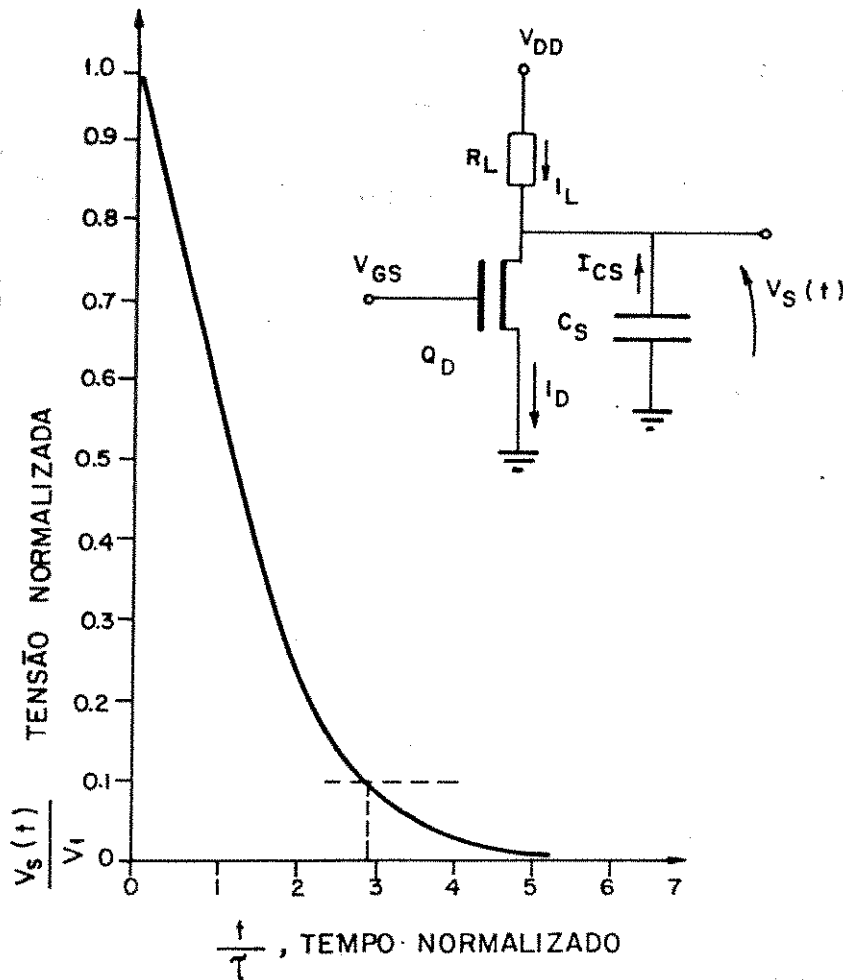


Figura 4.2 - Tempo de descida normalizado do inversor.

damental, a dissipação de potência restrita aos transitórios. Deste modo torna-se conveniente, ou mesmo imperativo, que circuitos, dos quais é exigida uma elevada capacidade de corrente, tais como "drivers" e/ou "buffers", sejam comandados por fases.

Quanto aos inversores estáticos de baixa potência, presentes nos circuitos especificados, a potência dissipada é maior no transistor de carga quando a saída corresponder o nível lógico "0". A partir da potência máxima permissível por unidade de área, $P_{\max/\bar{a}rea}$, determina-se a área mínima de canal, A_L , que o transistor de carga deve possuir, ou seja:

$$A_L = Z_{\text{eff}} \cdot L_{\text{eff}} = \frac{V_{DS} \cdot I_D}{P_{\max/\bar{a}rea}} \quad (4.15)$$

O valor de $P_{\text{máx}}/\bar{\text{área}}$ adotado neste trabalho é $0.08 \text{ mW}/\mu\text{m}^2$ [76]. Embora não evidenciado no decorrer do capítulo, a dissipação de potência, por unidade de área, em transistores de carga, particularmente, é especificada abaixo deste valor limite.

4.1.5. Tensão de Limiar

A tensão de limiar de transistores MOS tem o seu valor alterado com as polarizações de fonte, dreno e substrato, de acordo com o fator de corpo, acentuadamente em dispositivos com pequenas dimensões de largura e comprimento de canal [76,77,78]. Conforme mencionado no preâmbulo desta seção, no referido projeto será utilizado um modelo simples para a determinação da tensão de limiar [77]:

$$V_{\text{TH}} = V_{\text{T0}} + \frac{\gamma}{2} \left[\sqrt{2\phi_{\text{FP}} + V_{\text{DS}} + V_{\text{SUB}}} + \sqrt{2\phi_{\text{FP}} + V_{\text{SUB}}} - 2\sqrt{2\phi_{\text{FP}}} \right] \quad (4.16)$$

onde V_{T0} é a tensão de limiar, para $V_{\text{SUB}} = 0 \text{ V}$ e $V_{\text{DS}} = 0.1 \text{ V}$, e γ o fator de corpo. De acordo com os valores descritos no apêndice A, referentes ao processo de fabricação, tem-se, para transistores modo enriquecimento, $V_{\text{T0}} = 0.63 \text{ V}$ e $\gamma = 0.30 \text{ V}^{1/2}$ e, para modo depleção, $V_{\text{T0}} = -4.60 \text{ V}$ e $\gamma = 0.50 \text{ V}^{1/2}$, com $L_{\text{eff}} = 3.5 \mu\text{m}$. Para ambos os casos, o fator de corpo é elevado em 25% para $L_{\text{eff}} = 5.5 \mu\text{m}$ e em 30% para $L_{\text{eff}} \geq 12.5 \mu\text{m}$.

Um dos objetivos deste trabalho consiste na caracterização experimental da dependência da tensão de limiar com as polarizações de dreno, fonte e substrato e com as dimensões de canal, para o referido processo de fabricação, sumariamente descrito no apêndice B.

4.1.6. Mobilidade Superficial

Um dos fundamentos para um eficiente projeto consiste no bom conhecimento do valor da mobilidade superficial em função de parâmetros como perfil de impurezas, dimensões físicas do transistor e campos elétricos no canal. Trabalhos experimentais neste tema têm sido continuamente realizados, comprovando-se a significativa dependência da mobilidade com os parâmetros descritos [68,79,80,81,82,83]. No entanto, os modelos apresentados ca

racterizam-se, em geral, por serem empíricos, nos quais os parâmetros de ajuste, determinados experimentalmente, possuem um enorme vínculo com o processo de fabricação e com os métodos de medida utilizados.

Na fase de projeto optou-se pela utilização de modelos, de certa forma, mais utilizados e que guardassem uma maior proximidade com o referido processo de fabricação, como o de Frohman - Bentchkowsky [84] e Canali et al [85]. Além disto, estes modelos estão em subrotinas na versão do programa MSINC utilizada neste trabalho [87].

Assim, a dependência da mobilidade com a componente normal do campo elétrico, é dada por

$$\mu_y = \mu_0 \left[\frac{2 \times 10^5 \cdot t_{ox}}{V_{GS} - V_{FB} - 2\phi_{FP} - V_{DS}/2} \right]^{C_1}, \quad (4.17)$$

onde t_{ox} é a espessura de óxido em centímetros e μ_0 a mobilidade superficial para baixos valores de campo elétrico. No caso de transistores canal N, com ajuste da tensão de limiar através de implantação de íons de Boro, a constante empírica C_1 varia de 0.32 para $L_{eff} = 3.0 \mu m$ a 0.19 para $L_{eff} = 100 \mu m$.

A mobilidade em transistores modo depleção apresenta um comportamento diferente em relação a dispositivos enriquecidos quando, na condição de depleção superficial, os portadores são injetados no substrato e alcançam o dreno através do canal metalúrgico constituído pela camada de condutividade N^+ [86]. Desta forma, os efeitos de superfície que degradam a mobilidade não são significativos.

Estudos experimentais têm mostrado que, transistores modo depleção apresentam um valor de mobilidade μ^* superior em relação aos transistores enriquecidos [73,86]. Para efeitos de cálculo neste projeto, eleva-se em 10% o valor de μ_0 , no caso de dispositivos modo depleção.

Considerando-se o efeito da componente longitudinal do campo elétrico, a mobilidade efetiva dos portadores no canal é dada por:

$$\mu^* = \frac{\mu_y}{\left[1 + \left(\frac{E_x}{E_{xc}} \right)^B \right]^{1/B}} \quad (4.18)$$

onde $E_{xc} = 8.0 \times 10^3$ V/cm e $B = 2.0$ são constantes empíricas. Para a mobilidade μ_0 adota-se o valor de $650 \text{ cm}^2/\text{V.s.}$ [77]. Uma das propostas deste trabalho é levantar, experimentalmente, os valores de mobilidade em função dos parâmetros e condições mencionadas, estabelecendo-se modelos empíricos.

4.2. Projeto da Interface de Entrada dos Endereços

Algumas importantes características conduziram à elaboração do circuito da figura 4.3 para a interface de entrada dos endereços da memória, tais como:

- permitir a multiplexação dos endereços de linha ($A_0 \dots A_4$) e de coluna ($A_5 \dots A_9$) num único duto de endereçamento ("address bus");
- complementação do endereço, à saída da interface, para a entrada no circuito decodificador;
- rápida interpretação do endereço A_i e baixo consumo de potência.

O período de endereçamento tem início com a desativação do sinal externo $\overline{\text{SEL}}$, para o caso dos endereços de linha, ou do sinal externo $\overline{\text{SEC}}$, para os endereços de coluna. A_i corresponde ao endereço à entrada da interface, com os respectivos níveis TTL. Os transistores Q_5 , Q_5' , Q_6 e Q_6' , constituem um biestável ligeiramente desbalanceado ($(Z_{\text{eff}}/L_{\text{eff}})_{6'} > (Z_{\text{eff}}/L_{\text{eff}})_6$), de modo a ter-se um potencial baixo em S' quando $A_i = 0$. No caso de $A_i = 1$, o circuito força um valor alto de potencial em S' . Os inversores constituídos pelos transistores Q_8 , Q_9 , Q_{10} e Q_{11} provêm o endereço à saída da interface, bem como o seu complemento. Os transistores Q_{12} , Q_{13} resetam as saídas da interface, uma vez terminado o endereçamento das linhas, o que ocorre com a ativação do sinal $\overline{\text{SEL}}$ (ou $\overline{\text{SEC}}$).

Na figura 4.4 é mostrado o diagrama das fases que controlam a interface de entrada. No intervalo de tempo em que $\overline{\text{SEL}} = 1$, determinados nós do circuito são pré-carregados, enquanto outros, descarregados. No período em que $\phi_1 = 1$, o biestável inicia o "senso", ou seja, os potenciais em S e S' começam a tender aos seus valores de equilíbrio. Ao ter-se $\phi_1 = 0$, a interfa-

ce torna-se insensível a variações no endereço A_i . Quando $\phi_2 \rightarrow 1$, potenciais extremos são alcançados no biestável, tornando válidas as saídas da interface.

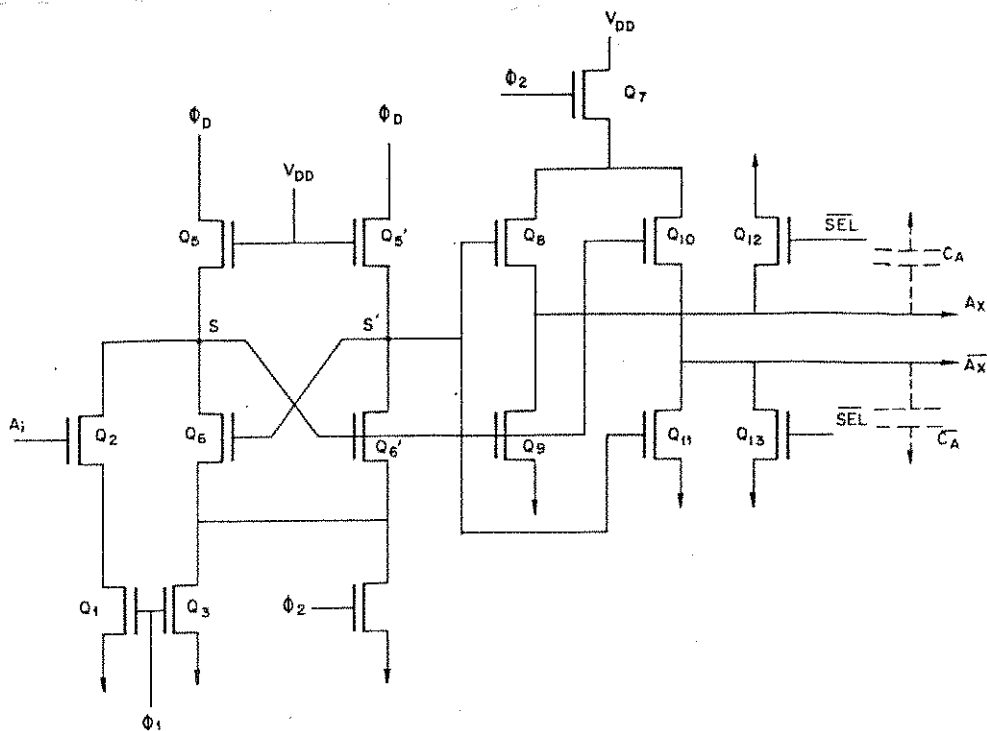


Figura 4.3 - Interface de entrada para endereços.

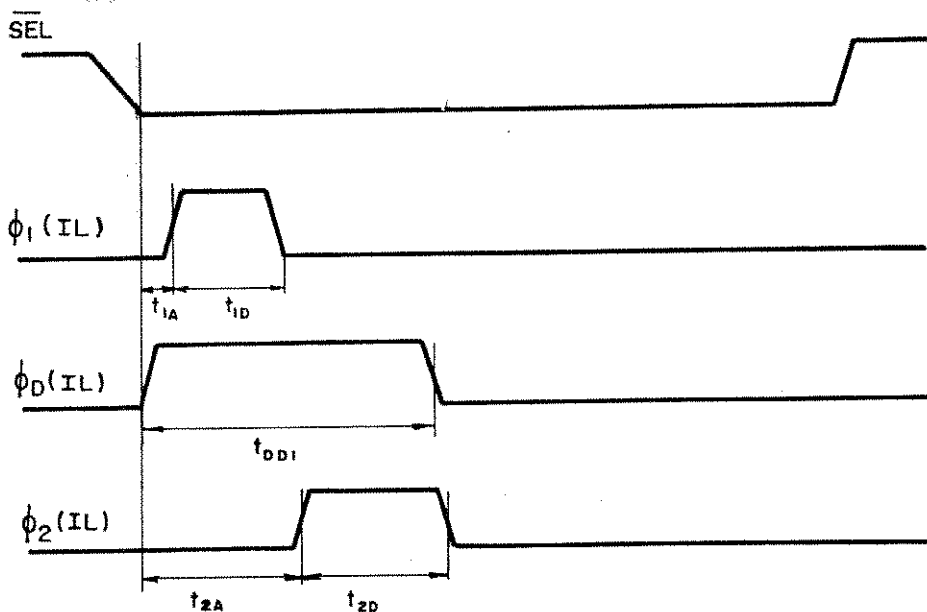


Figura 4.4 - Fases de controle da interface de entrada de endereços.

Para o projeto do circuito biestável considera-se, inicialmente, $A_i = 0$ e a fase ϕ_1 sendo ativada, situação representada na figura 4.5. Para que o potencial em S' seja inferior ao do $\bar{n}^o S$, é necessário que $(Z_{\text{eff}} / L_{\text{eff}})_{6'} > (Z_{\text{eff}} / L_{\text{eff}})_6$.

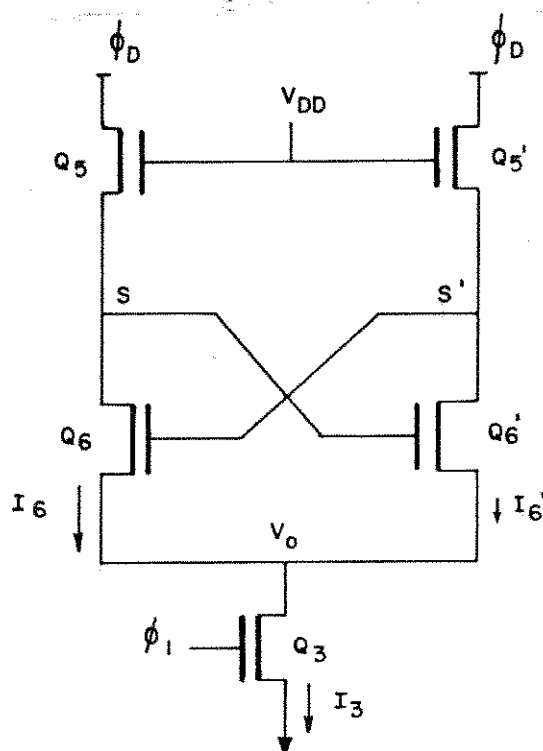


Figura 4.5 - Representação parcial da interface de entrada, no caso de $A_i = 0$ e $\phi_1 \rightarrow 1$.

Quando ϕ_1 é ativada, as correntes em Q_6 , Q_6' , e Q_3 são da das, respectivamente, por:

$$I_6 = \frac{\beta_6}{2} (V_{\phi_D} - V_o - V_T)^2 \quad (4.19)$$

$$I_{6'} = \frac{\beta_{6'}}{2} (V_{\phi_D} - V_o - V_T)^2 \quad (4.20)$$

$$I_3 = \beta_3 \left[(V_{\phi_1} - V_T) V_o - \frac{V_o^2}{2} \right] \quad (4.21)$$

onde V_{ϕ_D} e V_{ϕ_1} correspondem aos potenciais das fases ϕ_D e ϕ_1 . Deve-se obser-

var que ϕ_D ainda não alcança o seu valor lógico máximo, permanecendo

$$V_{DD} - V_T(Q_5) > V_{\phi_D}$$

Impondo $\beta_{6'} = f\beta_6$ e considerando $I_3 = I_6 + I_{6'}$, tem-se

$$\frac{\beta_3}{\beta_6} = \frac{(V_{\phi_D} - V_o - V_T)^2}{(V_{\phi_1} - V_T) V_o - V_o^2/2} \cdot \frac{1+f}{2} \quad (4.22)$$

Adotando $f = 1.1$, $V_{\phi_D} = 5.0$ V, $V_{\phi_1} = 5.0$ V, $V_T(Q_6) = V_T(Q_6') = 1.40$ V

e $V_T(Q_3) = 1.0$ V, tem-se, para $V_o = 2,5$ V, $(\beta_3/\beta_6) = 0.20$. Embora os valores adotados para V_{ϕ_D} e V_{ϕ_1} não correspondam aos potenciais máximos alcançados pelas fases, V_{ϕ_D} refletem uma condição de início de detecção do endereço.

Na figura 4.6 tem-se o circuito biestável, estando ativada a fase ϕ_2 . Para estabelecer-se uma relação entre Q_4 e Q_6 , simplificada-se adota-se $\beta_4 = \beta_6$, e $V_{S'} = 2 V_o$.

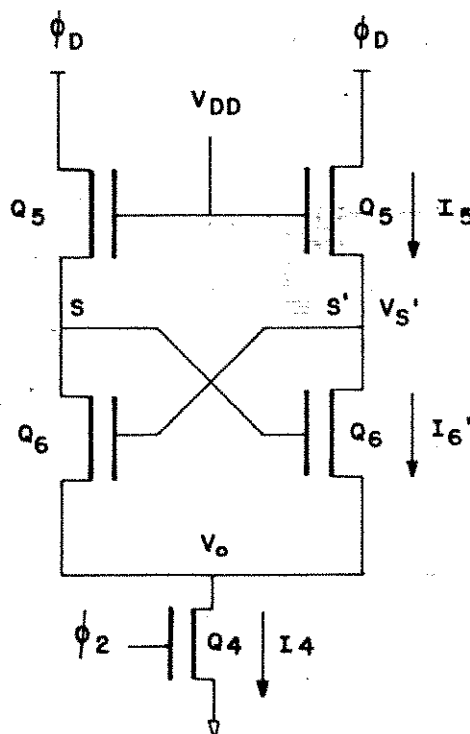


Figura 4.6 - Representação parcial da interface de entrada quando $\phi_2 = 1$.

Assim, o ramo direito do biestável pode ser simplificado, conforme mostrado na figura 4.7. As correntes são dadas por:

$$I_{S'} = \beta_{S'} \left\{ (V_{DD} - V_{S'} - V_T) (V_{\phi_D} - V_{S'}) - \frac{(V_{\phi_D} - V_{S'})^2}{2} \right\} \quad (4.23)$$

$$I_D = \beta_D (V_{\phi_2} - V_T) \cdot V_{S'} \quad (4.24)$$

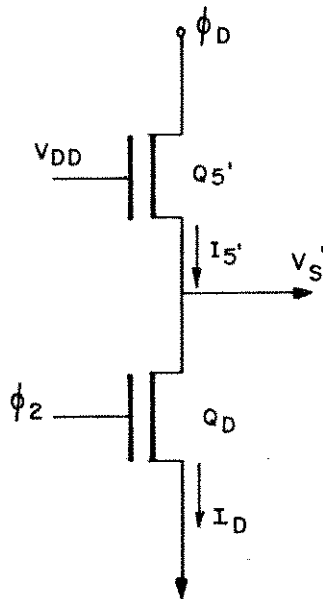


Figura 4.7 - Representação simplificada do ramo direito do biestável.

onde V_{ϕ_D} e V_{ϕ_2} correspondem aos potenciais das fases ϕ_D e ϕ_2 , respectivamente e $1/\beta_D = 1/\beta_4 + 1/\beta_6$. Com a ativação de ϕ_2 , espera-se que os potenciais no biestável alcancem os valores de equilíbrio. No caso de $V_{S'}$ corresponder ao valor lógico inferior, a relação $\beta_D/\beta_{S'}$, necessária para mantê-lo, é fornecida pela combinação de (4.23) e (4.24). Para valores de $V_{\phi_D} = V_{\phi_2} = 10$ V, que corresponde a uma situação de pior caso, $V_{DD} = 12$ V, $V_{S'} \leq 0.5$ V e $V_T(Q_{S'}) = V_T(Q_D) = 1.0$ V, uma vez que o transistor de carga

possuirá canal longo, desprezando-se, portanto, o efeito da polarização V_{DS} em V_T , tem-se que $\beta_D/\beta_{5'} \geq 12$. Assim, determina-se que $\beta_4/\beta_{5'} = \beta_{6'}/\beta_{5'} \geq 2 \times 12.0 = 24.0$.

Para que as dimensões dos transistores Q_4 , Q_6 e $Q_{6'}$, não atinjam valores excessivamente altos, impõe-se $(Z_{eff}/L_{eff})_{5'} = 0.4$. Portanto, $(Z_{eff}/L_{eff})_4 = (Z_{eff}/L_{eff})_{6'} \geq 24 \times 0.4 = 9.6$.

De modo a evitar que, durante a pré-carga dos nós S e S' , ocorra $V_{S'} > V_S$, resultante de possíveis variações em parâmetros, como tensão de limiar e mobilidade nos transistores de carga, adota-se $(Z_{eff}/L_{eff})_5 \approx 1.5 (Z_{eff}/L_{eff})_{5'}$. Cumpre salientar que, esse desbalanceamento, não inverterá a tendência de detecção do biestável, uma vez que os transistores de comando, Q_6 e $Q_{6'}$, possuem, por imposição de projeto, maior capacidade de corrente. O pequeno atraso da fase ϕ_1 em relação à ativação de \overline{SEL} deve-se à necessidade da pré-carga dos nós S e S' antes do endereço A_i ser liberado..

Supondo agora $A_i = 1$, os transistores Q_1 e Q_2 devem garantir um valor lógico inferior no nó S , conforme mostrado na figura 4.8

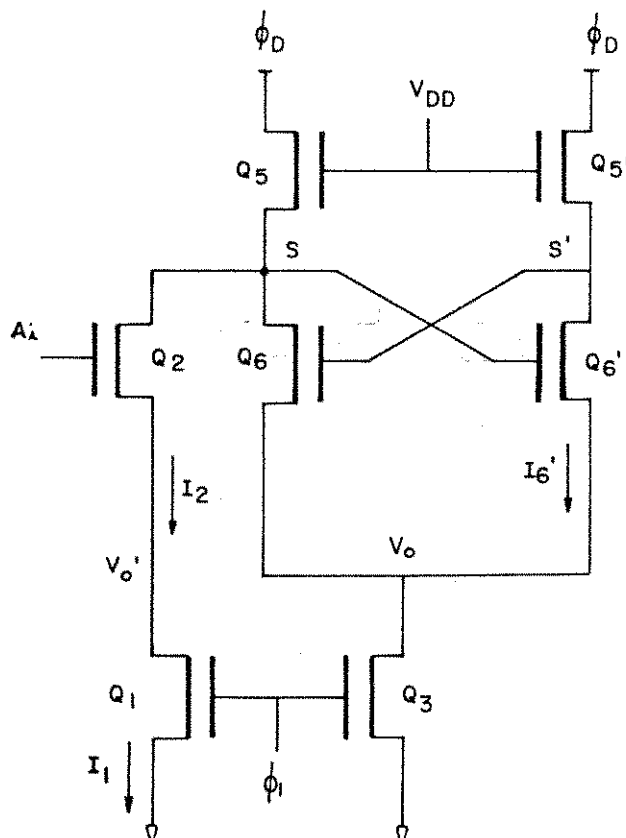


Figura 4. 8 - Representação parcial da interface de entrada, para $A_i = 1$.

Uma forma de garantir $V_S < V_{S'}$, durante a ativação da fase ϕ_1 , é impor $I_1 = I_2 > I_{6'}$, onde $I_{6'}$ é dada pela expressão (4.20) e

$$I_2 = \frac{\beta_2}{2} (V_{A_i} - V_{O'} - V_T)^2 \quad (4.25)$$

$$I_1 = \beta_1 (V_{\phi_1} - V_T) V_{O'} \quad (4.26)$$

No início da ativação de ϕ_1 , adota-se para projeto, $V_{\phi_D} = 5.0$ V. Para $V_{A_i} = 5.0$ V, $V_O = 2.5$ e $V_{O'} = 1.5$ V, determina-se $V_T(Q_1) = 1.0$ V, $V_T(Q_2) = 1.25$ V e $V_T(Q_{6'}) = 1.40$ V. Combinando-se as expressões (4.20) e (4.26), tem-se $\beta_1 > 0.10 \beta_{6'}$. A relação entre β_2 e β_1 é fornecida pelas expressões (4.25) e (4.26), ou seja, $\beta_2/\beta_1 \cong 2.37$.

Os inversores constituídos pelos transistores Q_8 , Q_9 e Q_{10} , Q_{11} são dimensionados a partir do esquema da figura 4.9. Como pode ser observado, os níveis lógicos complementares em V_S e $V_{S'}$ impedem a presença de uma corrente quiescente no circuito inversor, não sendo, portanto, necessário uma relação de aspecto fixa entre Q_9 e Q_8 . A tensão V_O à saída da interface apresentará zero Volts como valor lógico inferior (VLI) e $V_{\phi_2} - V_T$ como valor lógico superior (VLS). No caso, $V_{O_{\max}} \cong V_{\phi_2_{\max}} - V_T = 10.2 - 1.7 = 8.5$ V.

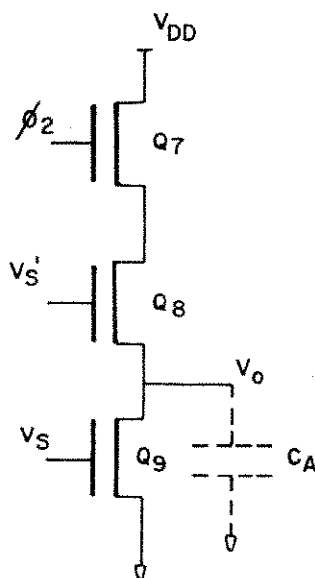


Figura 4.9 - Representação do inversor à saída da interface de endereços.

No subsistema de 1024 bits dimensionado, dividido em duas submatrizes de 16 linhas cada, a carga à saída da interface é constituída pela:

- capacitância de porta dos transistores na matriz de endereçamento:

$C_g = 32 \times Z \times L \times C_{ox} = 32 \times (25 \times 6) \times 3.5 \times 10^{-16} \approx 1.7 \text{ pF}$, onde Z e L correspondem às dimensões de máscara do transistor na matriz de endereçamento.

- capacitância de linha de Si-poli:

$C_\ell = 32 \times \ell_\ell \times d_\ell \times C_{Si/c} = 32 \times 18 \times 6 \times 5 \times 10^{-17} \approx 0.17 \text{ pF}$, onde $C_{Si/c}$ é a capacitância, por unidade de área, da linha de Si-poli sobre o óxido de campo ($\approx 5.0 \times 10^{-17} \text{ F}/\mu\text{m}^2$) e ℓ_ℓ , d_ℓ o comprimento e largura da linha.

- resistência da linha de Si-poli:

$$R_\ell = 32 \times \overline{R_{\square \text{ poli}}} \times \frac{\ell_\ell}{d_\ell} = 32 \times 45 \times \frac{18}{6} \approx 4320 \Omega,$$

onde $\overline{R_{\square \text{ poli}}}$ corresponde à resistência média de folha, da linha de Si-poli ($\approx 45 \Omega/\square$), do referido processo de fabricação.

Devido ao considerável valor de R_ℓ , a carga à saída da interface não pode ser considerada puramente capacitiva, o que em parte dificulta a obtenção de β_{Q8} e β_{Q9} a partir das curvas normalizadas de Crawford [72], figuras 4.1 e 4.2, impondo-se os tempos de subida e descida. Com o auxílio do programa MSINC, optou-se por $(Z_{eff}/L_{eff})_8 = (Z_{eff}/L_{eff})_{10} = 10.0$ e $(Z_{eff}/L_{eff})_9 = (Z_{eff}/L_{eff})_{11} = 4.0$, obtendo-se t_s aproximado de 40 ns. Quanto aos transistores Q_{12} e Q_{13} , responsáveis pela descarga das linhas após o endereçamento, o valor adotado de $(Z_{eff}/L_{eff})_{12} = (Z_{eff}/L_{eff})_{13} = 2.5$ corresponde a $t_d \approx 20 \text{ ns}$.

Na tabela 4.1 tem-se as dimensões de máscara adotadas para os transistores da interface de entrada dos endereços. Alguns valores críticos encontram-se acima dos mínimos calculados, quer por margem de projeto, uma vez que apenas foram utilizados modelos simplificados, quer por um melhor aproveitamento de área no lay-out. Os resultados obtidos através da simulação do referido circuito, juntamente com os do circuito gerador das fases ϕ_1 , ϕ_2

e ϕ_D , encontram-se na figura 4.12.

	L(μ)	Z(μ m)
Q ₁	6	36
Q ₂	6	87
Q ₃	6	15
Q ₄	6	58
Q ₅	17	10
Q _{5'}	25	10
Q ₆	6	52
Q _{6'}	6	58
Q ₇	6	52
Q ₈	6	60
Q ₉	6	24
Q ₁₀	6	60
Q ₁₁	6	24
Q ₁₂	6	15
Q ₁₃	6	15

Tabela 4.1 - Dimensões de máscara dos transistores da interface de entrada.

4.3. Projeto do Circuito Gerador de Fases para a Interface de Entrada de Endereço e Circuito Decodificador

O circuito a ser dimensionado nesta secção provê as fases que controlam a interface de entrada de endereço. A utilização de transistores operando dinamicamente tem como objetivo reduzir a potência quiescente dissipada. Na figura 4.10 tem-se o circuito especificado e em 4.11 o diagrama das fases que devem ser geradas.

O sinal SEL corresponde ao complemento do sinal externo $\overline{\text{SEL}}$, derivado internamente, tendo seu $V_{LS_{\max}} = V_{DD} - V_T \approx 10.2$ V. Durante a pré-carga, quando $\overline{\text{SEL}} = 1$, o potencial correspondente ao n \bar{o} A, V_A , tende a $V_{DD} - 2V_T \approx 8.5$ V, permanecendo Q_{F1}, Q_{F3}, Q_{F6}, Q_{F9} e Q_{F10} cortados. Caso o período de pré-carga seja longo o suficiente, uma condição imposta, o potencial V_B , relativo ao n \bar{o} B, atinge 8.5 V. Para o cálculo do inversor constituído por Q_{F1} e Q_{F2}, impõe-se que Q_{F3} é mantido cortado enquanto V_A for superior ou igual a um valor limite de tensão, ou seja, $V_A \geq V_{lim}$. A relação entre β_{F1} e β_{F2} é dada por:

$$\frac{\beta_{F2}}{\beta_{F1}} = \frac{(V_{SEL} - V_O - V_T(Q_{F2}))^2}{2(V_A - V_T(Q_{F1})) V_O} \quad (4.27)$$

onde V_{SEL} corresponde ao potencial da fase SEL e V_O à tensão à saída do inversor. Para $V_{SEL} = 10.2$ V, $V_A = V_{lim} = 3.5$ V, $V_O = V_T(Q_3) = 1.0$ V, $V_T(Q_{F2}) = 1.35$ V e $V_T(Q_{F1}) = 1.0$ V, tem-se $\beta_{F2}/\beta_{F1} = 12.3$.

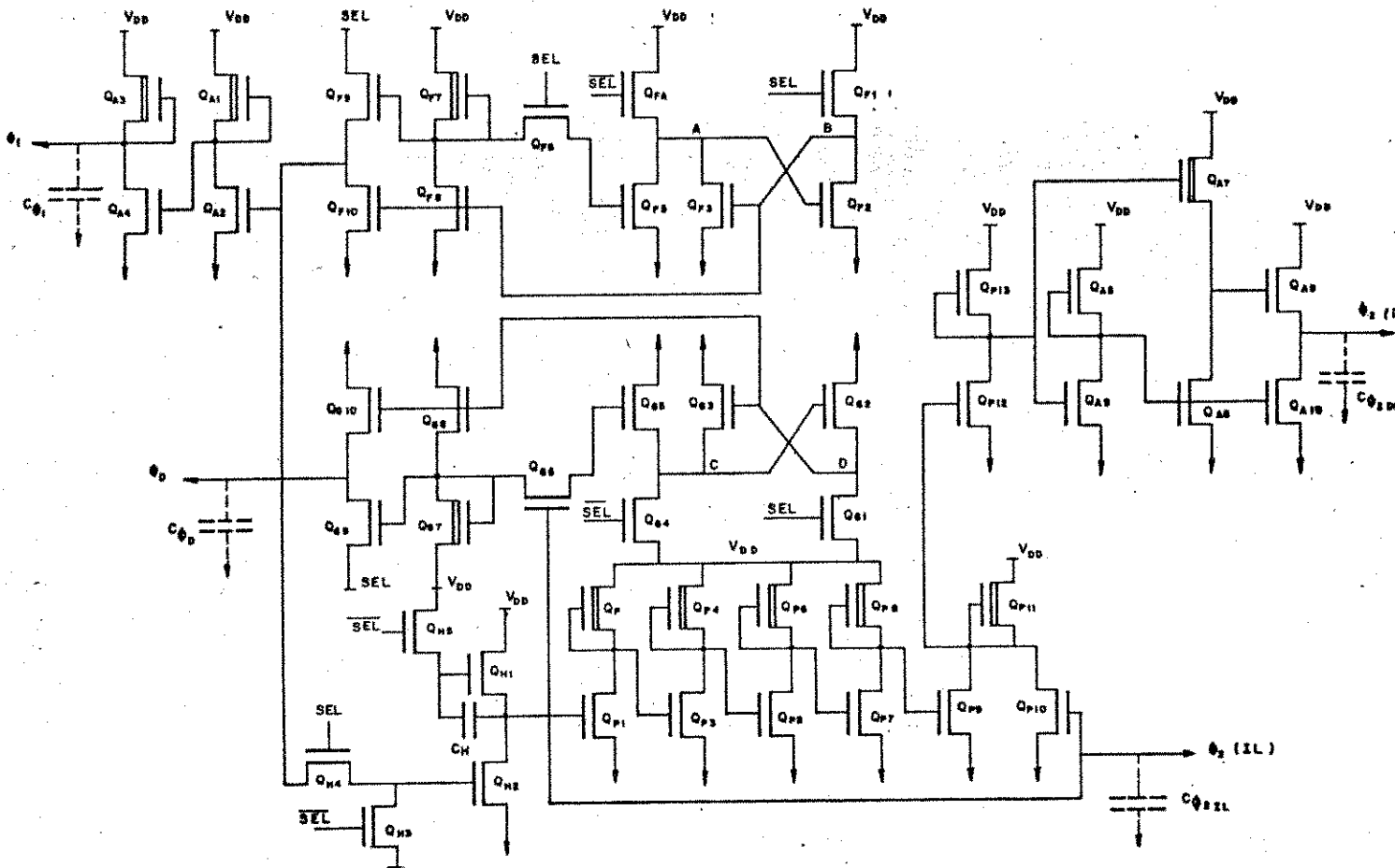


Figura 4.10 - Circuito gerador de fases para a interface de entrada de endereço e circuito decodificador.

A duração do pulso ϕ_1 será, pois, basicamente determinada pelo tempo de descarga de C_A , através de Q_{F5} , do valor de pré-carga até a tensão limite, um vez que Q_3 , passando a conduzir, rapidamente terminará a descarga. Admitindo $V_{in}(Q_{F5}) = 8.5$ V, tem-se que Q_{F5} operará praticamente na região triodo, o que fornece, através da curva da figura 4.2, para $V_1 = V_{in}(Q_{F5}) - V_T = 7.5$ V e $V_S/V_1 = 3.5/7.5 = 0.46$, $t_{d1} \approx 1.6 \tau$. Adotando $t_{d1} = 25$ ns e considerando $C_A \approx 0.5$ pF, $\mu^* = 400$ cm²/V.s, $V_T = 1.0$ V, tem-se,

utilizando a expressão (4.13), $(Z_{\text{eff}}/L_{\text{eff}})_{F5} \approx 0.30$.

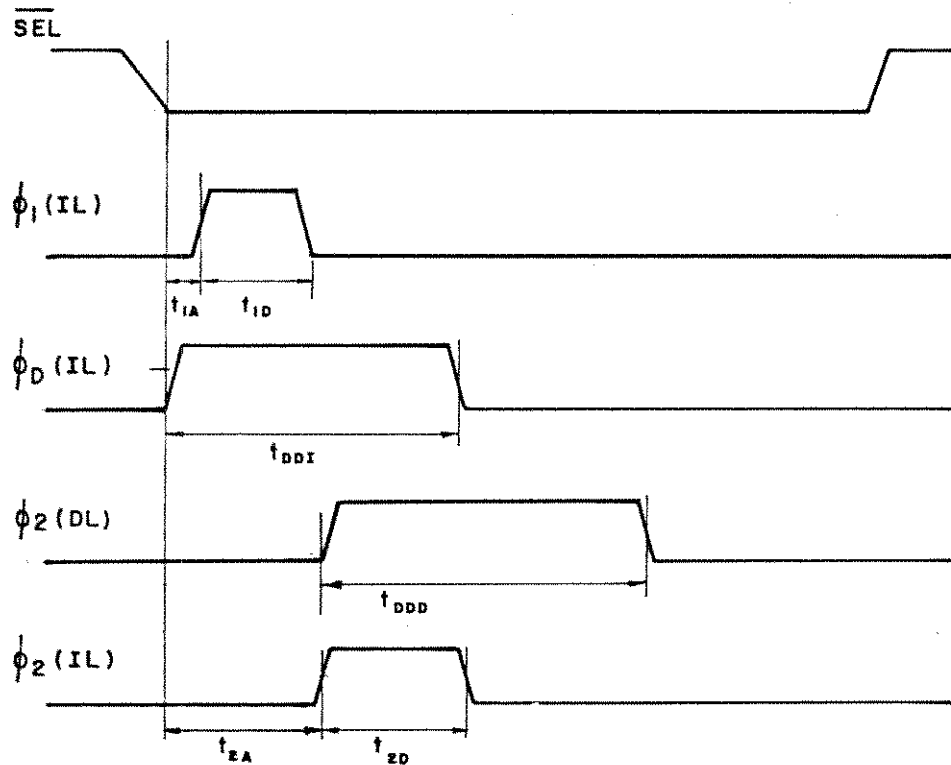


Figura 4.11 - Fases geradas pelo módulo GL.

Quando Q_3 começa a conduzir, assume-se que a descarga de C_A ocorre preferencialmente por ele. Como a tensão à porta de Q_3 depende do tempo de subida de Q_{F1} , adota-se um valor médio de 4.0 V. Utilizando a curva da

fig.4.2, para $V_1 = 4.0 - 1.0 = 3.0$ V e $V_S/V_1 = 0.5/3.0 \approx 0.16$, tem-se $t_{d2} \approx 2.5 \tau$.

Através da expressão (4.13) e adotando $t_{d2} = 10$ ns, $\mu^* = 400$ cm²/V.s e $V_T = 1.0$ V, tem-se que $(Z_{eff}/L_{eff})_{F2} \approx 3.0$. O tempo de ativação de ϕ_1 pode ser estimado, a uma primeira aproximação, como sendo $t_{d1} + t_{d2} = 35$ ns. Quanto ao transistor Q_4 , responsável pela pré-carga do n^o A, admitindo que o sinal SEL permaneça alto no mínimo por um período de 100 ns, impõe-se $t_s \approx 50$ ns. Adotando $V_{in} = 12$ V, $V_T(Q_4) = 1.7$, $\mu^* \approx 250$ cm²/V.s, por operar o transistor sempre na saturação, tem-se, através da curva da figura 4.1, $t_s \approx 12 \tau$. Utilizando a expressão (4.11), resulta $(Z_{eff}/L_{eff})_{F4} \geq 1.33$.

Para o dimensionamento do transistor de passagem Q_{F6} , existe o compromisso entre uma baixa capacitância de porta, minimizando os acoplamentos capacitivos, e uma boa transcondutância g_{ds} . Assim, adota-se $(Z/L)_{F6} = (15/6)$.

Quanto ao dimensionamento do "driver" de saída da fase ϕ_1 , considera-se inicialmente o inversor constituído por Q_{F7} e Q_{F8} . A relação entre β_{F7} e β_{F8} é dada por:

$$\frac{\beta_{F8}}{\beta_{F7}} = \frac{V_T(Q_{F7})^2}{2(V_{in} - V_T(Q_{F8})) \cdot V_0} \quad (4.28)$$

onde V_{in} e V_0 correspondem, respectivamente, às tensões de entrada e saída do inversor. Para $V_0 \leq 0.5$ V, $V_{in} = 8.5$ V, $V_T(Q_{F7}) = -4.0$ V, $V_T(Q_{F8}) = 1.0$ V, $\mu^*(Q_{F7}) \approx 1.1\mu^*(Q_{F8})$, tem-se que $(Z_{eff}/L_{eff})_{F8}/(Z_{eff}/L_{eff})_{F7} \geq 2.34$. Impondo $t_d \leq 5$ ns, sendo $V_1 = 8.5 - 1.0 = 7.5$ e $V_S/V_1 = 0.5/7.5 = 0.06$, através da curva da figura 4.2, obtém-se $t_d \approx 4 \tau$.

Estimando $C_0 \approx 0.3$ pF e $\mu^* = 400$ cm²/V.s encontra-se, a partir da expressão (4.13), $(Z_{eff}/L_{eff})_{Q_{F8}} \geq 3.8$.

Os transistores Q_9 e Q_{10} constituem-se em um estágio "push-pull", não havendo corrente quiescente e, portanto, não sendo necessário uma relação de aspecto fixa entre eles. Os valores adotados são $(Z_{eff}/L_{eff})_{F8} = (Z_{eff}/L_{eff})_{F10} = 10$.

Com o intuito de atrasar a fase ϕ_1 com relação a ϕ_D , de modo a garantir uma eficiente pré-carga na interface de entrada, conforme citado na secção 4.2, define-se o bloco atraso constituído pelos transistores Q_{A1} , Q_{A2} , Q_{A3} e Q_{A4} . A razão de aspecto entre os transistores de comando e carga, igualmente adotada para ambos inversores, é dada por:

$$\frac{\beta_{A2}}{\beta_{A1}} = \frac{\beta_{A4}}{\beta_{A3}} = \frac{V_{T_L}^2}{2(V_{in} - V_{T_D})V_o} \quad (4.29)$$

onde V_{T_L} e V_{T_D} são, respectivamente, as tensões de limiar para os transistores de carga e de comando. Para uma tensão de entrada $V_{in} = 10.2$ V, $V_{T_L} = -4$ V, $V_{T_D} = 1.0$ V, $\mu_L^* = 1.1 \mu_D^*$ e impondo $V_o = V_{LI} \leq 0.5$ V, tem-se

$$\frac{(Z_{eff}/L_{eff})_{A2}}{(Z_{eff}/L_{eff})_{A1}} = \frac{(Z_{eff}/L_{eff})_{A4}}{(Z_{eff}/L_{eff})_{A3}} = 1.91$$

Um dos principais componentes no retardo do referido bloco é o tempo de descida do inversor Q_{A1} , Q_{A2} , função da capacitância de porta de Q_{A2} . Impondo $t_d \approx 15$ ns, através da curva da figura 4.2, para $V_1 = 10.2 - 1.0 = 9.2$ V e $V_S/V_1 = 0.5/9.2 = 0.05$, obtêm-se $t_d \approx 4 \tau$. Sendo C_o a capacitância à saída do inversor, estimada em 0.25 pF, para $\mu^* = 400$ cm²/V.s, tem-se $(Z_{eff}/L_{eff})_{A2} \approx 0.50$.

O dimensionamento do inversor Q_{A3} , Q_{A4} é completado impondo-se $t_S \approx 35$ ns, função da condição de carga vista pela fase ϕ_1 . Admitindo-a puramente capacitiva, para simplificação dos cálculos, o tempo de subida deste inversor pode ser estimado pela expressão (4.12). Considerando apenas as capacitâncias de porta vistas por ϕ_1 , tem-se $C_{\phi_1} \approx 5 \times (36 \times 6 + 15 \times 6) \times 3.5 \times 10^{-16} \approx 0.53$ pF. Admitindo um acréscimo de 20% neste valor devido às capacitâncias de linha, para $t_S \leq 25$ ns, com $V_{T_L} = -4$ V, $V_o = 0.5$ V, $\mu^* = 440$ cm²/V.s, pela expressão (4.12), tem-se $(Z_{eff}/L_{eff})_{A3} > 2.18$.

O procedimento de projeto do circuito que gera a fase ϕ_D é análogo ao descrito para a fase ϕ_1 , uma vez que a diferença dominante é o tempo

em que ϕ_D permanece ativada. Assim, impõe-se um tempo maior para a descarga do $\bar{n}o$ C, através do transistor Q_{G5} . Adotando $t_{d1} = 55$ ns e $C_C \approx 0.6$ pF, tem-se $(Z_{eff}/L_{eff})_{G5} \approx 0.15$. O transistor Q_{G3} teve um acréscimo de $\approx 40\%$ em sua relação (Z_{eff}/L_{eff}) , de modo a compensar o aumento da capacitância do $\bar{n}o$ C em relação ao $\bar{n}o$ A. Assim, a duração da fase ϕ_D é estimada em $t_{d1} + t_{d2} = 65$ ns.

Os transistores Q_{G9} e Q_{G10} são dimensionados a partir da condição de carga da fase ϕ_D . Admitindo-se puramente capacitiva para simplificação de cálculos, e constituída apenas pelas capacitâncias de porta dos transistores $Q_6, Q_{6'}, Q_8, Q_9, Q_{10}, Q_{11}$ e Q_{H4} , tem-se $C_{\phi_D} = 5 \times (52 \times 6 + 58 \times 6 + 60 \times 6 + 60 \times 6 + 24 \times 6 + 15 \times 6) \times 3.5 \times 10^{-16} \approx 3.0$ pF.

O tempo de subida do transistor Q_{G9} , operando na saturação, é da através da curva da figura 4.1, ou seja, $t_S \approx 12\tau$. Impondo $t_S \leq 20$ ns e $\mu^* = 250$ cm²/V.s, $V_{in} = 12$ V, tem-se que, através de (4.11), $(Z_{eff}/L_{eff})_{G9} \geq 20$.

O tempo de descarga de C_{ϕ_D} através do transistor Q_{G10} , para $V_1 = 10.2 - 1.0 = 9.2$ V e $V_S/V_1 = 0.5/9.2 \approx 0.05$, dado pela figura 4.2, corresponde a 4τ . Impondo $t_d \leq 10$ ns e $\mu^* \approx 400$ cm²/V.s, tem-se $(Z_{eff}/L_{eff})_{G10} \geq 11.5$.

A fase ϕ_2 é gerada a partir das fases ϕ_1 e ϕ_D , através do circuito composto pelos transistores $Q_{H1}, Q_{H2}, Q_{H3}, Q_{H4}, Q_{H5}$ e pelo capacitor C_H , cuja função é manter Q_{H1} na região linear. Após a pré-carga realizada por Q_{H3} e Q_{H5} , enquanto Q_{H2} conduzir, a fase ϕ_2 permanecerá desativada. Quando $\phi_1 \rightarrow 0$, Q_{H2} corta, ativando ϕ_2 . Assim, haverá uma relação de aspecto fixa entre Q_{H1} e Q_{H2} , dada por:

$$\frac{\beta_{H2}}{\beta_{H1}} = \frac{(V_{in}(H_1) - V_0 - V_T(H_1))^2}{2(V_{in}(H_2) - V_T(H_2))V_0} \quad (4.30)$$

Considerando $V_{in}(H_1) = V_{in}(H_2) = 10.2$ V, $V_T(H_1) = 1.3$ V, $V_T(H_2) = 1.0$ V, $\mu^*(H_1) \approx \mu^*(H_2)$, e impondo $V_0 \leq 0.5$ V, tem-se $(Z_{eff}/L_{eff})_{H2}/(Z_{eff}/L_{eff})_{H1} \geq 7.7$.

A capacitância de saída do inversor Q_{H1}, Q_{H2} , pode ser considera

da, praticamente, como a capacitância de porta de Q_7 , somada às de Q_{P1} e Q_{P10} . Assim,

$$C_{\phi_2} \approx [5 \times (52 \times 6) + (24 \times 11) + (38 \times 30)] \times 3.5 \times 10^{-16} \approx 1.0 \text{ pF}$$

Adota-se, no entanto, um acréscimo de 20% neste valor devido às interconexões. Tendo que Q_{H1} opera na região linear, é dado, pela curva da figura 4.1, $t_S \approx 4 \tau$. Utilizando a expressão (4.12), para $V_{in} \approx 12 \text{ V}$, $\mu^* = 400 \text{ cm}^2/\text{V.s}$, $V_T \approx 1.4 \text{ V}$, tem-se que, para $t_S \leq 20 \text{ ns}$, $(Z_{eff}/L_{eff})_{H1} > 1.6$. Quanto aos transistores Q_{H3} , Q_{H4} , Q_{H5} , considerando o compromisso entre a capacitância de porta e a transcondutância, adota-se $(Z/L)_{H3} = (Z/L)_{H4} = (Z/L)_{H5} = (15/6)$.

Completando o módulo gerador de fases, há o circuito composto pelos transistores Q_{P1} a Q_{P13} , cuja principal finalidade é prolongar a duração da fase ϕ_2 destinada ao circuito decodificador, garantindo um período maior de endereçamento. Há, ainda, um "driver" constituído pelos transistores Q_{A5} , ... Q_{A10} , com o propósito de manter um valor alto de potencial na fase ϕ_2 durante o endereçamento, sem que haja uma grande dissipação de potência quiescente. Por se tratar de um projeto cuja sequência assemelha-se ao dimensionamento dos inversores apresentados nesta secção, no sentido de uma maior objetividade, os referidos cálculos são suprimidos. Na tabela 4.2 são apresentadas as dimensões de máscara dos transistores do circuito gerador de fases e na figura 4.12 os resultados da simulação, através do MSINC, deste circuito em conjunto com a interface de entrada.

4.4. Projeto do Circuito Decodificador.

Na figura 4.13 está indicado o circuito elétrico equivalente do decodificador especificado. Os endereços $\bar{A}_0, A_0, \dots, \bar{A}_n, A_n$ correspondem aos sinais de saída da interface de entrada. O nó C é pré-carregado através do transistor Q_{D5} , de modo a garantir a operação do transistor Q_{D4} na região linear, quando do início da decodificação com a ativação da fase ϕ_2 . O biestável composto pelos transistores Q_{D1} , Q_{D2} e Q_{D3} tem por finalidade manter a linha de endereçamento das células de memória num potencial próximo a zero Volts quando a mesma permanecer desativada, diminuindo assim os efeitos dos acoplamentos capacitivos.

	Z(μm)	L(μm)		Z(μm)	L(μm)
F1	10	10	H5	15	6
F2	83	6	A1	10	21
F3	17	6	A2	12	6
F4	15	6	A3	21	10
F5	10	34	A4	63	12
F6	15	6	A5	10	10
F7	26	10	A6	18	6
F8	36	6	A7	15	15
F9	60	6	A8	25	6
F10	60	6	A9	95	6
G1	10	10	A10	95	6
G2	80	6	P1	24	11
G3	24	6	P2	12	34
G4	18	6	P3	30	18
G5	10	67	P4	12	40
G6	14	6	P5	30	18
G7	26	10	P6	12	40
G8	60	6	P7	116	23
G9	187	6	P8	21	21
G10	169	6	P9	38	30
H1	17	10	P10	38	30
H2	90	6	P11	12	31
H3	15	6	P12	38	30
H4	15	6	P13	12	31

Tabela 4.2 - Dimensões de máscara dos transistores do módulo gerador de fases GL.

Como condição de projeto, impõe-se que o potencial V na linha de endereçamento permanecerá baixo, no caso inferior a 0.8 V, para $\phi_2 < 3.0$ V. Baseado no circuito mostrado na figura 4.14, tem-se:

$$\frac{\beta_{D_3}}{\beta_{D_4}} = \frac{(V_{in}(D_4) - V_L - V_T(D_4))(V_{\phi_2} - V_L) - (V_{\phi_2} - V_L)^2 / 2}{V_L(V_{in}(D_3) - V_T(D_3))} \quad (4.31)$$

Admitindo $V_T(D_3) \approx V_T(D_4) = 1.0$ V e $\mu_3^* = \mu_4^*$, tem-se, para $V_L < 0.8$ V, $(Z_{eff}/L_{eff})_3 / (Z_{eff}/L_{eff})_4 \geq 2.2$. Adota-se $\beta_3/\beta_4 = 2.5$, o que corresponde a $V_L \leq 0.75$ V, para $V_{\phi_2} \leq 3.0$ V. Quanto ao transistor Q_{D2} , deve apresentar uma condutância que permita o rápido corte de Q_{D3} , ao elevar-se o potencial V_L .

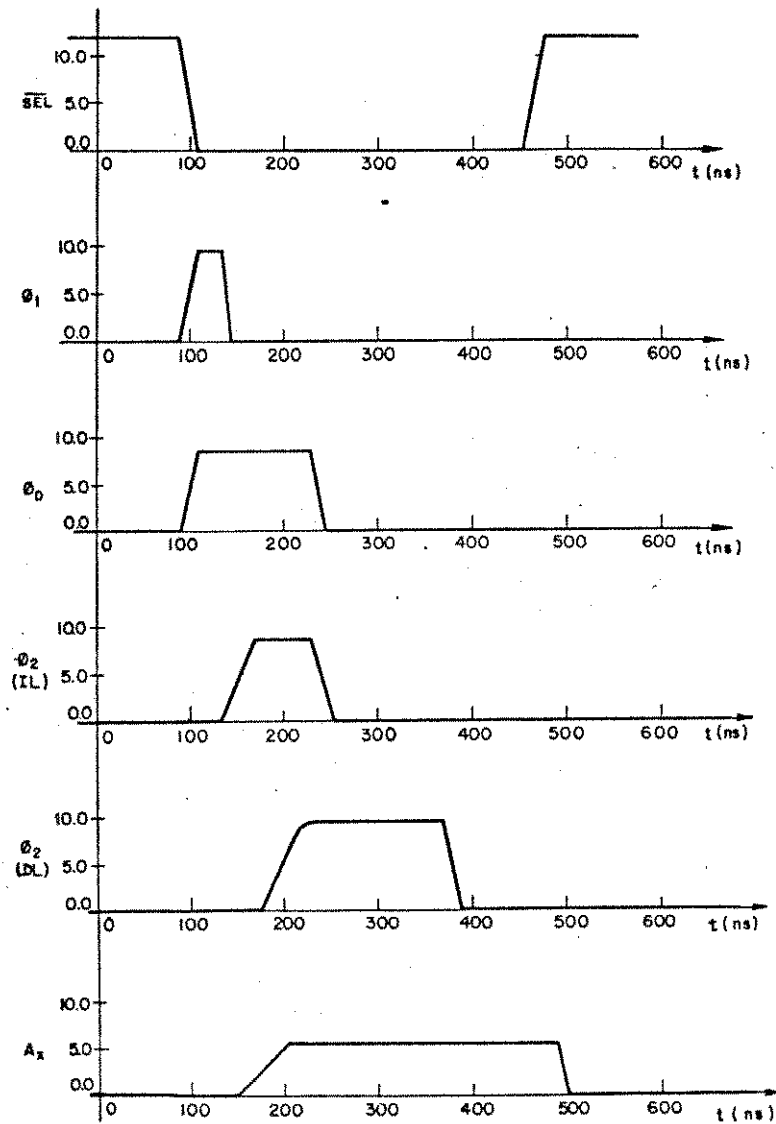


Figura 4.12 - Simulação da interface de entrada e circuito decodificador, utilizando o programa MSINC.

No entanto, sua capacitância de porta não deve influir significativamente no tempo de endereçamento. Em tal compromisso é também baseado o dimensionamento de Q_{D1} , Q_{D5} e Q_{D6} .

Tanto melhor será Q_{D4} mantido em sua região linear quanto maior for o valor do capacitor C_D em relação à capacitância de linha C_M na matriz

de endereçamento, estimada a seguir:

$$C_M = [5 \times (75 \times 14) + 200 \times 9] \times 3.0 \times 10^{-17} + C_g(D_4) = 0.3 \text{ pF}$$

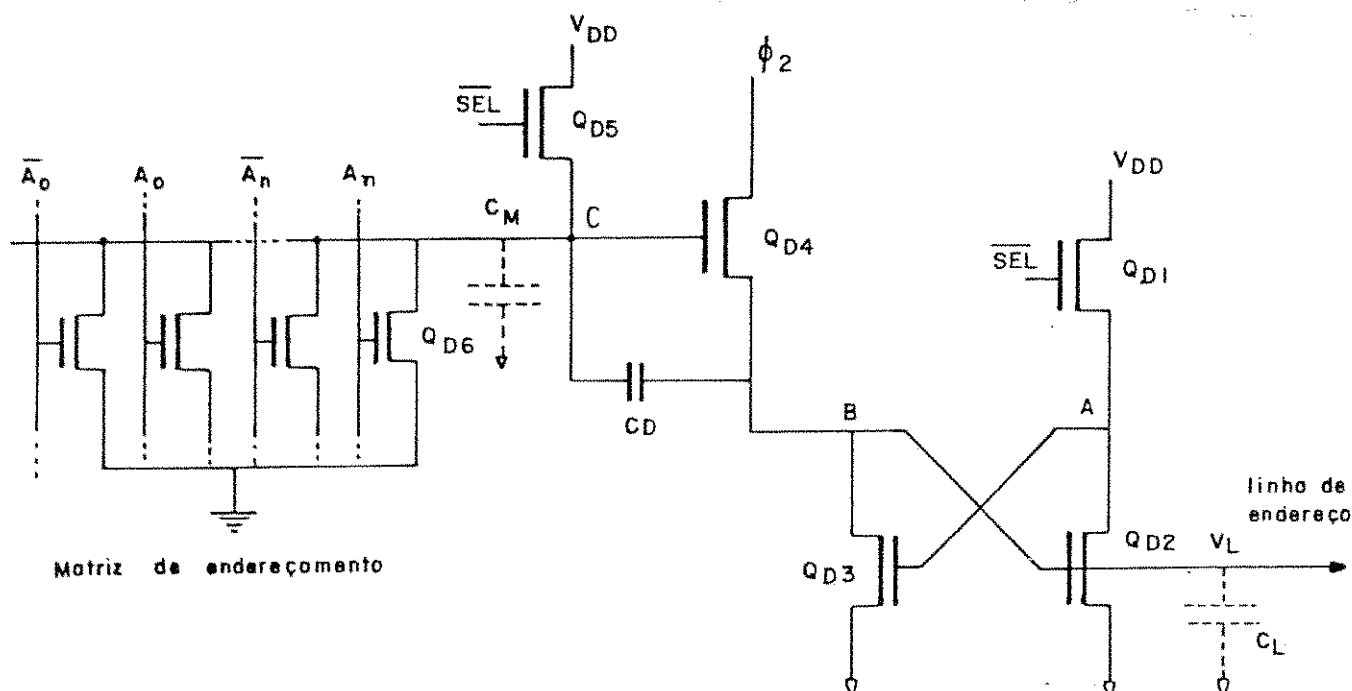


Figura 4.13 - Circuito Decodificador.

Adota-se, deste modo, $C_D = 0.5 \text{ pF}$, cujo valor mostrou-se satisfatório, através de simulações, para manter Q_{D4} na região linear. Um valor muito alto de C_D , além da maior área requerida, com a ativação do sinal $\overline{\text{SEL}}$, o nó B poderia ter o seu potencial suficientemente elevado de modo a, entrando em condução Q_{D2} , descarregar o nó A. Quanto à capacitância da linha de endereçamento, C_L , o valor estimado corresponde ao seu maior comprimento, ou seja,

$$C_L = (32 \times (67 \times 10) + 9 \times 920) \times 2.5 \times 10^{-17} + 32 \times (8 \times 8) \times 3.5 \times 10^{-16} = 1.50 \text{ pF}$$

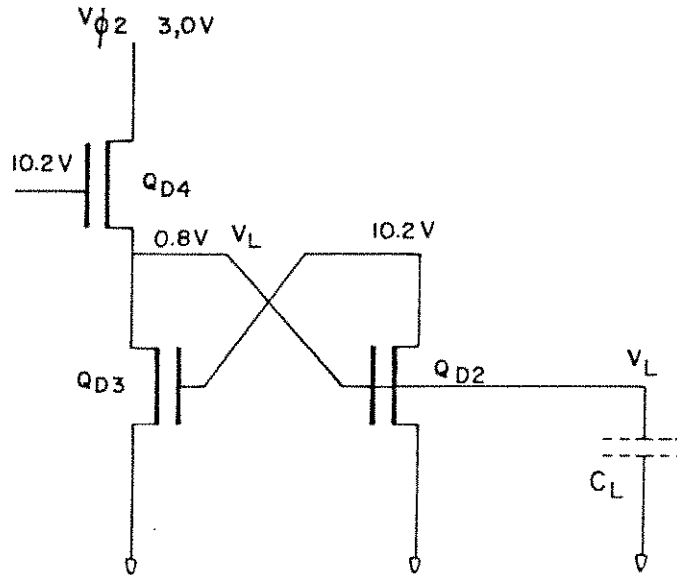


Figura 4.14 - Representação parcial do circuito decodificador.

Na figura 4.15 tem-se os resultados obtidos, através do MSINC, do circuito decodificador especificado para o subsistema de 1024 bits descrito no capítulo II, cujos transistores possuem as dimensões de máscara mostradas na tabela 4.3.

	Z(μm)	L(μm)
Q _{D1}	24	10
Q _{D2}	30	6
Q _{D3}	60	6
Q _{D4}	24	6
Q _{D5}	24	10
Q _{D6}	25	6

Tabela 4.3 - Dimensões de máscara dos transistores do circuito decodificador.

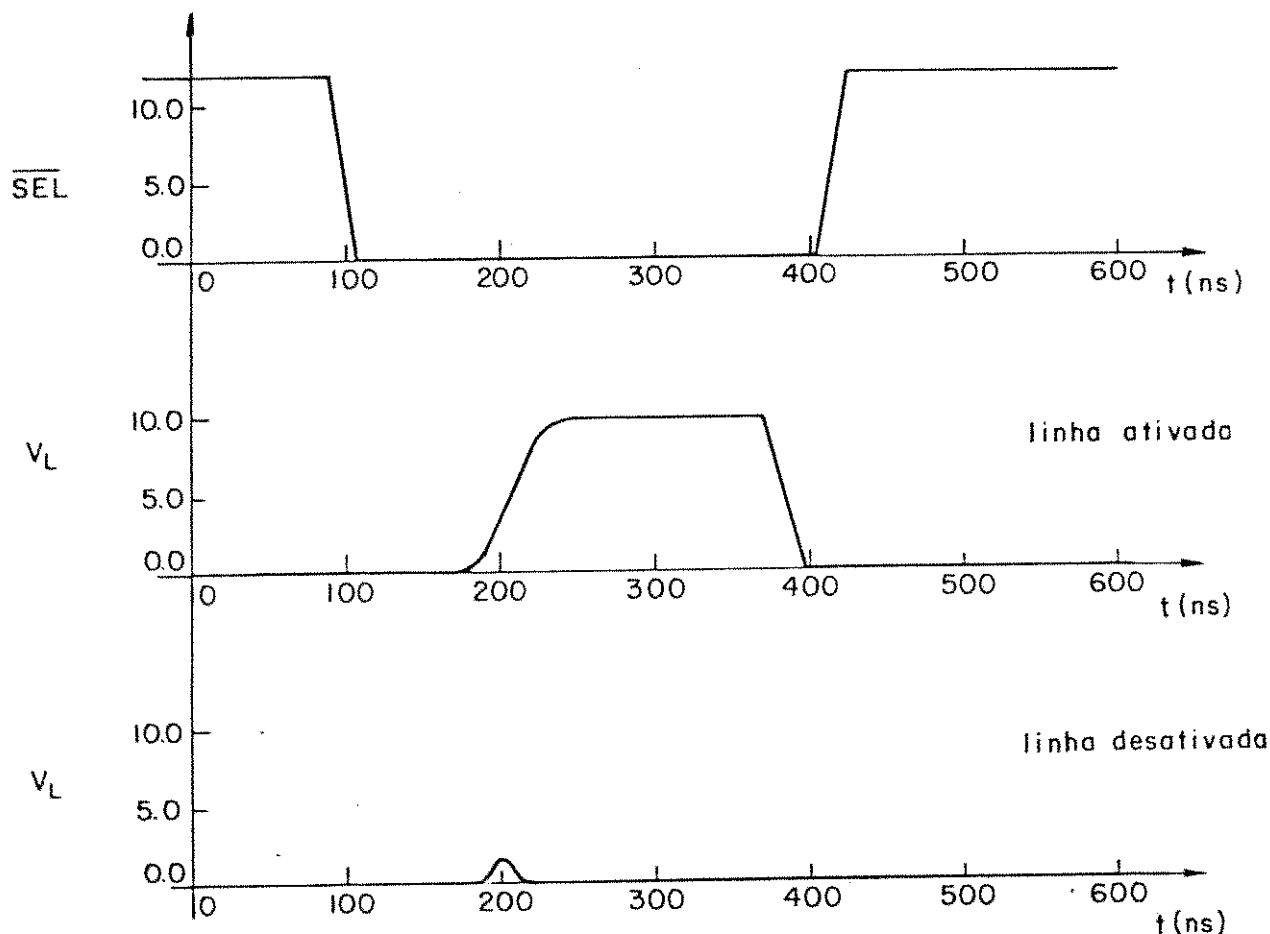


Figura 4.15 - Simulação do circuito decodificador através do MSINC.

4.5. Projeto da Interface de Entrada e Saída de Dados.

Na figura 4.16 tem-se o diagrama da interface de entrada e saída de dados especificada. A escrita ou leitura de dados é determinada por $\overline{\text{WE}} = 1$ ou $\overline{\text{WE}} = 0$, respectivamente. Quando $C_S = 0$, a saída da interface é colocada em um estado de alta impedância, sendo apenas executadas a leitura e reescrita interna de dados. Conforme especificação do circuito sensor, descrito na secção 4.6, a presença de blocos $\overline{\text{EX-OR}}$, que realizam a operação lógica "coincidência", deve-se à necessidade da inversão do dado lido ou escrito, de

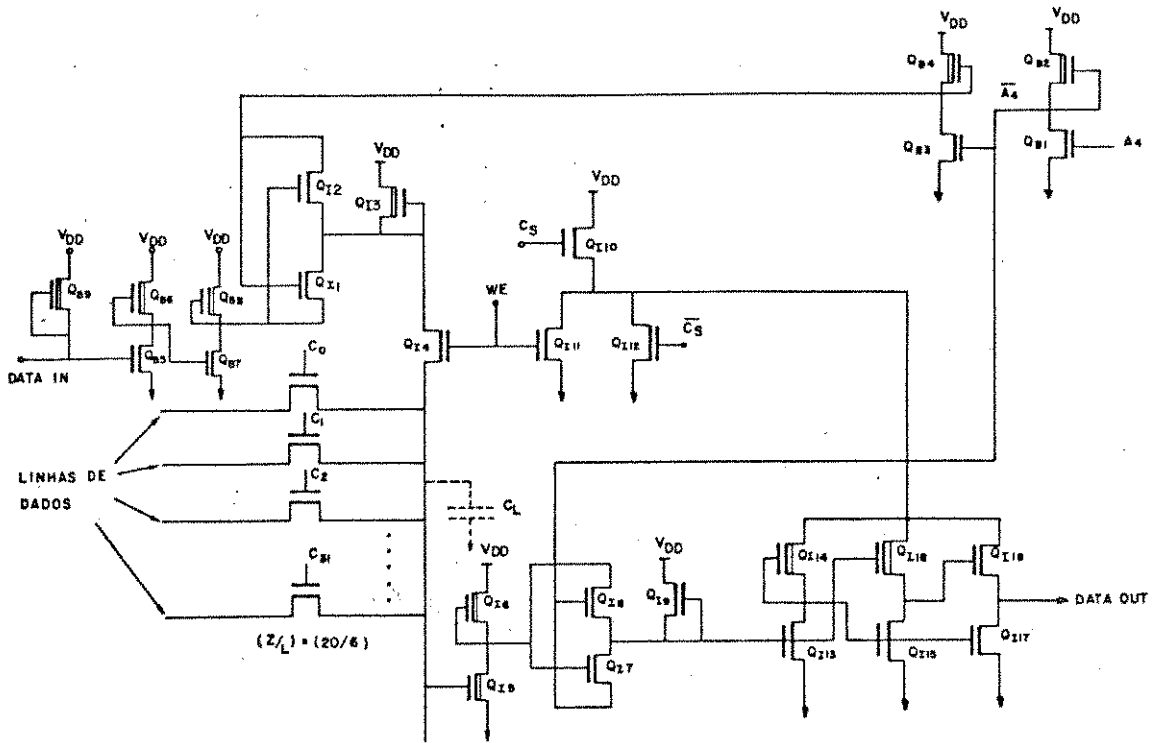


Figura 4.17 - Circuito elétrico da interface de entrada e saída de dados.

	Z(μm)	L(μm)		Z(μm)	L(μm)
QI ₁	86	6	QB ₁	87	8
QI ₂	94	6	QB ₂	11	21
QI ₃	19	10	QB ₃	88	6
QI ₄	15	6	QB ₄	11	17
QI ₅	74	6	QB ₅	15	6
QI ₆	12	12	QB ₆	12	12
QI ₇	73	6	QB ₇	87	6
QI ₈	73	6	QB ₈	11	22
QI ₉	12	12	QB ₉	28	10
QI ₁₀	37	11	QI ₁₄	11	35
QI ₁₁	210	6	QI ₁₅	46	6
QI ₁₂	207	6	QI ₁₆	28	10
QI ₁₃	12	12	QI ₁₇	85	6
			QI ₁₈	85	6

Tabela 4.4 - Dimensões de máscara dos transistores da interface de entrada e saída de dados.

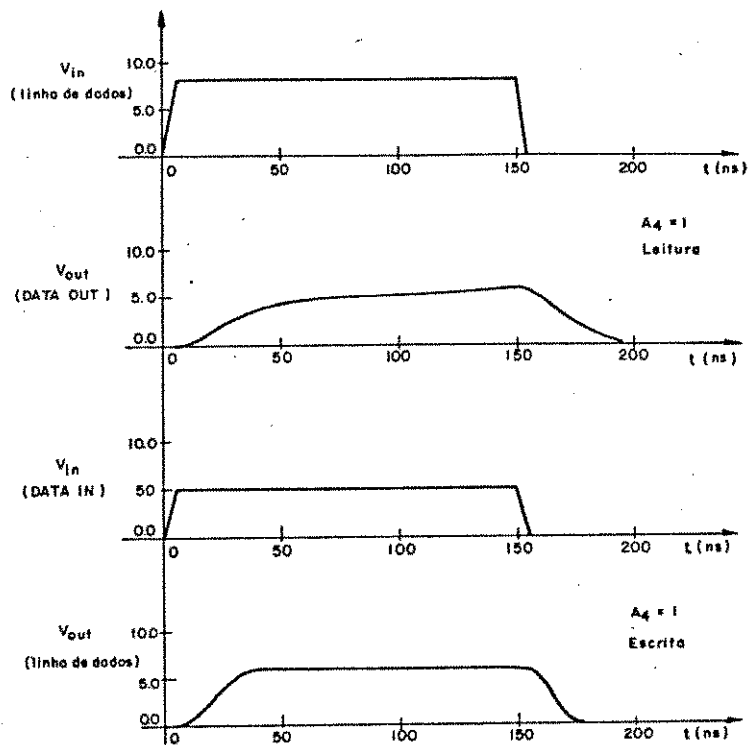


Figura 4.18 - Simulação da interface de entrada e saída de dados, para as operações de leitura e escrita.

4.6 Projeto do Amplificador Sensor

4.6.1. A Pré-Detecção e Suas Vantagens

O amplificador sensor constitui-se num dos elementos vitais para o perfeito desempenho de uma memória RAM Dinâmica. Sua disposição física em relação à matriz de memória, conforme esquema na figura 4.19, analisa diferencialmente os sinais em ambas as linhas de dados colocando-as, a seguir, em seus respectivos níveis lógicos extremos. Assim, além de prover a interface I/O o nível lógico referente à informação armazenada, reescreve a mesma na célula, visto que o processo de leitura é destrutivo.

A densidade de bits da matriz de células está diretamente relacionada com a sensibilidade do amplificador sensor, pois sendo a carga transferi

da, a linha de dados, proporcional à área do capacitor C_S , células com dimensões cada vez menores exigem uma maior capacidade de detecção. Em vista deste fato, torna-se inconveniente que as linhas de dados, cuja capacitância parasitária C_L aumenta com o comprimento, sejam acopladas diretamente aos nós do biestável sensor, devido à redução imposta, pelo fator C_L/C_S , à variação ΔV na linha de dados [102].

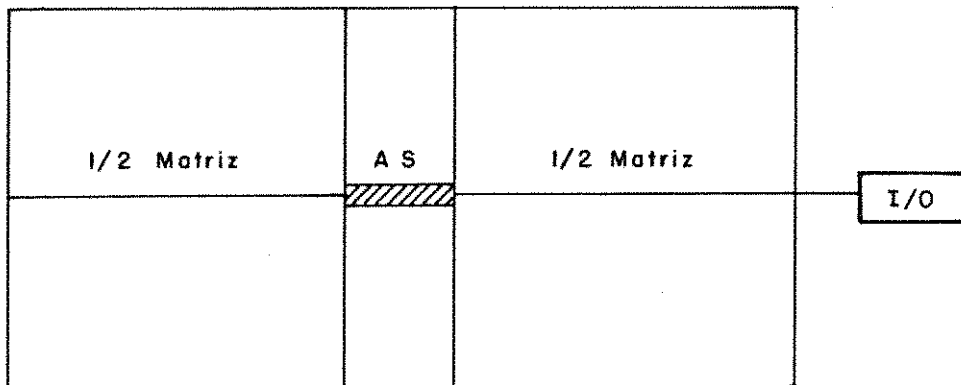


Figura 4.19 - Disposição do amplificador sensor em relação às submatrizes.

Com o objetivo de minimizar este efeito, especialmente para a variação ΔV na faixa 20-200 mV, estabelece-se, à entrada do biestável sensor, uma pré-deteção da informação lida, como mostrado na figura 4.20. O transistor Q_1 realiza a pré-carga de C_N até o potencial $V_N = V_{PC} - V_T(Q_1) \approx 10.2$ V. Impondo $V_R < V_N$, correspondendo V_R a uma tensão de referência, Q_2 conduzirá até que $V_R - V_L = V_T(Q_2)$, carregando C_L . Com o endereçamento da célula, qualquer decréscimo em V_L tirará Q_2 do corte, transferindo carga de C_N para C_L . Este fato faz com que a variação ΔV_N à entrada do circuito biestável dependa da relação C_N/C_S , e não mais de C_L/C_S , como analisado a seguir.

Após o endereçamento, o novo potencial V_L , na linha de dados passa a ser:

$$V_L' = \frac{C_S V_S + C_L V_L}{C_S + C_L} = \frac{C_S V_S + C_L (V_R - V_T(Q_2))}{C_S + C_L} \quad (4.32)$$

e

$$\Delta V_L = V_L' - V_L = \frac{C_S [V_S - (V_R - V_T(Q_2))]}{C_S + C_L} \quad (4.33)$$

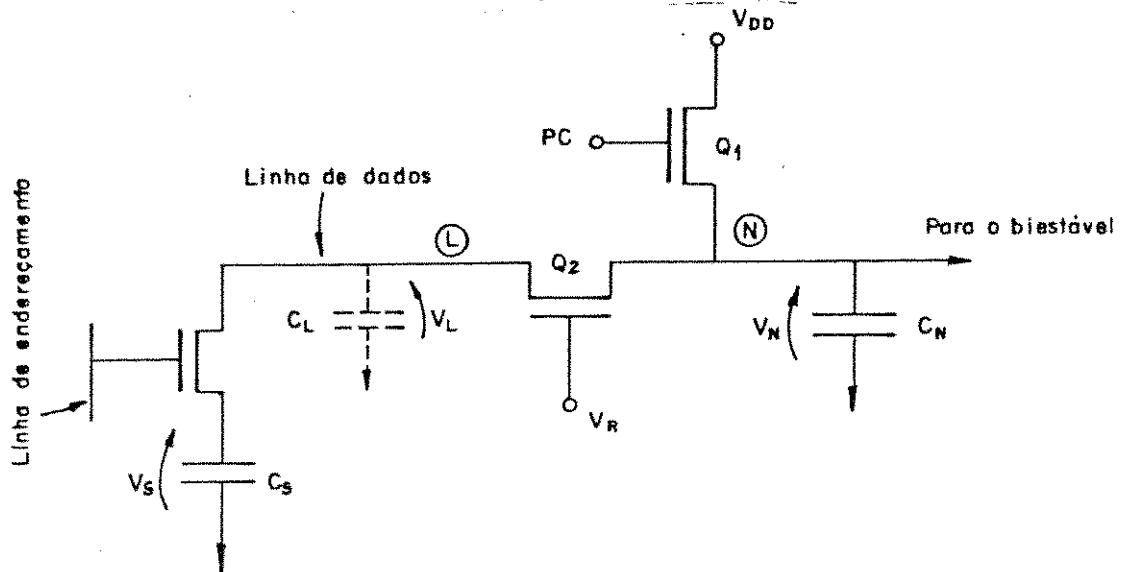


Figura 4.20 - Esquema de pré-deteção do amplificador sensor.

A carga transferida de C_N , através de Q_2 , para $C_L // C_S$ é dada por:

$$Q = (C_L + C_S) \Delta V_L = C_N \Delta V_N \quad (4.34)$$

Portanto,

$$\Delta V_N = \frac{C_S}{C_N} [V_S - (V_R - V_T(Q_2))] \quad (4.35)$$

onde ΔV_N é a diferença de potencial sentida pelo biestável.

Deste modo, a pré-deteção provê uma maior variação de potencial aos nós do circuito biestável, visto que C_N e C_S podem assumir valores próximos. Isto favorece a uma deteção mais rápida da informação lida e possibili-

ta, mantidas as características do amplificador sensor, uma expansão da matriz de armazenamento. Na figura 4.21 tem-se a representação da transferência de carga da célula para o biestável sensor, através de configuração dos potenciais de superfície, na condição recém-descrita.

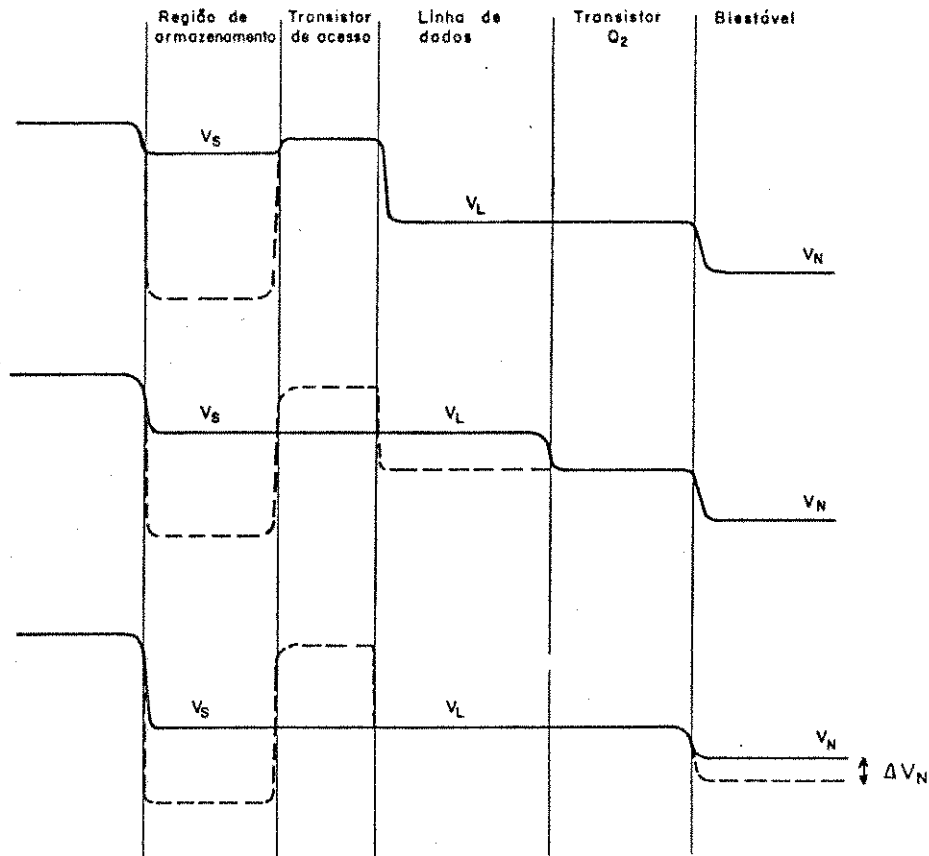


Figura 4.21 - Configuração do potencial de superfície durante a leitura da célula, no caso $C_S/C_L \ll 1$.

Em casos nos quais a relação C_S/C_L está próxima da unidade, a variação ΔV na linha de dados, após o endereçamento da célula, é relativamente grande, podendo ser da ordem de Volts. Como decorrência, os potenciais de superfície, após o endereçamento da célula, podem assumir as configurações mostradas na figura 4.22, caso em que uma condição de equilíbrio na transferência de carga de C_N para $C_L//C_S$ ocorre antes do transistor Q_2 entrar no corte. No referido projeto, tal situação existe, uma vez que C_S pode assumir um alto valor de capacitância (≈ 0.23 pF), comparado aos valores do mesmo elemento em sub-

sistemas com elevada capacidade de armazenamento [1,18], a fim de um melhor aproveitamento de área no lay-out, precisamente na justaposição da célula de memória com o circuito sensor. Neste caso, o potencial de equilíbrio é dado por:

$$V_{eq} = \frac{C_S V_S + C_L V_L + C_N V_N}{C_S + C_L + C_N} \quad (4.36)$$

onde V_S , V_L e V_N são os valores de tensão antes do endereçamento. Portanto, a variação de potencial sentida pelo biestável é dada por:

$$\Delta V_N = V_{eq} - V_N = \frac{C_S(V_S - V_N) + C_L(V_L - V_N)}{C_S + C_L + C_N} \quad (4.37)$$

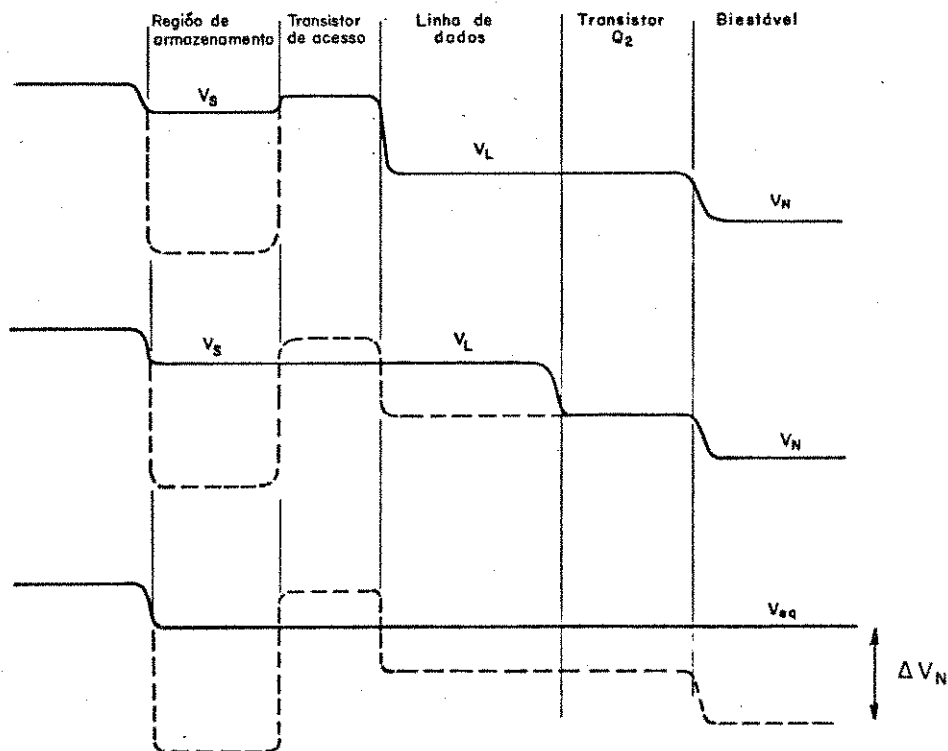


Figura 4.22 - Configuração do potencial de superfície durante a leitura da célula, no caso $C_S/C_L = 1$.

Na figura 4.23, tem-se o circuito elétrico equivalente do amplificador sensor especificado, e na figura 4.24, as respectivas fases de controle. O circuito biestável é composto por dois inversores idênticos e, a menos de descasamentos em parâmetros como tensão de limiar, capacitância nodal e mobilidade, os potenciais nos nós N e N', após a pré-carga, são iguais, o que caracteriza um estado de quasi-equilíbrio ou metaestabilidade [27,28,88]. Iniciado o ciclo de leitura, com o endereçamento de linha e a ativação da fase ϕ_B , aparece uma tensão diferencial $\Delta V = V_N - V_{N'} \neq 0$ que, uma vez na faixa de detecção do circuito, será rapidamente acentuada. Com a ativação da fase ϕ_L , a condição de estabilidade é alcançada, na qual os potenciais em N e N' atingem seus valores extremos; a informação é reescrita na célula e tornada válida à saída da interface de dados.

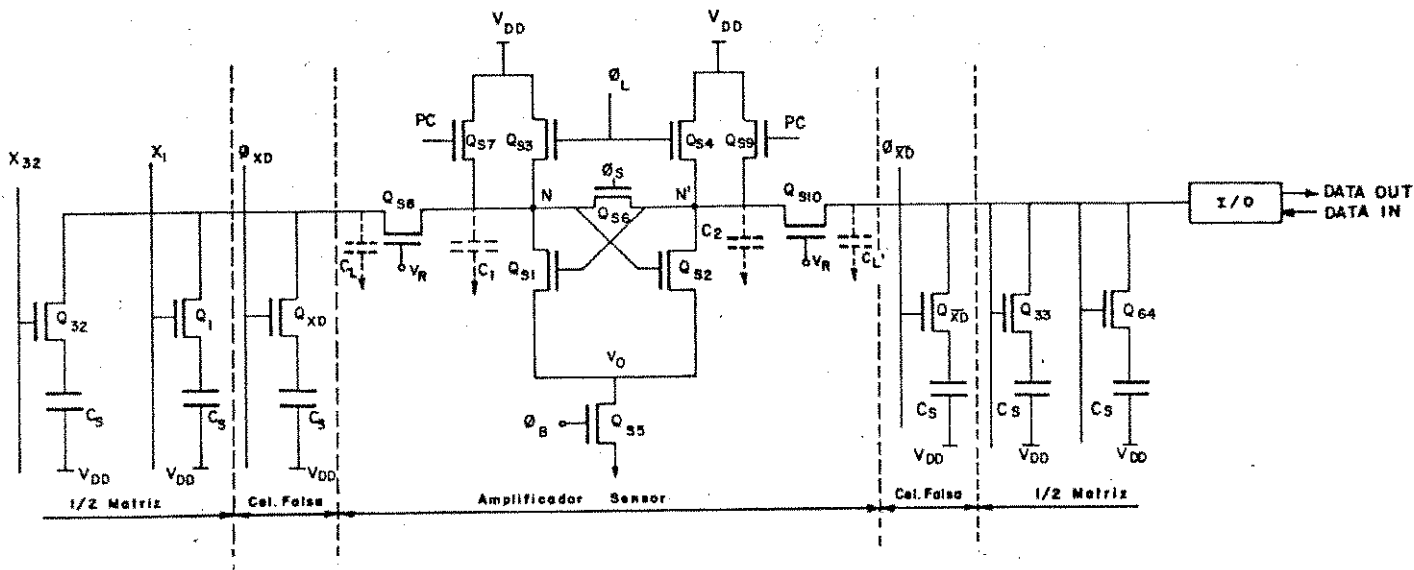


Figura 4.23 - Circuito elétrico do amplificador sensor.

As células falsas ("dummy cells") têm como função básica transferir, ao nó do biestável não conectado à submatriz endereçada, um potencial de referência equivalente a um valor médio entre as situações de "0" e "1" arma-

zenadas. Assim, a célula falsa é rigorosamente idêntica à célula da matriz de armazenamento o que contribue para que as sobretensões nas linhas de dados, devido aos acoplamentos capacitivos durante o endereçamento, sejam contrabalanceadas.

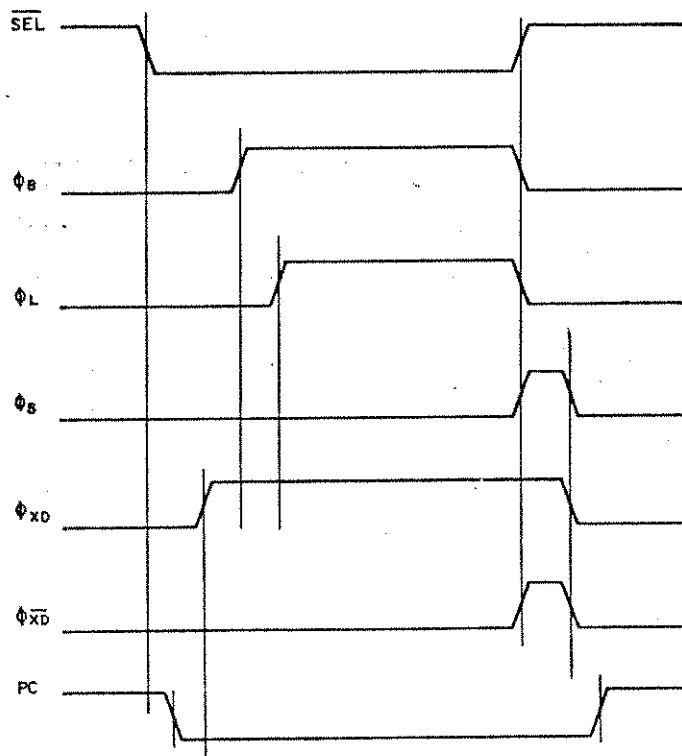


Figura 4.24 - Fases de controle do amplificador sensor e células falsas.

4.6.2. Sensibilidade do Amplificador Sensor

Conforme citado no capítulo I, a implementação de memórias RAM dinâmicas, com elevada capacidade de armazenamento, depende de uma alta sensibilidade do amplificador sensor, de modo a detectar, em algumas dezenas de nanossegundos, diferença de sinais da ordem de 50-200 mV. Embora não haja registro em literatura de um modelamento formal da sensibilidade em circuitos sensores, algumas considerações podem conduzir ao projeto de um amplificador sensor com

boa sensibilidade.

Uma expressão, proveniente de um método padrão de se medir a sensibilidade em amplificadores diferenciais, relaciona, para um determinado tempo t_0 durante a detecção:

$$S \Big|_{t=t_0} = (I_D - I_D') / I_D \Big|_{t=t_0} \quad (4.38)$$

onde I_D , I_D' são as correntes nos ramos do amplificador diferencial [11, 89]. Aplicando (4.38) ao circuito da figura 4.23, tem-se:

$$S \Big|_{t=t_0} = \frac{(V_N' - V_o - V_T(Q_{S1}))^2 - (V_N - V_o - V_T(Q_{S2}))^2}{(V_N' - V_o - V_T(Q_{S1}))^2} \Big|_{t=t_0} \quad (4.39)$$

Considerando $V_T(Q_{S2}) = V_T(Q_{S1}) = V_T$ e $\Delta V = V_N - V_N' \ll V_N$, a expressão (4.39) reduz-se a:

$$S \Big|_{t=t_0} = \frac{2\Delta V}{V_N - V_o - V_T} \quad (4.40)$$

ou seja, quanto maior o valor de V_o durante a detecção, menor o valor de S , caracterizando uma melhor sensibilidade.

Uma expressão empírica relacionando a sensibilidade com os parâmetros elétricos e de processo do par diferencial, e suas variações, foi apresentada por Ieda et al [90], aqui reproduzida:

$$S = A \sqrt{\frac{C_o k'}{\beta_o}} \left[\frac{\Delta\beta_1 - \Delta\beta_2}{\beta_o} - \frac{\Delta C_1 - \Delta C_2}{C_o} \right] + \left[V_{T1} - V_{T2} \right] \quad (4.41)$$

sendo:

A : constante

k : taxa de redução de V_0 , considerada linear

C_0 : capacitância especificada de C_1 e C_2

$\Delta C_j : C_j - C_0$ ($j = 1, 2$)

β_0 : fator de ganho especificado de Q_{S1} e Q_{S2}

$\Delta \beta_i : \beta_i - \beta_0$ ($i = 1, 2$)

Assim, para se obter uma boa sensibilidade, é necessário que:

- C_0 seja pequeno
- β_0 apresente um valor alto
- k seja pequeno
- $C_1/C_2 \rightarrow 1$
- $\beta_1/\beta_2 \rightarrow 1$
- $V_{T1} - V_{T2} \rightarrow 0$

Para se analisar o comportamento de um circuito sensor a partir dos parâmetros de projeto e suas variações, considera-se o modelo para pequenos sinais | 60 | do circuito constituído pelos transistores Q_{S1} , Q_{S2} , Q_{S3} , Q_{S4} e Q_{S5} , representado na figura 4.25, onde C_1 (C_2) representa a capacitância do nó N (N'), constituída pela capacitância de porta de Q_{S2} (Q_{S1}) e pela capacitância parasitária, indicada pelo fator α , ou seja:

$$C_1 = (1+\alpha) Z_{S2} \cdot L_{S2} \cdot C_{ox} \quad (4.42)$$

$$C_2 = (1+\alpha) Z_{S1} \cdot L_{S1} \cdot C_{ox} \quad (4.43)$$

Os demais parâmetros são dados por:

$$g_{ds} = \beta_{S5} (V_{\phi_B} - V_T(Q_{S5}) - V_0) \quad (4.44)$$

$$\frac{1}{R_{L3}} = gm_3 = S_3(V_{\phi_L} - V_1) \quad (4.45)$$

$$\frac{1}{R_{L4}} = gm_4 = S_4(V_{\phi_L} - V_2) \quad (4.46)$$

onde:

$$S_1 = \beta_1(V_2 - V_0 - V_T(Q_{S1})) \quad (4.47)$$

$$S_2 = \beta_2(V_1 - V_0 - V_T(Q_{S2})) \quad (4.48)$$

$$S_3 = \beta_3 (V_{\phi_L} - V_1 - V_T(Q_{S3})) \quad (4.49)$$

$$S_4 = \beta_4 (V_{\phi_L} - V_2 - V_T(Q_{S4})) \quad (4.50)$$

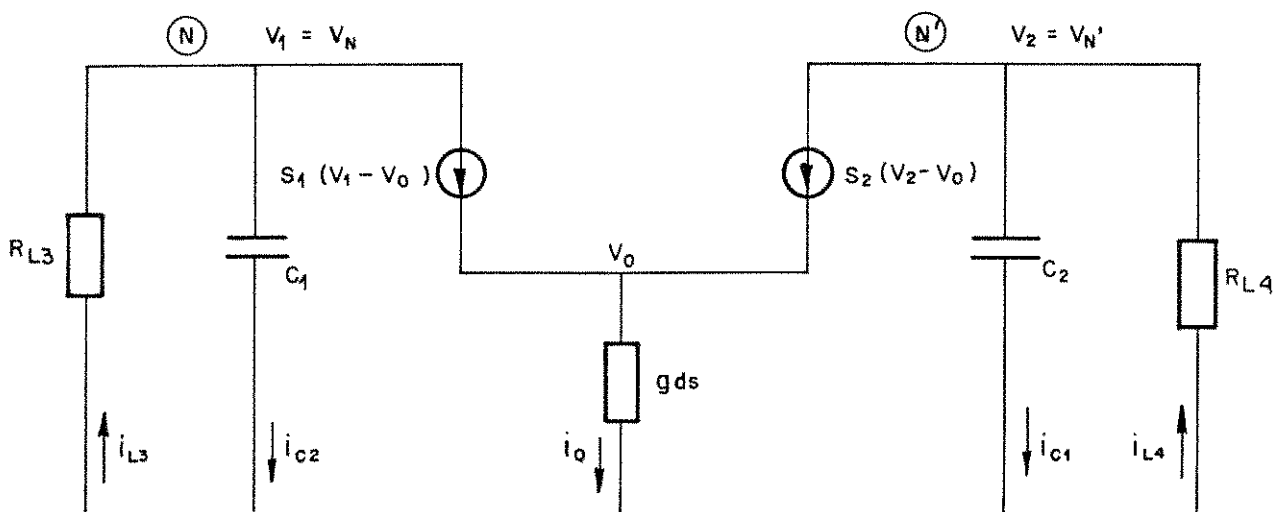


Figura 4.25 - Modelo para pequenos sinais do circuito biestável sensor.

Baseado neste modelo, implementou-se uma análise numérica para verificar o comportamento do amplificador sensor com os parâmetros de projeto e com $\Delta V = (V_2 - V_1)|_{t=0}$, a tensão diferencial no início da detecção. Os modelos adotados para a tensão de limiar e a mobilidade superficial são os mesmos descritos nas secções 4.1.5 e 4.1.6, respectivamente.

Com a finalidade de diminuir, após a ativação de ϕ_L , o tempo de carga da linha de dados cujo nível lógico corresponde a "1", eleva-se a capacidade de corrente dos transistores Q_{S3} e Q_{S4} através de sua relação (Z_{eff}/L_{eff}). O potencial relativo ao nível "0", na outra linha de dados, é determinado pela razão de aspecto β_R entre a associação-série dos transistores de comando e o transistor de carga, uma vez que a corrente flui, da fonte V_{DD} ao terra, através destes transistores. Todavia, um alto valor de β_R , condição para se obter um valor lógico inferior próximo a zero Volts, faz com que seja necessário elevadas tensões de porta, em Q_{S1} ou Q_{S2} , para que o biestável tenha o seu estado alterado durante o ciclo de escrita.

A imposição de um baixo valor para β_R , no entanto, não se apresenta restritiva, caso seja dimensionado um inversor com alto ganho à entrada da interface de dados, capaz de interpretar como "0" o valor lógico inferior à saída do amplificador sensor. Adota-se, portanto $\beta_R = 3.0$, estando as dimensões de máscara dos transistores do amplificador sensor na tabela 4.5.

	Z(μm)	L(μm)
Q_{S1}	12	6
Q_{S2}	12	6
Q_{S3}	10	20
Q_{S4}	10	20
Q_{S5}	12	6
Q_{S6}	16	6
Q_{S7}	8	6
Q_{S8}	100	6
Q_{S9}	8	6
Q_{S10}	100	6

Tabela 4.5 - Dimensões de máscara dos transistores do amplificador sensor.

A partir do modelo para pequenos sinais da figura 4.25 e as dimensões exibidas na tabela 4.5, o comportamento do amplificador sensor, através de suas tensões nodais V_1 e V_2 , é analisado em função de diferentes valores de $\Delta V = (V_2 - V_1)|_{t=0}$, conforme mostrado na figura 4.26. Como pode ser observado, com perfeita simetria nos parâmetros, a detecção mostra-se correta para $\Delta V > 50$ mV e, embora a ativação da fase ϕ_L em $t = 8$ ns não seja instantânea, como adotado, pode-se prever um tempo de detecção inferior a 20 ns, o que é considerado satisfatório.

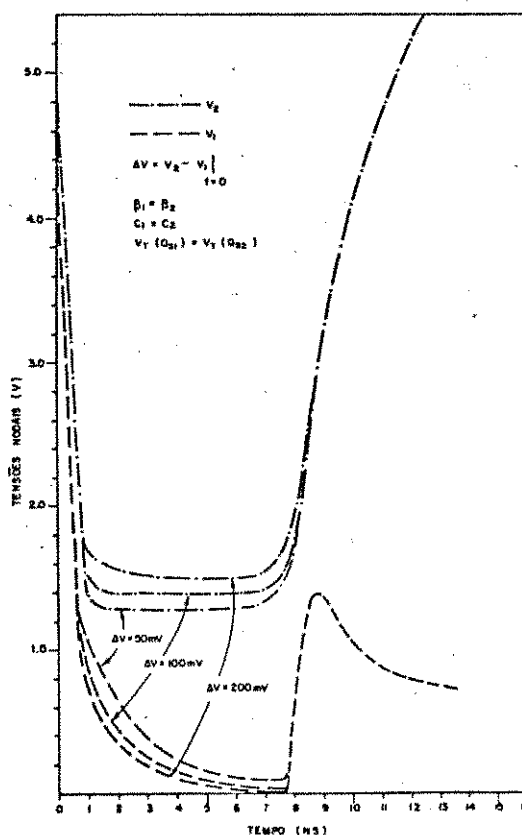


Figura 4.26 - Comportamento do amplificador sensor para diferentes valores de $\Delta V = (V_2 - V_1)|_{t=0}$, no caso de uma simetria perfeita.

O perfeito casamento de parâmetros, no entanto, é uma condição irreal, uma vez que variações estão presente, mesmo em transistores vizinhos, quer pela não-uniformidade do processo de fabricação, quer por assimetrias no lay-out. Nas tabelas 4.6 e 4.7 tem-se, através de resultados obtidos a partir do modelo para pequenos sinais, a influência do desbalanceamento dos valores da tensão de limiar de Q_{S1} e Q_{S2} e das capacitâncias nodais C_1 e C_2 , na correta detecção do amplificador sensor.

V_{T1}/V_{T2}	$\Delta V = 200 \text{ mV}$	$\Delta V = 100 \text{ mV}$	$\Delta V = 50 \text{ mV}$
1.00	$V_2 + 1$	$V_2 + 1$	$V_2 + 1$
1.10	$V_2 + 1$	$V_2 + 1$	$V_2 + 0$
1.20	$V_2 + 1$	$V_2 + 0$	$V_2 + 0$

Tabela 4.6 - Influência do desbalanceamento da tensão de limiar na detecção do amplificador sensor.

C_1/C_2	$\Delta V = 200 \text{ mV}$	$\Delta V = 100 \text{ mV}$	$\Delta V = 50 \text{ mV}$
1.00	$V_2 + 1$	$V_2 + 1$	$V_2 + 1$
1.05	$V_2 + 1$	$V_2 + 1$	$V_2 + 1$
1.10	$V_2 + 1$	$V_2 + 1$	$V_2 + 1$
1.15	$V_2 + 1$	$V_2 + 1$	$V_2 + 0$
1.20	$V_2 + 1$	$V_2 + 0$	$V_2 + 0$

Tabela 4.7 - Influência do desbalanceamento da capacitância nodal na detecção do amplificador sensor.

Com a definição do lay-out do amplificador sensor especificado, as capacitâncias nodais estimadas correspondem a $C_1 = 2.10 \times 10^{-13} \text{ F}$ e $C_2 = 1.85 \times 10^{-13} \text{ F}$, o que equivale a $C_1/C_2 = 1.14$. Admitindo, como pior caso, $V_T(Q_{S1}) = 1.2 V_T(Q_{S2})$, o comportamento do circuito sensor para diferentes valores de ΔV é analisado, a partir do modelo para pequenos sinais, sendo os resultados obtidos mostrados na tabela 4.8. Embora para $\Delta V \geq 150 \text{ mV}$ seja verificado uma perfeita interpretação, adota-se $\Delta V = 200 \text{ mV}$ como o mínimo valor di

ferencial de tensão, a entrada do amplificador sensor, para uma correta detecção, estando incluída a margem de erro devido a utilização do método de análise numérica, bem como possíveis desvios no fator g_m dos transistores.

ΔV (mV)	
250	$V_2 + 1$
200	$V_2 + 1$
150	$V_2 + 1$
100	$V_2 + 0$
50	$V_2 + 0$

Tabela 4.8 - Detecção do amplificador sensor em função de ΔV , nas condições de $C_1/C_2 = 1.14$ e $V_T(Q_{S1})/V_T(Q_{S2}) = 1.2$.

Os desbalanceamentos de parâmetros, associados a eventuais ruídos presentes no circuito, podem ser interpretados como uma tensão de off-set do amplificador sensor. Na figura 4.27, tem-se um diagrama ilustrativo, no qual as principais margens, ou tolerâncias, envolvidas na detecção são representadas [102].

4.7. Projeto da Unidade de Controle

O circuito descrito nesta secção provê os sinais de controle necessários a detecção da informação, ou seja, as fases ϕ_B , ϕ_L , ϕ_S ao amplificador sensor e ϕ_{XD} , $\phi_{\overline{XD}}$ às células falsas, conforme diagrama da figura 4.28, no qual ϕ_X e ϕ_F são fases intermediárias auxiliares. Os sinais ϕ_B e ϕ_L são pulsos com duração t_B e t_L , respectivamente, gerados de maneira análoga às fases ϕ_1 e ϕ_D , descrita na secção 4.3. As fases ϕ_{XD} e $\phi_{\overline{XD}}$ são determinadas a partir de A_4 , o bit mais significativo do endereço de linha, ou seja: se $A_4 = 0$, $\phi_{\overline{XD}} = \phi_F$ e $\phi_{XD} = \phi_S$; caso $A_4 = 1$, tem-se $\phi_{\overline{XD}} = \phi_S$ e $\phi_{XD} = \phi_F$.

Na figura 4.29 tem-se a representação da Unidade de Controle (módulo UC) em termos de blocos lógicos e, na figura 4.30, a nível de transistores.

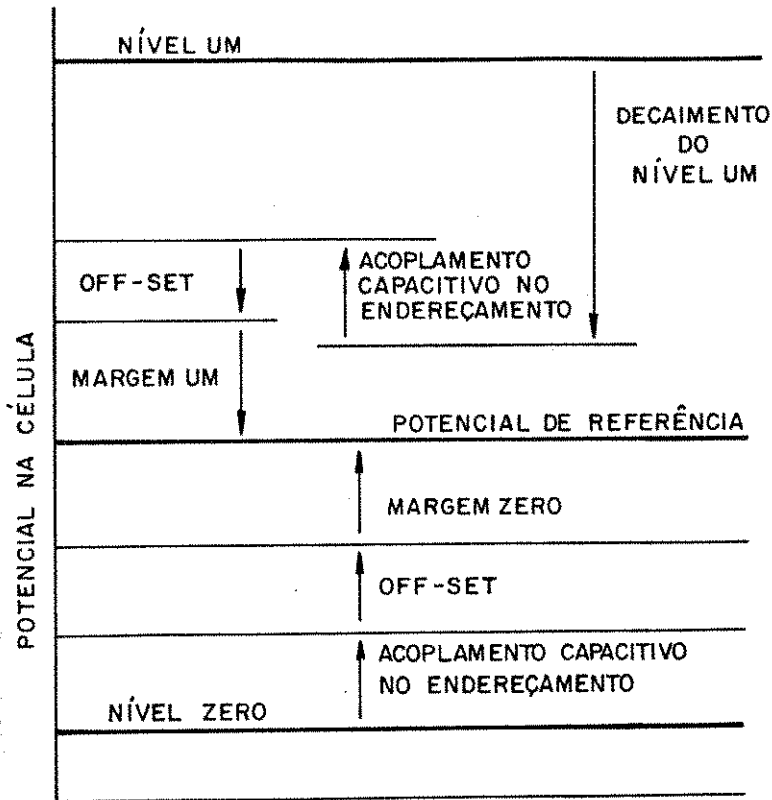


Figura 4.27 - Representação das margens e tolerâncias durante a detecção.

Para o dimensionamento dos transistores da unidade de controle, são estimadas as condições de cargas relativas às fases ϕ_S , ϕ_B , ϕ_L , ϕ_{XD} e $\phi_{\bar{XD}}$, apresentadas na tabela 4.9, correspondendo, basicamente, às capacitâncias de porta, uma vez que as capacitâncias e resistências das interconexões, predominantemente metálicas, são desprezadas.

Fase	ϕ_S	ϕ_B	ϕ_L	ϕ_{XD}	$\phi_{\bar{XD}}$
Capacitância (pF)	1.21	0.97	4.48	0.72	0.72

Tabela 4.9 - Condições de carga estimadas, relativas às fases geradas pela unidade de controle.

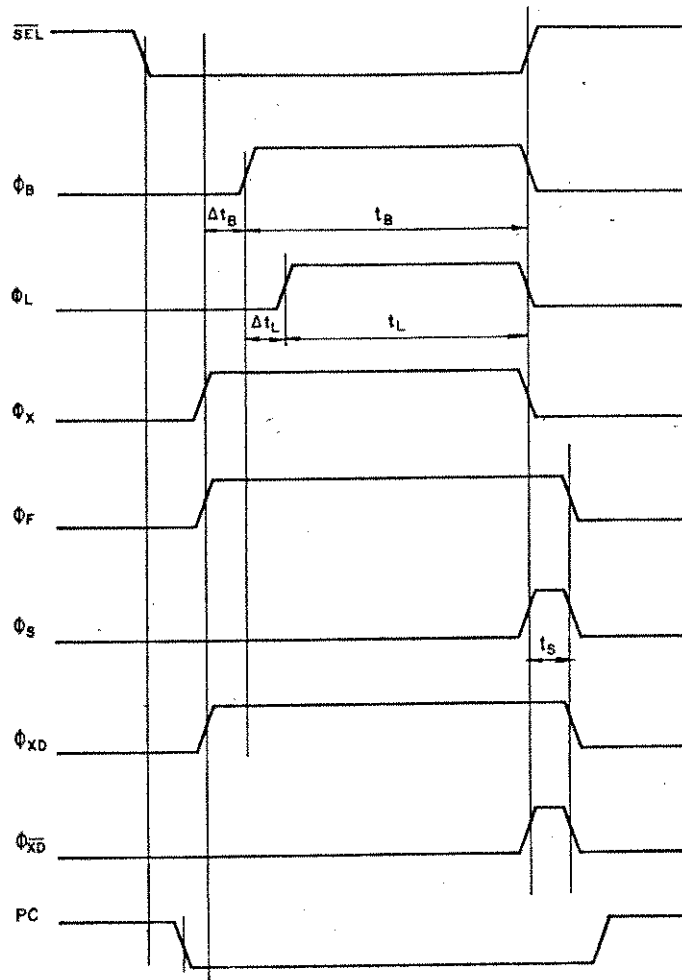


Figura 4.28 - Fases geradas pela Unidade de Controle.

Baseado nas expressões apresentadas na secção 4.1, com procedimento de projeto análogo ao exposto nas secções 4.2 e 4.3 e, especificando-se $\Delta t_B \geq 50$ ns, $t_B \geq 150$ ns, $\Delta t_L \geq 50$ ns, $t_L \geq 100$ ns, $t_S \geq 50$ ns (v. figura 4.28), os transistores da unidade de controle são especificados, sendo as dimensões de máscara apresentadas na tabela 4.10. Embora o tempo de detecção estimado na secção 4.6.2 seja inferior a 20 ns, como margem de projeto especifica-se $\Delta t_L \geq 50$ ns. Esta tolerância, também estendida às demais fases, prevê possíveis desvios, devido aos modelos de primeira ordem utilizados, bem como variações nos parâmetros de processo. Na figura 4.31 tem-se os resultados obtidos através da simulação da unidade de controle projetada.

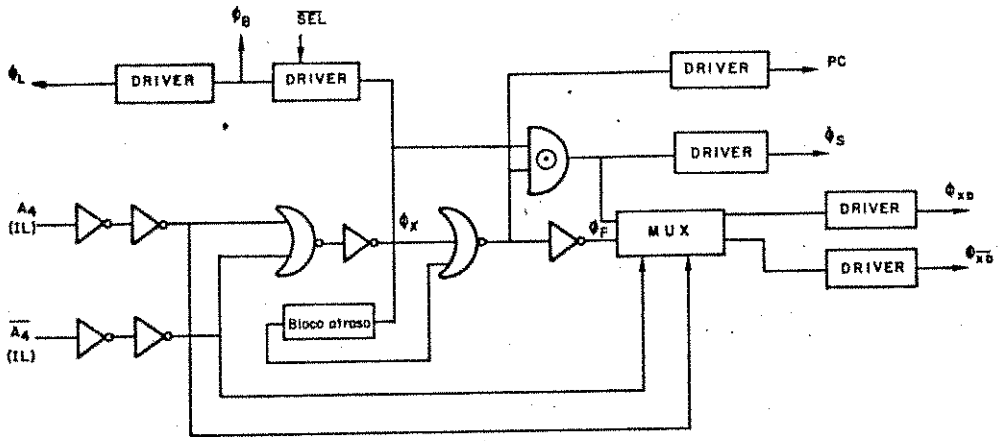


Figura 4.29 - Representação da unidade de controle em termos de blocos lógicos.

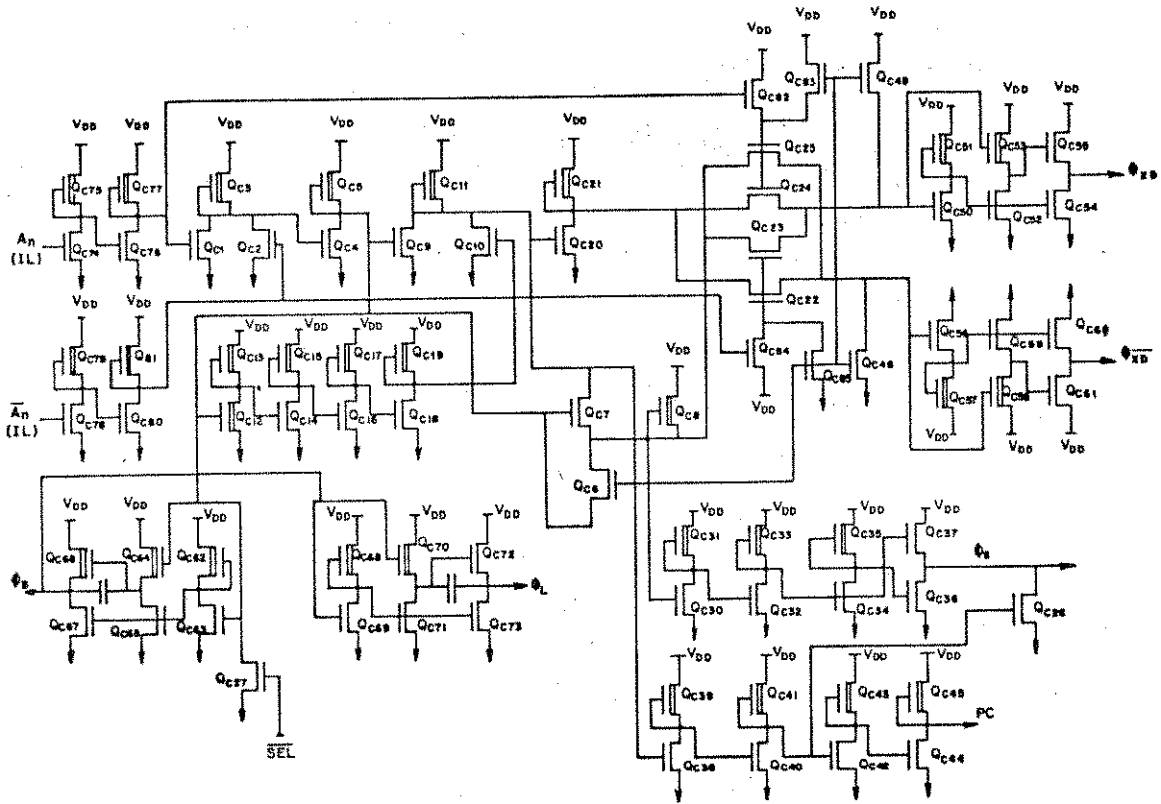


Figura 4.30 - Representação da Unidade de Controle a nível de transistores.

Z(μm)		L(μm)	Z(μm)		L(μm)	Z(μm)		L(μm)
Q _{C1}	15	6	Q _{C30}	10	10	Q _{C60}	40	6
Q _{C2}	15	6	Q _{C31}	15	10	Q _{C61}	90	6
Q _{C3}	10	10	Q _{C32}	10	10	Q _{C62}	12	12
Q _{C4}	62	6	Q _{C33}	10	10	Q _{C63}	34	6
Q _{C5}	20	10	Q _{C34}	23	6	Q _{C64}	16	6
Q _{C6}	62	6	Q _{C35}	15	10	Q _{C65}	24	6
Q _{C7}	62	6	Q _{C36}	90	6	Q _{C66}	77	6
Q _{C8}	20	10	Q _{C37}	90	6	Q _{C67}	77	6
Q _{C9}	62	6	Q _{C38}	12	6	Q _{C68}	12	12
Q _{C10}	62	6	Q _{C39}	10	20	Q _{C69}	34	6
Q _{C11}	20	10	Q _{C40}	30	30	Q _{C70}	16	6
Q _{C12}	15	10	Q _{C41}	10	30	Q _{C71}	24	6
Q _{C13}	10	20	Q _{C42}	30	30	Q _{C72}	100	6
Q _{C14}	43	34	Q _{C43}	10	30	Q _{C73}	100	6
Q _{C15}	10	30	Q _{C44}	54	6	Q _{C74}	30	6
Q _{C16}	43	34	Q _{C45}	30	10	Q _{C75}	10	10
Q _{C17}	10	30	Q _{C48}	26	6	Q _{C76}	34	6
Q _{C18}	43	34	Q _{C49}	26	6	Q _{C77}	12	12
Q _{C19}	10	30	Q _{C50}	40	6	Q _{C78}	30	6
Q _{C20}	27	6	Q _{C51}	12	12	Q _{C79}	10	10
Q _{C21}	20	10	Q _{C52}	24	6	Q _{C80}	34	6
Q _{C22}	10	6	Q _{C53}	16	6	Q _{C81}	12	12
Q _{C23}	10	6	Q _{C54}	40	6	Q _{C82}	15	6
Q _{C24}	10	6	Q _{C55}	90	6	Q _{C83}	10	6
Q _{C25}	10	6	Q _{C56}	40	6	Q _{C84}	10	6
Q _{C26}	60	6	Q _{C57}	10	10	Q _{C85}	15	6
Q _{C27}	36	6	Q _{C58}	24	6	Q _{C86}	60	6
			Q _{C59}	16	6			

Tabela 4.10 - Dimensões de máscara dos transistores da Unidade de Controle.

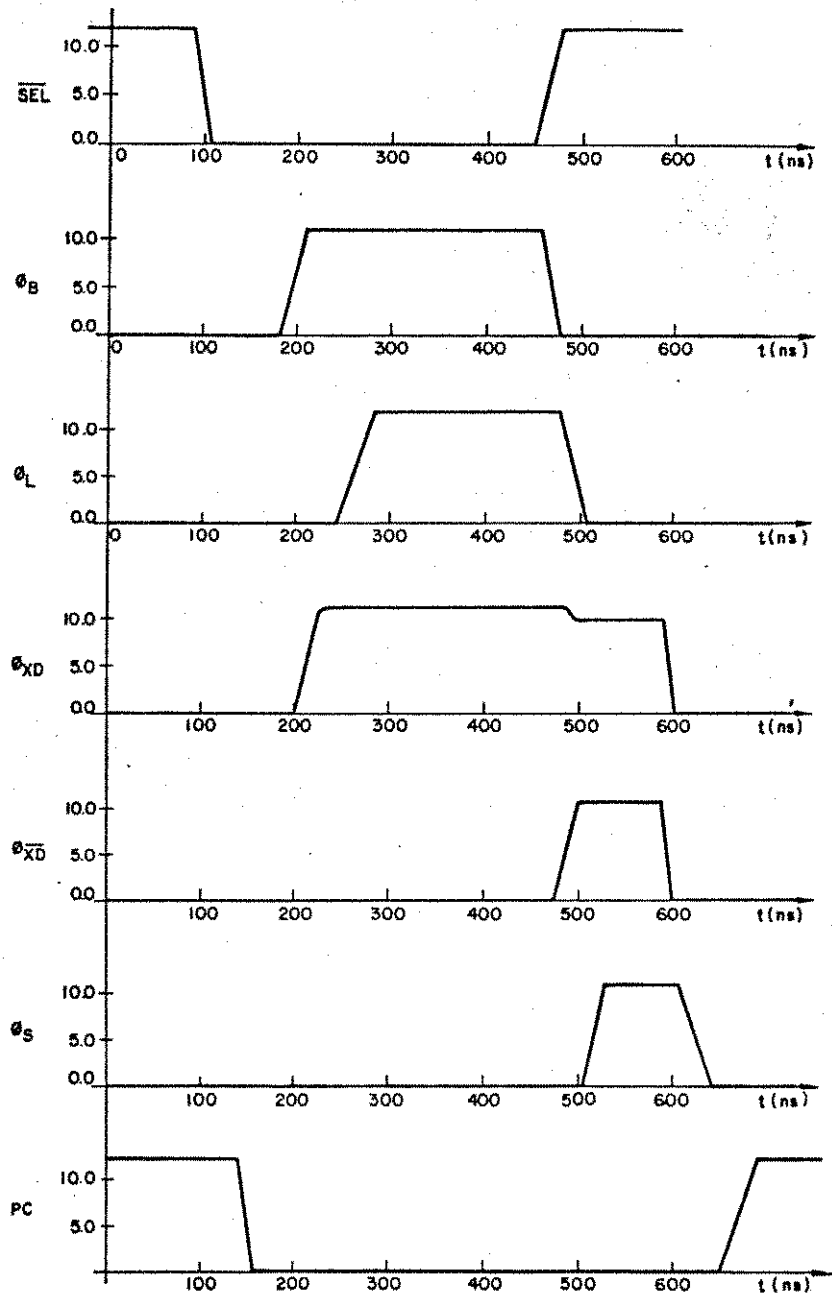


Figura 4.31 - Simulação da Unidade de Controle.

4.8 - Estimativa da Eficiência de Transferência e do Período de Reescrita da Memória.

Conforme descrito no capítulo III, seção 3.2, após o endereçamento da célula e na condição de "0" armazenado, portadores retidos nos estados de interface são lançados à linha de dados. A fração de carga emitida é definida por:

$$\alpha_t = \frac{q N(t)}{Q_{inv}} = \frac{q N(t)}{Q_{"0"}} \quad (4.51)$$

onde $N(t)$ e Q_{inv} são dados, respectivamente, por (3.20) e (3.7). Sendo 50 ns o intervalo de tempo em que as linhas de dados são "sentidas" pelo amplificador sensor, como especificado na seção 4.7, o valor estimado de $N(t)$ corresponde a $4.83 \times 10^9 \text{ cm}^{-2}$.

No entanto, quanto ao cálculo de $Q_{"0"}$, simulações do amplificador sensor especificado indicam que o valor lógico inferior (VLI) à saída do biestável, após a ativação dos transistores de carga, é igual a 1.38 V, sendo, portanto, superior a $\phi_{inv} \approx 0.60 \text{ V}$. Deste modo, o poço de potencial na célula de memória não se apresentará completamente cheio, no caso de "0" armazenado, uma vez que o potencial na linha de dados, durante a operação de escrita, não é inferior ao VLI imposto pelo amplificador sensor. Sendo assim, $Q_{"0"}$ é dado por:

$$Q_{"0"} = C_{ox}(V_G(\phi_{ISE}) - V_G(VLI)) \quad (4.52)$$

Na figura 4.32, tem-se a dependência do potencial de superfície com a tensão de porta V_G , para o referido processo de fabricação e considerando o perfil de impurezas simplificado da figura 3.4. Em relação ao substrato, tem-se que $VLI = 1.38 + 2.5 = 3.58 \text{ V}$ e $V_G(3.58 \text{ V}) \approx 2.0 \text{ V}$. Portanto,

$$Q_{"0"} = 3.5 \times 10^{-8} (12.0 - 2.0) = 3.5 \times 10^{-7} \text{ C.cm}^{-2}$$

O valor de α_t pode, então, ser calculado:

$$\alpha_t = \frac{1.6 \times 10^{-19} \times 4.83 \times 10^9}{3.5 \times 10^{-7}} \approx 2.2 \times 10^{-3}$$

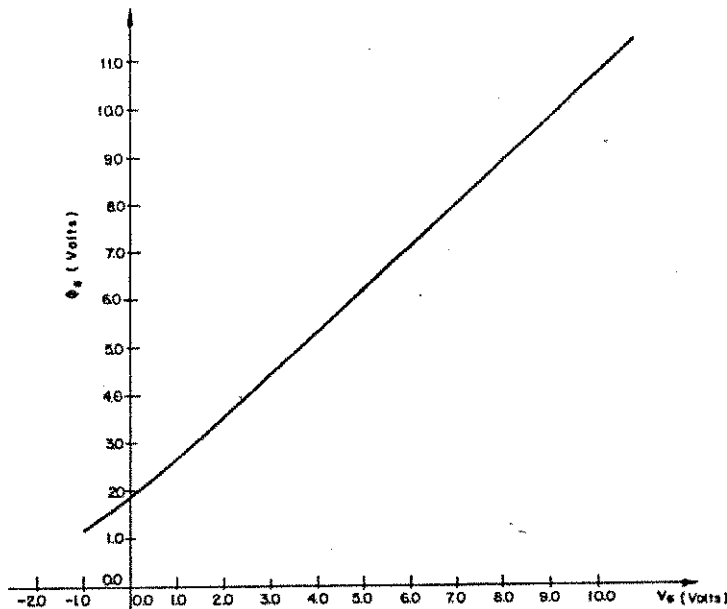


Figura 4.32 - Dependência do potencial de superfície com a tensão de porta, para o processo de fabricação utilizada.

Considerando $V_R = 7.0$ V, o potencial na linha de dados, no início da transferência (v. figura 4.20), é dado por $V_{LD} = V_R - V_T = 7.0 - 1.5 = 5.5$ V. Através da curva da figura 4.31, tem-se $V_G(5.5 \text{ V} + 2.5 \text{ V}) = V_G(8.0 \text{ V}) = 7.0$ V. Com o auxílio da expressão (3.14), a carga transferida à linha de dados corresponde a:

$$Q_{tr} = 3.50 \times 10^{-7} - 3.5 \times 10^{-8} \times (12.0 - 7.0) = 1.75 \times 10^{-7} \text{ C.cm}^{-2}$$

A eficiência de transferência é, portanto, estimada através de (3.19):

$$\eta = 2.2 \times 10^{-3} + \frac{1.75 \times 10^{-7}}{3.50 \times 10^{-7}} \approx 0.502$$

ou

$$\eta \approx 50\%$$

Embora o valor de η se apresente baixo, tal fato não limita o desempenho do amplificador sensor, uma vez que o referido valor decorre da utilização do circuito pré-detector, conforme descrito na secção 4.6.1.

Para a determinação do período máximo de reescrita da memória, estima-se inicialmente as correntes de fuga I_{ger} e I_{sub} . Conforme mencionado nesta secção, o potencial na linha de dados nunca será inferior a 1.38 V, permitindo que, baseado nas curvas de $I_{sub} \times V_S$ da figura 3.11, os efeitos da corrente de subcondução no tempo de retenção sejam desprezados. Através da expressão (3.21), para um valor calculado de $x_D = 3.90 \times 10^{-4}$ cm e adotando $S_0 = 10$ cm/s, $\tau_n = 10^{-8}$ s, $L_n = 0.60 \times 10^{-4}$ cm, $D_n = 34$ cm²/s, $n_i = 1.45 \times 10^{10}$ cm⁻³ e $N_A = 1.0 \times 10^{-5}$ cm⁻³, a densidade de corrente J_{ger} corresponde a 4.54×10^{-5} A/cm². Sendo $A_S = 665 \times 10^{-4}$ cm² a área do capacitor da célula de memória, I_{ger} é dado por:

$$I_{ger} = 665 \times 10^{-4} \times 4.54 \times 10^{-5} \approx 3.0 \times 10^{-6} \text{ A}$$

A carga remanescente no poço de potencial é calculada através de

$$Q_{res} = A_S (Q_{inv} - Q_{tr}) = 665 \times 10^{-4} \times (3.50 - 1.75) \times 10^{-7} = 1.16 \times 10^{-8} \text{ C}$$

Para o cálculo de $Q_{"0"}$, assume-se que o potencial de superfície, sob o capacitor, atinge o seu valor mínimo ϕ_{inv} , uma condição de equilíbrio, antes da reescrita dos dados. Em relação ao substrato, $\phi_{inv} \approx 0.6 + 2.5 = 3.1$ V e, pela curva $\phi_S \times V_G$ da figura 4.31, $V_G(3.1) = 1.5$ V. Assim, a carga correspondente à condição de "0" armazenado é dada por:

$$Q_{"0"} = 665 \times 10^{-4} \times 3.5 \times 10^{-8} \times (12.0 - 1.5) \approx 2.44 \times 10^{-8} \text{ C}$$

Conforme descrito na secção 4.6, para o perfeito desempenho do amplificador sensor, é necessário que as cargas correspondentes aos níveis "0" e "1" possuam uma boa margem em relação ao nível intermediário "I", armazenado nas células falsas, cuja carga associada corresponde, aproximadamente, ao valor médio entre $Q_{"0"}$ e $Q_{"1"}$. Tendo em vista $\eta \cong 0.50$, para que haja uma boa diferenciação entre os três níveis, adota-se $ML_{\min} = 0.40$. Utilizando-se a expressão (3.32), o tempo de retenção pode ser estimado:

$$t_{\text{ret}} = \frac{2.44 \times 10^{-8} (1 - 0.40) - 1.16 \times 10^{-8}}{3.02 \times 10^{-6}} \cong 1.0 \text{ ms}$$

Adota-se, portanto, 1.0 ms como o período máximo teórico para a reescrita da informação no subsistema projetado. Como pode se observar, existe uma proximidade entre este valor calculado e aqueles especificados em memórias dinâmicas comerciais (2 - 4 ms) [1].

CAPÍTULO V

GMOS: UM MODELO PARA TRANSISTORES MOS INCLUINDO EFEITOS DEVIDO A PEQUENAS DIMENSÕES DE CANAL

Neste capítulo é apresentado um modelo que descreve o comportamento de transistores MOS, modo enriquecimento e depleção, considerando-se os efeitos devido a pequenas dimensões de canal. Parâmetros como fator de corpo, tensões de limiar, mobilidade superficial, modulação de canal, bem como sua dependência com a geometria do canal e polarização de substrato, são analisados.

A utilização de modelos que descrevem as características de um transistor MOS através de expressões de ajuste torna-se importante em Projetos Auxiliados por Computador, permitindo que a simulação de circuitos em escala de integração LSI, ou mesmo VLSI, seja realizada com grande economia de tempo de CPU. Também, efeitos que requerem uma complexa análise teórica podem ser temporariamente modelados, com uma boa precisão, através deste método.

Os resultados experimentais são extraídos de transistores fabricados segundo o processo de fabricação sumariamente descrito no Apêndice B, utilizando-se, para tanto, um sistema automático de aquisição de dados Keitley/300 acoplado a um computador Digital PDP-11, disponível no Edinburgh Microfabrication Facility. Embora algumas conclusões apresentadas estejam diretamente vinculadas ao processo de fabricação utilizado, pode-se recomendar, de um modo geral, a aplicação do referido modelo a transistores MOS, com porta de Silício policristalino ou de metal e com o ajuste da tensão de limiar através de implantação. Para tanto, alguns dos parâmetros experimentais devem ser recalculados em função do novo processo de fabricação.

Para a obtenção dos resultados experimentais utilizam-se transistores com diferentes dimensões de canal ($0.5 \leq L_{\text{eff}} \leq 47.5 \mu\text{m}$ e $6.0 \leq Z_{\text{eff}} \leq 50.0$). Por motivos de concisão, limita-se, neste capítulo, à apresentação dos resultados mais importantes, a partir dos quais conclusões possam ser tiradas. Colocam-se à disposição do leitor, todavia, os resultados experimentais omitidos.

5.1. Modelamento de Transistores Modo Enriquecimento

5.1.1. Tensão de Limiar para $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$

A tensão de limiar de um transistor MOS com fonte aterrada e $V_{DS} = 0.1 \text{ V}$ é descrita por:

$$V_{TH}(V_{SUB}, L_{eff}, Z_{eff}) = V_{TO}(L_{eff}, Z_{eff}) + \gamma(V_{SUB}, L_{eff}, Z_{eff}) \times (\sqrt{|V_{SUB}| + 2\phi_{FP}} - \sqrt{2\phi_{FP}}) \quad (5.1)$$

sendo V_{TO} a tensão de limiar do dispositivo para $V_{SUB} = 0 \text{ V}$, e γ o fator de corpo [14,15,72,76].

No decorrer deste trabalho, a tensão de limiar para transistores MOS, com $V_{DS} = 0.1 \text{ V}$, é determinada experimentalmente através de extrapolação linear na curva corrente de dreno x tensão de porta, utilizando-se o método dos mínimos quadrados [91,92].

5.1.1.1. Fator de Corpo

Fixando-se uma polarização de substrato, experimentalmente a dependência do fator de corpo com o inverso das dimensões do canal, $1/L_{eff}$ e $1/Z_{eff}$, tem-se mostrado aproximadamente linear, como indicado nas figuras 5.1 e 5.2.

Assim, o fator de corpo pode ser escrito como

$$\gamma(V_{SUB}, L_{eff}, Z_{eff}) = \gamma_0(V_{SUB}) \left[1 - \frac{K_L}{L_{eff}} + \frac{K_W}{Z_{eff}} \right] \quad (5.2)$$

onde:

$$K_L = \text{tg}\alpha/\gamma_L \text{ (v. figura 5.1)}; K_W = \text{tg}\beta/\gamma_Z \text{ (v. figura 5.2) e}$$

$\gamma_0(V_{SUB})$ é o fator de corpo para um transistor de comprimento e largura de canal grandes, cuja dependência com V_{SUB} está mostrada na figura 5.3. Os valores médios obtidos para K_L e K_W são respectivamente, $0.43 \mu\text{m}$ e $0.85 \mu\text{m}$.

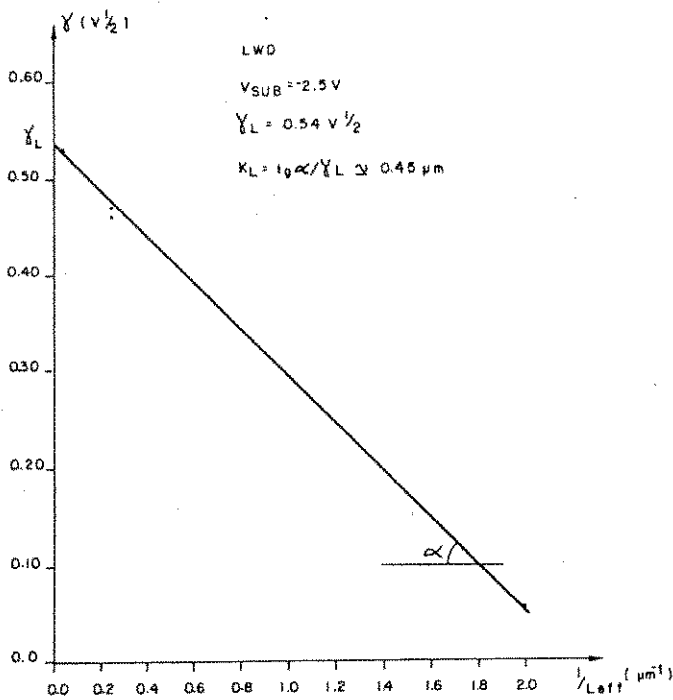


Figura 5.1 - Dependência do fator de corpo com o comprimento de canal para o chip Eμ244A#15.

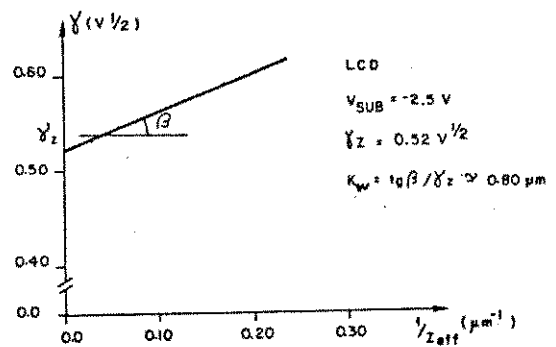


Figura 5.2 - Dependência do fator de corpo com a largura de canal para o chip Eμ244A#15.

A não uniformidade do perfil de impurezas no substrato (perfil gaussiano após a implantação e recozimento) faz com que, para pequenos valores de $|V_{SUB}|$, o fator de corpo assumia valores relativamente altos, uma vez que a largura da camada de carga espacial sob a região de porta é pequena. À medida em que $|V_{SUB}|$ aumenta, γ apresenta um valor mais constante, aproximando-se de uma situação de dopagem uniforme no substrato.

No presente modelo a dependência do fator de corpo com a polarização de substrato será descrita por:

$$\gamma_0(V_{SUB}) = (\gamma_1 - \gamma_2) \exp(-\delta \cdot |V_{SUB}|) + \gamma_2 \quad (5.3)$$

onde

$\gamma_1 = \gamma_0(V_{SUB} = 0 \text{ V})$ e $\gamma_2 = \sqrt{2\epsilon_0\epsilon_{Si}qN_A} / C_{ox}$ e δ um parâmetro de ajuste. Para um transistor com $L_{eff} = 27.5 \text{ }\mu\text{m}$ e $Z_{eff} = 30.0 \text{ }\mu\text{m}$, variando-se $|V_{SUB}|$ de 0 a 5.0 V, tem-se δ na faixa de $0.27 - 0.30 \text{ V}^{-1}$, sendo 0.29 V^{-1} o valor adotado. Quanto a γ_1 e γ_2 tem-se, respectivamente, $0.720 \text{ V}^{1/2}$ e $0.375 \text{ V}^{1/2}$.

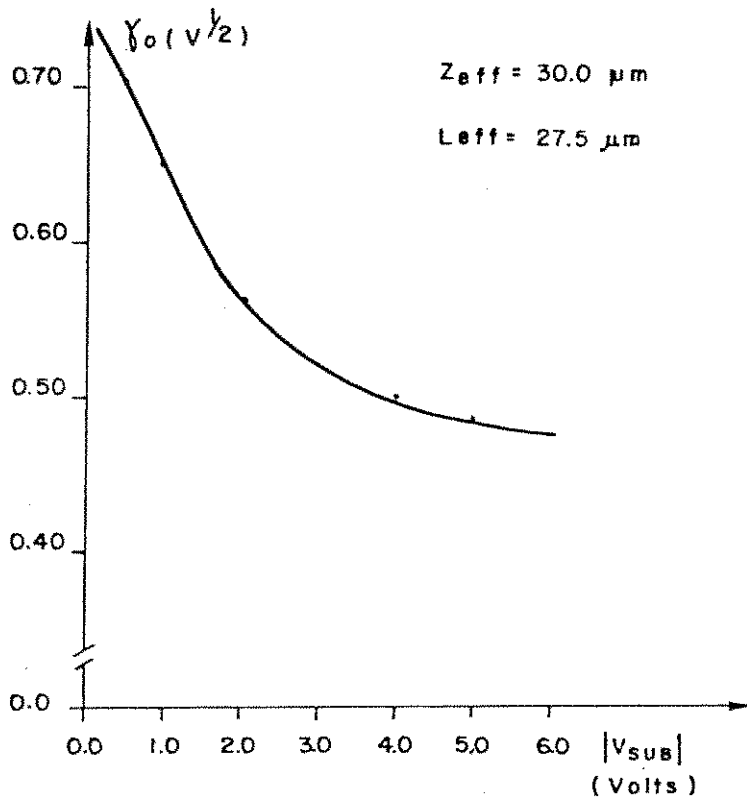


Figura 5.3 - Dependência do fator de corpo com V_{SUB} para o referido processo de fabricação, para o chip Ep244#15.

5.1.1.2. Tensão de limiar para $V_{SUB} = 0 \text{ V}$ e $V_{DS} = 0.1 \text{ V}$

Fixando-se a polarização de substrato em zero Volts, a dependência da tensão de limiar com o inverso das dimensões de canal também tem-se mostrado aproximadamente linear, como indicado nas figuras 5.4 e 5.5, justificando V_{T0} ser descrito por:

$$V_{TO}(L_{eff}, Z_{eff}) \Big|_{V_{SUB}=0} = V_{THLD} \Big|_{V_{SUB}=0} \times \left[1 - \frac{\alpha_L}{L_{eff}} + \frac{\alpha_Z}{Z_{eff}} \right] \quad (5.4)$$

onde V_{THLD} é a tensão de limiar para um transistor com largura e comprimento grandes de canal, para $V_{SUB} = 0$ V. Neste caso, V_{THLD} pode ser considerado como sendo a tensão de limiar de um capacitor MOS [14,15,60,93]. Os valores obtidos experimentalmente para α_L e α_Z são, respectivamente, $0.22 \mu\text{m}^2$ e $0.68 \mu\text{m}^2$.

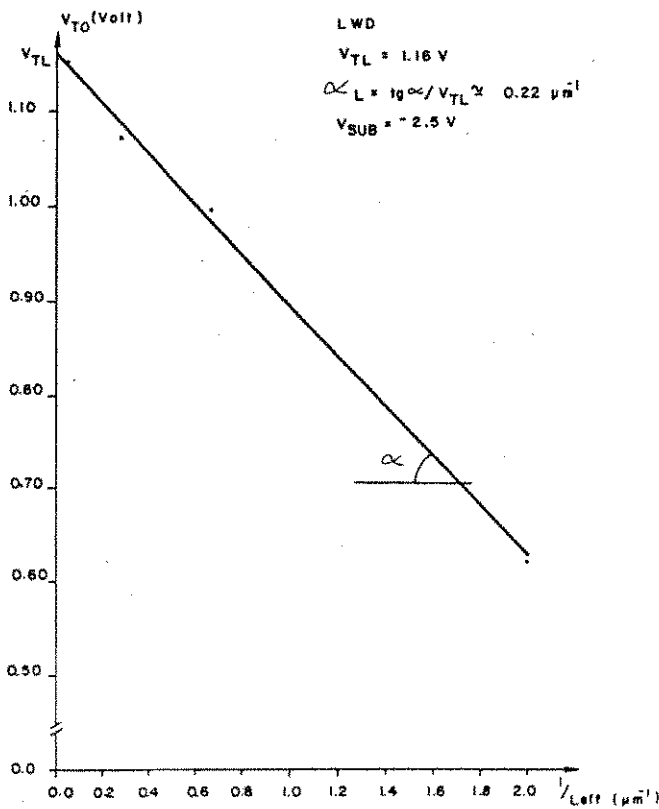


Figura 5.4 - Dependência de V_{TO} com o comprimento de canal para o chip Ep244A#15.

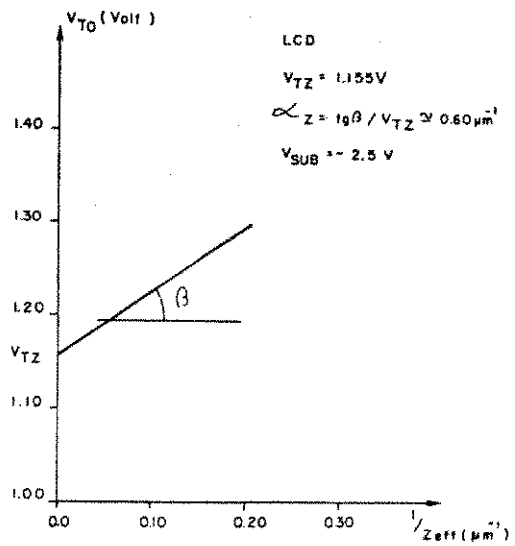


Figura 5.5 - Dependência de V_{TO} com a largura de canal para o chip Ep244A#15.

A validade da expressão (5.1) foi comprovada experimentalmente utilizando-se transistores com diversas dimensões de canal, sendo o erro médio obtido inferior a 10%. Convém ressaltar que esse erro contém as flutua-

ções do parâmetro modelado decorrentes de uma inerente não uniformidade do processo de fabricação.

Alguns dos resultados obtidos no modelamento da tensão de limiar para $V_{DS} = 0.1V$ são mostrados nas tabelas 5.1 e 5.2, para transistores com diferentes dimensões, variando-se a polarização de substrato. O valor de V_{THLD} , para $V_{SUB} = 0V$, adotado foi $0.66V$, valor médio medido em transistores com $Z_{eff} = 50.0 \mu m$ e $L_{eff} = 47.5 \mu m$.

V_{SUB} (V)	VTH (MEAS) (V)	VTH (CALC) (V)	ERRO %
0.0	0.608	0.545	10.4
- 0.5	0.817	0.682	16.6
- 1.0	0.892	0.775	13.1
- 1.5	0.947	0.844	10.9
- 2.0	0.982	0.892	8.58
- 2.5	1.01	0.941	7.16
- 3.0	1.04	0.978	5.72
- 3.5	1.06	1.01	5.26
- 4.0	1.08	1.04	4.32
- 4.5	1.11	1.06	4.25
- 5.0	1.12	1.08	3.23

Tabela 5.1 - Valores teóricos e experimentais de V_{TH} para $L_{eff} = 1.5 \mu m$, no chip Eu244#15.

V_{SUB} (V)	VTH (MEAS) (V)	VTH (CALC) (V)	ERRO %
0.0	0.623	0.653	- 4.96
- 0.5	0.825	0.842	- 2.01
- 1.0	0.914	0.970	- 6.11
- 1.5	1.00	1.06	- 6.28
- 2.0	1.08	1.14	- 5.55
- 2.5	1.14	1.20	- 4.70
- 3.0	1.20	1.25	- 3.56
- 3.5	1.26	1.29	- 2.38
- 4.0	1.31	1.33	- 1.04
- 4.5	1.37	1.36	0.94
- 5.0	1.42	1.39	1.72

Tabela 5.2 - Valores teóricos e experimentais de V_{TH} para $L_{eff} = 3.5 \mu m$, no chip Eu244#15.

5.1.2. Tensão de Limiar para $V_{DS} \gg 0.1V$

5.1.2.1. Tensão de Limiar na Região Triodo

Considerando-se ainda $V_S = 0$, a presença de uma tensão de dreno V_D causa um acréscimo na largura da região de carga espacial próximo ao dreno. Portanto, espera-se uma dependência da tensão de limiar com V_D . De modo a simplificar esta dependência, assume-se uma região depletada conforme mostrado na figura 5.6. Assim, a tensão de limiar para um transistor em sua re

gião triodo, em função de V_D , é dada por [77]

$$V_{TH}(V_D, V_{SUB}, L_{eff}, Z_{eff}) = V_{TO}(L_{eff}, Z_{eff}) \Big|_{\substack{V_{SUB}=0 \text{ V} \\ V_D=0.1 \text{ V}}} + \frac{1}{2} \gamma(V_{SUB}, L_{eff}, Z_{eff}) \times \left[\sqrt{2\phi_{FP} + |V_{SUB}| + V_D} + \sqrt{2\phi_{FP} + |V_{SUB}|} - 2\sqrt{2\phi_{FP}} \right] \quad (5.5)$$

onde $\gamma(V_{SUB}, L_{eff}, Z_{eff})$ e $V_{TO}(L_{eff}, Z_{eff})$ são descritos por (5.2) e (5.4), respectivamente.

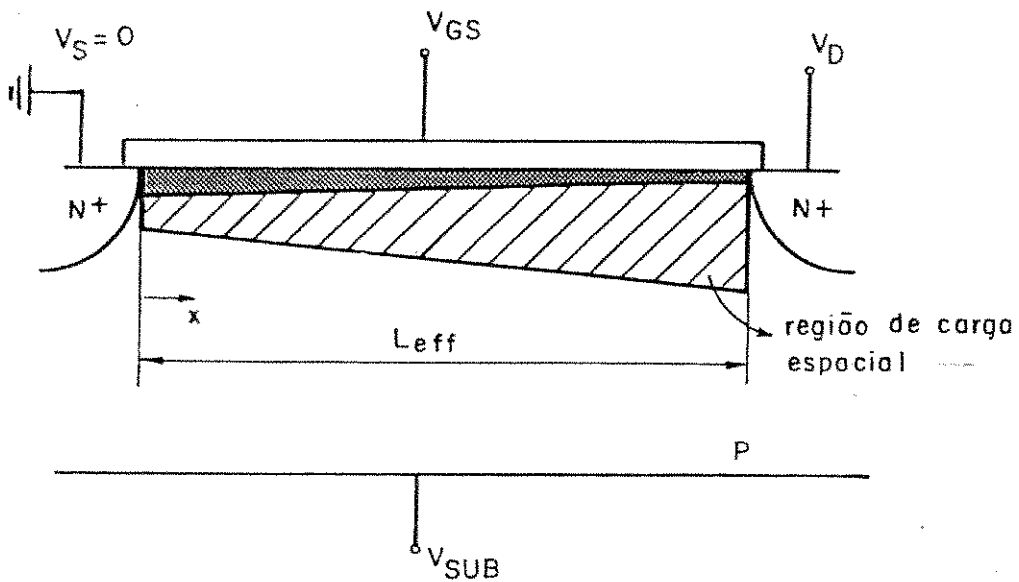


Figura 5.6 - Região de carga espacial adotada para $V_D > 0$ e $V_S = 0$.

Assumindo-se agora $V_S > 0$ e $V_D = 0$, analogamente ao caso anterior, a largura da região depleta é alterada junto à fonte. A configuração da região de carga espacial adotada é mostrada na figura 5.7.

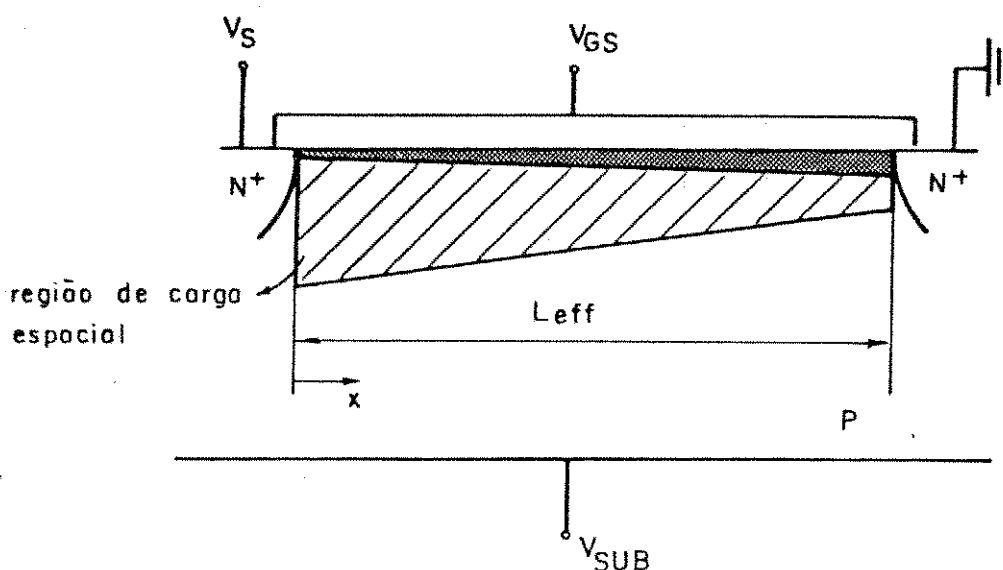


Figura 5.7 - Região de carga espacial adotada para $V_S > 0$ e $V_D = 0$.

Combinando-se ambos os casos, i.ê., $V_S \neq 0$ e $V_D \neq 0$, o potencial de superfície é dado por

$$\phi_S(x) = \frac{V_D}{L_{eff}} x + \frac{V_S}{L_{eff}} (L_{eff} - x) + 2\phi_{FP} + |V_{SUB}| \quad (5.6)$$

e, admitindo-se junção N^+P abrupta e concentração uniforme de impurezas no substrato [14,15,93], a largura da região depleta é descrita por

$$x_d(x) = \left[\frac{2\epsilon_0\epsilon_{Si}\phi_S(x)}{qN_A} \right]^{1/2} = \left[\frac{2\epsilon_0\epsilon_{Si} \left[\frac{V_D}{L_{eff}} x + \frac{V_S}{L_{eff}} (L_{eff} - x) + 2\phi_{FP} + |V_{SUB}| \right]}{qN_A} \right]^{1/2} \quad (5.7)$$

A carga espacial, sob o eletrodo de porta, \bar{e} é dada por

$$Q_B^* = qN_A Z_{eff} \int_0^{L_{eff}} x_d(x) dx \quad (5.8)$$

Substituindo (5.7) em (5.8) e integrando, tem-se

$$Q_B^* = L_{eff} \cdot Z_{eff} \sqrt{2\epsilon_0 \epsilon_{Si} q N_A} \cdot \frac{2}{3(V_D - V_S)} \left[(V_D + |V_{SUB}| + 2\phi_{FP})^{3/2} - (V_S + |V_{SUB}| + 2\phi_{FP})^{3/2} \right] \quad (5.9)$$

A tensão de limiar em uma estrutura MOS é definida por [14,15,60,93]:

$$V_{TH} = V_{FB} + 2\phi_{FP} + \frac{Q_B^*}{C_{ox} \cdot Z_{eff} \cdot L_{eff}} \quad (5.10)$$

Substituindo (5.9) em (5.10) e reagrupando termos em função de V_{TO} e γ , a tensão de limiar para um transistor MOS, genericamente polarizado em sua região triodo, é dada por:

$$V_{TH}(V_S, V_D, V_{SUB}, L_{eff}, Z_{eff}) = V_{TO}(L_{eff}, Z_{eff}) + \gamma(V_{SUB}, L_{eff}, Z_{eff}) \times \left\{ \frac{2}{3(V_D - V_S)} \left[(V_D + |V_{SUB}| + 2\phi_{FP})^{3/2} - (V_S + |V_{SUB}| + 2\phi_{FP})^{3/2} \right] - (2\phi_{FP})^{1/2} \right\} \quad (5.11)$$

5.1.2.2. Tensão de Limiar na Saturação

Tem-se observado que transistores, na saturação, apresentam um de crêscimo em sua tensão de limiar quando V_D tem o seu valor aumentado, predominantemente em dispositivos de canal curto. No presente modelo esse efeito é descrito por

$$V_{TSAT}(V_S, V_{DS}, V_{SUB}, L_{eff}, Z_{eff}) = V_{TH}(V_S, V_{DS}, V_{SUB}, L_{eff}, Z_{eff}) - \alpha(L_{eff}) \cdot (V_D - V_{DSAT}) \quad (5.12)$$

onde V_{TSAT} é a tensão de limiar para um transistor saturado, V_{TH} é dado por (5.5) ou (5.11) e $\alpha(L_{eff})$ um parâmetro de ajuste, dependente do comprimento de canal.

Na figura 5.8 tem-se a variação da tensão de limiar com a tensão de dreno para transistores com diferentes comprimentos de canal ($L_{eff} = 0.5 \mu\text{m}$, $1.5 \mu\text{m}$ e $3.5 \mu\text{m}$). No caso, V_{GS} é fixado em 200 mV acima da tensão de limiar, de modo que $V_{DX} = V_D - V_{DSAT} \approx V_D$ com boa aproximação. O valor da tensão de limiar foi obtido através de extrapolação linear, no ponto de máxi ma derivada, pelo método dos mínimos quadrados, na curva $\sqrt{I_D \times V_{GS}}$ [75,91].

A dependência do parâmetro α com o comprimento de canal é mostrada na figura 5.9, adotando-se, portanto, uma variação linear:

$$\alpha(L_{eff}) = \frac{h_L}{L_{eff}} \quad (5.13)$$

sendo $4.28 \times 10^{-2} \mu\text{m}$ o valor médio encontrado para o parâmetro de ajuste h_L .

O conhecimento do decrêscimo da tensão de limiar com a tensão de dreno para um transistor saturado torna-se importante ao se utilizar transistores de canal curto como chave. Variações na tensão de dreno de um transistor, inicialmente em seu estado de corte e tendo flutuante sua porta, pode conduzir a uma subcondução, ou mesmo condução do dispositivo.

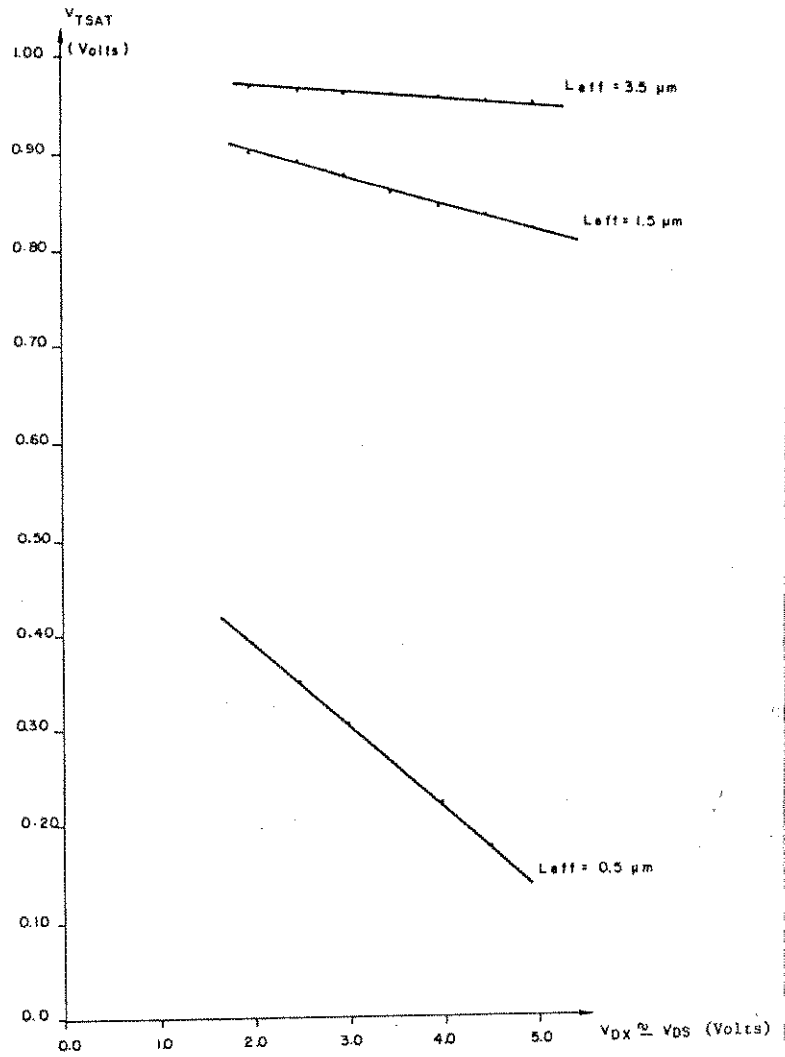


Figura 5.8 - Decréscimo da tensão de limiar com a tensão de dreno, na saturação, para o chip E μ 244#15.

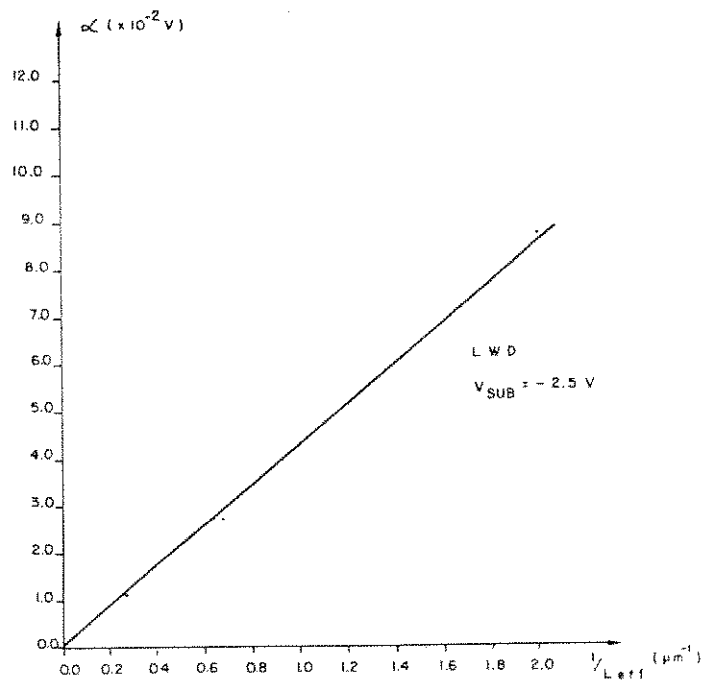


Figura 5.9 - Comportamento do parâmetro α com o comprimento de canal para o chip E μ 244#15.

Os resultados teóricos e experimentais da tensão de limiar para um transistor, polarizado de uma forma genérica, podem ser comparados através das tabelas 5.3 e 5.4. Os valores experimentais foram tomados segundo o esquema mostrado na figura 5.10, sendo $V_{TSAT} = V_{DS} = V_{DD} - V_S$. Os valores teóricos foram calculados através da expressão (5.12), com os valores médios dos parâmetros de ajuste anteriormente especificados e fixando-se $V_{SUB} = -2.5$ V.

V_{DD} (V)	V_S (V)	V_{TSAT} (MEAS)	V_{TSAT} (CALC)	ERRO (%)
2.00	0.95	1.05	1.08	- 2.86
3.00	1.88	1.12	1.14	- 1.79
4.00	2.85	1.15	1.20	- 4.35
5.00	3.79	1.21	1.24	- 2.48
6.00	4.77	1.23	1.29	- 4.88
7.00	5.74	1.26	1.32	- 4.76
8.00	6.71	1.29	1.36	- 5.43

Tabela 5.3 - Valores de V_{TSAT} (teóricos e experimentais) para um transistor com $Z_{eff} = 30.0$ μm e $L_{eff} = 1.5$ μm (chip Eu244A#15).

V_{DD} (V)	V_S (V)	V_{TSAT} (MEAS)	V_{TSAT} (CALC)	ERRO (%)
2.00	0.74	1.26	1.40	- 11.11
3.00	1.68	1.32	1.51	- 14.39
4.00	2.60	1.40	1.61	- 15.00
5.00	3.49	1.51	1.69	- 11.92
6.00	4.38	1.62	1.77	- 9.26
7.00	5.27	1.73	1.85	- 6.94
8.00	6.15	1.85	1.92	- 3.78

Tabela 5.4 - Valores de V_{TSAT} (teóricos e experimentais) para um transistor com $Z_{eff} = 6.0$ μm e $L_{eff} = 3,5$ μm (chip Eu244A#15).

5.1.3. Capacitância Efetiva de Porta

À medida em que as dimensões do canal de um transistor MOS são diminuídas, torna-se significativa a fração correspondente às linhas de campo elétrico que não se fecham no canal e sim nas ilhas N^+ , dando origem aos efeitos de borda, como mostrado na figura 5.11. Assim, para cálculo da corrente de dreno, deve-se adotar uma capacitância efetiva de porta. No presente modelo, a carga móvel no canal, para $V_{GS} > V_{TH}$, é dada por

$$Q_{ch} = C_{geff} \cdot (V_{GS} - V_{TH}) = f_c \cdot C_{ox} \cdot L_{eff} \cdot Z_{eff} (V_{GS} - V_{TH}), \quad (5.14)$$

sendo a corrente de dreno, para $V_{DS} = 0.1$ V, igual a:

$$I_D = f_c \cdot C_{ox} \cdot \mu (Z_{eff}/L_{eff}) (V_{GS} - V_{TH}) V_{DS} \quad (5.15)$$

onde C_{geff} é a capacitância efetiva de porta e $f_c = f_c(L_{eff}, Z_{eff})$ um parâmetro de ajuste.

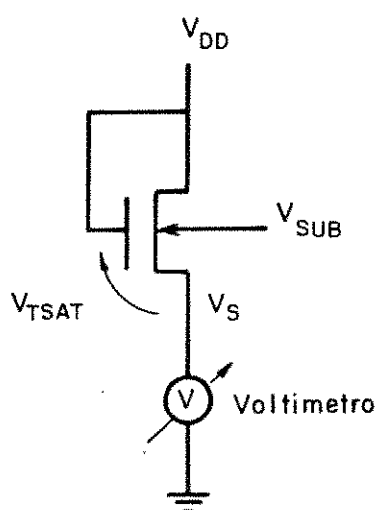


Figura 5.10 - Esquema para determinação de V_{TH} sob polarização genérica.

O comportamento de f_c com as dimensões do canal pode ser visto nas figuras 5.12 e 5.13, mantendo-se $V_{DS} = 0.1$ V, $V_{GS} - V_{T0} = 0.5$ V e $V_{SUB} = -2.5$ V. Analiticamente, este fator é descrito como

$$f_c = n_1 \cdot n_2 \quad (5.16)$$

sendo

$$n_1 = m_1 \exp(-\xi_L/L_{eff}) + m_2 \quad (5.17)$$

$$n_2 = m_3 \exp(-\xi_Z/Z_{eff}) + m_4 \quad (5.18)$$

onde $m_1, m_2, m_3, m_4, \xi_L$ e ξ_Z são parâmetros de ajuste determinados experimentalmente.

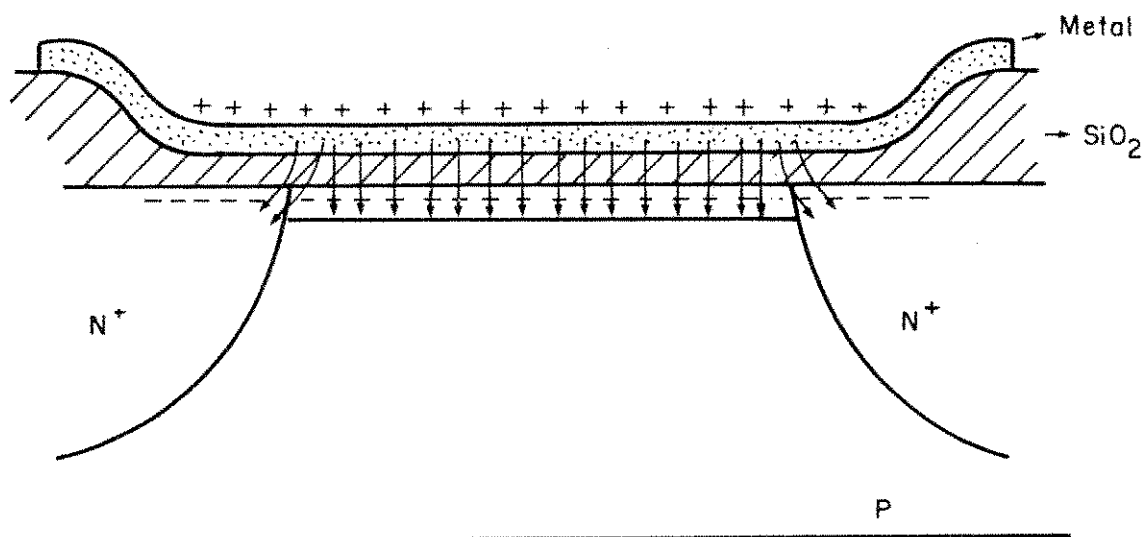


Figura 5.11 - Cargas móveis e linhas de campo elétrico em um transistor MOS para $V_{GS} - V_{TH} > 0$ e $V_{DS} = 0.1$ V.

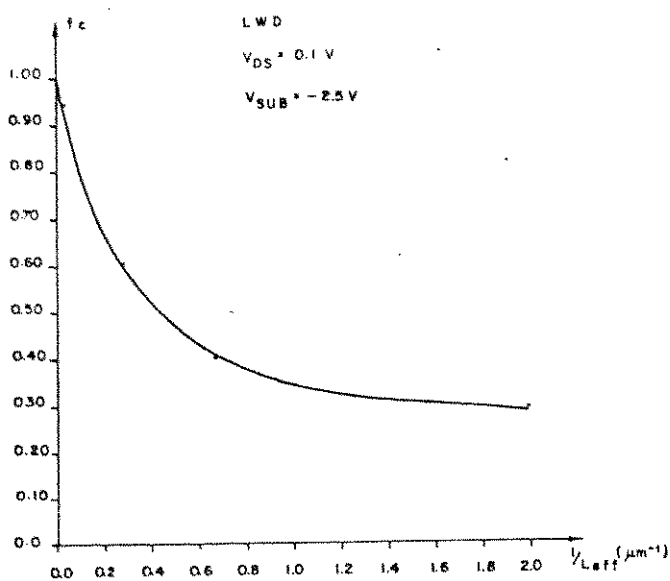


Figura 5.12 - Dependência de f_c com o comprimento de canal.

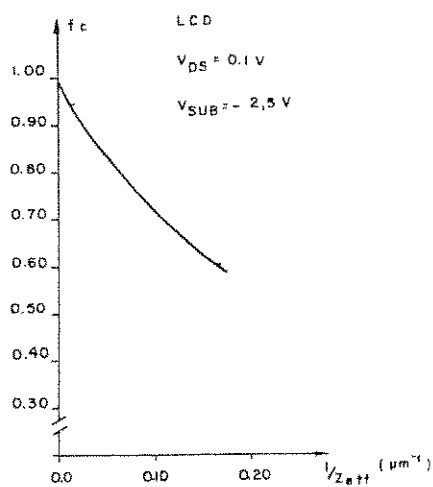


Figura 5.13 - Dependência de f_c com a largura de canal.

Os valores médios obtidos para os referidos parâmetros, após medidas realizadas em transistores na mesma lâmina, e em diferentes lâminas, são:

$$m_1 = 0.730 \quad m_2 = 0.268 \quad m_3 = 0.973 \quad m_4 = 0.026$$

$$\xi_L = 1.88 \mu\text{m}$$

$$\xi_Z = 2.30 \mu\text{m}$$

Na tabela 5.5 tem-se a comparação entre o valor experimental e o teórico da corrente I_D , este último calculado a partir da expressão (5.15), sendo o erro experimental apresentado na coluna ERRO1. Como pode ser observado, para transistores próximos à condição de comprimento e largura de canal grandes, o erro apresenta-se maior. Tal fato decorre, provavelmente, da utilização de um modelo simples para a determinação de f_c , como descrito em (5.16). Uma alternativa válida seria considerar os fatores n_1 e/ou n_2 iguais a 1, caso L_{eff} e/ou Z_{eff} sejam superiores a 20.0 μm , não sendo adotada, no entanto, no presente trabalho. Quanto à polarização de substrato, significativas variações nos parâmetros de ajuste não foram encontradas.

Transistor	$\frac{Z_{\text{eff}}}{L_{\text{eff}}}$	f_c (CALC)	I_D (CALC) (A)	I_D (MEAS) (A)	ERRO 1 (%)	ERRO 2 (%)
# 1	30/0.5	0.264	3.13×10^{-5}	3.37×10^{-5}	- 7.12	- 252.1
# 2	30/1.5	0.442	1.74×10^{-5}	1.61×10^{-5}	- 8.38	- 145.7
# 3	6/3.5	0.479	1.60×10^{-6}	1.63×10^{-6}	0.61	- 108.0
# 4	6/9.5	0.597	7.45×10^{-7}	7.77×10^{-7}	3.87	- 61.2
# 5	12/3.5	0.576	3.90×10^{-6}	3.64×10^{-6}	- 7.14	- 86.3
# 6	30/3.5	0.644	1.09×10^{-5}	1.01×10^{-5}	- 7.92	- 67.8
# 7	6/27.5	0.654	2.82×10^{-7}	2.42×10^{-7}	-16.52	- 78.3
# 8	30/27.5	0.881	1.90×10^{-6}	2.03×10^{-6}	6.63	- 6.0
# 9	120/3.5	0.681	4.61×10^{-5}	4.38×10^{-5}	- 5.36	- 54.8
# 10	6/3.5	0.479	1.62×10^{-6}	1.64×10^{-6}	1.22	- 107.0

Tabela 5.5 - Valores teóricos e experimentais da corrente de dreno para transistores do chip Eu244A#15, com $V_{DS}=0.1$ V, $V_{GS}-V_{TO}=0.5$ V e $V_{SUB} = - 2.5$ V.

Na coluna ERRO2 da mesma tabela, tem-se os significativos desvios experimentais encontrados quando é ignorada qualquer correção na expressão da corrente I_D , ou seja, $f_c = 1$ em (5.15)

5.1.4. Mobilidade Superficial

Fundamentalmente, para a análise da mobilidade superficial, serão considerados independentes os efeitos causados pelo campo elétrico vertical, E_y , e o campo elétrico longitudinal, E_x , representados na figura 5.14, sobre os portadores no canal. Tal simplificação permite o estudo, em separado, do comportamento da mobilidade sob a ação de um determinado campo elétrico, não implicando, para $L_{eff} > 1.0 \mu m$, em significativos desvios entre os valores teóricos e experimentais.

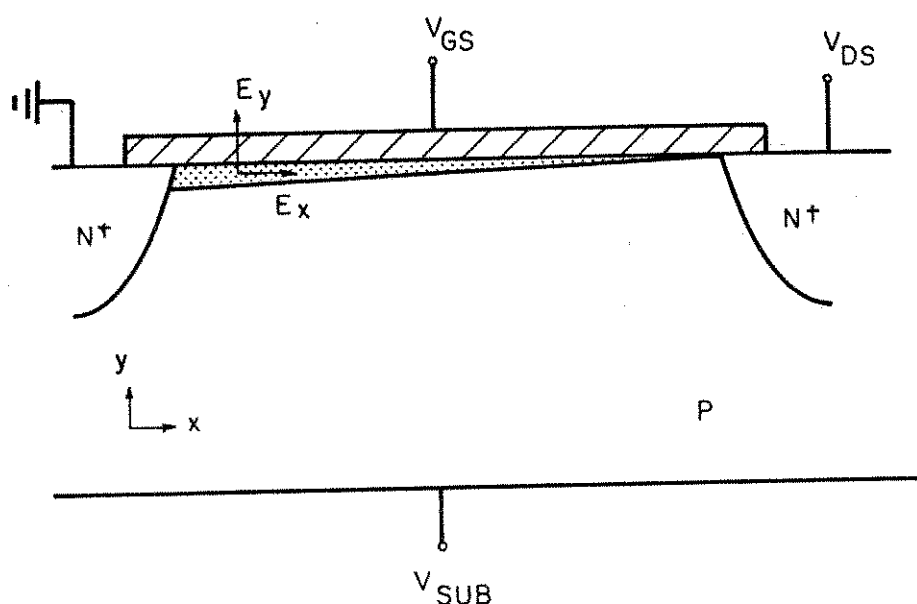


Figura 5.14 - Representação dos campos elétricos vertical (E_y) e longitudinal (E_x).

5.1.4.1. Dependência da Mobilidade com o Campo Elétrico Vertical

Para tensões pequenas entre dreno e fonte, a mobilidade pode ser relacionada, através da tensão de porta, com o campo elétrico vertical ($|E_y| = (V_{GS} - V_{TH})/t_{ox}$), segundo a expressão:

$$\mu_V = \frac{\mu_0}{1 + \theta (V_{GS} - V_{TH})} \quad (5.19)$$

onde μ_0 é a mobilidade superficial para baixos campos ($V_{GS} - V_{TH} = 0.5$ V e $V_{DS} = 0.1$ V) e θ um parâmetro de ajuste. Na figura 5.15 tem-se os valores experimentais de μ_0/μ_V , para um transistor com $Z_{eff} = 30.0$ μm e $L_{eff} = 3.5$ μm , que justificam a boa validade de (5.19).

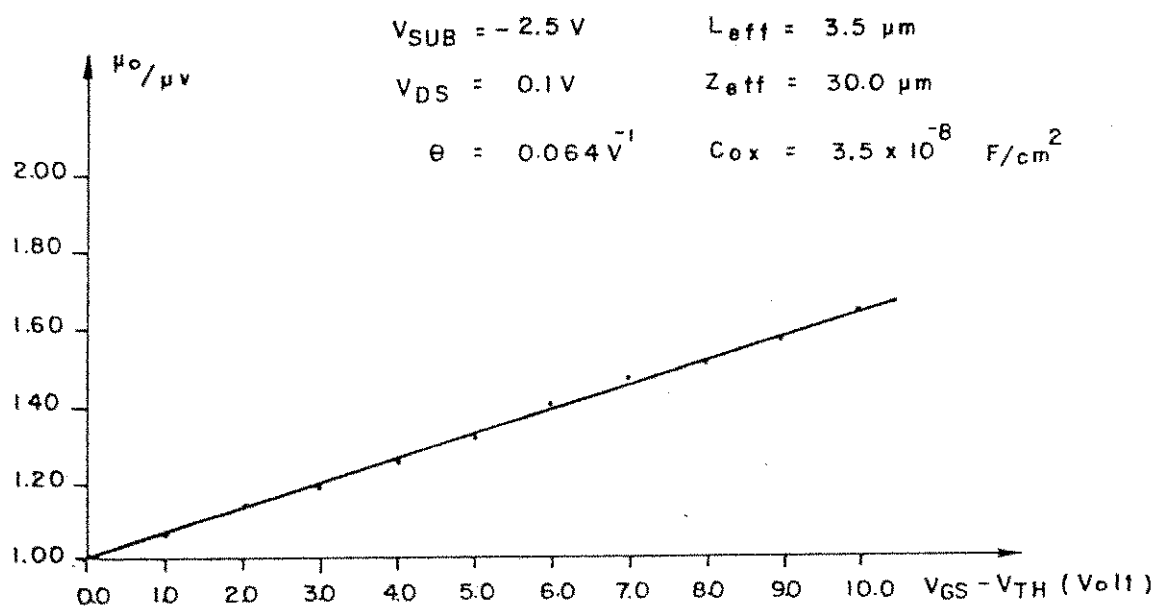


Figura 5.15 - Mobilidade em função da tensão de porta para um transistor do chip Ep244A#15, com $L_{eff} = 3.5$ μm e $Z_{eff} = 30.0$ μm .

O valor médio de μ_0 , obtido a partir de transistores com comprimento e canal grandes ($Z_{eff} = 50.0$ μm , $L_{eff} = 47.5$ μm) e mantendo-se as condições referidas de baixos campos, corresponde a 1130 $\text{cm}^2/\text{V}\cdot\text{s}$. Quanto ao parâmetro de ajuste θ , o valor médio a ser utilizado, para transistores com $L_{eff} \geq 3.5$ μm , é 0.068 V^{-1} ; para $1.5 \leq L_{eff} < 3.5$ μm , 0.085 V^{-1} e para $0.5 \leq L_{eff} < 1.5$ μm , 0.095 V^{-1} . Não tem sido observadas significativas variações deste parâmetro com a polarização de substrato.

Nas tabelas 5.6 e 5.7 tem-se os valores experimentais da mobilidade.

sob a ação de campos verticais, para diferentes dimensões de canal e o confronto com os valores esperados. A mobilidade $\bar{\mu}$ é determinada experimentalmente através da expressão:

$$\mu_V = \frac{I_D}{f_c \cdot C_{ox} \cdot (Z_{eff}/L_{eff})(V_{GS} - V_{TH})V_{DS}} \quad , \quad (5.20)$$

onde f_c é dado por (5.16).

V_{GS} (V)	I_{DS} (A)	μ_V (MEAS) ($cm^2/V.S$)	μ_V (CALC) ($cm^2/V.S$)	ERRO %
2.0	2.96×10^{-5}	1018	1046	- 2.7
3.0	5.58×10^{-5}	930	970	- 4.3
4.0	7.86×10^{-5}	864	904	- 4.6
5.0	9.93×10^{-5}	815	846	- 3.8
6.0	1.18×10^{-4}	772	795	- 3.0
7.0	1.35×10^{-4}	740	751	- 1.5
8.0	1.53×10^{-4}	713	711	0.3
9.0	1.69×10^{-4}	688	675	1.9
10.0	1.84×10^{-4}	665	642	3.5

V_{GS} (V)	I_{DS} (A)	μ_V (MEAS) ($cm^2/V.S$)	μ_V (CALC) ($cm^2/V.S$)	ERRO %
2.0	3.17×10^{-6}	1100	1058	3.8
3.0	5.13×10^{-6}	892	995	- 11.5
4.0	7.47×10^{-6}	866	939	- 8.4
5.0	9.65×10^{-6}	839	888	- 5.8
6.0	1.17×10^{-5}	814	843	- 3.5
7.0	1.36×10^{-5}	789	802	- 1.65
8.0	1.54×10^{-5}	765	766	- 0.1
9.0	1.72×10^{-5}	748	732	2.1
10.0	1.89×10^{-5}	731	701	4.1

Tabela 5.6 - Valores teóricos e experimentais da mobilidade para $Z_{eff} = 30.0 \mu m$, $L_{eff} = 1.5 \mu m$, $C_{ox} = 3.5 \times 10^{-8} F/cm^2$, $V_{DS} = 0.1 V$, $V_{SUB} = -2.5 V$, $V_{TH} = 1.06 V$ e $\theta = 0.085 V^{-1}$.

Tabela 5.7 - Valores teóricos e experimentais da mobilidade para $Z_{eff} = 6.0 \mu m$, $L_{eff} = 3.5 \mu m$, $C_{ox} = 3.5 \times 10^{-8} F/cm^2$, $V_{DS} = 0.1 V$, $V_{SUB} = -2.5 V$, $V_{TH} = 1.0 V$ e $\theta = 0.068 V^{-1}$.

5.1.4.2. Dependência da Mobilidade com o Campo Elétrico Longitudinal

A dependência da mobilidade com o campo longitudinal, através da tensão entre dreno e fonte ($|E_x| = V_{DS}/L_{eff}$), pode ser avaliada polarizando-

se o transistor na saturação ou em sua região triodo. Em ambos os casos, efeitos de segunda ordem, que influem na correta determinação da mobilidade, devem ser considerados. Um transistor saturado, devido à modulação de canal com a tensão de dreno, deve ter o valor do comprimento eletrônico de canal corrigido, considerando-se L_{eff} na faixa de 3.0 - 5.0 μm para a referida medida. A utilização de transistores com canal longo implicaria, diretamente, em tensões de dreno elevadas, ao passo que transistores de canal muito curto ($L_{eff} < 1.0 \mu\text{m}$) apresentariam, conjuntamente, efeitos de "punch-through" e ruptura suave de canal ("soft-breakdown") [15,66,94,95,96].

Polarizando-se o transistor em sua região triodo, deve-se corrigir a tensão de limiar devido ao acréscimo da tensão de dreno. Embora não haja restrições quanto a polarizar-se o dispositivo na saturação, uma vez avaliada a modulação de canal, dá-se preferência, neste trabalho, à medida da mobilidade sob altos campos longitudinais em transistores na região triodo. Assim, a partir da expressão de corrente de um transistor em sua região triodo [14,15,60,93], a mobilidade pode ser avaliada experimentalmente:

$$\mu = \frac{I_D}{f_c \cdot (Z_{eff}/L_{eff}) \cdot C_{ox} [(V_{GS} - V_{TH}) V_{DS} - V_{DS}^2/2]} \quad , \quad (5.21)$$

onde V_{TH} é dado pela expressão (5.8), f_c dado por (5.16) e assumindo $V_S = 0 \text{ V}$.

O modelo proposto para a dependência da mobilidade com a tensão V_{DS} , e que apresentou uma melhor aproximação com os resultados experimentais, é dado por:

$$\mu = \frac{\mu_v}{\sqrt{1 + (E_x/E_{ref})^2}} \quad , \quad (5.22)$$

onde μ_v é a mobilidade sob efeito de campos verticais, dada por (5.20), E_x o campo longitudinal médio ($|E_x| = V_{DS}/L_{eff}$) e E_{ref} um parâmetro de ajuste, cujo valor médio encontrado, para transistores enriquecidos, correspondente a $3.2 \times 10^4 \text{ V/cm}$. Nenhuma variação significativa foi encontrada do parâmetro E_{ref}

com a polarização de substrato.

Na figura 5.16 tem-se a avaliação da expressão (5.22) para um transistor com $Z_{\text{eff}} = 30.0 \mu\text{m}$, $L_{\text{eff}} = 3.5 \mu\text{m}$, $V_{\text{GS}} = 10.0 \text{ V}$, $V_{\text{SUB}} = -2.5 \text{ V}$ e $V_{\text{TO}}(V_{\text{SUB}} = 0 \text{ V}) = 0.63 \text{ V}$, podendo ser visto um bom ajuste, com um erro médio inferior a 4%.

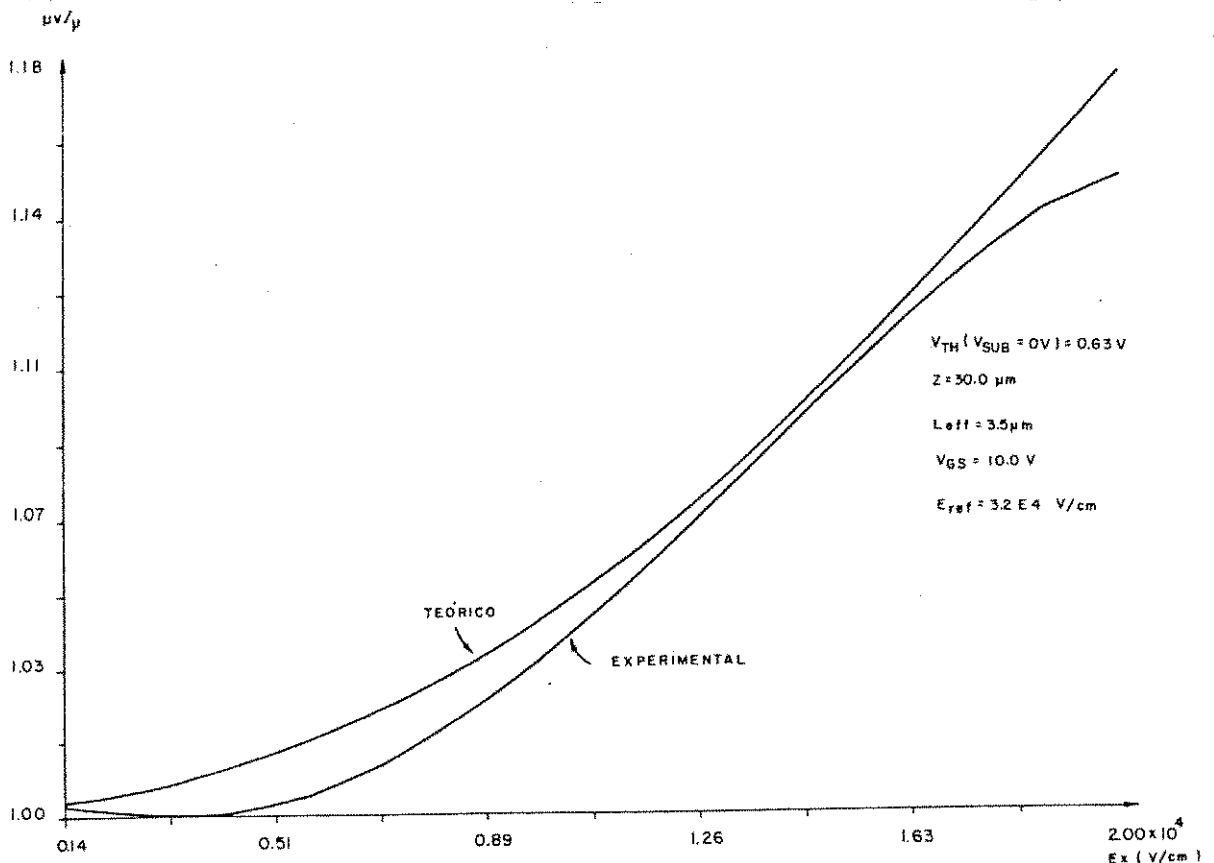


Figura 5.16 - Valores teóricos e experimentais da mobilidade sob campo elétrico longitudinal.

Assim, combinando-se as expressões (5.19) e (5.22), tem-se o modelamento da mobilidade superficial, sob ação de campos elétricos verticais e longitudinais:

$$\mu = \frac{\mu_0}{[1 + \theta(V_{\text{GS}} - V_{\text{TH}})] [\sqrt{1 + (E_x/E_{\text{ref}})^2}]^2} \quad (5.23)$$

Na tabela 5.8 são mostrados os valores teóricos e experimentais da mobilidade em função de V_{DS} , com V_{GS} fixo em 10.0 V, para um transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$, pertencente ao chip $E_{\mu}244A\#15$, e $V_{SUB} = -2.5$ V. A tensão de limiar é calculada a partir do valor para $V_{DS} = 0.1$ V, utilizando-se a expressão (5.5).

V_{DS} (V)	I_D (A)	V_{TH} (CALC) (V)	μ (MEAS) ($\text{cm}^2/\text{V.S}$)	μ (CALC) ($\text{cm}^2/\text{V.S}$)	ERRO %
1.0	1.21×10^{-3}	1.43	776	711	8.4
2.0	2.22×10^{-3}	1.50	766	705	7.9
3.0	3.01×10^{-3}	1.55	474	693	7.2
4.0	3.56×10^{-3}	1.60	720	677	6.0
5.0	3.91×10^{-3}	1.65	692	658	4.9
6.0	4.09×10^{-3}	1.69	664	636	4.2

Tabela 5.8 - Valores teóricos e experimentais da mobilidade, em função de V_{DS} e fixando-se $V_{GS} = 10.0$ V, para um transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$, $C_{ox} = 3.5 \times 10^{-8} \text{ F/cm}^2$, e $V_{SUB} = -2.5$ V.

A mobilidade é a relação entre a velocidade dos portadores no canal e o módulo do campo elétrico aplicado. Existe, no entanto, um campo elétrico longitudinal crítico, $E_{xc} \cong 2.0 \times 10^4 \text{ V/cm}$, em que a velocidade assume um valor limite, mantendo-se constante para $E_x \geq E_{xc}$ [15,78,79,80,85]. Assim, no presente modelo, o valor da mobilidade para $E_x \geq E_{xc}$ será dado pela expressão (5.23), fixando-se $E_x = E_{xc}$. Cumpre salientar que, para transistores saturados, o valor de E_x será dado pela relação V_{DSAT}/L_{el} , onde L_{el} é o comprimento elétrico do canal.

5.1.5. Modulação de Canal

Um transistor MOS na saturação tem o seu comprimento elétrico de canal modulado com a tensão de dreno. Em substratos uniformemente dopados, a variação ΔL de comprimento pode ser razoavelmente prevista, utilizando-se expressões clássicas que relacionam a largura da região de carga espacial com a tensão reversa na junção dreno-substrato [14,15,16,93]. No entanto, para perfis não uniformes de impurezas, tal avaliação torna-se complexa, podendo ser utilizadas, por exemplo, as expressões desenvolvidas por Douglas et al [62]. No presente trabalho, é definido um modelo experimental, baseado em parâmetros de ajuste, para o referido estudo.

Em termos de corrente, a modulação de canal pode ser modelada através do parâmetro λ , fator multiplicativo da corrente de saturação, ou pela correção do comprimento efetivo de canal. Na verdade, simultaneamente à modulação de canal pode ocorrer uma ruptura suave de canal ("soft-breakdown") [15,16,94], quando portadores, acelerados pelo forte campo reverso na junção dreno-substrato, ao colidirem com os átomos da rede, geram pares elétron-lacunas que contribuirão para o aumento da corrente de saturação. Como ambos efeitos são convergentes, torna-se complexo isolá-los e analisá-los individualmente. Desta forma, o modelamento a seguir engloba também possíveis contribuições, à corrente, dos efeitos da ruptura suave de canal.

Inicialmente, a modulação de canal será descrita pelo parâmetro λ , através da expressão:

$$I_{DSAT} = I_{DSATO} [1 + \lambda(V_{DD} - V_{DSAT})] \quad (5.24)$$

onde $I_{DSATO} = f_c \cdot \frac{\beta}{2} (V_{GS} - V_{TH})^2$: corrente no limiar de saturação
 $V_{DSAT} = V_{GS} - V_{TSAT}$: tensão de saturação

Tem-se observado, no entanto, λ ser função do comprimento efetivo de canal, da tensão entre porta e fonte, e da polarização de substrato. Como ilustração, é mostrada, respectivamente nas figuras 5.17 e 5.18, a dependência de λ com V_{GS} e V_{SUB} para um transistor saturado com $Z_{eff} = 6.0 \mu\text{m}$ e $L_{eff} = 3.5 \mu\text{m}$.

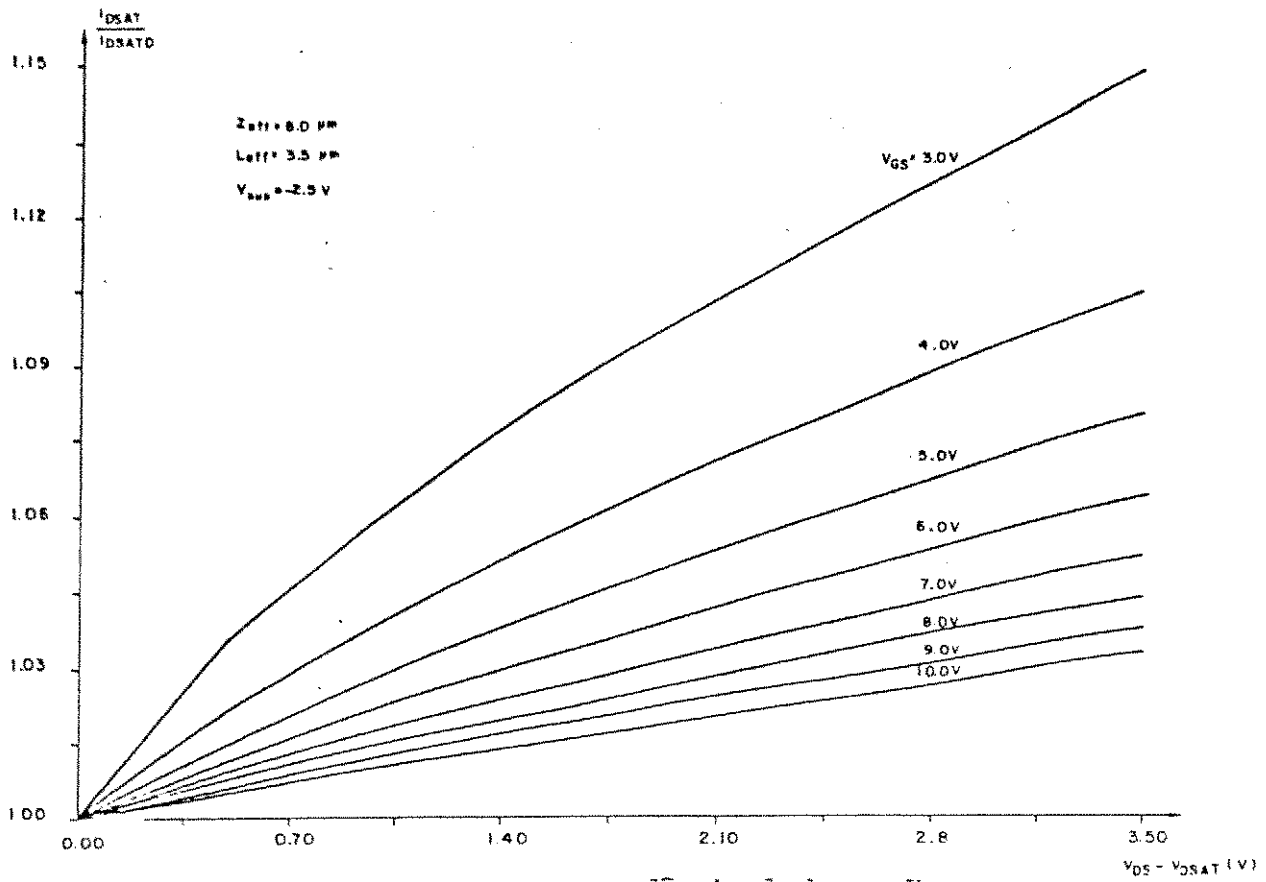


Figura 5.17 - Dependência de λ com V_{DX}

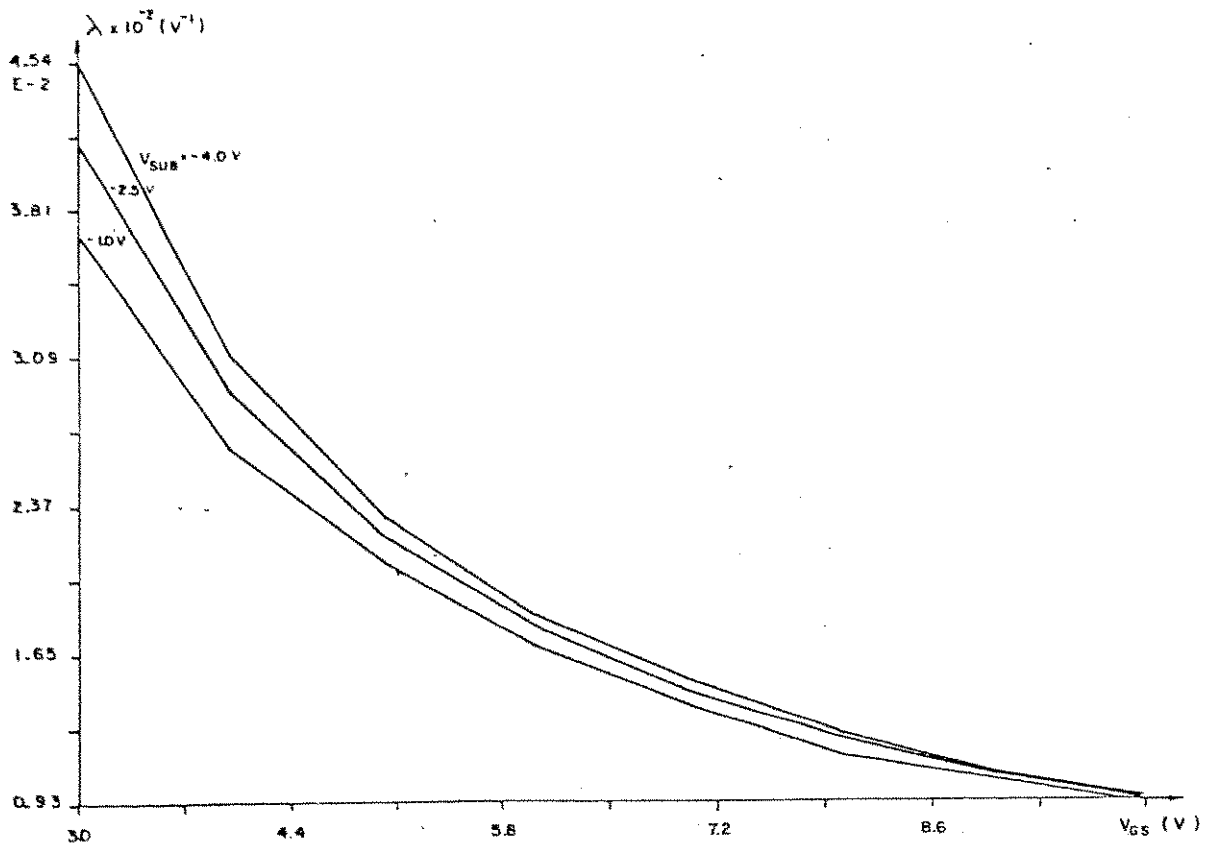


Figura 5.18 - Dependência de λ com V_{GS}

Após a caracterização do parâmetro λ para transistores com comprimento efetivo de canal na faixa de 0.5 a 47.5 μm , adota-se o seguinte modelo:

$$\lambda = m_1 \cdot \exp [\xi_c (V_{GS} - 3.0)] + m_{20} \quad (5.25)$$

onde:

$$m_1 = m_{10} + m_b (|V_{SUB}| - 2.5) \quad (5.25a)$$

e

$$m_{10} = \begin{cases} 0.114/L_{\text{eff}} \text{ (V}^{-1}\text{)}, & \text{para } L_{\text{eff}} \geq 2.0 \mu\text{m} \\ 5.7 \times 10^{-2} \text{ (V}^{-1}\text{)}, & \text{para } L_{\text{eff}} < 2.0 \mu\text{m} \end{cases}$$

$$m_{20} = 2.08 \times 10^{-2} / L_{\text{eff}} \text{ (V}^{-1}\text{)}$$

$$m_b = 0.33 \times 10^{-2} \text{ (V}^{-2}\text{)}$$

$$\xi_c = -0.55 \text{ (V}^{-1}\text{)}$$

sendo L_{eff} dado em microns. Nas figuras 5.19, 5.20 e 5.21 tem-se, respectivamente, a dependência dos parâmetros m_{10} e m_{20} com L_{eff} , e do parâmetro m_1 com V_{SUB} .

Os valores teóricos e experimentais de $I_{\text{DSAT}}/I_{\text{DSATO}}$, para um transistor com $Z_{\text{eff}} = 6.0 \mu\text{m}$ e $L_{\text{eff}} = 3.5 \mu\text{m}$, e diferentes valores de V_{GS} e V_{DS} , são comparados na tabela 5.9. Os pequenos valores relativos ao desvio indicam uma boa precisão do modelo proposto.

Considerando agora os efeitos da modulação de canal através da correção ΔL no comprimento efetivo L_{eff} , como ilustrado na figura 5.22, tem-se que, fixando-se V_{GS} , e para variações de V_{D} suficientes para manter constantes a mobilidade e a tensão de limiar:

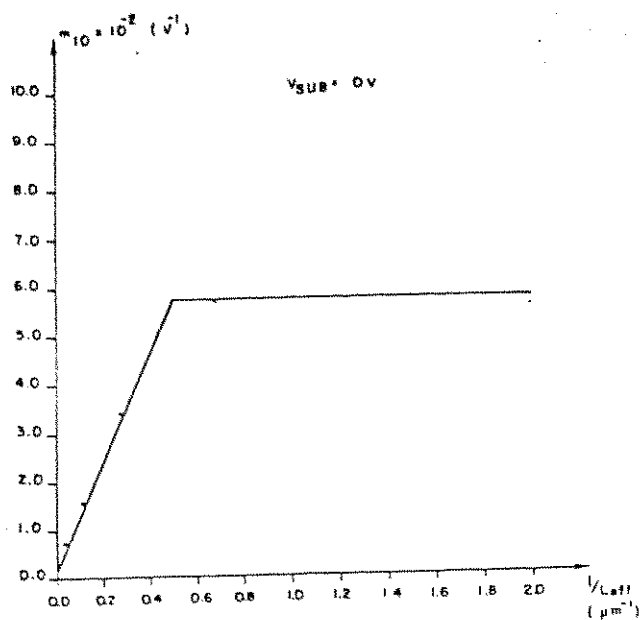


Figura 5.19 - Dependência de m_{10} com $1/L_{eff}$

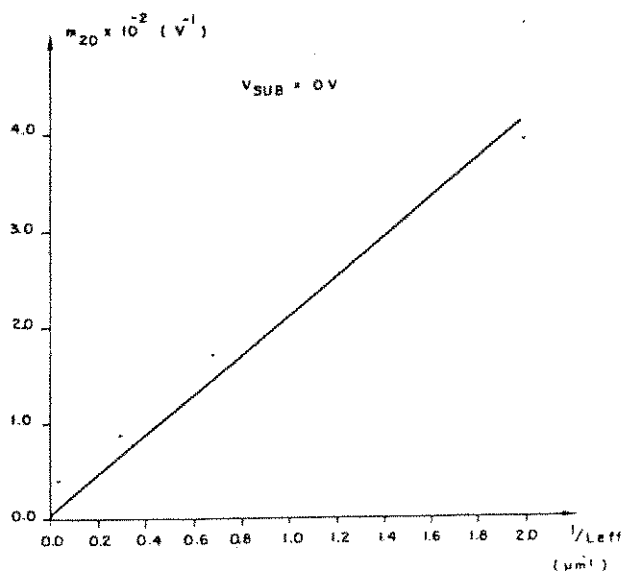


Figura 5.20 - Dependência de m_{20} com $1/L_{eff}$

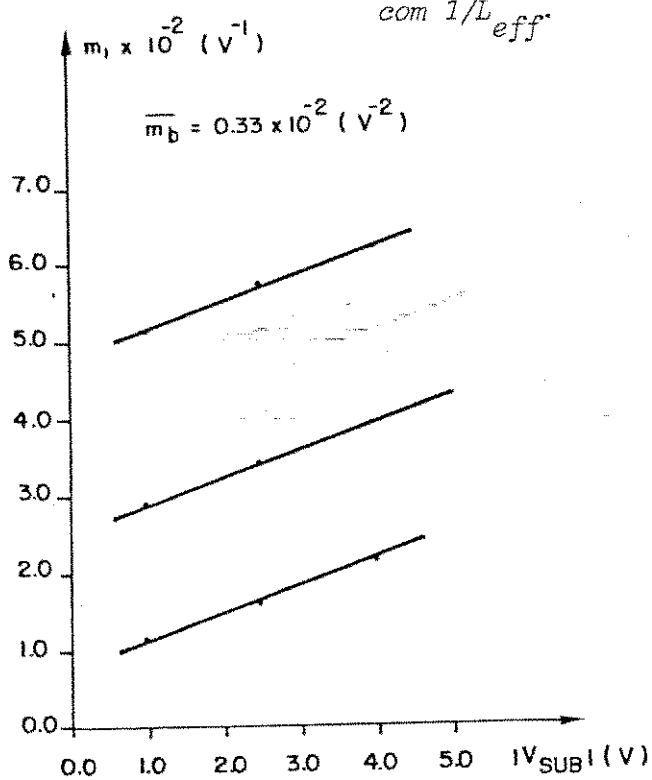


Figura 5.21 - Dependência de m_1 com $|V_{SUB}|$ para diferentes comprimentos de canal.

	$V_{DS} - V_{DSAT}$	I_{DSAT}/I_{DSATO} (MEAS)	I_{DSAT}/I_{DSATO} (CALC)	ERRO %
$V_{ES} = 3.0 \text{ V}$ $\lambda = 0.90 \times 10^{-2} \text{ V}^{-1}$	1.40	1.080	1.055	2.31
	2.10	1.105	1.082	2.08
	2.80	1.130	1.109	1.86
	3.50	1.150	1.137	1.13
$V_{ES} = 5.0 \text{ V}$ $\lambda = 1.69 \times 10^{-2} \text{ V}^{-1}$	1.40	1.040	1.024	1.54
	2.10	1.054	1.035	1.80
	2.80	1.069	1.047	2.03
	3.50	1.082	1.059	2.12
$V_{GS} = 7.0 \text{ V}$ $\lambda = 9.60 \times 10^{-3} \text{ V}^{-1}$	1.40	1.025	1.013	1.17
	2.10	1.035	1.020	1.45
	2.80	1.045	1.027	1.72
	3.50	1.054	1.034	1.93

Tabela 5.9 - Valores teóricos e experimentais do efeito da modulação de canal (parâmetro λ) na corrente de saturação, para um transistor com $Z_{eff} = 6.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{ V}$.

$$\left. \frac{I_{DSAT}}{I_{DSATO}} \right|_{V_{GS}} = \left. \frac{L_{eff}}{L_{eff} - \Delta L} \right|_{V_{GS}} \quad (5.26)$$

Desta forma, medindo-se I_{DSATO} , corrente no limiar de saturação ($V_{DX} = V_D - V_{DSAT} = 0$) e I_{DSAT} , corrente para $V_{DX} > 0$, pode-se estimar o valor de ΔL . O comprimento elétrico de canal é definido por $L_{e\ell} = L_{eff} - \Delta L$.

No presente modelo, a correção ΔL é dada por

$$\Delta L = \Delta L_V \cdot (V_D - V_{DSAT}) \quad , \quad (5.27)$$

onde:

$$\Delta L_V = c_1 \cdot V_{GS} + c_2, \text{ para } V_{GS} > 5.0 \text{ V}$$

$$\Delta L_V = c_3 \exp [c_4(V_{GS} - 1.0)] + c_5, \text{ para } 1.0 \leq V_{GS} \leq 5.0 \text{ V}$$

e $c_1 \dots c_5$ são parâmetros de ajuste.

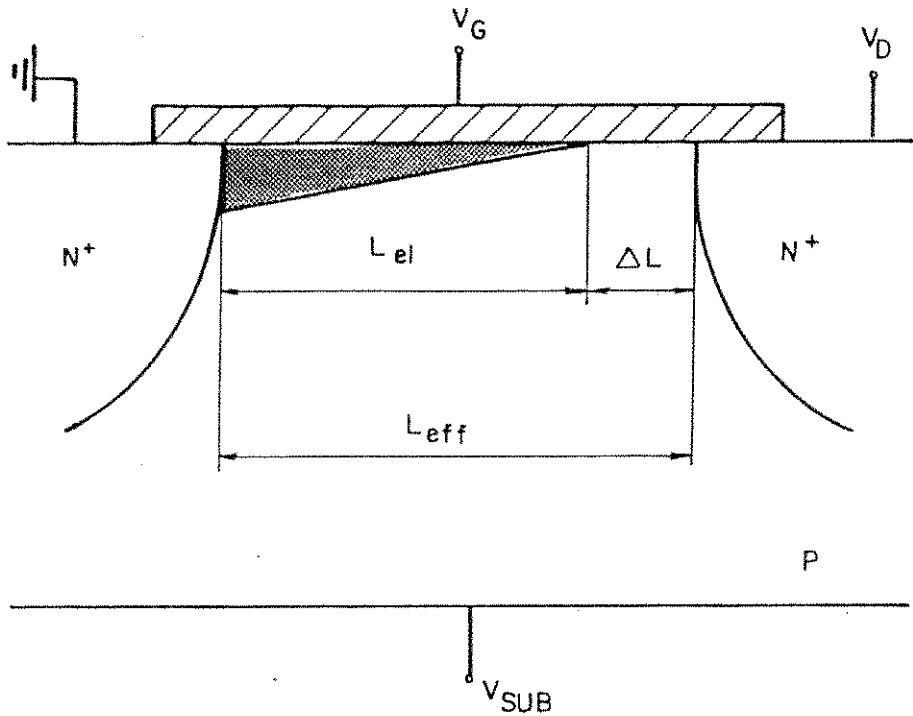


Figura 5.22 - Representação dos comprimentos elétrico e efetivo de canal em um transistor MOS saturado.

Na figura 5.23 tem-se a dependência de ΔL_V , variação do comprimento de canal por unidade de Volt na saturação, com a tensão entre porta e fonte V_{GS} , para diferentes polarizações de substrato, obtida experimentalmente a partir de transistores com $Z_{eff} = 30.0 \mu\text{m}$ e $L_{eff} = 27.5 \mu\text{m}$. Os valores médios dos parâmetros de ajuste que melhor caracterizam esta dependência são:

$$c_1 = -1.67 \times 10^{-2} \mu\text{m}/\text{V}^2$$

$$c_2 = 0.26 \mu\text{m}/\text{V}, \text{ e}$$

$$c_3 = 0.18 \mu\text{m}/\text{V}, c_4 = -0.47 \text{ V}^{-1}, c_5 = 0.15 \mu\text{m}/\text{V}, \text{ para } V_{SUB} = -1.0\text{V}$$

$$c_3 = 0.30 \mu\text{m/V}, c_4 = -0.57 \text{ V}^{-1}, c_5 = 0.15 \mu\text{m/V}, \text{ para } V_{\text{SUB}} = -2.5\text{V}$$

$$c_3 = 0.49 \mu\text{m/V}, c_4 = -0.47 \text{ V}^{-1}, c_5 = 0.11 \mu\text{m/V}, \text{ para } V_{\text{SUB}} = -5.0\text{V}$$

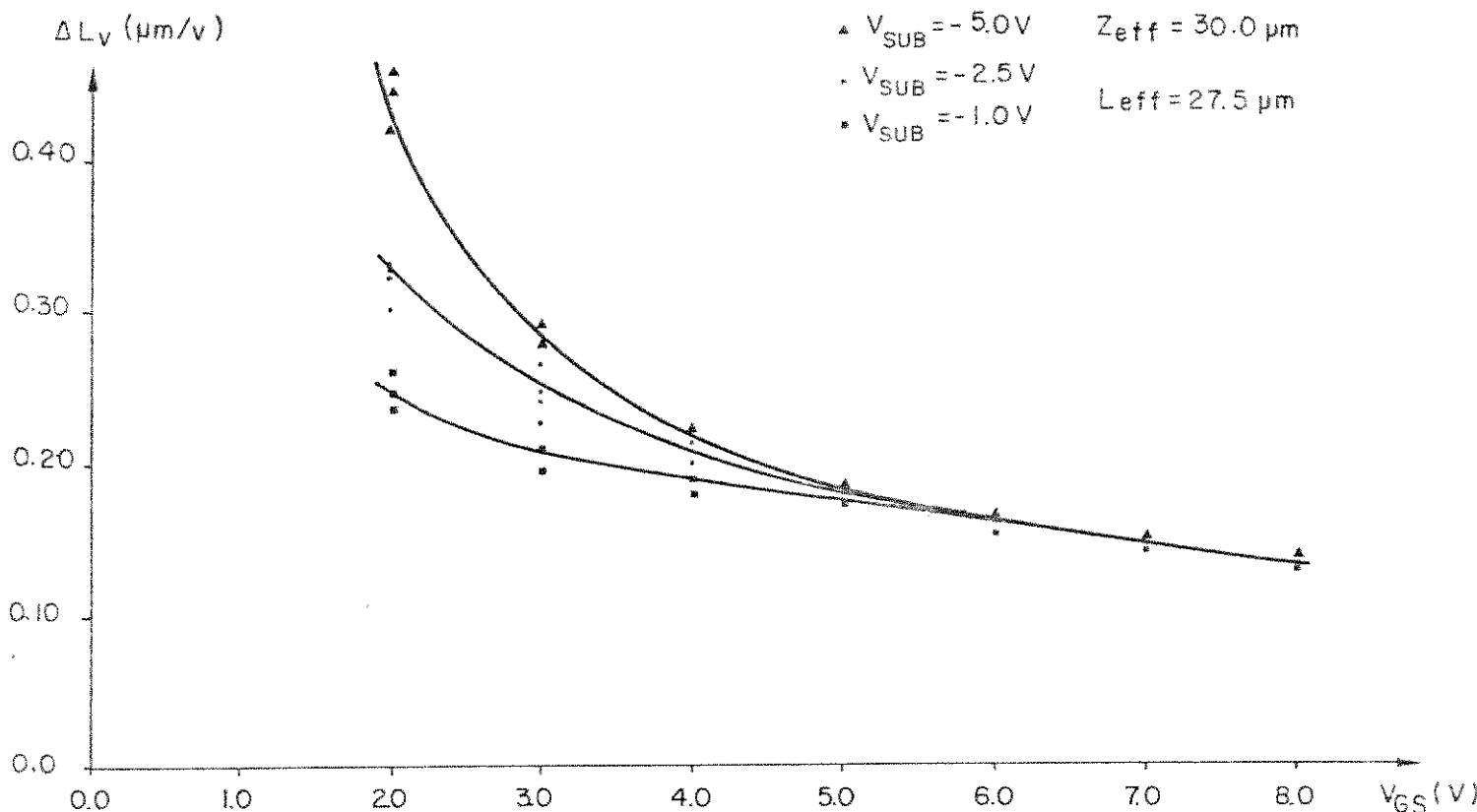


Figura 5.23 - Dependência de ΔL_v com V_{GS} para diferentes valores de V_{GS} .

Na tabela 5.10 são comparados os valores teóricos e experimentais de ΔL para um transistor com $Z_{\text{eff}} = 30.0 \mu\text{m}$, $L_{\text{eff}} = 27.5 \mu\text{m}$ e $V_{\text{SUB}} = -2.5$.

5.1.6. Características $I_D \times V_{\text{DS}}$

Levando-se em conta o modelamento dos parâmetros de um transistor MOS descrito nas secções 5.1.1 a 5.1.5, a corrente de dreno é dada por:

a) $V_{\text{GS}} < V_{\text{TH}}$ (região de corte e subcondução).

$$I_D = f_c \left(\frac{kT}{q} \right)^2 \left(\frac{Z_{\text{eff}}}{L_{\text{eff}}} \right) \cdot C_{\text{ox}} \cdot \mu \cdot \left[\frac{q}{kT} \cdot q \cdot N_{\text{inv}} / C_{\text{ox}} \right] \quad (5.28)$$

onde f_c é dado por (5.16), μ por (5.23) e os demais termos pelas expressões (3.23) a (3.25).

b) $V_{GS} > V_{TH}$ e $V_{DS} < V_{DSAT}$ (região triodo).

$$I_D = f_c \left(\frac{Z_{eff}}{L_{eff}} \right) \cdot C_{ox} \cdot \mu (V_{GS} - V_{TH}) V_{DS} \quad , \quad \text{se } V_{DS} \approx 0 \quad (5.29)$$

$$I_D = f_c \left(\frac{Z_{eff}}{L_{eff}} \right) \cdot C_{ox} \cdot \mu \cdot \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad ,$$

se $V_{DS} \gg 0$ (5.30)

onde f_c é dado por (5.16), μ por (5.23) e V_{TH} por (5.5)

c) $V_{GS} > V_{TH}$ e $V_{DS} > V_{DSAT}$ (saturação)

$$I_D = \frac{1}{2} f_c \cdot \left(\frac{Z_{eff}}{L_{eff} - \Delta L} \right) \cdot C_{ox} \cdot \mu \cdot (V_{GS} - V_{TSAT})^2 \quad (5.31a)$$

ou ainda,

$$I_D = \frac{1}{2} \cdot f_c \left(\frac{Z_{eff}}{L_{eff}} \right) \cdot C_{ox} \cdot \mu \cdot (V_{GS} - V_{TSAT})^2 \cdot \left[1 + \lambda (V_D - V_{DSAT}) \right] \quad (5.31b)$$

onde f_c é dado por (5.16), μ por (5.23), ΔL por (5.27), V_{TSAT} por (5.12), λ por (5.27) e $V_{DSAT} = V_{GS} - V_{TSAT}$.

A expressão (5.28), que descreve a corrente de subcondução, em relação a (3.22) considera, através de f_c , os efeitos de borda devido a pequenas dimensões no canal. A validade do modelo proposto é verificada experimentalmente através das curvas $I_D \times V_{DS}$, parametrizadas em V_{GS} , para transisto

res com diferentes dimensões de canal e diversos valores de V_{SUB} . Algumas curvas são mostradas nas figuras 5.24 a 5.30, para transistores pertencentes às lâminas E μ 244A, B e C. Quanto à precisão do modelo, o erro médio tem-se mostrado inferior a 7.0% para dispositivos com $L_{eff} \geq 1.5 \mu\text{m}$, considerando-se $V_{DS} \leq 15.0 \text{ V}$, $V_{GS} \leq 15.0$ para $L_{eff} > 3.5 \mu\text{m}$, e $V_{DS} \leq 5.0 \text{ V}$, $V_{GS} \leq 5.0 \text{ V}$ para $1.5 \leq L_{eff} < 3.5 \mu\text{m}$. Para transistores com $0.5 \leq L_{eff} < 1.5 \mu\text{m}$, o erro médio é inferior a 12.0%, considerando-se $V_{DS} \leq 3.0 \text{ V}$ e $V_{GS} \leq 3.0 \text{ V}$.

	$\frac{I_{DSAT}}{I_{DSATO}}$	V_{DX} (V)	$\Delta L(\text{EXP})$ (μm)	$\Delta L(\text{CAL})$ (μm)	ERRO %
$V_{GS} = 3.0 \text{ V}$ $\Delta L_V = 0.246(\mu\text{m}/\text{V})$	1.009	1.0	0.245	0.246	- 0.4
	1.019	2.0	0.523	0.492	5.8
	1.029	3.0	0.763	0.738	3.3
	1.036	4.0	0.947	0.984	3.9
$V_{GS} = 4.0 \text{ V}$ $\Delta L_V = 0.204(\mu\text{m}/\text{V})$	1.008	1.0	0.220	0.204	7.3
	1.017	2.0	0.460	0.408	11.3
	1.022	3.0	0.579	0.612	- 5.7
	1.030	4.0	0.859	0.816	5.0
$V_{GS} = 5.0 \text{ V}$ $\Delta L_V = 0.180(\mu\text{m}/\text{V})$	1.004	1.0	0.191	0.180	5.7
	1.015	2.0	0.406	0.360	11.3
	1.018	3.0	0.491	0.540	- 10.0
	1.027	4.0	0.723	0.720	0.4

Tabela 5.10 - Valores teóricos e experimentais de ΔL para um transistor com $Z_{eff} = 30.0 \mu\text{m}$ e $L_{eff} = 27.5 \mu\text{m}$ (chip E μ 244A#15) e $V_{SUB} = -2,5 \text{ V}$.

O fato do modelo ter sua precisão diminuída para transistores de comprimento submicrométrico de canal deve-se, em boa parte, à consideração de que sejam independentes os efeitos, sobre a mobilidade, dos campos elétricos vertical e longitudinal, quando, na realidade, existe uma componente vetorial atuando sobre os portadores. Quanto aos valores encontrados para os desvios, cumpre salientar que está inclusa uma parcela devido à inerente flutuação nos valores dos parâmetros de processo, entre diferentes lâmi-

nas, e mesmo entre chips na própria lâmina, e que afeta os parâmetros elétricos. No entanto, os resultados obtidos podem ser considerados bons, igualando-se aos reportados em trabalhos sobre modelamento de transistores MOS utilizando parâmetros de ajuste [68,69,77,79,81,84,85,97,98,99,100].

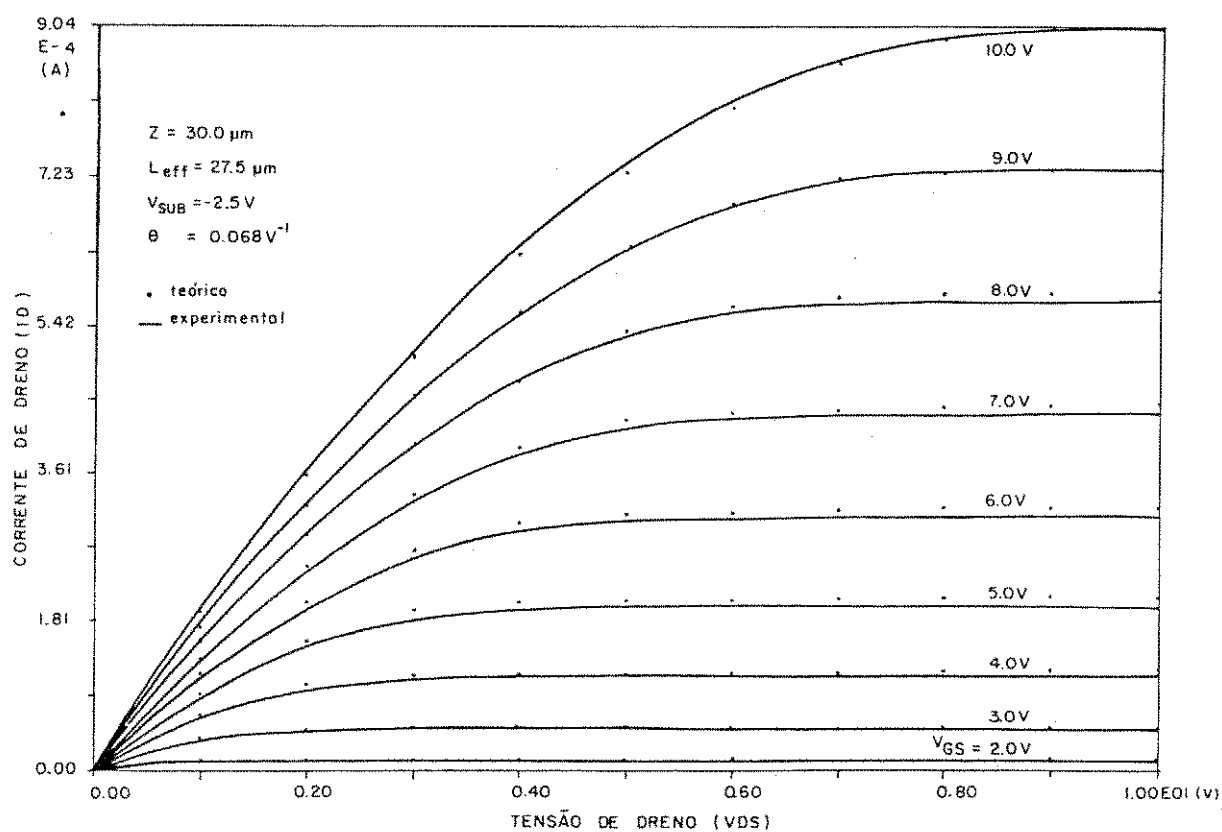


Figura 5.24 - Características $I_D \times V_{DS}$ para transistores com $Z_{\text{eff}} = 30.0 \mu\text{m}$, $L_{\text{eff}} = 27.5 \mu\text{m}$ e $V_{\text{SUB}} = -2.5 \text{ V}$.

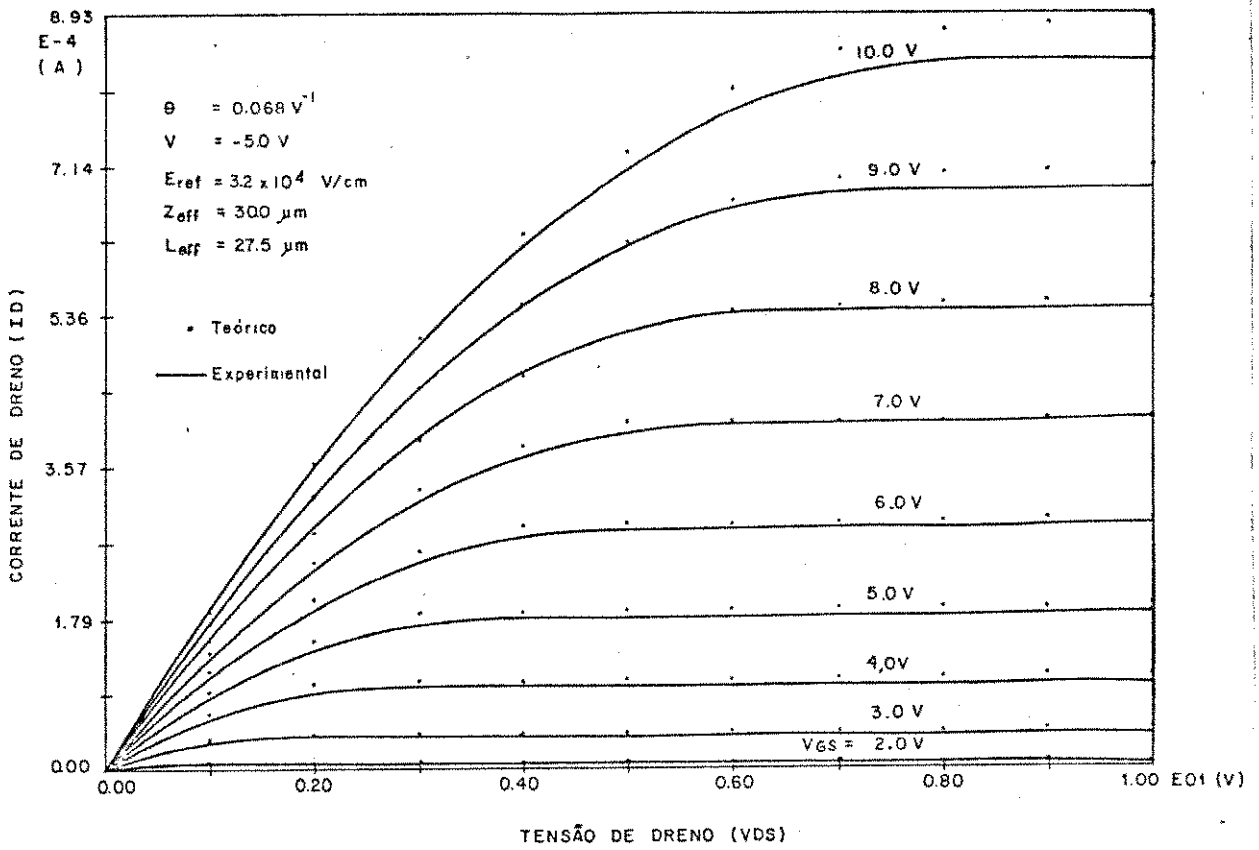


Figura 5.25 - Características $I_D \times V_{DS}$ para transistores com $Z_{eff} = 30.0 \text{ } \mu\text{m}$, $L_{eff} = 27.5 \text{ } \mu\text{m}$ e $V_{SUB} = -5.0 \text{ V}$.

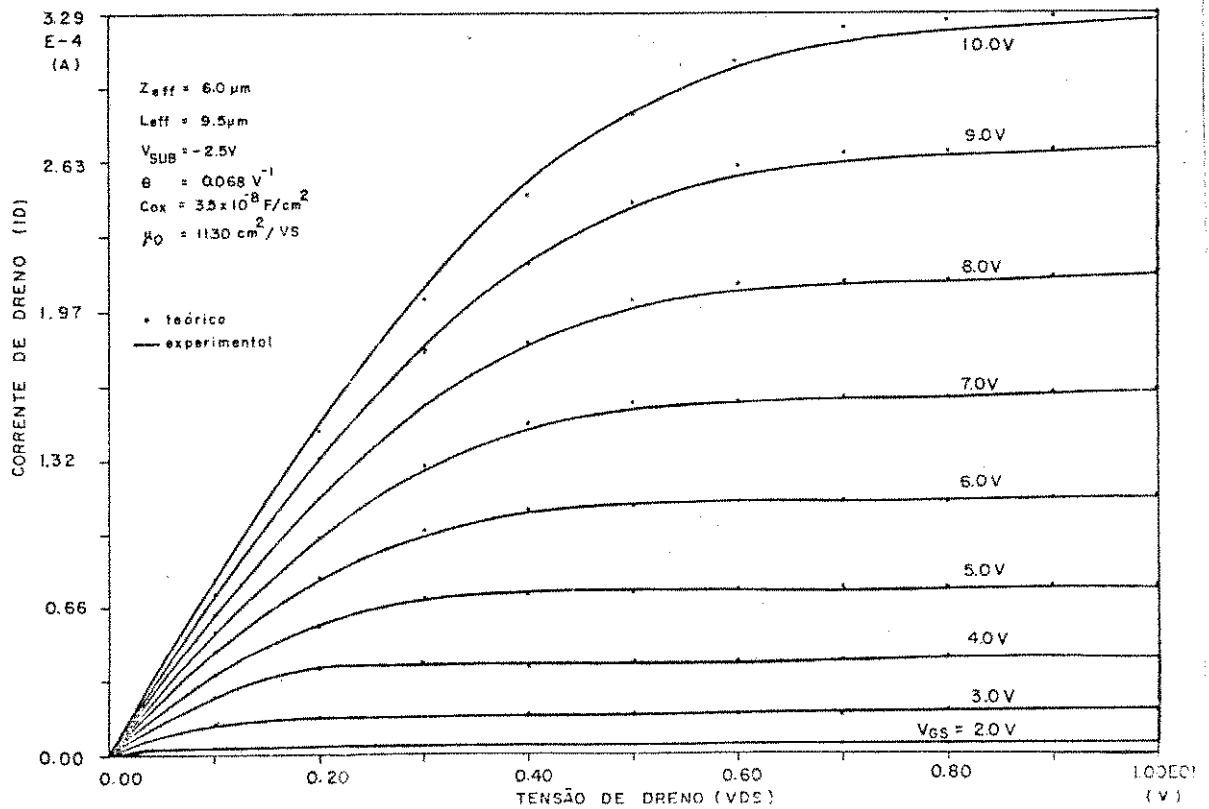


Figura 5.26 - Características $I_D \times V_{DS}$ para transistores com $Z_{eff} = 6.0 \text{ } \mu\text{m}$, $L_{eff} = 9.5 \text{ } \mu\text{m}$ e $V_{SUB} = -2.5 \text{ V}$.

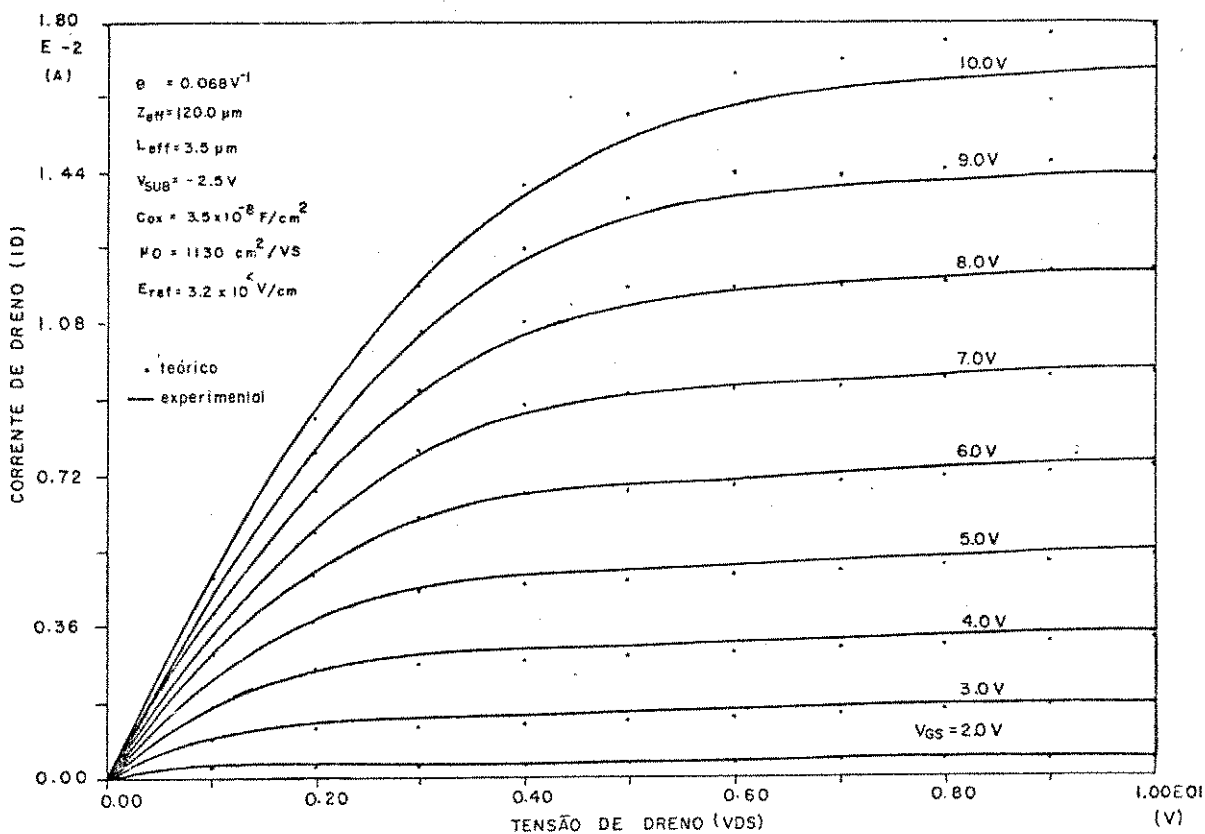


Figura 5.27 - Características $I_D \propto V_{DS}$ para transistores com $Z_{\text{eff}} = 120.0 \mu\text{m}$, $L_{\text{eff}} = 3.5 \mu\text{m}$ e $V_{\text{SUB}} = -2.5 \text{ V}$.

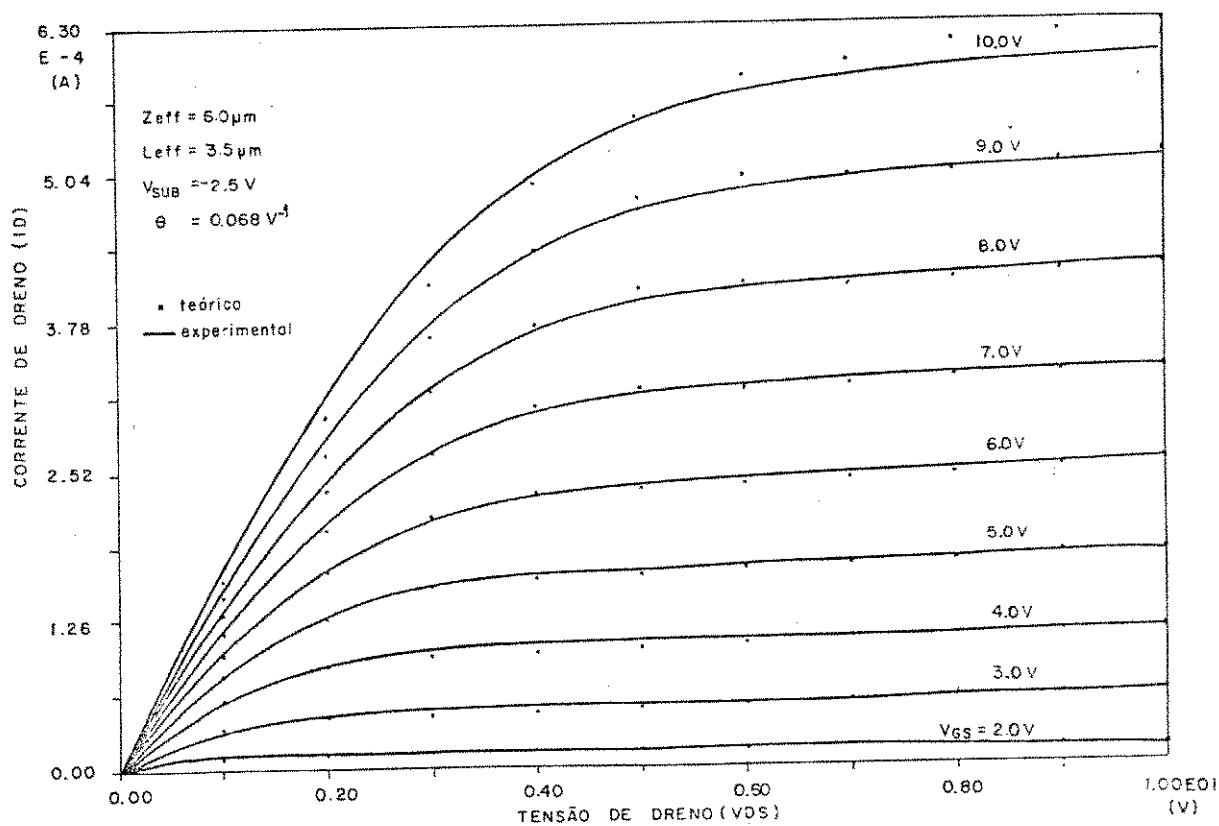


Figura 5.28 - Características $I_D \propto V_{DS}$ para transistores com $Z_{\text{eff}} = 6.0 \mu\text{m}$, $L_{\text{eff}} = 3.5 \mu\text{m}$ e $V_{\text{SUB}} = -2.5 \text{ V}$.

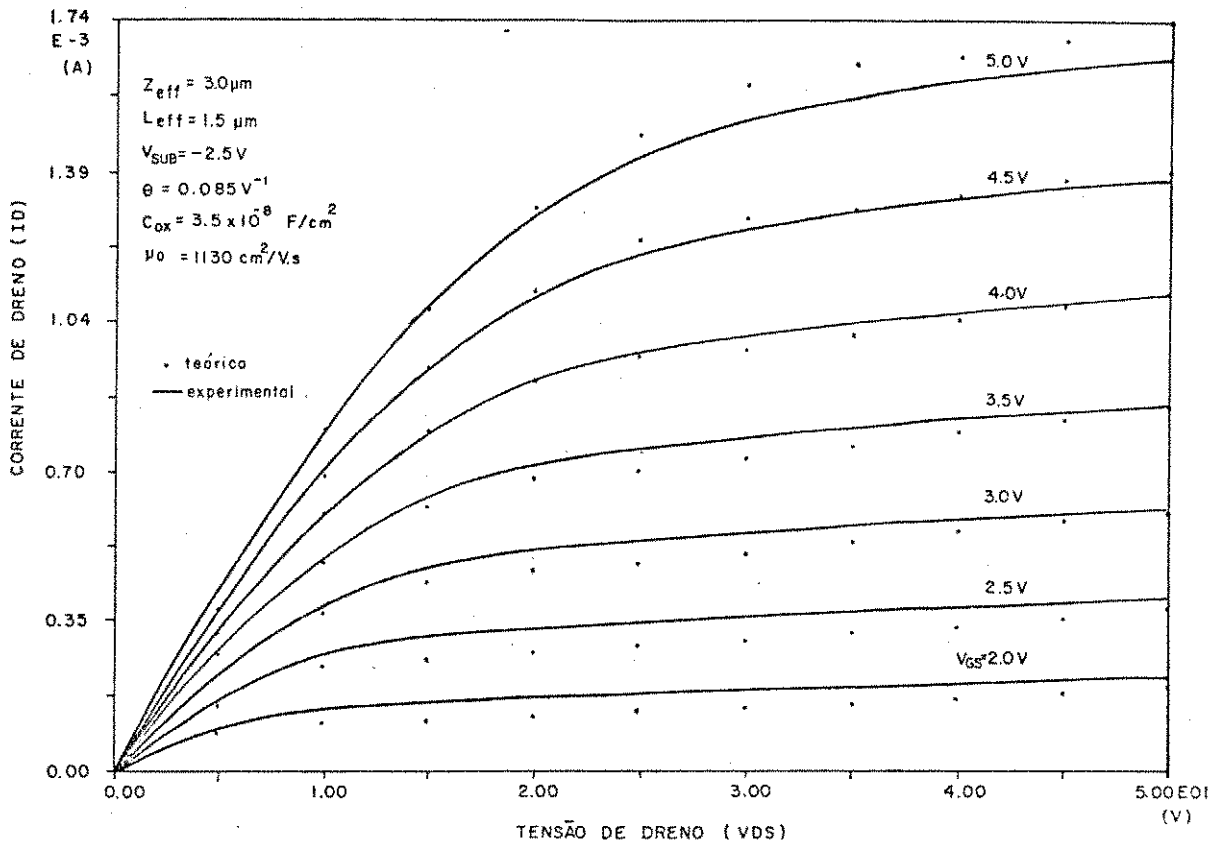


Figura 5.29 - Características $I_D \times V_{DS}$ para transistores com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 1.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{V}$.

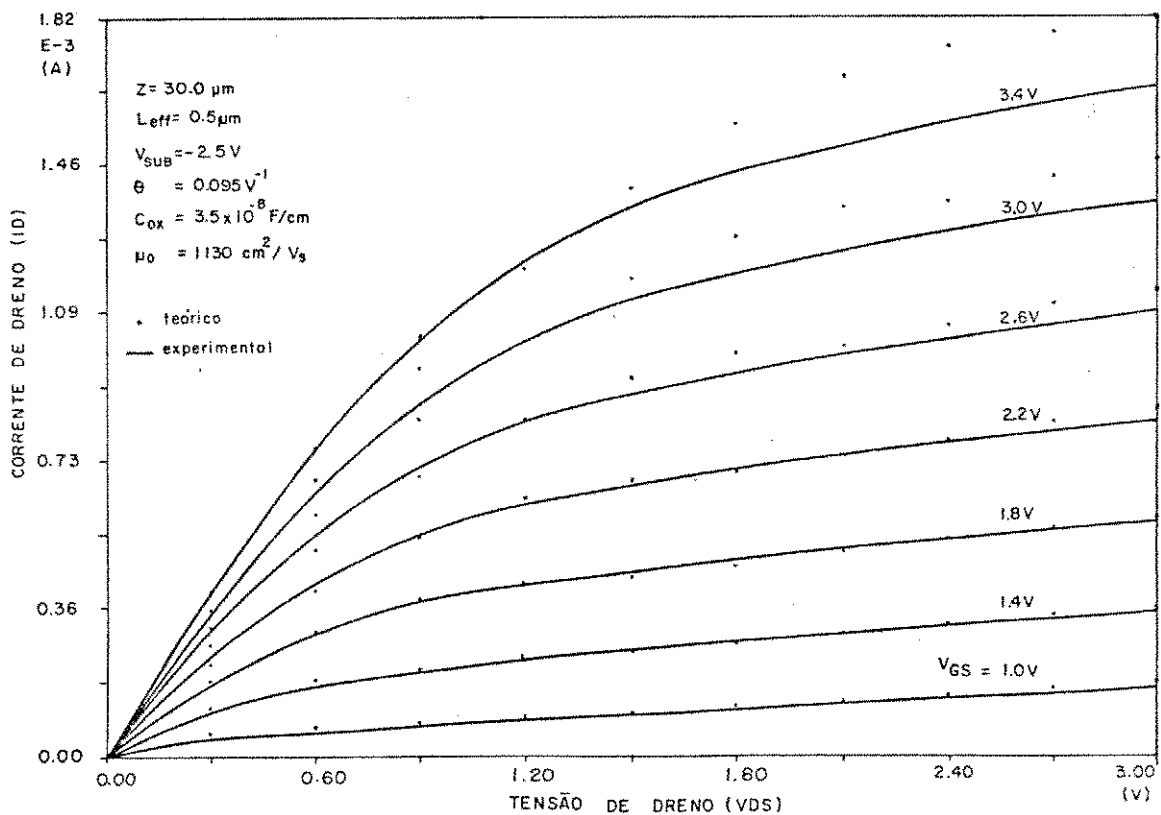


Figura 5.30 - Características $I_D \times V_{DS}$ para transistores com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 0.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{V}$.

5.2. Modelamento de Transistores Modo Depleção

Basicamente, o modelamento de transistores modo depleção segue aquele descrito na secção 5.1, omitindo-se, portanto, considerações que se julgar repetitivas.

5.2.1. Tensão de Limiar para $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$

A tensão de limiar para $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$ é descrita por:

$$V_{TH}(V_{SUB}, L_{eff}, Z_{eff}) = V_{T0}(L_{eff}, Z_{eff}) + \gamma(V_{SUB}, L_{eff}, Z_{eff}) \left[\sqrt{|V_{SUB}| + 2\phi_{FP}} - \sqrt{2\phi_{FP}} \right] \quad (5.32)$$

sendo V_{T0} a tensão de limiar do dispositivo para $V_{SUB} = -1.0 \text{ V}$ e γ o fator de corpo. A utilização de $V_{SUB} = -1.0 \text{ V}$, como referência, deve-se ao fato de se obter uma significativa flutuação nos valores da tensão de limiar quando $V_{SUB} = 0 \text{ V}$. Tal efeito decorre, provavelmente, de variações no perfil dos íons de Arsênio implantados, próximo à superfície do substrato, em diferentes regiões da lâmina.

5.2.1.1. Fator de Corpo

Nas figuras 5.31 e 5.32 tem-se, respectivamente, a dependência do fator de corpo com L_{eff} e Z_{eff} . Assim, o mesmo pode ser escrito como:

$$\gamma(V_{SUB}, L_{eff}, Z_{eff}) = \gamma_0(V_{SUB}) \left[1 - \frac{k_L}{L_{eff}} + \frac{k_W}{Z_{eff}} \right] \quad (5.33)$$

onde $k_L = \text{tg}\alpha/\gamma_L$ (v. figura 5.31), $k_W = \text{tg}\beta/\gamma_Z$ (v. figura 5.32) e $\gamma_0(V_{SUB})$ o fator de corpo para transistores de comprimento e largura de canal grandes.

Os valores médios obtidos experimentalmente para os parâmetros k_L e k_W são, respectivamente, $0.348 \mu\text{m}$ e $1.58 \mu\text{m}$. O fator de corpo é dado por:

$$\gamma_0(V_{SUB}) = (\gamma_1 - \gamma_2) e^{-\delta |V_{SUB}'|} + \gamma_2 \quad (5.34)$$

onde $V_{SUB}' = V_{SUB} + 1.5$ V. Quanto aos parâmetros de ajuste, os valores médios obtidos correspondem a $\gamma_1 = 1.18$ V^{1/2}, $\gamma_2 = 0.375$ V^{1/2} e, para a faixa $-4.0 \leq V_{SUB} \leq -1.0$ V, $\delta = 0.20$ V⁻¹.

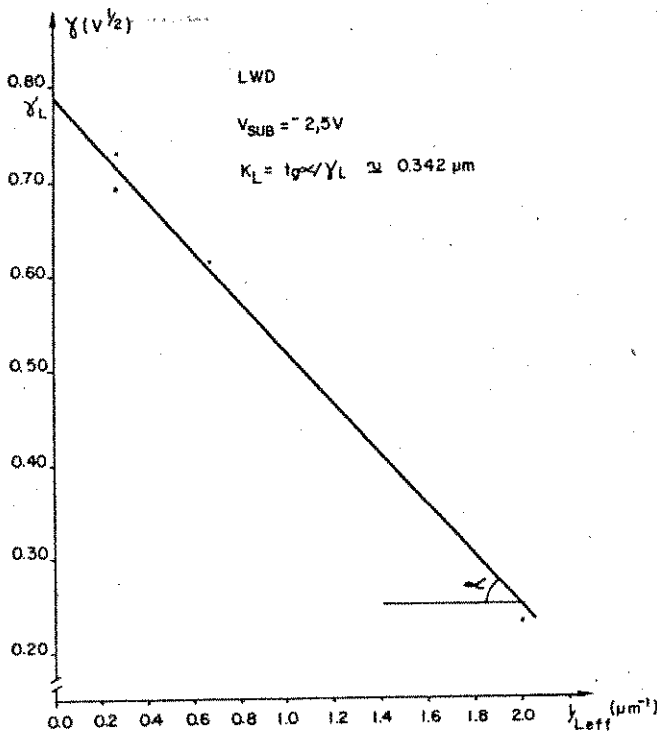


Figura 5.31 - Dependência do fator de corpo com o comprimento de canal para o chip Eu244A#15.

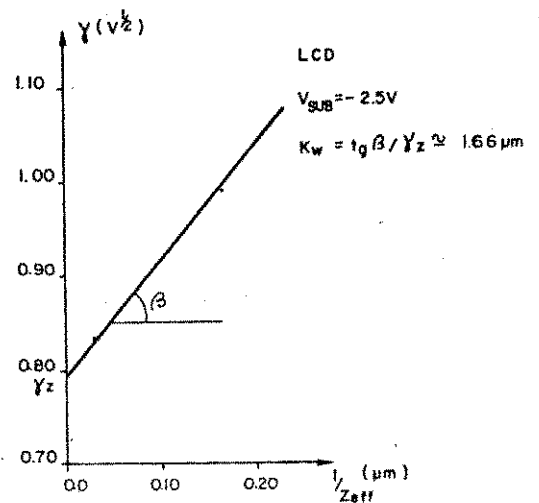


Figura 5.32 - Dependência do fator de corpo com a largura de canal para o chip Eu244A#15.

5.2.1.2. Tensão de Limiar para $V_{SUB} = -1.0$ V e $V_{DS} = 0.1$ V

A tensão de limiar para transistores depletados, quando $V_{SUB} = -1.0$ V e $V_{DS} = 0.1$ V, é relacionada com as dimensões de canal através de

$$V_{TO}(L_{eff}, Z_{eff}) \Big|_{V_{SUB} = -1.0 \text{ V}} = V_{THLD} \Big|_{V_{SUB} = -1.0 \text{ V}} \times \left(1 - \frac{\alpha_L}{L_{eff}} + \frac{\alpha_W}{Z_{eff}} \right) \quad (5.35)$$

onde V_{THLD} é a tensão de limiar, com $V_{SUB} = -1.0 \text{ V}$, para um dispositivo com largura e comprimento grandes de canal. Nas figuras 5.33 e 5.34, tem-se, respectivamente, a dependência dos parâmetros α_L e α_W com $1/L_{eff}$ e $1/Z_{eff}$.

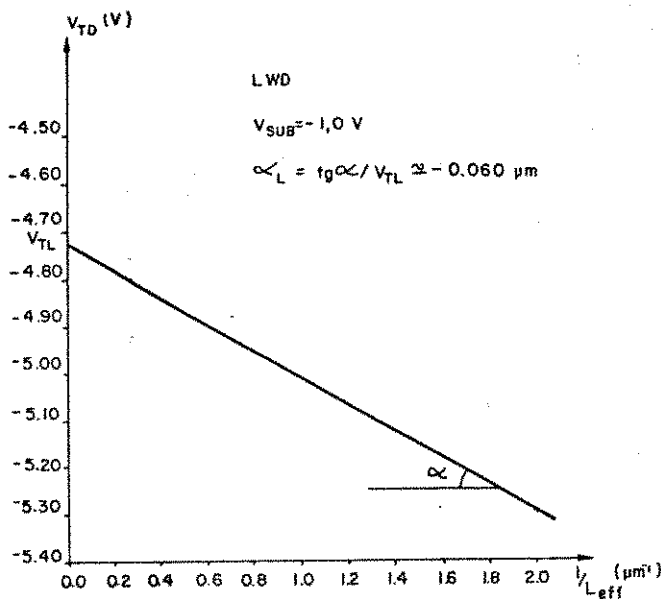


Figura 5.33 - Dependência de V_{TO} com $1/L_{eff}$ para o chip Eu244A#15.

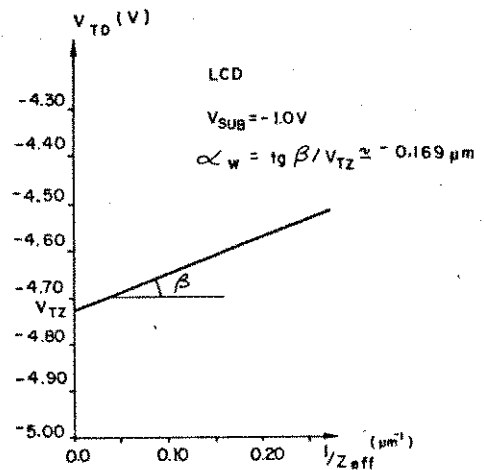


Figura 5.34 - Dependência de V_{TO} com $1/Z_{eff}$ para o chip Eu244A#15.

Experimentalmente, os valores médios encontrados para α_L , α_W e V_{THLD} são, respectivamente, $-0.059 \mu\text{m}$, $-0.165 \mu\text{m}$ e -4.73 V . Na tabela 5.11 estão indicados os valores teóricos e experimentais da tensão de limiar, com $V_{DS} = 0.1 \text{ V}$ e $V_S = 0 \text{ V}$, para diferentes valores de V_{SUB} , para um transistor com $Z_{eff} = 6.0 \mu\text{m}$ e $L_{eff} = 3.5 \mu\text{m}$, podendo ser constatado um bom ajuste.

V_{SUB} (V)	γ (CALC) ($V^{1/2}$)	V_{TH} (CALC) (V)	V_{TH} (MEAS) (V)	ERRO %
-2,0	1.28	-4.23	-4.35	2.61
-3.0	1.13	-3.96	-4.15	4.52
-4.0	1.00	-3.80	-3.78	-0.53
-5.0	0.90	-3.69	-3.69	0.00
-6.0	0.81	-3.61	-3.54	-1.99

Tabela 5.11 - Valores teóricos e experimentais da tensão de limiar em função de V_{SUB} , para $V_{DS} = 0.1$ V, $Z_{eff} = 6.0 \mu m$ e $L_{eff} = 3.5 \mu m$ (chip E μ 244A#16). O valor de V_{TO} ($V_{SUB} = -1.0$ V) calculado é - 4.68 V.

5.2.2. Tensão de Limiar para $V_{DS} \gg 0.1$ V

As expressões que determinam a tensão de limiar para um transistor MOS modo depleção, genericamente polarizado em sua região triodo, ou na saturação, são as mesmas descritas na secção 5.1.2.

5.2.3. Capacitância Efetiva de Porta.

O fator f_c que corrige a capacitância de porta, decorrente de efeitos de borda, é dado por:

$$f_c = n_1 \cdot n_2 \quad (5.36)$$

sendo

$$n_1 = m_1 \exp(-\xi_L/L_{eff}) + m_2 \quad (5.37)$$

$$n_2 = m_3 \exp(-\xi_Z/Z_{eff}) + m_4 \quad (5.38)$$

Os valores médios obtidos experimentalmente para os parâmetros de ajuste em (5.37) e (5.38) são os mesmos descritos em 5.1.3.

5.2.4. Mobilidade Superficial

5.2.4.1. Dependência da Mobilidade com o Campo Elétrico Vertical

A mobilidade superficial em transistores MOS modo depleção, com uma camada superficial de condutividade N^+ sobre um substrato P, apresenta um diferente comportamento com a tensão de porta, em relação a transistores enriquecidos. Para tensões negativas de porta, e acima da tensão de limiar, devido à região depletada superficial, os portadores são injetados no substrato, alcançando o dreno via canal metalúrgico, como ilustrado na figura 5.35. Assim, não são influentes os efeitos de superfície que degradam a mobilidade, apresentando a mesma um valor próximo àquele no corpo do semicondutor, mantidas a dopagem N^+ e orientação cristalográfica do substrato.

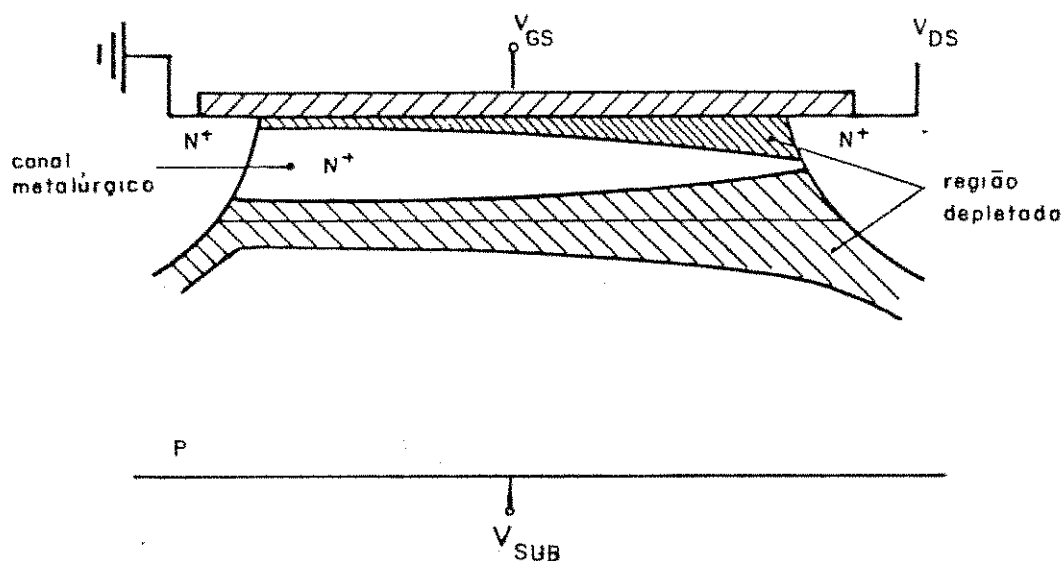


Figura 5.35 - Transistor MOS modo depleção na condição de depleção superficial ($V_{GS} > V_{TH}$).

A medida em que V_{GS} aumenta, tornando-se positivo, caracteriza-se uma condição de acumulação superficial, onde o enorme número de portadores induzidos apresenta um comportamento similar a um plano condutor, um anteparo aos efeitos eletrostáticos que os íons, implantados para a formação da

camada N^+ , poderiam exercer sobre a mobilidade. Deste modo, a partir da acumulação, espera-se um comportamento da mobilidade, com a tensão de porta, próximo ao observado em transistores modo enriquecimento [86].

Nas figuras 5.36a e 5.36b tem-se a dependência da mobilidade com a tensão de porta, obtida experimentalmente a partir de transistores com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27.5 \mu\text{m}$ e $Z_{eff} = 6.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$, respectivamente, mantendo-se $V_{DS} = 0.1 \text{ V}$ e $V_{SUB} = -2.5 \text{ V}$.

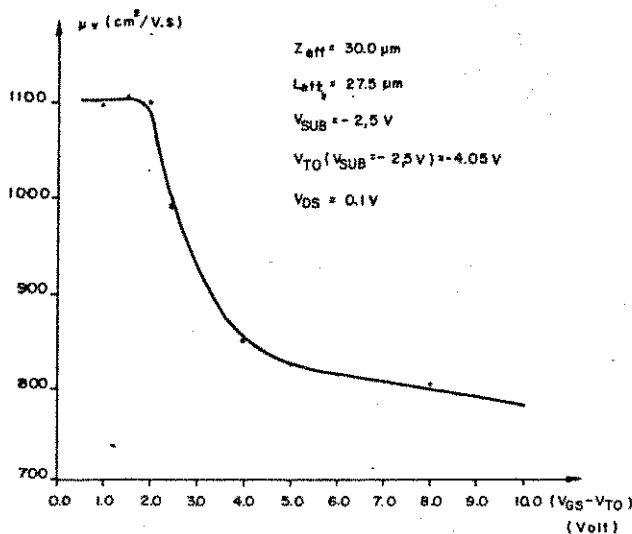


Figura 5.36a - Dependência da mobilidade com $(V_{GS} - V_{TO})$ para transistores com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27,5 \mu\text{m}$ (chip Eμ244A#15).

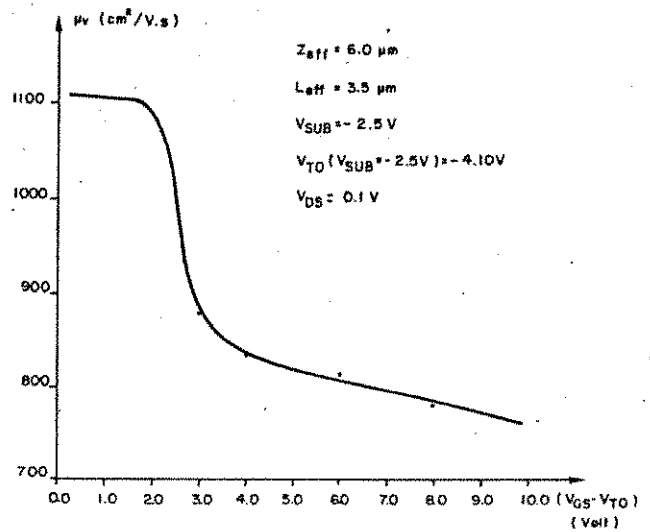


Figura 5.36b - Dependência da mobilidade com $(V_{GS} - V_{TO})$ para transistores com $Z_{eff} = 6.0 \mu\text{m}$ e $L_{eff} = 3.5 \mu\text{m}$ (chip Eμ244A#15)

Assim, para baixos campos longitudinais, a mobilidade $\bar{\mu}$ é considerada constante ($\mu_V = \mu_0$), no intervalo $0 < V_{GS} - V_{TO} \leq 2.0 \text{ V}$. Para $V_{GS} - V_{TO} > 2.0 \text{ V}$, adota-se

$$\mu_V = \frac{\mu_0}{1 + FV} \quad , \quad (5.39)$$

onde:

$$FV = \begin{cases} \theta_1 (V_{GS} - V_{TO} - 2.0), & 2.0 < V_{GS} - V_{TO} \leq 4.0 \text{ V} \\ \theta_2 \cdot (V_{GS} - V_{TO} - 2.0) + F\phi, & V_{GS} - V_{TO} \geq 4.0 \text{ V} \end{cases}$$

$$e \quad F\phi = 2.0 \times \theta_1$$

Nas figuras 5.37a e 5.37b tem-se as curvas $\mu_o/\mu_v \times (V_{GS} - V_{TO})$ para transistores com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27.5 \mu\text{m}$ e $Z_{eff} = 6.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$, respectivamente, fixando-se $V_{DS} = 0.1 \text{ V}$ e $V_{SUB} = -2.5 \text{ V}$. Os valores médios da mobilidade para baixos campos, e dos parâmetros de ajuste, obtidos com transistores de diferentes dimensões de canal, correspondem a $\mu_o = 1100 \text{ cm}^2/\text{V.s}$, $\theta_1 = 0.150 \text{ V}^{-1}$ e $\theta_2 = 0.02 \text{ V}^{-1}$, respectivamente

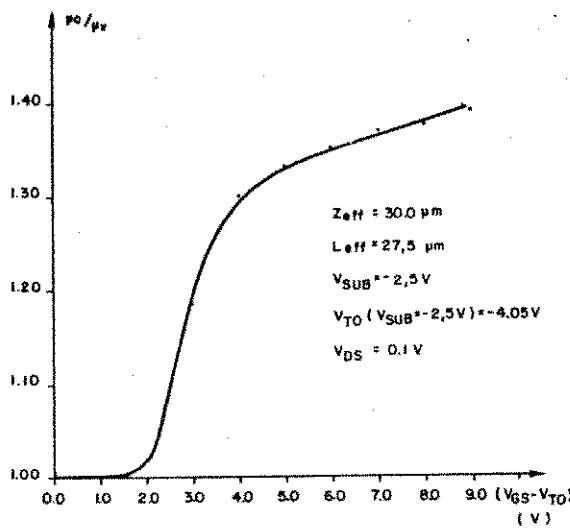


Figura 5.37.a - Dependência de μ_o/μ_v com $V_{GS} - V_{TO}$ para transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27.5 \mu\text{m}$ (chip Eu244A#15).

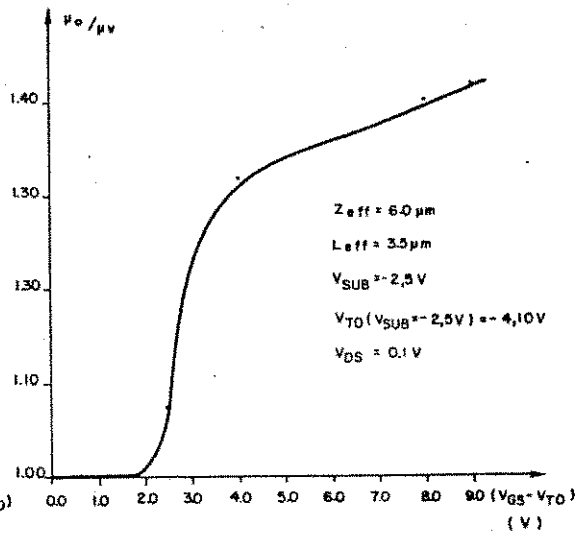


Figura 5.37.b - Dependência de μ_o/μ_v com $V_{GS} - V_{TO}$ para transistor com $Z_{eff} = 6.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$ (chip Eu244A#15).

5.2.4.2. Dependência da Mobilidade com o Campo Elétrico Longitudinal

Relaciona-se a mobilidade superficial, com o campo elétrico longitudinal E_x , através de

$$\mu = \frac{\mu_V}{\sqrt{1 + \left(\frac{E_x}{E_{ref}}\right)^2}} \quad (5.40)$$

onde $|E_x| = V_{DS}/L_{eff}$, μ_V é dado pela expressão (5.39) e E_{ref} um parâmetro de ajuste, cujo valor médio, experimentalmente obtido, corresponde a 2.6×10^4 V/cm. Na tabela 5.12 tem-se os valores teórico e experimental da mobilidade para diferentes valores de V_{DS} , fixando-se $V_{GS} = 10$ V e $V_{SUB} = -2,5$ V, para um transistor com $Z_{eff} = 30.0 \mu\text{m}$ e $L_{eff} = 3,5 \mu\text{m}$. O valor experimental da mobilidade é determinado utilizando-se a expressão (5.21), onde o valor da tensão de limiar é dado por (5.5).

V_{DS} (V)	I_{DS} (MEAS) (A)	μ (MEAS) ($\text{cm}^2/\text{V.S}$)	μ (CALC) ($\text{cm}^2/\text{V.S.}$)	ERRO (%)
1.0	1.77×10^{-3}	664	707	-6.48
2.0	3.31×10^{-3}	649	696	-7.24
3.0	4.58×10^{-3}	628	677	-7.80
4.0	5.56×10^{-3}	600	652	-8.67
5.0	6.29×10^{-3}	570	627	-10.00
6.0	6.80×10^{-3}	540	597	-10.60
7.0	7.13×10^{-3}	512	568	-10.90
8.0	7.33×10^{-3}	487	538	-10.47
9.0	7.44×10^{-3}	467	510	-10.28
10.0	7.51×10^{-3}	452	483	-6.86

Tabela 5.12 - Valores teóricos e experimentais da mobilidade para diferentes valores de V_{DS} , e fixando-se $V_{GS} = 10.0$ V e $V_{SUB} = -2.5$ V, para um transistor do chip Eμ244A#15 com $Z_{eff} = 30.0 \mu\text{m}$ e $L_{eff} = 3.5 \mu\text{m}$ ($V_{TO} = -4.9$ V @ $V_{SUB} = -1.0$ V).

5.2.5. Modulação de Canal

O efeito da modulação de canal na corrente de saturação será descrito pelo parâmetro λ , sendo I_{DSAT} dado pela expressão (5.24). Analogamente à secção 5.1.5, λ é aproximado por:

$$\lambda = m_1 \exp(\xi_c (V_{GS} + 2.0)) + m_{20} \quad (5.41)$$

onde

$$m_1(V_{SUB}) = m_{10} + m_b(|V_{SUB}| - 2.5) \quad (5.42)$$

e os valores médios dos parâmetros de ajuste dados por:

$$m_b = 0.5 \times 10^{-2} \text{ (V}^{-2}\text{)}$$

$$m_1 = \begin{cases} 0.156/L_{eff} \text{ (V}^{-1}\text{)} & , \text{ se } L_{eff} \geq 2.5 \text{ m} \\ 6.0 \times 10^{-2} \text{ (V}^{-1}\text{)} & , \text{ se } L_{eff} < 2.5 \text{ m} \end{cases}$$

$$m_{20} = 3.0 \times 10^{-2} / L_{eff} \text{ (V}^{-1}\text{)} \quad , \quad \forall L_{eff} \text{ e}$$

$$\xi_c = 0.45 \text{ (V}^{-1}\text{)} \quad ,$$

sendo o comprimento efetivo de canal em microns. Na tabela 5.13 estão os valores teóricos e experimentais de I_{DSAT}/I_{DSAT0} para diferentes valores de V_{DX} e V_{GS} , fixando-se $V_{SUB} = -2.5$ V, para um transistor com $Z_{eff} = 30.0 \mu\text{m}$ e $L_{eff} = 3.5 \mu\text{m}$.

5.2.6. Características $I_D \times V_{DS}$

Transistores MOS modo depleção (canal N) caracterizam-se por uma camada de condutividade N^+ sobre um substrato com dopagem tipo P. Caso esta camada seja superficial, algumas aproximações podem ser feitas, no intuito de se obter um modelo simplificado do dispositivo [53,73,101]:

	$V_{DS} - V_{DSAT}$ (V)	$\frac{I_{DSAT}}{I_{DSATO}}$ (MEAS)	$\frac{I_{DSAT}}{I_{DSATO}}$ (CALC)	ERRO (%)
$V_{GS} = 0.0 \text{ V}$ $\lambda = 2.69 \times 10^{-2} (\text{V}^{-1})$	1.40 V	1.049	1.038	1.05
	2.10 V	1.068	1.056	1.12
	2.80 V	1.086	1.075	1.01
	3.50 V	1.103	1.094	0.82
$V_{GS} = 3.0 \text{ V}$ $\lambda = 1.33 \times 10^{-2} (\text{V}^{-1})$	1.40 V	1.025	1.019	0.58
	2.10 V	1.035	1.028	0.67
	2.80 V	1.043	1.037	0.57
	3.50 V	1.052	1.047	0.47
$V_{GS} = 5.0 \text{ V}$ $\lambda = 1.05 \times 10^{-2} (\text{V}^{-1})$	1.40 V	1.016	1.015	0.10
	2.10 V	1.023	1.022	0.10
	2.80 V	1.031	1.029	0.19
	3.50 V	1.040	1.037	0.29

Tabela 5.13 - Valores teóricos e experimentais de I_{DSAT}/I_{DSATO} em função de $V_{DS} - V_{DSAT}$ e V_{GS} , fixando-se $V_{SUB} = -2.5 \text{ V}$, para um transistor com $Z_{eff} = 30.0 \text{ } \mu\text{m}$ e $L_{eff} = 3.5 \text{ } \mu\text{m}$, pertencente ao chip Ep244A#15.

- o efeito dos íons implantados para a formação da camada N^+ corresponde simplesmente a um deslocamento negativo da tensão de banda plana V_{FB} , em relação a um transistor modo enriquecimento fabricado a partir de igual substrato P.
- o efeito da capacitância da região de carga espacial na camada N^+ é desprezível na determinação da capacitância de porta.

A confirmação de uma camada N^+ superficial vem através de simulação, utilizando-se o programa SUPREM [61], e de curvas experimentais $C_g \times V_g$. Considerando o roteiro de fabricação, descrito sumariamente no Apêndice B, o programa SUPREM prevê, aproximadamente, $0.1 \text{ } \mu\text{m}$ para a profundidade da junção N^+/P , tendo em vista ser uma implantação de Arsênio (íons pesados, com baixo coeficiente de difusão [73]). Este valor é pequeno, comparado à espes

sura calculada da região de carga espacial, constituída pelas impurezas aceitadoras do substrato, aproximadamente $1.43 \mu\text{m}$, para $V_{\text{SUB}} = -1.0 \text{ V}$.

As curvas experimentais capacitância x tensão de porta estão indicados nas figuras 5.38a e 5.38b, estruturas C_1 e C_2 , respectivamente. Uma comparação entre as mesmas permite assumir que C_2 apresenta apenas um desvio negativo na tensão de banda plana, em relação a C_1 .

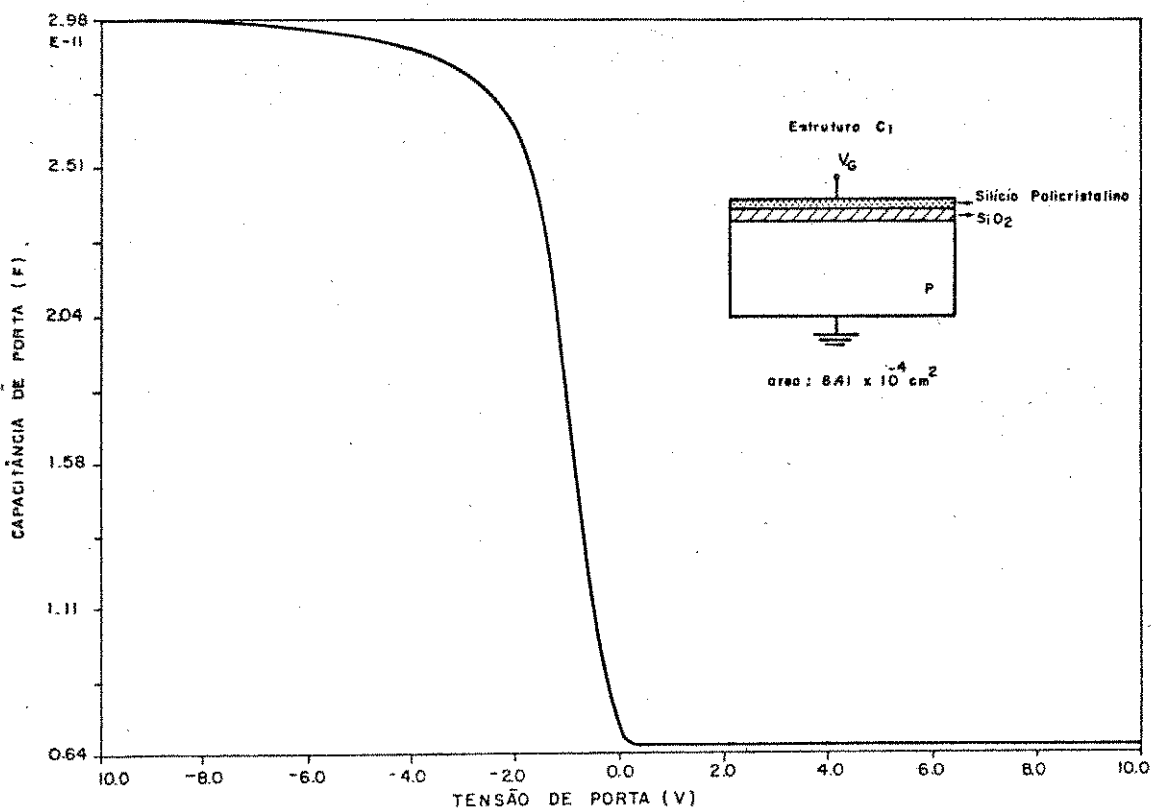


Figura 5.38a - Curva $C_g \times V_g$ para capacitor com estrutura C_1 .

Pode-se, portanto, adotar para os transistores modo depleção, sem detrimento de significativos desvios, as mesmas expressões que relacionam I_D com V_{GS} e V_{DS} , expostas na secção 5.1.6. A validade do modelo proposto é verificada experimentalmente através das curvas $I_D \times V_{DS}$, parametrizadas em V_{GS} , para transistores modo depleção com diferentes dimensões de canal e diversos valores de V_{SUB} . Algumas destas curvas são mostradas nas figuras 5.39 a 5.43, para dispositivos pertencentes à lâmina $\text{E}\mu 244\text{B}$. O erro médio obtido está abaixo de 6% para transistores com $L_{\text{eff}} \geq 9.5 \mu\text{m}$, na faixa $V_{DS} \leq 15.0 \text{ V}$ e

- $2.0 \leq V_{GS} \leq 8.0$ V. Para $3.5 \leq L_{eff} < 9.5$ μm , o erro médio é inferior a 5%, na faixa $V_{DS} \leq 5.0$ V e $-2.0 \leq V_{GS} \leq 6.0$ V.

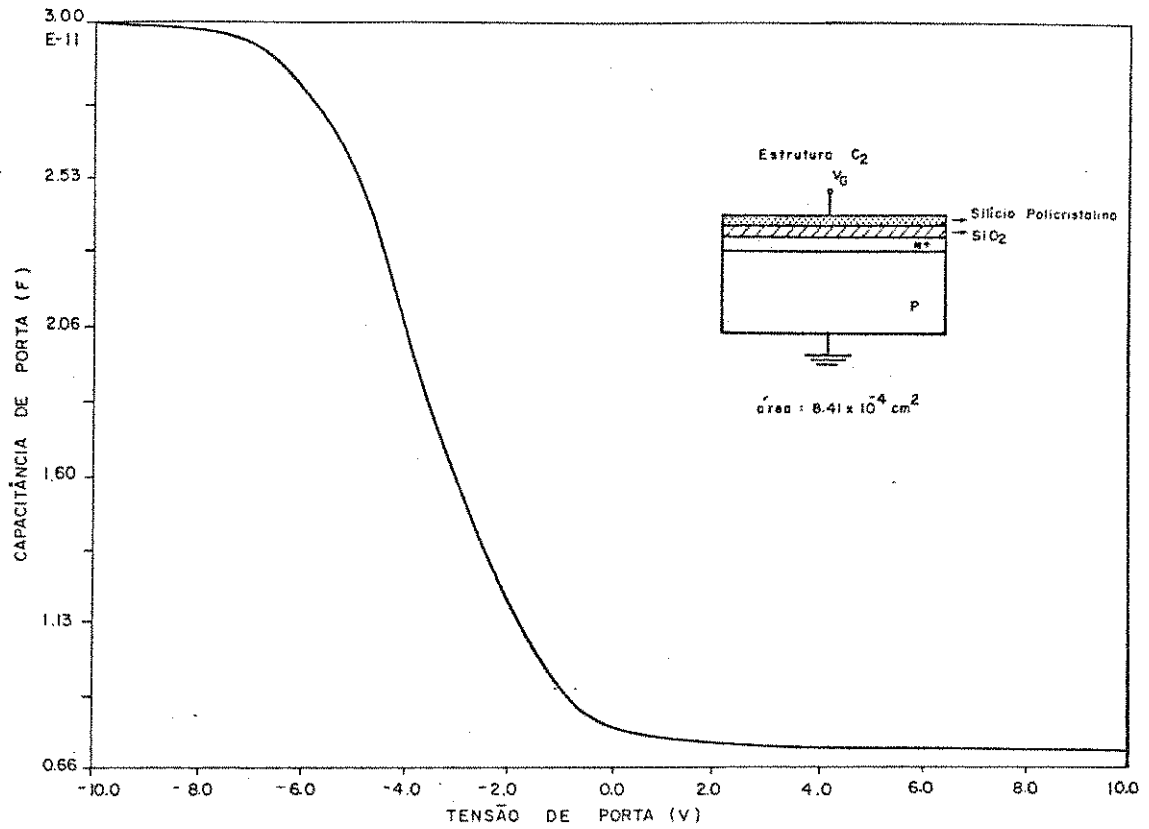


Figura 5.38b - Curva $C_g \times V_g$ para capacitor com estrutura C_2 .

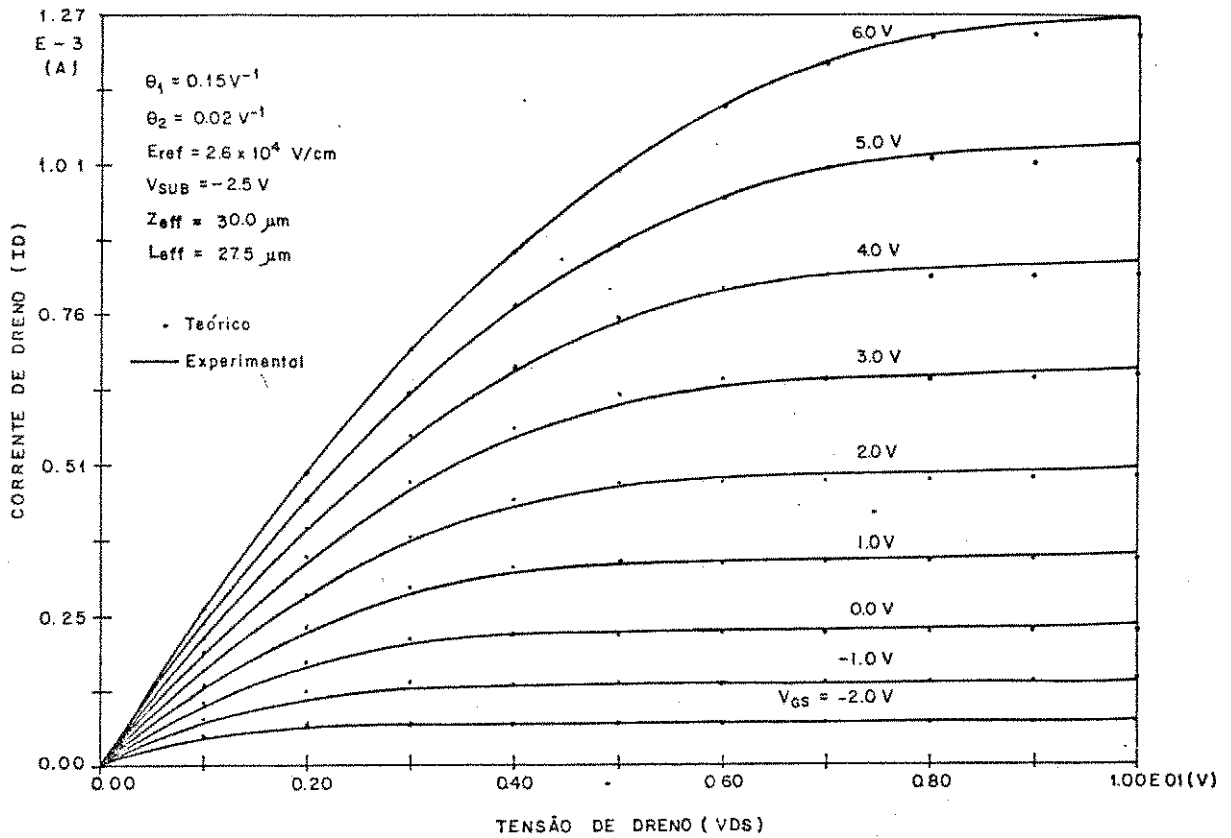


Figura 5.39 - Características I_D vs V_{DS} para transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{ V}$.

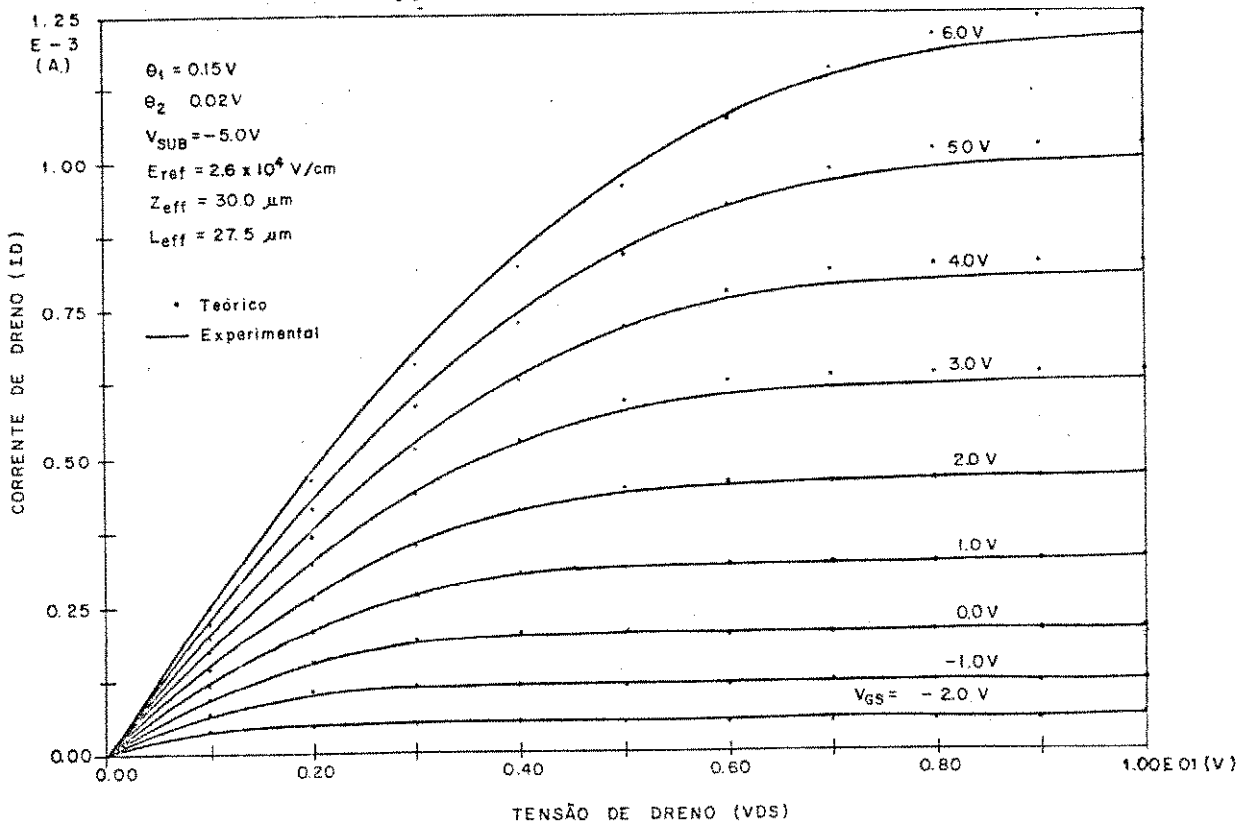


Figura 5.40 - Características I_D vs V_{DS} para transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 27.5 \mu\text{m}$ e $V_{SUB} = -5.0 \text{ V}$.

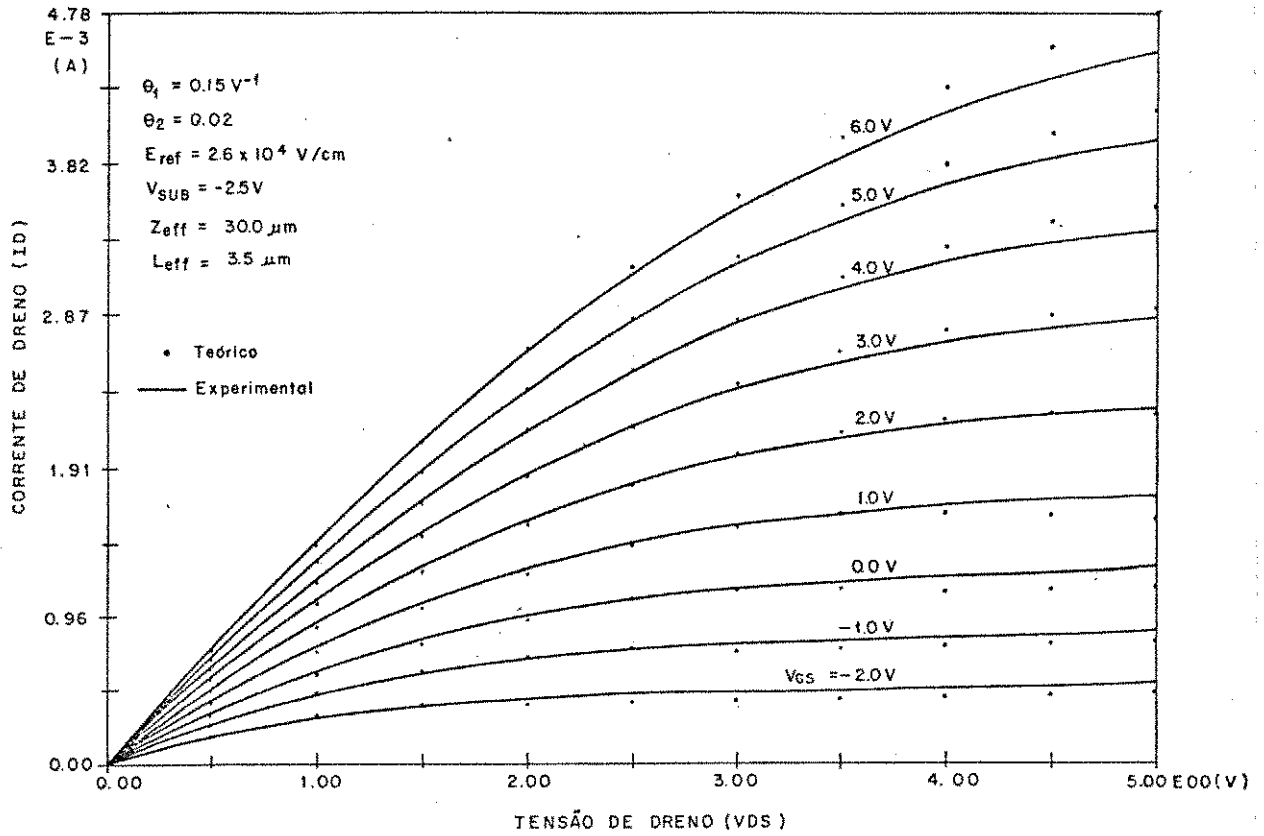


Figura 5.41 - Características I_D vs V_{DS} para transistor com $Z_{eff} = 30.0 \mu\text{m}$, $L_{eff} = 3.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{V}$.

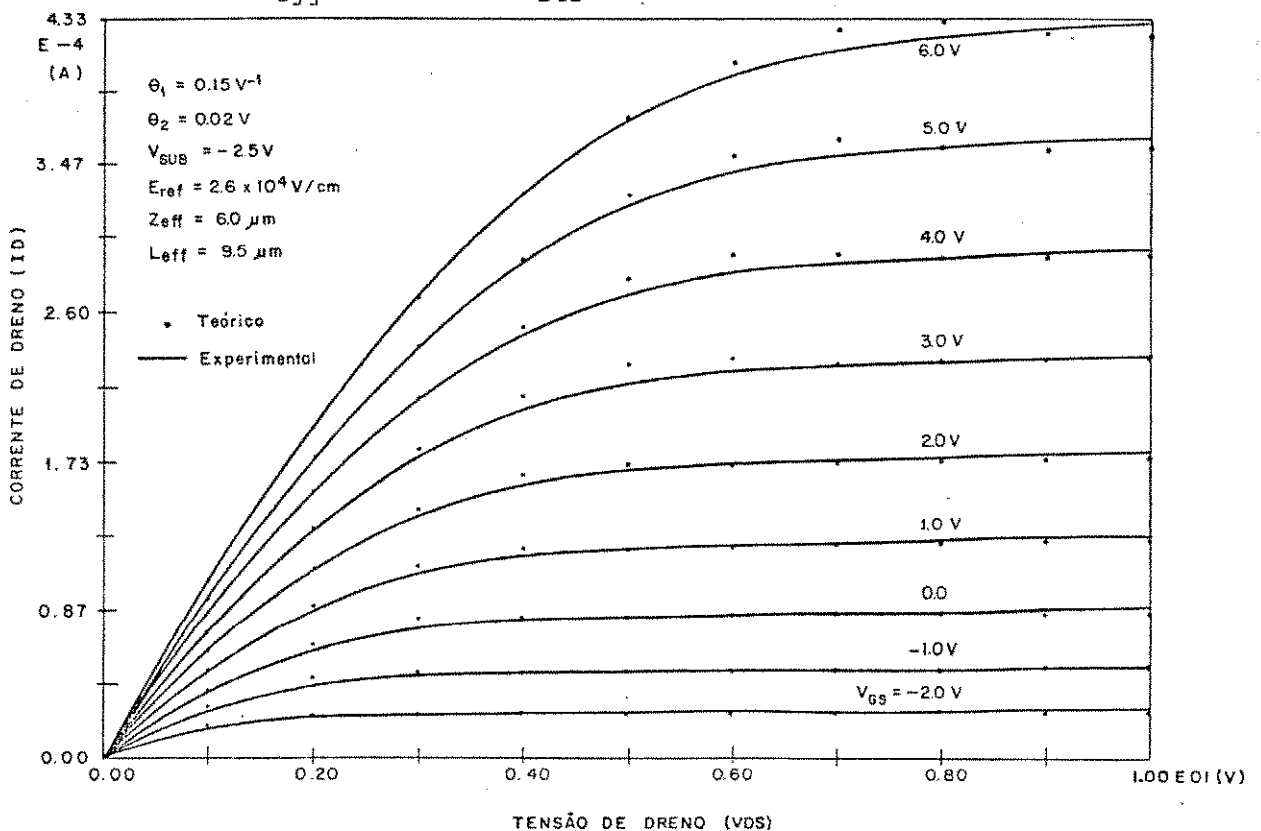


Figura 5.42 - Características I_D vs V_{DS} para transistor com $Z_{eff} = 6.0 \mu\text{m}$, $L_{eff} = 9.5 \mu\text{m}$ e $V_{SUB} = -2.5 \text{V}$.

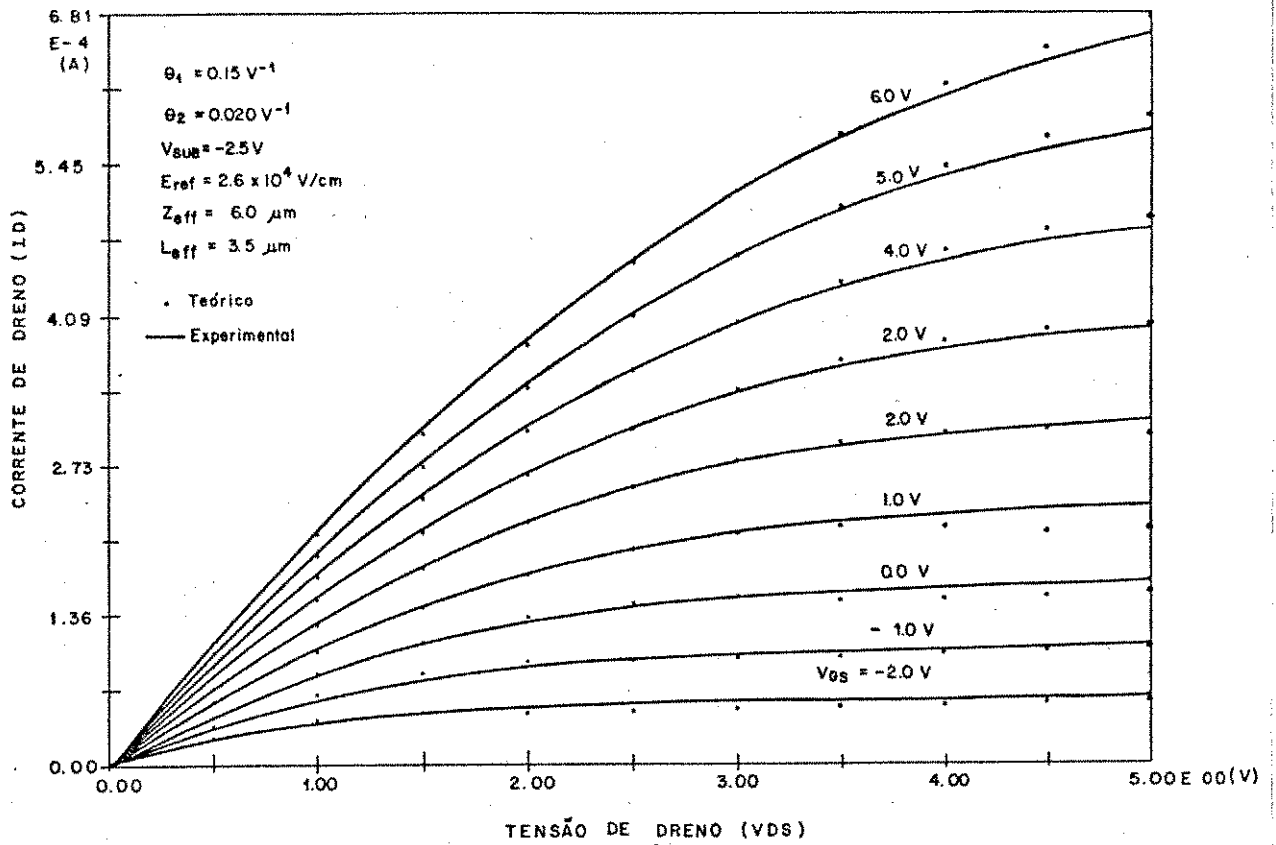


Figura 5.43 - Características $I_D \approx V_{DS}$ para transistor com $Z_{eff} = 6.0 \text{ } \mu\text{m}$,
 $L_{eff} = 3.5 \text{ } \mu\text{m}$ e $V_{SUB} = -2.5 \text{ V}$.

CAPÍTULO VI

RESULTADOS EXPERIMENTAIS DOS MÓDULOS ELEMENTARES DA MEMÓRIA RAM DINÂMICA DE 1024 BITS

Neste capítulo são apresentados os resultados experimentais dos módulos elementares nos quais a memória RAM foi particionada, conforme descrito no capítulo II. A opção por uma implementação individual destes módulos baseou-se na possibilidade de melhor caracterizá-los isoladamente, essencial em uma fase inicial de projeto. Embora a integração de todo o sistema em um único chip tenha sido um objetivo constante, motivos técnicos conduziram ao seu adiamento: a linguagem gráfica utilizada para a geração dos layouts definitivos, GAELIC [103], conquanto apresentasse facilidades em edição gráfica, mostrou-se ineficaz na interconexão de blocos, pela ausência de uma subrotina de roteamento automático. Como imediata consequência, o tempo necessário para a composição do layout de toda a memória seria superior àquela disponível pelo autor, no EMF, para a definição dos chips a serem fabricados.

Sendo assim, dois chips foram especificados em relação ao projeto da memória:

- E μ 272, contendo os módulos elementares do subsistema: interface de entrada de endereços, circuito decodificador, circuito controlador, interface de entrada e saída de dados, amplificador sensor e células de memória, unidade de controle e "drivers". Na figura 6.1 tem-se uma reprodução do layout deste chip.
- E μ 273, contendo um arranjo de 32x32 células de memória, divididas em duas submatrizes, com os referidos amplificadores sensores e circuitos decodificadores, de linha e coluna. Uma reprodução do layout deste chip pode ser visto na figura 6.2.

Outros três chips foram ainda definidos, contendo transistores e dispositivos para caracterização dos parâmetros elétricos e de processo, bem como estruturas para avaliar o rendimento e a uniformidade do processo de fabricação. Embora sejam aqui omitidas, colocam-se à disposição do leitor as informações referentes.

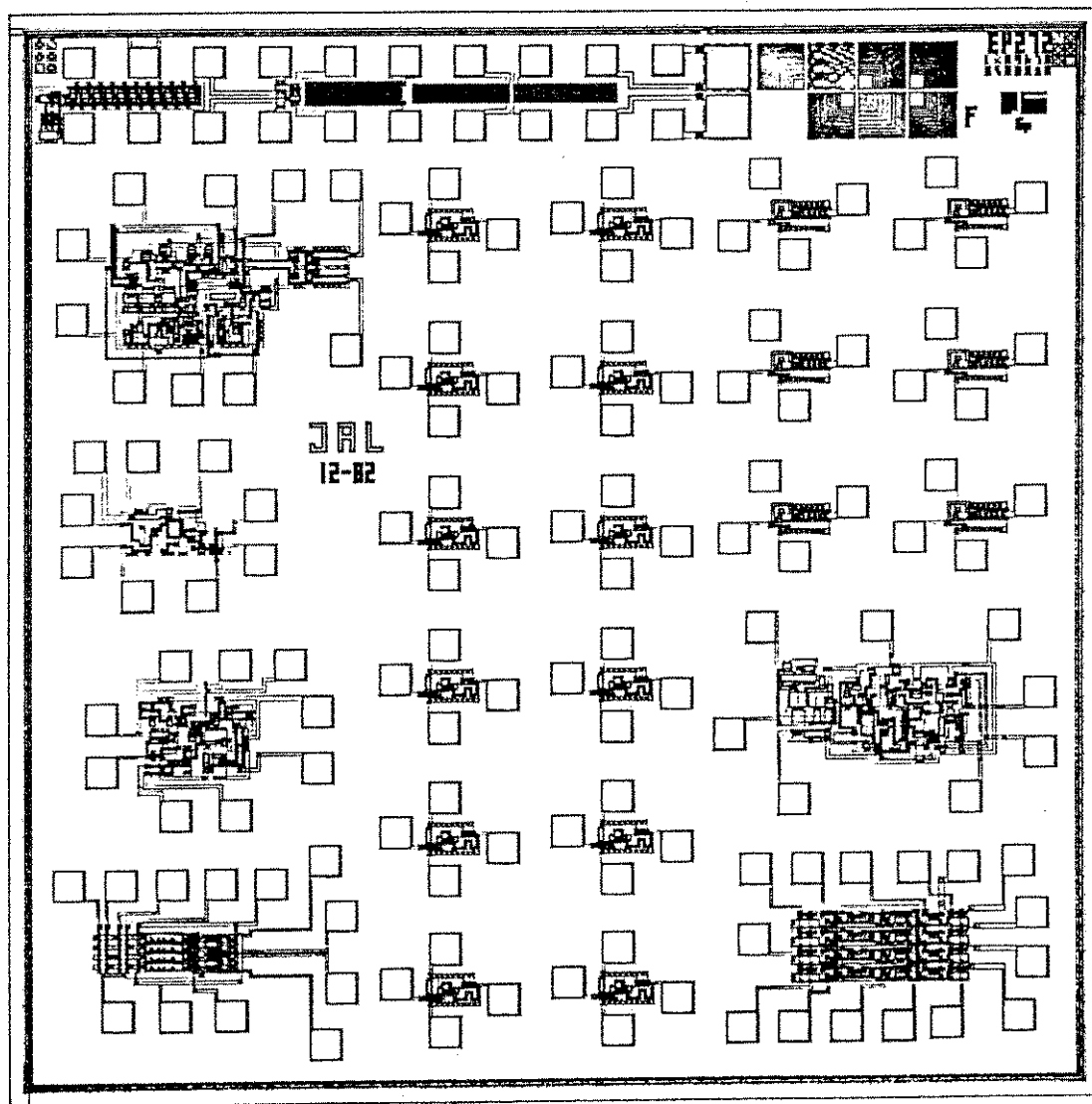


Figura 6.1 - Reprodução do lay-out do chip Ep1272 (4 mm x 4mm).

6.1. Caracterização dos "Drivers"

Basicamente, dois tipos de circuito foram utilizados como drivers no projeto da memória, representados nas figuras 6.3 e 6.4 através de seus diagramas elétricos e respectivamente denominados DV1 e DV2. No confronto entre ambos, o circuito DV1 caracteriza-se, fundamentalmente, por apresentar um reduzido consumo de potência e um menor tempo de atraso, devido ao seu estágio de saída "push-pull" e pela utilização de um transistor modo depleção ope

rando dinamicamente [104]. Como desvantagem, o valor lógico superior (VLS), à saída, atinge apenas a $V_{DD} - V_{TH}$. Quanto a DV2, a necessidade de uma relação de aspecto fixa entre os transistores de comando e o de carga, faz com que o produto tempo de atraso x potência dissipada seja maior. Sua característica importante para projeto é apresentar, à saída, $VLS = V_{DD}$, um valor de tensão máximo e bem definido.

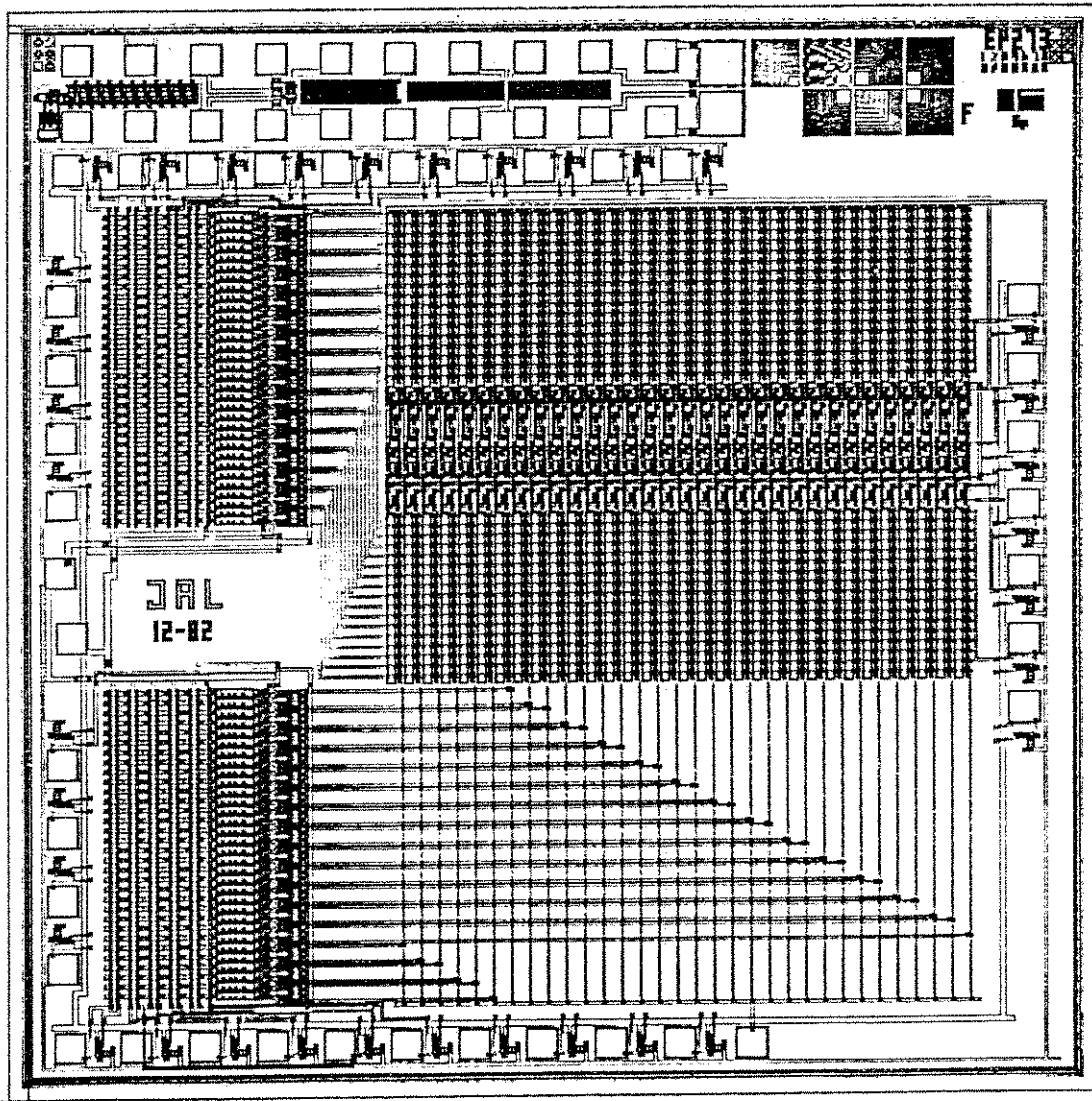


Figura 6.2 - Reprodução do lay-out do chip $4\mu 273$
(4 mm x 4 mm).

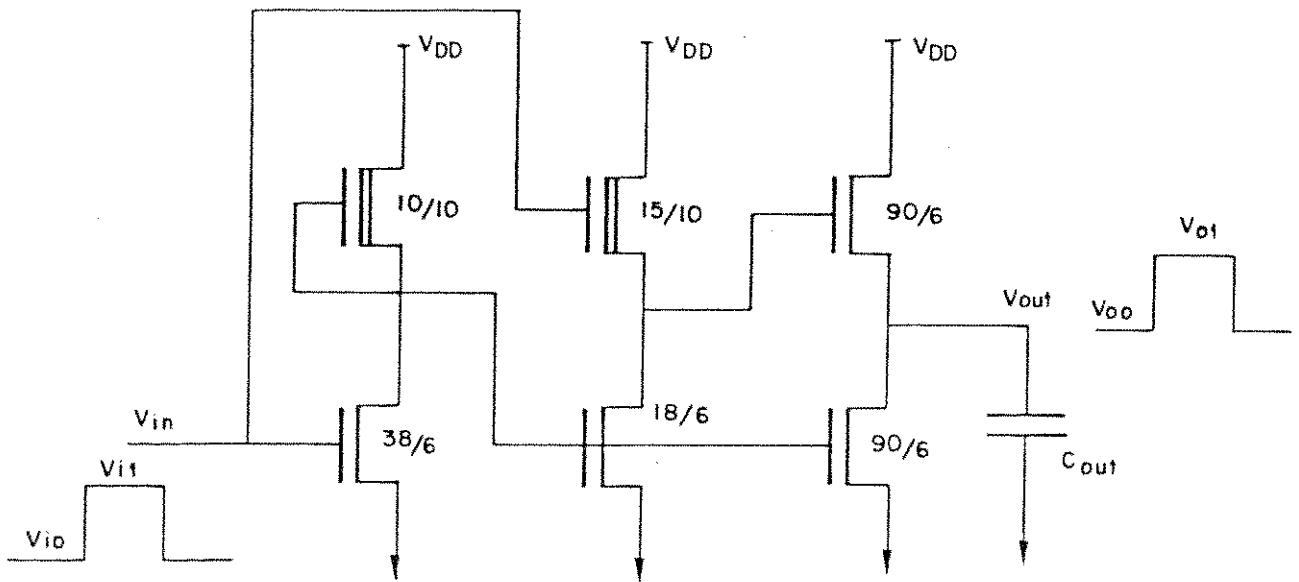


Figura 6.3 - Diagrama elétrico do Driver DV1 com as dimensões de máscara dos transistores.

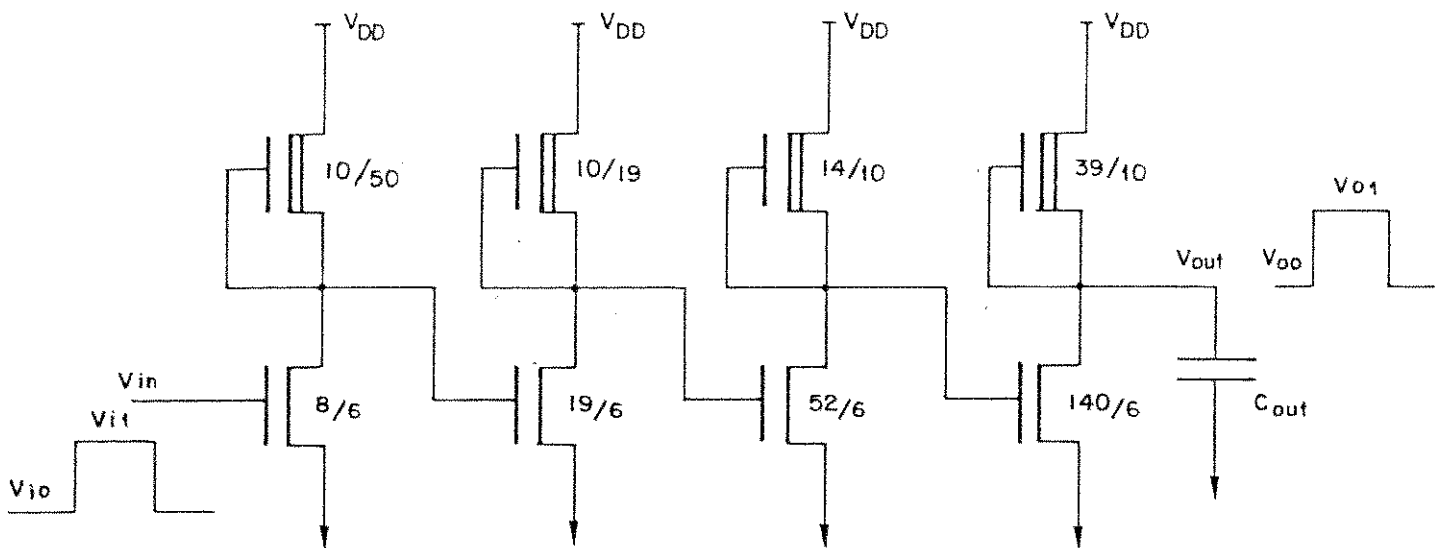


Figura 6.4 - Diagrama elétrico do Driver DV2 com as dimensões de máscara dos transistores.

Nas tabelas 6.1 e 6.2 são mostradas as características experimentais dos circuitos DV1 e DV2, respectivamente. A simbologia utilizada nesta, e nas demais secções deste capítulo, corresponde a:

V_{i0} - valor lógico inferior, \bar{a} entrada

V_{i1} - valor lógico superior, \bar{a} entrada

V_{o0} - valor lógico inferior, \bar{a} saída

- V_{ol} - valor lógico superior, à saída
- t_s - tempo de subida do sinal de saída (10-90% da excursão lógica)
- t_d - tempo de descida do sinal de saída (90-10% da excursão lógica)
- t_a - tempo de atraso (intervalo entre o ponto médio da excursão lógica do sinal de entrada ao ponto médio da excursão lógica do sinal de saída).
- P_{DC} - potência dissipada em regime estático.

DRIVER DV1		V_{oo} (V)	V_{ol} (V)	t_s (ns)	t_d (ns)	t_a (ns)	P_{DC} (mW)
$V_{DD} = 5.0$ V $V_{i0} = 0$ V $C_{out} = 33$ pF $f = 1.0$ MHz	$V_{i1} = 3.0$ V	0.2	3.7	-	-	-	-
	$V_{i1} = 5.0$ V	0.0	4.0	40	40	20	0.70
	$V_{i1} = 10.0$ V	0.0	4.0	-	-	-	-
	$V_{i1} = 15.0$ V	0.0	4.0	-	-	-	-
$V_{DD} = 15.0$ V $V_{i0} = 0$ V $C_{out} = 33$ pF $f = 1.0$ MHz	$V_{i1} = 3.0$ V	0.2	6.0	-	-	-	-
	$V_{i1} = 5.0$ V	0.0	8.0	-	-	-	-
	$V_{i1} = 10.0$ V	0.0	12.0	-	-	-	-
	$V_{i1} = 15.0$ V	0.0	12.4	60	60	12	3.09

Tabela 6.1 - Características experimentais do circuito DV1.

Nas figuras 6.5 e 6.6 tem-se as formas de onda dos sinais de entrada e saída dos circuitos DV1 e DV2, respectivamente, para $C_{out} = 33$ pF e $f = 1.0$ MHz.

6.2 - Caracterização da Interface de Entrada e Saída de Dados

Considera-se, inicialmente, o teste de leitura da interface de entrada e saída de dados, impondo $CS = 12$ V e $WE = 0$ V ao circuito da figura 4.17, e aplicando um pulso V_{in} no terminal equivalente à linha de dados (LD), tendo DATA OUT como saída. Na tabela 6.3 está sintetizado o desempenho da in-

terface para $V_{i1} = 5.0 \text{ V}$, $V_{i0} = 0 \text{ V}$, $f = 1 \text{ MHz}$, $C_{out} = 33 \text{ pF}$ e diferentes valores de V_{DD} . Na figura 6.7 tem-se as formas de onda dos sinais de entrada e saída, na condição $A_4 = 1$, ou seja, não há inversão do dado.

DRIVER DV2		V_{o0} (V)	V_{o1} (V)	t_s (ns)	t_d (ns)	t_a (ns)	P_{DC} (mW)
$V_{DD} = 5.0 \text{ V}$ $V_{i0} = 0 \text{ V}$ $C_{out} = 33 \text{ pF}$ $f = 100 \text{ KHz}$	$V_{i1} = 2.3 \text{ V}$	0.6	4.3	-	-	-	-
	$V_{i1} = 5.0 \text{ V}$	0.4	4.8	400	50	150	3.14
	$V_{i1} = 10.0 \text{ V}$	0.4	4.8	-	-	-	-
	$V_{i1} = 15.0 \text{ V}$	0.4	5.0	-	-	-	-
$V_{DD} = 15.0 \text{ V}$ $V_{i0} = 0 \text{ V}$ $C_{out} = 33 \text{ pF}$ $f = 100 \text{ KHz}$	$V_{i1} = 2.8 \text{ V}$	1.0	13.8	-	-	-	-
	$V_{i1} = 5.0 \text{ V}$	1.0	14.5	-	-	-	-
	$V_{i1} = 10.0 \text{ V}$	1.0	15.0	-	-	-	-
	$V_{i1} = 15.0 \text{ V}$	1.0	15.0	480	20	150	11.1

Tabela 6.2 - Características experimentais do "driver" DV2.

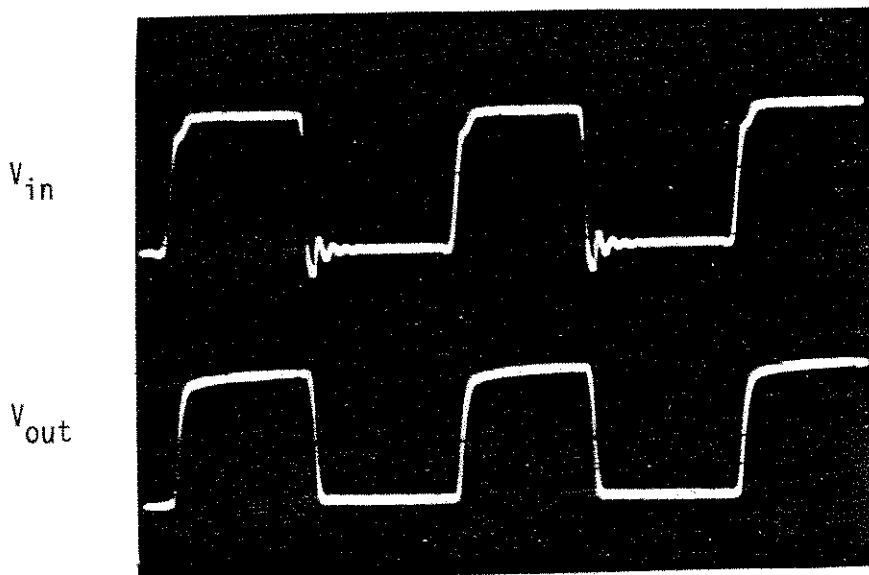


Figura 6.5 - Formas de onda dos sinais de entrada e saída no circuito DV1 ($C_{out} = 33 \text{ pF}$ e $f = 1.0 \text{ MHz}$).

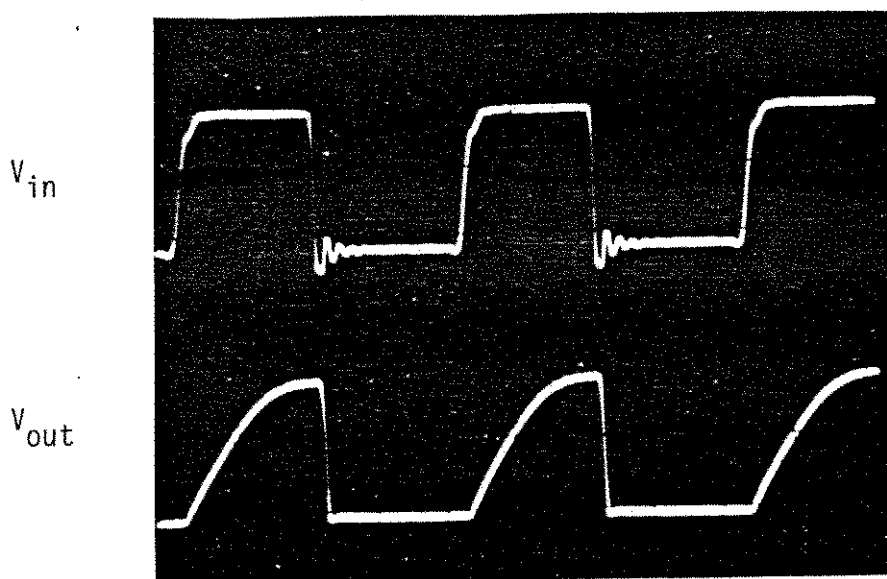


Figura 6.6 - Formas de onda dos sinais de entrada e saída no circuito DV2 ($C_{out} \approx 33 \text{ pF}$ e $f = 1.0 \text{ MHz}$).

V_{DD} (V)	V_{OO} (V)	V_{O1} (V)	t_s (ns)	t_d (ns)	t_a (ns)	P_{DC} (mW)
12.0	0.0	7.0	360	90	150	73.2
10.0	0.0	5.5	250	90	125	51.7
8.0	0.0	3.8	250	90	125	32.5
6.0	0.2	2.2	250	50	120	18.0

Tabela 6.3 - Resultados experimentais da interface de entrada e saída de dados, durante o teste de leitura.

Para o teste de escrita, mantém-se CS ativado e impõe-se $WE=12 \text{ V}$, aplicando um pulso de entrada em DATA IN e tendo o terminal equivalente à linha de dados (LD) como saída, conectado ao "driver" DV1, em vista do elevado valor de C_{out} , correspondente à capacitância da ponta de prova, associada às capacitâncias de encapsulamento e fiação. Na tabela 6.3 tem-se os resultados experimentais obtidos para $V_{i1} = 5.0 \text{ V}$, $V_{i0} = 0 \text{ V}$, $f = 1 \text{ MHz}$, $C_{out} \approx 33 \text{ pF}$ e

diferentes valores de V_{DD} . Na figura 6.8 são mostradas as formas de onda dos sinais de entrada e saída, na condição $A_4 = 0$, quando há inversão do dado.

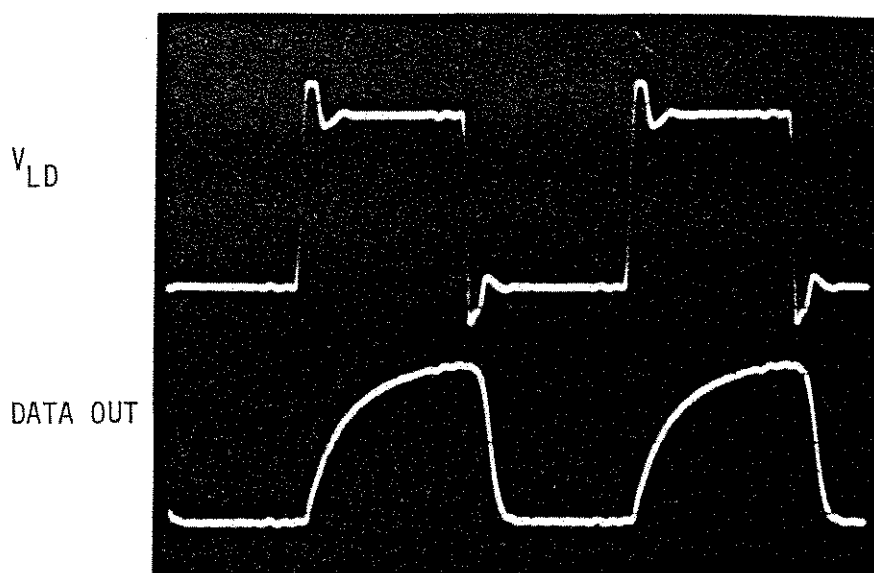


Figura 6.7 - Formas de onda dos sinais de entrada e saída na interface de dados, durante o teste de leitura

V_{DD} (V)	V_{OO} (V)	V_{O1} (V)	t_s (ns)	t_d (ns)	t_a (ns)	P_{DC} (mW)
12.0	0.0	8.0	150	75	120	67.7
10.0	0.0	6.7	175	90	165	46.9
8.0	0.0	5.0	165	100	190	29.6
7.0	0.0	4.5	150	75	140	22.8

Tabela 6.4 - Resultados experimentais da interface de entrada e saída de dados, durante o teste de escrita.

6.3 - Caracterização do Circuito Controlador da Interface de Endereços e Decodificador

Na figura 6.9 está indicado o esquema adotado para a caracterização do circuito controlador da interface de endereços e decodificador (módulo

GL). A presença de "drivers" eleva a capacidade de corrente dos estágios de saída, tendo em vista o alto valor de C_{out} .

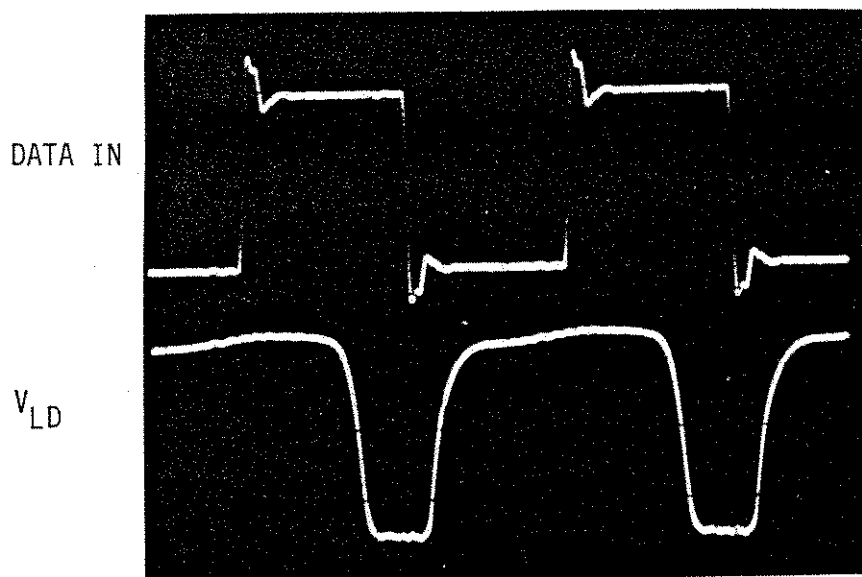


Figura 6.8 - Formas de onda dos sinais de entrada e saída na interface de dados, durante o teste de escrita.

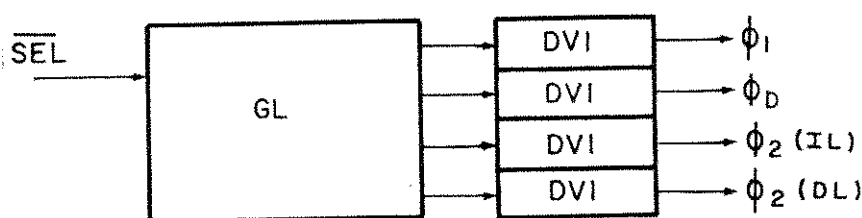


Figura 6.9 - Esquema utilizado para a caracterização do circuito controlador da interface de endereços e decodificador.

Para $V_{DD} = 12 \text{ V}$ e $C_{out} \approx 33 \text{ pF}$, as características das fases geradas correspondem a (v. figura 4.11): $t_{1A} = 60 \text{ ns}$, $t_{1D} = 140 \text{ ns}$, $t_{2A} = 200 \text{ ns}$, $t_{DDI} = 360 \text{ ns}$, $t_{2D} = 160 \text{ ns}$, $t_{DDD} = 300 \text{ ns}$.

Na figura 6.10 tem-se as formas de onda das fases ϕ_1 , ϕ_D , $\phi_2(IL)$ e $\phi_2(DL)$, obtidas através da montagem da figura 6.9, sendo 7.0 V, 10 V, 10 V e 10 V os respectivos valores lógicos superiores. O consumo de potência quiescente da referida montagem corresponde a 76.2 mW.

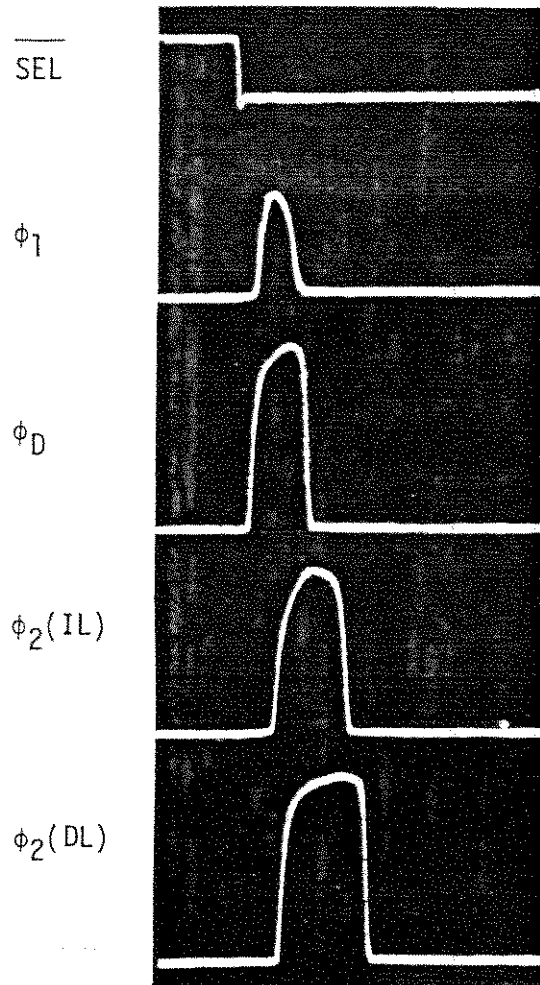


Figura 6.10 - Formas de onda das fases geradas pela montagem da figura 6.9.

6.4 - Caracterização da Interface de Entrada de Endereços

A caracterização da interface de entrada de endereços (módulo IL) realiza-se através da montagem da figura 6.11, na qual as fases de controle são geradas pelo módulo GL. O sinal de entrada corresponde a um pulso aplicado em A_1 , e a saída ao sinal A_x (v. figura 4.3). Na tabela 6.5 tem-se a síntese do desempenho da interface (+ circuito gerador de fases) para $f = 1.0$ MHz, $C_{out} = 33$ pF e diferentes valores de V_{DD} . Os tempos t_1 e t_2 correspondem ao

atraso do sinal A_x em relação às transições "1" → "0" e "0" → "1", respectivamente, do sinal \overline{SEL} .

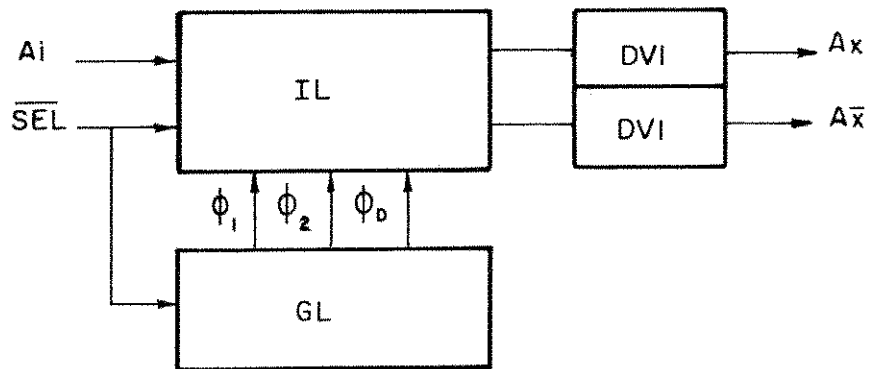


Figura 6.11 - Montagem para a caracterização experimental da interface de entrada de endereços.

V_{DD} (V)	V_{oo} (V)	V_{o1} (V)	t_1 (ns)	t_2 (ns)	t_s (ns)	t_d (ns)	P_{DC} (mW)
12.0	0.0	8.0	60	100	120	50	98.4
10.0	0.0	8.0	60	100	120	50	72.5
8.0	0.0	6.4	60	100	100	50	44.7
6.0	0.2	4.8	60	100	100	50	24.9
5.0	0.2	4.0	60	100	100	50	17.5
4.0	0.2	3.0	60	100	100	50	11.5

Tabela 6.5 - Resultados experimentais da interface de entrada de endereços.

Na figura 6.12 são mostradas as formas de onda dos sinais \overline{SEL} e A_x e, na figura 6.13, dos sinais A_1 e A_x . Como pode ser observado, após a detecção, o endereço A_1 pode ter o seu valor alterado sem influir no sinal de saída, conforme descrito no capítulo IV, secção 4.2.

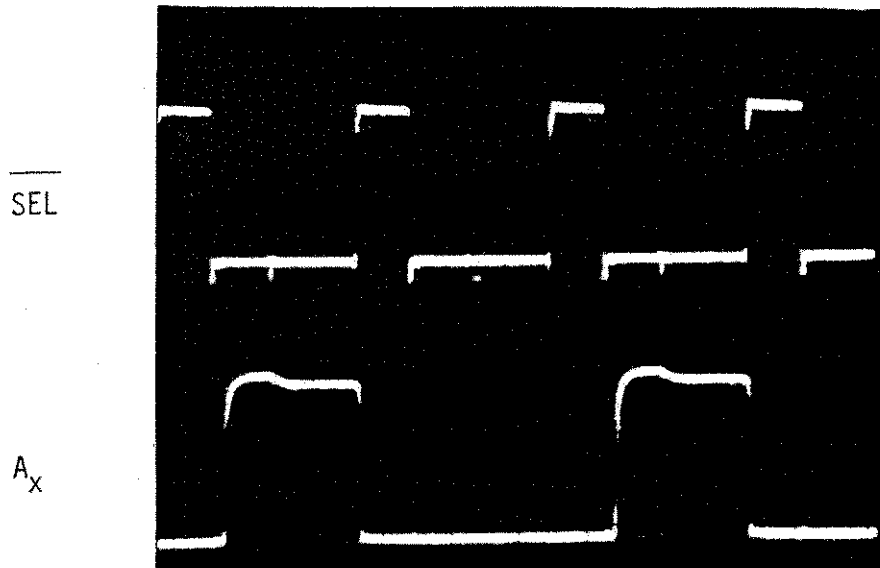


Figura 6.12 - Formas de onda dos sinais \overline{SEL} e A_x na interface de entrada de endereços.

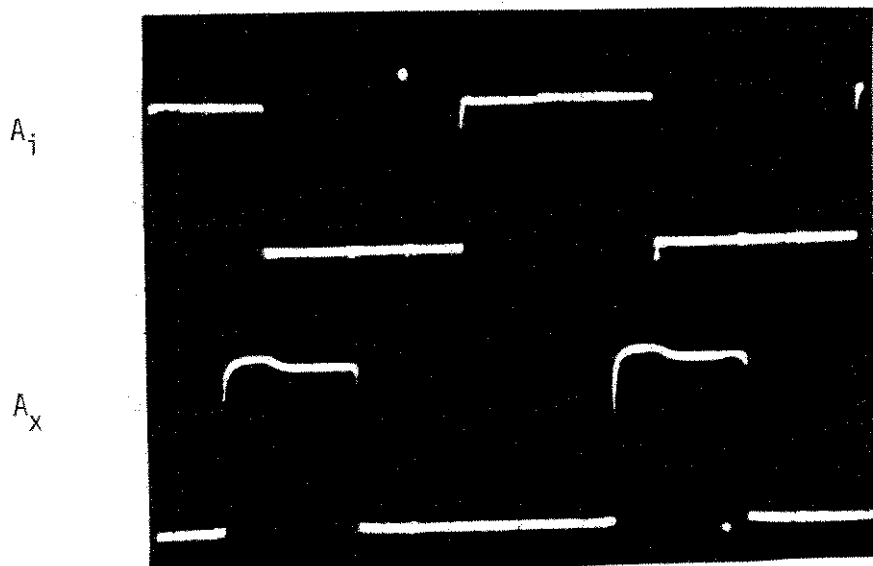


Figura 6.13 - Formas de onda dos sinais A_i e A_x na interface de entrada de endereços.

6.5. Caracterização do Circuito Decodificador

Na figura 6.14 é mostrada a montagem, através da qual o circuito decodificador é analisado, tendo V_{LE} como saída, correspondente ao sinal na linha de endereçamento. Na tabela 6.6 tem-se as características experimentais desta montagem, no caso de ativação da linha de endereçamento, para $f = 1.0$ MHz e $C_{out} = 33$ pF e distintos valores de V_{DD} .

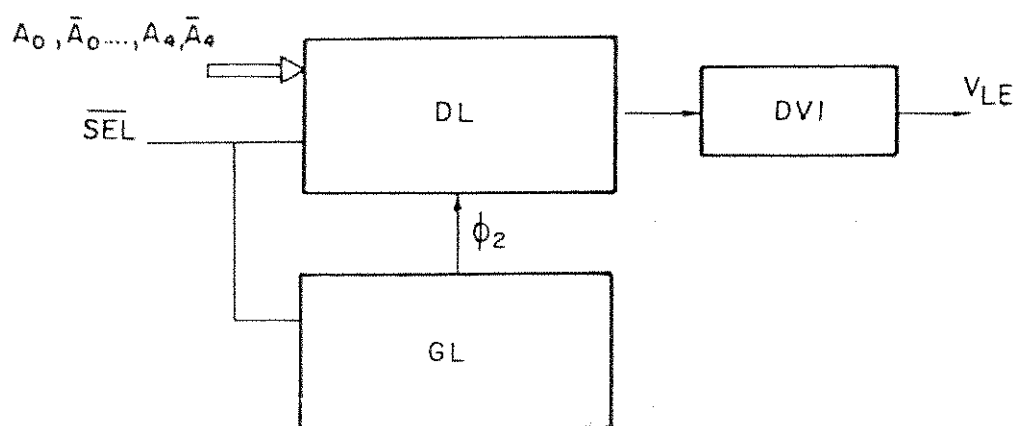


Figura 6.14 - Montagem para caracterização do circuito decodificador.

V_{DD} (V)	V_{OO} (V)	V_{O1} (V)	t_s (ns)	t_s (ns)	t_a (ns)	P_{DC} (mW)
12.0	0.0	8.0	300	175	150	65.9
10.0	0.0	8.0	300	175	150	44.9
8.0	0.0	6.6	300	175	150	27.9
6.0	0.0	5.0	300	175	150	15.3
5.0	0.0	4.1	350	175	175	10.5
4.0	0.0	3.0	350	150	190	6.8
3.0	0.0	2.0	750	150	300	3.9

Tabela 6.6 - Síntese do desempenho do circuito decodificador, no caso da linha de endereçamento ativada.

Nas figuras 6.15 e 6.16 tem-se as formas de onda dos sinais $\overline{\text{SEL}}$ e V_{LE} nas condições de linha de endereçamento ativada e desativada, respectivamente. No último caso, pode-se observar pequenas sobretensões, decorrentes de acoplamento capacitivos, mas limitadas a 200 mV devido, certamente, ao bom desempenho do biestável no circuito decodificador, conforme descrito no capítulo IV, seção 4.4.

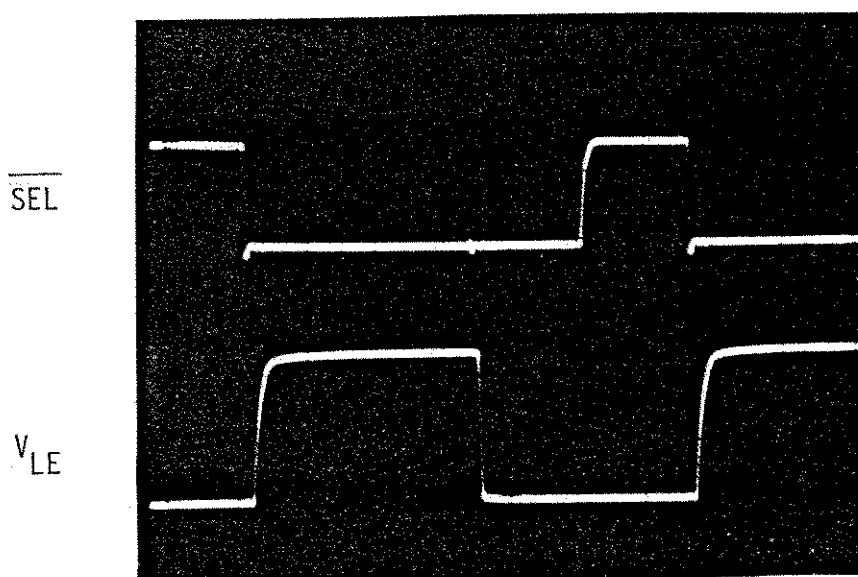


Figura 6.15 - Formas de onda dos sinais $\overline{\text{SEL}}$ e V_{LE} , no caso da linha de endereçamento ativada.

6.6. Caracterização da Unidade de Controle

A unidade de controle do amplificador sensor e células falsas é caracterizada impondo-se $\overline{\text{SEL}}$ como sinal de entrada e tendo à saída as fases ϕ_B , ϕ_L , ϕ_S , ϕ_{XD} , $\overline{\phi_{XD}}$ e PC (v. figura 4.30), após os respectivos "drivers". Nas figuras 6.17, 6.18, 6.19 e 6.20 tem-se as formas de onda de $\overline{\text{SEL}}$ e, respectivamente, as fases, ϕ_B , ϕ_L , ϕ_S e $\overline{\phi_{XD}}$, nas condições $V_{DD} = 12.0$ V, $f = 0.5$ MHz e $C_{out} \approx 33$ pF. Infelizmente, dois erros no lay-out definitivo da unidade, quais precisamente nos estágios de saída das fases ϕ_{XD} e PC, impedem que as mesmas sejam geradas. No entanto, foram feitas as correções necessárias e, na segunda versão deste projeto, conforme mencionado no capítulo VII, espera-se um perfeito desempenho da unidade de controle.

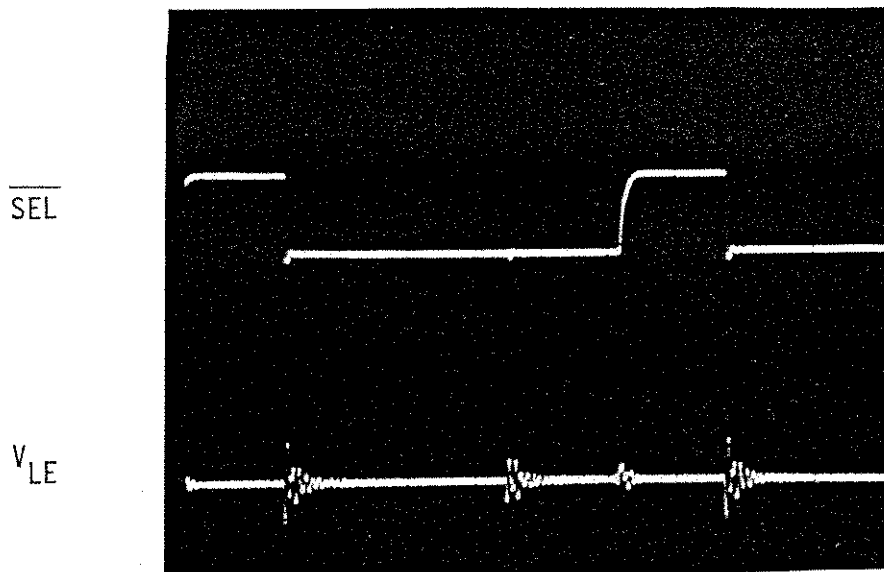


Figura 6.16 - Formas de onda dos sinais $\overline{\text{SEL}}$ e V_{LE} , no caso da linha de endereçamento desativada.

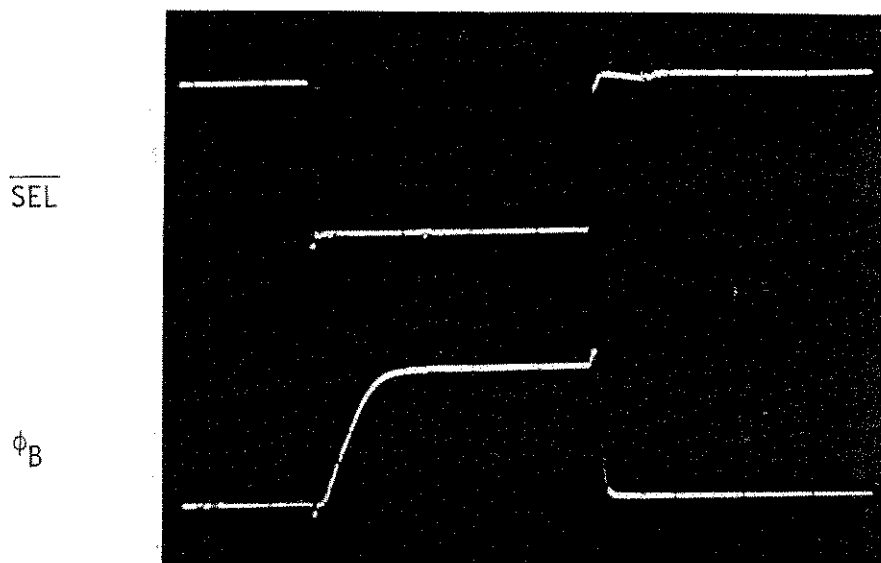


Figura 6.17 - Formas de onda dos sinais $\overline{\text{SEL}}$ e ϕ_B , na unidade de controle.

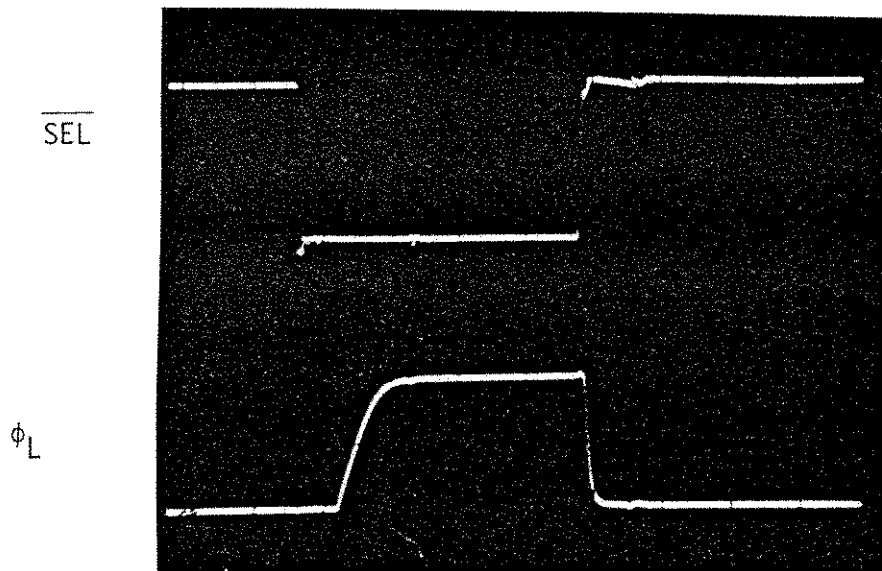


Figura 6.18 - Formas de onda dos sinais \overline{SEL} e ϕ_L , na unidade de controle.

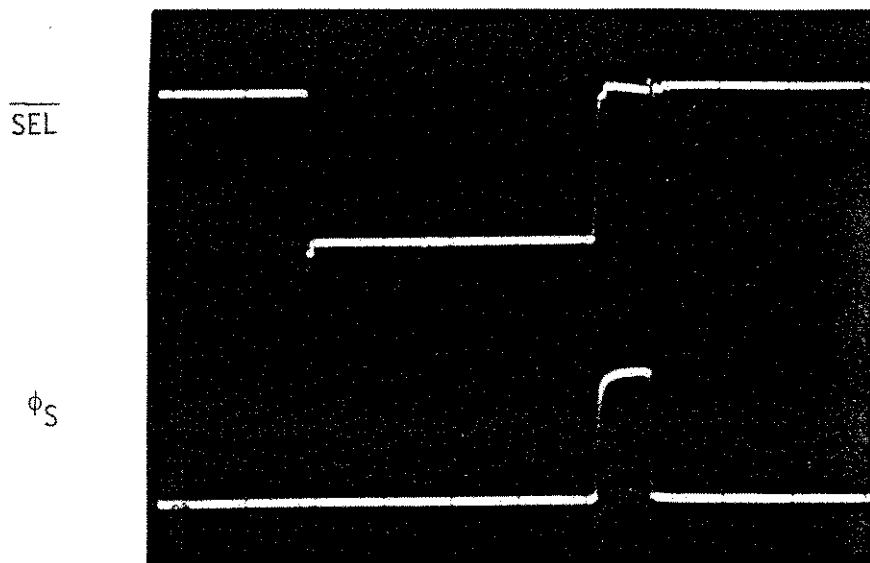


Figura 6.19 - Formas de onda dos sinais \overline{SEL} e ϕ_S , na unidade de controle.

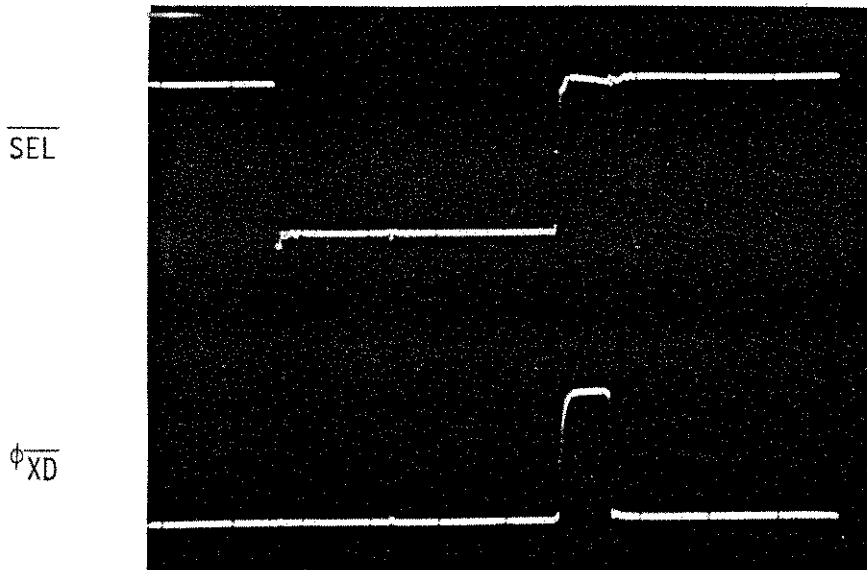


Figura 6.20 - Formas de onda dos sinais \overline{SEL} e ϕ_{XD} , na unidade de controle.

Os tempos de atraso dos sinais ϕ_B e ϕ_L em relação à transição "1" → "0" de \overline{SEL} correspondem, respectivamente, a 160 ns e 220 ns, o que indica um atraso aproximado, entre as duas fases, de 60 ns, valor próximo ao especificado em projeto (capítulo IV, seção 4.7). As fases ϕ_{XD} e ϕ_S têm uma duração aproximada de 150 ns, suficiente para que um potencial intermediário entre os níveis "0" e "1" seja armazenado nas células falsas.

6.7 - Teste de Leitura e Escrita na Célula de Memória

Para o teste de leitura e escrita na célula de memória, utiliza-se a montagem representada na figura 6.21. A presença do gerador de palavras, em substituição aos módulos UC e GL, para enviar as fases de controle ao circuito sensor, células falsas e decodificadores, deve-se à impossibilidade da unidade de controle gerar as fases ϕ_{XD} e PC, conforme mencionado na seção 6.6. Selecionado um endereço de linha e de coluna, durante a leitura o sinal WE é mantido no nível lógico "0", e após a ativação de ϕ_L , a saída DATA OUT é tornada válida. Quando WE → "1", inicia-se a operação de escrita, com a saída da interface de dados colocada num estado de alta impedância e o dado em DATA IN armazenado na célula.

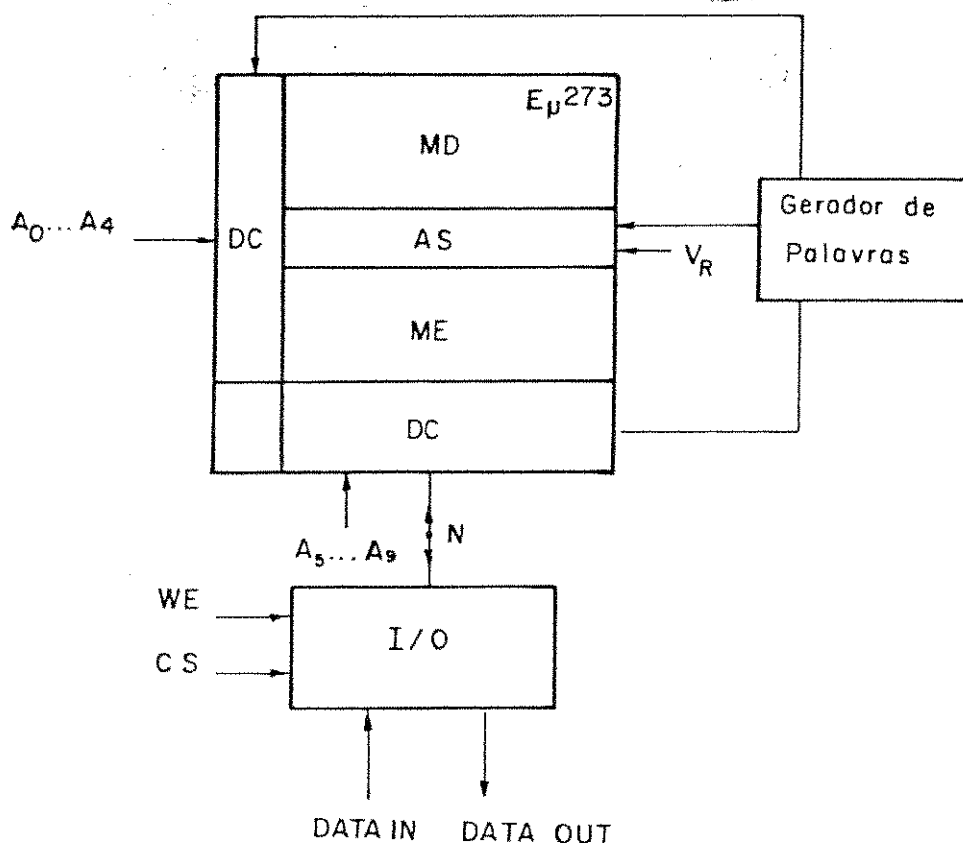


Figura 6.21 - Montagem para o teste de leitura e escrita da memória.

As condições de teste correspondem a $V_{DD} = 12.0$ V, $V_R = 7.0$ V, VLS (fases) = 12.0 V, VLI (fases) = 0.2 V, $C_{out} \approx 33$ pF e $f = 1.0$ MHz. Na figura 6.22 tem-se as formas de onda dos sinais WE e V_N , e na figura 6.23, dos sinais DATA IN e V_N , onde V_N corresponde ao potencial no ponto N, equivalente à linha de dados, conforme indicado na figura 6.21, durante a operação de leitura e escrita ("read-modify-write"). Tem-se, ainda, na figura 6.24, as formas de onda dos sinais WE e DATA OUT, a saída da interface de dados, para transições consecutivas de DATA IN.

Embora os módulos elementares tenham sido individualmente caracterizados, as condições de carga, devido às montagens utilizadas para a obtenção dos resultados experimentais, muito diferem daquelas existentes quando os mesmos encontram-se integrados num único subsistema. Desta forma, na tabela 6.7 estão indicados os valores teóricos dos parâmetros dos ciclos de ope

rações ("timing") da memória (leitura, escrita e leitura/escrita), conforme descrito no capítulo II, definidos a partir de resultados obtidos na simulação do subsistema projetado.

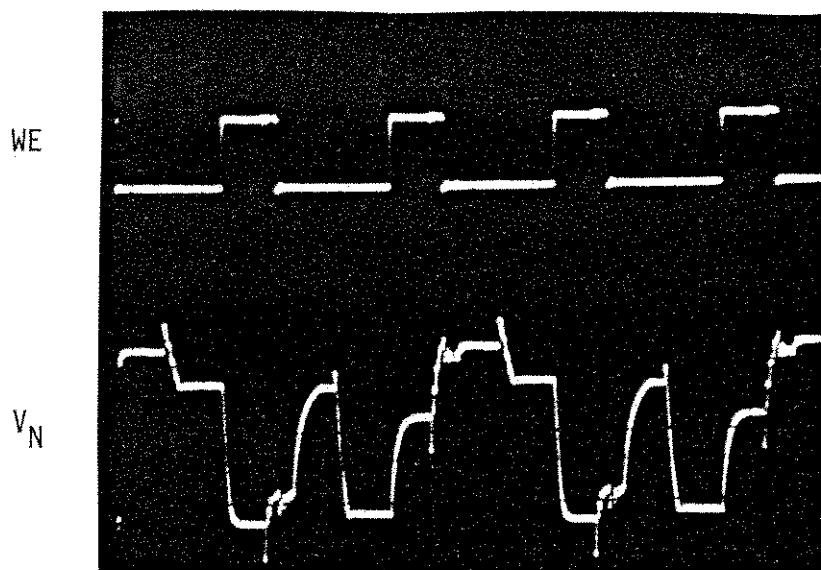


Figura 6.22 - Formas de onda dos sinais WE e V_N , durante o teste de leitura e escrita da memória.

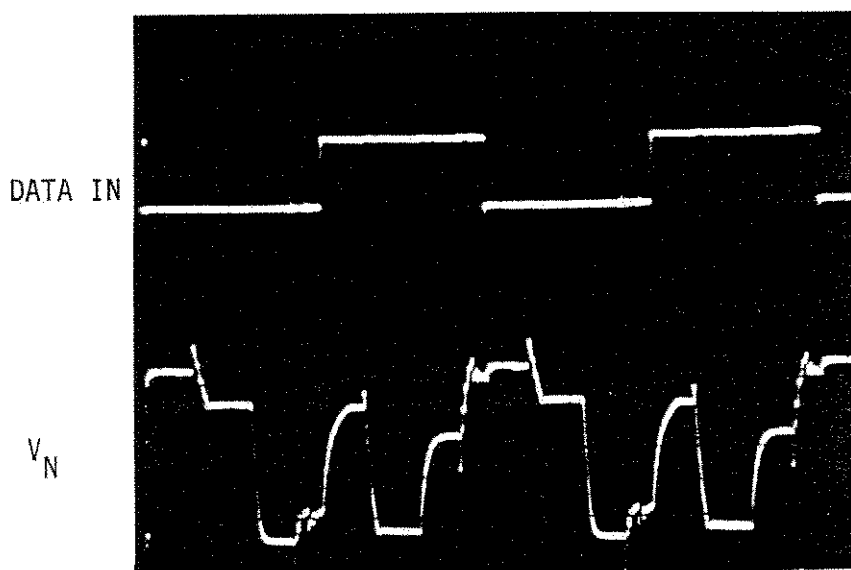


Figura 6.23 - Formas de onda dos sinais DATA IN e V_N , durante o teste de leitura e escrita da memória.

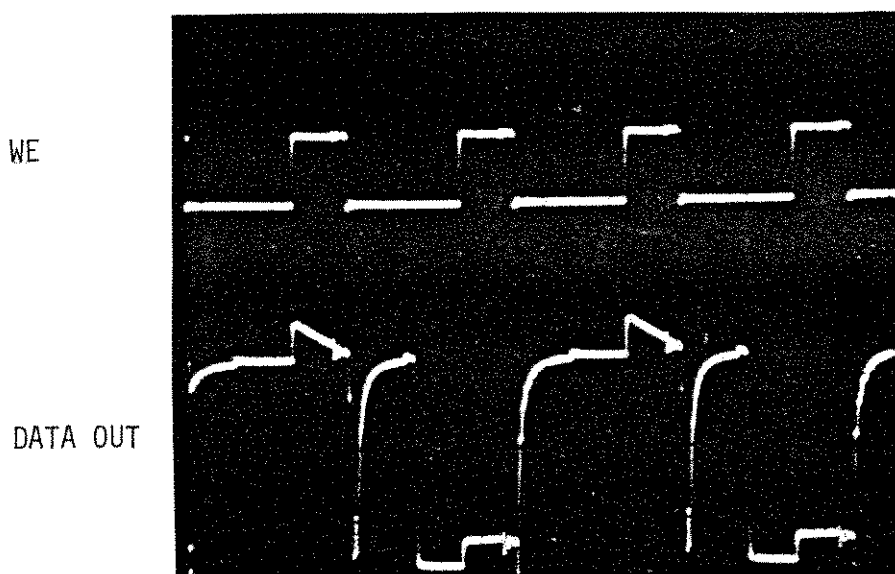


Figura 6.24 - Formas de onda dos sinais WE e DATA OUT, durante o teste de leitura e escrita da memória.

t_{CL} = 700 ns	t_{LC} = 50 ns	t_{WEE} = 150 ns
t_{SEL} = 500 ns	t_{CC} = 50 ns	t_{LDE} = 100 ns
t_{PC} = 200 ns	t_{WCL} = 50 ns	t_{VCE} = 200 ns
t_{AC} = 300 ns	t_{WF} = 50 ns	t_{SM} = 0 ns
t_{SCF} = 400 ns	t_{CDC} = 125 ns	t_{LM} = 275 ns
t_{SC} = 150 ns	t_{LDL} = 275 ns	t_{EM} = 100 ns
t_{SEC} = 250 ns	t_{VCL} = 200 ns	t_{COM} = 125 ns
t_{AL} = 50 ns	t_{LWE} = 150 ns	t_{VOM} = 100 ns
t_{LL} = 50 ns	t_{WCE} = 50 ns	t_{LIM} = 225 ns
		t_{VIM} = 150 ns

Tabela 6.7 - Valores dos parâmetros dos ciclos de operação ("timing") da memória.

CAPÍTULO VII

CONCLUSÕES E CONSIDERAÇÕES FINAIS

Neste capítulo são apresentadas conclusões referentes ao trabalho teórico e experimental desenvolvido, sendo ainda sugeridas possíveis variações no sentido de um melhor desempenho da memória projetada, tanto a nível de controle interno, como de disposição dos módulos na definição do layout. Uma fonte regulada de tensão, com excelente insensibilidade às variações de temperatura, e do valor nominal de V_{DD} , é também analisada.

7.1. Considerações Sobre o Projeto da Memória de 1024 Bits

Conforme descrito no capítulo IV, devido à utilização de modelos de primeira ordem e à atribuição de valores médios a parâmetros de transistores MOS, o dimensionamento do subsistema contém uma tolerância de projeto, de modo a garantir um bom desempenho. Esta tolerância faz-se sentir nos valores teóricos de alguns parâmetros, como, por exemplo, no tempo de ciclo (≈ 700 ns), que é superior àqueles reportados para subsistemas de igual ou maior capacidade, e implementados com processo similar de fabricação [105,106,107,108,109,110]. Da mesma forma, é previsto um tempo de acesso de 450 ns e um período máximo de reescrita de 1 ms. Estima-se em $6\text{ mm} \times 6\text{ mm}$ a área de Silício requerida pela memória de 1024 bits, no caso de uma integração de todas as partes elementares.

O consumo de potência no subsistema, avaliado a partir da caracterização experimental dos módulos elementares, pode ser considerado alto, em decorrência da utilização de $V_{DD} = 12.0$ V. A escolha de um elevado valor da tensão de alimentação, como parâmetro de projeto, deve-se à opção por uma maior transferência de carga, da célula de memória para a linha de dados e, portanto, uma maior facilidade de detecção pelo circuito sensor, conforme descrito nos capítulos III e IV. Ainda, devido à elevada constante RC das linhas de interconexão, a utilização de um alto valor de V_{DD} diminui, em média, os retardos internos. No entanto, como pode ser observado pelos resultados experimentais expostos no capítulo VI, alguns módulos apresentam um desempenho aceitável para valores de V_{DD} inferiores a 12.0 V, acompanhado por uma

significativa diminuição no consumo de potência. Desta forma, em caso de uma segunda versão do referido projeto, poder-se-ia adotar uma redução no valor de V_{DD} , para 7.0 V, ou mesmo 5.0 V, sem detrimento do desempenho, desde que exista um eficiente método de pré-carga nas linhas e elevação dos níveis de tensão ("bootstrapping").

Uma outra vantagem que se apresenta com a redução no valor de V_{DD} é a possibilidade de implementação, como parte integrante do subsistema, de um circuito que forneça uma tensão de referência ao amplificador sensor, com excelente estabilidade ao longo do tempo e insensibilidade às variações de temperatura, e do valor da tensão de fonte V_{DD} , baseado na diferença entre as tensões de limiar de transistores modo enriquecimento e depleção [115]. Embora a tensão de limiar de um transistor MOS contenha termos dependentes da temperatura [14,15,53,54,60,77], os mesmos tendem a ser cancelados no caso de uma subtração.

Considerando o diagrama elétrico mostrado na figura 7.1, os transistores Q_1 e Q_2 , respectivamente modo enriquecimento e depleção, encontram-se polarizados em sua região de saturação, através das cargas R_1 e R_2 . O amplificador operacional, numa configuração de realimentação negativa, impõe valores idênticos de V_{DS} e I_D a ambos os transistores. Desta forma, admitindo $\beta_1 = \beta_2$, tem-se

$$V_R - V_0 - V_T(Q_1) = V_0 - V_T(Q_2) \quad , \quad (7.1)$$

ou

$$V_R = V_T(Q_1) - V_T(Q_2) = V_{TE} - V_{TD} \quad ,$$

onde V_R é a tensão de referência e V_{TE} , V_{TD} correspondem, respectivamente, à tensão de limiar dos transistores modo enriquecimento e depleção.

Adotando $V_{TE} = 1.0$ V e $V_{TD} = -2.0$ V, valores usuais em processos NMOS utilizados na integração de subsistemas digitais em escala LSI e VLSI, pode-se obter uma tensão de referência de 3.0 V, compatível com uma segunda versão de projeto da memória, na qual $V_{DD} = 5.0$ V. Na figura 7.2 tem-se o circuito elétrico completo da fonte regulada de tensão, com as respectivas

dimensões de máscara dos transistores, determinadas a partir das expressões clássicas de corrente (v. capítulo IV, seção 4.1.1) e assumindo $\mu_D = 1.1 \mu_E$. A imposição de $I_0 = 10 \mu A$ deve-se ao fato que, para este valor de corrente, a tensão V_{GS} , para ambos os tipos de transistores, mostra-se pouco dependente da temperatura [115].

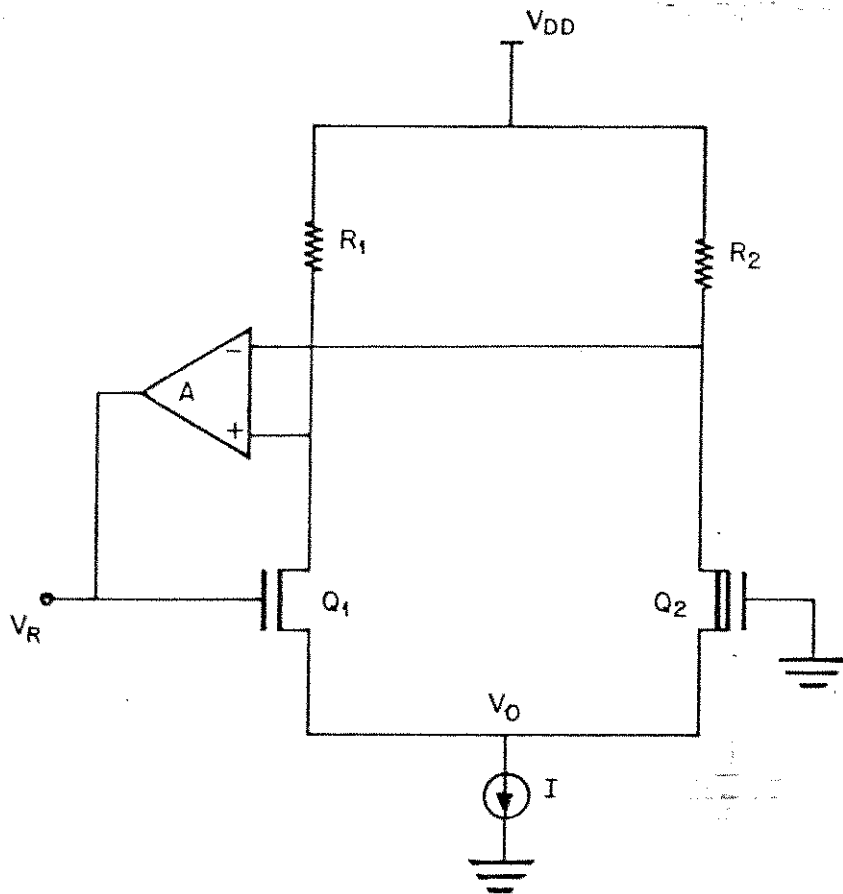


Figura 7.1 - Diagrama elétrico simplificado da fonte regulada de tensão.

Simulações do circuito da figura 7.2, através do MSINC, mostram um valor de referência de 3.004 V, para variações de até $\pm 10\%$ no valor nominal de V_{DD} , a partir de valores constantes, independentes de polarização, de V_{TE} e V_{TD} . A sensibilidade da fonte regulada de tensão, com a temperatura, não pôde ser obtida, uma vez que os modelos presentes, na versão do programa

MSINC utilizada, não consideram as variações dos parâmetros de transistores MOS com a temperatura. Um valor reportado para a deriva da tensão de referência com a temperatura, em semelhante circuito, corresponde a 5 ppm por grau Celsius, numa faixa de temperatura de -55°C a 125°C [115].

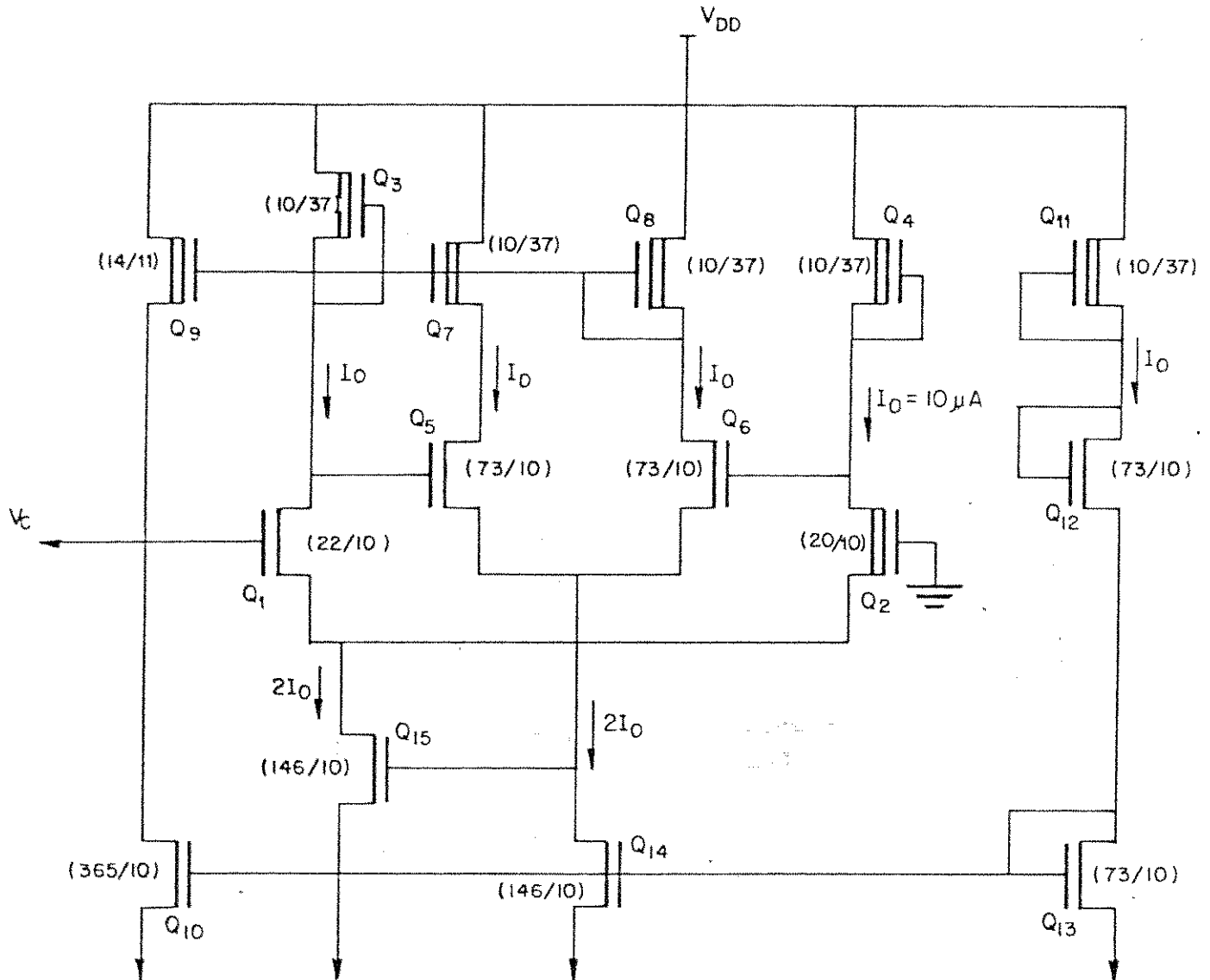


Figura 7.2 - Circuito elétrico completo da fonte regulada de tensão.

No que se refere ao controle interno, as funções realizadas pela unidade de controle e pelo circuito controlador da interface de endereços e decodificadores, podem ser executadas por um subsistema PLA ("Programmable Logic Array") [8,10,11,31,111], conforme mostrado na figura 7.3, onde CLK corresponde ao sinal de relógio, cujo período determina o tempo de permanência em um determinado estado interno, os sinais ϕ_1, \dots, ϕ_n às fases de controle, enviadas à memória, e A, ..., M às variáveis internas de estado.

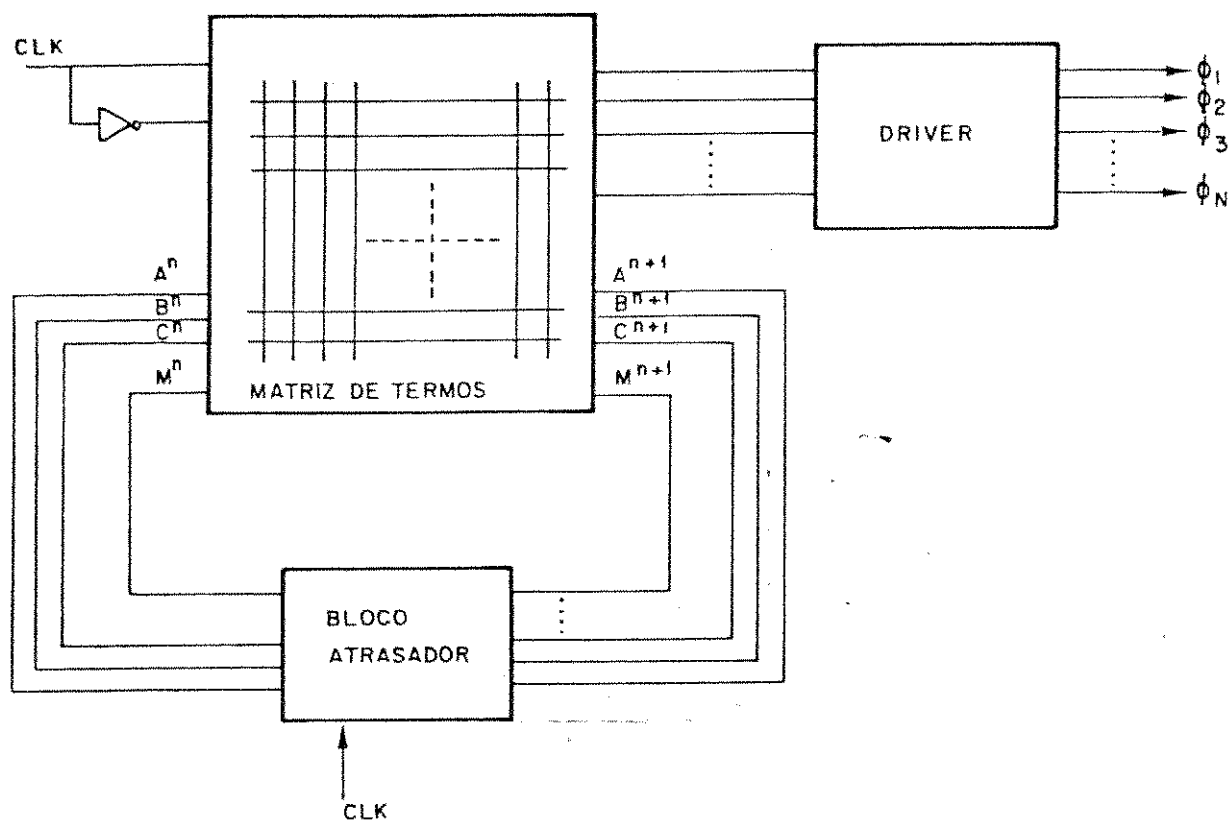


Figura 7.3 - Representação de um subsistema PLA.

Em comparação à unidade de controle especificada neste trabalho, um subsistema PLA apresenta, como vantagem, uma estrutura modular que melhor se adapta às linguagens gráficas, o que significa um lay-out final mais compacto e facilmente obtido. Além disto, a programação lógica pode ser realizada a nível da máscara de contactos, o que viabiliza rápidas correções, ou ajustes, nos sinais de saída. No entanto, é necessário um eficiente controle interno para o seu bom desempenho, no que se refere ao produto tempo de

atraso x consumo de potência, considerando-se as longas linhas, com elevada constante RC, presentes neste arranjo, caso o mesmo seja implementado com o processo de fabricação utilizado neste trabalho.

Outros dois chips ($E_{\mu}364$ e $E_{\mu}365$) foram especificados no Edinburgh Microfabrication Facility, mas até o momento da apresentação deste trabalho, a implementação dos mesmos não foi realizada. O primeiro deles, $E_{\mu}364$, contém, basicamente, uma segunda versão de alguns módulos elementares (circuito decodificador, unidade de controle, "drivers"), dentro, no entanto, das mesmas características de projeto, expostas no capítulo IV. Na figura 7.4 tem-se uma reprodução do lay-out deste chip.

Uma segunda disposição da matriz de 1024 bits, e os respectivos circuitos sensores e decodificadores, foi realizada correspondendo ao chip $E_{\mu}365$, caracterizada por uma significativa redução no comprimento das linhas de interconexão, em comparação com o chip $E_{\mu}273$, anteriormente especificado. Na figura 7.5 tem-se uma reprodução do lay-out do chip $E_{\mu}365$.

Embora os módulos elementares não estejam integrados num único subsistema, os resultados experimentais obtidos, durante a caracterização dos mesmos, podem ser considerados satisfatórios, levando-se em conta a utilização de modelos de primeira ordem em seu dimensionamento. Tal fato sugere, portanto, que se tenha alcançado uma condição aceitável de projeto e estimula a integração monolítica das partes da memória, caso oportunidade e condições sejam oferecidas no futuro.

7.2. Considerações Sobre o Modelo GMOS

Como pôde ser observado no decorrer deste trabalho, o bom conhecimento dos parâmetros, e suas variações, de transistores MOS, é condição fundamental para se realizar um eficiente projeto. Com este objetivo, procurou-se estabelecer um modelo experimental, baseado em parâmetros de ajuste ("fitting parameters"), para transistores modo enriquecimento e depleção, operando nas condições usuais de polarização, que pudesse bem adaptar-se aos programas de auxílio a projetos, como, por exemplo, MSINC [87] e SPICE [114].

Embora alguns resultados apresentados no capítulo V refiram-se, particularmente, ao processo de fabricação utilizado neste trabalho, como a dependência do fator de corpo com a polarização de substrato e os efeitos da modulação de canal na corrente de saturação, pode-se sugerir, de um modo ge

ral, a utilização do modelo proposto no projeto de circuitos auxiliados por computador.

No que se refere à comparação entre os valores teóricos e experimentais obtidos, a precisão apresentada pelo modelo pode ser considerada boa, levando-se em conta variações, em alguns parâmetros, decorrentes da própria não-uniformidade do processo de fabricação.

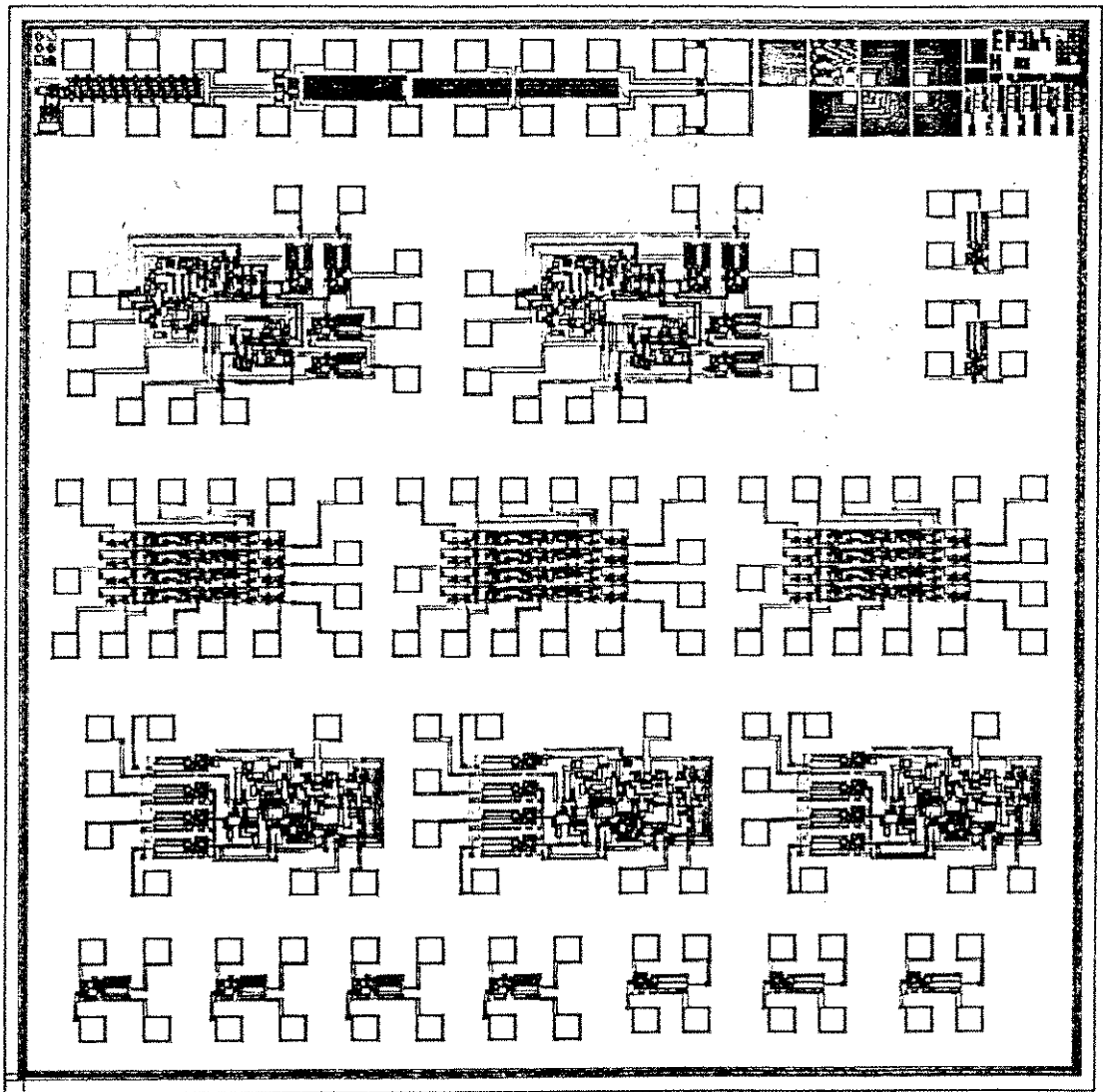


Figura 7.4 - Reprodução do lay-out do chip EP364 (4 mm x 4 mm).

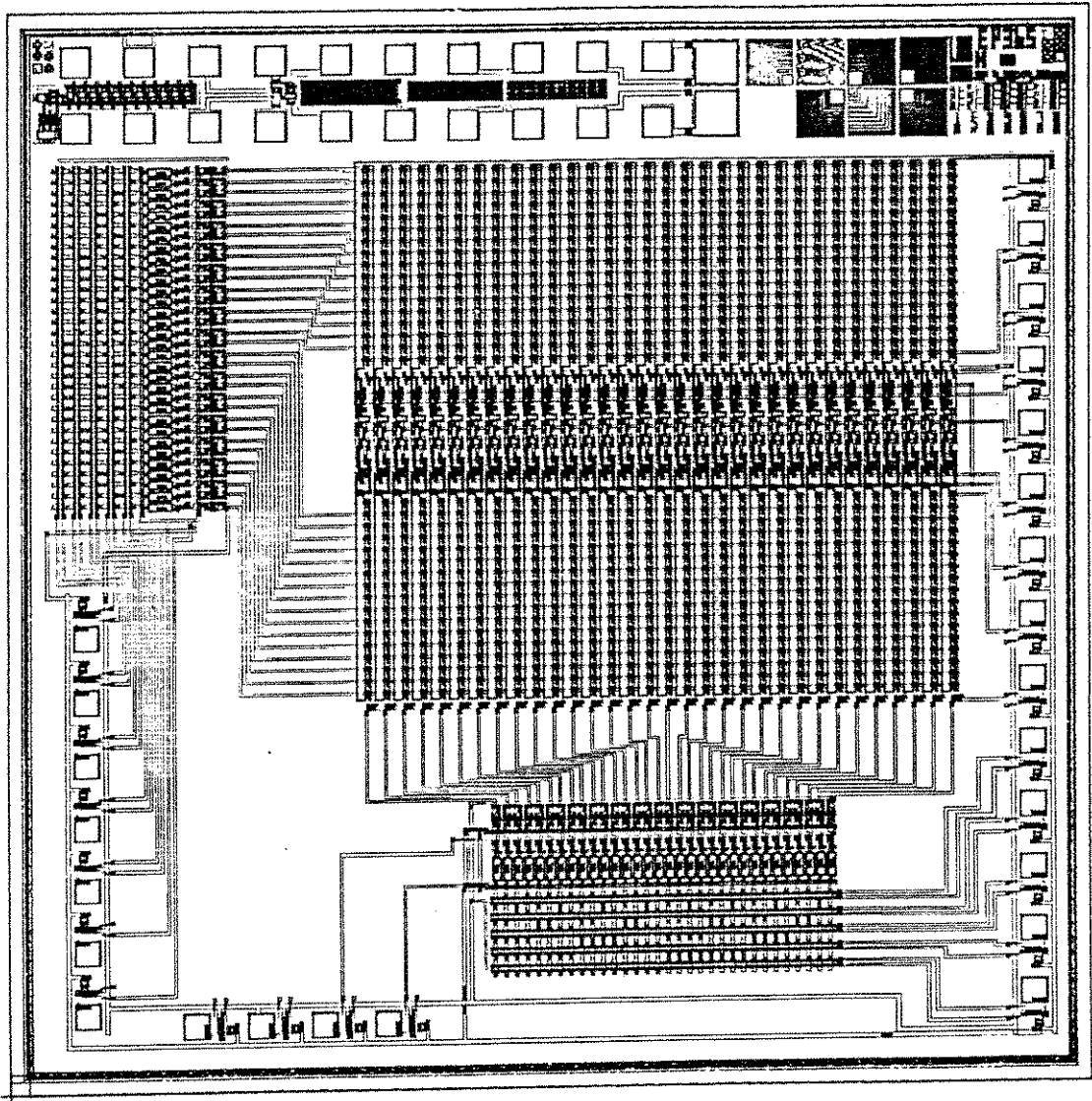


Figura 7.5 - Reprodução do lay-out do chip Ep366 (4 mm x 4 mm).

Resultados experimentais, obtidos através das características $I_D \times V_{DS}$, parametrizadas em V_{GS} , indicam, para transistores modo enriquecimento, um erro médio inferior a 7% para dispositivos com $L_{eff} \geq 1.5 \mu\text{m}$, considerando-se $V_{DS} \leq 15.0 \text{ V}$, $V_{GS} < 15.0 \text{ V}$ para $L_{eff} > 3.5 \mu\text{m}$, e $V_{DS} < 5.0 \text{ V}$, $V_{GS} \leq 5.0 \text{ V}$ para $1.5 \leq L_{eff} < 3.5 \mu\text{m}$. Para transistores na faixa $0.5 \leq L_{eff} < 1.5 \mu\text{m}$, o erro médio é inferior a 12.0%, considerando-se $V_{DS} \leq 3.0 \text{ V}$ e $V_{GS} \leq 3.0 \text{ V}$.

Para transistores modo depleção, o erro médio obtido está abai

xo de 6.0% para dispositivos com $L_{\text{eff}} \geq 9.5 \mu\text{m}$, considerando-se $V_{\text{DS}} \leq 15.0 \text{ V}$ e $-2.0 \leq V_{\text{GS}} < 8.0 \text{ V}$. Na faixa $3.5 \leq L_{\text{eff}} \leq 9.5 \mu\text{m}$, o erro médio $\bar{\epsilon}$ é inferior a 5.0%, para tensões $V_{\text{DS}} < 5.0 \text{ V}$ e $-2.0 \leq V_{\text{GS}} \leq 6.0$.

APÊNDICE A

REGRAS DE PROJETO

EDINBURGH MICROFABRICATION FACILITY
PROCESSO NMOS PORTA SI-POLI # 2

PARÂMETROS ELÉTRICOS

Parâmetro	Valor	Condição de Medida (Sempre $V_{SUB} = -2.5V$, $21^{\circ}C$)
Tensão de limiar para tran- sistores enriquecidos	1 V	$I_D = 0$, $L = 6 \mu m$
Tensão de limiar para tran- sistores depletados	- 4 V	$I_D = 0$, $L = 6 \mu m$
Fator de Corpo		
- para transistores enrique- cidos	$0.3 V^{1/2}$	$L = 6 \mu m$. Valores eleva- dos em 25% para $L = 8 \mu m$ e em 30% para $L > 15 \mu m$
- para transistores deple- tados	$0.5 V^{1/2}$	
Tensão de limiar para tran- sistores de campo	> 20 V	
Resistência da linha difun- dida	7 - 20 Ω/\square	
Resistência da linha de Si-poli	20 - 70 Ω/\square	

Resistência da linha de Alumínio	0.03 - 0.04 Ω/\square
Capacitância do óxido de porta, por unidade de área	$3.5 \pm 0.3 \times 10^{-4}$ pF/ μm^2
Capacitância de junção, por unidade de área	$3.0 \pm 0.5 \times 10^{-5}$ pF/ μm^2
Capacitância do Al sobre o óxido de campo, por unidade de área	$2.5 \pm 0.6 \times 10^{-5}$ pF/ μm^2
Capacitância do Si-poli sobre o óxido de campo, por unidade de área	$5.0 \pm 0.8 \times 10^{-5}$ pF/ μm^2
Difusão lateral	1.25 μm
Profundidade de junção (ilhas N ⁺)	1.5 ± 0.2 μm
Máxima temperatura na junção	115 ^o C

MÍNIMAS DIMENSÕES

- Abertura mínima de contacto: 6 μm x 6 μm .
- Largura mínima de linhas de difusão: 6 μm .
- Distância mínima entre linhas de difusão: 7 μm .
- Largura mínima de linhas de Si-poli: 6 μm .
- Distância mínima entre linhas de Si-poli: 6 μm .
- Largura mínima de linhas de metal: 9 μm .

- Distância mínima entre linhas de metal: 6 μm .
- Erro de alinhamento (níveis 2/1, 3/1, 3/4, 6/1, 6/4, 6/7, 8/7): 3 μm .
- Superposição do Si-poli sobre o óxido de campo, na formação de transistores: 5 μm .

APÊNDICE B

SÍNTESE DAS ETAPAS DO PROCESSO DE FABRICAÇÃO

As etapas do processo de fabricação, utilizado neste trabalho, são aqui apenas sintetizadas. Colocam-se à disposição do leitor, no entanto, detalhes referentes aos tempos de oxidação e difusão, temperaturas, doses e energia de implantação, fluxos e proporção de gases, entre outros.

EDINBURGH MICROFABRICATION FACILITY PROCESSO NMOS PORTA SI-POLI # 2

SEQUÊNCIA DE MÁSCARAS: 1 2 3 4 6 7 8

CARACTERÍSTICAS DAS LÂMINAS: (100), 14-20 Ω cm, tipo P, 3" de diâmetro.

LIMPEZA INICIAL: Remoção de material orgânico e óxido de Silício.

OXIDAÇÃO INICIAL: 500 Å de SiO₂, crescido termicamente.

DEPOSIÇÃO DE NITRETO DE SILÍCIO: 500 Å de Ni₂O₃, depositado a baixa pressão.

OXIDAÇÃO: Oxidação térmica da superfície, para melhorar a adesão ao fotoresistor.

FOTOLITOGRAFIA Nº1 - (Máscara # 1): Definição das regiões ativas e linhas difundidas.

IMPLANTAÇÃO DE BORO: Implantação através do nitreto e do óxido, nas regiões não protegidas pelo resistor, para aumentar a tensão de limiar dos transistores de óxido de campo.

REMOÇÃO DE ÓXIDO: Remoção do óxido na superfície da camada de nitreto, nas regiões não protegidas pelo resistor.

REMOÇÃO DE NITRETO: Nitreto removido por plasma CF₄ + O₂, em reator planar.

PROTEÇÃO COM RESISTOR: Cobertura da superfície com resistor para proteção, enquanto o nitreto é removido das costas da lâmina.

REMOÇÃO DO RESISTOR: Resistor dissolvido em ácido nítrico, a quente.

ÓXIDO DE CAMPO: Oxidação térmica em vapor, sendo crescido 1 μm de SiO_2 em áreas não cobertas por nitreto.

REMOÇÃO DE ÓXIDO: Remoção do óxido sobre o nitreto, sem significativa redução da espessura do óxido de campo.

REMOÇÃO DE NITRETO: Remoção do nitreto sobre as regiões ativas e linhas difundidas.

REMOÇÃO DE ÓXIDO: Remoção do óxido sobre as regiões ativas e linhas difundidas, remanescentes da oxidação inicial.

FOTOLITOGRAFIA Nº 2 (Máscara # 2): Abertura de janelas nas regiões de porta dos transistores modo depleção.

IMPLANTAÇÃO DE ARSÊNIO: Formação da camada de condutividade N^+ , com profundidade de junção aproximada de 0.09 μm .

REMOÇÃO DO RESÍSTER

OXIDAÇÃO DE PORTA: 850 \AA de SiO_2 em ambiente clorado.

IMPLANTAÇÃO DO BORO: Ajuste da tensão de limiar dos transistores enriquecidos.

REMOÇÃO DO RESÍSTER

RECOZIMENTO EM N_2 : Ativação dos Íons implantados e redução dos estados na interface SiO_2 -Si.

FOTOLITOGRAFIA Nº 3 (Máscara # 3): Definição dos contatos entre o Silício policristalino e a região difundida (contato enterrado).

REMOÇÃO DE ÓXIDO

REMOÇÃO DE RESÍSTER

DEPOSIÇÃO DE SILÍCIO POLICRISTALINO: 3500 \AA de Si-poli, depositado a baixa pressão (LPCVD).

OXIDAÇÃO DO SILÍCIO POLICRISTALINO: Oxidação térmica do Si-poli, para proteção.

FOTOLITOGRAFIA Nº 4 (Máscara # 4): Definição do Si-poli (portas e linhas de interconexão).

REMOÇÃO DE ÓXIDO

REMOÇÃO DE SILÍCIO POLICRISTALINO: Remoção do Si-poli não protegido pelo resíster.

REMOÇÃO DE ÓXIDO: Remoção do SiO_2 sobre as regiões de fonte e dreno e linhas difundidas.

DEPOSIÇÃO DE FÓSFORO: Deposição sobre o Si-poli e regiões abertas na etapa anterior.

REMOÇÃO DE FOSFOROSILICATO

OXIDAÇÃO: 2000 Å de SiO_2 crescido termicamente, para reduzir possíveis contactos metal/Si-poli e metal/difusão causados por "pin-holes" na oxidação pirolítica seguinte.

FOTOGRAVAÇÃO Nº 5 (Máscara # 6): Definição de contactos metal/Si-poli e metal/difusão.

REMOÇÃO DE ÓXIDO: Remoção do SiO_2 das regiões definidas como contacto.

REMOÇÃO DE RESÍSTER

OXIDAÇÃO: 7500 Å de SiO_2 , altamente dopado com Fósforo, depositado por decomposição pirolítica.

RECOZIMENTO EM O_2 : Em alta temperatura, para produzir uma cobertura suave do SiO_2 sobre os degraus do Si-poli.

DENSIFICAÇÃO: Pequena oxidação úmida, para penetração do Fósforo de superfície, para melhor adesão do resíster.

FOTOLITOGRAFIA Nº 6 (Máscara # 6): Definição de contactos metal/Si-poli e metal/difusão.

REMOÇÃO DE ÓXIDO: Remoção do SiO_2 das regiões definidas como contacto.

REMOÇÃO DE RESÍSTER

RECOZIMENTO EM N_2

DEPOSIÇÃO DE ALUMÍNIO: 1.5 μm de Alumínio com pureza 99.995%, através de evaporação por feixe eletrônico ("electron-beam evaporation").

FOTOLITOGRAFIA Nº 7 (Máscara # 7): Definição das interconexões de Alumínio.

REMOÇÃO DE ALUMÍNIO

REMOÇÃO DO RESÍSTER

SINTERIZAÇÃO: Recozimento, a baixa temperatura, em ambiente com N_2 e H_2 , para me

lhorar o contacto Al/Si e eliminar os efeitos de radiação da etapa anterior.

DEPOSIÇÃO DE ÓXIDO: 7500 Å de SiO₂, dopado levemente com Fósforo, para proteção das interconexões de Alumínio e reduzir a sensibilidade dos dispositivos à contaminação iônica.

FOTOLITOGRAFIA Nº 8 (Máscara # 8): Definição de janelas, no óxido de proteção, para soldagem e pontos de teste.

REMOÇÃO DE ÓXIDO

REMOÇÃO DE RESÍSTER

REFERÊNCIAS

- |1| "Dynamic RAM's, What to expect next: a special report", Electronics, May 22, 1980.
- |2| P.M.Russo, "VLSI Impact on Microprocessor Evolution, Usage and System Design", IEEE Transactions on Electron Devices, August 1980.
- |3| K.F.Goser, "The Challenge of the VLSI Technique to Telecommunications Systems", IEEE Transactions on Electron Devices, August 1980.
- |4| "Scaling the Barriers to VLSI's Fine Lines", Electronics, June 19, 1980.
- |5| S.M.Sze, "VLSI Technology", John Wiley and Sons, 1983.
- |6| H.Ishikawa et al, "An Mo Gate 4K Static MOS RAM, IEEE Transactions on Electron Devices", August 1980.
- |7| F.Yanagawa et al, "A 1- μ m Mo-Poly 64 k-bit MOS RAM", IEEE Transactions on Electron Devices, August 1980.
- |8| J.A.Zuffo, "Circuitos Integrados em Média Escala e em Larga Escala", Editora Edgar Blücher, 1977.
- |9| Y.Tarui, "Basic Technology for VLSI", (Part II), IEEE Transactions on Electron Device, August 1980.
- |10| G.Luecke, J.Mize and W.Carr, "Semiconductor Memory Design and Application", Mc-Grar-Hill, 1973.
- |11| W.Carr and J.Mize, "MOS/LSI Design and Application", McGraw-Hill, 1972.
- |12| J.Millman, "Microelectronics: Digital and Analog Circuits and Systems", McGraw-Hill, 1970.
- |13| "Semiconductor RAMs Land Computer Mainframe Jobs", Electronics, Aug.28, 1972.

- [14] A.S.Grove, "Physics and Technology of Semiconductor Devices", John Wiley and Sons, 1967.
- [15] S.M.Sze, "Physics of Semiconductor Devices", John Wiley and Sons, 1981.
- [16] J.Lindmayer and C.Y.Wrigley, "Fundamentals of Semiconductor Devices", D.Van Nostrand Company, 1966.
- [17] A.F.Tasch, P.K.Chatterjee, H.S.Fu and T.C.Holloway, "The Hi-C RAM Concept". IEEE Transaction on Electron Devices, January 1978.
- [18] V.L.Rideout, "One-Device Cells for Dynamic Random-Access Memories: A Tutorial", IEEE Transactions on Electron Devices, June 1979.
- [19] M.Yamada et al, "Soft Error Improvement of Dynamic RAM with Hi-C Structure", IEEE IEDM, 1980.
- [20] K.Terada, M.Takada, S.Kunosawa and S.Suzuki, "A New Dynamic RAM Cell for VLSI Memories", IEEE IEDM, 1980.
- [21] K.Fujishima, K.Shimotori, H.Ozaki and T.Nakano, "A Storage-Node-Boosted RAM with Word Line Delay Compensation", IEEE ISSCC, 1982.
- [22] M.Ishihara et al, "A 256 K Dynamic MOS RAM with Alpha Immune and Redundancy", IEEE ISSCC, 1982.
- [23] M.Koyanagi, Y.Sakai, M.Ishihara, M.Tazunoki and N.Hashimoto, "A-5V Only 16-k-bit Stacked-Capacitor MOS RAM", IEEE Transactions on Electron Devices, August 1980.
- [24] J.E.Leiss, P.Chatterjee and T.C.Holloway, "DRAM Design Using the Taper-Isolated Dynamic RAM Cell", IEEE Transactions on Electron Devices, April 1982.
- [25] T.Mano, M.Wada, N.Ieda and M.Tanimoto, "A Redundancy Circuit for a Fault - Tolerant 256 k MOS RAM", IEEE Journal of Solid-State Circuits,

August 1982.

- [26] R.P.Cenker et al, "A Fault - Tolerant 64 k Dynamic Random - Access Memory", IEEE Transactions on Electron Devices, June 1979.
- [27] R.I.Kung, S.T.Flannagan and J.N.Spitz, "An 8 k x 8 Dynamic RAM with Self-Refresh", IEEE Journal of Solid-State Circuits, October 1982.
- [28] E.A.Reese, D.W.Spaderna, S.T.Flannagan and F.Tsang, "A 4 k x 8 Dynamic RAM with Self - Refresh", IEEE Journal of Solid-State Circuits, October 1981.
- [29] J.S.Brugler and P.G.A.Jespers, "Charge Pumping in MOS Devices", IEEE Transactions on Electron Devices, March 1969.
- [30] U.Cilingiroglu, "A Charge-Pumping-Loop Concept for Static MOS/RAM Cell", IEEE Journal of Solid-State Circuits, June 1979.
- [31] C.Mead and L.Conway, "Introduction to VLSI Systems", Addison-Wesley Publishing Co., 1980.
- [32] J.Nishizawa, T.Ohmi and H.Chen, "A Limitation of Channel Length in Dynamic Memories", IEEE Transactions on Electron Devices, August 1980.
- [33] B.Crowder and S.Zirinsky, "1 μ m MOSFET VLSI Technology: Part VII - Metal Silicide Interconnection Technology: A Future Perspective", IEEE Journal of Solid-State Circuits, April 1979.
- [34] D.Brown, W.Engler, M.Garfinkel and P.Gray, "Refractory Metal Silicon Device Technology", Solid-State Electronics, December 1968.
- [35] S.Zirinsky and B.Crowder, "Refractory Silicides for High Temperature Compatible IC Conductor Lines", Journal of Electrochemical Society, November 1977.

- [36] J.Bean et al, "Epitaxial Laser Crystallization of Thin-Film Amorphous Silicon", Appl. Phys. Lett., August 1978.
- [37] D.Hoonhout, C.Kerkdijk and F.Saris, "Silicon Epitaxy by Pulsed Laser Annealing of Evaporated Amorphous Films", Phys. Lett., May, 1978.
- [38] "Epitaxial Growth of Deposited Amorphous Layer by Laser Annealing", Appl. Phys. Lett., July, 1978.
- [39] M.Elliott, M.Splinter, A.Jones and J.Reekstin, "Size Effects in E-Beam Fabricated MOS Devices", IEEE Journal of Solid-State Circuits, April 1979.
- [40] R.Heinecke, "Control of Reactive Etch Rates of SiO_2 and Si in Plasma Etching", Solid-State Electronics, Vol. 18, 1146-1147, 1975.
- [41] G.Schwartz, L.Rothman and T.Schapen, "Competitive Mechanisms in Reactive Ion Etching in a CF_4 Plasma", Journal of Electrochemical Society, Vol. 126, pp. 464-469, 1979.
- [42] L.Ephrath, "Selective Etching of Silicon Dioxide Using Reactive Ion Etching with $\text{CF}_4\text{-H}_2$ ", Journal of Electrochemical Society, Vol. 126, pp. 1419-1421, 1979.
- [43] G.A.Sai-Halasz, M.Wordeman and R.H.Dennard, "Alpha-Particle-Induced Soft Error Rate in VLSI Circuits", IEEE Transactions on Electron Devices, April 1982.
- [44] S.Kohyama, T.Furuyama, S.Mimura and H.Iizuka, "Non-Thermal Carrier Generation in MOS Structures", Proceeding of the 11th Conference on Solid State Devices, Tokyo, 1979.
- [45] J.Brews, "Subthreshold Behavior of Uniformly and Non Uniformly Doped Long-Channel MOSFET", IEEE Transactions on Electron Devices, Sep. 1979.

- |46| R.Troutman, "Subthreshold Slope for IGFET's", IEEE Transactions on Electron Devices, Vol. ED-22, pp. 1049, 1975.
- |47| R.Troutman, "Subthreshold Design Considerations for IFGET's", IEEE Journal of Solid-State Circuits, Vol. SC-9, pp.55, 1974.
- |48| G.Taylor, "Subthreshold Conduction in MOSFET's", IEEE Transactions on Electron Devices, March 1978.
- |49| S.T.Wang, "On the I-V Characteristics of Floating-Gate MOS Transistors", IEEE Transactions on Electron Devices, September 1979.
- |50| "Local Oxidation of Silicon and its Application in Semiconductor Device Technology", Philips Res. Departs. Vol. 25, 1970.
- |51| F.Morandi, "Planax Process Smoothes Path to Greater MOS Density", Electronics, December 1971.
- |52| L.Forbes, "N-Channel Ion-Implanted Enhancement Depletion FET Circuit and Fabrication Technology", IEEE Journal of Solid-State Circuits, June 1973.
- |53| J.Edwards and G.Marr, "Depletion-Mode IGFET Made by Deep Ion Implantation", IEEE Transactions on Electron Devices, March 1973.
- |54| F.Fang and H.Rupprecht, "High Performance MOS Integrated Circuit Using the Ion Implantation Technique", IEEE Journal of Solid-State Circuits, August, 1975.
- |55| J.Verjans and R.Overstraeten, "NENDEP - A Simple Channel MOS Technology for Logic Circuits", IEEE Journal of Solid-State Circuits, August 1975.
- |56| F.Faggen and T.Klein, "Silicon Gate Technology", Vol. 13, pp. 1125-1144, 1970.

- [57] L.Vadasz, A.Grove, T.Rowe and G.Moore, "Silicon-Gate Technology", IEEE Spectrum, October 1969.
- [58] M.Hoff, Jr., "Silicon Gate Dynamic MOS Crams 1024 Bits on a Chip", Electronics, August 1970.
- [59] L.Vadasz, "Buried - Contact Technique", U.S.Patent 3.699.646, Oct.1972.
- [60] R.Cobbold, "Theory and Application of Field-Effect Transistors", John Wiley and Sons, Inc., 1970.
- [61] D.Antoniadis, S.Hansen and R.Dutton, "SUPREM II - A Program for IC Process Modeling and Simulation", Technical Report n^o 5019-2, Stanford University, June 1978.
- [62] E.Douglas and A.Dingwall, "Ion Implantation for Threshold Control in COSMOS Circuits", IEEE Transactions on Electron Devices, June 1974.
- [63] K.Ratnakumar and J.Meindl, "Short-Channel MOST Threshold Voltage Model", IEEE Journal of Solid-State Circuits, October 1982.
- [64] M.Tompsett, "The Quantitative Effects of Interface States on the Performance of Charge - Coupled Devices", IEEE Transactions Electron Devices, January 1973.
- [65] J.Brews, "A Charge-Sheet Model of the MOSFET", Solid-State Electronics, Vol. 21, pp. 345-355, 1978.
- [66] B.Eitan and D.Frohman - Bentchkowsky, "Surface Conduction in Short-Channel MOS Devices as a Limitation to VLSI Scaling", IEEE Transactions on Electron Devices, February 1982.
- [67] J.Brews, W.Fichtner, E.Nicollian and S.Sze, "Generalized Guide for MOSFET Miniaturization", IEEE Electron Device Letters, January 1980.

- [68] P.Wang, "Device Characteristics of Short - Channel and Narrow-Width MOSFET's", IEEE Transactions on Electron Devices, July 1978.
- [69] L.Yau, "A Simple Theory to Predict the Threshold Voltage of Short - Channel IGFET's", Solid-State Electronics, Vol. 17, 1974.
- [70] J.Moll and E.Sun, "Physical Effects in Small Geometry MOS Transistors", Proceedings of the 11th Conference on Solid-State Devices, Tokyo, 1979.
- [71] K.Kroell and G.Ackermann, "Threshold Voltage of Narrow Channel Field Effect Transistor", Solid-State Electronics, Vol. 19, pp. 77-81, 1976.
- [72] R.Crawford, "MOSFET in Circuit Design", Texas Instruments Electronics Serie, McGraw Hill, 1967.
- [73] J.Souza, "Uma Tecnologia Simples para Circuitos Digitais MOS Canal N com Carga em Depleção de Alta Velocidade", Tese de Doutorado apresentada à EPUSP, 1978.
- [74] P.Chatterjee, G.Taylor, A.Tasch, Jr. and H.Fu, "Leakage Studies in High - Density Dynamic MOS Memory Devices", IEEE Transactions on Electron Devices, April 1979.
- [75] "MOS Integrated Circuits", The Engineering Staff of American Micro-Systems, Inc.-New York, Van Nostrand, 1972.
- [76] J.Lima, "Projeto e Elaboração de uma Unidade Lógica e Aritmética Utilizando Tecnologia NMOS", Tese de Mestrado apresentada à EPUSP, 1980.
- [77] E.Sun and J.Moll, "A Simple Analytical Short Channel MOS Model", Technical Report, Hewlett Packard Laboratories, 1978.
- [78] R.Troutman and A.Fortino, "Simple Model for Threshold in a Short-Channel IGFET", IEEE Transactions on Electron Devices, October 1977.

- [79] J.Leburton and G.Dorda, "V-E Dependence in Small-Sized MOS Transistors", IEEE Transactions on Electron Devices, August 1982.
- [80] K.Yamaguchi, "A Mobility Model for Carriers in the MOS Inversion Layer", IEEE Transactions on Electron Devices, June 1983.
- [81] T.Yamaguchi and S.Morimoti, "Analytical Model and Characterization of Small Geometry MOSFET's", IEEE Transactions on Electron Devices, June 1983.
- [82] E.Takeda, Y.Nakagome, H.Kume, N.Susuki and S.Asai, "Comparison of Characteristics of N-Channel and P-Channel MOSFET's for VLSI's", IEEE Transactions on Electron Devices, June 1983.
- [83] S.Sun and J.Plummer, "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces", IEEE Transactions on Electron Devices, August 1980.
- [84] D.Frohman - Bentchkowsky, "On the Effect of Mobility Variation on MOS Devices Characteristics", Proceedings of the IEEE, February 1968.
- [85] C.Canali, G.Majni, R.Minder and G.Ottaviani, "Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature", IEEE Transactions on Electron Devices, November 1975.
- [86] Y.Ohno and Y.Okuto, "Electron Mobility in N-Channel Depletion - Type MOS Transistores", IEEE Transactions on Electron Devices, February 1982.
- [87] "MSINC - A Modular Simulator of Non-Linear Electronic Circuits", A4 Version USER's GUIDE, Stanford University, 1976.
- [88] R.Nielsen and A.Willson, Jr., "A Fundamental Result Concerning the Topology of Transistor Circuits with Multiple Equilibria", Proceedings of the IEEE, Feb. 1980.

- [89] J.Millman and C.Halkias, "Integrated Electronics: Analog, Digital Circuits, and Systems", McGraw Hill Co., 1972.
- [90] N.Yeda, Y.Ohmori, K.Takeya and T.Yano, "Single Transistor MOS RAM Using a Short-Channel MOS Transistor", IEEE Journal of Solid-State Circuits, April 1978.
- [91] A.Ralston, "A First Course in Numerical Analysis", McGraw Hill, Inc. 1965.
- [92] M.Spiegel, "Estatística", Coleção Shaum, McGraw Hill do Brasil, Ltda., 1974.
- [93] C.Sah, "Characteristics of the Metal-Oxide-Semiconductor Transistor", IEEE Transactions on Electron Devices, July 1964.
- [94] I.Bateman, G.Armstrong and J.Magowan, "Drain Voltage Limitations of MOS Transistors", Solid State Electronics, Vol. 17, pp. 539-550, 1974.
- [95] E.Sun, J.Moll, J.Berger and B.Alder, "Breakdown Mechanism in Short - Channel MOS Transistors", IEEE IEDM, 1980.
- [96] J.Lima, "Considerações Sobre a Ruptura Suave de Canal em Transistores MOS", Publicação Interna do Laboratório de Eletrônica e Dispositivos, (UNICAMP), 1981.
- [97] H.Hanafi, L.Camnitz and A.Dally, "An Accurate and Simple MOSFET Model for Computer - Aided Design", IEEE Journal of Solid-State Circuits, October 1982.
- [98] L.Dang, A.Iwai, Y. Nishi and S.Taguchi, "P-Channel versus N-Channel in MOS-IC's of Submicron Channel Lengths", Proceedings of the 11th Conference on Solid-State Devices, Tokyo, 1979.
- [99] F.Klaassen and W.de Groot, "Modeling of Scaled - Down MOS Transistors",

- Solid-State Electronics, Vol. 23, pp. 237-242, 1980.
- |100| B.Hoefflinger, "Output Characteristics of Short-Channel Field-Effect Transistors", IEEE Transactions on Electron Devices, August 1981.
 - |101| J. Nuang and G.Taylor, "Modeling of an Ion-Implanted Silicon - Gate Depletion - Mode IGFET", IEEE Transactions on Electron Device, November 1975.
 - |102| R.Foss and R.Harland, "Peripheral Circuits for One - Transistor Cell MOS RAM's", IEEE Journal of Solid-State Circuits, October 1975.
 - |103| B.Flynn, "An Introduction to the use of GAELIC and SPICE from the LSI Design Facility" , Department of Electrical Engineering, Edinburgh University, October 1981.
 - |104| R.Knepper, "Dynamic Depletion Mode: An E/D MOSFET Circuit Method for Improved Performance", IEEE Journal of Solid-State Circuits, October 1978.
 - |105| W.Regitz and J.Karp, "Three - Transistor Cell 1024 - Bit 500-ns MOS RAM", IEEE Journal of Solid-State Circuits, October 1970.
 - |106| R.Abbott, W.Regitz and J.Karp, "A 4K MOS Dynamic Random - Access Memory", IEEE Journal of Solid-State Circuits, October 1973.
 - |107| W.Hoffman and H.Kalter, "An 8 k b Random - Access Memory Chip Using the One-Device FET Cell", IEEE Journal of Solid-State Circuits, October 1973.
 - |108| L.Boonstra, C.Lambrechtse and R.Salters, "A 4096 - b One-Transistor Per Bit Random - Access Memory with Internal Timing and Low Dissipation", IEEE Journal of Solid-State Circuits, October 1973.

- [109] H.Ball and W.Lynch, "Design of a High-Performance 1024 -b Switched Capacitor p-Channel IGFET Memory Chip", IEEE Journal of Solid-State Circuits, October 1973.
- [110] K.Stein and H.Friedrich, "A 1-Mil² Single - Transistor Memory Cell in Silicon - Gate Technology", IEEE Journal of Solid-State Circuits, October 1973.
- [111] Y.E.Mansy, "MOS Device and Technology Constraints in VLSI", IEEE Transactions on Electron Devices, April 1982.
- [112] K.Saraswat and F. Mohammadi, "Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits", IEEE Transactions on Electron Devices, April 1982.
- [113] H.Masuda, R.Hori, Y.Kamigaki and K.Itoh, " Single 5-V, 64 K RAM with Scaled-Down MOS Structure", IEEE Transactions on Electron Devices, August 1980.
- [114] L.W.Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits", Memo. n^o ERL-M 520 - 09/05/75, University of California.
- [115] R.Blauschild, P.Tucci, R.Muller and R.Meyer, "A New NMOS Temperature - Stable Voltage Reference", IEEE Journal of Solid-State Circuits, December 1978.