

UNIVERSIDADE ESTADUAL DE CAMPINAS - UNICAMP
FACULDADE DE ENGENHARIA ELÉTRICA E DE
COMPUTAÇÃO
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

DISSERTAÇÃO DE MESTRADO

TÍTULO: Interface Analógica de um Circuito
Integrado Decodificador F-2F

ALUNO : LUÍS EDUARDO SEIXAS JÚNIOR

ORIENTADOR : Prof. Dr. WILMAR BUENO DE MORAES

CO-ORIENTADOR : Prof. Dr. SAULO FINCO

A dissertação desta Tese foi apresentada, como parte dos requisitos necessários para a obtenção do Título de “Mestre em Engenharia Elétrica”, na área de concentração Eletrônica, Microeletrônica e Optoeletrônica, à comissão julgadora da Faculdade de Engenharia da Universidade Estadual de Campinas.

Composição da Banca Examinadora :

Prof. Dr. Alberto Martins Jorge – (DEMIC/ FEEC/ UNICAMP)

Dr. Antônio Carlos Fiore de Mattos – (Centro de Pesquisas Renato Archer – CenPRA)

Prof. Dr. José Antônio Siqueira Dias – (DEMIC/ FEEC/ UNICAMP)

Prof. Dr. Wilmar Bueno de Moraes – (DEMIC/ FEEC/ UNICAMP)

Campinas, 17 de junho de 2003.

**Agradeço aos meus Orientador e Co-Orientador,
pela motivação e auxílio na composição deste trabalho.
À Direção do Centro de Pesquisas Renato Archer – CenPRA,
que disponibilizou a infra-estrutura de *hardware* e *software* do
Projeto Multiusuário – PMU.
Aos bons amigos pelo incentivo e atenção em todos os momentos.
Agradeço principalmente a Deus pela minha existência.**

**Dedico este trabalho especialmente a meus Pais,
Irmãos, Esposa e Filhos queridos.**

Resumo

Este trabalho descreve as etapas do projeto de um circuito eletrônico, monolítico, de uma *interface analógica* e de um circuito *oscilador* desenvolvidos para o uso em circuitos integrados com a aplicação específica de decodificação do protocolo F-2F. A *interface analógica* projetada consiste na associação de amplificadores operacionais e comparadores, devidamente polarizados por componentes passivos, integrados monoliticamente, configurados numa topologia similar àquelas tradicionalmente utilizadas na maioria dos circuitos integrados decodificadores F-2F comerciais disponíveis no mercado atual. O circuito eletrônico da *interface analógica* processa um sinal diferencial analógico, aplicado em suas entradas, e apresenta uma saída digital contendo o sinal codificado através do protocolo F-2F. A saída da *interface analógica* alimenta a entrada de um circuito digital, que implementa as funções de decodificação binária e de controle do circuito *oscilador*. Este último gera o sinal de relógio para o circuito digital existente no CI decodificador F-2F. Os protótipos dos circuitos, deste trabalho, foram construídos em tecnologia CMOS 0,6 μm . Os resultados de simulação elétrica, o "layout" e os resultados experimentais medidos nos protótipos são apresentados e analisados.

Abstract

This work is a description of the design steps of an electronic monolithic circuit composed of: an analogue interface and the oscillator circuit, developed to utilization in the integrated circuits with specific application to decoding of an F-2F protocol. The designed analogue interface is an association of operational amplifiers and comparators, and is polarized by integrated monolithic resistors and capacitors, typically configured to comply with commercial F-2F Decoders IC. The electronic circuit receives and processes a differential analog signal, applied at the input, and has a digital output signal according to F-2F protocol. The output of the analog interface circuit the digital circuit and has drives the following functions: binary decoding and control of the oscillator circuit, the latter generating a clock signal for the digital circuit in the F-2F Decoder - IC. The prototype circuits, in this work, were built in CMOS 0.6 μm Technology. The electrical simulation, layout and the experimental results measured with the prototypes are reported and analyzed in this work.

Sumário

Resumo	V
Abstract.....	V
Sumário.....	VI
Capítulo 1 – Introdução Geral.....	1
1.1 Considerações sobre Projetos de um ASIC.....	5
Capítulo 2 – Descrição do Circuito Integrado	10
2.1 Introdução.....	10
2.2 Especificação Funcional do Circuito Decodificador F-2F.....	12
2.2 Descrição Estrutural do Circuito Decodificador F-2F.....	20
2.2.1 Simulação Global	23
2.3 Interface Analógica – IA.....	28
2.3.1 Especificação Estrutural	28
2.3.2 Amplificador – Especificação Estrutural e Funcional.....	29
2.3.3 Simulação	42
2.3.4 Comparador – Especificação Funcional e Estrutural.....	48
2.4 Oscilador – OSC.....	52
2.4.1 Especificação Funcional e Estrutural	52
2.4.2 Simulação	57
Capítulo 3 – Implementação do Circuito Integrado.....	60
3.1 Introdução.....	60
3.2 Tecnologia	61
3.3 Resultados.....	64
Capítulo 4 – Conclusão.....	76
Referências	79
Anexo.....	81

Capítulo 1 – Introdução Geral

O presente trabalho descreve as etapas do projeto de um circuito eletrônico, monolítico, de uma *interface analógica* e de um circuito *oscilador*, para uso em circuitos integrados com a aplicação específica de decodificação do protocolo F-2F [12]. Protótipos dos referidos circuitos foram construídos em tecnologia CMOS 0,6 μm . Caracterizou-se o comportamento funcional de tais protótipos.

A principal motivação deste trabalho de mestrado foi a formação profissional. Faz parte dessa motivação o fato concreto de realizar o projeto de um ASIC (“Application Specific Integrated Circuit”) com potencial contribuição ao desenvolvimento de um produto comercial voltado para o mercado global.

Sua realização permitiu percorrer as etapas de projeto de um circuito integrado misto (analógico e digital). A experiência de executar um projeto misto foi o principal objetivo buscado no desenvolvimento deste. Os circuitos eletrônicos da *interface analógica* e o *oscilador*, objetos projetados, construídos, caracterizados elétrica e funcionalmente, foram os veículos desta capacitação técnica e são descritos sucintamente nos parágrafos seguintes e com maior profundidade nos Capítulos 2 e 3.

A forma robusta e simples de codificação e decodificação do protocolo F-2F permite que o mesmo protocolo seja utilizado em várias aplicações. Destacamos, dentre elas, a comunicação remota de dados e de telemetria. A mídia mais popular contendo dados codificados no protocolo F-2F é o cartão magnético.

Os circuitos integrados decodificadores F-2F, disponíveis no mercado, são utilizados, na sua grande maioria, em aplicações de interface entre o sinal analógico presente na saída de um sensor e um microprocessador capaz

de processar o código binário decodificado, fornecido por um circuito integrado decodificador. Os sensores empregados são indutivos, por exemplo, uma cabeça magnética ou uma antena indutiva, capacitivos, como é o caso de um capacitor conectado a uma linha de transmissão de energia elétrica, ou uma associação do indutor e capacitor.

A motivação para o desenvolvimento deste trabalho de pesquisa são as aplicações em sistemas de comunicação remota de dados, codificados segundo o protocolo F-2F, utilizando mídia e meios diversificados. Uma aplicação comum desse conceito, na atualidade, é a codificação dos canais estéreos em alguns aparelhos de som compartilhando um único canal físico de transmissão de dados. A comunicação de dados consiste em um sistema complexo de codificação, transmissão, recepção e decodificação.

O trabalho aqui apresentado se restringe à parte analógica do circuito de decodificação, chamada no presente estudo de *interface analógica*, e do projeto do circuito *oscilador*. Os outros circuitos necessários para compor um sistema de comunicação de dados serão objeto de desenvolvimento futuro, a ser realizado em trabalhos complementares a este.

A topologia escolhida para atuar como *interface analógica* foi inspirada naquelas que tradicionalmente são usadas na maioria dos circuitos integrados decodificadores F-2F, disponíveis no mercado atual, dedicadas à automação comercial, conforme referenciado nos manuais [13, 14, 15, 16, 17, 18, 19, 20, 21] de alguns fabricantes de decodificadores. Os maiores fabricantes e fornecedores do mundo são empresas “fabless”, asiáticas da Tailândia, Malásia e China. Dentre eles destacam-se: “Uniform Industrial Corp.”, “Vikintek Inc.”, “Rinas”, “Magtek”, “Singular Technology Co.”.

Tais circuitos possuem características de baixo consumo de potência. São especificados para decodificar até 12.000 bits/s, podendo operar em

sistemas portáteis alimentados por pequenas baterias. São circuitos que devem ocupar pequenas áreas nos sistemas nos quais são montados.

A *interface analógica* consiste basicamente na associação de amplificadores operacionais e comparadores, devidamente polarizados por componentes passivos – resistências - e capacitâncias – integrados monoliticamente.

Colocou-se como desafio para este trabalho de capacitação a realização do circuito de *interface analógica* com um desempenho similar ou superior àqueles encontrados no mercado. A opção de escolher uma topologia similar às encontradas no mercado permite comparar os resultados obtidos com os publicados em manuais de fabricantes.

O circuito eletrônico da *interface analógica* processa um sinal analógico, diferencial, aplicado em suas entradas, codificado no protocolo F-2F e apresenta uma única saída digital contendo o sinal codificado no referido protocolo. A saída da *interface analógica* alimenta a entrada do circuito digital que implementa a função de decodificação binária e o controle do circuito *oscilador*. A função do *oscilador* é gerar um sinal de relógio para o circuito digital do decodificador binário do protocolo F-2F.

O circuito digital que implementa a função de decodificação binária possui três entradas: uma entrada de dados, oriunda da *interface analógica*; uma entrada do sinal de relógio (“clock”), oriunda do *oscilador*; e uma entrada externa, o “reset” assíncrono. Este permite limpar os registradores (“Flip-Flops”) existentes no circuito digital, possibilitando a iniciação do circuito para a realização dos testes.

O mesmo circuito digital possui também três saídas digitais para o microprocessador. Ele filtra os dados não válidos para o sistema e decodifica os dados válidos para a aplicação de interesse. Em uma das saídas, um sinal indica a presença ou a ausência de dados válidos; na

outra, o valor do dado lido, se “0” ou se “1” lógico; e na outra, o sinal que habilita o microprocessador a adquirir o dado válido.

O circuito *oscilador* contém um circuito RC de relaxação. Foi projetado para manter sua frequência de operação, independente da tensão de alimentação entre 2 e 5.5 V. A amplitude de saída do *oscilador* é determinada pelos limites impostos pela fonte de alimentação.

A frequência de operação nominal de 800 kHz foi especificada para o *oscilador*. Este atua como relógio interno do decodificador digital, baseado nos valores típicos apresentados nos manuais de CIs encontrados no mercado. Porém, um ajuste externo é possível, aplicando um nível de tensão analógica em uma das entradas disponíveis no circuito integrado. O *oscilador* é controlado internamente pelo circuito digital que realiza a decodificação binária. Esta, na presença do sinal digital oriundo da *interface analógica*, habilita o *oscilador* a operar e, na sua ausência, o inibe.

Conferiu-se uma atenção especial ao projeto do circuito eletrônico interno do *oscilador*, objetivando limitar o ruído interno gerado pela comutação dos seus transistores.

O Capítulo 1 apresenta uma introdução, descrevendo o escopo do trabalho realizado, a motivação e os aspectos gerais envolvidos no projeto de um ASIC; o Capítulo 2 contém os resumos das especificações elétricas e funcionais, os esquemas elétricos, os resultados de simulação elétrica e “layout”; o Capítulo 3 expõe os resultados experimentais medidos sobre os protótipos construídos; o Capítulo 4 traz as conclusões do trabalho.

Faz-se necessário esclarecer que, a despeito dos protótipos construídos integrarem monoliticamente as três partes, a *interface analógica*, o *oscilador*, e o circuito digital que implementa a função de decodificação binária, este último é de propriedade reservada. Portanto, nos limitaremos

a comentar superficialmente as funções realizadas pela parte digital do circuito, a qual não é objeto de estudo deste trabalho. O circuito digital foi incluído para validar o projeto da *interface analógica*.

1.1 Considerações sobre Projetos de um ASIC.

Neste trabalho, entende-se por projeto de um circuito integrado, ou de parte deste, o conjunto de atividades listadas abaixo, de forma seqüencial, executadas por uma equipe de projetos e registradas em documentos formais.

A palavra "layout", embora da língua inglesa, será amplamente utilizada no texto por ser de uso habitual no meio técnico de projetos de circuitos integrados. Considera-se como sinônimo de "planta" no sentido da engenharia, ou seja, a descrição da topologia e o dimensional dos componentes e materiais que constituem um objeto.

A necessidade de um novo ASIC no mercado é detectada, normalmente, por uma equipe de "marketing", a qual transmite para a engenharia a especificação funcional desejada.

As etapas típicas do projeto [9] de um circuito integrado executado pela engenharia de projeto são:

- a) elaboração formal da especificação funcional e elétrica, com base na especificação funcional desejada, provida pelo "marketing";
- b) composição dos circuitos elétricos que realizam as funções especificadas e atendem as especificações elétricas de operação;
- c) descrição estrutural dos circuitos na forma de texto e esquemas elétricos, que permitam a simulação funcional e elétrica dos circuitos propostos;

- d) especificação dos *vetores* (padrões) dos sinais de entrada e de saída para simulação dos circuitos;**
- e) simulação funcional e elétrica;**
- f) geração do “layout” [10];**
- g) extração dos circuitos do “layout” considerando os componentes parasitas;**
- h) simulação funcional e elétrica considerando os componentes parasitas;**
- i) verificação física do “layout” do circuito integrado, ou seja, “Design Rule Check” – DRC; “Electrical Rule Check” – ERC; e o “Layout Versus Schematic” – LVS [10, 23];**
- j) adição dos contornos do “layout”, linha de corte – “scribe line” – e a geração do arquivo de transferência (padrão GDSII, por exemplo) e os níveis de máscaras (aproximadamente 13 - 15 níveis, para processos CMOS);**
- l) transferências de dados para o fabricante, conhecido como “Foundry”. Nesta etapa, ele solicita, junto com o envio da base de dados, um documento formal contendo um conjunto de informações sobre o projeto. Esse documento é conhecido como “Foundry Engineering” [22].**

Em continuidade à execução do projeto do circuito integrado, as etapas seguintes de fabricação dos protótipos são realizadas pelo fabricante:

- a) recebimento e inspeção da base de dados;**
- b) verificação de DRC, ERC e LVS (serviços opcionais);**

- c) simulação elétrica e funcional sobre o circuito extraído (serviços opcionais);**
- d) aceite da base de dados;**
- e) fabricação do conjunto de máscaras;**
- f) início do processo de produção das amostras de engenharia (considerando, como exemplo, um lote de dez lâminas);**
- g) interrupção parcial do processamento - “run stop” - (no referido exemplo, cinco lâminas do lote tem seu processamento interrompido na etapa subsequente ao segundo nível de máscaras);**
- h) término do processamento do restante do lote (no referido exemplo, cinco lâminas são processadas até o fim). O fabricante, na rodada de engenharia, garante que, no mínimo, uma lâmina da amostra deste lote atenda na íntegra as especificações paramétricas de processo, conforme a última publicação de regras de projeto e parâmetros de processo [23];**
- i) envio de amostras encapsuladas (exemplo: dez amostras) ou de lâmina(s) processada(s) (exemplo: duas lâminas).**

A etapa subsequente de testes funcionais, realizada pela engenharia de projetos, compreende:

- a) verificação funcional das amostras enviadas pelo fabricante. As funções implementadas são testadas individualmente e no conjunto. Normalmente se utiliza a montagem de um protótipo da aplicação do usuário final como meio de se averiguar a funcionalidade total do circuito integrado fabricado;**

b) correção pela equipe de projeto em caso de falha no teste funcional ou elétrico, solicitando-se a produção de novas máscaras (cada nova máscara refeita é paga) de forma a se corrigir a falha de projeto;

c) processo com o novo conjunto de máscaras com uma ordem de “run re-start” das cinco lâminas do processamento interrompido. Ocorrendo a aprovação funcional já no primeiro conjunto de lâminas, as demais podem ser fabricadas para aumentar o número de amostras disponíveis no processo de verificação funcional;

d) envio das amostras para o novo teste funcional.

Na seqüência, as etapas de qualificação do circuito integrado são elaboradas conjuntamente pelo fabricante e pela engenharia de projetos. Elas determinam o rendimento médio de um lote. Essa informação é importante para o “marketing” determinar o custo de produção e analisar a viabilidade comercial do circuito integrado construído na tecnologia do protótipo.

Fazem parte das etapas de qualificação do CI:

a) desenvolvimento, em conjunto com o fabricante, dos *vetores de testes* (conhecidos como padrões de teste, gerados manual ou automaticamente pelo projetista, representam os estímulos aplicados às entradas do circuito, a máxima frequência de operação, para verificação da funcionalidade requerida) elétricos e funcionais aplicados sobre os circuitos durante a etapa de testes;

b) elaboração da giga (“fixture”) de testes, com pontas de prova, para as medidas sobre a lâmina, no fabricante, no montador ou em um prestador de serviços de teste elétrico e funcional;

- c) elaboração da giga de testes para medidas a serem realizadas sobre os circuitos encapsulados;
- d) produção do lote piloto para determinar o rendimento na produção das lâminas e no processo de encapsulamento (no referido exemplo, um lote mínimo com 50 lâminas de silício, de 6 polegadas, uma área do “chip” com cerca de 02 mm², viabiliza uma quantidade de aproximadamente 250.000 CI’s [4]);
- e) aquisição do lote mínimo pelo desenvolvedor para realizar inserção dos circuitos integrados na aplicação para a fim de estabelecer taxa de retorno e rendimento do bem final quando contido em produtos que estarão em operação no campo.

Considera-se como parte do desenvolvimento de um circuito integrado até a elaboração do custo de produção, parâmetro vital para se definir a viabilidade técnica e econômica da produção do CI. Após a produção do lote piloto, se técnica e economicamente viável, inicia-se a etapa de produção do bem em escala comercial.

Neste projeto foram utilizadas as seguintes ferramentas de CAD para EDA (“Electronic Design Automation”):

- a) captura de esquemático “Design Architecture – DA - version AMS Hit - Kit V3.2, 1999 – Mentor Graphics”;
- b) simulação analógica – “ACCUSIM II version V8.6_4, 1999 – Mentor Graphics”;
- c) simulação digital – “QuickSim II version V8.6_2.1, 1999 - Mentor Graphics”;
- d) “layout” automático e manual – “IC Station version V8.6_2, 1999- Mentor Graphics”.

Capítulo 2 – Descrição do Circuito Integrado

2.1 Introdução

A codificação F-2F [12] utiliza uma técnica conhecida por “Aiken Biphase”, também chamada *Coerência de Fase Simples ou Dupla*. Numa seqüência de pulsos codificados no protocolo F-2F, existem informações importantes que permitem a identificação dos dados válidos em uma seqüência de dados binários.

A seqüência de dados é composta por uma primeira sucessão de “bits - 0” para o sincronismo – “Synch Clock Pulses” - (por exemplo 10 “bits”), seguido de um caractere marcador de início de dados, formado por um conjunto de “bits - 0” e “bits - 1” (normalmente um conjunto de 5 a 7 “bits”) chamado, na literatura, de “Start Sentinel - SS”; caracteres de dados de interesse – “Data String”; de um caractere marcador de fim de dados – “End Sentinel - ES”; de um caractere de controle de erro por redundância longitudinal. Encerra a seqüência uma segunda sucessão de “bits - 0” de sincronismo.

Neste capítulo, é descrito o principal objeto experimental do trabalho, ou seja, o desenvolvimento da *interface analógica* e o do *oscilador*, ambos empregados em circuito integrado decodificador do protocolo F-2F.

Um circuito integrado decodificador F-2F é usado principalmente como interface entre um sensor e um microprocessador. Ele realiza a decodificação binária de sinais codificados segundo o protocolo F-2F.

A figura 2.1 apresenta o diagrama de blocos de um sistema eletrônico clássico que utiliza um circuito decodificador F-2F. O sistema possui três componentes, o sensor, o circuito decodificador e o microprocessador.

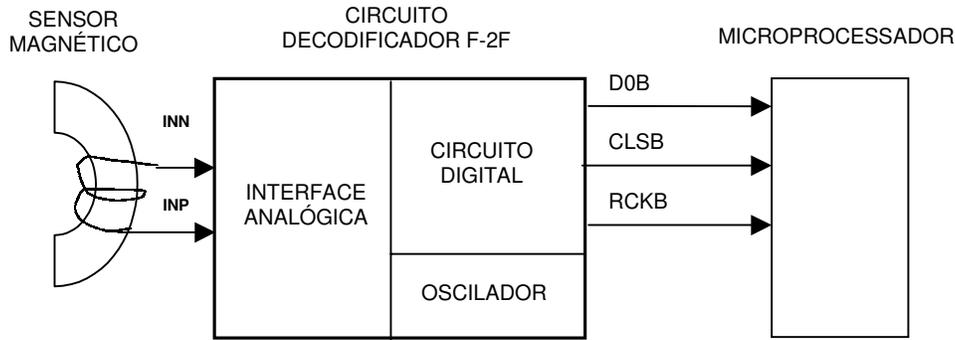


Figura 2.1 – Diagrama de blocos de um sistema que utiliza um circuito integrado decodificador F-2F

O sensor, ou transdutor, pode ser indutivo, capacitivo ou uma combinação destes. Deve ser dimensionado para a aplicação ao qual se destina. Dos sensores magnéticos, podemos citar a cabeça magnética, para a leitura de cartões, e as antenas indutivas, para a transmissão de dados via sinal de rádio frequência.

O circuito integrado decodificador é dividido em três partes principais: a *interface analógica*, o *oscilador* e o *circuito digital*. A *interface analógica* possui dois “pads” de entrada do sinal analógico proveniente do sensor. Ela realiza a amplificação desse sinal e transforma o sinal analógico codificado no protocolo F-2F num sinal digital codificado no mesmo protocolo. O circuito digital recebe o sinal como entrada de dados e sua função é realizar a decodificação binária. Esse circuito digital possui três sinais de saídas externas, enviados ao microprocessador, e uma saída interna de controle do circuito *oscilador*, quando da presença de dados. Ao receber tal informação, o circuito *oscilador* passa a funcionar. A saída do *oscilador* é utilizada pela parte do circuito digital que realiza a decodificação binária.

O microprocessador efetua a decodificação dos dados binários da seqüência de dados, segundo a codificação específica da aplicação.

2.2 Especificação Funcional do Circuito Decodificador F-2F

Conforme apresentado no Capítulo 1 os circuitos comerciais dedicados à automação comercial serão utilizados como referência para a composição da especificação funcional. Como foi descrito, a mídia mais popular que usa a codificação F-2F é o cartão magnético. A cabeça magnética é o sensor empregado para a leitura dos dados gravados na tarja magnética dos cartões.

Diversas são as aplicações nas quais se utiliza o sistema de cartões magnéticos. Não é objetivo deste trabalho detalhar aplicações e codificação de cartões magnéticos ou outra mídia. Material relativo é amplamente disponível na literatura técnica e acessível inclusive pela “internet”.

Entretanto, nos parágrafos a seguir, discorreremos, resumidamente, sobre o sistema de leitura de cartões magnéticos a fim de identificar um tipo de sinal analógico utilizado na codificação do protocolo F-2F.

Este trabalho considera, para a especificação funcional da *interface analógica*, os sinais presentes nos terminais de um sensor, mediante a passagem de um cartão magnético.

O cartão magnético, conforme mostrado na figura 2.2, é padronizado conforme as normas [12] ISO7810, ISO7811 e ISO7813. Essas normas estabelecem as dimensões do cartão, posição das trilhas magnéticas e as características de codificação.

O cartão magnético suporta a gravação de dados em até três trilhas, dispostas paralelamente sobre uma única tarja magnética. A Trilha 1 (“Track 1”) deve ser gravada com uma densidade de 82,7 bits/cm, ou seja, 210 “bits/inch”, codificados com 7 “bits” por caractere, incluindo o “bit” de paridade e podendo ser gravados até 79 caracteres alfanuméricos. A Trilha 2 (“Track 2”) deve ser gravada com uma densidade de 29,5

bits/cm, ou seja, 75 “bits/inch”, codificados com 5 “bits” por caractere, incluindo o “bit” de paridade e podendo ser gravados até 40 caracteres numéricos. A Trilha 3 (“Track 3”) deve ser gravada com uma densidade de 82,7 bits/cm, ou seja, 210 “bits/inch”, codificados com 5 “bits” por caractere , incluindo o “bit” de paridade e podendo ser gravados até 107 caracteres numéricos. A tabela 2.1 apresenta um resumo das características das trilhas de uma tarja magnética.

Em aplicações – padrão, a Trilha 1 é de uso habitual da IATA, na qual as companhias aéreas podem ler o nome do portador. A Trilha 2 é de uso da “American Bank Association – ABA”. A Trilha 3, originalmente, era destinada à leitura e escrita de informações bancárias. Entretanto, caiu em desuso, pelo fato de os terminais obterem as informações desejadas sobre o cliente no sistema on-line. A tendência é essa trilha ser utilizada livremente para aplicações diversas.

Trilha	Padrão	BPI	Tipo de caracter	Número de caracteres	Tipo de codificação	Comentário
1	IATA	210	Alfanumérico	79	6 “bits” + paridade	Somente leitura
2	ABA	75	BCD	40	4 “bits” + paridade	Somente leitura
3	Propósito geral	210	BCD	107	4 “bits” + paridade	Leitura e escrita

Tabela 2.1 – Resumo do conteúdo e características de cada trilha

A posição relativa de cada trilha, recomendada segundo as normas ISO, é mostrada na figura 2.2. Detalhes sobre a mídia do cartão magnético e as formas de gravação são apresentados nas referidas normas.

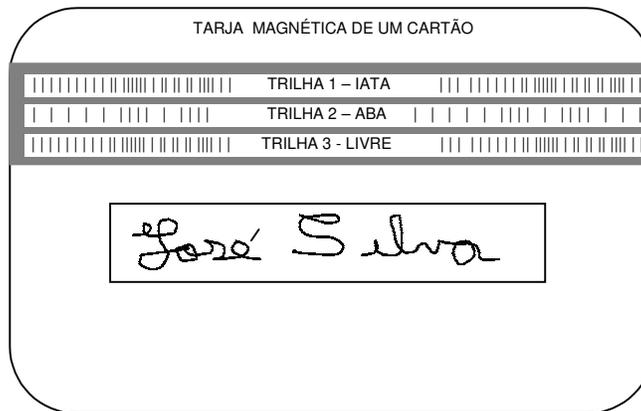


Figura 2.2 – Posição relativa das trilhas em um cartão magnético

Para que os dados registrados em uma tarja magnética sejam lidos pela maioria dos processadores, há determinados passos e transformações a serem considerados.

A figura 2.3 mostra um diagrama representando tal seqüência de transformações. O passo número um é que o cartão necessita passar diante da cabeça magnética com uma certa velocidade. Nas aplicações comerciais típicas a velocidade de passagem pode variar na Trilha 1 de 10 cm/s (4 “inches/s”) a 150 cm/s (70 “inches/s”), produzindo uma taxa de dados desde 300 bits/s até 5.250 bits/s e nas Trilhas 2 e 3 a velocidade de passagem pode variar de 10 cm/s (4 “inches/s”) a 127 cm/s (50 “inches/s”), produzindo uma taxa de dados desde 840 bits/s até 10.500 bits/s.

Segundo especialistas da área, é de 2 % a variação máxima de velocidade entre um “bit” e outro, considerando o modo como um ser humano é capaz de utilizar um leitor de cartão magnético. As variações entre um “bit” e outro decorrem de defeitos nos processos de gravação, desgastes de uso, ou defeitos gerados na armazenagem incorreta da mídia.

A variação do tamanho de um “bit” em relação ao “bit” subsequente é conhecida na literatura técnica [12] como “Jitter”. As especificações de “Jitter” também são apresentadas nas referidas normas e fazem parte importante da especificação do decodificador digital.

Para entender o processo de aquisição dos dados gravados sobre uma tarja magnética é necessário primeiramente compreender como os dados são armazenados. Imagine um longo canal de barras magnéticas: algumas são de comprimento unitário (sempre posicionadas em pares), enquanto outras possuem o dobro do comprimento. Cada uma dessas barras é colocada em linha com polaridade alternada, assim o pólo norte sempre encosta no pólo norte da barra adjacente e o pólo sul sempre encosta no pólo sul. Em tais áreas, onde há o encontro de pólos, ocorre uma grande concentração das linhas de fluxo magnético.

A cabeça magnética basicamente consiste em um núcleo semifechado de material ferromagnético de alta permeabilidade com uma bobina envolvendo o núcleo. O espaço existente no núcleo semifechado - “gap” - é o local que a tarja magnética deve percorrer para que a informação possa estar presente nos terminais da bobina.

Durante a passagem da tarja sobre a cabeça magnética, uma corrente é induzida nos terminais da bobina. A cada região de concentração de fluxo que muda diante do “gap”. Norte com norte irá induzir uma corrente a uma direção e sul com sul a uma outra direção. Como a corrente desaparece após a transição, a polaridade do sinal lido não interessa. O que interessa para a conversão desse sinal analógico numa forma de onda F-2F digital é o período de tempo existente entre as transições subsequentes.

A especificação funcional da *interface analógica* consiste em transformar o sinal analógico proveniente de um sensor, semelhante ao formato

apresentado na figura 2.3, em uma forma de onda digital codificada no protocolo F-2F, conhecido também como "Aiken Biphase". Reforçando novamente, a codificação F-2F considera o espaço entre duas transições sucessivas de fluxo que codifica um "bit", sendo a polaridade deste fluxo arbitrária. Cada "bit" ocupa o mesmo comprimento físico sobre a tarja magnética.

A primeira sucessão de "bits - 0", "Synch Clock Pulses", estabelece o período de relógio de entrada de dados. Após tal seqüência, cada vez que um "bit - 0" é lido, ele fixa um novo período de relógio. Quando ocorre uma transição de fluxo próximo da metade do atual período de relógio, o dado é "bit - 1", quando ocorre próximo ao período de relógio, o dado é "bit - 0".

A magnitude do sinal analógico de entrada é tipicamente na faixa de 3 mV, para sinais F-2F de frequência de 300 Hz e de 30 mV, para sinais de frequência de 10 kHz. Entretanto, é desejável que a faixa dinâmica de operação dos amplificadores e dos comparadores da *interface analógica* opere com sinais de frequência de até 100 kHz. Como os sinais de entrada são de baixa magnitude, faz-se necessário que eles sejam amplificados, com um ganho teórico máximo de 30 vezes. Tal limitação explica-se pelos valores superiores a 30 mV de pico, o sinal na saída do amplificador não sature.

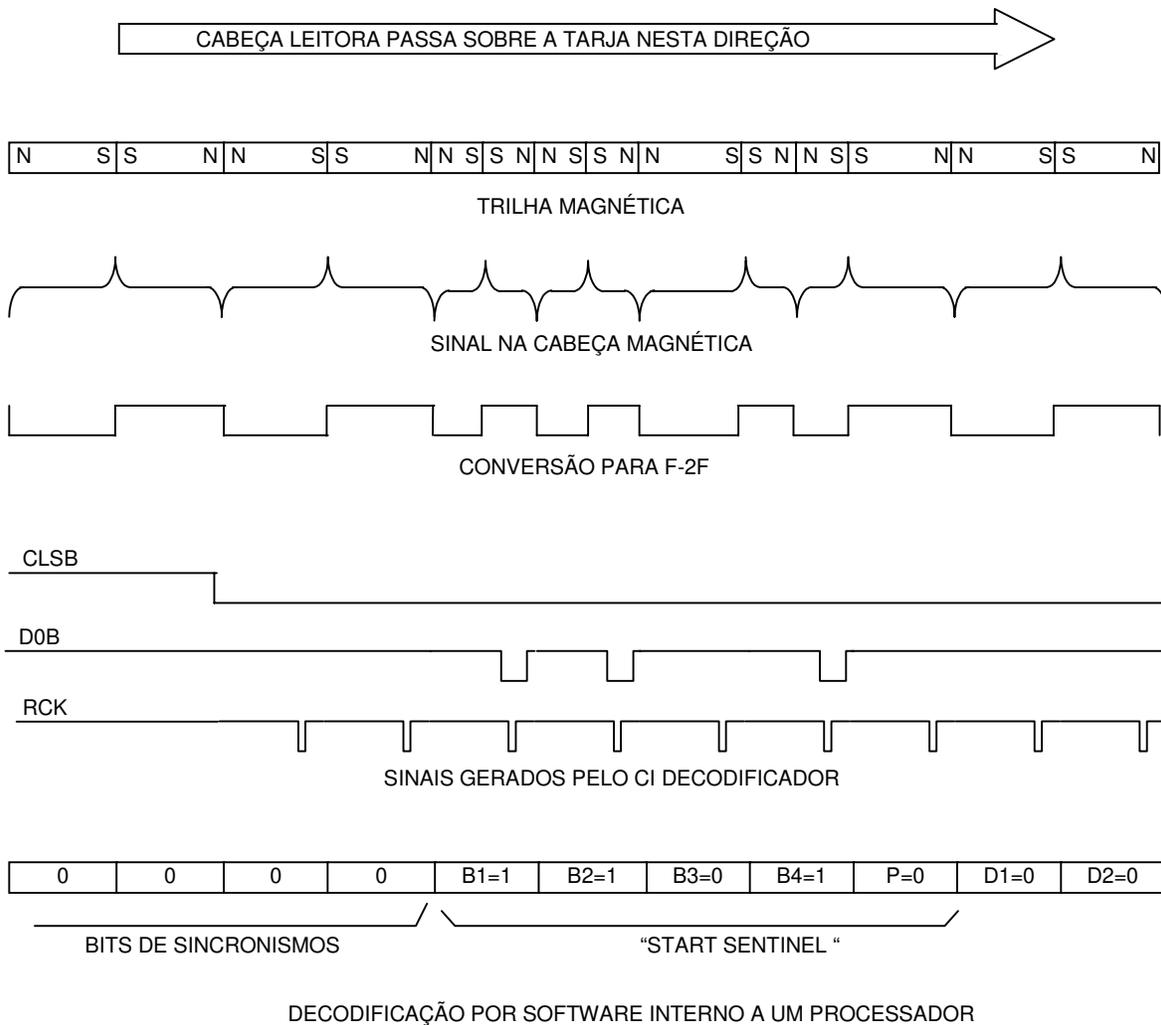


Figura 2.3 – Representação da função realizada por cada parte de um sistema de decodificação F-2F

A especificação por parte do “marketing”, relativa a tensão de operação do dispositivo, é que ele deve operar desde baixas tensões de alimentação, se possível em até 1,8V e tensões de 5,5V. Esses itens são provenientes do grande número de microprocessadores disponíveis no mercado, que trabalham com tensões diversificadas. O objetivo é que o mesmo circuito atenda o maior número possível de aplicações. Portanto ficou como desafio ao projeto da *interface analógica* o seu desenvolvimento, de maneira tal que se possa operar com a mínima tensão permitida pela tecnologia.

A especificação funcional do circuito digital, que realiza a decodificação binária do protocolo F-2F, consiste basicamente em gerar sinais digitais que facilitem a aquisição da informação por um processador. Quando a saída do decodificador for serial, normalmente são disponibilizados três sinais. O primeiro sinal indica a presença de dados válidos, conhecido no meio técnico como CLSB (acrônimo de "Card Load Signal"; o B indica que a saída é ativa com nível lógico "0"). O segundo sinal contém a informação sobre o valor do dado, conhecido no meio técnico como DOB (acrônimo de "Data 0"). O terceiro é o sinal de relógio para o processador adquirir o dado, conhecido como RCKB, também ativo com nível lógico "0".

Alguns circuitos integrados decodificadores F-2F apresentam a saída paralela. Nesse caso, os "bits" dos dados contidos em cada caractere seriam disponibilizados simultaneamente.

Cada trilha começa e termina com uma seqüência de "bits - 0". Esta seqüência de "bits" é conhecida como "bits" de relógio, ou seja, determina qual a freqüência que deve ser considerada como referência para o circuito digital realizar a decodificação binária e terminar a leitura do cartão em um estado conhecido do dado. Conforme se encontra na introdução deste capítulo, o código é composto por uma seqüência lógica de caracteres, contendo diversas informações que permitem realizar uma leitura robusta e até mesmo a correção de caracteres.

A decodificação binária exige um circuito digital capaz de registrar a duração do período anterior. Para tal, é formado por contadores, registradores, máquinas de estado devidamente associadas entre si por meio de circuito de lógica combinacional. Circuitos digitais que necessitam de contadores e máquinas de estados a fim de executarem suas funções exigem um sinal de relógio para operarem.

O circuito digital existente neste decodificador foi projetado para detectar a presença de sucessivas transições do sinal F-2F, tomando como referência o intervalo de tempo entre duas transições consecutivas. Determinada tal referência, após 70 % (Norma ISSO/IEC7811), o circuito lógico presente no bloco digital verifica, se houve transição durante esse intervalo de tempo. Caso tenha ocorrido uma transição intermediária entre duas transições de referência, indicando a presença de dado (sinal 2F), o circuito digital é capaz de selecionar somente os dados e colocá-los disponíveis numa saída para o microprocessador. Foi tomado como especificação neste circuito integrado que, após a quarta transição negativa, ele habilite a operação do circuito *oscilador*.

A especificação funcional do *oscilador* consiste basicamente na sua frequência de operação, conforme faixa dinâmica de frequência dos sinais F-2F, destinados à aplicação de automação comercial. Segundo as especificações encontradas no mercado, para esse tipo de circuito digital uma frequência de 800 kHz atende a toda faixa considerada. Esse sinal irá alimentar os circuitos contadores no período de tempo existente entre duas transições de fluxo. Também é especificação do *oscilador* que a sua saída seja a mais próxima possível de uma onda quadrada (com “duty cycle” de 50 %), limitada pelos níveis de tensão, fornecidos pela fonte de alimentação.

Um outro item desejável na especificação é que a frequência de operação nominal seja atingida sem empregar nenhum componente externo, mas adicionando uma tensão de controle externa se possa modificar o valor da frequência de operação do *oscilador* de acordo com a aplicação. Ou seja, aplicações cuja taxa de transmissão de dados, por exemplo, o uso de antenas indutivas, requerem uma maior velocidade na decodificação digital, portanto o circuito *oscilador* necessita operar numa frequência mais elevada.

2.2 Descrição Estrutural do Circuito Decodificador F-2F

A figura 2.4 mostra o diagrama de blocos do circuito decodificador F-2F. Os três principais blocos de circuitos são: *interface analógica - IA*, *oscilador - OSC* e o *circuito digital - CD*.

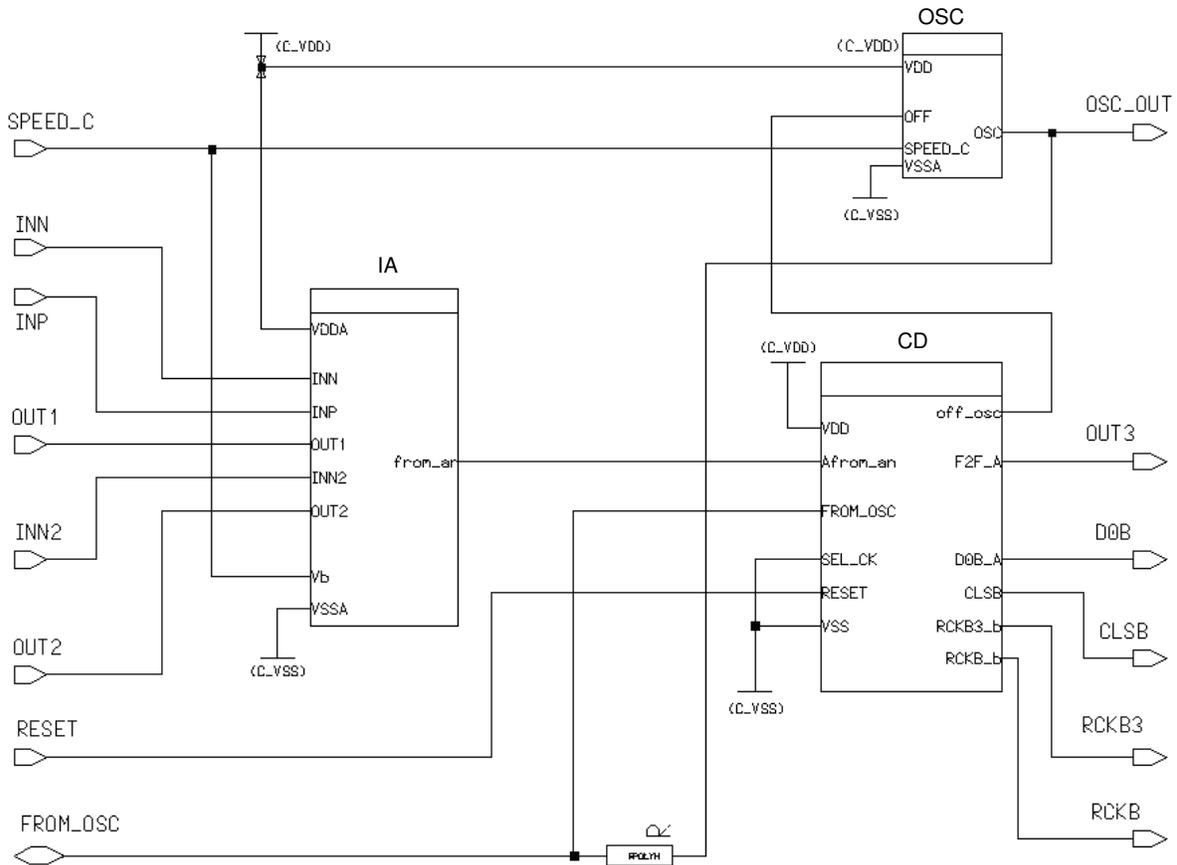


Figura 2.4 - Diagrama representando os principais blocos e sinais existentes no circuito integrado decodificador F-2F

A tabela 2.3 apresenta a descrição funcional de cada “pad” (entenda-se por “pad”, o terminal de entrada e ou saída entre o circuito interno e o externo), bem como a sua direção. Os “pads”, em um circuito integrado, podem ser:

- a) alimentação, representado na tabela pela letra S, “Supply” – S;
- b) entrada de sinais digitais - “Digital Input” – DI;
- c) saída de sinais digitais - “Digital Output” - DO;
- d) sinal digital bidirecional – “Digital Input or Output” – DIO;
- e) entrada de sinal analógico - “ Analog Input” - AI;
- f) saída de sinal analógico – “Analog Output” – AO.

Nome do Pad	Direção	Função
VDD	S	Alimentação do circuito digital e analógico.
VSS	S	Referência de terra do circuito.
OUT3 (FROM_AN)	DO	Sinal F-2F na saída da interface analógica. Sinal OUT3 externo e sinal FROM_AN interno.
FROM_OSC	DIO	Injeção do sinal de relógio externo.
OSC_OUT	DO	Saída do oscilador interno.
SEL_CK (opcional)	DI	Seleciona a largura do pulso de sincronismo (RCKB ou RCKB3) para microprocessador, e do tipo “pull-down”, utilizado somente durante as simulações.
RESET	AI	Sinal de inicialização para bloco digital, ativo em nível alto, tipo “pull-down”.
SPEED_C	AI	Permite controlar externamente a frequência do oscilador, tipo “open-drain”.
CLSB	DO	Indica ao microprocessador a presença de dados válidos na entrada analógica. Ativo em nível baixo.
RCKB3	DO	Sinal de sincronismo para o microprocessador efetuar a aquisição de um dado do decodificador. Pulso com duração superior a 25 % do período do relógio de dado.
RCKB	DO	Sinal de sincronismo para o microprocessador efetuar a aquisição de um dado do decodificador. Pulso estreito de aproximadamente 10 μ s.
DOB	DO	Saída de dados do decodificador.
INN	AI	Entrada inversora do amplificador 1.
INP	AI	Entrada não inversora do amplificador 1.
INN2	AI	Entrada não inversora do amplificador 2.
OUT1	AO	Saída do amplificador 1.
OUT2	AO	Saída do amplificador 2.

Tabela 2.3 – Tabela contendo nome, direção e função de cada “pad”

A figura 2.5 apresenta o “layout” do circuito integrado decodificador F-2F. A dimensão no eixo X é de 1.220,35 μm e no eixo Y é de 1.107,6 μm , com uma área total de 1,35 mm^2 . Legenda:

- 1- circuito oscilador;
 - 2- circuito digital;
 - 3- interface analógica;
- pd – “pad” digital;
pa – “pad” analógico.

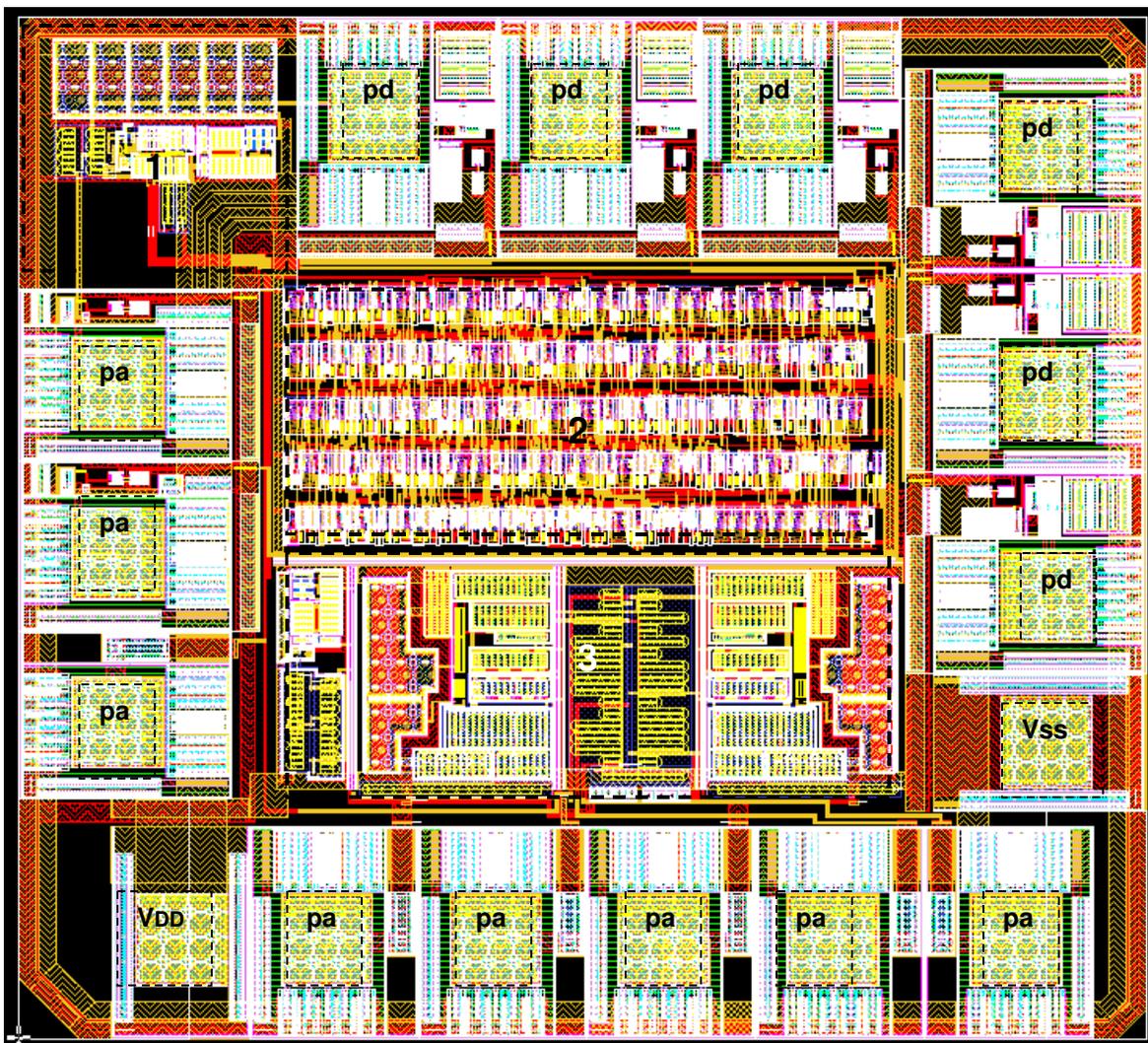


Figura 2.5 – “Layout” final do circuito decodificador implementado para validar o projeto da interface analógica

2.2.1 Simulação Global

Os gráficos das figuras 2.6 e 2.7 contêm os resultados de simulação, representando a funcionalidade especificada para a *interface analógica*. São mostrados os seguintes sinais:

- Curva -1 - sinal da saída FROM_AN ou OUT3, após o condicionamento pela *interface analógica*.
- Curva -2 - sinal da saída OUT2, estágio de filtro.
- Curva -3 - sinal da saída OUT1, estágio de amplificação.
- Curva - 4 - sinal analógico diferencial de entrada ($Y2=V_{inp}-V_{inn}$).

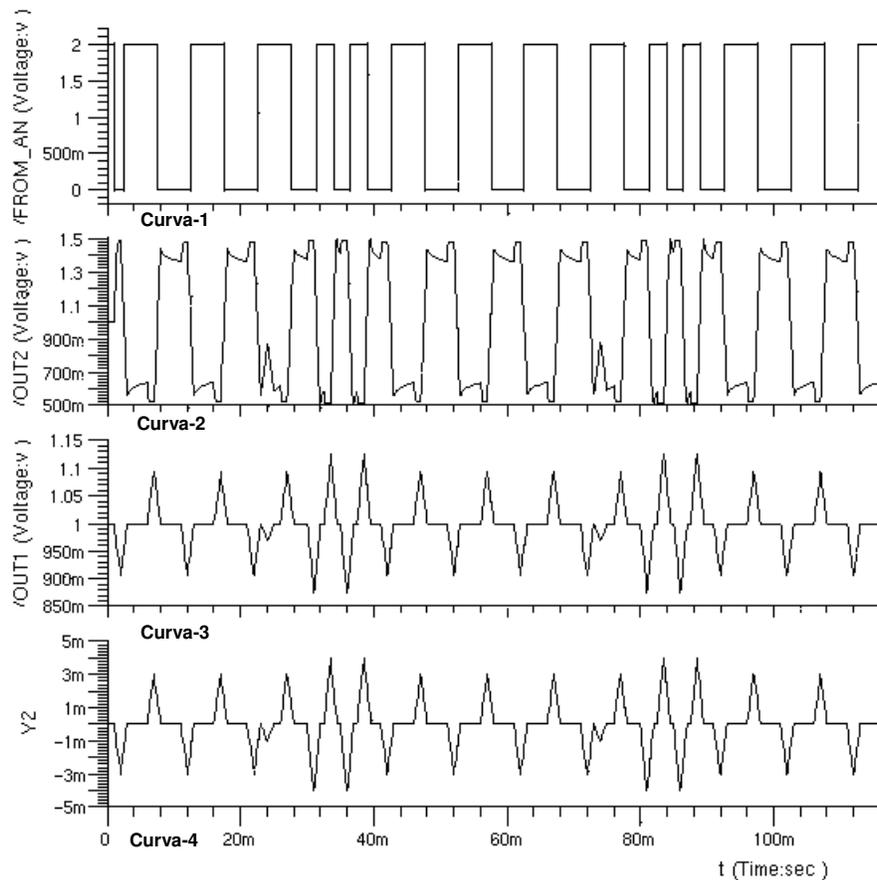


Figura 2.6 - Diagrama dos sinais de simulação para a interface analógica com $V_{DD} = 2V$

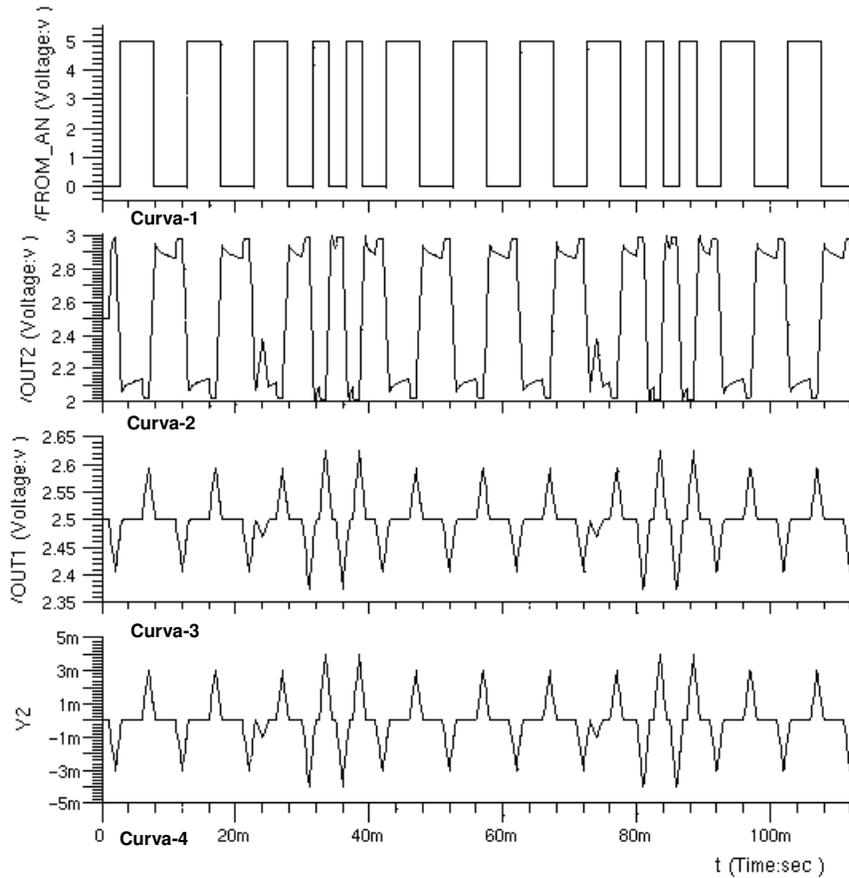


Figura 2.7 - Diagrama dos sinais de simulação para a interface analógica com $V_{DD} = 5V$

Após o condicionamento do sinal analógico de entrada, através da *interface analógica*, o sinal F-2F ou FROM_AN (OUT3) condicionado chega ao bloco digital.

Como já descrito no Capítulo 1, o bloco digital, ou simplesmente circuito digital, não é o objeto principal deste trabalho, tendo sido utilizado apenas para validar a *interface analógica - IA*. Portanto, o circuito digital, não será abordado estruturalmente. Será analisado somente do ponto de vista comportamental, conforme as figuras 2.8a e 2.8b. Internamente, o circuito digital (que é uma máquina de estado) recebe o sinal F-2F (OUT3),

oriundo da *interface analógica* e, através de um circuito detetor de bordas (“strobe comparator”), este sinal será monitorado.

O circuito detetor de bordas possui, internamente, um contador de 12 “bits” de transições. Estas serão utilizadas como referência para a geração dos sinais digitais de saída (DOB, RCKB3, RCKB) para o microprocessador. Esse circuito também controla o funcionamento do *oscilador* interno que sincroniza o circuito digital com o sinal F-2F. Após a quarta transição negativa do sinal F-2F, o circuito detetor de bordas habilita o funcionamento do *oscilador* interno.

O detetor de bordas apresenta uma lógica interna, idealizada conforme norma vigente [12]. De acordo com o ilustrado na figura 2.8a, uma vez estabelecido o intervalo de tempo T_0 (tempo compreendido entre duas transições sucessivas de referência, exemplo, Ref.1 e Ref.2), para cada intervalo de igual valor no tempo T_0 , verifica-se se houve alguma transição (isto é, a passagem de “0” para “1” ou vice-versa), dentro do intervalo que chega a 70 % de T_0 . Uma transição compreendida no intervalo de tempo T_0 , dobrando a frequência (F para 2F), indica a presença de “1” lógico.

Quando o sinal F-2F (OUT3) dobra a frequência, há indicação de presença de dado e este será registrado (armazenado) por meio de um filtro interno constituído de “latches”. O filtro separa somente o dado do sinal F-2F amostrado, e o coloca na saída digital DOB com uma largura de pulso W_d .

Através do sinal de referência F-2F, o circuito digital gera outros dois sinais de saída, que são os de sincronismo para o microprocessador, um deles o RCKB com da largura de pulso fixa de aproximadamente 10 μ s e o outro RCKB3 com $\frac{1}{4}$ do intervalo de tempo T_0 .

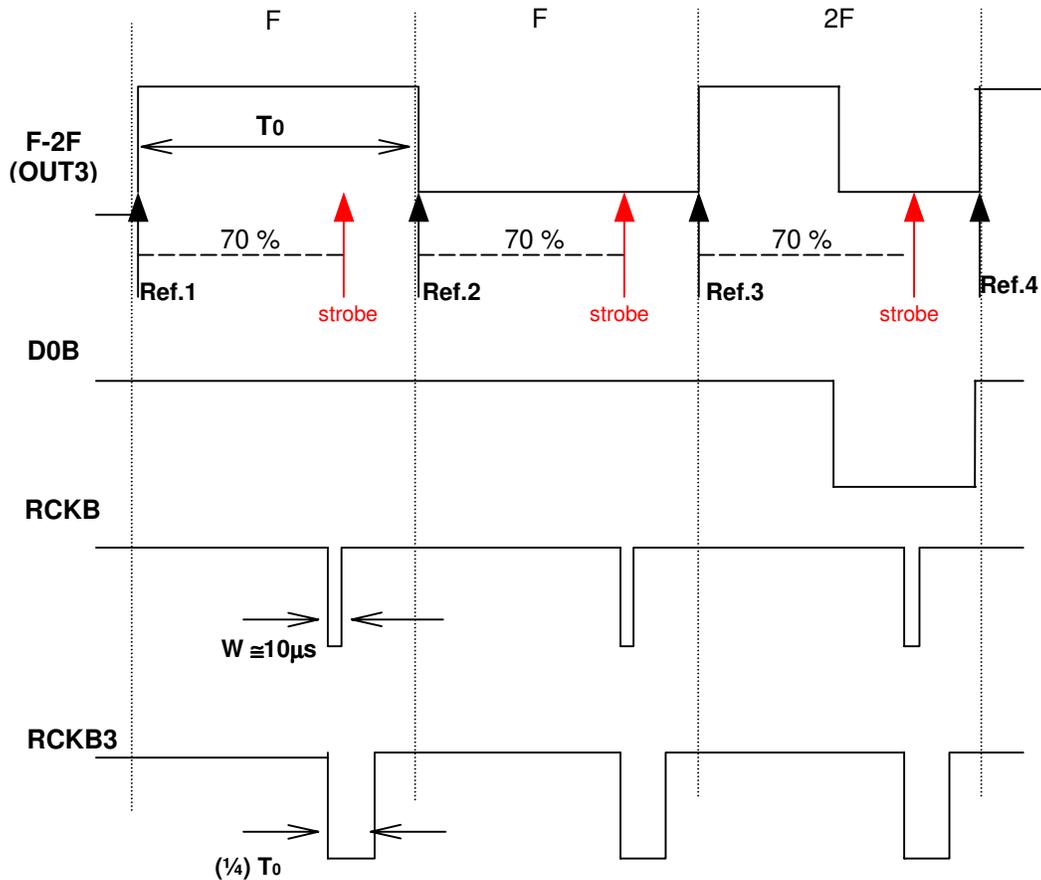


Figura 2.8a - Comportamento do bloco digital

A figura 2.8b exemplifica a funcionalidade pela simulação do circuito digital. Um sinal de entrada para teste, o RESET, garante a inicialização do circuito.

No instante T1, o sinal CLSB muda de nível alto para baixo, indicando que há passagem de cartão. Nesse momento, o oscilador interno começa a funcionar (mostrado na simulação da figura 28b, pela presença do sinal FROM_OSC).

O instante T2 registra o momento em que o sinal FROM_AN (OUT3) dobra sua frequência para 2F; portanto, os dados estão presentes na saída D0B.

O instante T3 aponta o final de dados quando o sinal de entrada FROM_AN (OUT3) volta para a frequência inicial F.

No instante T4 ocorre a mudança de nível do sinal de entrada SEL_CK (sinal opcional), utilizado para alterar a largura do pulso de sincronismo RCKB para o microprocessador, em protótipos que não possuam a saída RCKB3. No caso do circuito protótipo utilizado neste trabalho, estão presentes como sinais de sincronismo RCKB3 e RCKB, sendo este último, o de largura de pulso fixo de aproximadamente 10 μ s.

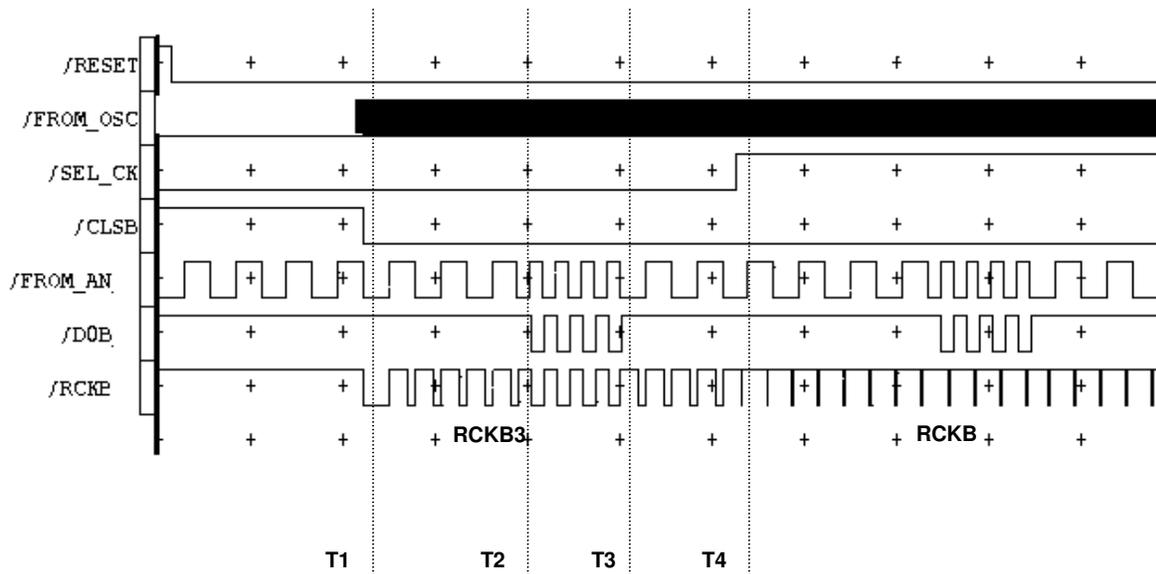


Figura – 2.8b - Diagrama dos sinais de simulação do bloco digital

2.3 Interface Analógica - IA

A interface analógica - IA condiciona o sinal analógico de entrada e é constituído por dois amplificadores operacionais e um comparador com histerese, como se ilustra na figura 2.9.

2.3.1 Especificação Estrutural

Da cabeça magnética à saída do 1º estágio (estágio amplificador) o ganho é de aproximadamente 30 vezes, ou seja, a relação $(R2/R1) \cong 30$, onde $R1=7K2$ e $R2=216K$ construídos em "POLYH" ("high resistive polysilicon layer"). O 1º estágio está ligado ao 2º através do capacitor externo Cd_ext , que serve para desacoplar o nível DC. A relação entre os capacitores Cd_ext e Ci_ext ($Cd_ext : Ci_ext$) impõem um ganho AC à saída OUT2. A saída do 2º estágio (estágio filtro) OUT2 está limitada entre $\pm 650mV$. O sinal OUT2 é entrada (Vn) para um comparador com histerese de 240mV. O funcionamento do comparador será analisado adiante. O sinal será efetivamente digitalizado após o comparador com histerese, gerando assim o sinal F-2F (OUT3) que é entrada para o bloco digital. A entrada de corrente de polarização é chamada de Ib .

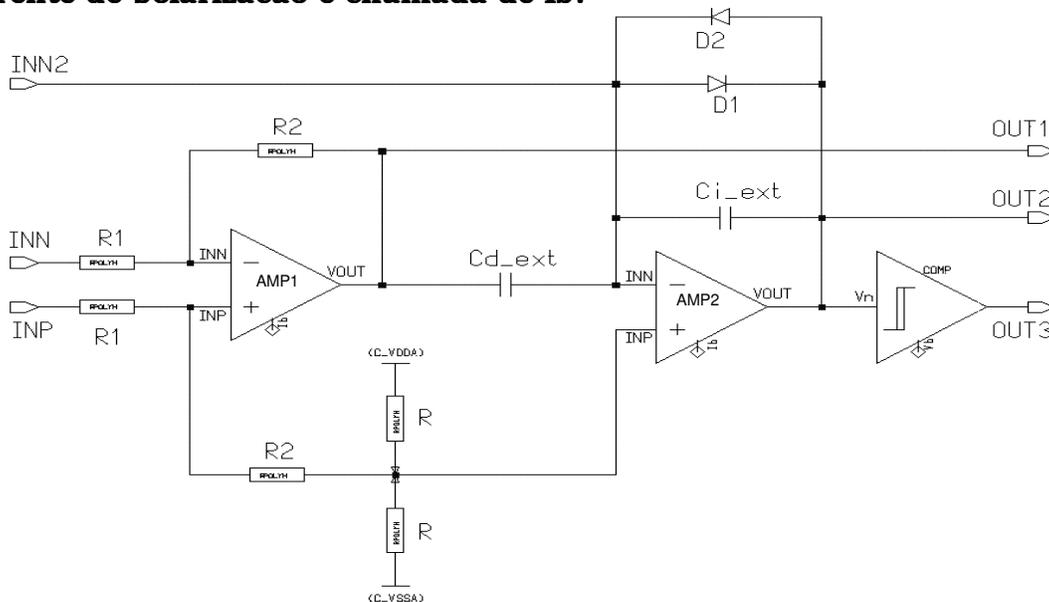


Figura - 2.9 - Bloco interface analógica - IA

2.3.2 Amplificador – Especificação Estrutural e Funcional

A figura 2.10 demonstra o esquema do circuito utilizado nos amplificadores [3,6] AMP1 e AMP2 do circuito IA, visto anteriormente na figura 2.9. O amplificador, na *fase final de ajuste*, foi compensado através de simulação para trabalhar desde 2V até 5.5V de tensão de alimentação. A simulação desse amplificador em malha aberta apresentou aproximadamente 100dB de ganho a baixas frequências, sendo sua frequência de corte é superior a 5MHz para uma margem de fase próxima a 60°. Garantiu, assim, uma defasagem máxima do sinal de saída em relação à entrada de 120°.

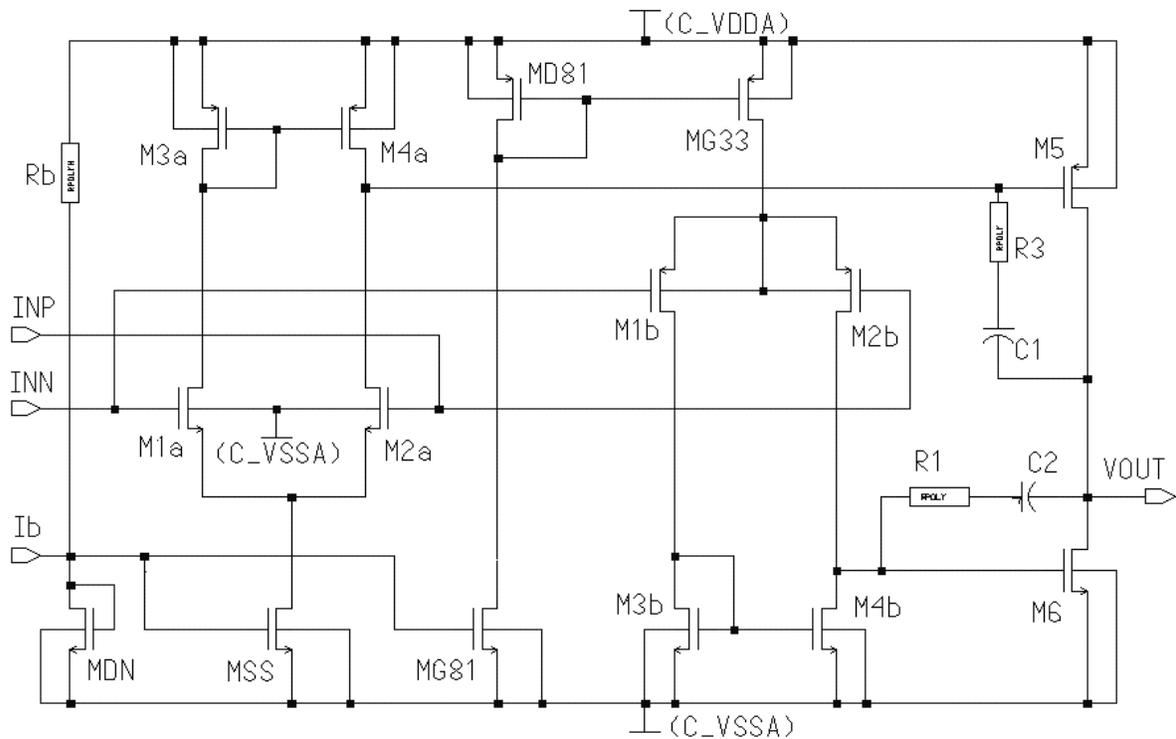


Figura 2.10 – Amplificadores AMP1 e AMP2 do circuito IA

A figura 2.11 apresenta o “layout” do amplificador operacional. No topo do “layout”, na horizontal em forma de U (em amarelo), foi posicionado o

resistor R_b de polarização do amplificador. Uma de suas extremidades está conectada ao barramento de alimentação de V_{DD} , no topo do “layout”, na horizontal em metal - 2 e a outra extremidade no transistor canal - n (MDN). A conexão é feita por meio de uma linha de metal - 1, na vertical (em vermelho). Abaixo do barramento de V_{DD} , no topo à esquerda, estão posicionados os transistores de canal - p do circuito.

No centro e a esquerda um pouco acima da linha mediana do “layout” estão posicionados os dois transistores, M1b e M2b, canal - p dos pares diferenciais de entrada. E abaixo deles os dois transistores, M1a e M2a, dos pares diferenciais de canal - n. Abaixo, no lado esquerdo estão posicionados os transistores de polarização canal - n, MSS, MDN e MG8. No na região central na forma de um “M” e de um “w”, estão os dois resistores de compensação. A direita do “layout” estão posicionados os dois capacitores de compensação. Observe que aos capacitores ocupam quase que a mesma área dos dispositivos ativos. O tamanho do “layout” do amplificado é de a aproximadamente 25 % da aérea interna do CI.

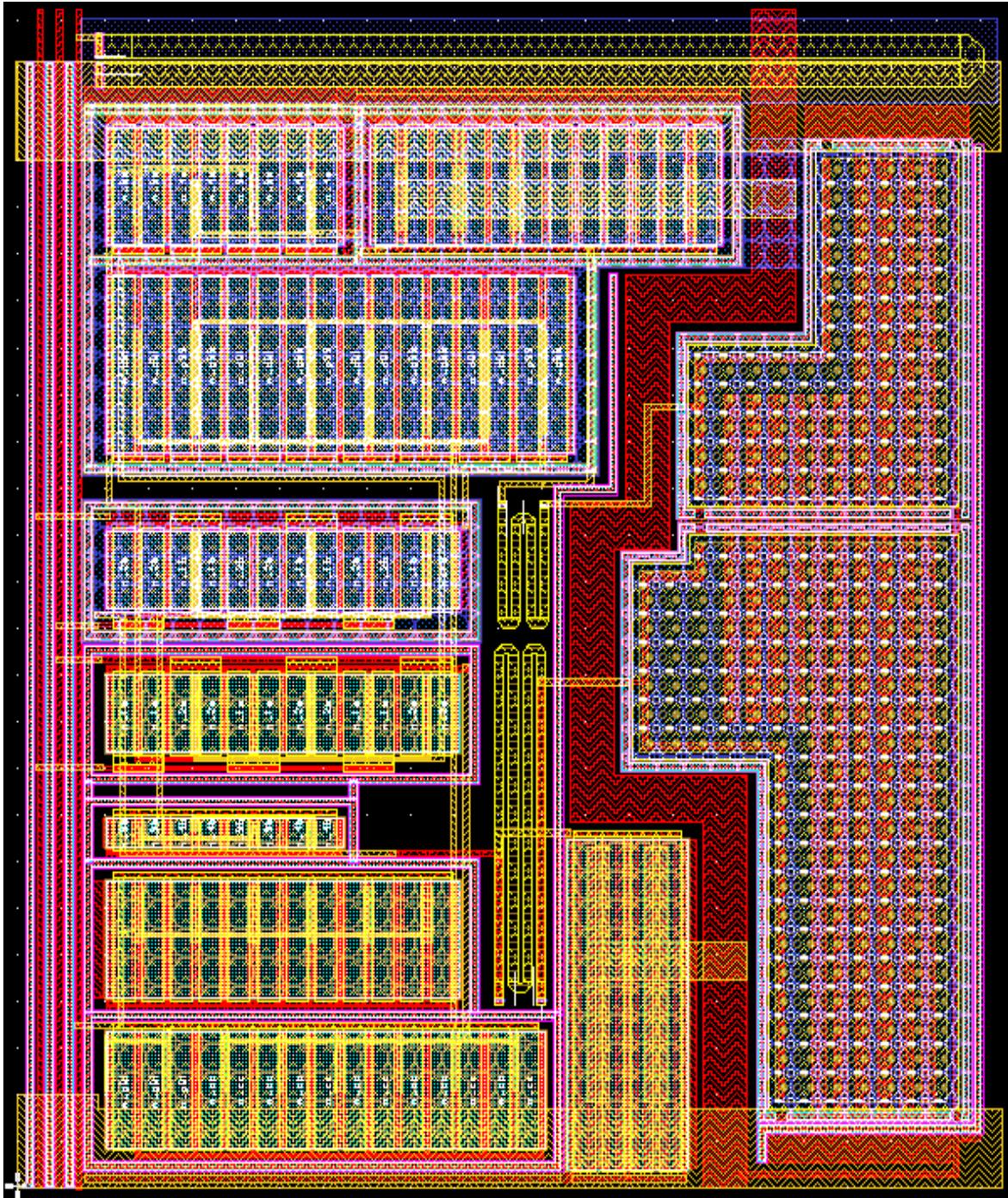


Figura 2.11 - "Layout" dos amplificadores AMP1 e AMP2 do circuito IA

Dimensionamento:

O dimensionamento do amplificador operacional constou de duas fases.

Na primeira, chamada de *anteprojeto*, são dimensionados os transistores e o capacitor de compensação. Nessa fase admitiu-se o modelo simplificado dos transistores e considerou-se que o amplificador operaria na região linear. A segunda é referente ao *ajuste final* dos valores de alguns parâmetros do amplificador. Nessa fase se simulou ("SPICE") o circuito completo final.

Primeira fase – Anteprojeto do Amplificador Operacional.

Considere-se inicialmente o amplificador da figura 2.12.

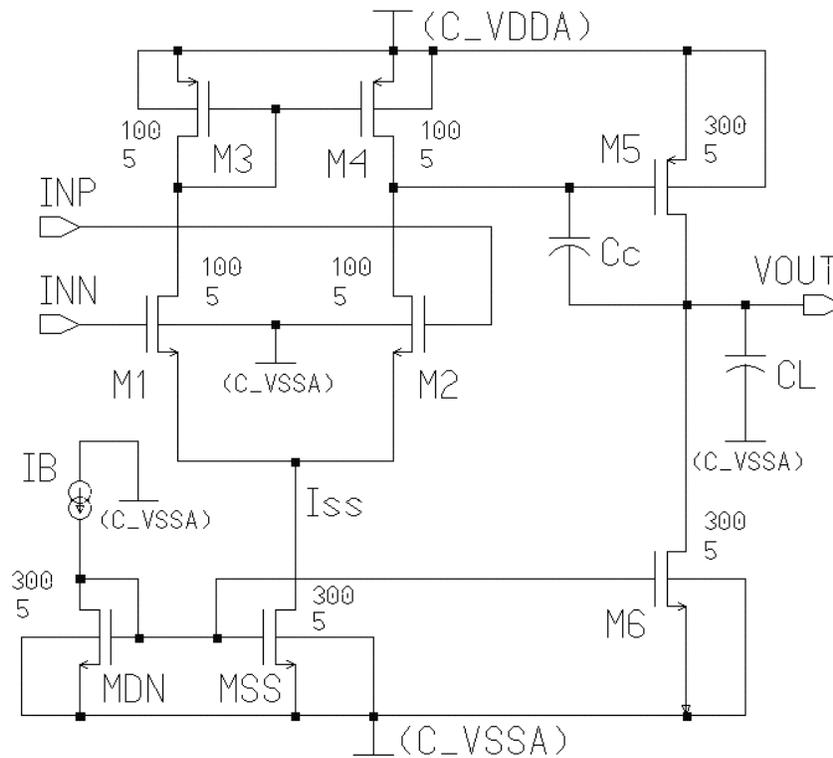


Figura 2.12 - Amplificador MOS

Nesta primeira fase considera-se a alimentação simétrica, ou seja, $V_{DD} = |V_{SS}|$. Contudo, nas simulações ("SPICE") e nos testes, a alimentação será com uma única fonte $V_{DD}' = V_{DD} + |V_{SS}| = 2V_{DD}$. Observa-se que "há várias maneiras de se proceder para projetar um amplificador operacional MOS" [3]; como exemplo, especificando (arbitrando) os parâmetros listados a seguir:

- a) excursão máxima e mínima do sinal de entrada (de *modo-comum*) V_{eM} e V_{em} , respectivamente;
- b) capacitância de Carga - C_L ;
- c) máxima taxa de crescimento da tensão de saída ("*slew-rate*" - SR);
- d) relação entre a *largura* - W e o *comprimento* - L do canal, de alguns transistores;
- e) corrente de polarização, I_{SS} , do par diferencial;
- f) tensões das fontes: V_{SS} e V_{DD} .

A seguir a *função de transferência* do amplificador.

O circuito equivalente do amplificador da figura 2.12 está representado na figura 2.13 abaixo.

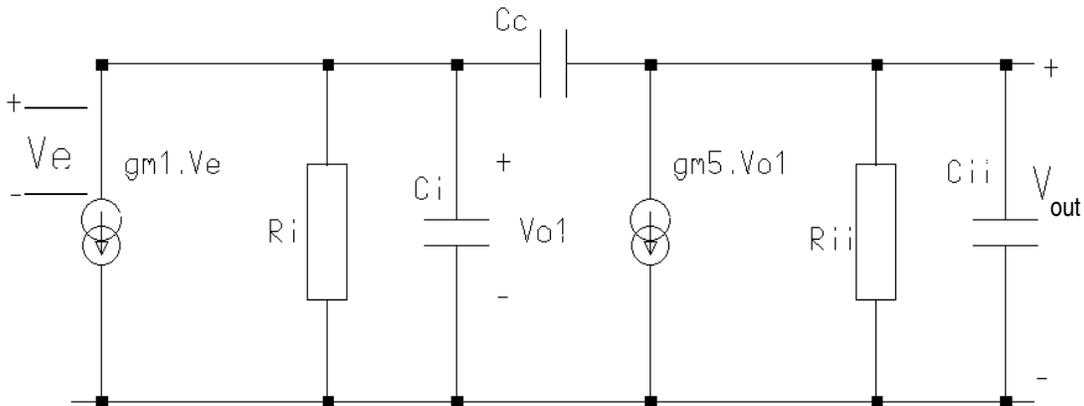


Figura 2.13 - Circuito equivalente do amplificador operacional da primeira fase

É possível mostrar [3] que a *função de transferência*, $Gv(S)=Vout/Ve$, é dada por:

$$\frac{Vout}{Ve} = \frac{gm_1 \cdot gm_5 \cdot R_i \cdot R_{ii} \left[1 - S \cdot \left(\frac{C_c}{gm_5} \right) \right]}{1 + S \cdot [R_i \cdot (C_i + C_c) + R_{ii} \cdot (C_{ii} + C_c)] + gm_5 \cdot R_{ii} \cdot R_i \cdot C_c + S^2 \cdot R_i \cdot R_{ii} \cdot [C_i \cdot C_{ii} + C_c \cdot (C_i + C_{ii})]} \quad (2.1)$$

A equação (2.1) apresenta dois pólos e um zero. O zero se situa no semiplano direito do plano S. Um zero no semiplano direito, mesmo que seja afastado da *freqüência de ganho unitário*, afeta desfavoravelmente a *margem de fase*.

Deve-se observar que geralmente um polinômio de 2ª ordem pode ser escrito como:

$$P(S) = 1 + aS + bS^2 = \left(1 - \frac{S}{P_1} \right) \left(1 - \frac{S}{P_2} \right) = 1 - S \left(\frac{1}{P_1} + \frac{1}{P_2} \right) + \frac{S^2}{P_1 \cdot P_2} \quad (2.2)$$

As raízes aproximadas de um polinômio em que elas estão bem afastadas (por exemplo $|p_2| \gg |p_1|$) podem ser dadas por:

$$P(S) = 1 - \frac{S}{P_1} + \frac{S^2}{P_1 \cdot P_2} \quad (2.3) \quad \therefore \quad p_1 \cong -\frac{1}{a} \quad \mathbf{e} \quad p_2 \cong -\frac{a}{b}$$

Na expressão (2.1) tem-se:

a) gm_1 - transcondutância de M1 (ou M2)

b) gm_5 - transcondutância de M5

c) $R_i = rd_4 // rd_2 = \frac{1}{gd_4 + gd_2} \quad (2.4)$

d) $R_{ii} = rd_5 // rd_6 = \frac{1}{gd_5 + gd_6} \quad (2.5)$

e) $C_i \cong C_{gs5}$; $C_{ii} \cong C_L$; $C_{ii} > C_i$

As expressões correspondentes ao zero e aos pólos (raízes aproximadas) da equação (2.1) são[3]:

$$z_1 = \frac{gm_5}{C_C} \quad (2.6)$$

$$p_1 \cong - \frac{1}{R_i \cdot (C_i + C_C) + R_{ii} \cdot (C_{ii} + C_C) + gm_5 \cdot R_{ii} \cdot R_i \cdot C_C} \cong - \frac{1}{gm_5 \cdot R_{ii} \cdot R_i \cdot C_C} \quad (2.7)$$

$$p_2 \cong - \frac{R_i \cdot (C_i + C_C) + R_{ii} \cdot (C_{ii} + C_C) + gm_5 \cdot R_{ii} \cdot R_i \cdot C_C}{R_i \cdot R_{ii} \cdot [C_i \cdot C_{ii} + C_C \cdot (C_i + C_{ii})]} \cong - \frac{gm_5}{C_L} \quad (2.8)$$

A frequência de ganho unitário - f_u , em amplificador com pólo dominante, é aproximadamente igual ao produto ganho x pólo dominante : $|G_{vout}| \cdot |p_1|$, ou seja:

$$f_u \cong |p_1| \cdot |G_{vout}| \cong \frac{1}{(gm_5 \cdot R_{ii} \cdot R_i \cdot C_C)} \cdot (gm_1 \cdot R_i \cdot gm_5 \cdot R_{ii}) \cong \frac{gm_1}{C_C} \quad (2.9)$$

É possível mostrar que a máxima taxa de crescimento da tensão de saída, "slew-rate" - SR, é dada pela expressão:

$$SR = \frac{I_{SS}}{C_C} \quad (2.10)$$

A máxima excursão positiva - V_{eM} , do sinal de entrada (em modo-comum) é determinada analisando o circuito de entrada do amplificador da figura 2.13. Deve-se ter o cuidado de respeitar o limite de validade de operação na região ativa dos transistores M1 e M3 (ou M2 e M4). Dessa forma, obtém-se:

$$V_{eM} = V_{DD} - \sqrt{\frac{2I_{D3}}{K_p \left(\frac{W}{L}\right)^3}} - |V_{Tp}| + |V_{Tn}| \quad (2.11)$$

O sub-índice 3 se refere ao transistor M3, conforme figura -2.12.

A máxima excursão negativa - V_{em} , do sinal de entrada é dada por:

$$V_{em} = V_{SS} + \sqrt{\frac{2I_{D1}}{K_n \left(\frac{W}{L}\right)_1}} + V_{Tn} + \sqrt{\frac{2I_{SS}}{K_n \left(\frac{W}{L}\right)_{SS}}} \quad (2.12)$$

A excursão do sinal deverá ser, neste projeto, a maior possível. Além disso, o amplificador deverá operar com tensões de alimentação no intervalo:

$$2V \leq V_{DD}' \leq 5,5V$$

A situação mais desfavorável, em termos relativos, para a excursão de sinal, é quando $V_{DD}' = 2V$.

Abaixo estão listados tanto os valores dos parâmetros especificados no projeto, como os arbitrados.

a) $V_{eM} \cong V_{DD}$; $V_{em} \cong V_{SS}$

b) $SR = 2,5V/\mu s$

c) $\left(\frac{W}{L}\right)_{MDN} = \left(\frac{W}{L}\right)_{MSS} = \left(\frac{W}{L}\right)_{M-5} = \left(\frac{W}{L}\right)_{M-6} = \left(\frac{300u}{5u}\right)$

d) $\left(\frac{W}{L}\right)_{M-1} = \left(\frac{W}{L}\right)_{M-2} = \left(\frac{100u}{5u}\right)$

e) $I_{SS} = 10 \mu A$

f) $V_{DD} = +1V$; $V_{SS} = -1V$

Estão indicados, a seguir, os valores de: K_p , K_n , V_{Tp} e V_{Tn} , fornecidos pelo fabricante do "chip" ("Austria Mikro Systems International - AMS"):

a) $K_p = \mu_p \cdot C_{ox} \cong 20 \mu A/V^2$

b) $K_n = \mu_n \cdot C_{ox} \cong 50 \mu A/V^2$

c) $V_{Tp} = -0,80 V$

d) $V_{Tn} = 0,85 V$

Com esses dados, pode-se calcular o valor da capacitância do capacitor de compensação, C_c , a relação (W/L) dos transistores M3 e M4, como também verificar a excursão negativa e a positiva.

No cálculo de C_c faz-se uso da expressão (2.10), ou seja:

$$SR = \frac{I_{SS}}{C_c} \quad (2.10)$$

$$\therefore C_c = \frac{I_{SS}}{SR}$$

Na especificação dos parâmetros, temos:

$I_{SS} = 10 \mu A$ e $SR = 2,5 V/\mu s$

logo:

$$C_c = \frac{10 \mu A}{2,5 V/\mu s} = \frac{10 \cdot 10^{-6} A}{2,5 \cdot 10^6 V/s} = 4 \cdot 10^{-12} \quad \therefore C_c = 4 pF \quad (2.13)$$

No cálculo de (W/L) de M3 e M4, utiliza-se a relação (2.11) e a condição:

$V_{eM} \geq 85\% V_{DD}$.

$$V_{eM} = V_{DD} - \sqrt{\frac{2I_{D3}}{K_p \left(\frac{W}{L}\right)^3}} - |V_{Tp}| + |V_{Tn}| \quad (2.11)$$

Então:

$$\left(\frac{W}{L}\right)_3 \geq \frac{2I_{D3}}{K_P \cdot [V_{DD} - V_{eM} - |V_{Tp}| + V_{Tn}]} \quad (2.14)$$

Substituindo, na expressão (2.14) acima, os valores numéricos e lembrando que $I_{D3} = I_{SS}/2$, obtém-se:

$$\left(\frac{W}{L}\right)_3 \geq \left(\frac{100\mu}{8\mu}\right)$$

Consideraremos:
$$\left(\frac{W}{L}\right)_3 = \left(\frac{100\mu}{5\mu}\right) \quad (2.15)$$

Observando a expressão (2.12), referente à *excursão negativa*, V_{em} , constata-se que são conhecidos todos os parâmetros. Nesse caso, basta calcular o correspondente valor de V_{em} . Dessa forma, temos:

$$V_{em} = V_{SS} + \sqrt{\frac{2I_{D1}}{K_n \left(\frac{W}{L}\right)_1}} + V_{Tn} + \sqrt{\frac{2I_{SS}}{K_n \left(\frac{W}{L}\right)_{SS}}} \quad (2.12)$$

$$V_{em} = -1 + \sqrt{\frac{2 \cdot (5\mu A)}{50 \cdot \frac{\mu A}{V^2} \cdot \left(\frac{100}{5}\right)}} + 0,85 + \sqrt{\frac{2 \cdot (10\mu A)}{50 \cdot \frac{\mu A}{V^2} \cdot \left(\frac{300}{5}\right)}}$$

$\therefore V_{em} \cong +0,032V \quad (2.16)$

Como se verifica pelo resultado (2.16), o circuito proposto na figura 2.12, mesmo com altos valores (W/L) para os transistores M1, M2 e MSS, não permite excursão negativa do sinal de entrada.

Ao examinar a expressão (2.12), nota-se que o termo que limita a *excursão negativa* é o termo correspondente à tensão de transição $V_{Tn} = 0,85V$.

Para contornar tal problema, utilizou-se mais um par diferencial, porém complementar, ou simétrico, daquele da figura 2.12, interligado, formando um conjunto que opera em classe AB [6], conforme se ilustra na figura 2.14. Para o 2º par diferencial, foi adotada uma corrente de polarização igual a $I_{SS} = 10 \mu A / 4 = 2,5 \mu A$, pois os transistores M1b e M2b desse 2º par são do tipo canal - p. Assim sendo, para que I_{D6} seja igual a I_{D5} , aplica-se, para os transistores M3b e M4b, a seguinte relação (W/L):

$$\left(\frac{W}{L}\right) = \frac{1}{4} \left(\frac{100u}{5u}\right) = \left(\frac{25u}{5u}\right) \quad (2.17)$$

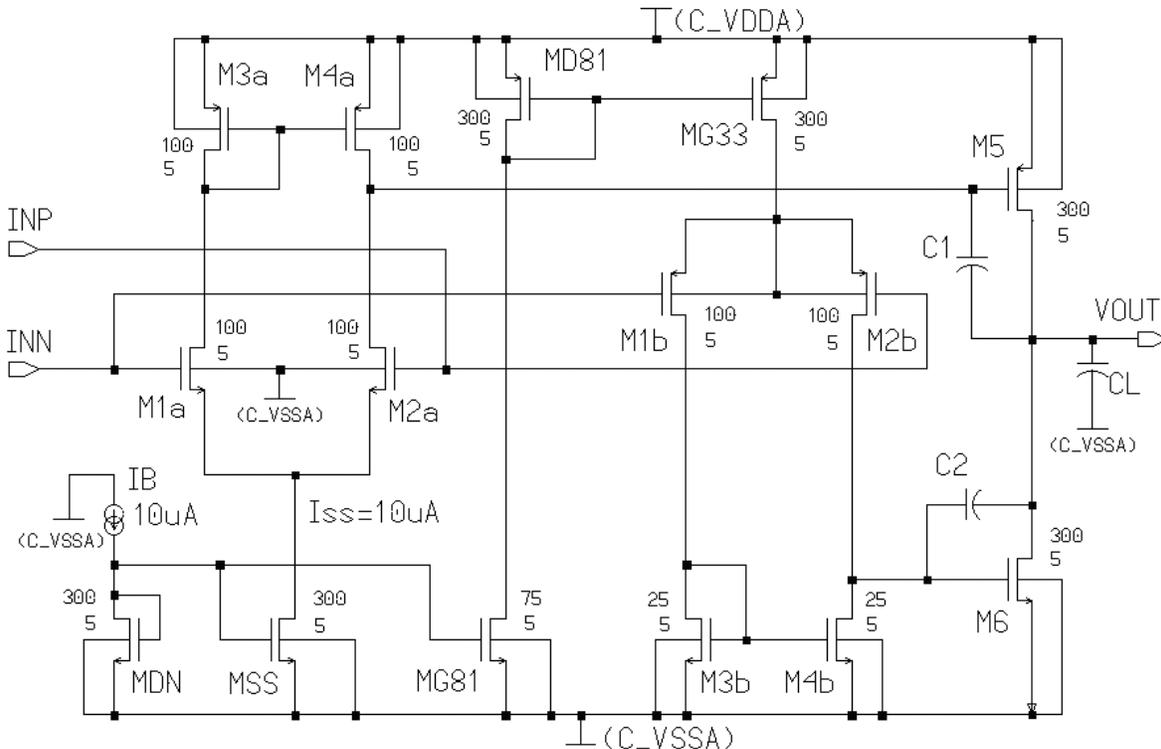


Figura 2.14 - Circuito do amplificador operacional “projetado” na primeira fase

Adotou-se também o mesmo valor de capacitância para o capacitor de compensação, ou seja, $C_1 = C_2 = 4 \text{ pF}$.

Assim, o circuito completo, na fase de *anteprojeto*, está indicado na figura 2.14. A letra “a” foi acrescentada aos transistores do par diferencial original e a letra “b” aos transistores do novo par diferencial complementar.

Na fase de *ajuste final*, procedeu-se à simulação do conjunto indicado no diagrama de blocos da figura 2.9. No 1º estágio de amplificação utilizou-se um amplificador AMP1 e para o 2º estágio filtro, um amplificador operacional AMP2. Os dois amplificadores operacionais AMP1 e AMP2 são idênticos ao mostrado na figura 2.10, após o *ajuste final*.

Os resultados preliminares, quando se empregou o amplificador da figura 2.14 (primeira fase de *anteprojeto*), indicaram a necessidade de aumentar o “*slew-rate*” - *SR* e a *margem de fase* - *MF*. A solução encontrada foi acrescentar ao circuito um resistor em série com cada capacitor de compensação.

A compensação de um amplificador para aplicações em malha fechada é uma técnica utilizada para afastar os pólos um do outro, mantendo-os distantes da *frequência de ganho unitário*. Tal método é conhecido como “compensação Miller” ou “espalhamento de pólos”. Ele introduz, no entanto, um zero no semiplano direito na função de transferência do amplificador. Ocorre, assim, o prejuízo da *MF*, pois o zero do lado direito do semiplano introduzirá um deslocamento diminuindo a *MF* e prejudicando a estabilidade do amplificador.

Adota-se, então, como técnica para melhorar a *MF*, a inclusão de um resistor R_z em série com o C_c . Isso faz com que o zero da função de transferência $G_v(S)$ seja deslocado e seu novo valor será:

$$\frac{V_{o1}}{R_z + \left(\frac{1}{C_c}\right)} = gm_5 \cdot V_{o1} \quad \therefore S = \frac{1}{C_c \left(\frac{1}{gm_5} - R_z\right)} \quad (2.18)$$

Observando-se a expressão (2.18), nota-se que escolhendo um valor de $R_z > 1/gm_5$, o zero se posicionará no eixo real negativo e a fase introduzida por ele se soma à MF. Visto a seguir na figura 2.15.

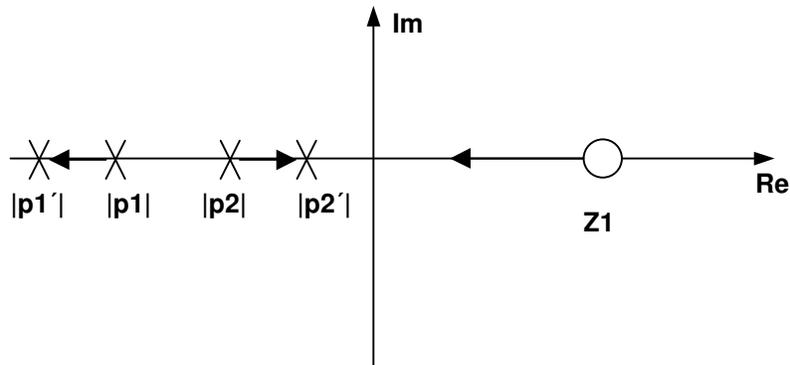


Figura 2.15 – Afastamento dos polos devido C_c e deslocamento do zero devido R_z

Com relação ao resistor, acrescentado em série com cada capacitor de compensação, isso permite deslocar o zero do semiplano direito para o esquerdo, melhorando, dessa forma a MF.

Os dois pares diferenciais, apesar de complementares, não são exatamente simétricos resultando em valores diferentes para os respectivos conjuntos: capacitor - resistor ($C_c - R_z$) de cada par diferencial.

Os melhores valores encontrados, através da simulação do amplificador, visto na figura 2.10, trabalhando dentro do circuito de *interface analógica* - IA, foram:

a) $C_{c1} (C 1) = 2,6 \text{ pF}$ e $R_{z1} (R 3) = 1,65 \text{ k}\Omega$.

b) $C_{c2} (C 2) = 5,2 \text{ pF}$ e $R_{z2} (R 1) = 4,95 \text{ k}\Omega$.

Com esses novos valores, a MF ficou próxima de 60° .

Além disso, foram *aumentadas* as correntes de polarização I_{ss_a} e I_{ss_b} , o que permitiu melhorar o SR.

2.3.3 Simulação

O diagrama da figura 2.16 mostra o ganho da saída OUT1- 1º estágio:

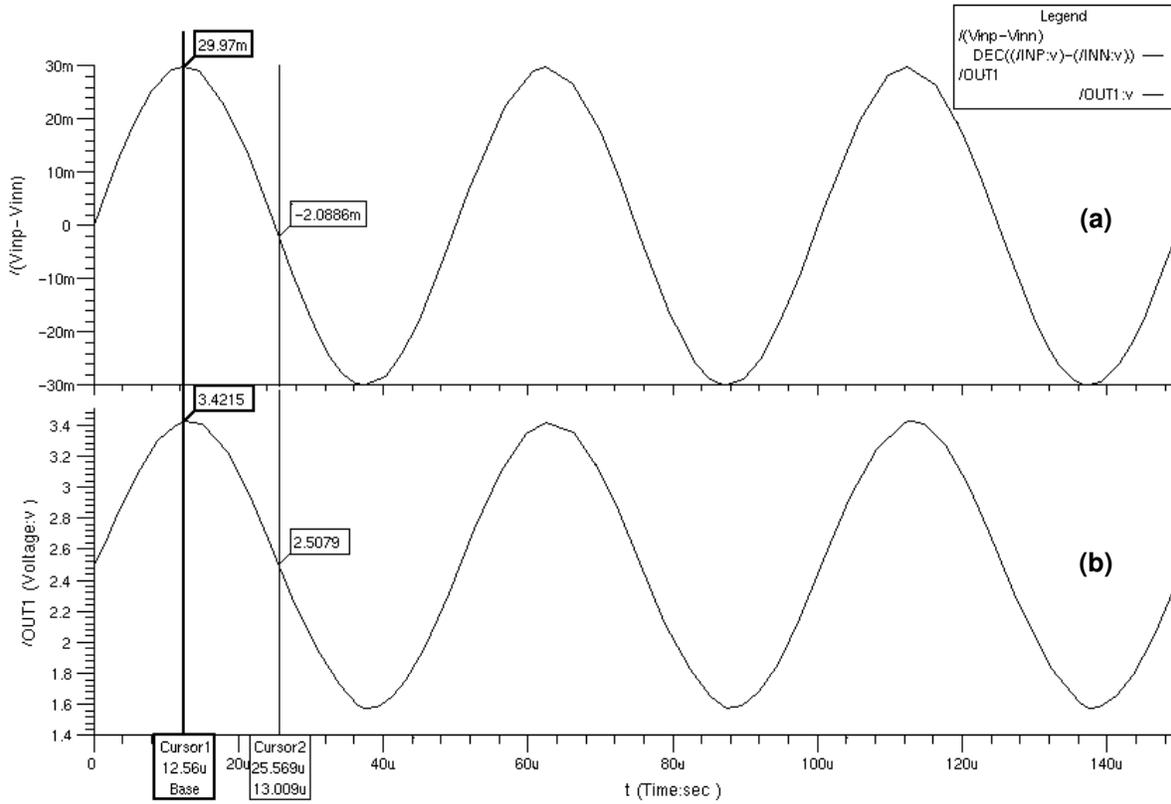


Figura 2.16 - a) Sinal entre as entradas INP e INN

b) Sinal da saída OUT1

Condições de simulação :

a) $V_{DD} = 5V$

b) Estímulo entre V_{INP} e V_{INN} : forma de onda senoidal 30 mVp @ 20kHz.

Cálculo do ganho no 1º estágio :

$$\text{Ganho} = V_{out1} \div (V_{INP} - V_{INN}) \Rightarrow$$

$$\text{Ganho} = (3,42 - 2,5) \div 0,03 = 30,6$$

A seguir a simulação de resposta em frequência do amplificador em *malha aberta*.

Considerações:

- a) $V_{DD}=5V$;
- b) gerador de sinal AC de frequência variável (1Hz a 100MHz) aplicado entre as entradas INP e INN;
- c) circuito de simulação [3, 11] conforme figura 2.17a. Nas entradas em série com o gerador de sinal, existem dois capacitores de desacoplamento de 1F. Foi colocado um indutor de indutância suficientemente alta para não introduzir uma corrente DC entre a entrada e a saída. Saída com carga $R_{s_1}=10M\Omega$ e $C_{s_1}=5pF$. Considerou-se também a capacitância do “pad” (IOA5C) como 100pF. Mediu-se o ganho em dB, através da relação (V_{s_1}/V_{OUT}) , em que $V_{s_1} = (V_{INP} - V_{INN})$.

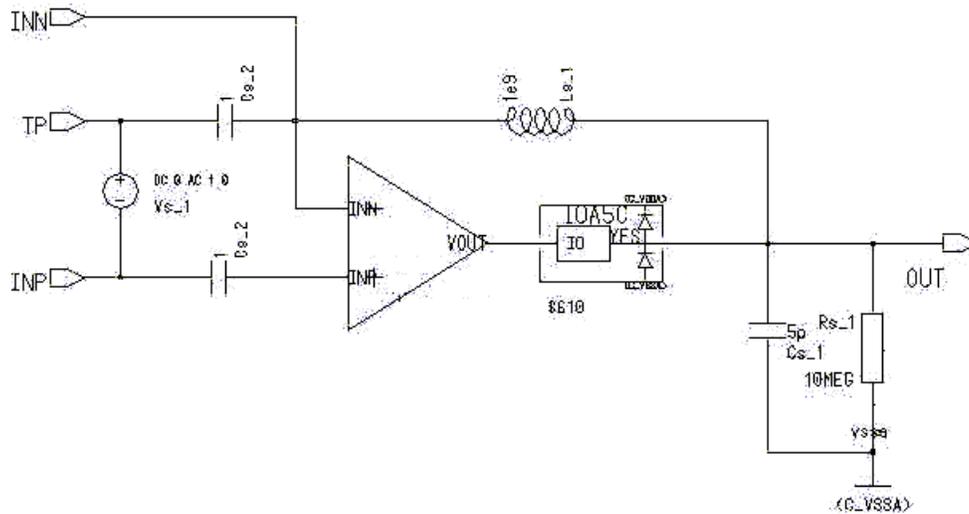


Figura 2.17a – Circuito de simulação de resposta em frequência em malha aberta

Simulação de resposta em freqüência do amplificador em *malha aberta*.

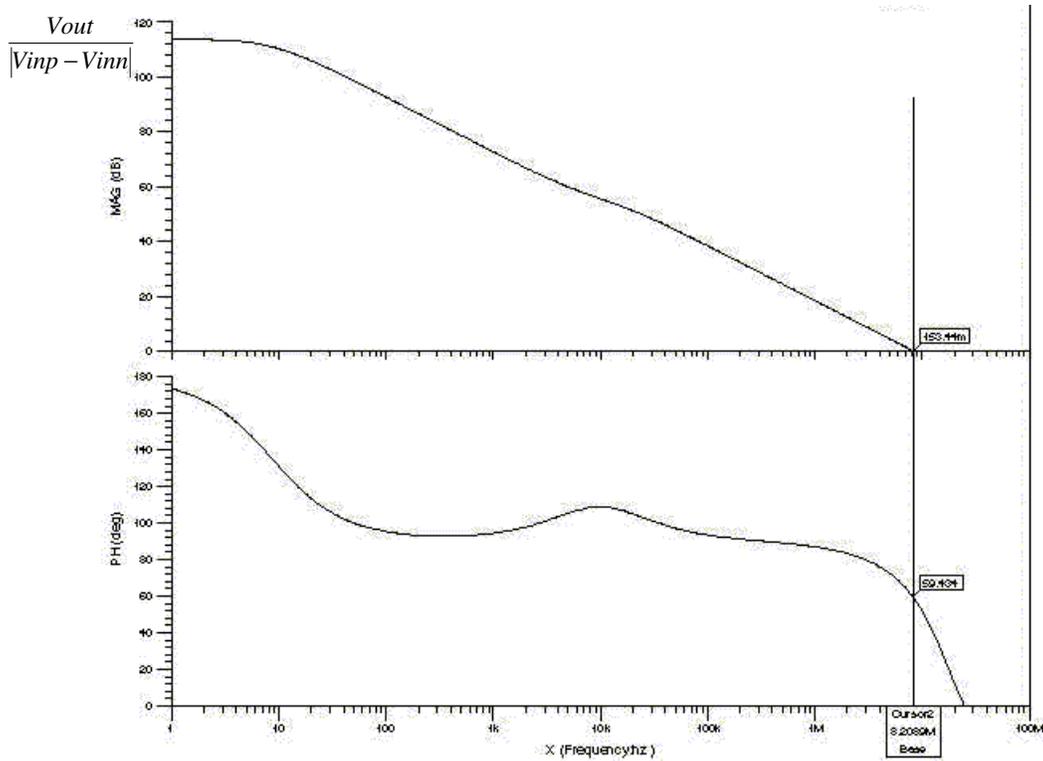


Figura 2.17b - Gráficos do ganho em dB e a margem de fase - MF em malha aberta

Nota-se na figura 2.17b que, para uma freqüência de corte de aproximadamente 8,2 MHz, temos uma MF próxima de 60°. Além disso, a baixas freqüências o ganho é superior a 100 dB. A desvantagem da compensação é que, em malha aberta, o ganho cai a partir de freqüências mais baixas. Porém, nesse caso, o amplificador será aplicável em malha fechada.

Simulação de resposta em frequência do amplificador em *malha fechada*.

Considerações :

- a) $V_{DD}=5V$;
- b) sinal aplicado com amplitude de 30 mVp e frequência variável (1Hz a 100MHz);
- c) realimentação interna com ganho DC (R_2/R_1 - vide figura 2.9) de 30.

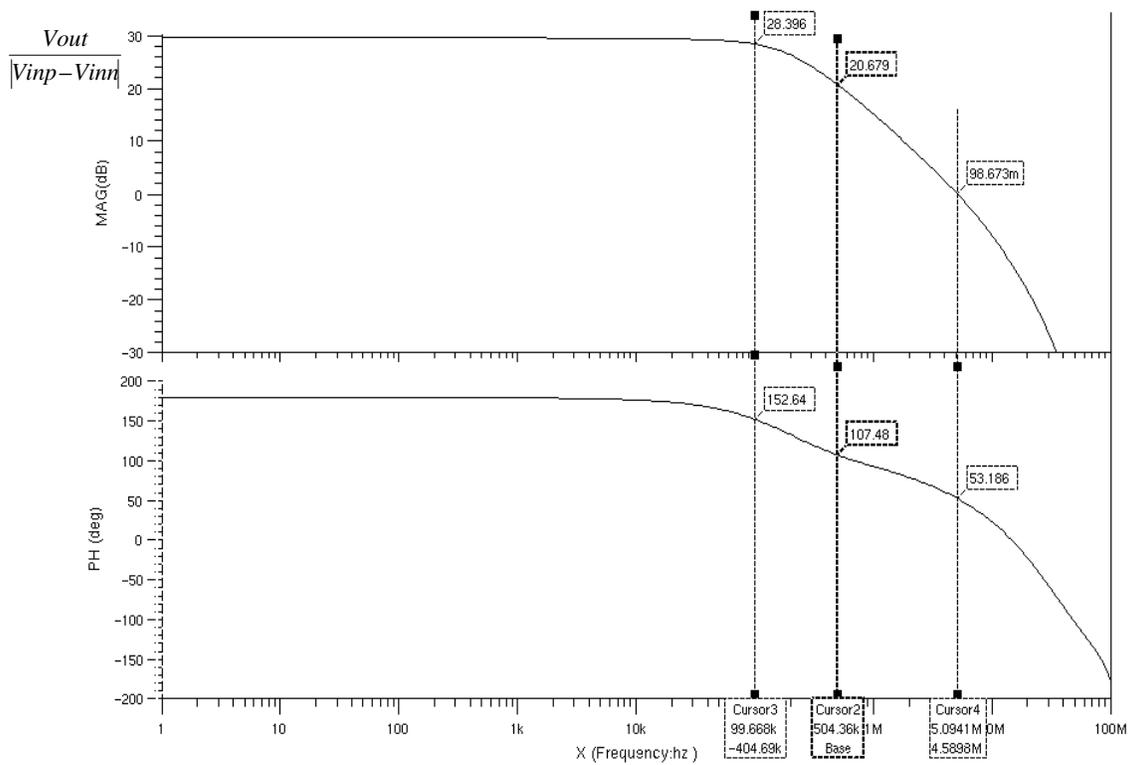


Figura 2.18 - Gráficos do ganho em dB e a margem de fase - MF em malha fechada

Observa-se que, dada a frequência de corte de aproximadamente 5 MHz, temos uma *MF* em malha fechada de 53°, aceitável para a aplicação proposta.

Simulação de resposta em frequência do amplificador em *malha fechada*.**Considerações :**

- a) $V_{DD}=2V$;
- b) Sinal aplicado com amplitude de 30 mVp e frequência variável (1Hz a 100MHz);
- c) Realimentação interna com ganho DC ($R2/R1$) de 30.

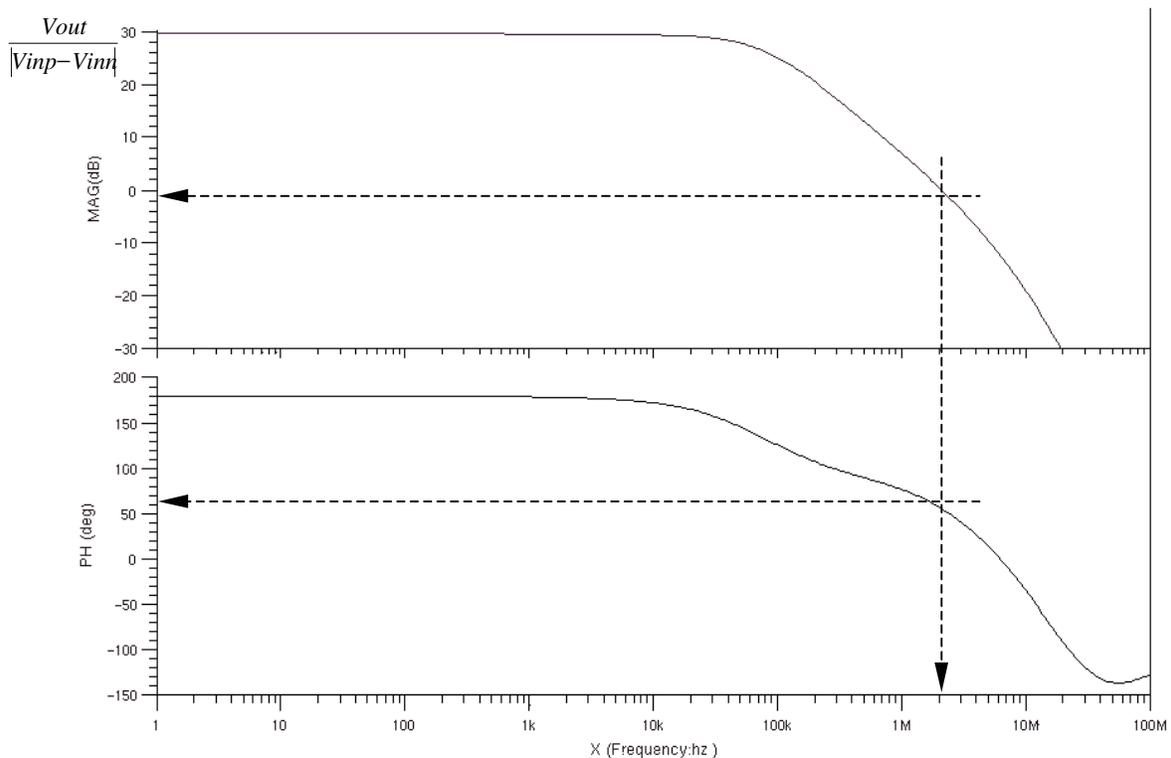


Figura 2.19 - Gráficos do Ganho em dB e a Margem de Fase em malha fechada

Nesse caso, em que $V_{DD} = 2V$, a frequência de corte cai para 2 MHz e a *MF* em malha fechada mantém-se em torno de 53° . Portanto, tal resultado de simulação é aceitável para a aplicação proposta.

A seguir resultado da **simulação DC**.

Considerações:

- a) $V_{DD}=5V$;
- b) pulso aplicado à entrada não-inversora (INP): pulso de 0 a V_{DD} , com duração de 0,1 ms, tempo de subida 0,9 ms igual ao tempo de descida, período 2 ms;
- c) circuito de teste montado como amplificador não- inversor de ganho DC unitário, conforme figura 2.20a. Saída com carga $R_L=5k\Omega$ e $C_L=100pF$.

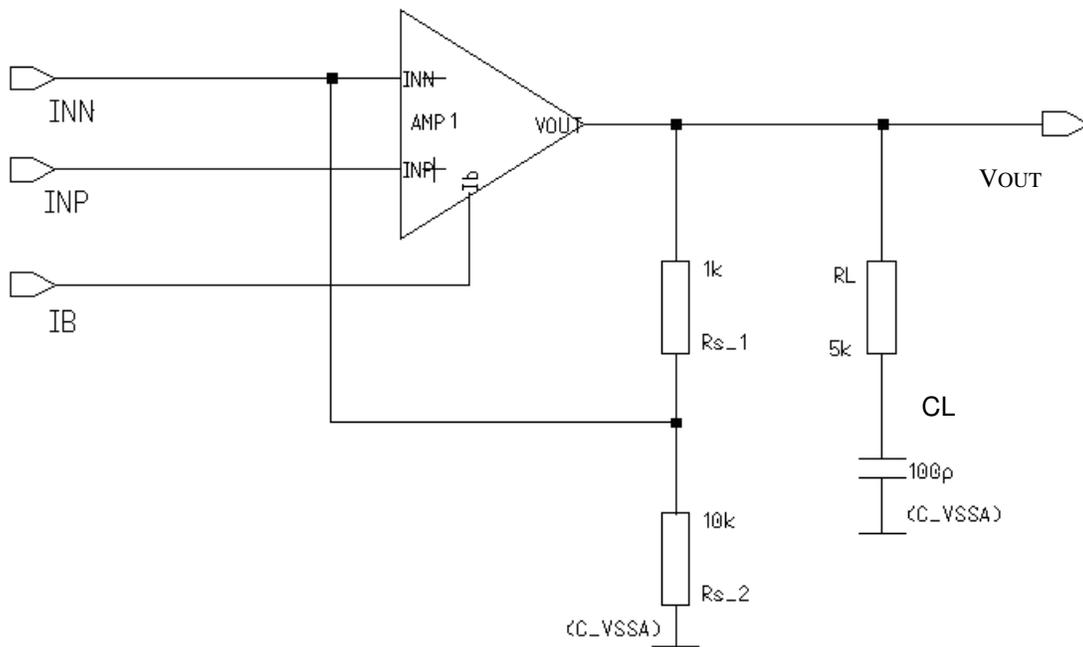


Figura 2.20a – Circuito de teste utilizado na simulação

Dessa forma, a tensão de saída deve ser igual a:

$$V_{OUT} = [1 + (R_{s_1}/R_{s_2})] \cdot V_{INP}$$

portanto, $V_{OUT} \cong V_{INP}$, observado na figura 2.20b.

A corrente de polarização I_B está sendo fornecida internamente ao AMP1, através do resistor R_b , conforme figura 2.10.

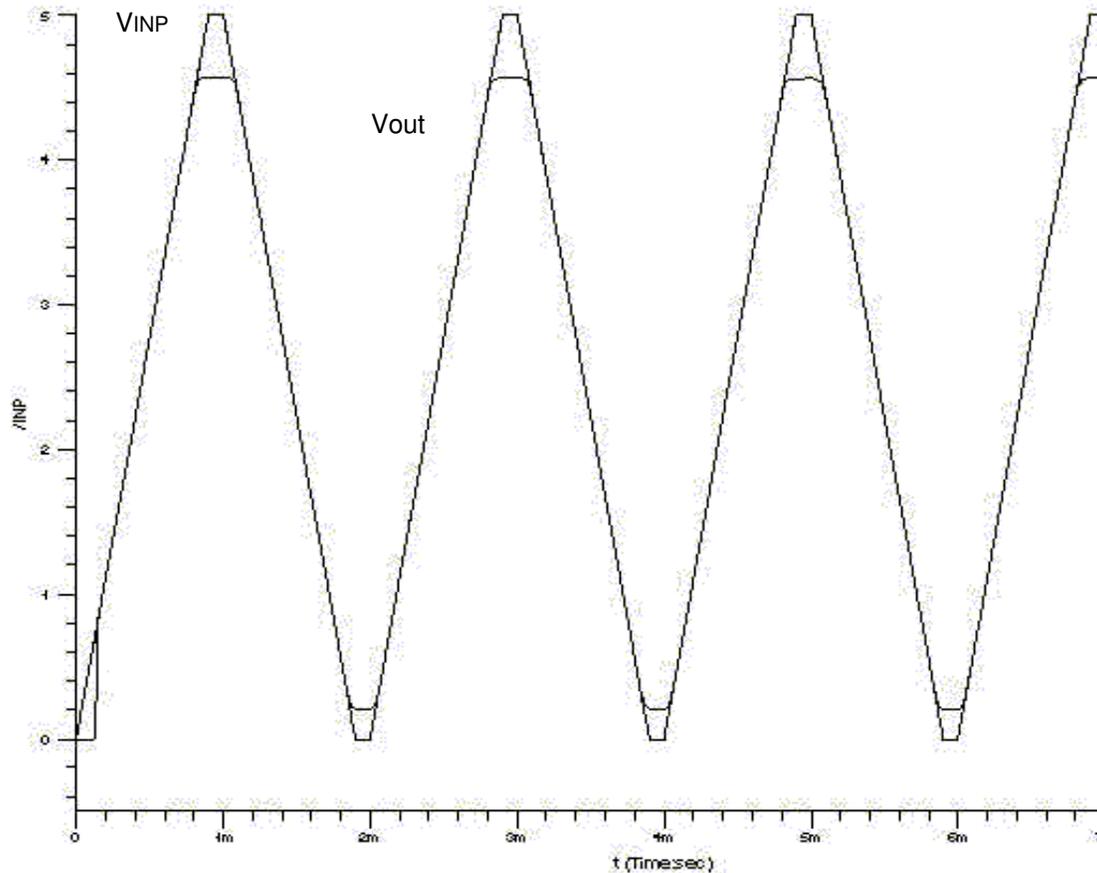


Figura 2.20b – Excursão do sinal de saída em relação ao sinal de entrada, com ganho DC unitário

2.3.4 Comparador – Especificação Funcional e Estrutural

Estruturalmente, conforme a figura 2.9, o comparador [2, 3] é o último circuito do bloco *interface analógica*. A saída OUT2 do amplificador operacional AMP2 está ligada à entrada inversora (V_n) do comparador. A tensão, neste ponto, será comparada à tensão da entrada não-inversora (V_p), de onde serão tomadas as tensões de referência H_{ref} e L_{ref} do circuito comparador.

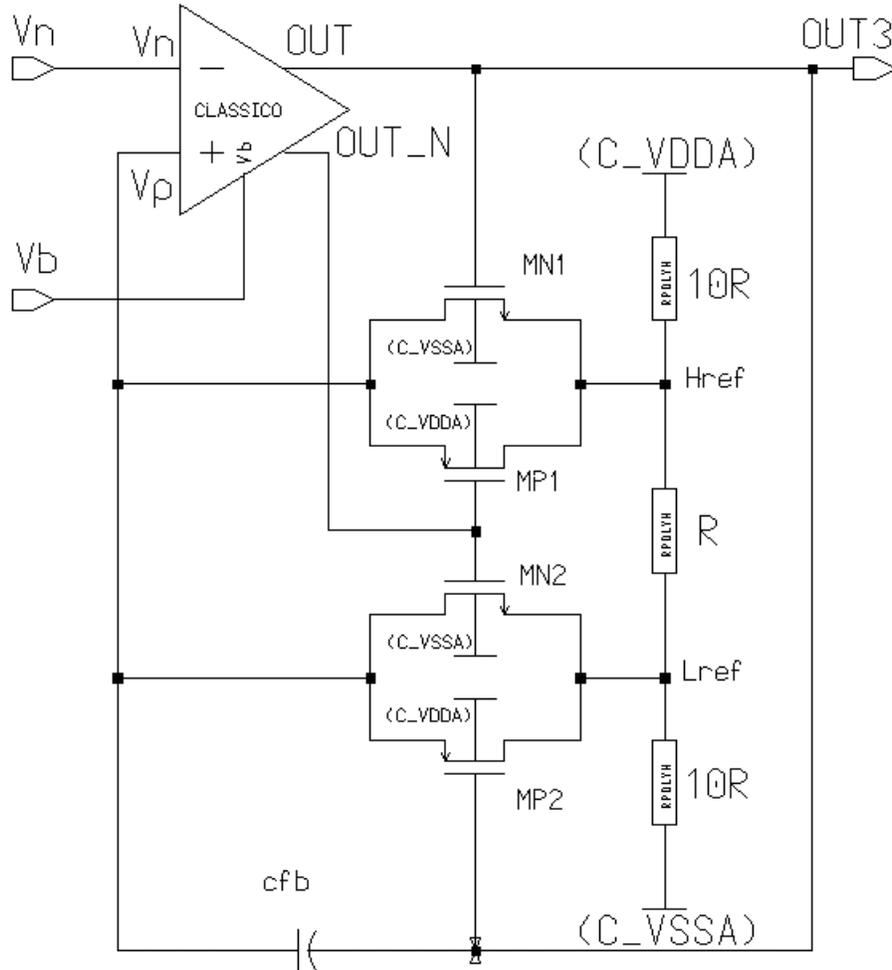
Circuito Global do Comparador com Histerese:

Figura 2.21 - Circuito global do comparador

Quando se aumenta a frequência, ou seja, a velocidade de passagem do cartão, a amplitude do sinal de saída para $OUT2$, figura 2.9, sobe. A recíproca é verdadeira, isto é, baixando-se a frequência, a amplitude também baixa. É necessário garantir que o circuito não interprete um ruído ou um defeito no cartão magnético. Foi projetado para isso um circuito divisor de tensão, a fim de introduzir uma faixa de histerese (dado pela diferença entre os níveis $H_{ref} - L_{ref}$), otimizando o funcionamento do comparador para faixa de tensão de alimentação de 2V a 5,5V.

Portanto:

$$\text{a) para } V_{DD}=5V : (H_{ref} - L_{ref}) = \frac{V_{DD}}{R_{eq}} \cdot R = 5,5V \times \frac{R}{21R} \cong 240 \text{ mV e}$$

$$\text{b) Para } V_{DD}=2V : (H_{ref} - L_{ref}) = \frac{V_{DD}}{R_{eq}} \cdot R = 2V \times \frac{R}{21R} \cong 95 \text{ mV.}$$

Vale notar que o R_{eq} (resistor equivalente) do circuito da figura 2.21 é igual a $(10R+R+10R = 21R)$.

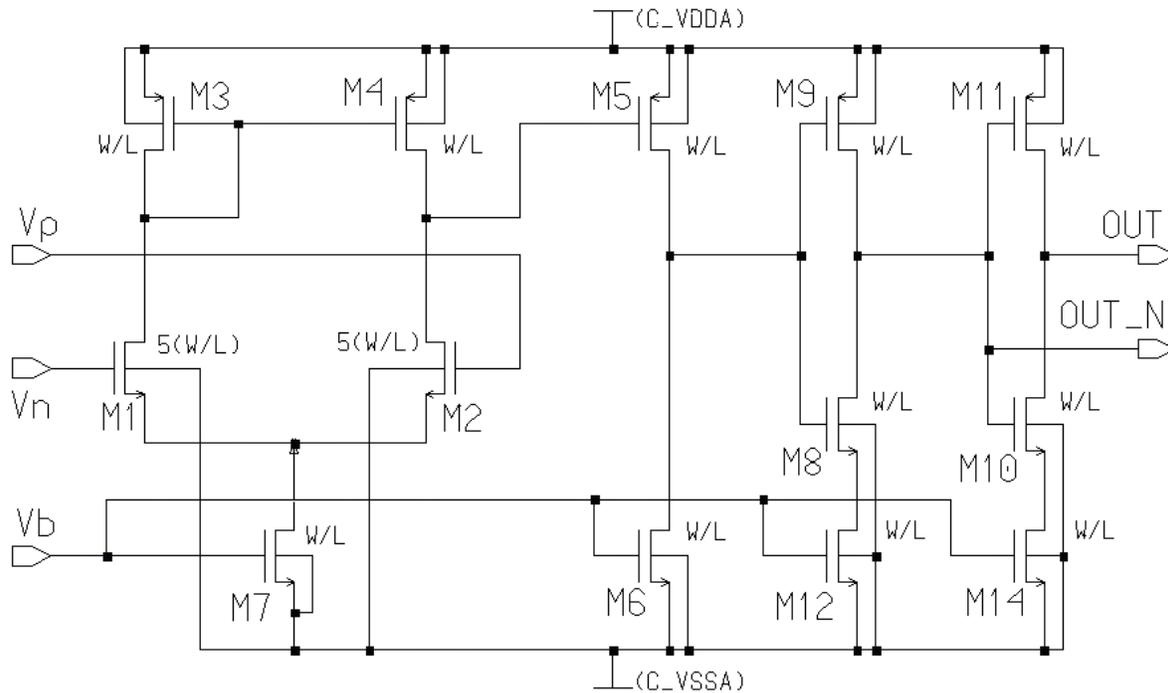


Figura 2.22 - Circuito do comparador

A tensão de entrada V_n será comparada sempre entre dois níveis de referência L_{ref} , que é o nível baixo e H_{ref} , que é o nível alto. Quando a tensão no ponto V_n alcançar aproximadamente o nível de $[V_{DD} \pm (H_{ref} - L_{ref})] / 2$, o circuito inverte o sentido de carga através da chave, garantindo sempre uma histerese que é a diferença $(H_{ref} - L_{ref})$ de aproximadamente 240 mV (@ 5V_{DD}) e 100 mV (@ 2V_{DD}). A saída “out”

do comparador é a mesma que OUT3, conforme figura 2.9, saída da *interface analógica*.

Os transistores M12 e M14, figura 2.22, nos inversores de saída servem para limitar a corrente nas saídas, em cerca de $700\mu\text{A}$ a $5V_{DD}$ ou $200\mu\text{A}$ a $2V_{DD}$, quando o comparador está trabalhando, como poderá observar nas simulações das figuras 2.25 e 2.26 mais adiante.

A Figura 2.23 apresenta o “layout” do comparador com histerese. No topo, estão representados os três resistores ligados em série e utilizados no circuito para referências H_{ref} e L_{ref} . Na metade inferior, está o “layout” do circuito clássico do comparador.

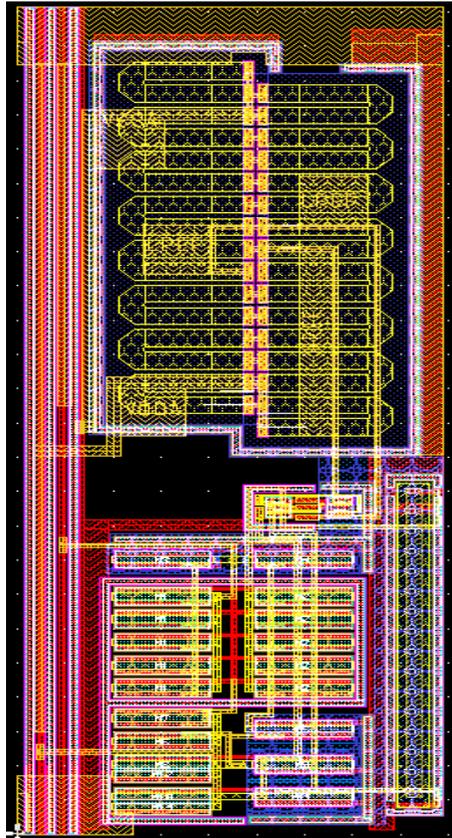


Figura 2.23 – Layout do circuito do comparador

2.4 Oscilador – OSC

O *oscilador* inclui um circuito RC [2, 3], construído internamente, responsável pelo sinal de sincronismo interno. Sua frequência de operação é de aproximadamente 800 kHz a qual, como já afirmado anteriormente, cobre a especificação à parte digital.

2.4.1 Especificação Funcional e Estrutural

Controlado pela parte digital, no momento em que há um sinal presente na saída analógica FROM_AN (OUT3), indica que existe passagem do cartão magnético. Após o 4° pulso negativo desse sinal, o *oscilador* começa a funcionar. O sinal de saída do oscilador interno, FROM_OSC é a entrada de relógio (“clock”) que sincroniza o circuito digital.

O sinal FROM_OSC está conectado ao sinal OSC_OUT (sinal de saída para teste) por meio de um resistor interno de 10 k Ω . Esse resistor foi construído com o objetivo de estimular a parte digital, através do sinal de entrada FROM_OSC externo, independentemente da *interface analógica*.

O sinal SPEED_C, interligado ao Vb (“voltage bias”), conforme a seguir na figura 2.24, foi projetado para controlar a velocidade do *oscilador*. Esse sinal é normalmente não conectado. No entanto, desejando-se aumentar a frequência do sinal de saída do *oscilador*, basta conectar o sinal SPEED_C (Vb) a VDD. Varia-se, assim, a corrente de carga e descarga do capacitor interno.

O circuito *oscilador* baseia-se no princípio de funcionamento abaixo apresentado:

Através do chaveamento de uma fonte de corrente faz-se a carga e a descarga de um capacitor C, com capacitância *constante* de 13,5pF,

construído na entrada de um comparador de tensão, igual ao observado anteriormente na figura 2.22.

Na saída desse comparador, ocorre o sinal oscilante de frequência ajustável, que independe da tensão de alimentação V_{DD} e quase não varia com a temperatura de operação.

As informações que se seguem estão ilustradas na figura 2.24. Assim funciona o circuito do *oscilador*: o sinal de controle interno OFF, proveniente da parte digital, habilita o funcionamento do *oscilador*. As tensões de referência: L_{ref} , baixa, M_{ref} , média e a H_{ref} , alta, dependem da tensão de V_{DD} , dos valores dos resistores RPOLYH ("high resistive polysilicon layer") e dos parâmetros de processo dos transistores NMOS. Tais referências são obtidas através do fluxo de corrente pelos quatro resistores R, utilizados como fonte de corrente do circuito e responsáveis pelo modo da excursão do sinal.

O controle da carga e descarga do capacitor é realizado por meio de duas fontes de corrente, I_{s5} e I_{s6} , que trabalham de forma complementar, conforme se verifica na figura 2.24. Ambas as fontes são controladas pelo nível de tensão de saída V_{ctr} do comparador COMP e pelo sinal de controle OFF. A arquitetura do comparador COMP se baseia em uma topologia clássica e já foi vista anteriormente. O comparador COMP está associado a multiplexes analógicos, os quais irão configurar a histerese do comparador, determinada por dois níveis de tensão de referência: H_{ref} e L_{ref} .

Quando o *oscilador* se encontra em *modo desativado*, o sinal de controle OFF está em nível baixo, o transistor M5 cortado e as fontes de corrente I_{s5} e I_{s6} não conectadas ao capacitor C. O multiplex MUX2, através do canal IO, iguala a tensão no capacitor V_c ao nível de *referência média de*

tensão - M_{ref} . Nessa condição, o comparador COMP não muda seu estado de saída e com isso permanece estável a saída do oscilador.

Quando o oscilador se encontra em modo ativado, o sinal OFF está em nível lógico alto e sendo ativados o canal I1 do multiplex MUX2 e o transistor M5. Durante a oscilação, o canal I1 do MUX2 conecta I_{s5} e I_{s6} para o terminal positivo do capacitor C. No momento em que a tensão de saída V_{ctr} do comparador COMP se apresenta em nível baixo, o transistor M8 está cortado e o M3 conduzindo. O MUX1 seleciona o canal I0 e, nessa circunstância, a corrente em I_{s5} é quase zero e I_{s6} descarrega o capacitor C, enquanto a tensão sobre o capacitor V_c alcança o valor de L_{ref} (tensão baixa de referência). Quando V_c atinge o valor de L_{ref} , o comparador COMP muda de estado sua saída, passando a tensão de saída V_{ctr} para nível alto. Daí, o transistor M8 está conduzindo e o M3 cortado, o MUX1 seleciona o canal I1. Nessa circunstância, a corrente em I_{s6} é quase zero e I_{s5} carrega o capacitor C, enquanto a tensão sobre o capacitor V_c sobe, alcançando o valor de H_{ref} (tensão alta de referência). Logo que V_c atinge o valor de H_{ref} , começa um novo ciclo de descarga do capacitor.

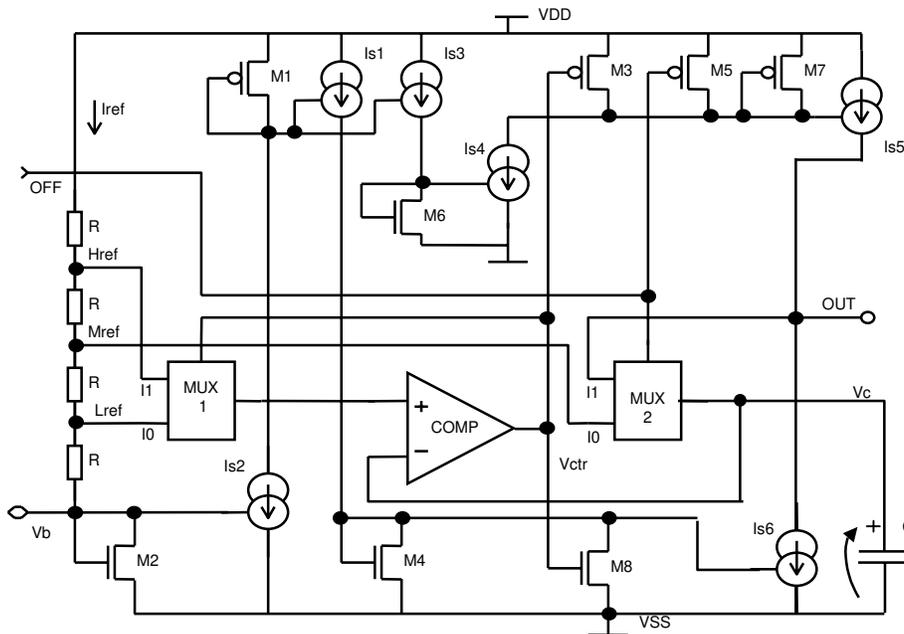


Figura 2.24 - Circuito do oscilador interno

Analisando o circuito tem-se:

A corrente I_{ref} está refletida em uma razão de (2:1) para as fontes I_{s5} e I_{s6} do circuito espelho de corrente, sendo que a primeira executa a carga e a segunda descarga do capacitor C. Tais correntes em I_{s5} e I_{s6} são simétricas:

$$I_{carga} = 0,5 \cdot I_{ref}$$

$$I_{descarga} = 0,5 \cdot I_{ref}$$

Assim, no divisor de tensão, a corrente de carga do capacitor é:

$$I_{carga} = 0,5 \cdot \frac{(V_{DD} - V_b)}{4R} \quad (2.19)$$

Portanto, a variação de tensão no capacitor será :

$\Delta V_c = H_{ref} - L_{ref}$,onde:

$$H_{ref} = \frac{3 \cdot (V_{DD} - V_b)}{4} + V_b \quad (2.20)$$

e

$$L_{ref} = \frac{1 \cdot (V_{DD} - V_b)}{4} + V_b \quad (2.21)$$

Dessa forma:

$$\Delta V_c = \frac{2 \cdot (V_{DD} - V_b)}{4} = \frac{1 \cdot (V_{DD} - V_b)}{2} \quad (2.22)$$

Considerando-se que:

$$q = C.V \quad (2.23)$$

$$i_{\text{carga}} = \frac{dq}{dt} \quad (2.24)$$

$$i_{\text{carga}} = C \cdot \frac{dv}{dt} \quad (2.25)$$

$$dt = \frac{C}{i} \cdot dv \quad (2.26)$$

Sendo a variação do tempo de carga no capacitor é:

$$\Delta t_{\text{carga}} = C \cdot \frac{\Delta V_c}{I_{\text{carga}}} \quad (2.27)$$

$$\therefore \Delta t_{\text{carga}} = C \cdot \frac{1(V_{DD} - V_b)}{\frac{2}{1(V_{DD} - V_b)} \cdot 2 \cdot (4R)} = 4RC \quad (2.28)$$

Como o capacitor tem uma capacitância constante, pode-se afirmar que a variação do tempo de carga é simétrica à variação do tempo de descarga.

Então:

$$\Delta t_{\text{carga}} = \frac{T}{2} \text{ (período do sinal)} \quad (2.29)$$

ou seja,

$$T = 8.R.C \quad \therefore F = \frac{1}{8.R.C} \quad (2.30)$$

Substituindo-se os valores:

$$F = \frac{1}{8.(12k\Omega).(13,5pF)} \quad \therefore \underline{F \cong 800kHz}$$

De acordo com a expressão da frequência (2.30), nota-se que ela independe da tensão de alimentação VDD.

2.4.2 Simulação

a) Condição de simulação: $V_{DD}=2V$.

A figura 2.25 mostra as seguintes curvas:

Curva 1 - tensão do capacitor “Vc”;

Curva 2 - corrente de carga e descarga do capacitor;

Curva 3 - sinal da tensão de saída do oscilador;

Curva 4 - sinal de controle “OFF” do oscilador;

Curva 5 - corrente de consumo do circuito.

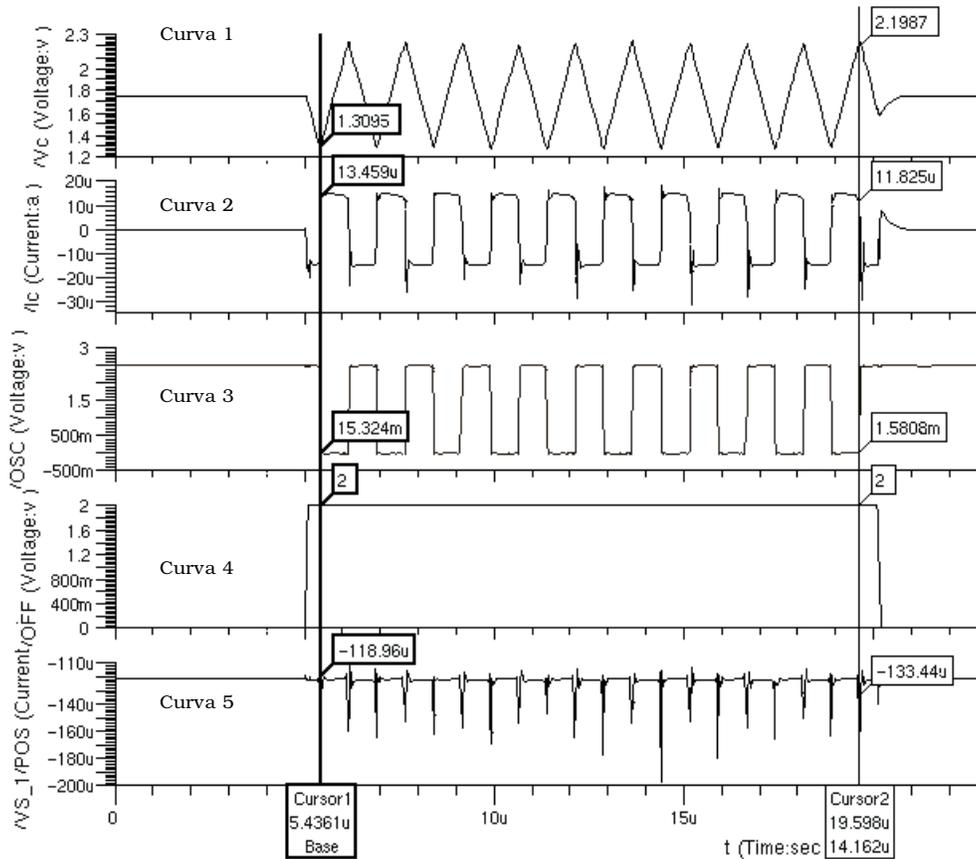


Figura 2.25 – Simulação do oscilador a $V_{DD}=2V$

b) Condição de simulação: $V_{DD}=5V$.

A figura 2.26 mostra as seguintes curvas:

Curva 1 - tensão do capacitor “Vc”;

Curva 2 - corrente de carga e descarga do capacitor;

Curva 3 - sinal da tensão de saída do oscilador;

Curva 4 - sinal de controle “OFF” do oscilador;

Curva 5 - corrente de consumo do circuito.

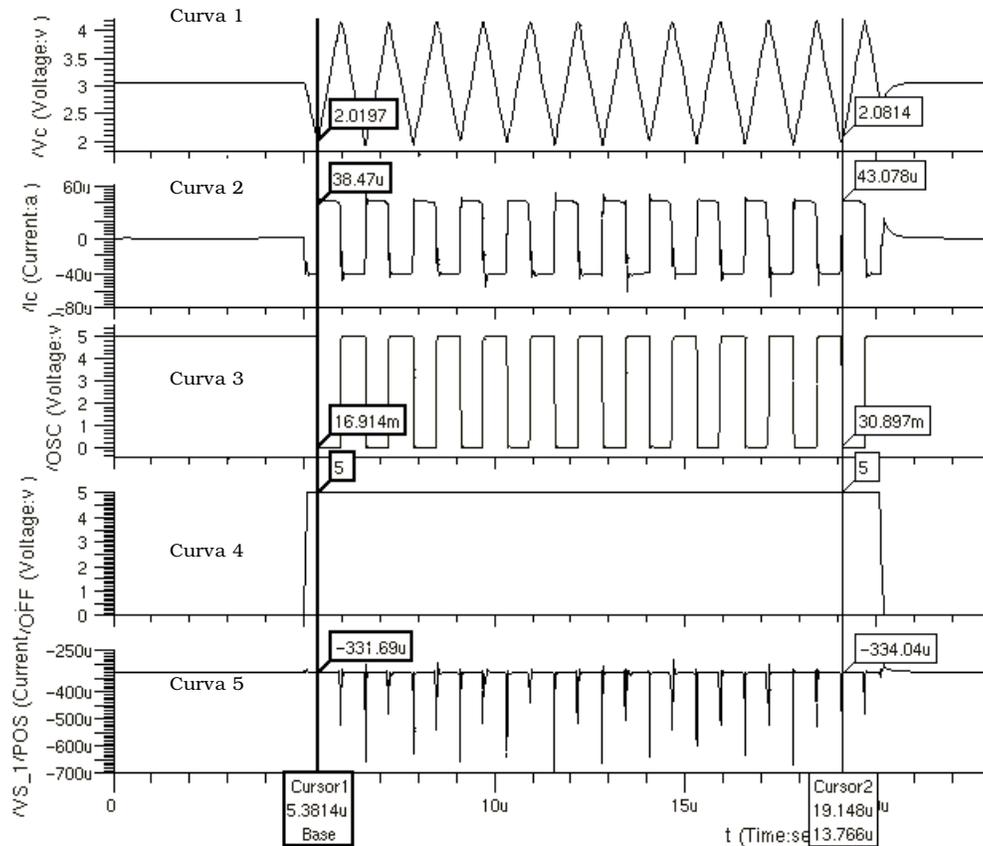


Figura 2.26 - Simulação do oscilador a $V_{DD}=5V$

A figura 2.27 representa o “layout” do *oscilador* interno.

No canto superior esquerdo, estão posicionados os resistores R em série, responsáveis pelas tensões de referência do circuito *oscilador*.

Imediatamente ao lado direito dos resistores, no topo, encontram-se os multiplexadores MUX1 e MUX2.

No canto superior direito, fica o comparador clássico, conforme a figura 2.23. Ocupando quase 50 % do circuito *oscilador*, na parte inferior, está o capacitor C de 13,5 pF.

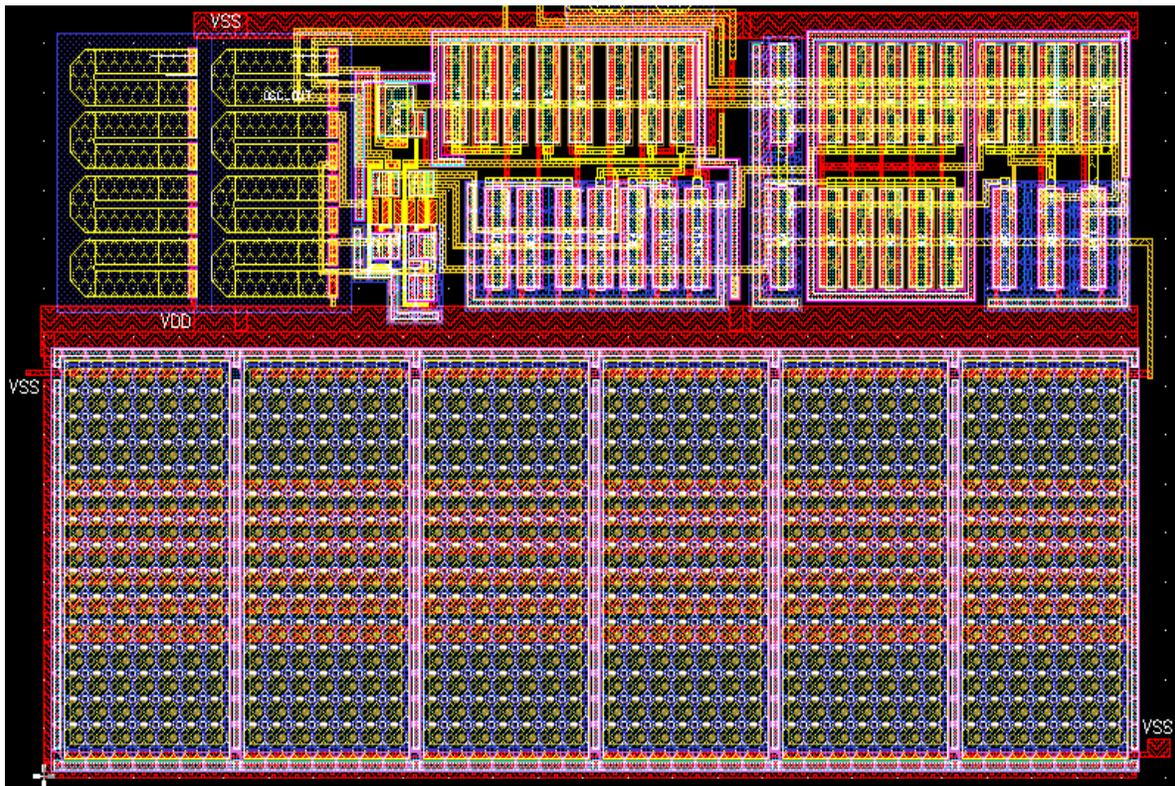


Figura 2.27 – “Layout” do *oscilador*

Capítulo 3 – Implementação do Circuito Integrado

3.1 Introdução

Quanto às tecnologias atuais e aos mercados, neste tópico são descritos alguns dos últimos avanços na área de automação usando decodificadores para protocolos de comunicação tipo F-2F. As tecnologias mais utilizadas na concepção desses circuitos de aplicação específica ASIC variam entre 0.8 μm e 1.2 μm CMOS.

Os principais circuitos encontrados no mercado encerram as características abaixo indicadas:

- a) são baseados em circuitos amplificadores operacionais;
- b) apresentam baixas potências : consumo de corrente de 1,0 a 3,0 mA;
- c) as tensões de operação variam de 3,3V a 5,0V com controle do ganho;
- d) as faixas de velocidade vão de: 300 a 12.600 bit/s;
- e) a largura de pulso (Wd) de relógio (“Clock”) de saída ajustável para sincronismo de leitura com microprocessador.

Entre as inúmeras aplicações em comunicação de dados, algumas podem ser citadas, como as seguintes:

- a) automação de pontos de vendas;
- b) segurança: controle de acesso;
- c) automação bancária: leitor de cartões magnéticos;
- d) comunicação (transmissão e recepção) remota de dados digitais;
- e) telemetria.

3.2 Tecnologia

Esse tópico trata das características do processo[24] usado.

Neste projeto, utilizou-se a família CUQ do processo CMOS (AMS), com as seguintes opções: 5V p-sub 2-metal, 1-poly.

Outras características encontradas são o número de máscaras (“Layers”) igual a 13 (treze), o substrato tipo “p”, dupla camada de metal nas ligações e duas camadas de polisilício (POLY1 e POLY2).

Foram utilizados, neste trabalho, 2.984 transistores. Quanto aos transistores tipo - p (modelo “SPICE” pmos4) e tipo - n (modelo “SPICE” nmos4), com largura mínima de porta igual a 0,8 μm e comprimento mínimo de porta igual a 0,6 μm . Foram usados resistores RPOLY e RPOLYH (“high resistive poly1 resistor”), este último possui resistência de folha típica de 1,2k Ω /quadrado.

A tabela 3.1 abaixo descreve alguns dos parâmetros estruturais importantes da tecnologia empregada.

PARÂMETRO	VALOR TÍPICO (nm)
ESPESSURA DE ÓXIDO DE CAMPO	400
ESPESSURA DE ÓXIDO DE PORTA	12,5
CAMADA DE PASSIVAÇÃO	750
PROFUNDIDADE DE JUNÇÃO N+ (XJN)	0,3
PROFUNDIDADE DE JUNÇÃO P+ (XJP)	0,2
PROFUNDIDADE DO POÇO N	2,5

Tabela 3.1 - Parâmetros estruturais e geométricos

Seção do "Wafer" Mostrando Transistores N-MOS e P-MOS

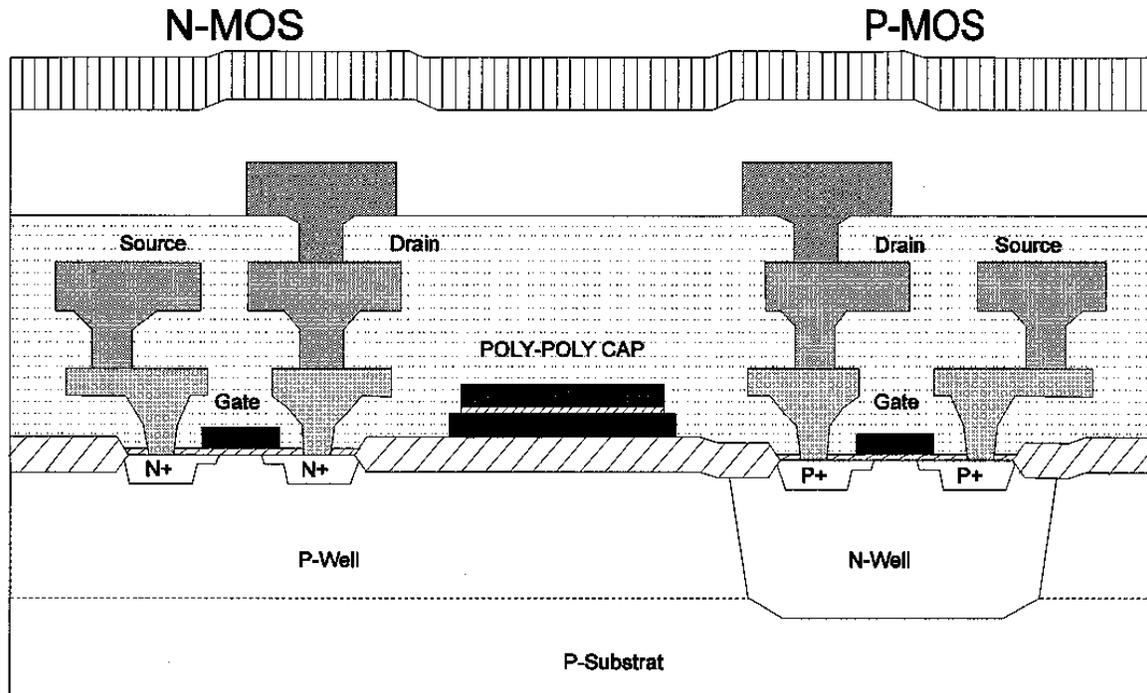


Figura 3.1 – Seção dos transistores n-mos e p-mos

Motivação para a escolha do processo CMOS:

- a) apresenta baixo consumo de potência, conveniente à aplicação;
- b) possui alta imunidade ao ruído, necessário à aplicação;
- c) a densidade de integração é boa, devido à possibilidade de se utilizar dois ou mais níveis de metal;
- d) a tecnologia CUQ 0,6 μm oferece o RPOLYH, indispensável, ao projeto do amplificador, do comparador e do oscilador. Além disso, a tecnologia citada é a menor disponível no "design kit - AMS" que possuímos. Sabe-se que, quanto menor for a tecnologia, menor será a área útil do CI. Isso significa *menor custo* na maior parte dos projetos.

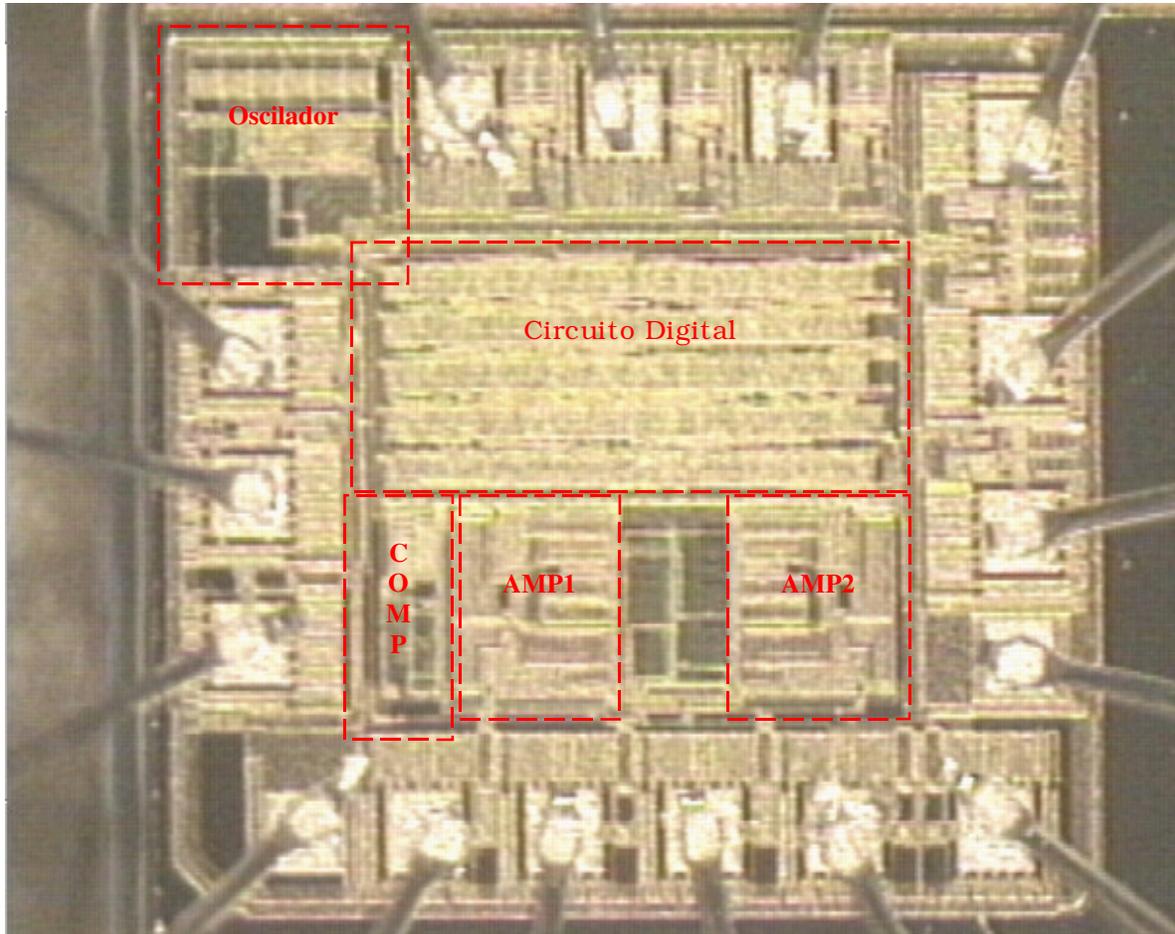


Figura 3.2 - Foto do "chip" - área total igual a 1,35 mm²

3.3 Resultados

1) Ganho do 1º estágio – AMP1 (interface analógica - IA):

Aplicando-se um sinal senoidal de 30 mVp @ 20 kHz entre as entradas INP e INN. O ganho deve variar entre os limites 27 e 33.

A seguir, para uma razão (W/L) dos resistores internos de $R1 = (30/5)$, $R2 = (900/5)$, $R = (180/5)$, sendo, todos construídos em RPOLYH.

Mede-se o sinal de tensão na saída OUT1 e calcula-se o ganho da seguinte forma :

$$G = V_{s1} \div V_{OUT1} \quad (3.1)$$

2) Nas mesmas condições, pode-se medir a defasagem entre o sinal de entrada e o de saída.

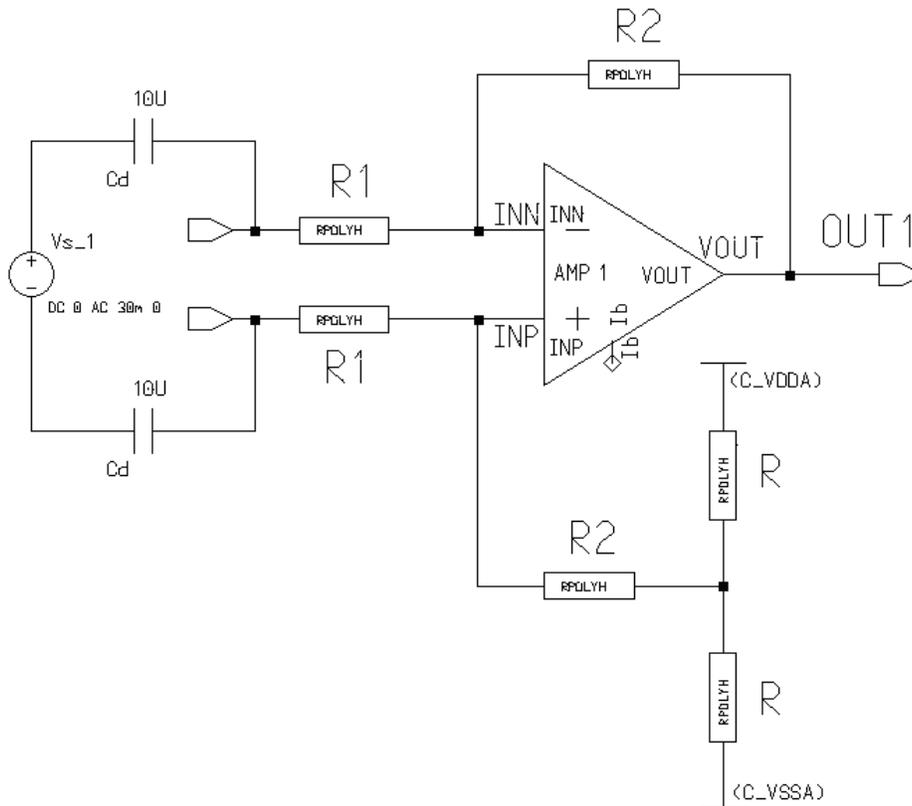


Figura 3.3 – Circuito de teste [25]

A figura 3.4 mostra o diagrama de medição para ganho do 1º estágio.

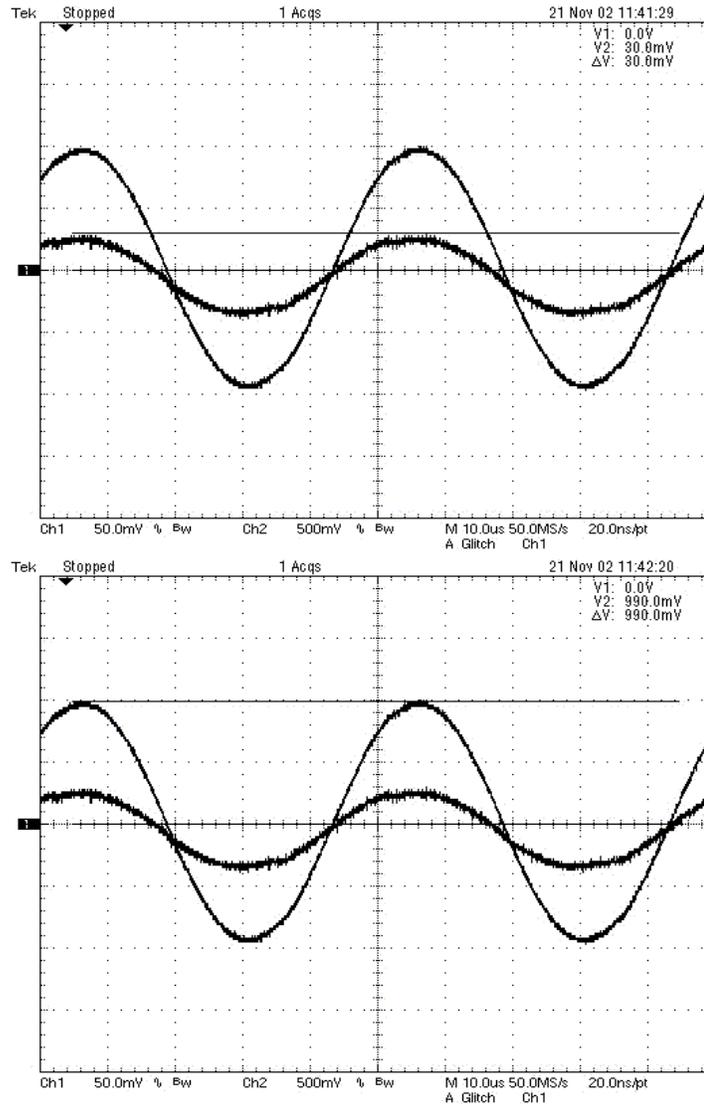


Figura 3.4 – Medida do ganho para AMP1

No primeiro diagrama de medição, nota-se, junto ao cursor do osciloscópio, a onda senoidal de amplitude de 30 mVp aplicada entre as entradas diferenciais do amplificador. No segundo diagrama, o cursor está sobre o sinal de saída do amplificador medindo 990 mVp. Há, portanto, um ganho medido aproximado ao resultado de simulação que é de 30 vezes.

A figura 3.5 mostra o diagrama de medição da defasagem, entre sinais de entrada e saídas do 1º estágio.

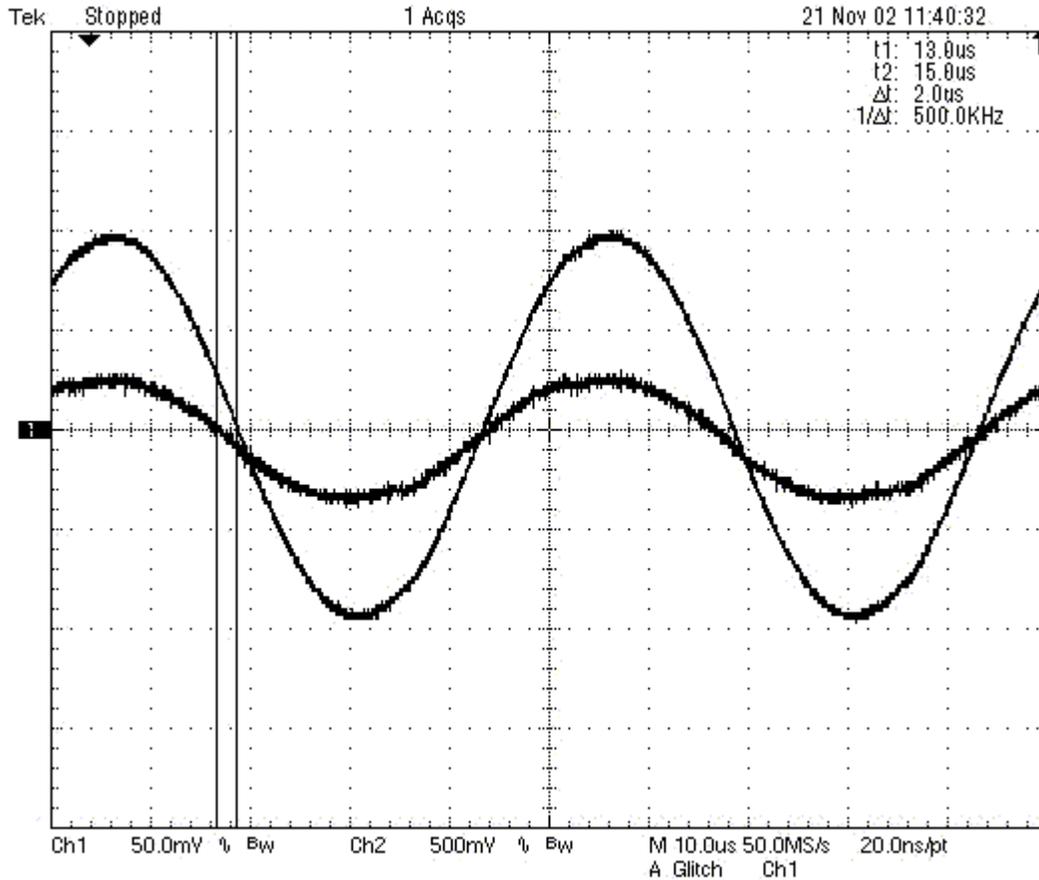


Figura 3.5- Medida da defasagem do sinal na saída OUT1 em relação ao de entrada

Verifica-se que o sinal de entrada (o de menor amplitude 30 mV) no primeiro semiciclo cruza o zero antes do sinal de saída (o de maior amplitude 990 mV), enquanto no segundo semiciclo o sinal de saída e o de entrada cruzam o zero praticamente juntos. Isso decorre da não simetria existente entre os pares diferenciais, canal - n e canal - p, utilizados no amplificador como já foi descrito no Capítulo 2.

Diagrama de medição do ganho (dB) em malha fechada para o 1° estágio.

Condições de teste: $V_{DD} = 2V$, um sinal senoidal de amplitude 10 mVp foi aplicado às entradas INP e INN, variando-se a frequência desse, de 10 Hertz até 10 MHertz. Foi utilizado um circuito de teste conforme a figura 3.3.

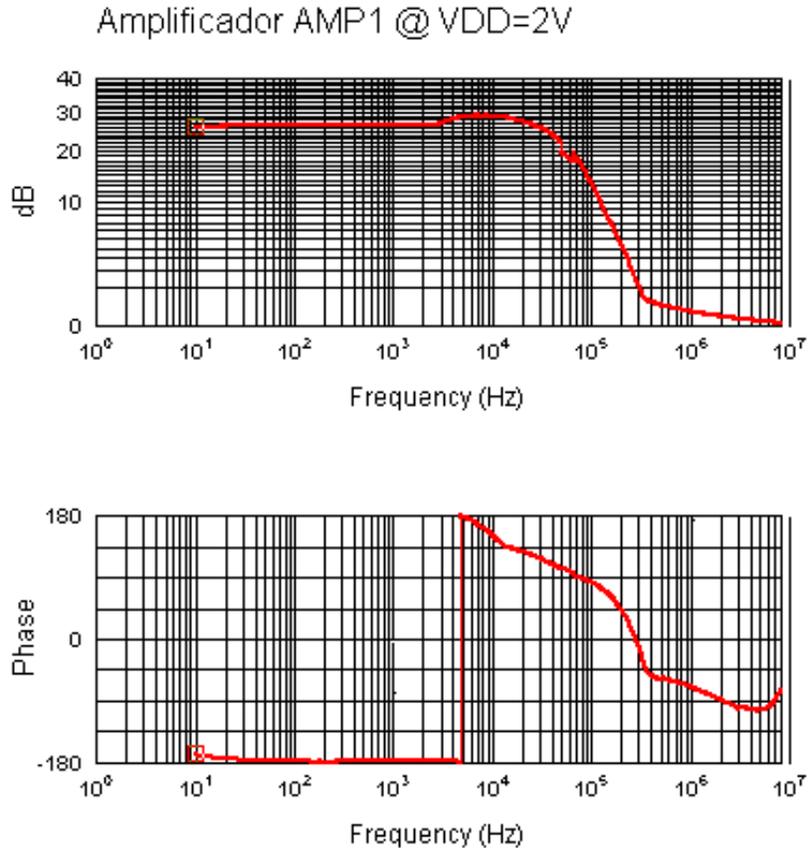


FIGURA 3.6 – Medição de ganho dB em malha fechada para o 1° estágio

Conforme mostrado na figura 3.6 para uma tensão de alimentação de 2V, o circuito amplificador demonstrou, na prática, operar a uma frequência de corte pouco superior a 100 kHz, com uma margem de fase - MF entre 40° e 50°.

Diagrama de medição do ganho (dB) em malha fechada para o 1° estágio.

Condições de teste: $V_{DD} = 5V$, um sinal senoidal de amplitude 10 mVp foi aplicado às entradas INP e INN, variando-se a frequência desse, de 10 Hertz até 10 MHertz. Foi utilizado um circuito de teste conforme a figura 3.3.

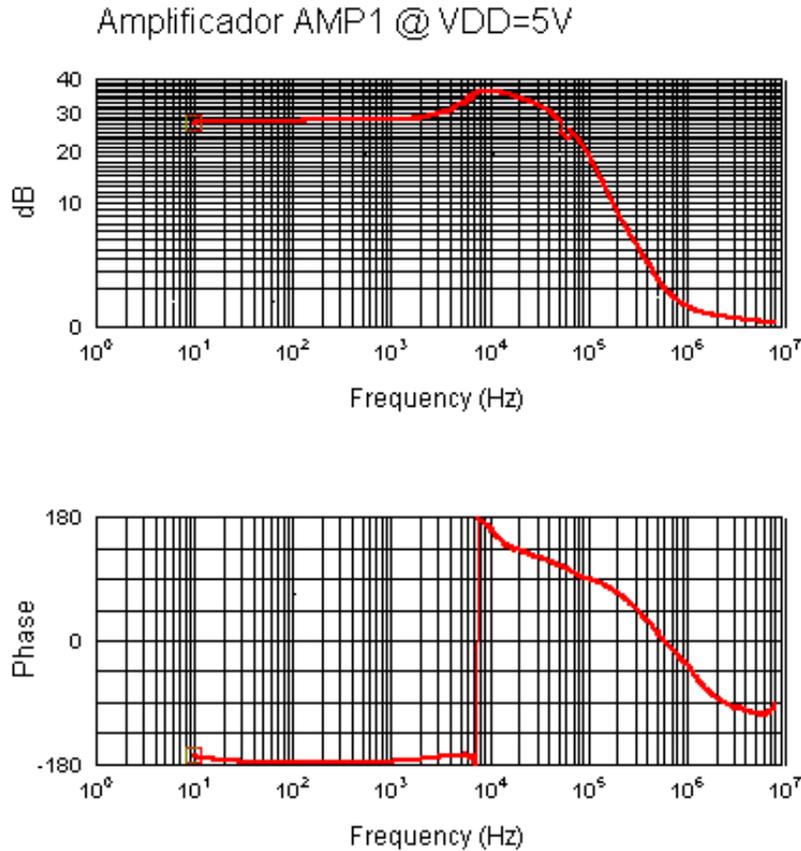


Figura 3.7 - Medição de ganho dB em malha fechada para o 1° estágio

Segundo a figura 3.7 para uma tensão de alimentação de 5V, o circuito amplificador demonstrou, na prática, operar a uma frequência de corte pouco superior a 500 kHz, com uma margem de fase - MF entre 40° e 50° .

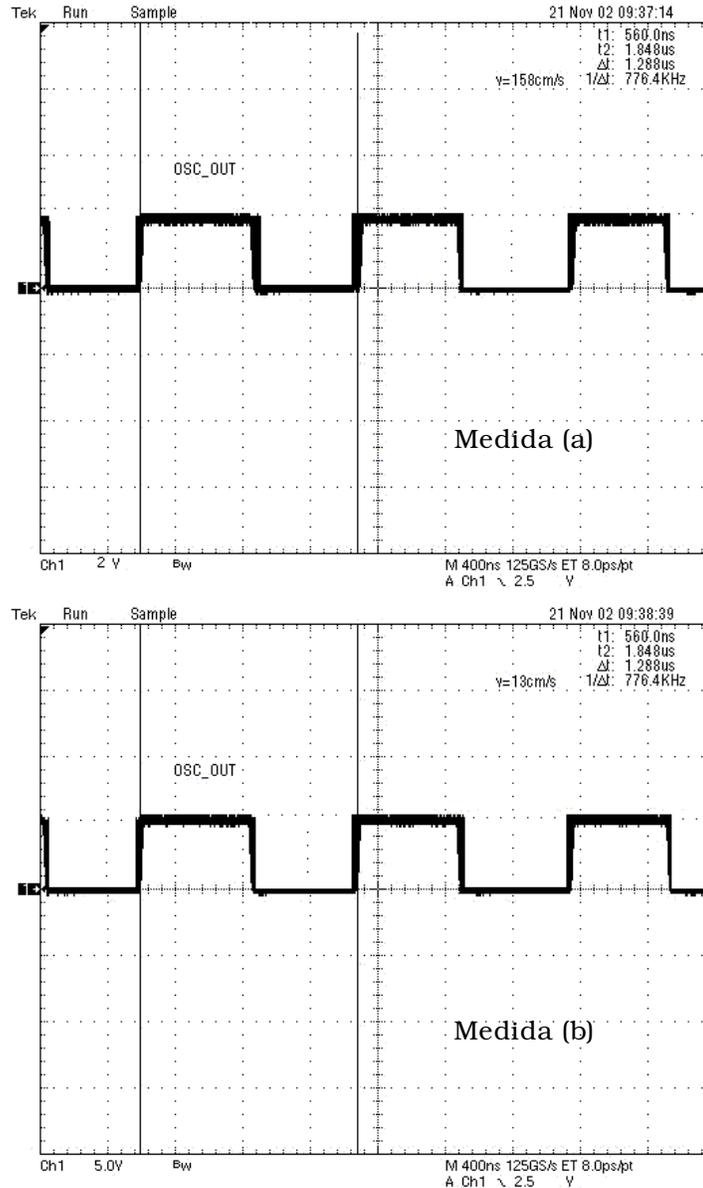
Resultados experimentais do circuito oscilador.

Figura 3.8 – Medida da frequência de operação do oscilador:
 a) $V_{DD}=2V$, b) $V_{DD}=5V$

Nos diagramas da figura 3.8, visualiza-se o sinal de saída de teste para o *oscilador* interno. Com ambas as tensões de alimentação: $V_{DD} = 2V$ e $5V$, não houve alteração da frequência do sinal medido de $776,4 \text{ kHz}$, portanto aproximadamente igual à frequência teórica.

As figuras 3.9 e 3.10 mostram diagramas que representam a funcionalidade do circuito de *interface analógica* - IA.

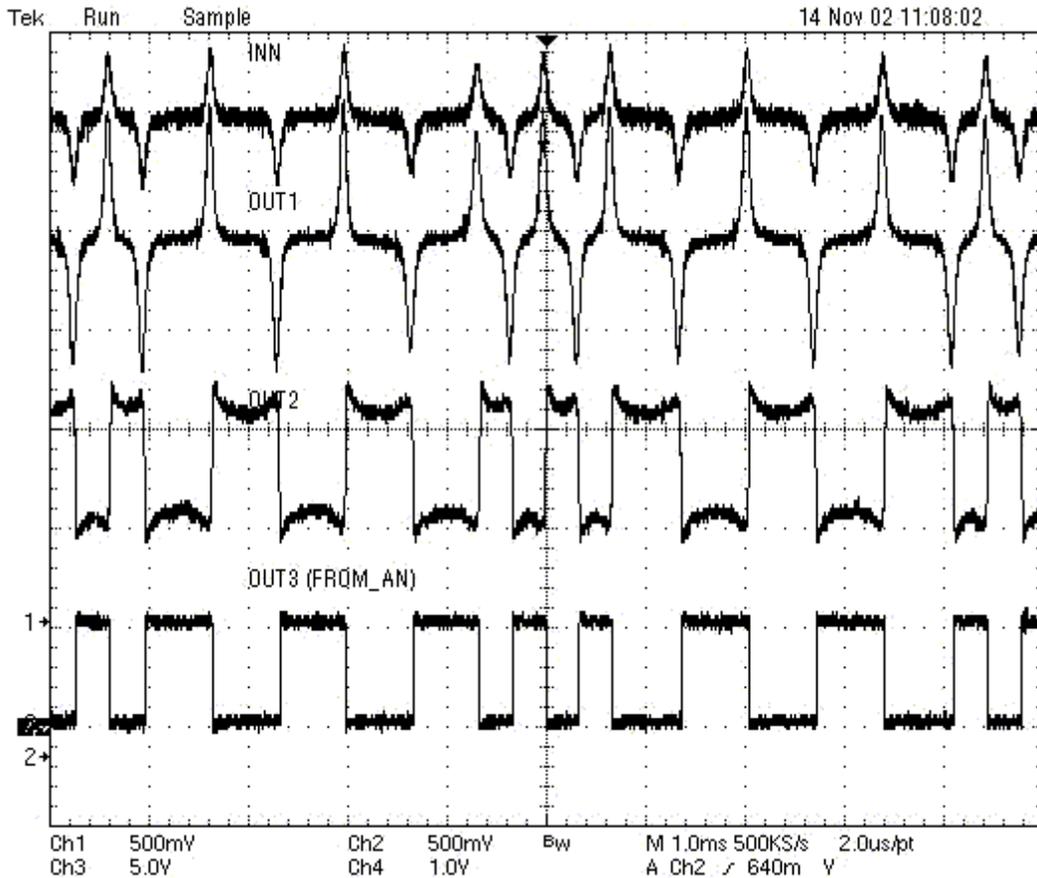


Figura 3.9 - Funcionalidade da parte analógica

A mudança da frequência dos sinais de F para $2F$, indica que, quando ocorre F , o “bit” de dado vale “zero”. Quando ocorre $2F$ indica “bit” de dado é “um”. Sempre que houver uma mudança de frequência no sinal OUT3, surge o dado gravado no cartão magnético. Isso sucede pela mudança da frequência do sinal de entrada analógica oriunda do sensor magnético (*cabeça magnética*).

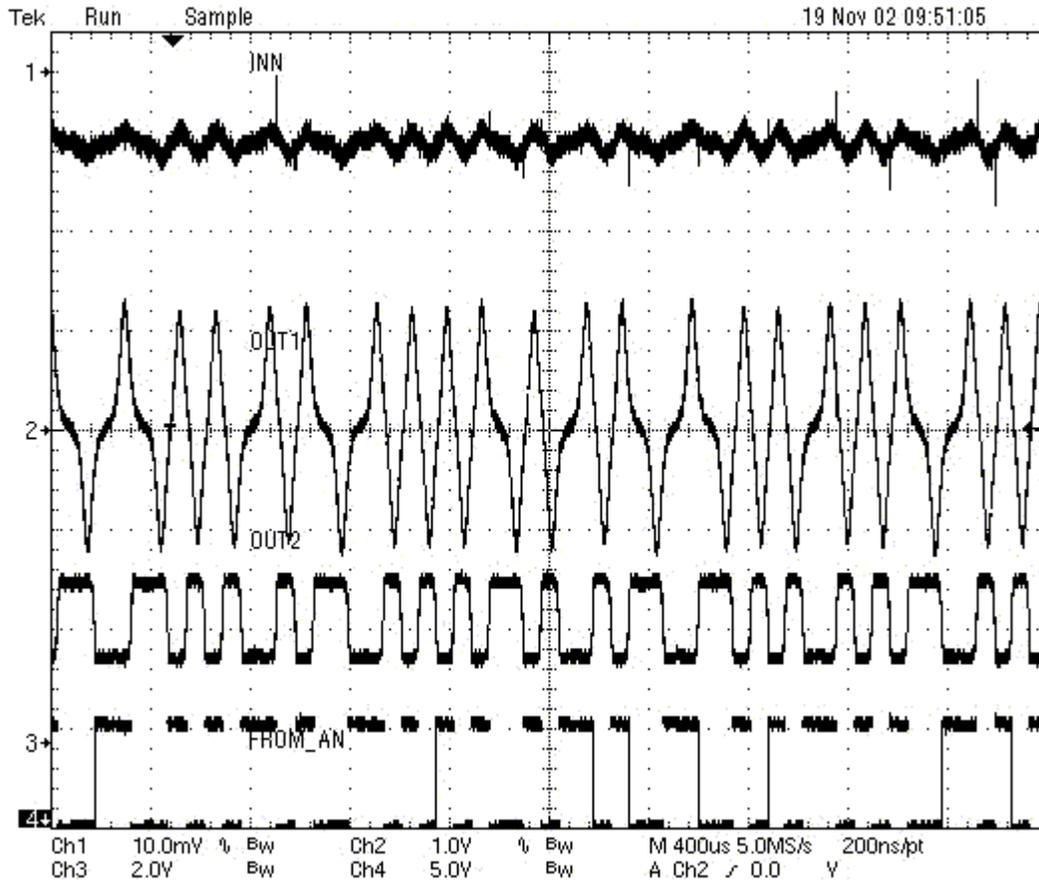


Figura 3.10 - Funcionalidade da parte analógica

Conforme ilustrado na figura 3.10, deve-se observar que, além do aumento da frequência do sinal analógico de entrada, visto amplificado (devido ao ganho projetado de 30 vezes) na saída OUT1, ocorre também um aumento da amplitude desse sinal. Portanto, comprova-se a teoria de que a velocidade de passagem do cartão magnético através do sensor (cabeça magnética) é diretamente proporcional à frequência do sinal F-2F gerado.

As figuras de 3.11 a 3.14 mostram diagramas que representam a funcionalidade do circuito digital.

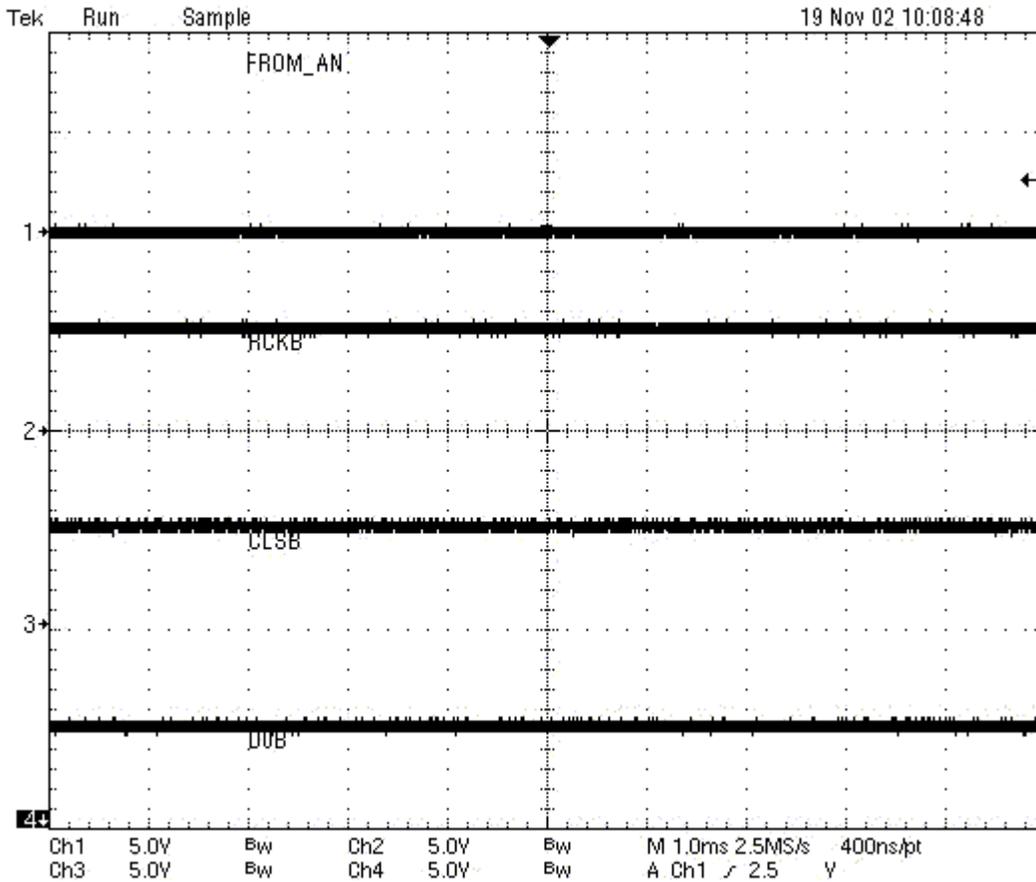


Figura 3.11 - Funcionalidade da parte digital

O diagrama da figura 3.11 acima, revela a condição inicial dos sinais, quando não há passagem do cartão magnético. O sinal OUT3 (FROM_AN), em nível baixo, é oriundo da *interface analógica - IA*. Todos os sinais das saídas digitais (RCKB, CLSB e DOB), neste momento, estão em nível lógico alto.

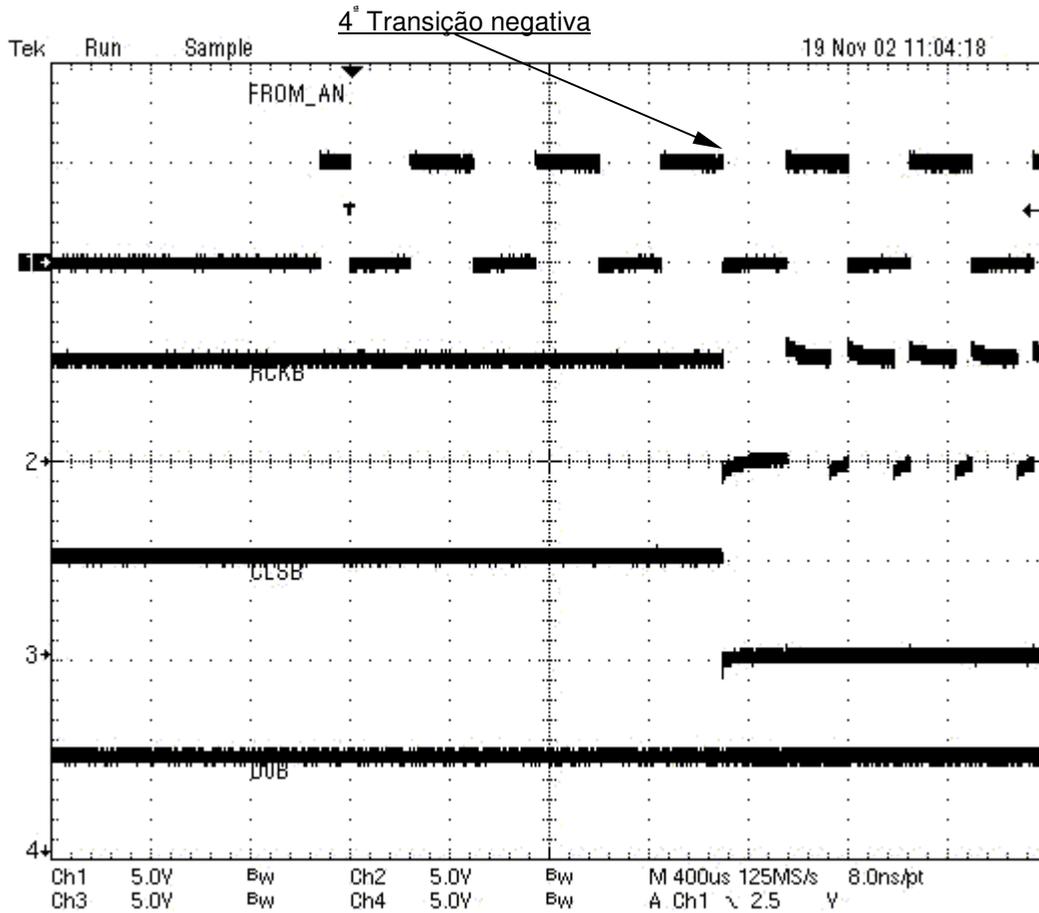


Figura 3.12 - Funcionalidade da parte digital

O diagrama da figura 3.12 acima, pode-se visualizar o início de um ciclo de passagem do cartão magnético. Após a 4ª transição do sinal OUT3 (FROM_AN) , ocorre a saída digital CLSB, mudando de nível alto para baixo. Esse acusa a passagem do cartão magnético e, ao mesmo tempo, o sinal de sincronismo de saída RCKB, gerado pelo circuito digital, começando a funcionar.

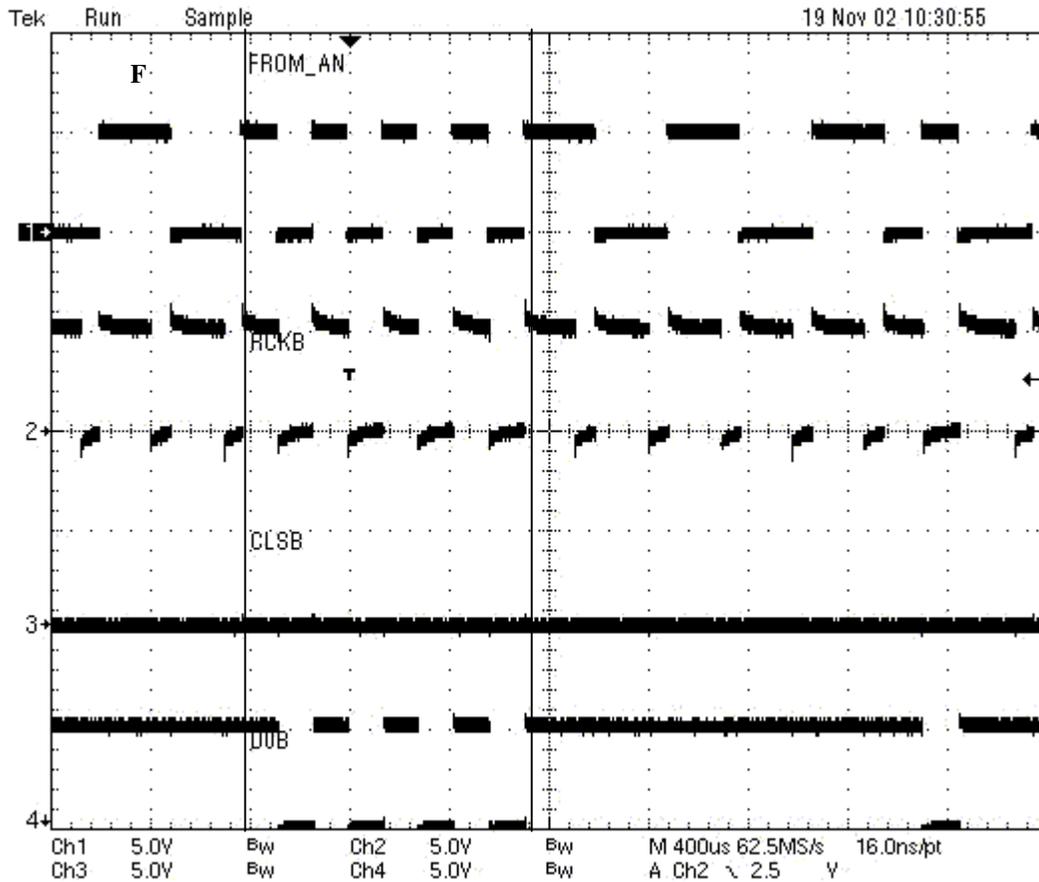


Figura 3.13 - Funcionalidade da parte digital

O diagrama da figura 3.13 acima, indica o momento em que o sinal OUT3 troca sua frequência de F para 2F. Sabe-se, então que existem dados presentes na saída digital DOB. Portanto, o CLSB aparece em nível lógico baixo e o sinal digital de saída de sincronismo (pulsado) RCKB se faz evidente.

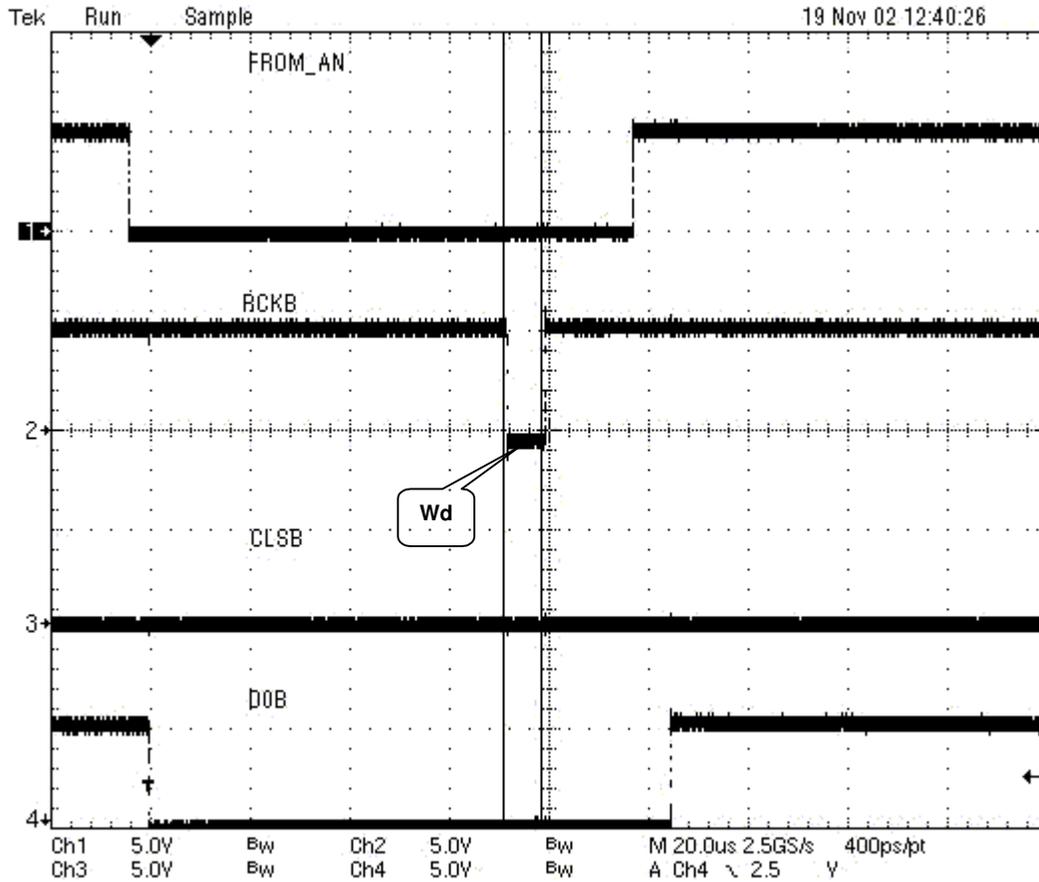


Figura 3.14 - Largura do pulso de RCKB (W_d)

A figura 3.14 acima expõe a medida da largura de pulso $W_d \cong 10\mu\text{s}$ para RCKB. Tal valor, como já descrito no Capítulo 2, é fixo.

Capítulo 4 – Conclusão

As contribuições mais significativas do presente trabalho foram o desenvolvimento do:

- a) projeto do amplificador operacional, com características de ser “rail-to-rail”, admitindo uma variação da tensão de alimentação desde 2V até 5,5V;
- b) projeto do *oscilador*, com independência da tensão de alimentação, conforme demonstrado no Capítulo 2, e baixa dependência da temperatura de operação;
- c) projeto do comparador com histerese.

A sua execução proporcionou a oportunidade de efetivar as diversas etapas do projeto de um circuito integrado, conforme proposto como principal objetivo deste trabalho. A experiência adquirida na realização do ciclo de projeto de um CI misto, analógico e digital, sedimentou os conhecimentos teóricos das técnicas de projeto estudadas.

Fizeram parte da experiência adquirida as etapas de concepção, especificação, dimensionamento, descrição, simulação elétrica, análise dos resultados, “layout”, verificação física, especificação dos testes funcionais e elétricos, prototipagem, caracterização funcional e elétrica e, por fim a, redação deste documento, síntese do trabalho.

Para a fabricação dos protótipos do projeto, utilizaram-se os serviços técnicos e a infra-estrutura de “hardware” e “software” disponibilizada pelo Projeto Multiusuário – PMU, mantido pelo Centro de Pesquisas Renato Archer – CenPRA. Os recursos financeiros para o pagamento desses protótipos foram provenientes do “Programa Especial para a Fabricação de Circuitos Integrados – Fase 4”, *Processo FAPESP 2001/04989-0*, coordenado, no período, pelo Prof. Dr. Jacobus W. Swart. Os testes foram

realizados no DAPE - CenPRA, com infra-estrutura disponível também nos serviços PMU à comunidade acadêmica.

O tema escolhido foi o desenvolvimento de um circuito integrado, não muito complexo, que permitisse a execução de um quadro comparativo com circuitos ASIC comerciais realizado por pequenas empresas que exploram um nicho de mercado no contexto global. Os “datasheets” [14, 15, 16, 17, 18, 19, 20, 21] desses fabricantes norteamericanos nortearam a especificação e são as referências bibliográficas que compuseram a especificação funcional.

Na tabela 4.1, é apresentado um comparativo entre diversos fabricantes de CIs decodificadores, utilizados em aplicações de automação comercial.

A despeito do objetivo futuro deste projeto não ser a automação comercial, mas a comunicação de dados, a realização serviu de guia para a familiarização com todas as suas etapas, inclusive permitindo produzir experimentos mais simples, como a decodificação de cartões magnéticos.

Destaca-se que o projeto apresentado teve performance similar ou superior aos dispositivos encontrados no mercado como, por exemplo, o range de tensão de operação que pode variar de 2V até 5,5V, com os níveis de consumo de corrente satisfatório àqueles existentes no mercado. Tais resultados confirmam a eficiência da metodologia de projeto empregada no desenvolvimento dos circuitos analógicos.

A análise dos resultados gerou novas especificações funcionais, otimizadas, tanto para os circuitos de comunicação de dados como para a aplicação de referências. Essas especificações fazem parte da proposta de desenvolvimento de um circuito integrado dedicado à automação comercial de uma empresa nacional que se interessou em atuar neste nicho de mercado.

As características inovadoras em relação aos circuitos existentes são:

- a) controle da velocidade do *oscilador* para permitir sua utilização em diversas aplicações;
- b) controle da corrente de polarização dos amplificadores de entrada, excursão de sinal, produto BWG, etc.

Abaixo um comparativo entre os circuitos existentes no mercado.

	Código do CI	Características Principais			Aplicação
		Tensão de alimentação (V)	Consumo de corrente em operação Típ. (mA)	Tecnologia de construção	
Magtek (USA)	21006516	2,4 a 5,0	2,0	CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Kenny (Coréia)	JS-400	3,5 a 5,5	1,5	BICMOS	Leitor/escritor de cartões para uma trilha magnética com decodificador F2F
Kenny (Coréia)	JS-500	3,0 a 5,5	1,5	CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Singular Technology (Tailândia)	M3-2100	3,0 a 5,0	3,8	CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Singular Technology (Tailândia)	M3-2200	3,0 a 5,0	3,8	CMOS	Leitor de cartões para duas trilhas magnéticas com decodificador F2F
Singular Technology (Tailândia)	M3-2300	3,0 a 5,0	6,0	CMOS	Leitor de cartões para três trilhas magnéticas com decodificador F2F
Vikintek (Tailândia)	BS100E	3,3 a 5,0	1,25	0,8 μ m CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Uniform (Tailândia)	MRD510B	4,5 a 5,5	2,5	1,2 μ m CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Uniform (Tailândia)	MRD520A	4,5 a 5,5	2,5	1,2 μ m CMOS	Leitor de cartões para duas trilhas magnéticas com decodificador F2F
Q-Card (Inglaterra)	Q1	2,5 a 5,0	1,8	CMOS	Leitor de cartões para uma trilha magnética com decodificador F2F
Projeto - Tese de Mestrado (Brasil)		2,0 a 5,5	1,5	0,6μm CMOS	Leitor de cartões para uma ,duas ou três trilhas magnéticas com decodificador F2F

Tabela 4.1 - Dados de circuitos de mercado

Referências

- [1] **SEDRA, Adel S. C.** *Microelectronic Circuits. Fourth Edition, Makron Books, [2.000].ISBN 85-346-1044-4.*
- [2] **GEIGER, Randall L.** *VLSI Design Techniques for Analog and Digital Circuits. International Edition, Mc Graw-Hill, [1.990]. ISBN 0-07-100728-8.*
- [3] **PHILLIP E., Allen.** *CMOS Analog Circuit Design. Second Edition, HRW, [1.987]. ISBN 0-03-006587-9.*
- [4] **WAKERLY, John F.** *Digital Design Principles & Practices. Third Edition, Prentice Hall, [2.000].ISBN 0-13-769191-2.*
- [5] **CHEN, Wai - Kai.** *The VLSI Handbook. Second Edition, CRC/IEEE [1.999].ISBN 0-8493-8593-8.*
- [6] **SILVEIRA, Fernando.** *Analysis and Design of a Family of Low-Power Class AB Operational Amplifiers. Integrated Circuits and Systems Design, 2000. Proceedings. 13th Symposium. Pages:94-98. 18-24 September 2000.*
- [7] **DE LANGEN, K. .** *Compact 1,8V Low-Power CMOS Operational Amplifier Cells for VLSI. ISSCC97 International solid-state Circuits Conference, session 21, Amplifiers, Paper SA21.1. Pages:346-483. February 8, 1997.*
- [8] **FERRI, G..** *IEEE journal. A Rail-to-Rail Constant - gm Low Voltage CMOS Operational Transconductance Amplifier. Vol.32, n.10, pages:1563-1567, October 1997.*
- [9] **Centro de Pesquisas Renato Archer - CenPRA .** *Procedimento DCSH01- Etapas do Serviço de Projetos. [2.003].*
- [10] **Mentor Graphics.** *IC Station User's manual, V8.6_2 (1.997).*
- [11] **MIL - STD - 883D -** *Electrical tests (linear), test method 4004; Open loop performance. 08/ 1.983.*
- [12] **ISO/IEC 7811-2 -** *International Standard. Third edition. 02, January 2.001.*
- [13] **Kenny International Datasheet.** *Magnetic Strip F2F Read/Write Model: JS-400 and JS-500. [2.000]. kskim@exim21.com.*
- [14] **Vikintek Specification .** *F2F Decoder IC, Model:BS-100E. Printed in Taiwan, Feb., 2.001. vikintek@ms49.hinet.net.*

- [15] **Uniform Industrial Corp. Specification.** Dual Channel F2F Decoder IC Model: MRD520A. [2.001]. uicu@aol.com.
- [16] **Uniform Industrial Corp. Specification.** Single Channel F2F Decoder IC Model: MRD510A. [2.001]. uicu@aol.com.
- [17] **Singular Technology Comp. Limited Specification.** F2F Decoder IC Model: M3-2100. [2.001]. Taiwan. Sales: joe@singular.com.tw.
- [18] **Singular Technology Comp. Limited Specification.** F2F Decoder IC Model: M3-2200. [2.001].
- [19] **Singular Technology Comp. Limited Specification.** F2F Decoder IC Model: M3-2300. [2.001].
- [20] **Magtek Specification .** F2F Decoder IC Model:21006516 SMD.[2.001]. <<http://www.magtek.com>>.
- [21] **Q-Card Specification.** Q1 F2F IC Model:Q1. [2.001].<<http://www.q-card.com/products.htm>>.
- [22] **AMS – Specification.** Foundry Engineering. Doc ver#4.0.(2.001).
- [23] **AMS – 0.6 μ m CMOS Design Rules. Ver #2.0, document #9931025 , 10/ 1.998.**
- [24] **AMS – 0,6 μ m CMOS CUP Process Parameters. Ver #B, document # 9933011, 10/ 1998.**

“Internet”:

- [25] < <http://www.anadign.com> >
- [26] < <http://www.engenharia.virtualve.net> >
- [27] < <http://www.q-card.com> >
- [28] < <http://www.virtualcard.co.nz> >
- [29] < <http://www.magtek.com> >
- [30] < <http://www.singular.com.tw> >
- [31] < <http://www.tyner.com/magnetic.htm> >

Anexo

Artigo “F-2F Decoder IC” apresentado e publicado no International Technical Symposium on Packaging, Assembling and Testing & Exhibition IMAPS Brasil 2003. 07/08/2003. Campinas (SP), Brasil.

F-2F DECODER IC

I. C. Oh[#]; L.E. Seixas Jr.[#]; S. Finco[#]; W. B. de Moraes^{*}; W. R. Melo[#]

[#]Centro de Pesquisa Renato Archer, Rodovia D. Pedro I, SP65, km 143,6 - CEP 13089-500 Campinas SP, Brazil Tel.: 55-19-37466055, Fax: 55-19-37466051, <www.cenpra.gov.br>

^{*}Universidade Estadual de Campinas – UNICAMP, Rua Pandiá Calógeras n. 110, Cidade Universitária Zeferino Vaz, CP6101, CEP 13083-970 Campinas, Brazil, Tel 55-19-37884896

Abstract

The integrated circuit is F-2F Protocol Decoder [7] target to be used in card reader system. The IC is able to read up to three magnetic strips at the same card. Each magnetic strip is read in a separated channel. It is a mixed signal design and was implemented in CMOS Technology. The inputs are analogs and the outputs are digital. Its experimental results are shown.

1. Introduction

The integrated circuit is composed by two operational amplifiers [3,5,6], one comparator [1], one internal oscillator [1,2] and the digital block. Each block – Amplifier and Filter, receives the analog signal from the magnetic stripe sensor applied to inputs pads. Each channel has two analog input pads (INN_x and INP_x, where x represents the channels A, B or C) that are connected to a magnetic head sensor terminals.

The function of this chip is process in each channel the analog F-2F input signal transforming into a digital F-2F signal called Data (D0B_x) and a synchronized signal called Received Clock (RCKB_x). Both signals are interfaced with a microprocessor circuit. Also there is a digital output signal called Card Load Signal (CLSB) that became active at low level after the 4th negative transition a signal when a F-2F signal is present in one or more channels. Optionally this signal also can be interfaced with a microprocessor. The amplitude and frequency of the input signal depend on the speed that the users pass the card in front of the magnetic head.

The differential amplitude signal present in the analog inputs INN_x and INP_x are in the range of 3 mV_{pp} to 30 mV_{pp}, and the frequencies are in the range of 100 Hz up to 20 kHz.

Three digital outputs (RCKB_x, D0B_x and F-2F_x) and common digital output for the three channels (CLSB). The pad SEL_{CK} has a function to select between two different kinds of Received Clock. When it is level High the outputs RCKB_x, have fixed width (6 ~ 15) μs. When it is level low the RCKB_x has ¼ of the period. It is a pull-down input.

The pad RESET is an asynchronous hardware reset of the digital part. It is active high and it is a pull-down input.

The pad OSC_OUT is the output of the built-in oscillator that runs at 800 kHz when the analog F-2F signal is present in one or more channels. The pad FROM_OSC is a digital the input that feeds the internal line digital clock. The pad Vb is an access to a bias circuit of the operational amplifiers. Through this pad is possible to adjust the amplifier bias current. The pad SPEED_C can control the speed of internal oscillator. They (Vb and SPEED_C) must be not connected pins. The pins VDD and VSS are power supply. The circuit was designed to work between 2 to 5.5 V of power supply voltage. The figure 1.1 show the global diagram of the F-2F decoder IC.

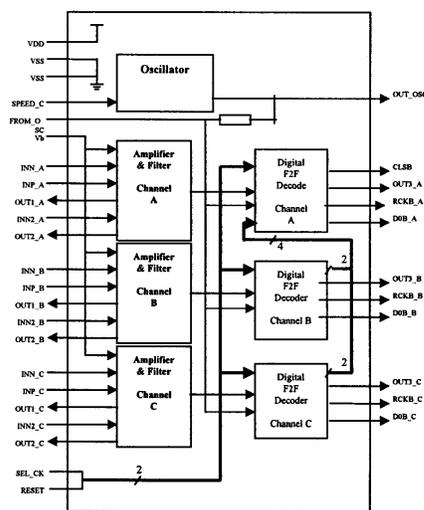


Figure 1.1 - IC Blocks

The pads functions description is showing in the table 2.1.

Pin Name	Direction	Type	Description
VDD	S	-	Supply
Vb	NC	OD	Bias control amplifier
OUT2_A	AO	-	Second stage amplifier output channel
INN2_A	AI	-	Channel 2 A second stage amplifier
OUT1_A	AO	-	First stage amplifier output channel
INP_A	AI	-	Non-inverting input, Channel 2 A first stage
INN_A	AI	-	Inverting input, Channel 2 A first stage
OUT2_B	AO	-	Second stage amplifier output channel
INN2_B	AI	-	Channel 2 B second stage
OUT1_B	AO	-	First stage amplifier output channel
VSS	S	-	Negative power supply,
INP_B	AI	-	Non-inverting input, Channel 2 B first stage
INN_B	AI	-	Inverting input, Channel 2 B first stage
OUT12_C	AO	-	Second stage amplifier output channel
INN2_C	AI	-	Channel 2 C second stage
OUT1_C	AO	-	Second stage amplifier output channel
INP_C	AI	-	Non-inverting input, Channel 2 C first stage
INN_C	AI	-	Inverting input, Channel 2 C first stage
SPEED_C	AIO	OD	Bias for speed control of the internal
RESET	DI	PD	Hardware reset of the digital
VSS	S	-	Negative power supply,
RCKB_C	DO	-	Received clock for channel C Active
DOB_C	DO	-	Data of channel B Active
OUT3_C	DO	-	Signal across the digital P2F decoder of tracks
RCKB_A	DO	-	Received Clock for channel
CLSB	DO	-	Card Load
DOB_A	DO	-	Data of channel
OUT3_A	DO	-	Signal across the digital P2F decoder of track
RCKB_B	DO	-	Received clock for channel B Active
OSC_OUT	DI	-	Built-in oscillator
FROM_OSC	DI	-	Clock input for digital
DOB_B	DO	-	Data of channel B Active
OUT3_B	DO	-	Signal across the digital P2F decoder of tracks
SEL_CK	DI	PD	When it is level High the outputs RCKB_A, RCKB_B, RCKB_C have fixed width 6-1Use. When it is Low the RCKB_A, RCKB_B, RCKB_C has 1/4 of period. It is a pull down

Table 1.1 - Pins Description

Direction:	S	Supply
	DI	Digital Input
	DO	Digital Output
	AI	Analog Input
	AO	Analog Output
	AIO	Analog I/O
Type:	PD	Pull Down
	OD	Open Drain

2. Simulation

The figure 2.1 below show the type inputs signals INN and INP that arrives to the Amplifier block and the outputs signals of this block after amplification.

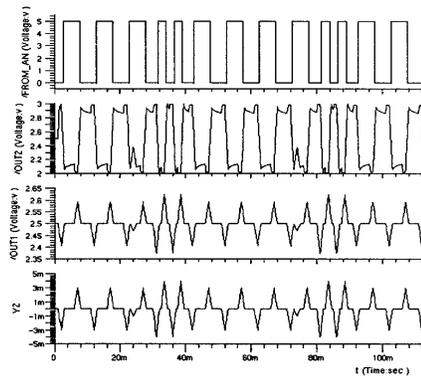


Figure 2.1 - Inputs and Output Signals in the Amplifier and Filter Block

The figure 2.1 show:
Curve-1, the digital output signal F-2F (OUT3_x) of the analog and filter block.

Curve-2, the analogue output signal (OUT2_x) of the analog amplifier block.

Curve-3, the analog output signal (OUT1_x) of the analog amplifier block.

Curve-4, the sensor input signal (INP_x and INN_x) of the analog block.

The simulation of the figure 2.2 is showing all digital signals of the F-2F decoder IC by channel. First is a RESET pad used only by test. The others signals were description in the Table 1.1.

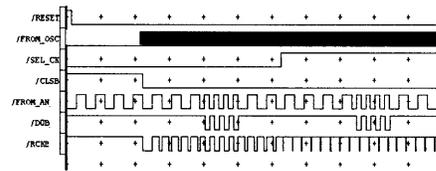


Figure 2.2 - Inputs and Output Signals by channel

3. Technology

The IC was build in CMOS 0.6µm technology, the figure 3.1 show the DIE SIZE: X=1.900 µm, Y = 1.650 µm, then 3,14 mm² area.

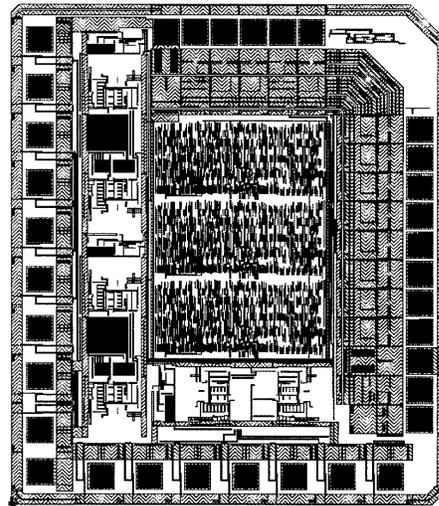


Figure 3.1 - IC Layout

The Process used has: 5V p-sub 2-metal, 1-polyda, Layers number equal 13, subtract "p", double materialization and "poly" silicon. The transistors type "p" (model pmos4) e type "n" (model nmos4) have: minimum width gate is 0,8 µm, minimum length gate is 0,6µm. In this IC was used 4.409 nmos4 and 4545

pmos4. The resistors types used are rpoly e rpolyl ("high resistive poly1 resistor") the last type has a typical sheet resistance of 1,2 k Ω /sq.

4. Measurement Results

The diagrams below are showing:

Figure 4.1 - The measure OUT1_x signal amplified in first stage block circuit, the OUT3_x is the output F-2F analog signal, that is the input to digital block. And the data bit output digital signal DOB_x.

Figure 4.2 - The measure the input signal F-2F (FROM_AN or OUT1_x are the same), the RCKB_x synchronism digital output signal to the microprocessor, Load Signal CLSB is the signal card present detected that became active at low level after the 4th negative transition signal when F-2F signal is present in one or more channels and the data bit output digital signal DOB_x.

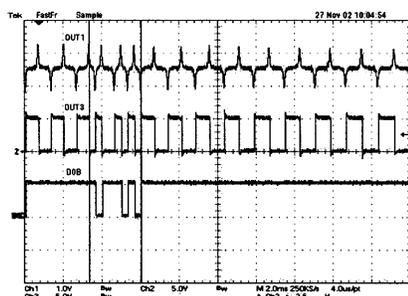


Figure 4.1 - Analog block Functionality

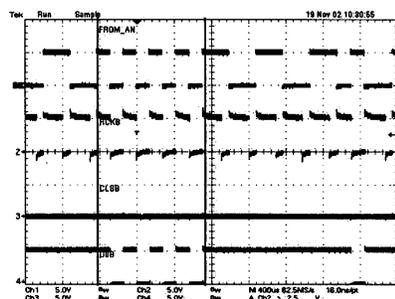


Figure 4.2 - Digital block Functionality

5. Conclusion

This F-2F decode IC can be used in applications that require supply voltages range variation from 2V to 5.5V and has a typical consumption current is 1mA by track used.

The internal RC oscillator circuit is not compensated in temperature. The RC circuits determine the oscillator frequency and it has small dependency with temperature. This evaluation was done by simulation during the design and the variation of frequency with the temperature is acceptable by the target application of this oscillator.

This IC was designed to operating in the range from -10°C to 80°C. Experimental results confirm the viability of the approach in a standard CMOS Technology. A low power CMOS construction, low power dissipation and be used in digital data transmission applications operational advantage of this circuit.

6. References

- [1] Sedra, Adel S.; Smith, Kenneth, C, "Microelectronic Circuits" – Fourth Edition, Makron Books. [2.000]. ISBN 85-346-1044-4.
- [2] Randall L. Geiger, Phillip E. Allen, Noel R. Strader, "VLSI Design Techniques for Analog and Digital Circuits" – International Edition. Mc Graw-Hill. [1.990]. ISBN 0-07-100728-8.
- [3] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design" – Second Edition, HRW, [1.987]. ISBN 0-03006587-9.
- [4] John F. Wakerly. "Digital Design Principles & Practices" – Third Edition . Prentice Hall. [2.000]. ISBN 0-13-769191-2.
- [5] Fernando Silveira, Denis Flandre. IEEE journal ISSCC 2.000 – "Analysis and Design of a Family of Low-Power Class AB Operational Amplifiers". Pages 94-98. 18-24 September 2000.
- [6] G. Ferri et al.. IEEE journal, Oct 1.997 – "A Rail-to-Rail Constant – gm Low Voltage CMOS Operational Transconductance Amplifier".vol.32,n.10, pages 1563-1567, October 1997.
- [7] ISSO/IEC 7811-2 - International Standard. Third edition. 02, January 2.001.