



MARCOS VINICIUS PUYDINGER DOS SANTOS

**DESENVOLVIMENTO DE PROCESSOS DE OBTENÇÃO
DE NANOFIOS DE SILÍCIO PARA DISPOSITIVOS MOS
3D UTILIZANDO FEIXE DE ÍONS FOCALIZADOS E
LITOGRAFIA POR FEIXE DE ELÉTRONS**

CAMPINAS

2013



UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E COMPUTAÇÃO

MARCOS VINICIUS PUYDINGER DOS SANTOS

**DESENVOLVIMENTO DE PROCESSOS DE OBTENÇÃO
DE NANOFIOS DE SILÍCIO PARA DISPOSITIVOS MOS
3D UTILIZANDO FEIXE DE ÍONS FOCALIZADOS E
LITOGRAFIA POR FEIXE DE ELÉTRONS**

Orientador: Prof. Dr. José Alexandre Diniz

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas para obtenção do título de Mestre em Engenharia Elétrica, na área de Eletrônica, Microeletrônica e Optoeletrônica.

ESTE EXEMPLAR CORRESPONDE À VERSÃO FINAL DA DISSERTAÇÃO
DEFENDIDA PELO ALUNO MARCOS VINICIUS PUYDINGER DOS SANTOS
E ORIENTADO PELO PROF. DR. JOSÉ ALEXANDRE DINIZ



CAMPINAS

2013

iii

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Elizangela Aparecida dos Santos Souza - CRB 8/8098

Sa59d Santos, Marcos Vinicius Puydinger dos, 1987-
Desenvolvimento de processos de obtenção nanofios de silício para dispositivos MOS 3D utilizando feixe de íons focalizados e litografia por feixe de elétrons / Marcos Vinicius Puydinger dos Santos. – Campinas, SP : [s.n.], 2013.

Orientador: José Alexandre Diniz.
Dissertação (mestrado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Nanoeletrônica. 2. Nanofios. 3. Semicondutores. 4. Litografia. 5. Silício. I. Diniz, José Alexandre, 1964-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Development of process for obtaining silicon nanowires for 3D MOS devices using focused ion beam and electron beam lithography

Palavras-chave em inglês:

Nanoelectronics

Nanowires

Semiconductors

lithograph

Silicon

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora:

José Alexandre Diniz [Orientador]

Marcelo Antônio Pavanello

Leandro Tiago Manera

Data de defesa: 18-12-2013

Programa de Pós-Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

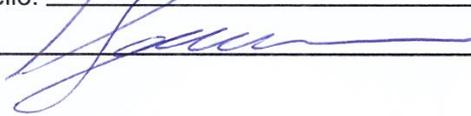
Candidato: Marcos Vinicius Puydinger dos Santos

Data da Defesa: 18 de dezembro de 2013

Título da Tese: "Desenvolvimento de Processos de Obtenção de Nanofios de Silício para Dispositivos MOS 3D Utilizando Feixe de Íons Focalizados e Litografia por Feixe de Elétrons"

Prof. Dr. José Alexandre Diniz (Presidente): 

Prof. Dr. Marcelo Antônio Pavanello: 

Prof. Dr. Leandro Tiago Manera: 

*Dedico este trabalho a meu pai José, minha mãe Maria,
e à minha companheira Carol, pelo infinito incentivo em
todas os desafios de minha vida.*

RESUMO

Neste trabalho é apresentado o desenvolvimento do processo de obtenção de nanofios de silício (SiNW) para aplicações em dispositivos MOS tridimensionais utilizando as técnicas de Feixe Íons Focalizados com íons de Gálio (GaFIB) e Litografia por Feixe de Elétrons (EBL). O processo completo de fabricação foi desenvolvido para a obtenção de transistores sem junção baseados em nanofios (*junctionless nanowire transistors*, JNT), escolhidos devido à facilidade de processamento – comparativamente a outros dispositivos, como FinFETs – e à ausência de efeitos de canal curto e perfuração MOS (*punchthrough*). Lâminas de tecnologia SOI (*Silicon on Insulator*) foram utilizadas como substrato.

GaFIB/SEM – um sistema de duplo feixe acoplado a um microscópio eletrônico de varredura -, com resolução nominal de feixe iônico de 20 nm, foi utilizado para a definição dos nanofios de silício com dopagem local por íons de Gálio (p^+ -SiNW) e deposição de dielétrico de porta de SiO_2 e eletrodos de fonte, dreno e porta de Platina. Para deposição dos eletrodos metálicos e do dielétrico de porta foi utilizado feixe de elétrons disponível no SEM de modo a evitar implantação iônica extra e evitar o processo de *sputtering* dos nanofios de silício. As dimensões do comprimento (L_{Fin}) e altura (H_{Fin}) do nanofio, comprimento (L_{Porta}) e largura (W_{Porta}) da porta foram, respectivamente, 6 μm , 15 nm, 1 μm e 35 nm. O estudo da condução de corrente elétrica no p^+ -SiNW foi feito por medidas elétricas em dispositivos pseudo-MOS utilizando o dióxido de silício enterrado (BOX) da lâmina SOI como dielétrico de porta para controlar a corrente através do p^+ -SiNW. Curvas de corrente entre fonte e dreno (I_{DS}) *versus* tensão entre a porta das costas da lâmina e fonte (V_{BGS}) indicam regime de acumulação para o p^+ -SiNW. Curvas I_{DS} *versus* V_{DS} indicam que o dispositivo JNT opera como um resistor controlado pela porta.

Por outro lado, a técnica EBL – com resolução nominal do feixe eletrônico 2 nm – foi utilizada para a fabricação de dispositivos JNT do tipo nMOS - com dopagem de Arsênio (n^+ -SiNW) por implantação iônica -, juntamente com o sistema de deposição a partir de fase química, ECR-CVV (*Electron Cyclotron Resonance*) para a definição dos nanofios utilizando o sistema de corrosão por plasma RF e formação de dielétrico de porta. Eletrodos de fonte, dreno e porta de Titânio e Alumínio foram depositados pela técnica de *sputtering*. As dimensões de largura (W) e comprimento (L), assim como o número de nanofios dos transistores foram variados para permitir uma excursão de até 3

ordens de grandeza da corrente elétrica do dispositivo. As dimensões mínimas obtidas para o comprimento (L_{Fin}) e altura (H_{Fin}) do nanofio, comprimento (L_{Porta}) e largura (W_{Porta}) da porta foram, respectivamente, 10 μm , 15 nm, 100 nm e 50 nm

O tempo médio para fabricação de um dispositivo JNT utilizando o sistema FIB é de aproximadamente 2 dias e seu custo médio é estimado em US\$ 4,000.00. Por outro lado, a fabricação do dispositivo utilizando a técnica EBL demanda maior tempo – aproximadamente 10 dias –, contudo custando menos de uma ordem de grandeza do valor do FIB (aproximadamente US\$ 150.00).

Os resultados obtidos revelam que os métodos desenvolvidos nos sistemas FIB e EBL para fabricação de nanofios de silício para aplicações em nanoeletrônica são inovadores no Brasil e permitem avanços consistentes em nanofabricação. Esses processos, já calibrados, contribuirão para o desenvolvimento de novos processos, como, por exemplo, transistores do tipo FinFET ou dispositivos baseados em nanofios.

Palavras-chave: Nanofios de silício. Feixe de íons focalizados. Litografia por feixe de elétrons, dispositivos sem junção.

ABSTRACT

This work presents the development for obtaining silicon nanowires (SiNW) for applications in 3D MOS devices using Focused Ion Beam with gallium ions (GaFIB) and Electron Beam Lithography (EBL) techniques. The complete fabrication process was developed for obtaining junctionless nanowire-based transistors, chosen due to the simplicity of processing and to the absence of short channel and punchthrough effects. Silicon on Insulator (SOI) wafers were used as substrate.

GaFIB/SEM - a dual beam system coupled to a scanning electron microscope -, with nominal resolution for the ionic beam of 20 nm, was used to define silicon nanowires and dope them locally by gallium ions (p^+ -SiNW), in addition to deposit SiO_2 dielectric gate and Pt source, drain and gate electrodes. Metal electrodes and gate dielectric deposition were taken place with the electron beam available in the SEM to avoid extra ion implantation and prevent sputtering process of silicon nanowires. The dimensions obtained for the nanowire length (L_{Fin}) and high (H_{Fin}), gate length (L_{Gate}) and width (W_{Gate}) were, respectively, 6 μm , 15 nm, 1 μm e 35 nm. The study of the driving electric current through p^+ -SiNW was achieved by electrical measurements in the pseudo-MOS devices using the buried silicon dioxide (BOX) of the SOI wafer as gate dielectric to control the current through the p^+ -SiNW. Electrical current between source and drain (I_{DS}) versus gate voltage between the back-gate and source (V_{BGS}) curves indicate accumulation regime for the p^+ -SiNW. I_{DS} versus V_{DS} curves indicate that the JNT device operates as a gated resistor gate.

Still, the EBL technique – with nominal resolution for the electronic beam of 2 nm – was used to fabricate nMOS JNT devices - with arsenic dopant (n^+ -SiNW) - along with ECR-CVC (Electron Cyclotron Resonance) chemical phase deposition plasma system, for defining the nanowires using RF plasma etching and formation of the gate dielectric. Titanium and aluminum source, drain and gate electrodes were deposited by sputtering. The dimensions of width (W) and length (L), as well as the number of nanowire transistors were varied to allow a range of up to 3 orders of the electrical current magnitude through the device. The minimum dimensions obtained for the nanowire length (L_{Fin}) and high (H_{Fin}), gate length (L_{Gate}) and width (W_{Gate}) were, respectively, 10 μm , 15 nm, 100 nm e 50 nm.

The average time for the fabrication of one single JNT device using FIB system is 2 days, with the average cost of US\$ 4,000.00. Still, the device fabrication using EBL technique is longer – approximately 10 days –, however it costs less than one order of magnitude compared to FIB (approximately US\$ 150.00).

These results show that the methods developed for FIB and EBL systems for fabrication of silicon nanowires for applications in nanoelectronics are innovative in Brazil and allow consistent advances in nanofabrication. These processes, now calibrated, will contribute to the development of new processes, for example, FinFET transistors based on nanowires.

Keywords: *Silicon nanowires. Focused Ion Beam. Electron Beam Lithography, Junctionless devices.*

SUMÁRIO

LISTA DE FIGURAS	XIX
LISTA DE TABELAS	XXVII
LISTA DE ABREVIACÕES E SIGLAS	XXIX
APRESENTAÇÃO	XXXI
CAPÍTULO 1 - INTRODUÇÃO	1
1.1 OBJETIVOS	1
1.2 MOTIVAÇÃO	1
1.2.1 NÓS TECNOLÓGICOS E PERSPECTIVAS FUTURAS DOS TRANSISTORES MOS	1
1.2.2 TRANSISTORES PLANARES <i>VERSUS</i> TRANSISTORES 3D	4
1.2.3 NOVA GERAÇÃO DE FERRAMENTAS PARA NANOFABRICAÇÃO	8
1.2.4 TRANSISTOR SEM JUNÇÃO BASEADO EM NANOFIOS (JNT)	11
CAPÍTULO 2 – FEIXE DE ÍONS FOCALIZADOS E LITOGRAFIA POR FEIXE DE ELÉTRONS	15
2.1 OBJETIVOS	15
2.2 DESCRIÇÃO DO SISTEMA DE FEIXE DE ÍONS FOCALIZADOS (GaFIB) E SEUS ACESSÓRIOS	15
2.2.1 FEIXE DE ÍONS FOCALIZADOS COM ÍONS DE GÁLIO	15
2.2.2 SISTEMA DE INJEÇÃO DE GASES (GIS)	17
2.2.3 ESPECTROCOPIA POR DISPERSÃO DE ENERGIA (EDS)	19
2.3 DESCRIÇÃO DO SISTEMA DE LITOGRAFIA POR FEIXE DE ELÉTRONS (E-LINE)	20
2.3.1 LITOGRAFIA POR FEIXE DE ELÉTRONS	20
2.3.2 EQUIPAMENTO UTILIZADO	22
2.3.3 RESISTES SENSÍVEIS A FEIXE DE ELÉTRONS	25
CAPÍTULO 3 – PROCEDIMENTO EXPERIMENTAL	29
3.1 INTRODUÇÃO	29
3.2 PREPARAÇÃO DAS AMOSTRAS	29

3.3 PROCESSAMENTO DAS AMOSTRAS POR LITOGRAFA ÓPTICA E GaFIB	32
3.3.1 LITOGRAFIA ÓPTICA PARA DEFINIÇÃO DA REGIAO ATIVA DE SILÍCIO	32
3.3.2 SIMULAÇÃO DA IMPLANTAÇÃO DE GÁLIO PELO FIB	34
3.3.3 FABRICAÇÃO DOS DISPOSITIVOS	36
3.3.3.1 DEFINIÇÃO DOS SiNW E IMPLANTAÇÃO LOCAL COM ÍONS DE Ga ⁺	36
3.3.3.2 DEPOSIÇÃO DE ELETRODOS METÁLICOS E DIELÉTRICO DE PORTA	37
3.3.4 CARACTERIZAÇÃO ELÉTRICA DOS DISPOSITIVOS PSEUDO-MOS E JNT	39
3.4 PROCESSAMENTO DAS AMOSTRAS POR LITOGRAFIA POR FEIXE DE ELÉTRONS	40
3.4.1 DOPAGEM DAS LÂMINAS COM ÍONS DE ARSÊNIO	40
3.4.2 LAYOUT DOS DISPOSITIVOS	41
3.4.3 E-RESISTES E DOSES	47
3.4.4 MARCAS DE ALINHAMENTO	48
3.4.5 LITOGRAFIA DOS DISPOSITIVOS	51
3.4.5.1 DEFINIÇÃO DAS MARCAS DE ALINHAMENTO	52
3.4.5.2 DEFINIÇÃO DA REGIÃO ATIVA DE SILÍCIO E DEPOSIÇÃO DE DIELÉTRICO DE PORTA	54
3.4.5.3 DEFINIÇÃO DE CONTATOS DE FONTE E DRENO	56
3.4.5.4 DEFINIÇÃO DE CONTATOS METÁLICOS DE FONTE, DRENO E PORTA	58
CAPÍTULO 4 – RESULTADOS E DISCUSSÕES	61
4.1 INTRODUÇÃO	61
4.2 CARACTERIZAÇÃO DOS DISPOSITIVOS FABRICADOS POR GaFIB	61
4.2.1 ESPECTROSCOPIA POR RAIOS-X DISPERSIVOS (EDS)	61
4.2.2 ANÁLISE MEV DOS PASSOS DE FABRICAÇÃO DO JNT	62
4.2.3 CARACTERIZAÇÃO ELÉTRICA DOS DISPOSITIVOS PSEUDO-MOS E JNT	63
4.3 PROCESSO DE FABRICAÇÃO DOS DISPOSITIVOS JNT POR EBL	66
4.3.1 MARCAS DE ALINHAMENTO POR CONTRASTE DE MATERIAL UTILIZANDO ALUMÍNIO	66

4.3.2 1ª GERAÇÃO DE DISPOSITIVOS	67
4.3.2.1 MARCAS DE ALINHAMENTO POR CONTRASTE DE TOPOGRAFIA	67
4.3.2.2 DEFINIÇÃO DA REGIÃO ATIVA DE SILÍCIO E DEPOSIÇÃO DE DIELÉTRICO DE PORTA	69
4.3.2.3 DEFINIÇÃO DE CONTATOS DE FONTE E DRENO	71
4.3.2.4 DEFINIÇÃO DE CONTATOS METÁLICOS DE FONTE, DRENO E PORTA	72
4.3.3 2ª GERAÇÃO DE DISPOSITIVOS	73
4.3.3.1 MARCAS DE ALINHAMENTO POR CONTRASTE DE MATERIAL UTILIZANDO NÍQUEL	73
4.3.3.2 DEFINIÇÃO DA REGIÃO ATIVA DE SILÍCIO E DEPOSIÇÃO DE DIELÉTRICO DE PORTA	75
4.3.3.3 DEFINIÇÃO DE CONTATOS DE FONTE E DRENO	76
4.3.3.4 DEFINIÇÃO DE CONTATOS METÁLICOS DE FONTE, DRENO E PORTA	76
CAPÍTULO 5 – CONCLUSÕES	81
5.1 CONCLUSÃO	81
5.2 PUBLICAÇÕES RESULTANTES DESTE TRABALHO DE MESTRADO	83
5.2.1 APRESENTAÇÃO DE TRABALHOS EM CONFERÊNCIA NACIONAIS E INTERNACIONAIS	83
5.2.2 ARTIGOS PUBLICADOS EM PERIÓDICOS	83
5.2.3 ARTIGOS COMPLETOS PUBLICADOS EM ANAIS DE CONGRESSOS	83
5.3 PERSPECTIVAS FUTURAS	84
REFERÊNCIAS BIBLIOGRÁFICAS	85
APÊNDICE	91

Agradecimentos

- A Deus, que, infinito em bondade e sabedoria, permite a evolução de seus filhos.
- A meu orientador, Prof. Dr. José Alexandre Diniz, pela orientação, grande incentivo, amizade e por me conduzir a um enorme aprendizado através da realização deste trabalho;
- Ao prof. Dr. Ioshiaki Doi, pela amizade e valiosa ajuda nas deposições de metais pelo *Sputtering*;
- Ao prof. Dr. Leandro Manera e ao Prof. Dr. Jacobus W. Swart, pelas importantes contribuições para o direcionamento deste trabalho;
- À prof^a. Dr^a. Mônica Alonso Cota, pela amizade, confiança e auxílio em diversos momentos ao longo do trabalho;
- Ao prof. Dr. Newton Cesário Frateschi, por permitir a realização deste trabalho de mestrado e incentivar meu desenvolvimento;
- Ao José Godoy Filho, pela amizade e ensinamentos das técnicas de laboratório e pelas valiosas e precisas fotograções;
- Aos amigos Lucas e Fred, pela amizade, incentivo, companheirismo e preciosos ensinamentos desde o início deste trabalho;
- À Luana, que por sua amizade e dedicação, permitiu grande avanço das etapas de meu trabalho em laboratório;
- Aos amigos de todos os dias: Celso, Hélio, Totó e João, pela grande amizade, pelos cafés descontraídos de todos os dias e pelos processos em laboratório;
- Aos colegas de laboratório Felipe Santos, Débora, Luis, Gustavo, Guilherme, Yovani e Laís pelo companheirismo diário;
- Aos amigos Felipe Vallini e Emílio, pela amizade e ajuda nas discussões sobre litografia por feixe de elétrons;
- Aos funcionários do Laboratório de Física Aplicada (LPD/IFGW/UNICAMP) e do Centro de Componentes Semicondutores (CCS/UNICAMP), que contribuíram diretamente ou indiretamente para a realização deste trabalho;

- À Faculdade de Engenharia Elétrica e de Computação (FEEC/UNICAMP), Departamento de Semicondutores, Instrumentos e Fotônica (DSIF/UNICAMP), Centro de Componentes Semicondutores (CCS/UNICAMP) por possibilitar a realização deste trabalho;

LISTA DE FIGURAS

Figura 1	Lei de Moore, que define a taxa de crescimento do número de transistores em circuitos integrados como função do tempo, é baseada nas dimensões da porta (<i>pitch</i>) desses dispositivos	2
Figura 2	Nó tecnológico e dimensões físicas do comprimento do canal dos transistores em relação ao ano de desenvolvimento	3
Figura 3	(a) Tipos de arquitetura de transistores para diversos nós tecnológicos, indicando que os transistores com porta tridimensional baseados em nanofios têm sido uma das soluções para manter ativa a Lei de Moore [2]. (b) Escalamento da tecnologia MOS para os nós tecnológicos entre 90 nm e 22 nm. O menor nó tecnológico (22 nm) utiliza porta 3D	4
Figura 4	Esquema de um transistor planar convencional em operação, apresentando o fluxo de corrente elétrica através do dispositivo por única superfície	5
Figura 5	Esquema de transistor 3D baseado em um nanofio contendo as regiões de fonte, dreno e porta e o canal de condução (controlado pela porta por 3 vias)	6
Figura 6	Esquema de um transistor 3D (FinFET) em operação, apresentando o fluxo de corrente elétrica por três superfícies do canal	6
Figura 7	A redução das dimensões físicas dos transistores permite operação com menor potência	7
Figura 8	A redução das dimensões físicas dos transistores permite maior integração de dispositivos e, conseqüentemente, redução do custo por transistor	7
Figura 9	Corrente de mínima de operação para transistores em estado desligado, I_{OFF} , como função da dimensão da porta, L_G	8
Figura 10	Esquema da estrutura de uma lâmina de silício contendo filme de SiO_2 após algumas etapas do processo de fotolitografia: (a) aplicação do fotoresiste (resina sensível à luz UV), (b) exposição do resiste à luz UV através de uma máscara com o padrão que se deseja definir, (c) revelação do fotoresiste, (d) corrosão química do SiO_2 e (e) remoção do fotoresiste remanescente, definindo o padrão da máscara	9
Figura 11	(a) Transistor de múltiplas portas dos tipos (b) sem junção (JNT), modo depleção e (c) FinFET, modo inversão	12
Figura 12	Operação do dispositivo JNT na situação (a) completamente depletado ($V_G = 0$), (b) de limiar de condução ($V_G = V_{TH}$), (c) de regime de acumulação ($V_{TH} < V_G < V_{FB}$) e (d) de saturação ($V_G > V_{FB}$)	13

Figura 13	Perfil de corrente elétrica no canal do dispositivo JNT (I_D , em escala logarítmica) como função da tensão aplicada na porta (V_{GS})	14
Figura 14	Esquema do sistema e duplo feixe GaFIB/SEM, com acessórios GIS e EDS	15
Figura 15	Sistema GaFIB FEI NOVA 200 NanoLab do Centro de Componentes Semicondutores da UNICAMP	17
Figura 16	(a) Esquema do sistema de injeção de gases (GIS) contendo as principais dimensões do tubo de injeção ($\alpha \sim 60^\circ$, $D = 600 \mu\text{m}$, $H = 100 \sim 150 \mu\text{m}$, $L \sim 100 \text{ mm}$) e (b) dinâmica do processo de deposição de dielétrico/metal induzida por feixe de elétrons (com taxa de corrosão nula), apresentando os processos de adsorção, dessorção e difusão na superfície. Os produtos não voláteis da dissociação resultam em deposição, enquanto fragmentos voláteis são bombeados para fora da superfície	18
Figura 17	Simulação da interação de feixe de elétrons de 1.6 nm de diâmetro sobre 1000 nm de PMMA com tensões de aceleração de (a) 2 kV, (b) 5 kV, (c) 10 kV e (d) 20 kV. O aumento da tensão de aceleração reduz a dispersão do feixe de elétrons, aumentando a resolução. A cor amarela representa elétrons com maior energia e azul com menor energia. A cor vermelha representa elétrons secundários	21
Figura 18	Efeito da dispersão do feixe de elétrons em resiste positivo, formando perfil angular negativo ideal para processo de <i>lift-off</i>	22
Figura 19	Sistema de litografia por feixe de elétrons <i>Raith E-Line Plus</i> do Centro de Componentes Semicondutores da UNICAMP	23
Figura 20	Processos de rompimento e ligação de cadeias poliméricas do resiste, produtos da interação com elétrons do feixe do EBL	26
Figura 21	(a) Reação química de rompimento de uma cadeia de 2 monômeros de PMMA devido à interação com elétrons incidentes da EBL. (b) Como resultado, as moléculas resultantes possuem pesos moleculares menores e são mais facilmente removidas por solvente (solução reveladora)	26
Figura 22	Esquemas de (a) lâmina SOI, com espessuras de 340 nm e 400 nm para silício de SiO_2 enterrado (BOX), respectivamente, após limpeza completa; (b) lâmina SOI (após oxidação térmica e corrosão úmida por BHF) com 15 nm de espessura de silício sobre BOX	31
Figura 23	Layout de transistores MOS para definição da (a) região ativa (LA01), (b) dielétrico de porta (LA02) e (c) contatos elétricos (LA03). Nível 1 (LA01) utilizado para a fotografação da região ativa (mesas de silício). O tamanho do <i>die</i> da figura é 4 mm x 3 mm	32
Figura 24	Microscopia eletrônica de varredura em amostra SOI com mesas de silício de 15 nm de espessura após fotografação do nível LA01 e apresentando fotoresiste 5214 remanescente sobre a mesa de silício	34

Figura 25	Perfil de íons de gálio na estrutura SOI após implantação local por GaFIB (energia de 10 keV e ângulo de ataque de 0°)	35
Figura 26	Perfil de dopagem de gálio na estrutura SOI anterior e posteriormente a um tratamento térmico rápido (RTA) sob ambiente de N ₂ , 1000°C, 1 minuto. Curvas simuladas pelo TCAD da Silvaco	36
Figura 27	Esquemas de (a) região ativa (mesa) do silício sobre BOX após litografia óptica e RIE; (b) nanofio de Si (p ⁺ -SiNW) após corrosão por GaFIB e dopagem local com íons de Ga ⁺	37
Figura 28	Esquemas do (a) Eletrodos de Pt de fonte/dreno depositados pelo feixe de elétrons do sistema <i>dual beam</i> e GIS (observe que a estrutura de um pseudo-MOS foi formada) e (b) dielétrico de porta de SiO ₂ também depositado por feixe de elétrons de GIS e eletrodos de fonte/dreno/porta de Al depositados por <i>sputtering</i> e definidos por <i>lift-off</i>	39
Figura 29	Esquemas do (a) pseudo-MOS para investigação do comportamento elétrico dos p ⁺ -SiNW e (b) JNT após o processo completo de fabricação	39
Figura 30	Esquemas de (a) lâmina SOI com camada de silício de 340 nm, (b) afinamento do silício para 15 nm por processos de oxidação térmica e corrosão úmida e (c) implantação iônica de arsênio e ativação por RTA para obtenção de silício dopado tipo n+.	40
Figura 31	Perfil de dopagem de arsênio na estrutura SOI anterior e posteriormente a um tratamento térmico rápido (RTA) em ambiente de N ₂ , 1000°C, 1 minuto. Curvas simuladas pelo TCAD da Silvaco.	41
Figura 32	Dimensões W e L dos transistores JNTs para um nanofio como canal de condução	42
Figura 33	<i>Layout</i> contendo 154 dispositivos, dentro de área 40 mm ² , desenvolvido para a fabricação dos dispositivos JNTs. No contorno dos dispositivos existem 16 estruturas de alinhamento	44
Figura 34	Estrutura detalhada do <i>layout</i> de um JNT de apenas um nanofio de comprimento 10 μm e largura de 100 nm. Em (a) temos a estrutura completa com 3 níveis de litografia e a região do nanofio no detalhe, (b) o nível de definição da região ativa, contendo o nanofio no detalhe e (c) o nível de abertura de contatos de fonte e dreno e (d) apresenta o nível de metal para fonte, dreno e porta.....	45
Figura 35	Estrutura detalhada do <i>layout</i> de um JNT de apenas 1280 nanofios em paralelo, todos de comprimento 6 μm e largura de 100 nm. Em (a) temos a estrutura completa com 3 níveis de litografia e a região do nanofio no detalhe, (b) o nível de definição da região ativa, contendo o nanofio no detalhe, (c) o nível de abertura de contatos de fonte e dreno e (d) o nível de metal para fonte, dreno e porta	46
Figura 36	(a) Marca de alinhamento por contraste de topografia: o contraste é obtido pela redução da espessura de resiste na região da cruz de ali-	

	nhamento (formação de poço) e feitos de borda. (b) marca de alinhamento por contraste de material: contraste obtido pela diferença de massa atômica entre o material da cruz, o resiste e o substrato	48
Figura 37	Estruturas adotadas para alinhamento dos níveis de litografia dos dispositivos JNTs. EM (a) é apresentado o layout parcial com as marcas (em detalhe, marca contendo conjunto de 5 cruces). 16 marcas compõem as estruturas para realinhamento. Em (b) são apresentados detalhes individuais dos dois tipos de cruces	50
Figura 38	Estruturas adotadas para alinhamento por topografia dos níveis de litografia dos dispositivos JNTs. Em (a) é apresentado o layout parcial com as marcas (em detalhe, marca contendo conjunto de 5 cruces). 7 marcas compõem as estruturas para realinhamento. Em (b) são apresentados detalhes individuais dos dois tipos de cruces	51
Figura 39	Etapas de fabricação e passivação da região ativa de silício de 15 nm dopado tipo n+. Esquemas de (a) camada de e-resiste negativo Ma-N 2403 anteriormente ao processo de escrita por feixe de elétrons, (b) e-resiste Ma-N sensibilizado resultante do processamento por EBL após processo de revelação, (c) região ativa dos dispositivos JNTs contendo regiões de fonte e dreno, além do n+SiNW e (d) região ativa passivada com filme de 5 nm de SiO _x N _y	56
Figura 40	Esquemas apresentando (a) e-resiste positivo PMMA anteriormente ao processamento por EBL, (b) e-resiste das regiões de fonte/dreno contendo SiON abertas após a litografia e processo de revelação, anteriormente à remoção do dielétrico, (c) remoção do dielétrico das regiões de fonte e dreno utilizando solução BHF e (d) n+ SiNW passivado com SiON e contatos de fonte e dreno de silício tipo n+, obtidos após limpeza orgânica e <i>plasma ashing</i> para remoção do PMMA	58
Figura 41	Esquemas apresentando a litografia do nível de abertura de contatos elétricos de fonte, dreno e porta. Em (a) filme de e-resiste PMMA cobrindo a região ativa, (b) regiões de contato abertas após litografia e revelação, (c) processo de deposição de Ti e Al por <i>sputtering</i> e (d) dispositivo JNT final com contatos metálicos definidos por <i>lift-off</i>	60
Figura 42	Espectros de EDS (a) antes e (b) após RTA, 1000°C, 60 s, em ambiente de N ₂	62
Figura 43	Análise de MEV de (a) região ativa de Si sobre BOX após litografia óptica e RIE; (b) SiNW após processo de <i>milling</i> e dopagem local p ⁺ por GaFIB; (c) SiNW após deposição de eletrodos de Pt por feixe de elétrons e GIS do sistema dual beam (transistor pseudo MOS foi obtido nesta etapa); e (d) SiO ₂ de 10 nm de espessura (também depositado por feixe de elétrons e GIS) como dielétrico de porta para o dispositivo JNT	63
Figura 44	(a) Esquema do dispositivo pseudo-MOS utilizado para investigar o comportamento elétrico dos p ⁺ -SiNW e (b) curvas I _{DS} versus V _{BGS} do	

	pseudo-MOS em regime de acumulação. A tensão na porta que representa mínimo valor de corrente entre fonte de dreno ($< 0,15$ nA) indica que o nanofio de silício está dopado com átomos de gálio 64	64
Figura 45	(a) Esquema do dispositivo JNT após o processo completo de fabricação e (b) medidas I_{DS} versus V_{DS} (para tensão no bulk, $V_B = 0$), após 20 minutos de sinterização de contatos elétricos 66	66
Figura 46	Marcas de alinhamento por contraste de material utilizando alumínio em substrato SOI. Em (a) o <i>layout</i> de uma das marcas e em (b) é apresentada microscopia óptica de marca de alumínio definida por <i>lift-off</i> após processo de <i>sputtering</i> . A cruz central possui menor dimensão de $1 \mu\text{m}$ e as cruzes laterais de 200 nm . Em (c) é apresentada microscopia eletrônica de varredura dessas marcas, destacando o baixo contraste devido à similaridade dos números atômicos do alumínio ($Z = 13$) e silício ($Z = 14$) 67	67
Figura 47	(a) Esquema das marcas de alinhamento por contraste de topografia. Microscopia óptica de (b) marcas definidas por EBL após revelação. Em (c) a amostra é submetida a plasma RIE para remoção do silício (SOI) de 15 nm sobre BOX. Nesta imagem de microscopia óptica o dióxido de silício remanescente está com aproximadamente 350 nm (a superfície superior das marcas é protegida por resiste). (d) A amostra é imersa em solução BHF para remoção do BOX, restando aproximadamente 40 nm . Em (e) as cruzes de alinhamento de $n^+\text{-Si}$ sobre 400 nm de BOX são envolvidas por um poço na região do BOX. Em (f) as 7 marcas de alinhamento envolvendo a região ativa $n^+\text{-Si}$ anteriormente ao processamento dos JNTs (a cota corresponde a 1 mm) 68	68
Figura 48	Microscopia eletrônica de varredura de marcas de alinhamento por contraste de topografia de silício definidas sobre BOX por litografia por feixe de elétrons e corrosão úmida em solução BHF. Em (a) marca central com quatro marcas laterais e (b) detalhe da corrosão úmida nas paredes da cruz de menor dimensão. Detalhe do filme do canto superior direito sobre as cruzes menores: o processo de realinhamento dos níveis de litografia foi realizado pela varredura do feixe de elétrons na região especificada para determinação do centro das cruzes e alinhamento com as respectivas cruzes do <i>layout</i> , o que expôs a área ao alumínio (deposição por <i>sputtering</i>) do nível de contatos metálicos de fonte, dreno e porta 69	69
Figura 49	Processamento dos dispositivos JNT após litografia do nível de definição da região ativa de $n^+\text{-Si}$ dos JNTs, após processo de revelação. Microscopia eletrônica de varredura apresenta e-resiste Ma-N 2403 sobre substrato SOI previamente ao processo de corrosão por ECR para definição para definição da região ativa de $n^+\text{-Si}$ com (a) um nanofio e (b) múltiplos (20) nanofios. A dimensão vertical (largura) do nanofio em e-resiste é 50 nm na figura (a) e 500 nm na figura (b) 70	70

Figura 50	Microscopias ópticas de (a) amostra SOI com camada de 15 nm de n ⁺ -Si após litografia por feixe de elétrons e revelação do nível de definição da região ativa (estruturas em e-resiste Ma-N 2403); (b) região ativa de silício de 15 nm sobre BOX definida após processo de corrosão por plasma ECR (e-resiste remanescente sobre mesas de n ⁺ -Si); (c) região ativa de n ⁺ -Si com 15 nm sobre BOX e (d) região ativa de n ⁺ -Si com filme de 5 nm de SiO _x N _y após o processo de oxinitretação por plasma ECR	71
Figura 51	(a) Etapa de abertura de contatos de fonte e dreno em dispositivos JNT; (b) região ativa n ⁺ -Si exposta após remoção do dielétrico SiON na regiões de fonte e dreno e (c) substrato após a etapa de limpeza orgânica para remoção do PMMA	72
Figura 52	(a) Microscopia óptica apresentando a etapa de abertura de contatos de fonte, dreno e porta para deposição de eletrodos metálicos em dispositivos JNT (efeito de <i>stitching</i> está presente nesta etapa de litografia); microscopia eletrônica de varredura de (b) um transistor JNT completo, porém se região ativa n ⁺ -Si (camada removida durante a etapa de limpeza RCA completa anteriormente ao processo de oxinitretação da região ativa) e (c) de um <i>pad</i> de JNT destacando, à direita, o efeito de <i>stitching</i> da litografia, transferido para o processo de definição dos contatos metálicos por meio de <i>lift-off</i>	73
Figura 53	Marcas de alinhamento de (a) escala micrométrica e (b) escala nanométrica, em PMMA sobre SOI após processo de revelação	74
Figura 54	Em (a) e (b) imagens de microscopia óptica e eletrônica de varredura, respectivamente, de marcas de alinhamento de 75 nm de níquel sobre substrato SOI após processo de deposição pela técnica de <i>sputtering</i> e definição por <i>lift-off</i>	74
Figura 55	Microscopias ópticas de (a) amostra SOI com camada de 15 nm de n ⁺ -Si após litografia por feixe de elétrons e revelação do nível de definição da região ativa (estruturas em e-resiste Ma-N 2403); (b) região ativa de n ⁺ -Si com 15 nm de espessura sobre BOX definida após processo de corrosão por plasma ECR (no detalhe, n ⁺ -SiNW para múltiplos nanofios e apenas um nanofios) e (c) região ativa de n ⁺ -Si com filme de 5 nm de SiO _x N _y após o processo de oxinitretação por plasma ECR	75
Figura 56	Microscopia óptica apresentando as etapas de abertura de contatos de fonte e dreno em dispositivos JNT. Em (a) regiões de fonte e dreno expostas após litografia por feixe de elétrons e revelação; (b) região ativa n ⁺ -Si exposta após remoção do dielétrico SiON nas regiões de fonte e dreno e (c) dispositivos JNT de um e múltiplos nanofios após a etapa de limpeza orgânica para remoção do PMMA	76
Figura 57	Microscopia óptica de (a) etapa de abertura de contatos de fonte, dreno e porta para deposição de eletrodos metálicos em dispositivos JNT, utilizando litografia por feixe de elétrons e (b) transistores JNT completos após etapas de deposição de metal e definição de contatos por <i>lift-off</i>	77

Figura 58	Microscopia eletrônica de varredura de um JNT completo com um nanofio. Em (a) visão macroscópica do dispositivo; (b), (c) e (d) nanofio (canal de condução) do JNT com eletrodos de Al/Ti e (e) nanofio com largura $W_{fin} = 50$ nm e porta com comprimento $L = 200$ nm 78
Figura 59	Microscopia eletrônica de varredura de um JNT completo com 20 nanofios com largura $W_{fin} = 100$ nm e porta com comprimento $L = 1$ μ m. Em (a) visão macroscópica do dispositivo; (b) e (c) nanofios (canais de condução) do JNT com eletrodos de Al/Ti 79
Figura 60	Microscopia eletrônica de varredura de um JNT completo com 1280 nanofios com largura $W_{fin} = 100$ nm e porta com comprimento $L = 1$ μ m. Em (a) visão macroscópica do dispositivo; (b) e (c) nanofios (canais de condução) do JNT com eletrodos de Al/Ti 79
Figura 61	Curva I_{DS} versus V_{DS} (para $V_{GS} = 0$) de dispositivo JNT com 1280 nanofios em paralelo (menor resistência equivalente) e eletrodos de fonte de dreno de Al/Ti. Resultados mostram comportamento não ôhmico, o que pode ser solucionado aumentando o tempo de sinterização e/ou substituindo o metal de fonte e dreno 80
Figura 62	Comparativo de parâmetros de fabricação dos dispositivos JNT para os sistemas GaFIB e EBL. 82

LISTA DE TABELAS

Tabela 1	Especificações de alguns tipos de litografia óptica	10
Tabela 2	Comparação de parâmetros do feixe para diversos tipos de fonte iônica ...	16
Tabela 3	bordas de emissão de raios-X para Ga, Si, Pt e O	20
Tabela 4	Características de diferentes tipos de emissores de elétrons utilizados em sistemas de litografia por feixe de elétrons	23
Tabela 5	Limpeza completa	30
Tabela 6	Etapas de oxidação úmida do substrato SOI para afinamento do silício	31
Tabela 7	Etapas da fotogração para definição das mesas de silício de 15 nm de espessura	33
Tabela 8	Etapas da fotogração para definição de contatos metálicos de fonte/dreno/porta	38
Tabela 9	Dimensões dos dispositivos JNTs	43
Tabela 10	Especificações dos e-resiste utilizados neste trabalho	47
Tabela 11	Etapas para definição das marcas de alinhamento por contraste de topografia	52
Tabela 12	Etapas para definição das marcas de alinhamento por contraste de material	53
Tabela 13	Etapas para definição da região ativa dos JNTs	54
Tabela 14	Etapas para abertura das regiões de fonte e dreno dos dispositivos JNTs	57
Tabela 15	Etapas para definição de regiões metálicas de fonte, dreno e porta dos dispositivos JNTs	59

LISTA DE ABREVIATURAS E SIGLAS

FIB	<i>Focused Ion Beam</i> – Feixe de Íons Focalizados
GaFIB	<i>Focused Ion Beam with Ga⁺ ions</i> – Feixe de Íons Focalizados com íons de Ga ⁺
SiNW	<i>Silicon nanowire</i> – nanofio de silício
EBL	<i>Electron Beam Lithography</i> – Litografia por Feixe de Elétrons
JNT	<i>Junctionless Nanowire Transistor</i> – Transistor sem Junção baseado em Nanofio
FinFET	<i>Fin-type Field Effect Transistor</i> – Transistor de Efeito de Campo tipo Barbata- na
Si	Silício
O	Oxigênio
Ga	Gálio
Ti	Titânio
Al	Alumínio
MOS	<i>Metal Oxide Semiconductor</i> – Metal Óxido Semicondutor
CMOS	<i>Complementary Metal Oxide Semiconductor</i> – Metal Óxido Semicondutor Com- plementar
SiO ₂	Dióxido de silício
SiO _x N _y	Oxinitreto de Silício
SEM	<i>Scanning Electron Microscopy</i> – Microscopia Eletrônica de Varredura
EUV	<i>Extreme Ultra-Violet</i> – Ultra Violeta Extremo
DUV	<i>Deep Ultra-Violet</i> – Ultra Violeta Profundo
PMMA	<i>Poly(Methyl-Methacrylate)</i> – Polimetil - Metacrilato
Pt	Laboratório de Alta Tensão
FEG	<i>Field Effect Gun</i> – Canhão de Efeito de Campo
EDS	<i>Energy-Dispersive Spectroscopy</i> – Espectroscopia por Dispersão de Energia
RTA	<i>Rapid Thermal Annealing</i> – Tratamento Térmico Rápido
BOX	<i>Buried Oxide</i> – Óxido Enterrado
HMDS	<i>Hexamethyldisilazane</i>
MIBK	<i>Methyl Isobuthyl Ketone</i> – Metil Isobutil Cetona
IPA	<i>Isopropanol</i> – Álcool isopropílico
SOI	<i>Silicon on Insulator</i> – Silício sobre Isolante

BHF *Buffered Hydrofluoric Acid* – Buffer de Ácido Fluorídrico
WF *Write Field* – Campo de Escrita

Apresentação

Esta dissertação é composta por 6 tópicos, apresentados abaixo:

- **Capítulo 1 (Introdução):** são apresentados a motivação deste projeto, os objetivos do trabalho, arquiteturas MOS, relações de desempenho e custo dos transistores como função de sua miniaturização, além do conceito dos dispositivos fabricados.
- **Capítulo 2 (Feixe de íons focalizados e litografia por feixe de elétrons):** são apresentados os sistemas utilizados para fabricação dos dispositivos. As técnicas são descritas e comparadas com outras empregadas na indústria.
- **Capítulo 3 (Procedimento experimental):** neste capítulo são apresentados os métodos de preparação das amostras e as etapas para fabricação dos dispositivos, como litografia, limpeza, deposições de filmes dielétrico/metálicos e corrosão. As dificuldades experimentais e soluções tomadas são descritas. É apresentado o desenvolvimento completo do processo de fabricação de transistores sem junção, incluindo o desenvolvimento do *layout* desses dispositivos.
- **Capítulo 4 (Resultados e discussões):** são apresentados os resultados e discussões das análises de EDS (medida de composição química), medida de 4 pontas (características elétricas dos dispositivos) e microscopia eletrônica de varredura (inspeção da dimensão e rugosidade dos nanofios).
- **Capítulo 5 (Conclusões e perspectivas futuras):** apresenta as conclusões dos dispositivos obtidos e as perspectivas futuras para novos dispositivos e materiais.
- **Referências Bibliográficas:** são apresentadas as referências bibliográficas utilizadas para a composição deste trabalho.

Capítulo 1

Introdução

1.1 Objetivos

O objetivo desta dissertação é o desenvolvimento de processos de obtenção de nanofios de silício (SiNW) – utilizando as técnicas de feixe de íons focalizados com íons de gálio (GaFIB) e litografia por feixe de elétrons (EBL) – para fabricação de transistores MOS sem junção baseados em nanofios (*junctionless nanowire transistor*, JNT). Em ambas as técnicas, os dispositivos foram fabricados próximos do limiar de resolução dos equipamentos, sendo que no sistema EBL foi realizada excursão das dimensões dos JNTs para permitir variações dos parâmetros elétricos dos dispositivos.

1.2 Motivação

1.2.1 Nós tecnológicos e perspectivas futuras dos transistores MOS

A Lei de Moore (Figura 1), que define a taxa de crescimento do número desses dispositivos em circuitos integrados em função do tempo, tem sido o guia para a indústria de semicondutores por quase 40 anos e só pôde ser sustentada pelo processo de escalamento dos transistores [1,2,3].

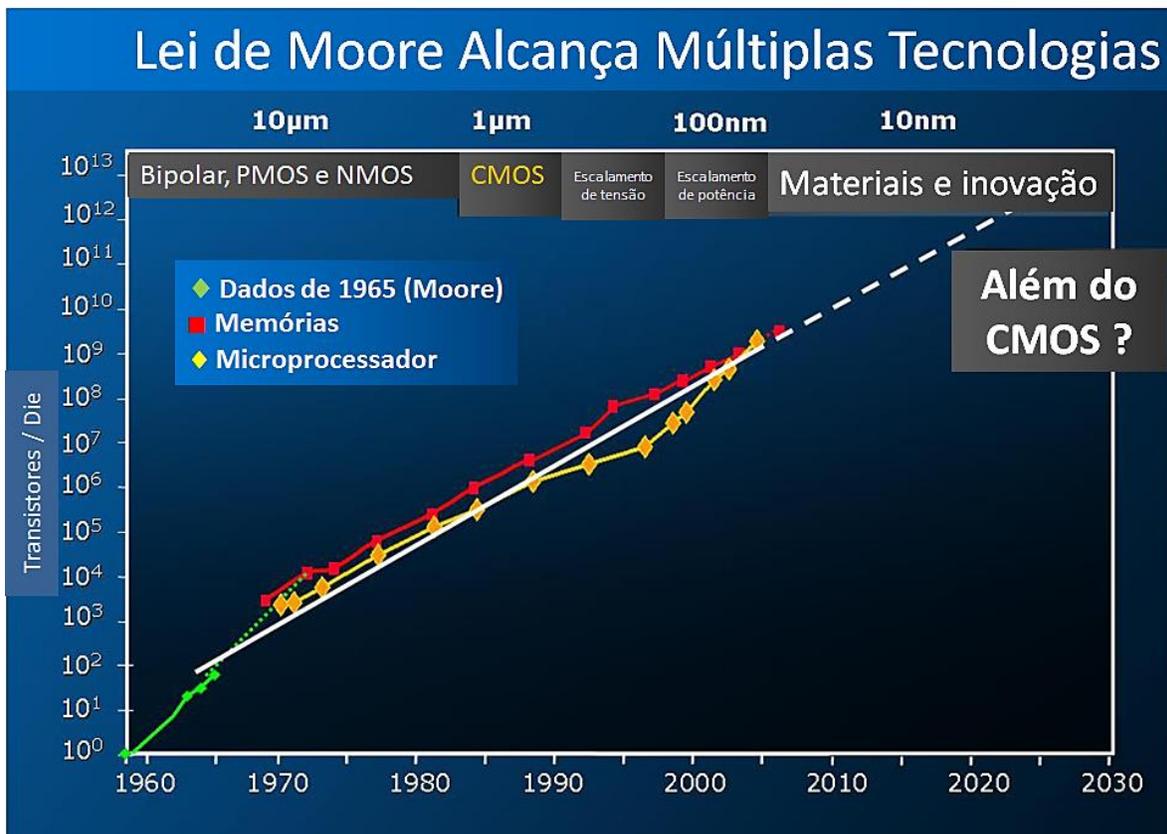


Figura 1. Lei de Moore, que define a taxa de crescimento do número de transistores em circuitos integrados como função do tempo [4].

Os nós tecnológicos, determinados pela Lei de Moore, são uma métrica desenvolvida pela indústria microeletrônica e utilizados para classificar o desenvolvimento dos dispositivos em chips. São definidos pelo *pitch* (menor dimensão entre duas estruturas repetidas) dos transistores. Há alguns anos a medida de $\frac{1}{2}$ -*pitch* (*half-pitch*) passou a ser conhecida pelo termo ‘nó tecnológico’ e representa a metade da menor distância que distingue duas estruturas repetidas em um chip.

A Figura 2 apresenta o nó tecnológico e as correspondentes dimensões físicas do comprimento do canal, L_G , em relação ao ano de seu desenvolvimento. Essas dimensões têm sido reduzidas em 30 %, em média, a cada 2 anos e transistores com dimensões L_G menores que 15 nm já foram demonstrados em laboratório. Isso permite classificá-los como “nano-transistores de silício” [2-4], que são baseados em nanofios (*silicon nanowire transistors*).

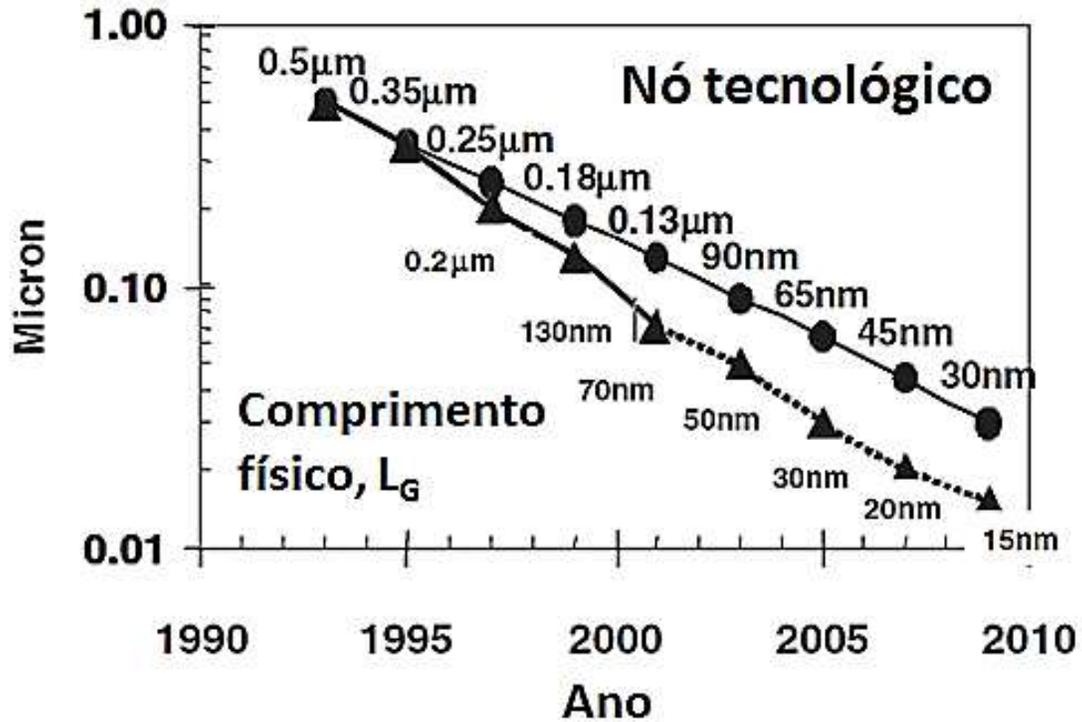


Figura 2. Nó tecnológico e dimensões físicas do comprimento do canal dos transistores em relação ao ano de desenvolvimento [1].

Com a redução do nó tecnológico, a arquitetura de transistores com múltiplas portas (*Tri-gate*), baseada em nanofios, tem se tornado essencial para sustentar a Lei do Moore e permitir a evolução da indústria nanoeletrônica (Figura 3) [2].

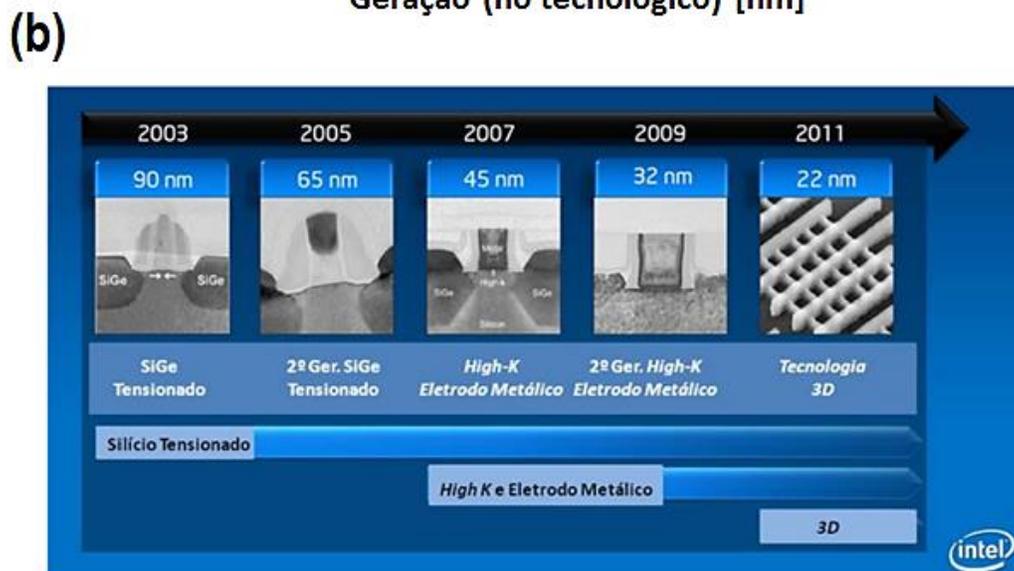
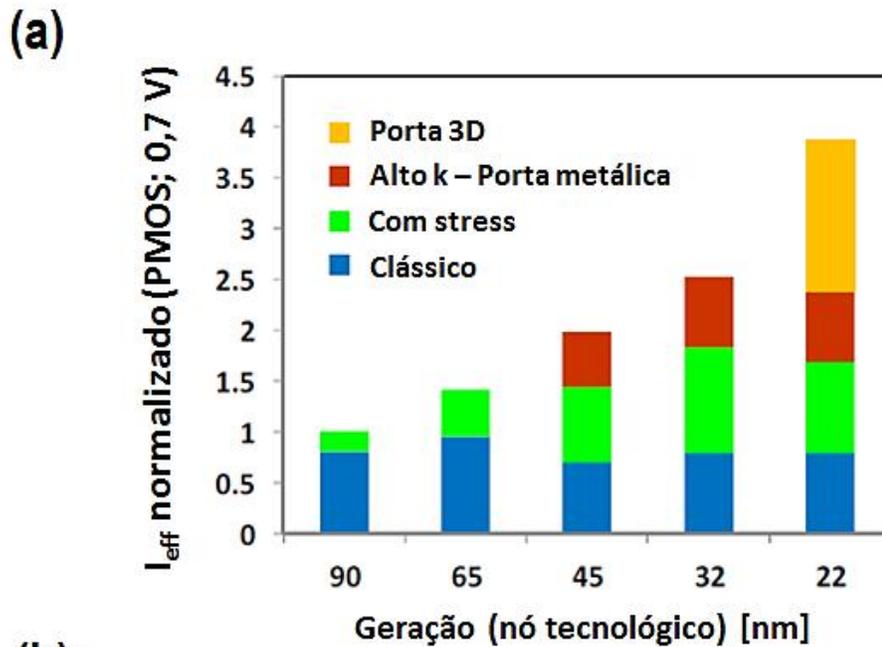


Figura 3. (a) No gráfico, a corrente efetiva no canal normalizada (a 0,7 V, para dispositivos pMOS) como função do nó tecnológico para os vários tipos de arquitetura de transistores nos diversos nós tecnológicos, indicando que os transistores com porta tridimensional baseados em nanofios têm sido uma das soluções para manter ativa a Lei de Moore [2]. (b) Escalamento da tecnologia MOS para os nós tecnológicos entre 90 nm e 22 nm. O menor nó tecnológico (22 nm) utiliza porta 3D [5].

1.2.2 Transistores planares versus transistores 3D

Em transistores planares do tipo MOS a corrente elétrica é induzida a fluir entre fonte e dreno através do plano cristalino na interface entre o silício e o dielétrico de porta. Esses transistores operam

baseados no campo elétrico que a porta induz na superfície do silício, controlando, dessa forma, a densidade de portadores nessa superfície (Figura 4).

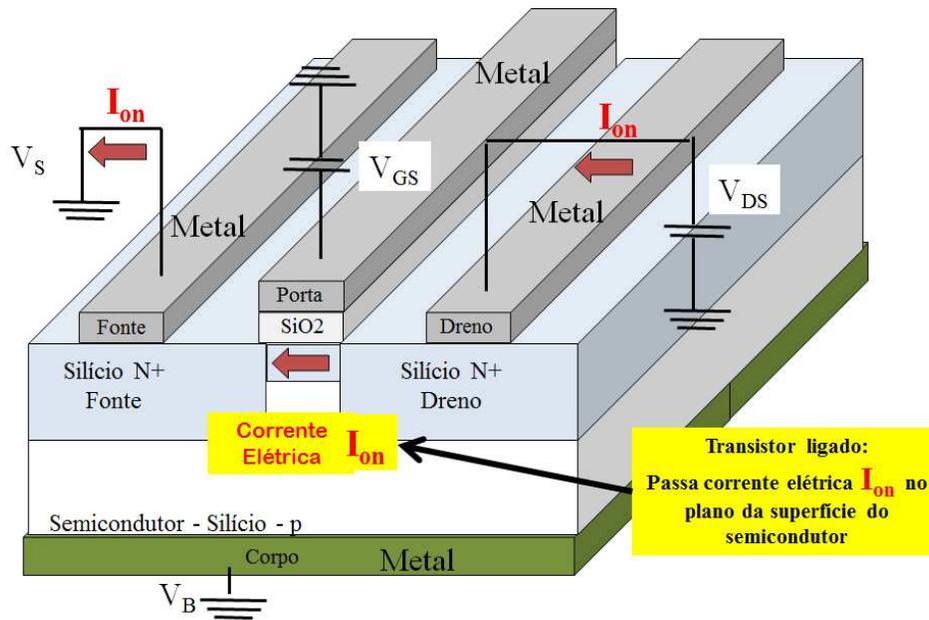


Figura 4. Esquema de um transistor planar convencional em operação, apresentando o fluxo de corrente elétrica através do dispositivo por superfície única [6].

Por outro lado, os transistores com porta tridimensional (controle da porta por 3 vias ou planos do silício) e baseados em nanofios – conhecidos como *Triple Gate* (esquema na Figura 5) –, possuem melhor controle da corrente elétrica do canal durante a operação [5] devido ao melhor confinamento do campo elétrico na região da porta, o que reduz a tensão necessária para ligá-lo e desligá-lo. Além disso, outra vantagem desses dispositivos é a redução da área ocupada por um único dispositivo, permitindo maior integração em um chip. Em dispositivos do tipo *Triple Gate* a corrente elétrica flui através do canal por três planos (Figura 6).

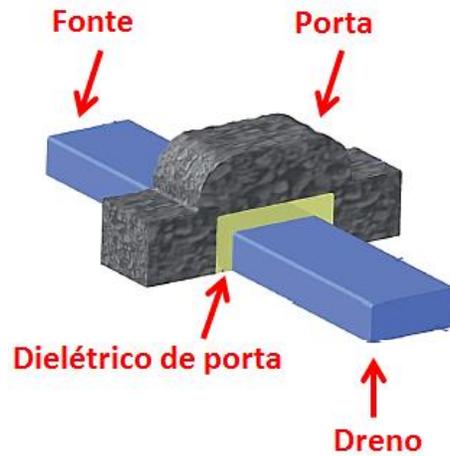


Figura 5. Esquema de transistor 3D baseado em um nanofio contendo as regiões de fonte, dreno e porta e o canal de condução (controlado pela porta por 3 vias) [7].

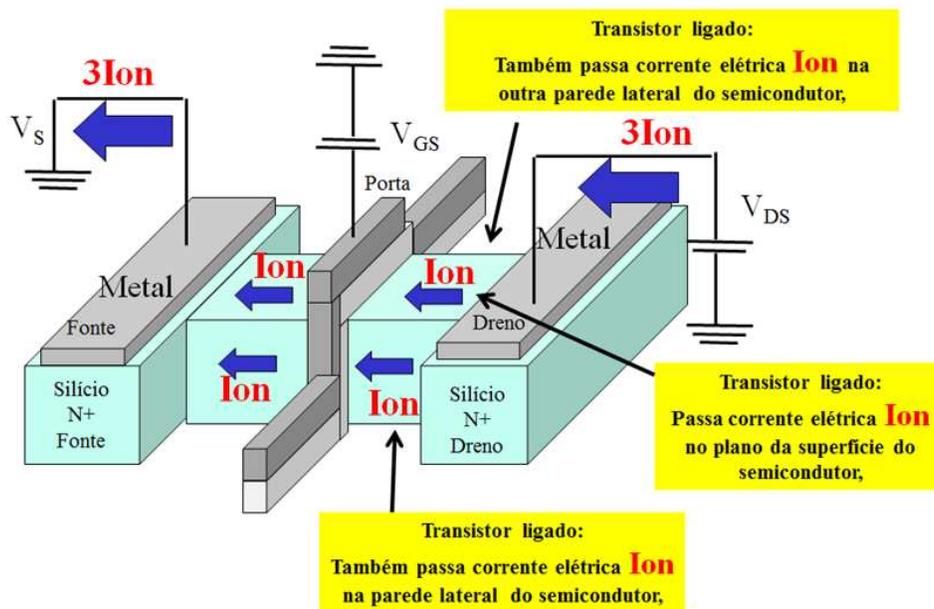


Figura 6. Esquema de um transistor 3D (FinFET) em operação, apresentando o fluxo de corrente elétrica por três superfícies do canal [6].

Além disso, a redução das dimensões do canal de condução reduz a potência ativa de operação dos dispositivos e, conseqüentemente, o aquecimento, como pode ser visto na Figura 7.

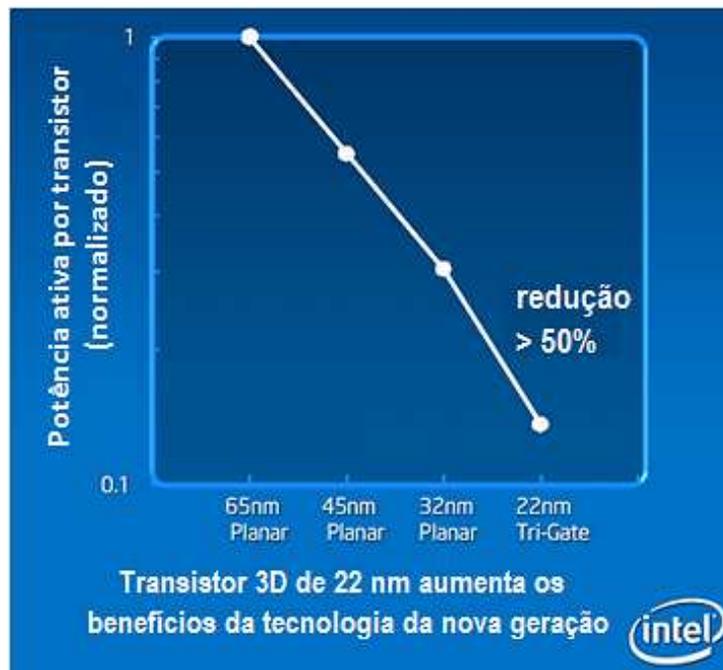


Figura 7. Potência ativa por transistor em função da dimensão física [8].

O desenvolvimento e emprego desses transistores têm sido exigências fundamentais para a moderna indústria microeletrônica com o intuito de melhorar o desempenho, aumentar a densidade e integração de dispositivos em *chips* [9,10] e, conseqüentemente, reduzir o custo de produção (Figura 8).

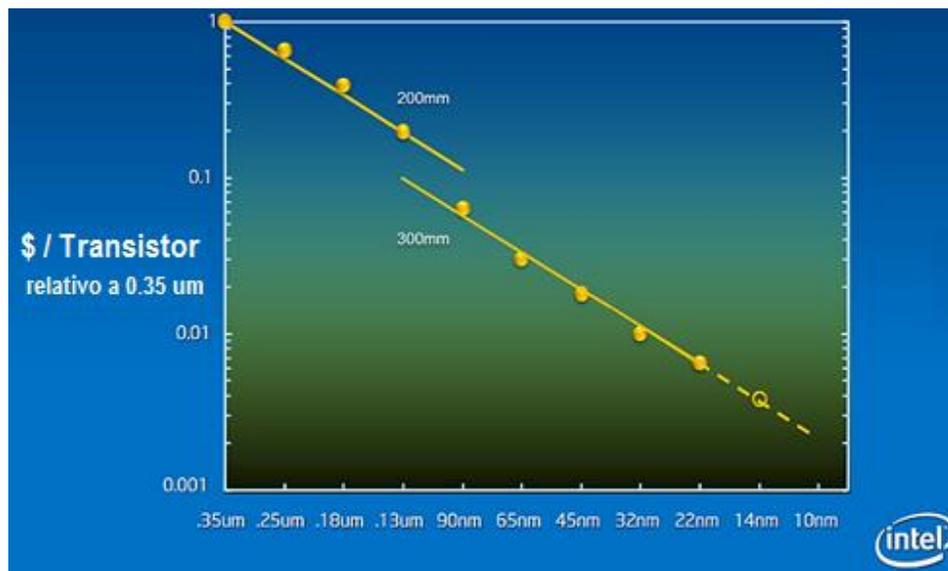


Figura 8. Custo da produção de transistores como função das dimensões (nós tecnológicos) [8].

Entretanto, o desafio de fabricação e melhoria de desempenho desses dispositivos exige a escolha de novos materiais (*high-k*) para uso como dielétrico de porta [11,12] – reduzindo, assim, a corrente de fuga. Outro desafio é a redução da corrente mínima (para tensão na porta $V_G = 0$) pelo canal em estado desligado (I_{OFF}) – já que com a diminuição do comprimento do canal, L_G , o controle do dispositivo diminui e a corrente de mínima pelo dispositivo aumenta (Figura 9) – o que é alcançado ao reduzir as dimensões do nanofios até a obtenção de silício completamente depletado (*fully-depleted*) [7,9,10].

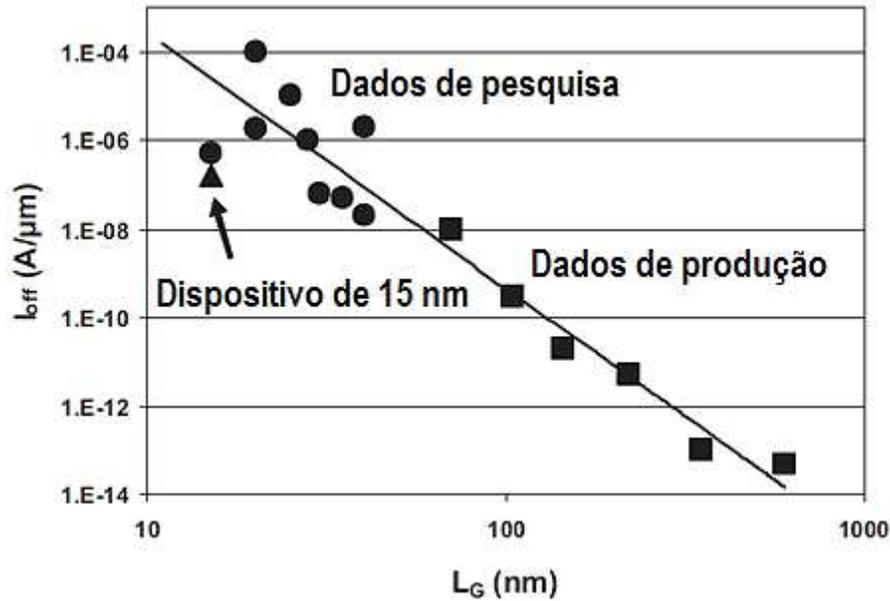


Figura 9. Corrente mínima de operação para transistores em estado desligado, I_{OFF} , como função do comprimento do canal, L_G [11].

1.2.3 Nova geração de ferramentas para nano fabricação

O processo litográfico é uma técnica empregada em micro e nanoeletrônica para imprimir padrões geométricos e abrir janelas em camadas da superfície de lâminas [13], permitindo processos de corrosão ou deposição de materiais dielétrico ou metálico, para formar dispositivos em um processo planar de fabricação. A Figura 10 apresenta o esquema de uma etapa de um processo litográfico utilizando luz (fotolitografia). A litografia pode ser executada para diversos comprimentos de onda: ultravioleta (UV, 400 – 250 nm), ultra-violeta profundo (*Deep UV*, DUV, 250 – 100 nm), EUV (45 – 13.5 nm), raio-X (10 – 0.01 nm) e elétrons (~ 1 nm).

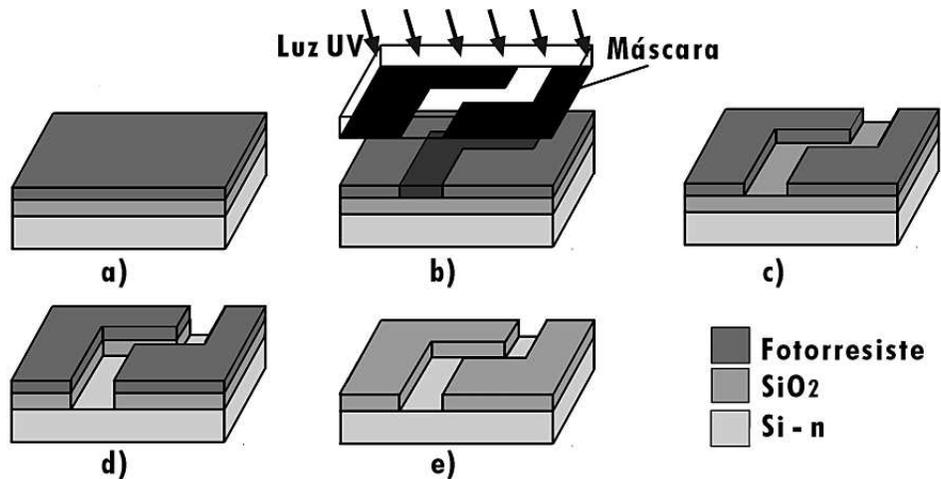


Figura 10. Esquema da estrutura de uma lâmina de silício contendo filme de SiO_2 após algumas etapas do processo de fotolitografia: (a) aplicação do fotoresiste (resina sensível à luz UV), (b) exposição do resiste à luz UV através de uma máscara com o padrão que se deseja definir, (c) revelação do fotoresiste, (d) corrosão química do SiO_2 e (e) remoção do fotoresiste remanescente, definindo o padrão da máscara [13].

Diversas técnicas ópticas têm sido desenvolvidas e aperfeiçoadas para as exigências de fabricação dos dispositivos baseados em dimensões nanométricas. A Litografia por Imersão (comprimento de onda de 193 nm), que é um processo óptico, baseia-se na litografia óptica em imersão aquosa, com o intuito de utilizar o fluido de imersão como lente e, assim, aumentar a resolução de processamento, além de profundidade de foco, solucionando alguns problemas de topografia [14]. Entretanto, comparado com sistemas de litografia convencional (em imersão no ar), a litografia por imersão apresenta problemas como a formação de bolhas durante o reposicionamento – obrigatoriamente rápido – da amostra em relação ao feixe, o que deteriora o processo litográfico. Além disso, aberrações ópticas da máscara podem ser transferidas para a amostra quando o processo é realizado com estruturas próximas do comprimento de onda da fonte luminosa [14].

Após o ano de 2010, a técnica de litografia por ultra-violeta profundo (*deep ultra violet*, DUV), com comprimento de onda de 157 nm (fonte de luz UV proveniente de laser baseado em Flúor), representou outra opção para a fabricação de dispositivos em escala nanométrica, entretanto não avançou consistentemente devido à baixa relação custo-benefício para a indústria [14]. Assim, a técnica de ultravioleta extremo (*extreme ultra violet*, EUV), com comprimento de onda menor que 13,5 nm, ganhou campo nos processos de fabricação por litografia óptica e é considerada um dos processos de litografia mais promissores para lidar com o nó tecnológico abaixo de 30 nm [14]. Recentemente, estruturas com

resolução de 12,5 nm foram fabricadas utilizando EUV, o que impactará no nó tecnológico sub-22 nm [15]. Entretanto, a radiação utilizada pela técnica EUV é absorvida por todos os materiais (incluindo o ar), o que torna necessário o uso de sistemas de vácuo e espelhos (óptica refletiva e não refrativa), encarecendo o processo. Além disso, a técnica exige sistemas com alta potência, já que espelhos absorvem grande parte da radiação emitida pela fonte luminosa [14].

A Tabela 1 apresenta especificações da óptica para algumas técnicas de litografia até a mais recente EUV.

Tabela 1: Especificações de alguns tipos de litografia óptica [14].

<i>Nome</i>		<i>I-Line</i>	<i>DUV</i>	<i>193</i>	<i>193i</i>	<i>EUV</i>
<i>Fonte luminosa</i>		<i>Lâmpada de Hg</i>	<i>Laser de KrF</i>	<i>Laser de ArF</i>	<i>Laser de ArF</i>	<i>DPP (emissão por descarga de Estanho)</i>
<i>Redução</i>		<i>4x</i>	<i>4x</i>	<i>4x</i>	<i>4x</i>	<i>4x</i>
<i>Comprimento de onda</i>	<i>nm</i>	<i>365</i>	<i>248</i>	<i>193</i>	<i>193</i>	<i>13,5</i>
<i>Abertura numérica (NA)</i>		<i>0,65</i>	<i>0,93</i>	<i>0,93</i>	<i>1,35</i>	<i>0,25</i>
<i>k_{l_min}</i>		<i>0,5</i>	<i>0,25</i>	<i>0,25</i>	<i>0,25</i>	<i>0,4</i>
<i>Passo mínimo (pitch)</i>	<i>nm</i>	<i>562</i>	<i>133</i>	<i>104</i>	<i>71</i>	<i>43</i>
<i>Profundidade de foco</i>	<i>Dense lines</i>	<i>600</i>	<i>300</i>	<i>150</i>	<i>150</i>	<i>150</i>
<i>Sobreposição (overlay)</i>	<i>SMO</i>	<i>12</i>	<i>6</i>	<i>6</i>	<i>7</i>	<i>4</i>
	<i>MMO</i>	<i>20</i>	<i>10</i>	<i>10</i>	<i>12</i>	<i>6</i>
<i>Repetitividade no posicionamento do porta-amostra</i>	<i>nm</i>	<i>10</i>	<i>6</i>	<i>4</i>	<i>4</i>	<i>–</i>
<i>Distorção óptica</i>	<i>nm</i>	<i>n.a.</i>	<i>3.5</i>	<i>1,7</i>	<i>1,4</i>	<i>–</i>
<i>Dimensão do wafer</i>	<i>inch</i>	<i>8'' / 12''</i>	<i>8'' / 12''</i>	<i>8'' / 12''</i>	<i>8'' / 12''</i>	<i>12''</i>
<i>Rendimento (Throughput)</i>	<i>wph</i>	<i>165 / 135</i>	<i>165 / 135</i>	<i>150 / 122</i>	<i>165 / 122</i>	<i>–</i>
<i>Custo (Milhões de US\$)</i>		<i>5</i>	<i>13</i>	<i>19</i>	<i>> 36</i>	<i>>50</i>

Alternativamente, processos de nanofabricação de protótipos de dispositivos podem ser realizados utilizando feixe de íons de gálio de sistemas FIB [16-19] ou feixe de elétrons de litografia por feixe de elétrons (EBL) [20,21]. A resolução da técnica FIB depende de parâmetros do sistema eletro-óptico e da fonte utilizada (gálio, hélio, neônio, silício), estando situada abaixo de 30 nm para o sistema utilizado neste trabalho e podendo alcançar o limiar de 10 nm [16]. Por outro lado, resolução da técnica de EBL depende de parâmetros do sistema eletro-óptico e da composição química do resiste utilizado. Para o EBL utilizado neste trabalho a resolução da litografia pode alcançar aproximadamente 10 nm para o e-resiste PMMA [22].

1.2.4 Transistor sem junção baseado em nanofios (JNT)

Devido à miniaturização dos dispositivos abaixo dos nós tecnológicos de dezenas de nanômetros – com o intuito de reduzir potência de operação, aumentar a integração de dispositivos e capacidade de processamento, além de reduzir custos –, os transistores providos de junções passaram a exibir elevados gradientes de concentrações de dopantes, levando a efeitos indesejados de operação, como efeitos de canal curto e perfuração MOS (*punchthrough*). Esses efeitos tornam-se desafios tecnológicos para a fabricação de dispositivos com tais dimensões [23,24].

Contudo, foi proposto o conceito de um dispositivo 3D (de múltiplas portas) desprovido de junções PN, N⁺N ou P⁺P, e que possui a mesma dopagem ao longo do canal de condução e regiões de fonte e dreno, além de operar como um simples resistor cuja densidade de portadores é modulada por meio da tensão aplicada na porta [25-27]. Compatível com a tecnologia CMOS, esse dispositivo emprega nanofios como canal de condução [16,24], sendo denominado por *junctionless nanowire transistor* (JNT). Sua facilidade de fabricação, inclinação de sublimar próxima do ideal, corrente de fuga reduzida e baixa degradação da mobilidade dos portadores com a temperatura (em comparação com transistores convencionais) [23,24] têm chamado a atenção da indústria microeletrônica [25].

Por não possuir gradientes de concentração de dopantes ao longo do nanofio, não se observam efeitos de canal curto e perfuração MOS (*punchthrough*). Outra característica relevante dos JNTs é operar como um resistor controlado pela tensão na porta, sendo assim permite o fluxo de corrente elétrica por todo o material do canal (*bulk*) e não apenas pelas 3 superfícies (como nos FinFETs) [24]. A Figura 11 apresenta comparativamente os esquemas dos dispositivos FinFET (modo inversão) e JNTs (modo depleção).

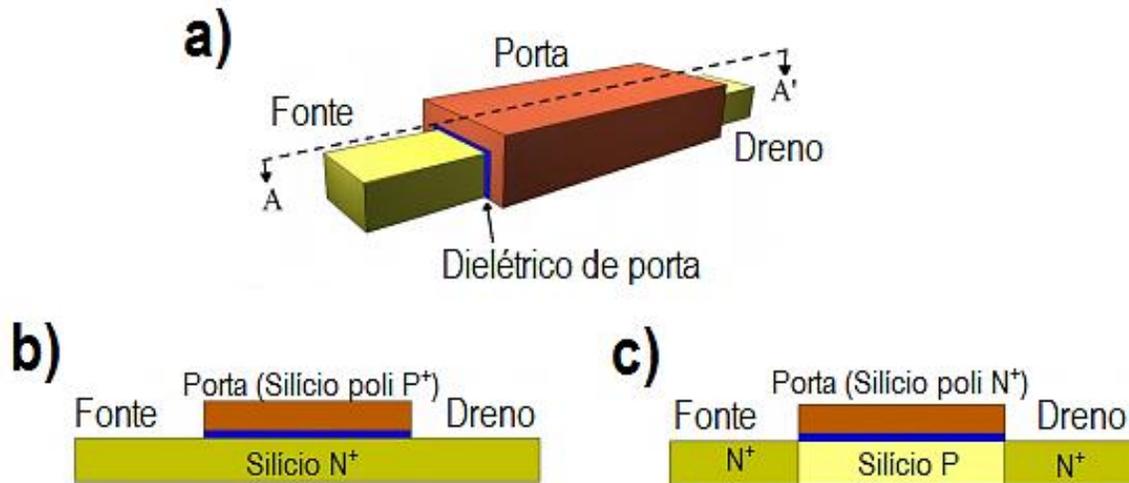


Figura 11. (a) Transistor de múltiplas portas dos tipos (b) sem junção (JNT), modo depleção e (c) FinFET, modo inversão [28].

O pré-requisito fundamental para fabricação dos JNTs é a formação de uma camada fina e estreita de silício, que permita depleção completa de portadores assim que o dispositivo é desligado, além de alto nível de dopagem ($\sim 10^{19} \text{ cm}^{-3}$), permitindo alto fluxo de corrente pelo volume do nanofio quando o dispositivo estiver ligado [7,23,25]. Altas concentrações de dopantes são necessárias para evitar sua distribuição aleatória na região ativa, o que poderia causar flutuações nas características elétricas do dispositivo [28]. Diferentemente de dispositivos MOSFET (FinFETs, por exemplo) – cuja depleção é obtida pela aplicação de tensão reversa na porta –, nos dispositivos JNTs a depleção completa do canal de condução é causada pela diferença de função trabalho entre o eletrodo de porta e o silício dopado do nanofio [23]. O dispositivo, que opera em modo depleção, está normalmente desligado devido à diferença de função trabalho entre os materiais da porta e do canal, o que causa a depleção dos portadores na região ativa. Portanto, é necessária tensão na porta para reduzir a camada de depleção no canal e permitir a condução de corrente elétrica através do nanofio.

Assim, quando a tensão na porta do dispositivo for nula ($V_G = 0$), ele está completamente depletado (Figura 12a). Para a tensão de limiar ($V_G = V_{TH}$) as regiões de fonte e dreno se interconectam por um fino canal de portadores (Figura 12b). Para a tensão entre limiar e *flat band* ($V_{TH} < V_G < V_{FB}$) a região de concentração de portadores no canal expande em comprimento e largura e o dispositivo está em regime de acumulação (Figura 12c), diminuindo a resistência elétrica do canal. Finalmente, o aumento da tensão na porta para a tensão de *flat band* ou superior ($V_G > V_{FB} \gg V_{TH}$) permite ao canal operar como um resistor – e o canal está saturado de portadores (Figura 12d). O perfil da corrente elé-

trica – em escala logarítmica – entre fonte e dreno [$\text{Log}(I_D)$] versus tensão na porta [V_{GS}] do dispositivo JNT da Figura 12 pode ser observado na Figura 13.

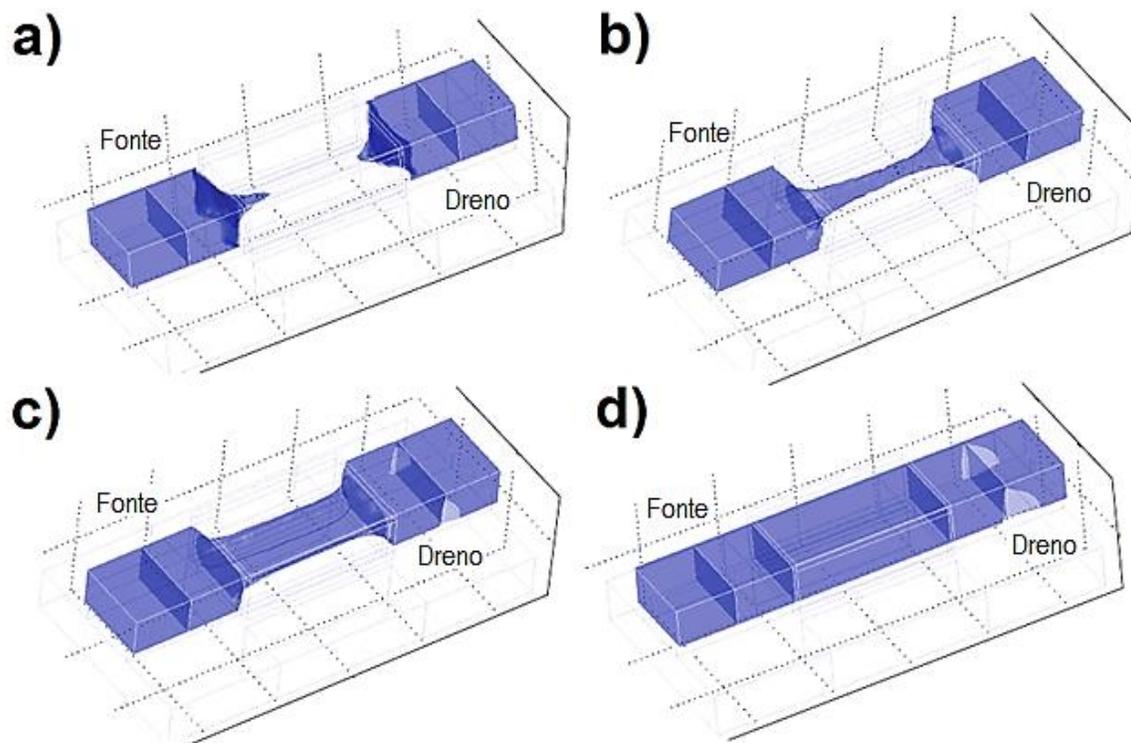


Figura 12. Operação do dispositivo JNT na situação (a) completamente depletado ($V_G = 0$), (b) de limiar de condução ($V_G = V_{TH}$), (c) de regime de acumulação ($V_{TH} < V_G < V_{FB}$) e (d) de saturação ($V_G > V_{FB}$) [7].

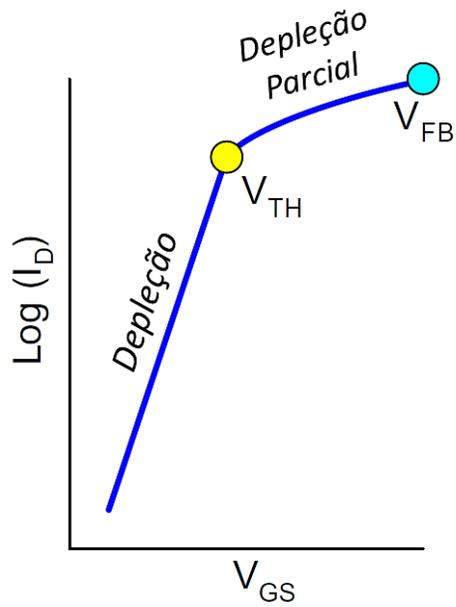


Figura 13. Perfil de corrente elétrica no canal do dispositivo JNT (I_D , em escala logarítmica) como função da tensão aplicada na porta (V_{GS}) [23].

O principal objetivo deste trabalho é desenvolver o processo completo de fabricação de transistores 3D do tipo JL para caracterizar os processos de fabricação dos nanofios utilizando litografia por feixe de elétrons e feixe de íons focalizados, como será discutido nos próximos capítulos.

Capítulo 2

Feixe de íons focalizados e litografia por feixe de elétrons

2.1 Objetivos

O objetivo deste capítulo é descrever os sistemas de feixe de íons focalizados e litografia por feixe de elétrons utilizados neste trabalho para fabricação dos dispositivos JNT.

2.2 Descrição do sistema de feixe de íons focalizados (GaFIB) e seus acessórios

2.2.1 Feixe de íons focalizados com íons de gálio

Recentemente, o sistema de duplo feixe GaFIB/SEM (esquema na Figura 14) tem sido utilizado para processos de micro e nanofabricação em aplicação de edição de circuitos e *nanomachining* [16,18,29,30].

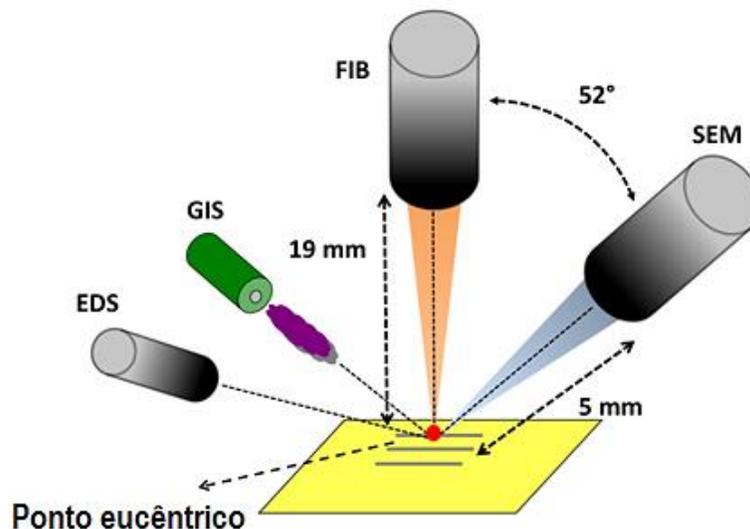


Figura 14. Esquema do sistema e duplo feixe GaFIB/SEM, com acessórios GIS e EDS. [16]

O *design* desse sistema é útil para processo de fabricação utilizando escrita direta, não sendo necessárias etapas de litografia, além de permitir a corrosão – em alta resolução – em escala nanométrica [31]. Devido à alta precisão do feixe iônico, alguns estudos reportam o uso do sistema GaFIB para o processo de implantação iônica [16,32], sendo, dessa forma, um sistema adequado para a micro e nanofabricação de dispositivos [33-38]. Entretanto, o processo de corrosão por feixe de íons causa deposição e implantação de íons residuais do feixe, o que pode modificar as propriedades eletro-ópticas do substrato [27,32,36,37,39].

Neste trabalho, o sistema de feixe de íons (Figura 15) utilizado é do modelo FEI NOVA 200 NanoLab e opera com íons Ga⁺, que removem qualquer tipo de material e não requerem reação química para o processo de corrosão [31,36]. Outras fontes de íons estão disponíveis, entre elas as provenientes de ligas metálicas e gases, como apresentado na Tabela 2.

Tabela 2: Comparação de parâmetros do feixe para diversos tipos de fonte iônica [31,38].

Tipo de fonte iônica	Espécie iônica	Brilho (não normalizado) [A.cm⁻²sr]	Densidade de corrente não normalizada [A.cm⁻²]	Mínimo diâmetro do feixe (nm) a 30 kV
Metal líquido	Ga ⁺	3 x 10 ⁶	10	10
Liga metálica líquida	Au/Si/Be	~ 10 ⁵ dependendo da % de espécie desejada no feixe	0,1 – 1,0	50
Íons de campo gasoso (supertip)	He ⁺	5 x 10 ⁹	1000	5
Íons de campo gasoso	He ⁺	4 x 10 ⁹	...	0,6
Plasma de múltiplas pontas	Kr ⁺	0,55 x 10 ³	1,2 x 10 ⁻²	100

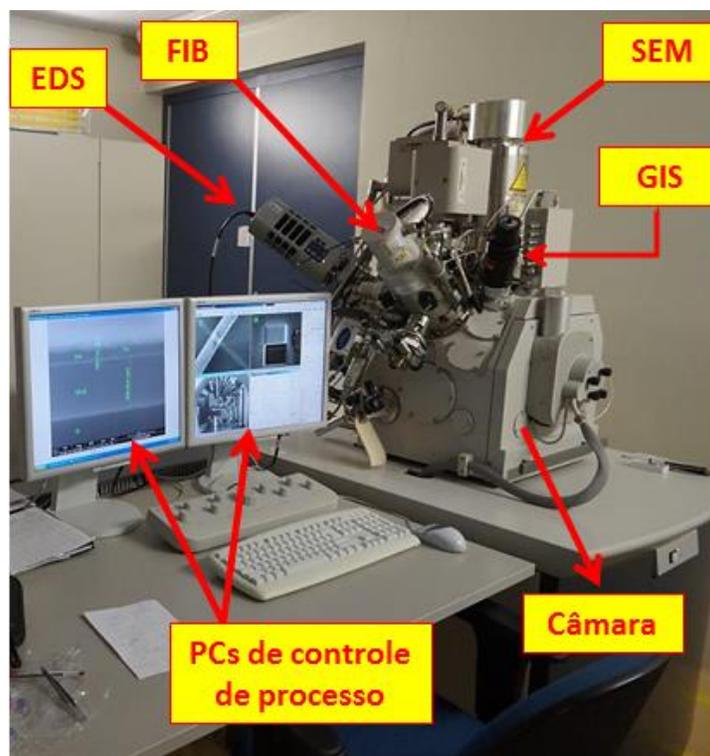


Figura 15. Sistema GaFIB FEI NOVA 200 NanoLab do Centro de Componentes Semicondutores da UNICAMP.

O feixe de íons de gálio foi escolhido para o processo de corrosão (definição dos SiNW) e a corrente iônica foi ajustada (< 1 nA) para que a melhor resolução (~ 30 nm) fosse obtida dentro de intervalos razoáveis de processamento (até 10 minutos). Esse procedimento evita que efeitos de deslocamento do feixe (*drift*) – comuns em processos longos e causados por carregamento do substrato ou instabilidade do feixe iônico – interfiram no processo de corrosão. Dessa forma, para definição dos p^+ -SiNW (largura de 35 nm) foi utilizado feixe iônico com energia de 30 keV e corrente de 50 pA.

O mesmo feixe iônico também foi utilizado para implantação local de átomos de gálio na região do nanofio (p^+ -SiNW) com energia de 10 keV e corrente de 10 pA. Utilizando esses parâmetros, a taxa de corrosão foi significativamente reduzida. A dose de implantação foi definida parametrizando o tempo de exposição da região ativa do transistor (neste caso, 25 segundos).

2.2.2 Sistema de injeção de gases (GIS)

O sistema de injeção de gases (*Gas Injection System*, GIS) é um acessório disponível no sistema de duplo feixe GaFIB/SEM (Figuras 14 e 15) que permite a deposição de materiais dielétrico (SiO_2) e

metálico (platina) utilizando feixe de íons ou elétrons. Os gases precursores são introduzidos próximos da superfície da amostra por uma agulha posicionada a aproximadamente 100 a 150 μm do substrato [38,40,41] (Figura 16a). Elétrons secundários (energia $< 50\text{ eV}$) – provenientes da interação dos íons ou elétrons com átomos do substrato – são capazes de dissociar as moléculas precursoras (energia de ligação próxima do valor da energia dos elétrons secundários) adsorvidas na superfície da amostra (Figura 16b). Componentes voláteis são bombeados da região de deposição pelo sistema de vácuo, enquanto componentes não voláteis são depositados. A taxa de deposição de dielétrico ou metal depende de parâmetros de energia e corrente do feixe e é limitada pelo fluxo do gás precursor provido pelo GIS. À taxa de deposição de dielétrico ou metal por feixe iônico é preciso incluir as taxas de corrosão do material depositado e do substrato [37,38,40,41], o que reduz a eficiência do processo de deposição. Além disso, filmes depositados por feixe de íons de gálio podem apresentar incorporação desse íon, reduzindo sua qualidade. Portanto, para a maioria das aplicações a deposição de materiais por GIS assistido por feixe de elétrons é preferida [16, 41].

Os precursores para SiO_2 e Pt são, respectivamente, os compostos *tetraethyl-orthosilicate* [$\text{Si}(\text{OC}_2\text{H}_5)_4$] e organometálico baseado em platina [$(\text{CH}_3)_3\text{PtCpCH}_3$]. Neste trabalho, o dielétrico de porta e os eletrodos de fonte/dreno, SiO_2 e Pt, respectivamente, foram depositados utilizando feixe de elétrons para evitar processos de corrosão da região ativa de silício e incorporação de gálio nos filmes depositados (como ocorre quando feixe iônico é utilizado).

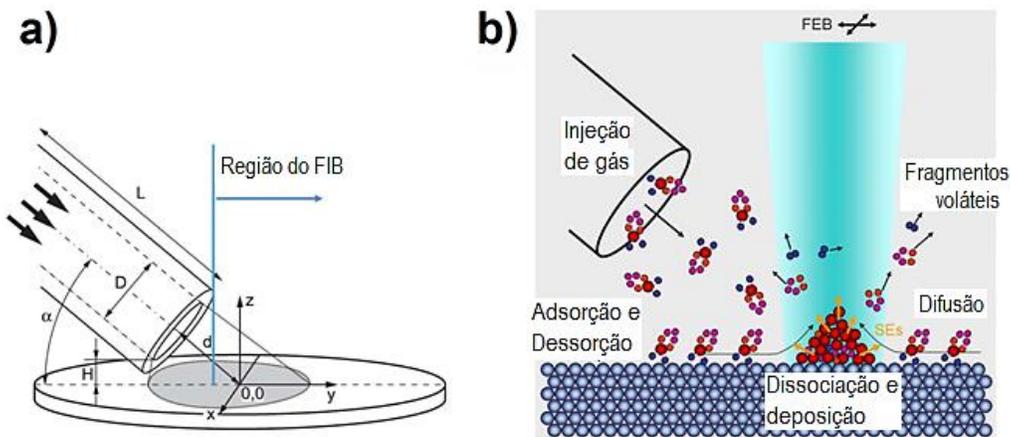


Figura 16. (a) Esquema do sistema de injeção de gases (GIS) contendo as principais dimensões do tubo de injeção ($\alpha \sim 60^\circ$, $D = 600\ \mu\text{m}$, $H = 100 \sim 150\ \mu\text{m}$, $L \sim 100\ \text{mm}$) e (b) dinâmica do processo de deposição de dielétrico/metal induzida por feixe de elétrons (com taxa de corrosão nula), apresentando os processos de adsorção, dessorção e difusão na superfície. Os produtos não voláteis da dissociação resultam em deposição, enquanto fragmentos voláteis são bombeados para fora da superfície [38].

Dessa maneira, o feixe de elétrons é utilizado para obter filmes de melhor qualidade (sem incorporação de gálio) em comparação àqueles depositados por feixe iônico. Entretanto, processos de deposição assistidos por feixe de elétrons reduzem a taxa de deposição (por reduzir a densidade de elétrons secundários no volume de incidência do feixe). Para aumentar a taxa de deposição assistida por feixe de elétrons, valores maiores de corrente devem ser utilizados [31,38] (maiores que 1 nA); contudo, neste caso, a resolução não é suficiente para definir estruturas em escala nanométrica (abaixo de 30 nm), já que o diâmetro do feixe é diretamente proporcional à corrente (e inversamente à resolução do processamento). Neste trabalho foram utilizados corrente elétrica de 0,4 nA e energia de 5 keV para fabricação do dielétrico de porta de SiO₂ e eletrodos metálicos de Pt em fonte/dreno dos dispositivos JNTs, o que forneceu melhor relação entre resolução e velocidade de processamento.

2.2.3 Espectroscopia por dispersão de energia (EDS)

O sistema de duplo feixe GaFIB/SEM utilizado neste trabalho possui o acessório EDS, que consistem de um instrumento de microanálise dos raios-X provenientes da interação do feixe de elétrons do SEM com o material da amostra, utilizado para caracterizar sua composição elementar [42, 43]. A interação do feixe de elétrons do SEM com os átomos presentes na superfície da amostra promove a ejeção de elétrons de níveis de energia de caroço (K, L,...) desses átomos. Como resultado desse processo, fótons de raios-X são emitidos para promover o balanço energético entre dois estados eletrônicos (por exemplo, $K\alpha_1$ e $L\alpha$) e eliminar a vacância dos níveis de caroço. Cada elemento químico da amostra gera fótons de raios-X com energias características, que são medidas por um detector e, assim, revelam suas existência e abundância relativa [42-44]. Quando um fóton de raios-X incide no detector, um sinal de carga – proporcional à energia do fóton – é gerado e convertido em pulso de tensão por um pré-amplificador sensível a cargas elétricas. Esse sinal é enviado a um analisador de múltiplos canais, onde os pulsos são separados por níveis de tensão (e proporcionais à energia do fóton). O espectro, em energia, da intensidade dos fótons de raios-X provenientes da amostra é então apresentado em um *display*, revelando a composição elementar do volume inspecionado pelo feixe de elétrons. As energias de emissão de raios-X para os elementos químicos envolvidos neste trabalho (Ga, Si, O e Pt) são apresentados na Tabela 3.

Tabela 3: bordas de emissão de raios-X para Ga, Si, Pt e O [44, 45].

<i>Elemento</i>	<i>Energia (eV)</i>						
	<i>Kα_1</i>	<i>Kα_2</i>	<i>Kβ_1</i>	<i>Lα_1</i>	<i>Lα_2</i>	<i>Lβ_1</i>	<i>Mα_1</i>
<i>Ga</i>	9.251,7	9.224,8	10.264,2	1.097,9	1.097,9	1.124,8	-
<i>Pt</i>	66.832,0	65.112,0	75.748,0	9.442,3	9.361,8	11.070,7	2.050,5
<i>Si</i>	1.740,0	1.739,4	1.835,9	-	-	-	-
<i>O</i>	524,9						1

2.3 Descrição do sistema de litografia por feixe de elétrons (E-Line)

2.3.1 Litografia por feixe de elétrons

A litografia por feixe de elétrons (EBL) pode ser considerada uma das técnicas mais flexíveis para a fabricação de dispositivos em escala submicrométrica, podendo ser utilizada tanto para processos de nanofabricação quanto para desenvolvimento de máscaras para outros processos litográficos [46]. O sistema eletro-óptico utilizado para a técnica é similar ao de um microscópio eletrônico de varredura, contendo algumas modificações para automatizar o processo de litografia. Portanto, as limitações envolvidas nessa modalidade de litografia são essencialmente aquelas relacionadas à técnica de SEM, como aberrações geométricas, área limitada para o campo de escrita (*Write Field*), além de abertura numérica e resolução limitadas ao diâmetro e forma do feixe no ponto focal [46]. Além disso, a composição química do resiste, característica da fonte emissora, velocidade de deflexão do feixe e capacidade de processamento dos dados de *layout*, implicam na qualidade do processo por EBL.

Outro fator que limita a resolução do EBL são os processos de interação do elétron com a matéria, quando o feixe de elétrons penetra o resiste em direção ao substrato [47]. Existem diversas maneiras pelas quais essa interação ocorre: retroespalhamento (*backscattering*), elétrons secundários, elétrons Auger, raios-x característicos e espalhamento (*forward scattering*) [43,44], que dependem essencialmente da energia do feixe de elétrons e da composição atômica do material interagente com os elétrons. O produto dessa interação afetará substancialmente a dimensão do feixe no resiste e, portanto, a resolução do processo litográfico [47], como apresentado na simulação da Figura 17, obtida utilizando o método Monte Carlo (software Casino – *Monte Carlo Simulation of Electron Trajectory in Solids*) com feixe de elétrons de 1,6 nm de diâmetro e tensão de aceleração de 2, 5, 10 e 20 kV sobre 1000 nm de

resiste PMMA (todas as imagens em mesma escala). Observamos que o efeito do aumento da tensão de aceleração é minimizar a dispersão do feixe de elétrons, consequentemente aumentar a resolução.

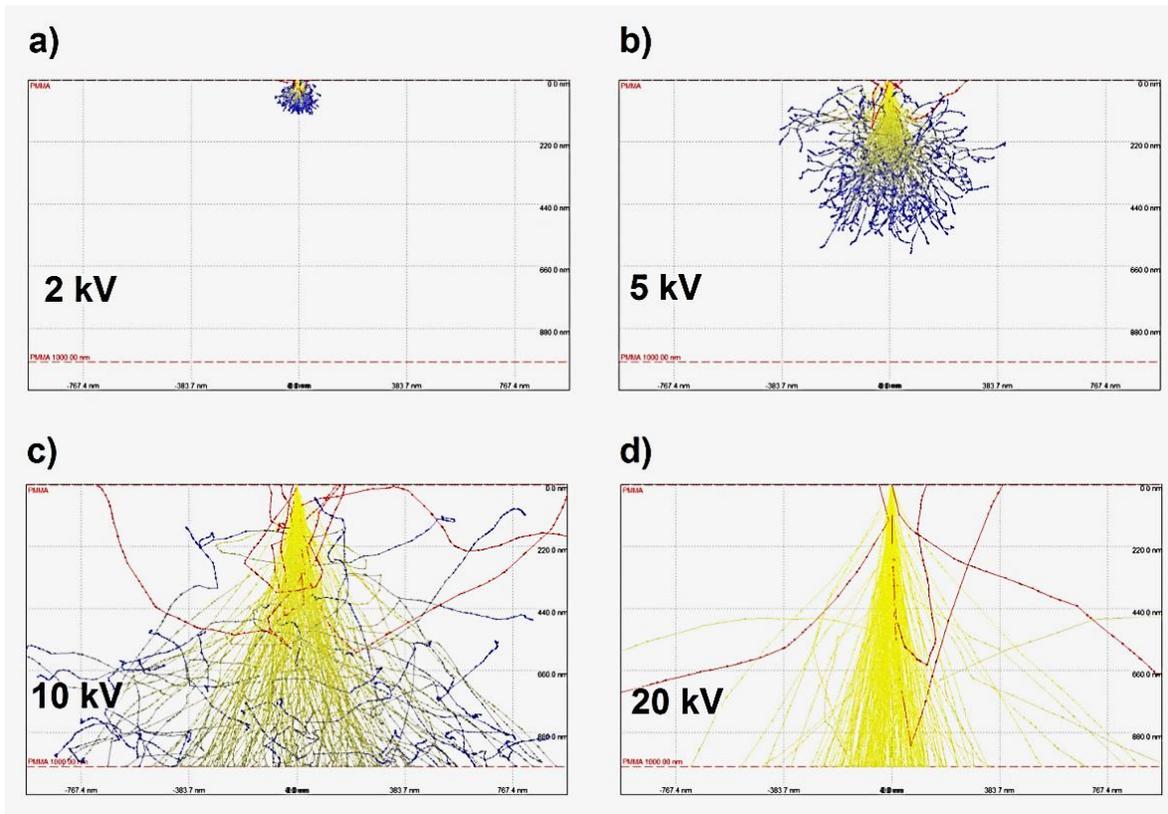


Figura 17. Simulação da interação de feixe de elétrons de 1.6 nm de diâmetro sobre 1000 nm de PMMA com tensões de aceleração de (a) 2 kV, (b) 5 kV, (c) 10 kV e (d) 20 kV. O aumento da tensão de aceleração reduz a dispersão do feixe de elétrons, aumentando a resolução. A cor amarela representa elétrons com maior energia e azul com menor energia. A cor vermelha representa elétrons secundários.

A dispersão do feixe de elétrons observada com a redução da tensão de aceleração pode ser traduzida como aumento no diâmetro do feixe na região do resiste, cuja fórmula empírica é dada pela Equação (1) [47],

$$\Delta d = 0,9 \left(\frac{tr}{V} \right)^{1,5}, \quad (1)$$

onde, Δd é a variação no diâmetro do feixe dentro do volume do resiste, tr é a espessura do resiste e V é a tensão de aceleração do feixe de elétrons.

Essa dispersão dentro do volume do resiste é um fator indesejável para processos nos quais alta resolução é requerida, podendo ser minimizada incrementando a tensão de aceleração do feixe de elétrons. Entretanto, esse efeito é altamente desejável em processos litográficos prévios à etapa de *lift-off*, pois a dispersão lateral do feixe em resistes positivos resulta em perfis angulares (negativos) de suas paredes [47] (Figura 18).

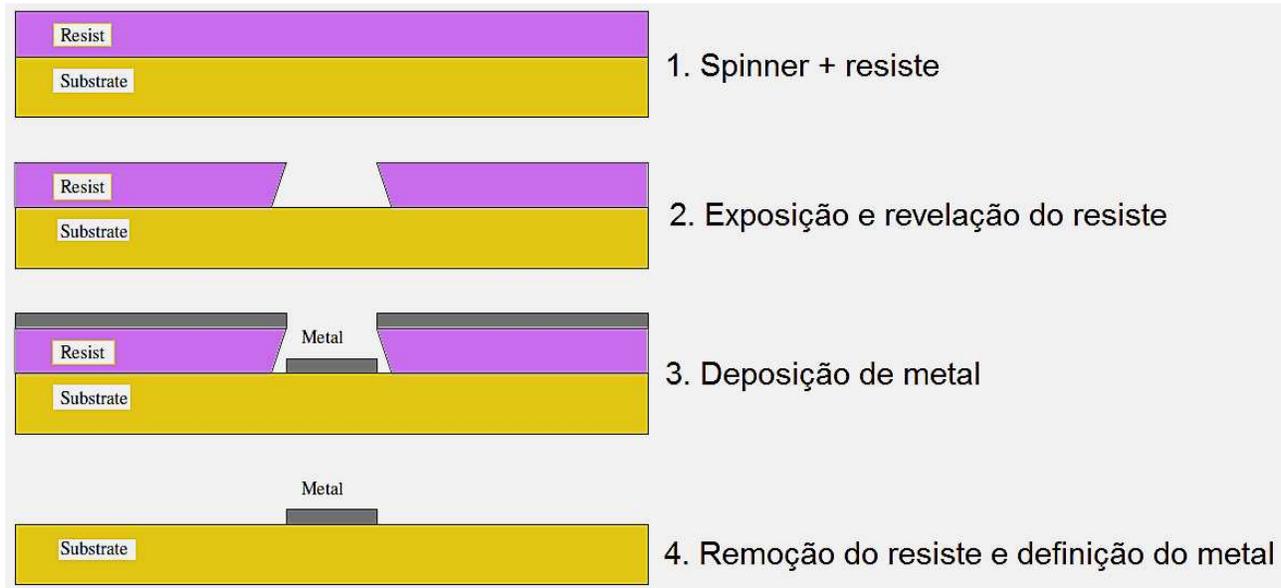


Figura 18. Efeito da dispersão do feixe de elétrons em resiste positivo, formando perfil angular negativo ideal para processo de *lift-off* [47].

Outro fator que causa a dispersão do feixe é o contraste do resiste. Se alto, a dispersão é reduzida e após o processo de revelação o perfil das paredes do resiste permanece vertical. Por outro lado, se o contraste do resiste é baixo, um ângulo negativo será formado pelas paredes do resiste devido à dispersão do feixe de elétrons [47-49].

2.3.2 Equipamento utilizado

O sistema de litografia utilizado neste trabalho (Figura 19) foi o *Raith E-Line plus Ultra-High Resolution E-Beam Lithography and NanoEngineering Workstation*, com tensão de aceleração na faixa de 0 – 30 kV, aberturas de 7,5, 10, 20, 30, 60 e 120 μm e diâmetro do feixe de 1,6 nm (a 20 kV e abertura de 30 μm).

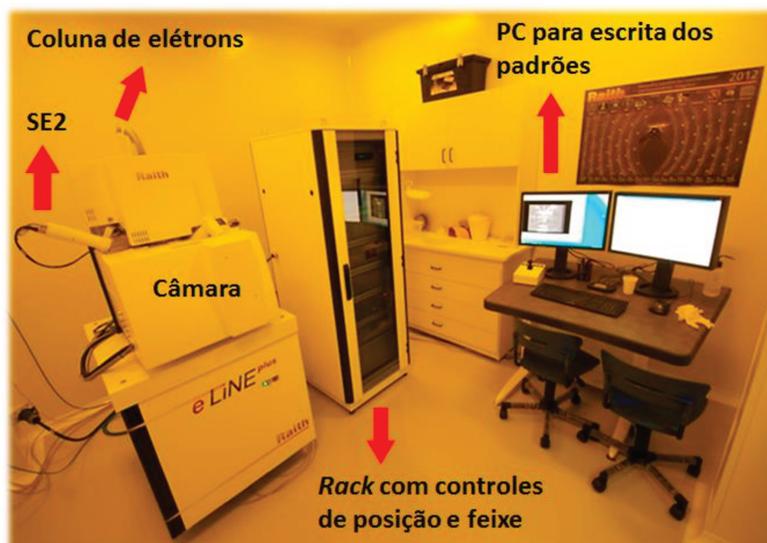


Figura 19. Sistema de litografia por feixe de elétrons *Raith E-Line Plus* do Centro de Componentes Semicondutores da UNICAMP.

A fonte emissora de elétrons é do tipo FEG (emissão de elétrons induzida por campo), de alto brilho ($\sim 10^7$ A/cm² sr.kV). As especificações desta e de algumas fontes utilizadas para EBL são apresentadas na Tabela 4.

Tabela 4: Características de diferentes tipos de emissores de elétrons utilizados em sistemas de litografia por feixe de elétrons [31, 47].

Tipo de fonte	Material do filamento	Brilho a 10 kV (A/cm ² /rad)	Tamanho da fonte	Energia de dispersão (eV)	Nível de vácuo (Torr)	Temperatura do filamento (K)
Princípio de operação						
Tungstênio Termiônico	W	$\sim 10^5$	25 μ m	2 – 3	10^{-6}	~ 3000
LaB ₆ Termiônico	LaB ₆	$\sim 10^7$	10 μ m	2 – 3	10^{-8}	$\sim 2000 - 3000$
Emissão de elétrons induzida por campo, FEG (Schottky)	ZrO/W	$\sim 10^8$	< 20 nm	0,9	10^{-9}	~ 1800
Emissão de elétrons induzida por campo frio, CFE	W	$\sim 10^9$	< 5 nm	0,22	10^{-10}	ambiente

Para processos de litografia de alta resolução é necessário reduzir o diâmetro efetivo, d_{eff} , do feixe [47], que possui contribuições de diversas origens do sistema eletro-óptico da coluna, como apresentado na Equação (2),

$$d = \sqrt{d_{fv}^2 + d_{ae}^2 + d_{ac}^2 + d_{ld}^2}, \quad (2)$$

onde,

- Dimensão da fonte virtual, $d_{fv} = d_f/M$, d_f (diâmetro do feixe), M (magnificação);
- Aberração esférica, $d_{ae} = \frac{1}{2}C_s\alpha^3$, C_s (aberração esférica, proporcional à distância focal), α (ângulo de convergência do feixe);
- Aberração cromática, $d_{ac} = C_c\alpha\Delta E/V$, C_c (aberração cromática), ΔE (dispersão em energia) e V (tensão de aceleração do feixe de elétrons);
- Limite de difração, $d_{ld} = 0,6\lambda/\alpha$, $\lambda = 1,226/\sqrt{V}$ (comprimento de onda do elétron, em nm).

A Equação (2) apresenta a dependência da resolução de processamento em EBL com fatores como a magnificação e tensão de aceleração, além de parâmetros fixos dependentes do sistema de litografia. O aumento da magnificação conduz à melhoria na dimensão do feixe, o que implica em reduzir a dimensão do campo de escrita (*Write Field*, WF); além disso, aumentar a tensão de aceleração induz a redução da dispersão do feixe, o que também reduz o limite de difração do feixe de elétrons. Entretanto, ao reduzir excessivamente o WF do processo, estruturas de um único dispositivo ficarão divididas em dois ou mais WF adjacentes, o que pode causar o efeito de *stitching*. Além disso, tensões de aceleração muito altas podem danificar o resiste. Portanto, para este trabalho foram utilizada tensão de aceleração de 20 kV – especificação ótima para os resistes utilizados neste trabalho, segundo *datasheet* – e WF de 1000 μm – de modo que um dispositivo completo coubesse dentro de um único WF.

A densidade de corrente elétrica do sistema EBL também é um fator determinante no tempo de processamento e resolução [47-49]. Altas correntes reduzem o tempo de processo, entretanto implicam em uso de aberturas de maior diâmetro, reduzindo a resolução e a profundidade de foco – o que limita o processamento de resistes espessos, nos quais se necessita de boa razão de aspecto [46-48]. Por outro

lado, aberturas de menor diâmetro aumentam a profundidade de foco e resolução, além de garantirem boa razão de aspecto, contudo aumentam o tempo e custo de processamento. Para este trabalho abertura de 10 μm foi utilizada para o processamento de estruturas em escala nanométrica, enquanto abertura de 30 μm foi utilizada para o processamento de estruturas em escala micrométrica. Essa variação no diâmetro das aberturas promove variação em dez vezes sobre a densidade de corrente no ponto focal, acelerando o processo de litografia.

2.3.3 Resistes sensíveis ao feixe de elétrons

Quando elétrons provenientes do feixe do EBL interagem com o resiste (ou qualquer outro material), perdem energia por transferência de momento, gerando, dentre os diversos produtos já mencionados, elétrons secundários – energia na faixa de 2 a 50 eV [44]. Esses elétrons são responsáveis pela exposição e sensibilização do resiste [47]. Existem duas reações físicas principais resultantes dessa interação: uma delas é a excitação – causada pela absorção da energia de um elétron incidente por um átomo do resiste, levando-o a um estado excitado – e a outra é o processo de ionização – no qual um elétron incidente transfere energia suficiente para remover outro elétron de um átomo do resiste. Em polímeros, essas reações levam à transformação das cadeias de duas maneiras: rompimento de uma cadeia (*chain scission*) ou formação da ligação entre cadeias adjacentes (*crosslinking*) (Figura 20) [47].

O feixe de elétrons, ao romper uma cadeia (*chain scission*), reduz o peso molecular do polímero, tornando-o mais solúvel em solvente orgânico (solução reveladora). Portanto, resistes com essa característica podem ser utilizados como positivos. Por outro lado, a interação de elétrons com cadeias de polímeros podem induzir à ligação de cadeias adjacentes (*crosslinking*), formando estruturas tridimensionais e, portanto, reduzindo a solubilidade na região exposta. Esse resiste pode ser utilizado como negativo [47].

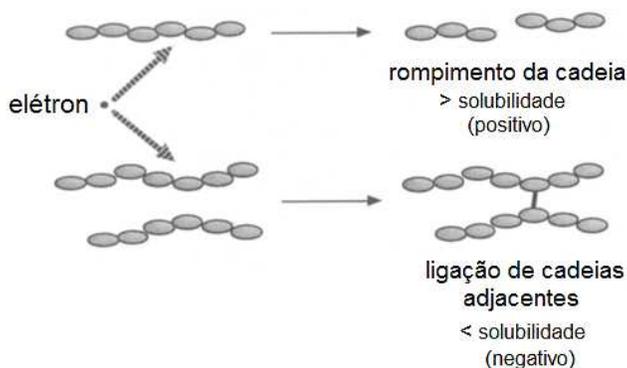


Figura 20. Processos de rompimento e ligação de cadeias poliméricas do resiste, produtos da interação com elétrons do feixe do EBL [47].

PMMA

Um dos primeiros resistes desenvolvidos para uso em sistemas de EBL foi o *Polymethylmethacrylate* (PMMA), em 1968, atualmente permanecendo entre os de melhor resolução (aproximadamente 10 nm), possuindo alto contraste, porém baixa resistência aos processos de corrosões úmida e seca [49]. Como o processo de sensibilização por feixe de elétrons é baseado em rompimento de cadeia, esse resiste é positivo. A Figura 21 apresenta o mecanismo de desestabilização química e rompimento de uma cadeia de dois monômeros de PMMA em cadeias menores por meio da interação com feixe de elétrons.

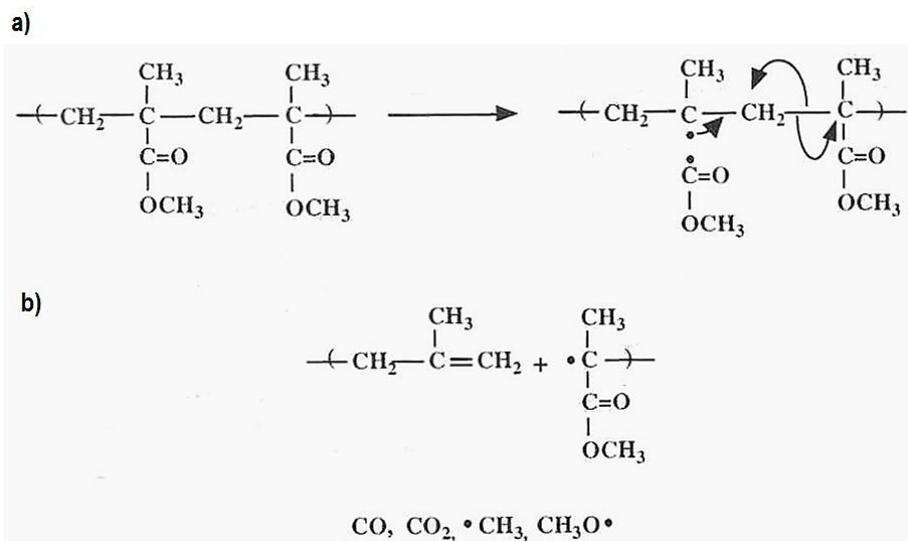


Figura 21. (a) Reação química de rompimento de uma cadeia de 2 monômeros de PMMA devido à interação com elétrons incidentes da EBL. (b) Como resultado, as moléculas resultantes possuem pesos moleculares menores e são mais facilmente removidas por solvente (solução reveladora) [47].

Pode ser obtido com pesos moleculares distintos. Para menores pesos moleculares a sensibilidade é maior, enquanto que para pesos moleculares maiores, a sensibilidade do resiste é reduzida. Portanto, é possível utilizar dupla camada de PMMA com pesos moleculares distintos para formação de paredes em ângulo negativo após o processo de revelação (esquema na Figura 18), oferecendo vantagem para processo de *lift-off* [47].

Se o PMMA for exposto a uma dose de aproximadamente 10 vezes a dose crítica, o processo de ligação de cadeias adjacentes (*crosslinking*) ocorrerá e o resiste passará a se comportar como negativo. Entretanto, sua resolução máxima nominal será consideravelmente degradada para aproximadamente 50 nm.

Ma-N 2400

A série de resistes Ma-N 2400 é caracterizada pelo tom negativo, podendo ser aplicada às técnicas de EBL e DUV. Possui alta resistência aos processos de corrosões úmida e seca, além de altos contraste, resolução (50 nm com feixe de elétrons) e relação de aspecto (6), tornando esse resiste aplicável para processos de corrosão e *lift-off* [50,51]. O processo de sensibilização por feixe de elétrons é baseado em ligação de cadeias poliméricas adjacentes (*crosslinking*). O resiste da série Ma-N utilizado neste trabalho, Ma-N 2403 possui viscosidade dinâmica de 7 ± 1 mPa.s, com densidade de $1,025 \pm 0,002$ g.cm⁻³ e índice de refração $n = 1,65$ (a 500 nm) [51].

Capítulo 3

Procedimento Experimental

3.1 Introdução

Substratos de silício do tipo SOI (*Silicon on Insulator*) foram utilizados para a fabricação de transistores 3D MOS baseados em nanofios do tipo sem junção (*Junctionless*, JNT). As técnicas de feixe de íons focalizados com íons de gálio (GaFIB) e litografia por feixe de elétrons (EBL) foram utilizadas em equipamentos do Centro de Componentes Semicondutores (CCS), UNICAMP.

Com o sistema de feixe de íons focalizados de duplo feixe, FEI NOVA NanoLab 200 (GaFIB), definimos (processo de *milling*) e dopamos os nanofios de silício (p^+ -SiNW) com íons de Ga^+ . O feixe de elétrons foi utilizado para deposição de dielétrico de porta e eletrodos metálicos de fonte, dreno e porta, de maneira a evitar implantação iônica extra e *sputtering* dos nanofios. Dispositivos pseudo-MOS foram utilizados para estudar as características elétricas dos nanofios p^+ -SiNW e os dispositivos JNT comportaram-se como resistores controlados pela porta.

A técnica de litografia por feixe de elétrons (EBL) foi utilizada para fabricar JNT do tipo nMOS com dopagem de arsênio (n^+ -SiNW). O sistema Raith E-Line plus foi utilizado juntamente com o sistema CVD-ECR (*Electron Cyclotron Resonance*), do Laboratório de Pesquisa em Dispositivos (LPD), IFGW/UNICAMP, para definição dos nanofios (plasma RF de argônio) e formação do dielétrico de porta de SiO_xN_y . As dimensões de largura (W) e comprimento (L), assim como o número de nanofios dos transistores foram variados para permitir uma excursão de até 2 ordens de grandeza da corrente elétrica do dispositivo.

3.2 Preparação das amostras

Para a fabricação dos dispositivos, foi utilizada uma lâmina de silício SOI de 4'' de diâmetro do tipo 'p', orientação cristalina $\langle 100 \rangle$ e resistividade nominal de 1-10 Ω .cm, polida em uma das faces. O substrato é composto por 3 camadas: bulk de silício, dióxido de silício enterrado (BOX) de valor nominal 400 nm e camada superior de silício de valor nominal 340 nm.

A lâmina inicialmente foi limpa utilizando a limpeza completa [52], como é apresentado na Tabela 5.

Tabela 5 – Limpeza completa.

Reagentes	Proporção	T (°C)	Tempo	Comentários
H ₂ SO ₄ /H ₂ O ₂	4:1	80	10 min	Esta solução é também conhecida por “piranha” – devido à eficiência na remoção de compostos orgânicos presentes na superfície do substrato de silício. Como resultado da reação, essa solução forma dióxido de silício (SiO ₂) sobre a superfície do substrato.
HF/H ₂ O	1:10	ambiente	10 s	O ácido fluorídrico consome o dióxido de silício (SiO ₂) resultante da oxidação da superfície através da etapa “piranha”.
H ₂ O	-	ambiente	-	Enxágue da lâmina em água deionizada com resistividade 18 MΩ.cm. Esse processo assegura ausência de íons metálicos que podem atuar como cargas móveis no dispositivo, degradando-o.
NH ₄ OH/H ₂ O ₂ /H ₂ O	1:1:5	80	10 min	Esta solução remove majoritariamente compostos orgânicos e metais dos grupos IB e IIIB da tabela periódica. Esta etapa aumenta sutilmente a rugosidade do substrato.
H ₂ O	-	ambiente	-	Enxágue da lâmina em água deionizada com resistividade 18 MΩ.cm.
HCl/H ₂ O ₂ /H ₂ O	1:1:5	80	10 min	Solução responsável por pela remoção de íons alcalinos e hidróxidos de Fe, Al e Mg da superfície do substrato. Esta etapa também é responsável pelo polimento química do silício, que se tornou sutilmente rugoso após a etapa com NH ₄ OH/H ₂ O ₂ /H ₂ O.
H ₂ O	-	ambiente	-	Enxágue da lâmina em água deionizada com resistividade 18 MΩ.cm.
HF/H ₂ O	1:10	ambiente	10 s	Etapa responsável por remover O ácido fluorídrico consome o dióxido de silício (SiO ₂) resultante da oxidação da superfície através da etapa “piranha”.
H ₂ O	-	ambiente	-	Enxágue da lâmina em água deionizada com resistividade 18 MΩ.cm.

O processo de secagem da lâmina é feito utilizando jato de nitrogênio de grau de pureza CMOS (99,999%). Todos os reagentes químicos utilizados neste trabalho possuem grau de pureza CMOS.

Após a limpeza, a camada de silício de 340 nm sobre BOX foi afinado por meio de oxidação úmida em forno convencional para consumo de aproximadamente 325 nm de silício e, posteriormente, corrosão úmida - em solução tampão (*buffer*) de ácido fluorídrico (BHF). A Tabela 6 apresenta as etapas da oxidação. Após a corrosão úmida, a estrutura da lâmina SOI dividiu-se da seguinte maneira: corpo (*bulk*) de silício, dióxido de silício com valor nominal de espessura de 400 nm e uma fina camada de 15 nm de silício onde serão fabricados os dispositivos, como observado nas Figuras 22(a) e 22(b).

Tabela 6 – Etapa de oxidação úmida do substrato SOI para afinamento do silício.

Gás	Fluxo	T (°C)	t (min)
N ₂	1	1000	5
O ₂	1	1000	10
O ₂ + H ₂ O	1	1000	180
N ₂	1	1000	5

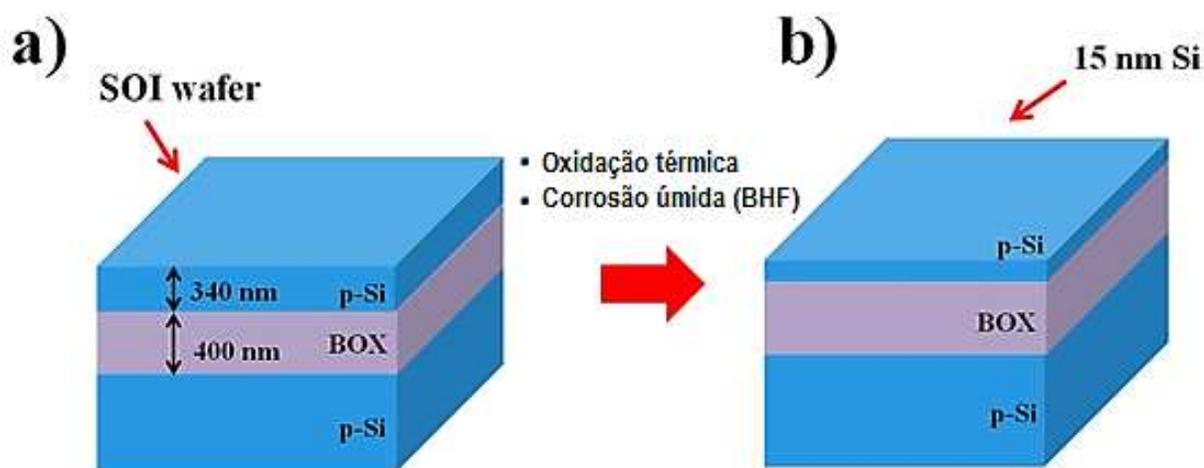


Figura 22. Esquemas de (a) lâmina SOI, com espessuras de 340 nm e 400 nm para silício de SiO₂ enterrado (BOX), respectivamente, após limpeza completa; (b) lâmina SOI (após oxidação térmica e corrosão úmida por BHF) com 15 nm de espessura de silício sobre BOX.

Após a limpeza e afinamento do silício, a lâmina foi dividida em cacos quadrados de 2 cm de aresta, aproximadamente, previamente às etapas de litografia e corrosão.

3.3 Processamento das amostras por litografia óptica e GaFIB

3.3.1 Litografia óptica para definição da região ativa de silício

As amostras SOI com camada de silício de 15 nm de espessura foram processadas por litografia óptica utilizando o nível 1 (LA01) impresso em cromo em lâmina de 3'' de quartzo [53], apresentada na Figura 23. O equipamento utilizado foi a fotoalinhadora MJB3 do Centro de Componentes Semicondutores da UNICAMP. A fotogração desse nível permite a definição de mesas de silício de dezenas de micrometros de área. O layout contém, ao todo, três níveis: região ativa (LA01), definição do dielétrico de porta (LA02) e contatos elétricos (LA03).

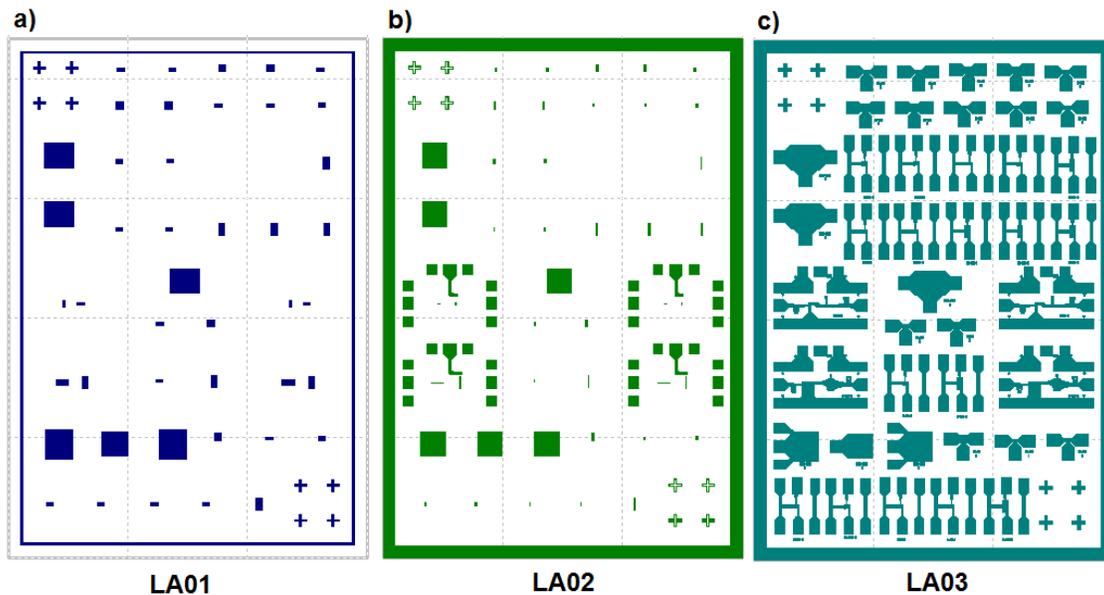


Figura 23. Layout de transistores MOS para definição da (a) região ativa (LA01), (b) dielétrico de porta (LA02) e (c) contatos elétricos (LA03). Nível 1 (LA01) utilizado para a fotogração da região ativa (mesas de silício). O tamanho do *die* da figura é 4 mm x 3 mm [53].

As etapas da fotogração até a definição das mesas de silício com 15 nm de espessura são apresentadas na Tabela 7.

Tabela 7 – Etapas da fotografação para definição das mesas de silício de 15 nm de espessura.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para aumentar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de fotoresiste AZ5214 [®]	<i>Spinner</i> → 4000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do fotoresiste ao substrato	90°C, 4 minutos
5	Exposição sob luz UV (9 mW.cm ⁻²) , com máscara LA01	16 s
6	Cura em <i>hot plate</i> para inversão do resiste (positivo → negativo)	Hot plate → 110°C, 105 s
7	Exposição sob luz UV (9 mW.cm ⁻²) sem máscara	40 s
8	Revelação em MIF 300 [®] (solução reveladora livre de íons metálicos)	15 s
9	<i>Hard bake</i> da amostra em <i>hot plate</i> para densificação do fotoresiste anteriormente à etapa de corrosão do silício exposto pós-revelação	<i>Hot plate</i> → 125°C, 5 min

Após a densificação do resiste por meio da etapa 9 da Tabela 7 as amostras foram levadas para corrosão do silício exposto pós-revelação em plasma de corrosão por íons reativos, RIE (*Reactive Ion Etching*) do CCS/UNICAMP. Os parâmetros de corrosão foram: fluxos de 12 sccm de SF₆ e 35 sccm de argônio, pressão de 50 mTorr e potência de 800 W, tempo de corrosão de 1 minuto. Esses parâmetros fornecem espessura de corrosão de 68 nm, o que garante a definição das mesas de 15 nm de espessura de silício.

Posteriormente à etapa de corrosão do silício, a amostra foi submetida à limpeza orgânica¹ para remoção do fotoresiste. Entretanto, esse tipo de limpeza pode não ser suficiente para alguns tipos de resiste e uma fina camada remanescente de resiste pode restar sobre o substrato, devido à grande aderência e sua composição química, como pode ser observado na Figura 24. Uma alternativa para elimi-

¹ Neste trabalho, a menção à limpeza orgânica refere-se às etapas de banho em acetona (grau CMOS) a 90°C durante 10 minutos, seguido de banho em isopropanol a 90°C durante 10 minutos.

nar o fotoresiste remanescente foi deixar a amostra em reator de plasma *ashing* com fluxo de O₂ de 50 sccm, pressão de 100 mTorr e potência de 250 W durante 60 minutos.

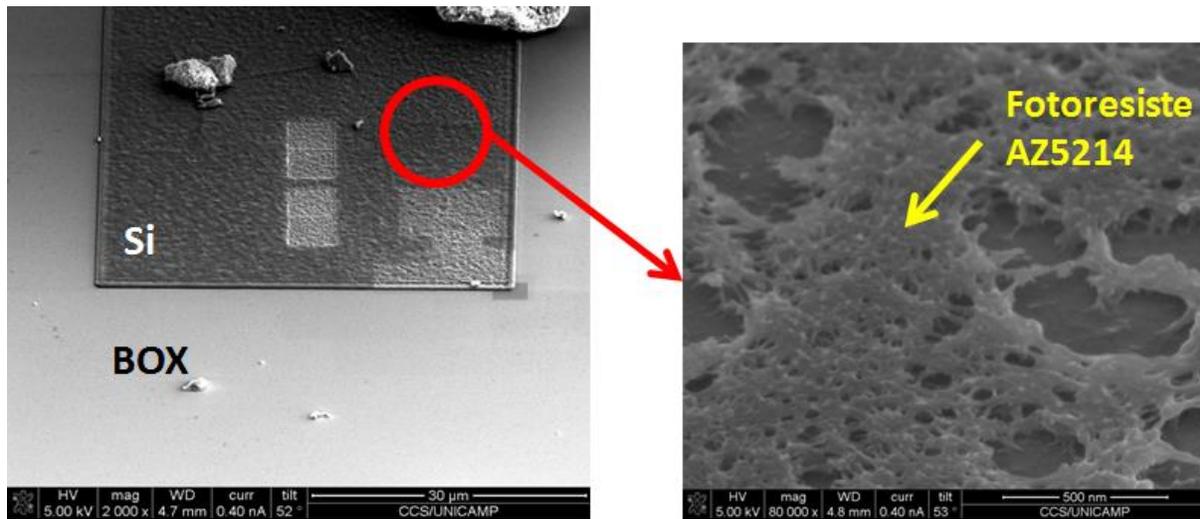


Figura 24. Microscopia eletrônica de varredura em amostra SOI com mesas de silício de 15 nm de espessura após fotogração do nível LA01 e apresentando fotoresiste 5214 remanescente sobre a mesa de silício.

3.3.2 Simulação da implantação de gálio pelo GaFIB

As simulações de implantação de gálio utilizando o sistema GaFIB foram obtidas utilizando TRIM e Silvaco TCAD para obtenção dos parâmetros do feixe iônico e perfil de dopagem.

TRIM é um programa de computador que utiliza o método Monte Carlo para calcular a interação de íons em alvos de diversos materiais. É possível calcular energia de freamento e o alcance de íons na matéria utilizando um modelo baseado em mecânica clássica para colisão entre átomo e íons. A Figura 25 apresenta o perfil de íons de gálio na estrutura SOI com energia de 10 keV e ângulo de ataque de 0° para feixe de Ga⁺. A tensão relativamente baixa foi escolhida para tornar a implantação rasa e, conseqüentemente, dopar a camada de silício de 15 nm com alta dose, requisitos para o funcionamento de dispositivos do tipo *junctionless* [23-26].

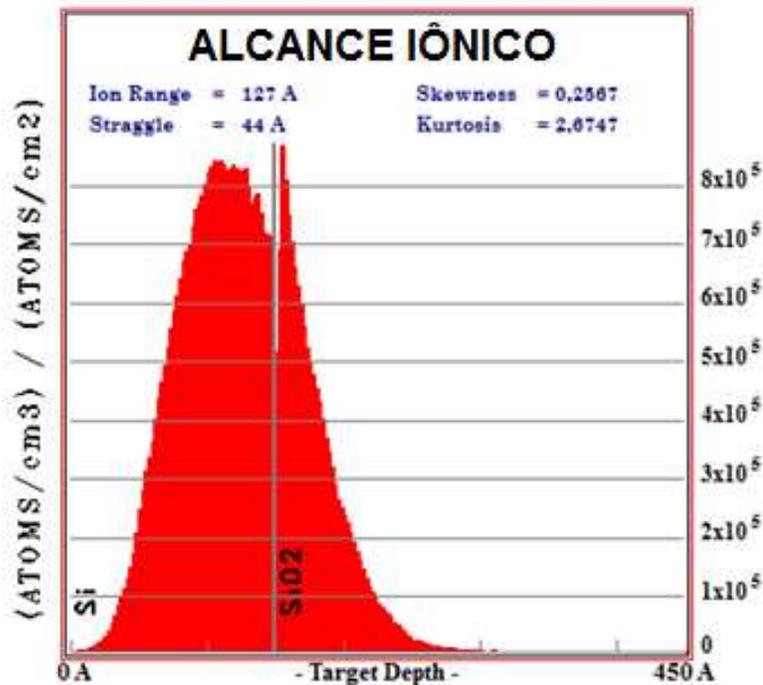


Figura 25. Perfil de íons de gálio na estrutura SOI após implantação local por GaFIB (energia de 10 keV e ângulo de ataque de 0°).

O mecanismo de implantação de íons Ga^+ pelo GaFIB foi realizado através da exposição da região que se pretendia implantar por determinado tempo. Os parâmetros para a varredura do GaFIB e corrente do feixe sobre a região exposta foram determinados baseados nos resultados das simulações do TRIM. Utilizando corrente iônica² de 3 pA durante 25 segundos de exposição na região de implantação, a dose foi determinada como $1 \times 10^{14} \text{ cm}^{-2}$, o que corresponde à dose volumétrica de aproximadamente $1 \times 10^{19} \text{ cm}^{-3}$.

Para confirmar a previsão sobre a dopagem do silício, utilizamos o TCAD, um conjunto de programas de cálculo numérico da empresa Silvaco, que permite a simulação de processos de fabricação de dispositivos e de medidas elétricas. A Figura 26 apresenta a simulação do perfil de implantação de gálio anteriormente ao processo de tratamento térmico rápido (*Rapid Thermal Annealing*, RTA) e após um tratamento em ambiente de N_2 a 1000°C , 1 minuto, para os parâmetros de energia de 10 keV, 0° de ângulo de ataque para implantação de Ga^+ e dose de $1 \times 10^{14} \text{ cm}^{-2}$, confirmando a dose volumétrica da ordem de 10^{19} cm^{-3} na região ativa de silício sobre óxido enterrado.

² Corrente iônica relativamente reduzida para minimizar o processo de corrosão da mesa de silício durante o processo de dopagem local com íons de gálio.

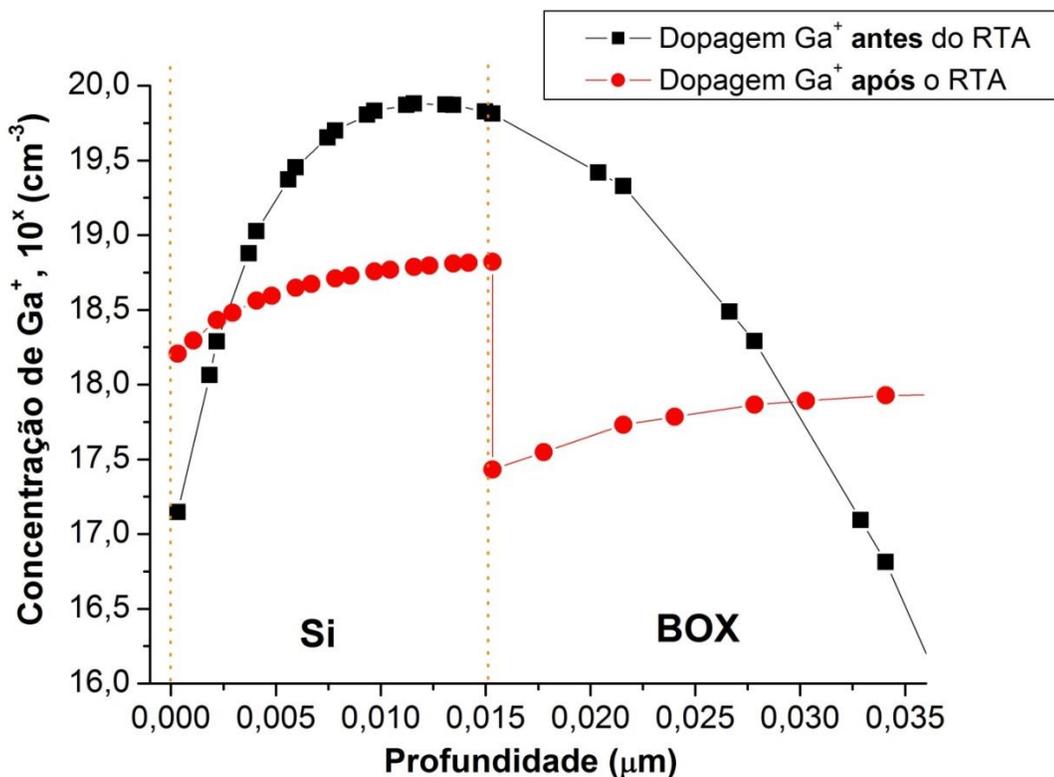


Figura 26. Perfil de dopagem de gálio na estrutura SOI anterior e posteriormente a um tratamento térmico rápido (RTA) sob ambiente de N₂, 1000°C, 1 minuto. Curvas simuladas pelo TCAD da Silvaco.

3.3.3 Fabricação dos dispositivos

3.3.3.1 Definição dos SiNW e implantação local com íons de Ga⁺

Escolhemos mesas de silício com dimensões de 55 μm x 25 μm para o processamento dos dispositivos, como mostrado na Figura 27(a). O feixe de íons com tensão de 10 kV e corrente iônica de 3 pA foi posicionado durante 25 s sobre cada mesa de silício, implantando localmente Ga⁺. Os valores de tensão e corrente são reduzidos nesta etapa para minimizar significativamente a taxa de corrosão do substrato e manter o controle da implantação de íons. Em seguida foi realizada a limpeza completa, como apresentado na Tabela 5 anteriormente ao tratamento térmico para ativação dos íons Ga⁺. Um tratamento térmico rápido (RTA) foi realizado em ambiente de N₂ (fluxo de 4500 sccm), a 1000°C, durante 1 minuto e rampa de 50°C/s. Foi feita purga com N₂ durante 5 minutos antes e depois do tratamento térmico para evitar a oxidação do silício dopado (p⁺-Si). Em seguida, a amostra foi submetida à

imersão em solução BHF durante 5 segundos para eliminar dióxido de silício nativo sobre a superfície de silício p^+ -Si.

GaFIB foi utilizado nesta etapa para definir nanofios (p^+ -SiNW) a partir das mesas dopadas previamente, como é apresentado na Figura 21(b). Neste momento o feixe iônico foi escolhido para o processo de corrosão do silício e formação dos nanofios, de maneira a obter a melhor resolução (até 30 nm), porém dentro de um intervalo razoavelmente curto de processamento (entre 5 e 10 minutos por nanofio). Assim, para a definição dos p^+ -SiNW (de largura 35 nm), foi escolhido o feixe iônico de 30 keV e corrente 50 pA.

Após processamento pelo GaFIB, obtivemos p^+ -SiNW com 35 nm de largura, 6 μm de comprimento e 15 nm de espessura. A largura do nanofio está muito próxima da resolução máxima do sistema GaFIB.

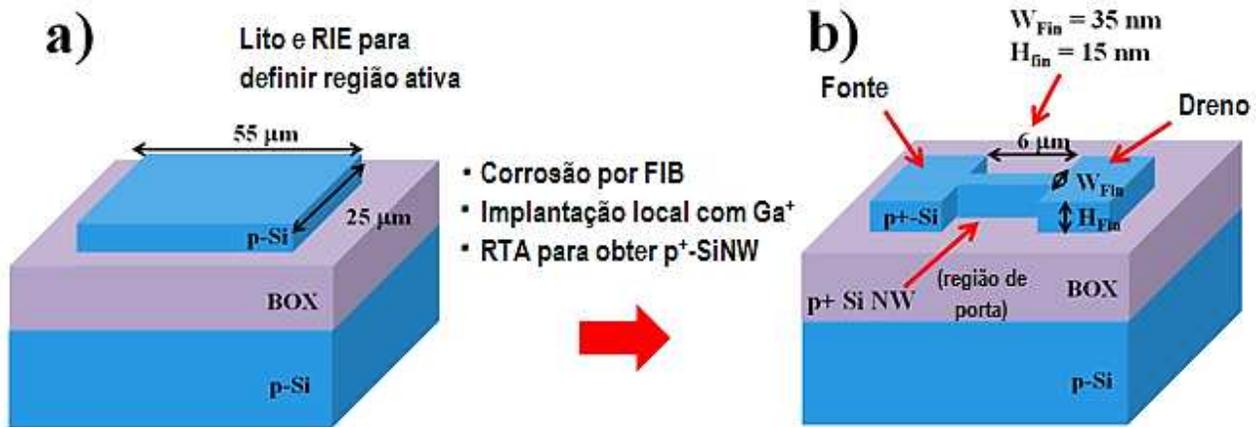


Figura 27. Esquemas de (a) região ativa (mesa) do silício sobre BOX após litografia óptica e RIE; (b) nanofio de Si (p^+ -SiNW) após corrosão por GaFIB e dopagem local com íons de Ga^+ .

3.3.3.2 Deposição de eletrodos metálicos e dielétrico de porta

Neste trabalho, feixe de elétrons de 0,4 nA e energia de 5 keV foram utilizados para depositar o dielétrico de porta de 10 nm de SiO_2 e eletrodos de 250 nm de Pt em fonte/dreno dos JNTs (Figura 28(a)).

Para finalizar os dispositivos JNTs, litografia óptica de eletrodos metálicos de fonte/dreno/porta, como apresentado na Tabela 8, foi executada utilizando o layout LA03 [53]. Posteriormente, camada de 150 nm de alumínio foi depositada pelo sistema de *sputtering* Magnetron reativo DC, da marca ULVAC MCH9000, com alvo de Al de $10''$, do CCC/UNICAMP. O processo de *lift-off* foi então utili-

zado para definir contatos metálicos de Al em fonte, dreno e porta (Figura 28(b)). O comprimento do eletrodo de porta do dispositivo JNT é de 1 μm . Os dispositivos foram sinterizados em forno convencional em ambiente de *forming gas* [N_2 (92%) + H_2 (8%)], a 450°C, durante 20 minutos, para redução da resistência de contatos. Esse gás, além de ser um ambiente não oxidante, permite a redução das cargas livres sobre o dispositivo, já que fornece íons H^+ em contato com sua superfície.

Tabela 8 – Etapas da fotogração para definição de contatos metálicos de fonte/dreno/porta.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para aumentar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de fotoresiste AZ5214 [®]	<i>Spinner</i> → 5000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do fotoresiste ao substrato	90°C, 1 minuto
5	Exposição sob luz UV (9 mW.cm^{-2}), com máscara LA03	40 s
6	Revelação em MIF 300 [®] (solução reveladora livre de íons metálicos)	15 s
7	Plasma <i>ashing</i> . Esta etapa auxilia a abertura do resiste das regiões expostas à luz UV e que estão próximas da resolução da fotoalinhadora ($\sim 1 \mu\text{m}$)	→ pressão: 100 mTorr, → fluxo de O_2 : 50 sccm → potência: 200 W → tempo: 2 min
9	<i>Hard bake</i> da amostra em <i>hot plate</i> para densificação do fotoresiste anteriormente à etapa de sputtering de Al	<i>Hot plate</i> → 125°C, 5 min

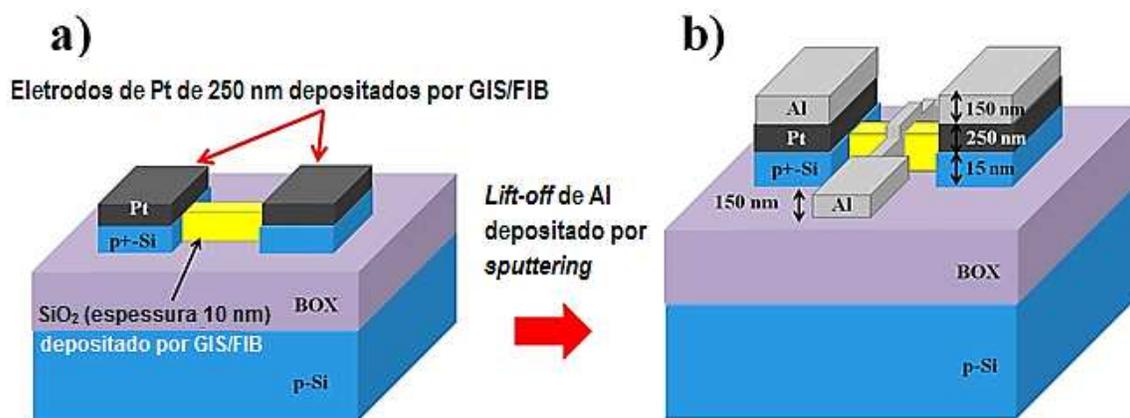


Figura 28. Esquemas do (a) Eletrodos de Pt de fonte/dreno depositados pelo feixe de elétrons do sistema *dual beam* e GIS (observe que a estrutura de um pseudo-MOS foi formada) e (b) dielétrico de porta de SiO₂ também depositado por feixe de elétrons de GIS e eletrodos de fonte/dreno/porta de Al depositados por *sputtering* e definidos por *lift-off*.

3.3.4 Caracterização elétrica dos dispositivos pseudo-MOS e JNT

A Figura 29(a) apresenta a seção transversal do dispositivo JNT incompleto, logo após as etapas de deposição de SiO₂ e Pt. Observamos a estrutura de um dispositivo pseudo-MOS (Ψ -MOS) [54,55], onde a porta das costas da lâmina (*back gate*) é composta pelo substrato do tipo ‘p’ como eletrodo de porta e a camada de 400 nm de dióxido de silício enterrado (BOX) como dielétrico de porta; o p⁺-SiNW é o canal de condução de corrente elétrica; os filmes metálicos de Pt são eletrodos de fonte e dreno. Figura 29(b) mostra a seção transversal do dispositivo JNT completo, com eletrodos de fonte/dreno/porta. As medidas elétricas serão apresentadas e discutidas na sessão de Resultados e Discussões.

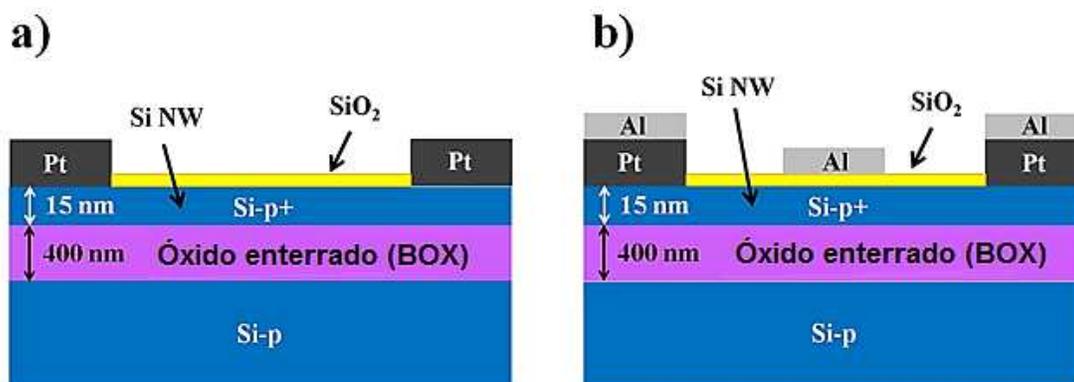


Figura 29. Esquemas do (a) pseudo-MOS para investigação do comportamento elétrico dos p⁺-SiNW e (b) JNT após o processo completo de fabricação.

3.4 Processamento das amostras por litografia por feixe de elétrons

3.4.1 Dopagem das lâminas com íons de arsênio

Após as etapas de limpeza completa e afinamento do silício sobre BOX de 340 nm para 15 nm, descritas na seção 3.2 deste capítulo, as amostras foram implantadas por feixe de íons de arsênio no CCS/UNICAMP, utilizando tensão de aceleração de 20 kV e dose de $1 \times 10^{15} \text{ cm}^{-2}$, como descrito na Figura 30. A escolha dos íons foi devido à sua alta solubilidade sólida em silício (aproximadamente 10^{21} cm^{-3} a $1000 \text{ }^\circ\text{C}$) [56].

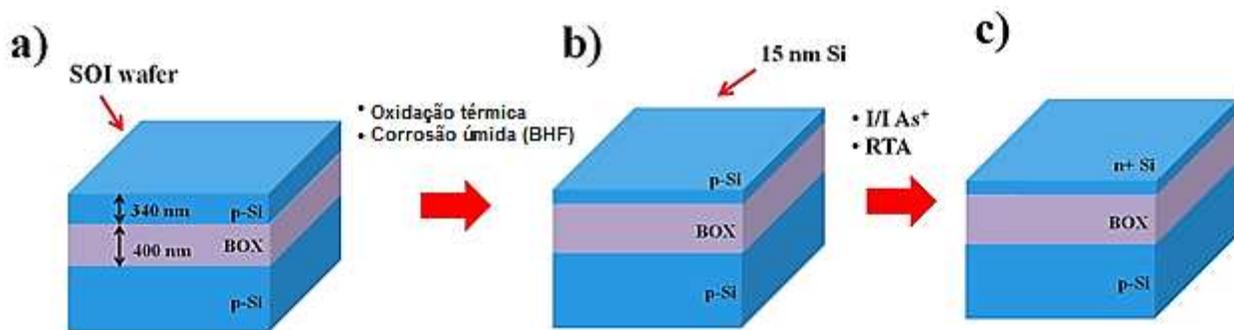


Figura 30. Esquemas de (a) lâmina SOI com camada de silício de 340 nm, (b) afinamento do silício para 15 nm por processos de oxidação térmica e corrosão úmida e (c) implantação iônica de arsênio e ativação por RTA para obtenção de silício dopado tipo n+.

A ativação de As^+ em silício sobre BOX foi feita utilizando RTA, similarmente à dopagem com gálio, e realizado em ambiente de N_2 (fluxo de 4500 sccm), a 1000°C , durante 1 minuto e rampa de 50°C/s . Purgou-se a câmara de RTA com N_2 durante 5 minutos antes e depois do tratamento térmico para evitar a oxidação do silício dopado ($\text{n}^+\text{-Si}$).

Simulações foram feitas em TCAD para os parâmetros de implantação e os perfis de dopagem do silício antes e após o tratamento térmico são apresentados na Figura 31. Nota-se que o silício de 15 nm de espessura sobre BOX contém dopagem volumétrica de aproximadamente $2 \times 10^{20} \text{ cm}^{-3}$ de As, o que corresponde a uma alta dopagem, requisito fundamental para o funcionamento dos dispositivos JNTs.

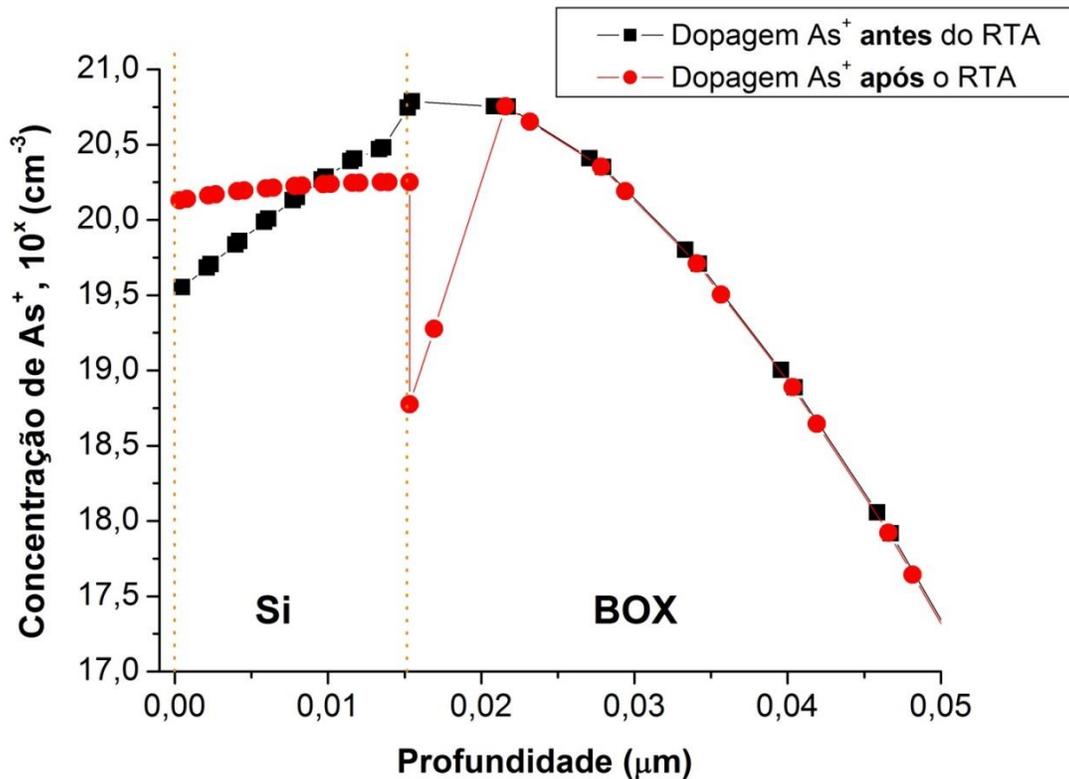


Figura 31. Perfil de dopagem de arsênio na estrutura SOI anterior e posteriormente a um tratamento térmico rápido (RTA) em ambiente de N₂, 1000°C, 1 minuto. Curvas simuladas pelo TCAD da Silvaco.

3.4.2 Layout dos dispositivos

O layout dos dispositivos foi desenvolvido utilizando o software Raith e_Line plus Nano Suite, um editor de padrões em 2D similar ao CAD, mas com ferramentas que auxiliam o processo de fabricação utilizando feixe de elétrons. Foram desenvolvidos *layouts* dispositivos JNTs compostos por um nanofio e por múltiplos nanofios, em ambos os casos variando as dimensões W (largura do n⁺-SiNW) e L (comprimento da porta) do transistor, como indicado na Figura 32.

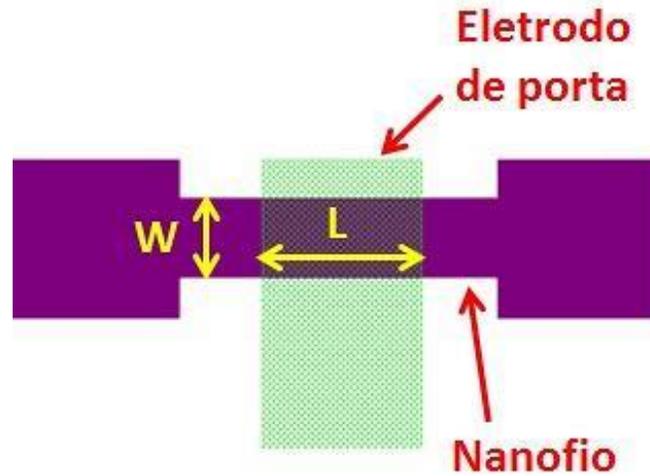


Figura 32. Dimensões W e L dos transistores JNTs para um nanofio como canal de condução.

A Tabela 9 apresenta as dimensões fabricadas para os JNTs com $N = 1, 20, 160, 320, 680$ e 1280 nanofios e a relação (3) indica que para as diferentes dimensões W e L a corrente elétrica através dos nanofios excursiona em até 2 ordens de grandeza. Além disso, para transistores com múltiplos nanofios, a resistência elétrica do JNT é reduzida pelo fator N, como indica a equação (4). Dessa maneira, para o transistor com $N = 1280$ nanofios temos o dispositivo com menor resistência elétrica, com valores nominais entre 3 e 4 ordens de grandeza inferior ao resistor com apenas 1 nanofio de mesma dimensão individual.

$$I_{DS} \propto \frac{W}{L} \quad (3)$$

$$R_{JNT} = \frac{1}{N} \times R_{nanofio} \quad (4)$$

Tabela 9 – Dimensões dos dispositivos JNTs.

N	W (μm)	L (μm)*	W / L	N	W (μm)	L (μm)	W / L	
1	1,50	0,10	0,07	20	0,80	0,10	0,13	
	1,00	0,10	0,10		0,60	0,10	0,17	
	0,80	0,10	0,13		0,40	0,10	0,25	
	0,60	0,10	0,17		1,50	0,50	0,33	
	0,40	0,10	0,25		1,00	0,50	0,50	
	1,50	0,50	0,33		0,80	0,50	0,63	
	0,05	0,02	0,40		0,60	0,50	0,83	
	1,00	0,50	0,50		0,10	0,10	1,00	
	0,10	0,05	0,50		0,40	0,50	1,25	
	0,80	0,50	0,63		0,10	0,50	5,00	
	0,60	0,50	0,83		160	0,50	0,10	0,20
	0,10	0,10	1,00			0,10	0,10	1,00
	0,05	0,05	1,00		320	0,50	0,10	0,20
	1,00	1,00	1,00			0,10	0,10	1,00
	2,00	2,00	1,00		640	0,50	0,10	0,20
	0,40	0,50	1,25			0,10	0,10	1,00
1,00	2,00	2,00	1280	1,50	0,10	0,07		
0,10	0,50	5,00		1,00	0,10	0,10		
20	1,50	0,10		0,07	0,50	0,10	0,20	
	1,00	0,10	0,10	0,10	0,10	1,00		

* Neste trabalho, transistores com dimensão da porta, L , menor que 100 nm apresentaram baixa reprodutibilidade, apesar de as resoluções nominais do resiste utilizado e da máquina serem, respectivamente, 10 nm e 2 nm, o que pode ser aperfeiçoado refinando os parâmetros de processamento, como dose e elementos do sistema eletro-óptico do sistema de litografia por feixe de elétrons (por exemplo, tensão de aceleração e abertura).

A Figura 33 apresenta o layout completo contendo 154 dispositivos em três níveis de litografia e nas Figuras 34 e 35, respectivamente, são apresentados em detalhe os 3 níveis de fabricação de dois dispositivos desse *layout* com um nanofio ($N = 1$) e com múltiplos nanofios ($N = 1280$), ambos de $W =$

L = 100 nm. Existe também um nível extra para a litografia das marcas de alinhamento (16 ao todo, contornando o *die* de dispositivos), como por ser observado na Figura 26.

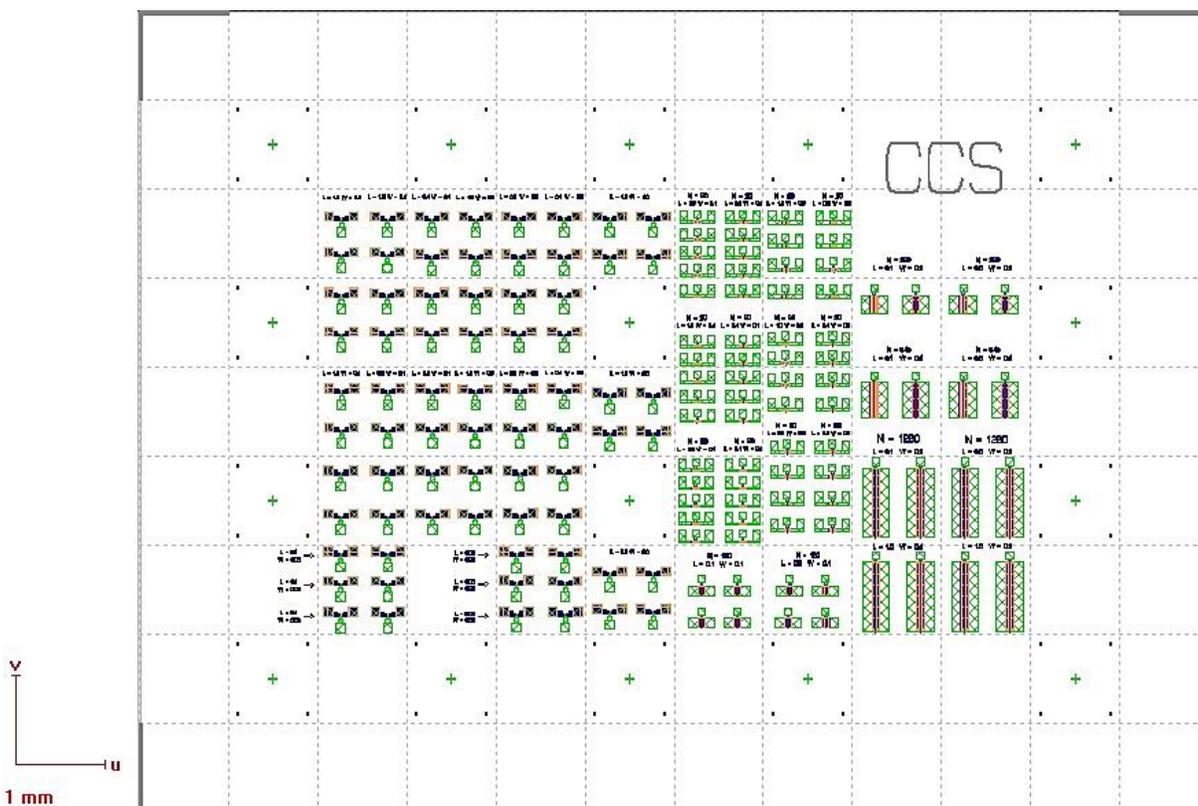


Figura 33. *Layout* contendo 154 dispositivos, dentro de área 40 mm², desenvolvido para a fabricação dos dispositivos JNTs. No contorno dos dispositivos existem 16 estruturas de alinhamento.

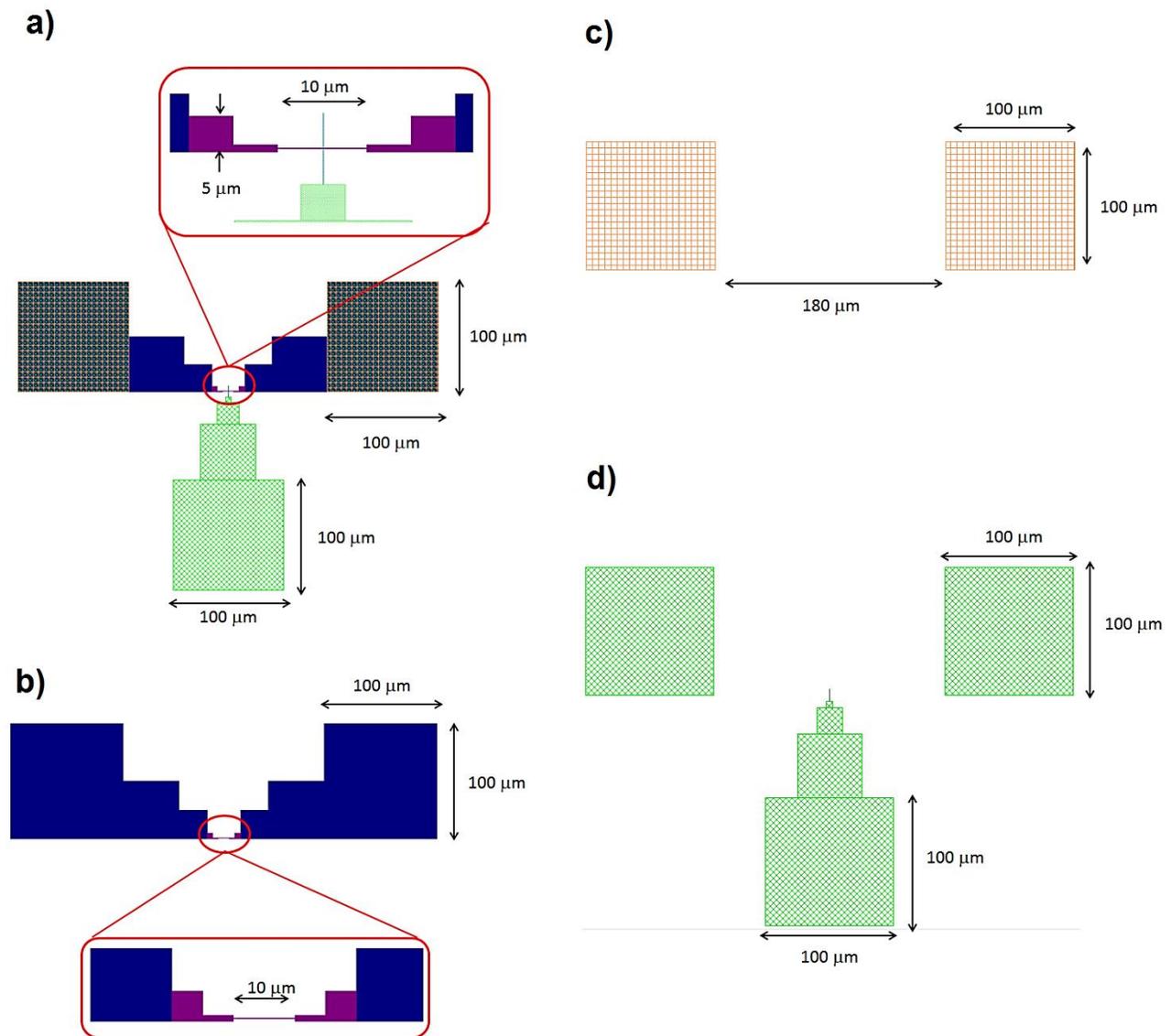


Figura 34. Estrutura detalhada do *layout* de um JNT de apenas um nanofio de comprimento 10 μm e largura de 100 nm. Em (a) temos a estrutura completa com 3 níveis de litografia e a região do nanofio no detalhe, (b) o nível de definição da região ativa, contendo o nanofio no detalhe e (c) o nível de abertura de contatos de fonte e dreno e (d) apresenta o nível de metal para fonte, dreno e porta.

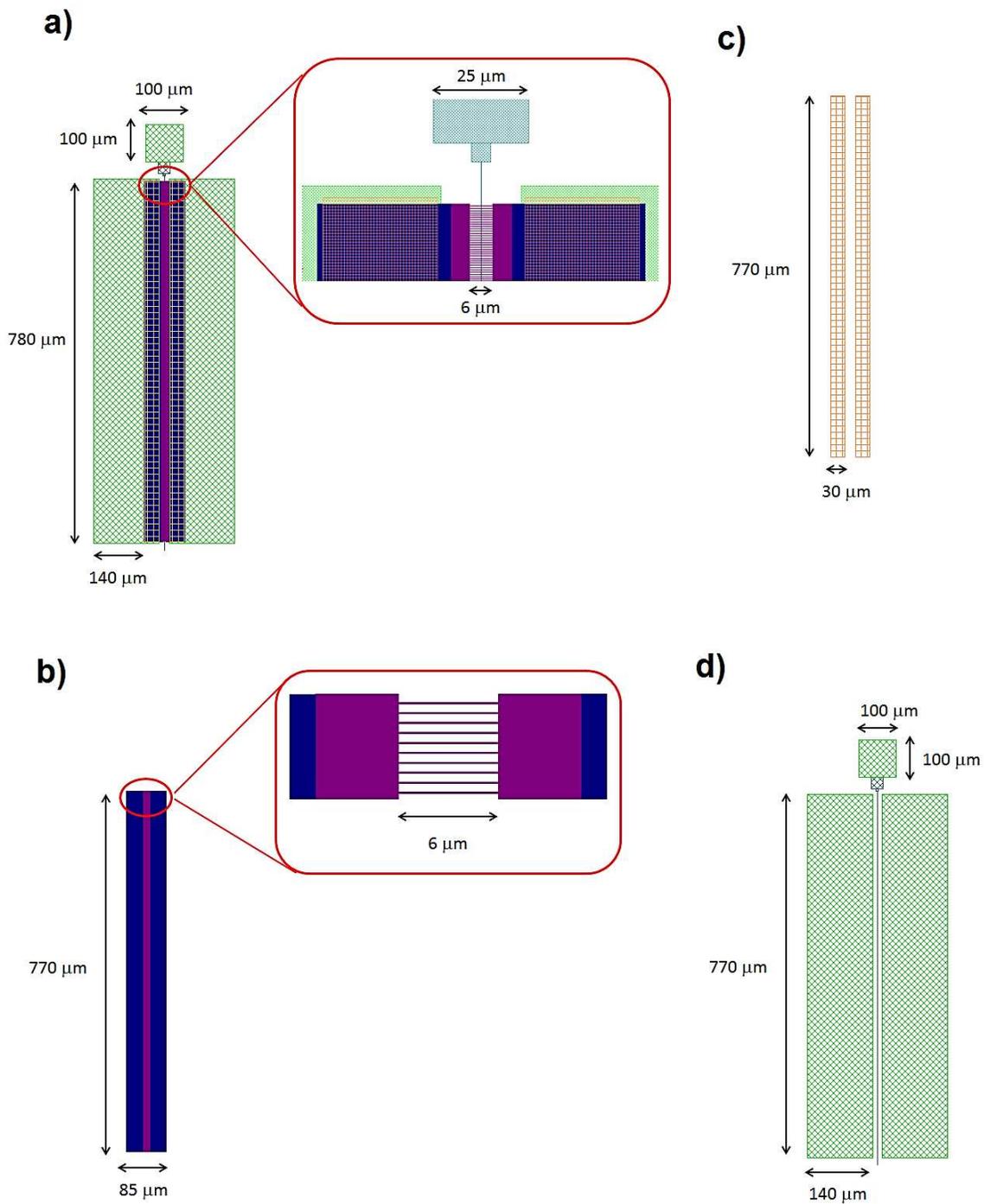


Figura 35. Estrutura detalhada do *layout* de um JNT de apenas 1280 nanofios em paralelo, todos de comprimento 6 μm e largura de 100 nm. Em (a) temos a estrutura completa com 3 níveis de litografia e a região do nanofio no detalhe, (b) o nível de definição da região ativa, contendo o nanofio no detalhe, (c) o nível de abertura de contatos de fonte e dreno e (d) o nível de metal para fonte, dreno e porta.

3.4.3 E-resistes e doses

Neste trabalho utilizamos os tons positivo e negativo de resistes sensíveis a elétrons (e-resiste). O resiste positivo utilizado foi PMMA (*polymethyl methacrylate*), conhecido pela alta adesão em substratos de silício, vidros e metais, além de alta resolução em processos de litografia por feixe de elétrons [57]. O PMMA utilizado foi AR-P 679.04, cujo solvente é o etil-lactato, possuindo viscosidade de 43,4 mPa.s e densidade de 0,97 g.cm⁻³ [58]. A rotação em *spinner* utilizada para espalhar PMMA nas amostras de deste trabalho foi de 1000 rpm, de maneira a se obter espessura final de 630 nm, o que auxiliou o processo de *lift-off* de metais. A dose de 145 $\mu\text{C.cm}^{-2}$ foi calibrada para os todos os processos com PMMA. A cura deste e-resiste é feita em *hot plate* a 180°C, durante 2 minutos, e a densificação anterior ao processos de corrosão e *sputtering* foi feita em estufa a 110°, durante 30 minutos. Os processos de revelação desse resiste foram feitos em solução MIBK:IPA (*Methyl isobutyl ketone : isopropyl alcohol*) na proporção de 1:3, que pode ser diluído para ajuste do controle do processo de revelação. Neste trabalho utilizou-se a proporção comercial de MIBK:IPA de 1:3, considerada a de maior resolução [59].

Por outro lado, o e-resiste negativo utilizado foi o Ma-N 2403, conhecido por exibir alta resistência ao processos de *etching* úmido e seco. Possui viscosidade dinâmica de 7 mPa.s e densidade de 1,025 g.cm⁻³ [60]. Em todo este trabalho a rotação do *spinner* utilizada para espalhar o resiste nas amostras foi de 3000 rpm, o que fornece espessura de Ma-N 2403 de aproximadamente 300 nm. A revelação deste e-resiste é feita em meio básico utilizando MIF 300 puro, uma solução reveladora livre de metais. Doses de 160 $\mu\text{C.cm}^{-2}$, 105 $\mu\text{C.cm}^{-2}$ e 72 $\mu\text{C.cm}^{-2}$ foram utilizadas nos processos com Ma-N para corrigir efeito de proximidade em nanoestruturas. A cura deste resiste é feita em *hot plate* a 110°C, durante 60 s. Para processos de corrosão e *sputtering* a densificação do e-resiste é feita em *hot plate* a 135°C, durante 5-10 minutos. Para ambos os resistes PMMA e Ma-N é recomendável utilizar promotores de aderência, tais como o HMDS, para substratos de Si e SiO₂.

A Tabela 10 apresenta a síntese das especificações dos e-resistes utilizados neste trabalho.

Tabela 10 – Especificações dos e-resiste utilizados neste trabalho.

E-resiste	Espessura (nm)	Dose ($\mu\text{C.cm}^{-2}$)	Cura
PMMA AR-P 679.04	630 (<i>spinner</i> a 1000 rpm)	145	<i>Hot plate</i> – 180°C, 2 min Estufa – 110°C, 30 min
Ma-N 2403	300 (<i>spinner</i> a 3000 rpm)	72 a 160	<i>Hot plate</i> – 110°C, 60 s

3.4.4 Marcas de alinhamento

As marcas de alinhamento preveem contraste suficiente para realinhamento dos diversos níveis de fabricação de dispositivos. As marcas para litografia por feixe de elétrons dividem-se em dois grupos: por contraste de topografia (as marca, definidas por corrosão, em geral são do mesmo material do substrato) e por contraste de material (as marcas, de materiais necessariamente diferentes do substrato, podem ser depositadas por diversas técnicas, por exemplo, *sputtering*) (Figura 36). A escolha é feita baseada na conveniência do processo de definição das marcas e na melhor relação de contraste entre o substrato e o e-resiste utilizado. Nos dispositivos apresentados neste trabalho as marcas por contraste de material foram escolhidas pela facilidade de processamento. Nessas marcas apenas uma etapa de litografia foi necessária e sua resolução foi determinada apenas pela resolução da litografia. Por outro lado, as marcas topográficas requerem processo de corrosão úmida (isotrópica) ou seca (anisotrópica). Ao utilizarmos corrosão úmida, aumentamos a dimensão lateral das marcas, o que pode implicar em aumento do efeito de *overlay* durante o realinhamento dos níveis posteriores (o que é indesejável para dispositivos em escala nanométrica, como os fabricados neste trabalho). Por outro lado, ao utilizar corrosão seca para processar marcas topográficas podemos fabricá-las em escala nanométrica, entretanto o plasma pode deteriorar o e-resiste que protege a região ativa. Isso requer aquisição de e-resistes específicos para processamento com corrosão, o que, em geral, torna o processo mais caro.

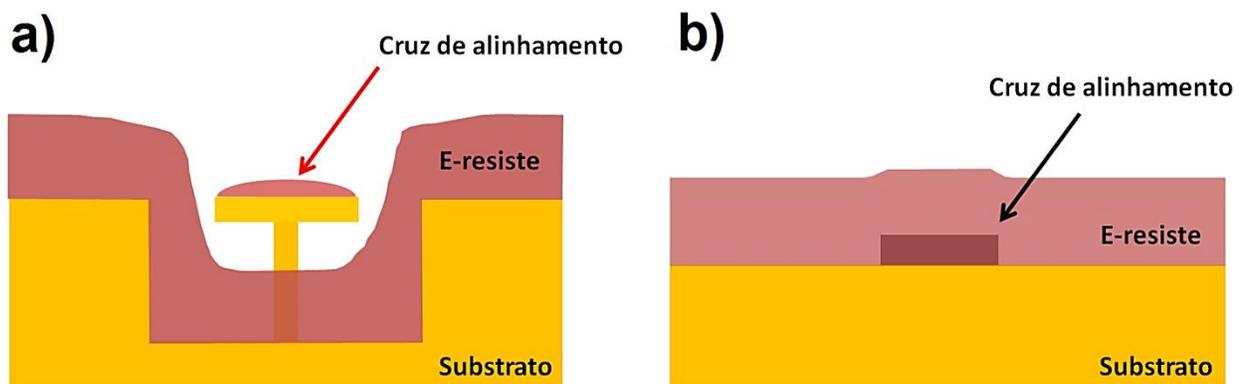


Figura 36. (a) Marca de alinhamento por contraste de topografia: o contraste é obtido pela redução da espessura de resiste na região da cruz de alinhamento (formação de poço) e efeitos de borda. (b) marca de alinhamento por contraste de material: contraste obtido pela diferença de massa atômica entre o material da cruz, do resiste e do substrato.

Neste trabalho ambos os tipos de marcas foram testadas (os detalhes da fabricação estão descritos no Capítulo 4), entretanto a marca por contraste de material foi a mais apropriada por reduzir o efeito de *overlay* dos níveis de litografia, além de sua fabricação ser mais simples e não requerer corrosão úmida – que pode deteriorar o substrato. Para as marcas por contraste de material, alumínio e níquel foram depositados por *sputtering* e o processo de *lift-off* as definiu. Para as marcas topográficas, RIE e BHF foram utilizados após a litografia para definir poços de e-resiste em lâmina SOI.

A Figura 37 apresenta o layout das marcas adotadas para contraste de material. São 16 estruturas de alinhamento, cada uma contendo 5 cruces (Figura 37(a)), das quais uma possui escala micrométrica e é utilizada para alinhamento inicial (Figura 37(b)); as demais 4 são idênticas e de dimensões em escala nanométrica (1/5 da dimensão da cruz maior) para refinamento do alinhamento dos níveis dos dispositivos.

A Figura 38(a) apresenta o layout das marcas por topografia. São 7 estruturas de alinhamento, cada uma contendo 5 cruces (detalhes na Figura 38(b)), todas em escalas micrométricas devido à necessidade de corrosão úmida (isotrópica), que consome lateralmente o substrato e reduz a dimensão das cruces.

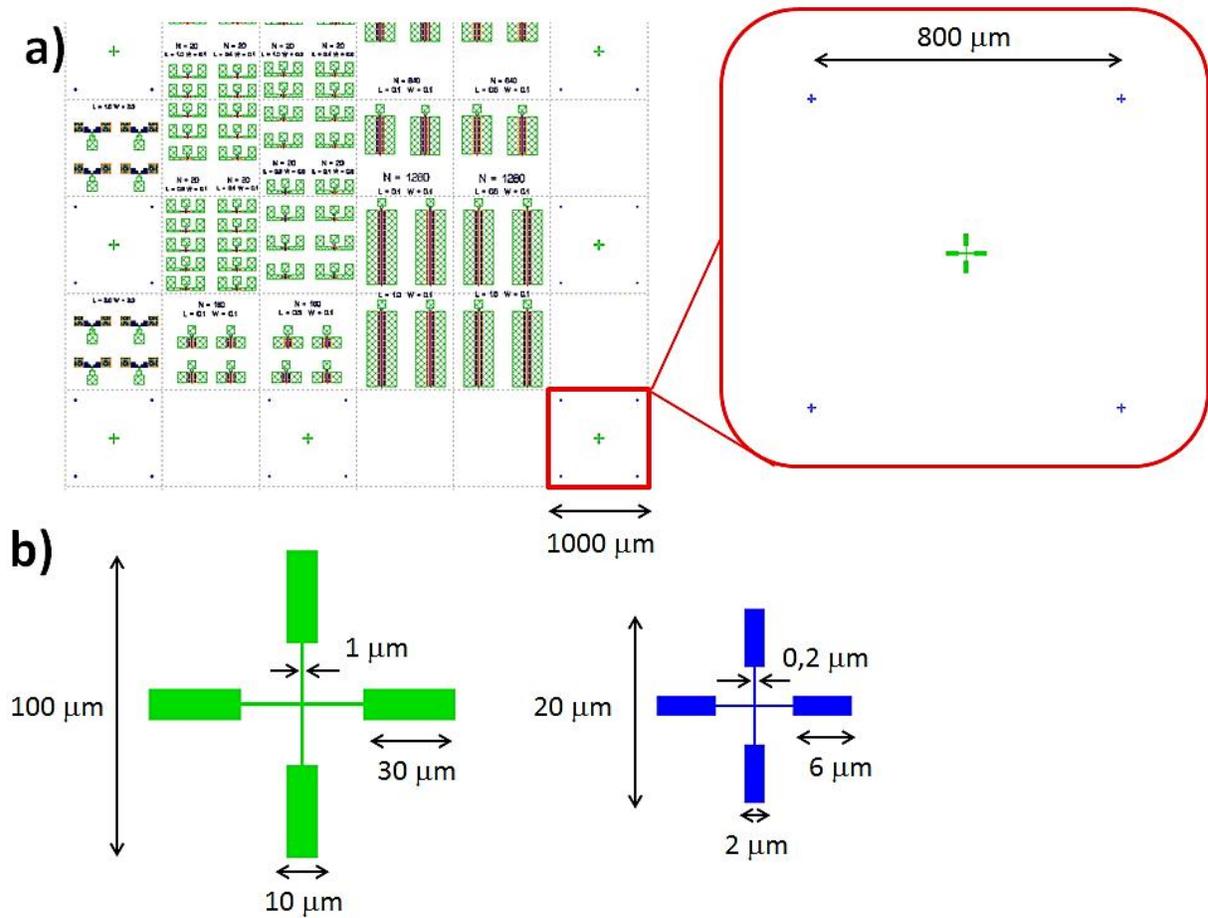


Figura 37. Estruturas adotadas para alinhamento dos níveis de litografia dos dispositivos JNTs. EM (a) é apresentado o *layout* parcial com as marcas (em detalhe, marca contendo conjunto de 5 cruces). 16 marcas compõem as estruturas para realinhamento. Em (b) são apresentados detalhes individuais dos dois tipos de cruces.

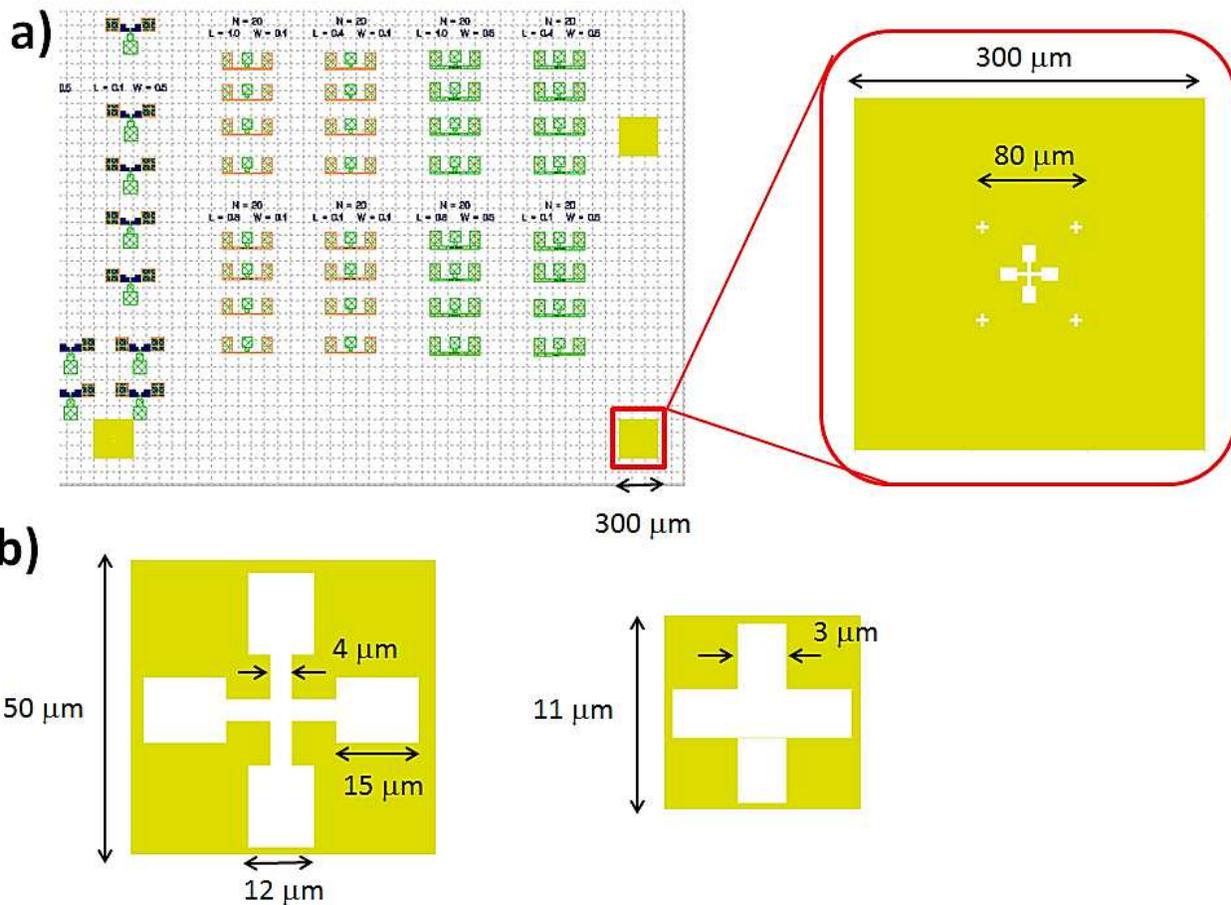


Figura 38. Estruturas adotadas para alinhamento por topografia dos níveis de litografia dos dispositivos JNTs. Em (a) é apresentado o *layout* parcial com as marcas (em detalhe, marca contendo conjunto de 5 cruces). 7 marcas compõem as estruturas para realinhamento. Em (b) são apresentados detalhes individuais dos dois tipos de cruces.

3.4.5 Litografia dos dispositivos

As amostras SOI com camada de silício de 15 nm de espessura foram processadas por litografia por feixe de elétrons utilizando o *layout* desenvolvido para os dispositivos JNTs. A litografia é realizada por escrita direta do feixe de elétrons sobre o resiste, seguindo os padrões do *layout*, ausentando-se máscaras físicas, como ocorre com a técnica de litografia óptica.

As etapas de litografia utilizadas para a fabricação do dispositivo JNT completo são apresentadas em 4 níveis: definição das marcas de alinhamento, definição da região ativa de silício e deposição de dielétrico de porta, abertura de contatos de fonte/dreno e definição de contatos metálicos de fonte/dreno/porta.

3.4.5.1 Definição das marcas de alinhamento

Após as etapas de limpeza completa, afinamento do silício sobre BOX para 15 nm e dopagem e ativação do silício tipo n^+ , seguem os procedimentos para definição das marcas de alinhamento utilizando EBL. Dois processamentos de dispositivos JNT utilizando EBL foram realizados: o primeiro utilizando marcas por contraste de topografia e o segundo utilizando marcas por contraste de material. Os procedimentos posteriores às marcas de alinhamento foram idênticos para ambos os processamentos e serão descritos nas próximas seções.

- **Definição das marcas de alinhamento por contraste de topografia**

As etapas para definição das estruturas de alinhamento por contraste de topografia seguem descritas na Tabela 11.

Tabela 11 – Etapas para definição das marcas de alinhamento por contraste de topografia.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para incrementar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de e-resiste PMMA AR-P 679.04	<i>Spinner</i> → 1000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do resiste ao substrato	180°C, 2 minutos
5	Exposição das marcas de alinhamento	Tensão → 20 kV Abertura → 10 μm Dose → 145 $\mu\text{C.cm}^{-2}$ <i>Step size</i> do feixe → 16 nm
6	Revelação em MIBK:IPA (1:3) (<i>Stopper</i> em IPA)	2 minutos
7	Cura em estufa para densificação do e-resiste	110°C, 30 minutos
8	Plasma RIE para remoção de silício n^+ sobre BOX nas regiões da amostra expostas pela litografia	Potência → 500 W Fluxo de SF_6 → 12 sccm Fluxo de argônio → 35 sccm

		Pressão → 50 mTorr Tempo → 2 minutos
9	Remoção de BOX	Dip em BHF, 4 minutos
10	Limpeza orgânica para remoção do PMMA	Acetona → 90°C, 10 min Isopropanol → 90°C, 10 min

- **Definição das marcas de alinhamento por contraste de material**

As etapas para definição das estruturas de alinhamento por contraste de material seguem descritas na Tabela 12.

Tabela 12 – Etapas para definição das marcas de alinhamento por contraste de material.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para incrementar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de e-resiste PMMA AR-P 679.04	<i>Spinner</i> → 1000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do resiste ao substrato	180°C, 2 minutos
5	Exposição das marcas de alinhamento	Tensão → 20 kV Abertura → 10 μm Dose → 145 μC.cm ⁻² <i>Step size</i> do feixe → 16 nm
6	Revelação em MIBK:IPA (1:3) (<i>Stopper</i> em IPA)	2 minutos
7	Cura em estufa para densificação do e-resiste	110°C, 30 minutos
8	<i>Sputtering</i> com alvo de NiPt (Ni _{0,97} Pt _{0,03})	Potência RF → 700 W _{RF} Fluxo de argônio → 80 sccm Pressão → 20 mTorr Tempo → 6 minutos
9	<i>Lift-off</i> do NiPt em acetona	<i>Hot plate</i> → 125°C, 5 min

A espessura do filme de NiPt para marcas de alinhamento, definido por *lift-off*, é aproximadamente 90 nm. Considerou-se aproximadamente a relação 1 : 6 para as espessuras de metal e e-resiste PMMA, respectivamente, para o garantia de sucesso do processo de *lift-off*. Testes prévios com *lift-off* de alumínio para as mesmas estruturas e PMMA mostraram relação de sucesso para X : 6 com X < 1,5.

Para os testes com marca de alinhamento por contraste de material utilizando alumínio, o processo foi idêntico ao descrito na Tabela 12, exceto pela etapa 8 de deposição de metal pela técnica de *sputtering*, cujo alvo de alumínio foi bombardeado por plasma com potência DC de 1000 W, fluxo e Ar de 60 sccm e pressão de 5×10^{-5} Torr por 70 segundos.

3.4.5.2 Definição da região ativa de silício e deposição de dielétrico de porta

Após a definição das marcas de alinhamento, litografia por feixe de elétrons é utilizada novamente para a definição da região ativa de silício dos dispositivos JNTs. A partir desta etapa, as marcas definidas na etapa anterior foram utilizadas para realinhamento dos diversos níveis do *layout*. Nesse processo, as marcas em escala micrométrica são alinhadas e por meio das marcas em escala nanométrica o alinhamento é refinado, além de ser feito ajuste do ângulo de sobreposição (*overlay*) dos níveis. A Tabela 13 descreve os detalhes desta etapa e as Figuras 39 (a), (b) e (c) apresentam as etapas de fabricação.

Tabela 13 – Etapas para definição da região ativa dos JNTs.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para incrementar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de e-resiste Ma-N 2403	<i>Spinner</i> → 3000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do resiste ao substrato	90°C, 1 minuto
5	Exposição do <i>layout</i> ao feixe de elétrons	Tensão → 20 kV Abertura → 10 μm Dose → 72 a 160 μC.cm ⁻² <i>Step size</i> do feixe → 16 nm

6	Revelação em MIF 300 puro (<i>Stopper</i> em H ₂ O, resistividade 18 MΩ.cm)	60 segundos
7	Cura em <i>hot plate</i> para densificação do e-resiste	135°C, 5 minutos
8	Corrosão por plasma ECR para definição da região ativa de silício (Taxa de corrosão ~ 10 nm/min para silício)	Potência RF → 8 W _{RF} Potência ECR → 500 W _{ECR} Fluxo de SF ₆ → 5 sccm Fluxo de Ar → 10 sccm Pressão → 4 mTorr Tempo → 3 minutos
9	Limpeza orgânica para remoção do Ma-N 2403	Acetona → 90°C, 10 min Isopropanol → 90°C, 10 min
10	Plasma <i>ashing</i> para remoção do e-resiste residual	Potência → 350 W Tempo → 10 min

Após esta etapa, segue a deposição de dielétrico SiO_xN_y (Figura 39(d)) para passivação da superfície e dielétrico de porta dos dispositivos JNTs. Duas rodadas de rodadas de processamento foram realizadas; em uma delas, previamente à etapa de deposição do dielétrico e posteriormente à etapa de plasma *ashing*, foi realizada limpeza completa (Tabela 1) para garantir remoção de metais e matéria orgânica da região da porta; por outro lado, na segunda rodada de processamento, após notar que essa limpeza danificava os nanofios (n⁺-SiNW), apenas limpeza orgânica foi realizada antes da deposição de dielétrico.

O procedimento inicial de deposição do dielétrico consistiu em mergulhar a amostra em solução BHF durante 2 segundos para remoção de dióxido de silício nativo e, em seguida, mergulhá-la em água deionizada (resistividade 18 MΩ.cm) para minimizar a taxa de oxidação da região ativa de silício. Posteriormente, a amostra foi seca com gás N₂ e inserida na câmara do sistema de plasma ECR. Fluxos de 3 sccm de O₂, 7 sccm de N₂ e 20 sccm de Ar foram utilizados, com pressão de 5 mTorr na câmara e potência de 500 W durante 20 minutos. Com esses parâmetros um filme de SiON com espessura de aproximadamente 5 nm formou-se sobre a região ativa de silício. O filme de silício, originalmente com 15 nm de espessura, foi parcialmente consumido (aproximadamente 2 nm) pelo processo de oxinitretação descrito, restando aproximadamente 13 nm. Desse modo, a região ativa de silício foi formada e passivada com filme de SiON.

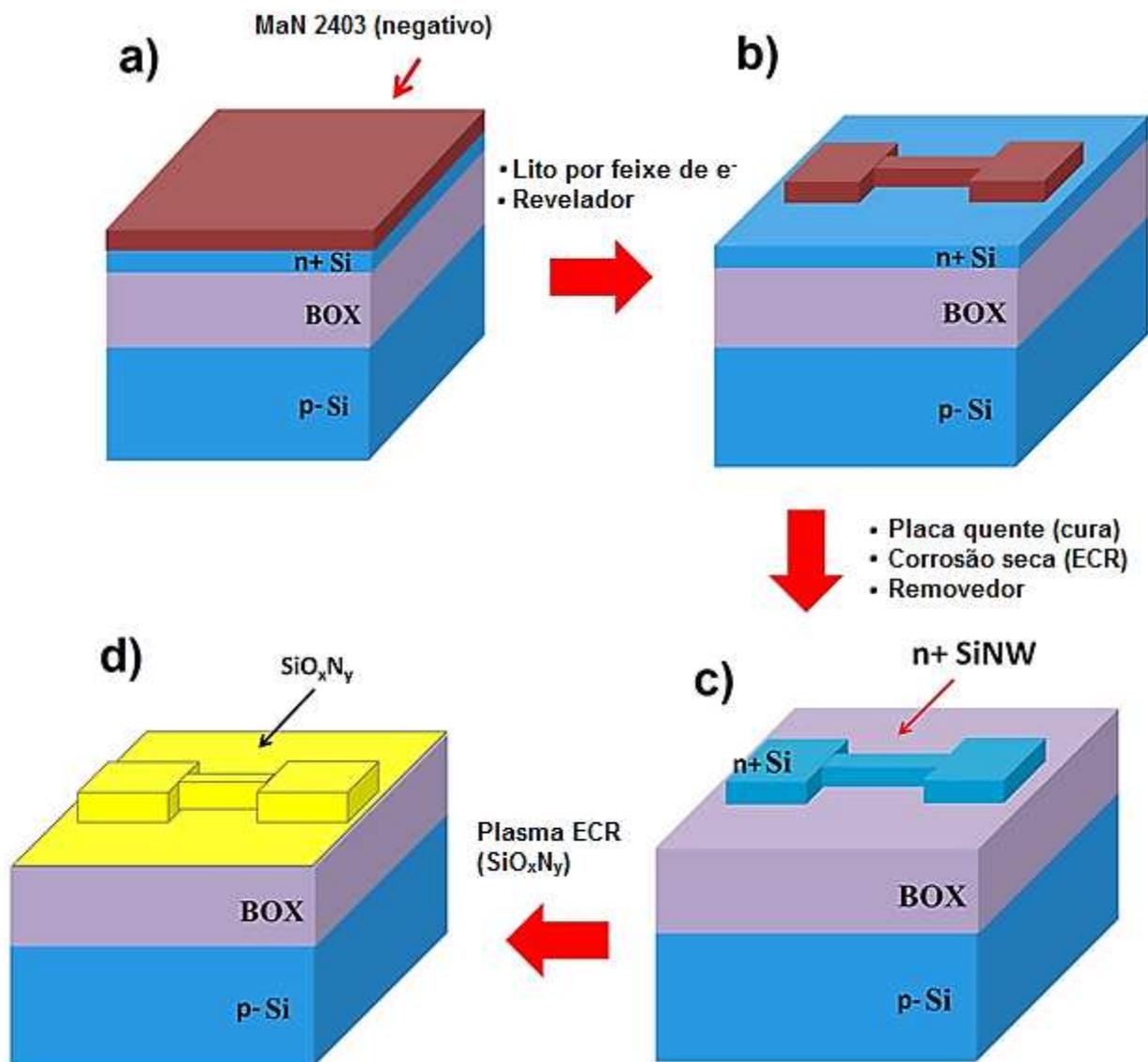


Figura 39. Etapas de fabricação e passivação da região ativa de silício de 15 nm dopado tipo n+. Esquemas de (a) camada de e-resiste negativo Ma-N 2403 anteriormente ao processo de escrita por feixe de elétrons, (b) e-resiste Ma-N sensibilizado resultante do processamento por EBL após processo de revelação, (c) região ativa dos dispositivos JNTs contendo regiões de fonte e dreno, além do n+SiNW e (d) região ativa passivada com filme de 5 nm de SiO_xN_y.

3.4.5.3 Definição de contatos de fonte e dreno

Após a etapa de definição da região ativa de silício e passivação com filme de SiON por plasma ECR, a amostra foi processada novamente por litografia por feixe de elétrons para abertura de regiões

de fonte e dreno dos dispositivos JNTs (Figura 40), expondo o silício sob filme de SiON para, posteriormente, deposição de eletrodos metálicos. A Tabela 14 descreve esta etapa.

Tabela 14 – Etapas para abertura das regiões de fonte e dreno dos dispositivos JNTs.

Etapa #	Processo	Parâmetros
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para incrementar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto
3	Aplicação de e-resiste PMMA AR-P 679.04	<i>Spinner</i> → 1000 rpm, 30 s
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do resiste ao substrato	180°C, 2 minutos
5	Exposição do <i>layout</i> ao feixe de elétrons	Tensão → 20 kV Abertura → 10 μm Dose → 145 μC.cm ⁻² <i>Step size</i> do feixe → 100 nm
6	Revelação em MIBK:IPA (1:3) (<i>Stopper</i> em IPA puro)	2 minutos
7	Cura em estufa para densificação do e-resiste	110°C, 30 minutos
8	<i>Dip</i> em solução BHF para remoção de SiON sobre regiões de fonte e dreno (Taxa de corrosão ~ 100 nm/min para silício)	6 segundos
9	Limpeza orgânica para remoção do e-resiste	Acetona → 90°C, 10 min Isopropanol → 90°C, 10 min
10	Plasma <i>ashing</i> para remoção do e-resiste residual	Potência → 200 W Tempo → 10 min

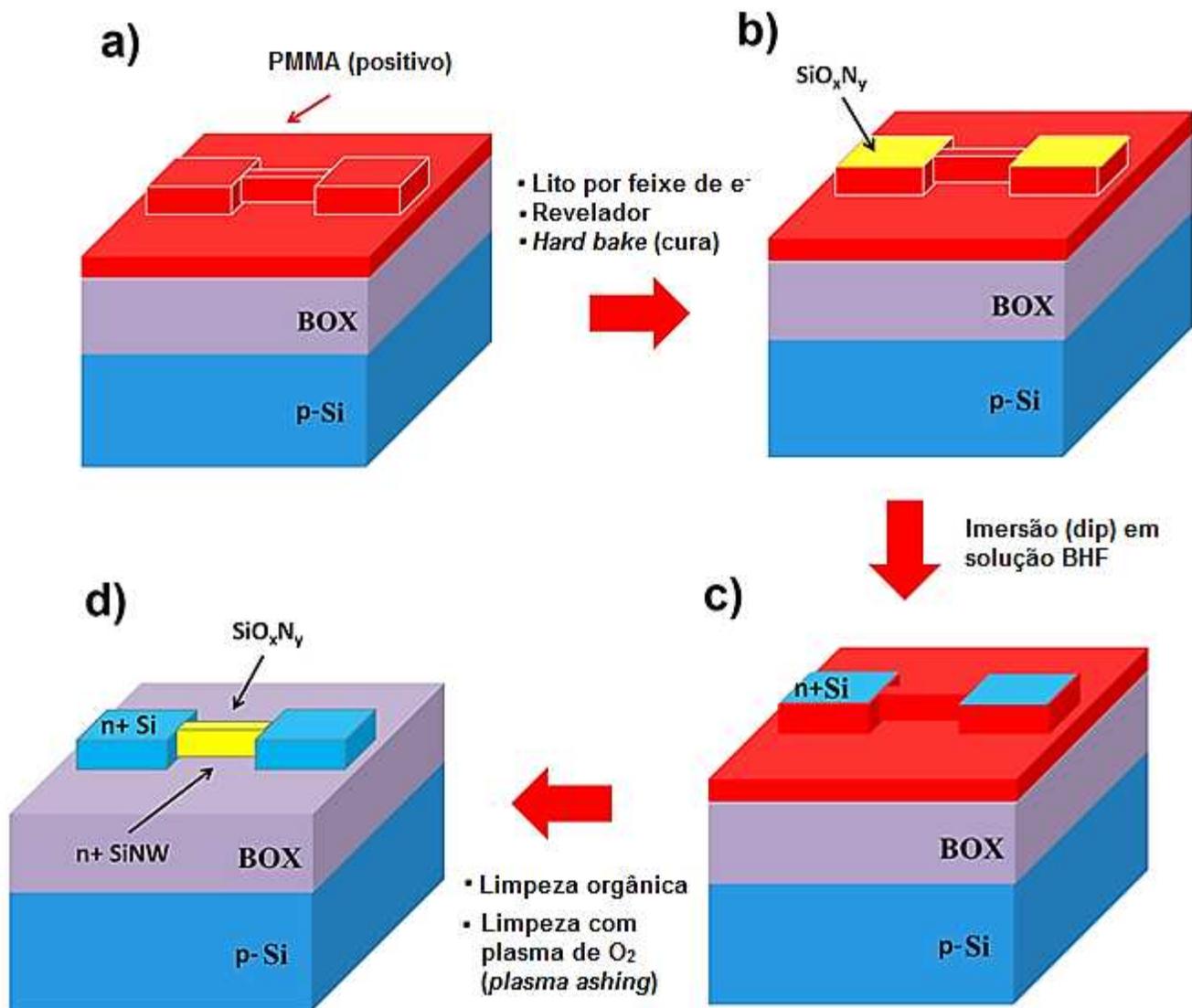


Figura 40. Esquemas apresentando (a) e-resiste positivo PMMA anteriormente ao processamento por EBL, (b) e-resiste das regiões de fonte/dreno contendo SiON abertas após a litografia e processo de revelação, anteriormente à remoção do dielétrico, (c) remoção do dielétrico das regiões de fonte e dreno utilizando solução BHF e (d) n+ SiNW passivado dom SiON e contatos de fonte e dreno de silício tipo n+, obtidos após limpeza orgânica e *plasma ashing* para remoção do PMMA.

3.4.5.4 Definição de contatos metálicos de fonte, dreno e porta

Após a litografia para definição de contatos de fonte e dreno, que consistiu em remover a camada de 5 nm de SiON sobre região ativa de silício, segue a etapa de litografia por feixe de elétrons para definição de contatos de fonte, dreno e porta e processo de *lift-off* de titânio e alumínio para formação de eletrodos metálicos dos dispositivos JNTs (Figura 41). Esses eletrodos são compostos por um filme

bimetálico de aproximadamente 100 nm de alumínio sobre 10 nm de Ti. A Tabela 15 apresenta as etapas.

Tabela 15 – Etapas para definição de regiões metálicas de fonte, dreno e porta dos dispositivos JNTs.

Etapa #	Processo	Parâmetros	
1	Aquecimento da amostra em <i>hot plate</i> para desumidificação do substrato	200 °C, 10 minutos	
2	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>) para incrementar aderência do resiste ao substrato	<i>Spinner</i> → 3000 rpm, 30 s Repouso → 1 minuto	
3	Aplicação de e-resiste PMMA AR-P 679.04	<i>Spinner</i> → 1000 rpm, 30 s	
4	Cura em <i>hot plate</i> para evaporação de solvente e aumento da aderência do resiste ao substrato	180°C, 2 minutos	
5	Exposição do <i>layout</i> ao feixe de elétrons	<u>Microestruturas</u> Tensão → 20 kV Abertura → 10 μm Step size → 16 nm Dose → 150 μC.cm ⁻²	<u>Nanoestruturas</u> Tensão → 20 kV Abertura → 20 μm Step size → 100 nm Dose → 145 μC.cm ⁻²
6	Revelação em MIBK:IPA (1:3) (<i>Stopper</i> em IPA puro)	2 minutos	
7	Cura em estufa para densificação do e-resiste	110°C, 30 minutos	
8	<i>Sputtering</i> com alvo de Ti	Potência DC → 500 W _{DC} Fluxo de argônio → 70 sccm Pressão → 0,1 mTorr Tempo → 15 segundos	
9	<i>Sputtering</i> com alvo Al	Potência DC → 1000 W _{DC} Fluxo de argônio → 60 sccm Pressão → 5 x 10 ⁻⁵ Torr Tempo → 70 segundos	
10	<i>Lift-off</i> do filme metálico	Acetona → 90°C	
11	Sinterização dos contatos metálicos	Ambiente → <i>fomring gas</i> Temperatura → 450°C Tempo → 45 minutos	

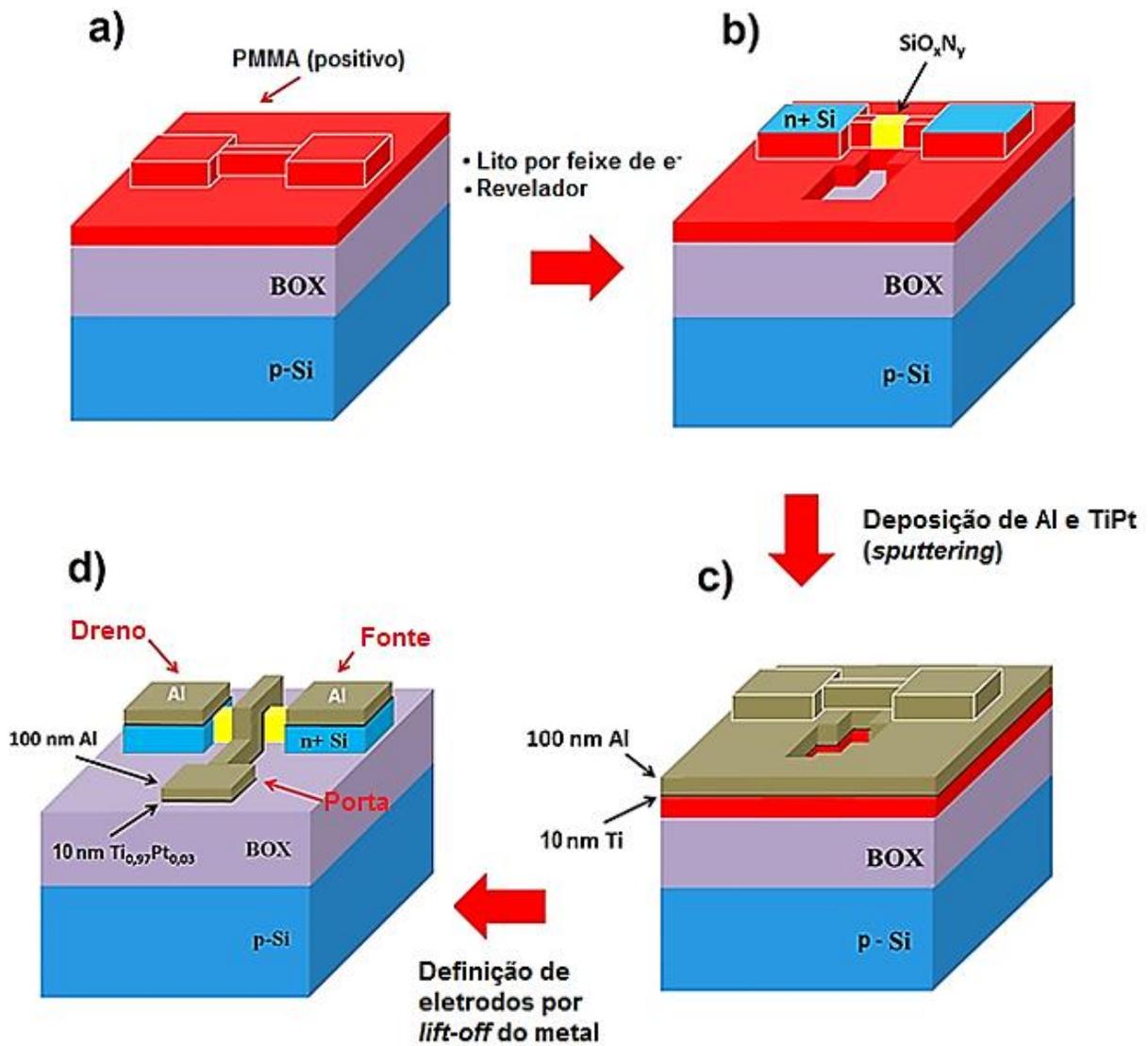


Figura 41. Esquemas apresentando a litografia do nível de abertura de contatos elétricos de fonte, dreno e porta. Em (a) filme de e-resiste PMMA cobrindo a região ativa, (b) regiões de contato abertas após litografia e revelação, (c) processo de deposição de Ti e Al por *sputtering* e (d) dispositivo JNT final com contatos metálicos definidos por *lift-off*.

Capítulo 4

Resultados e Discussões

4.1 Introdução

Os dispositivos JNT fabricados pelo sistema GaFIB foram caracterizados utilizando-se as técnicas de microscopia eletrônica de varredura (MEV - determinação das dimensões dos nanofios), espectroscopia por raios-x dispersivos (EDS – determinação da composição atômica dos dispositivos) e eletrometro (caracterização elétrica dos dispositivos).

O processo de fabricação de dispositivos JNT desenvolvido por EBL foi caracterizado utilizando microscopias óptica e eletrônica de varredura.

4.2 Caracterização dos dispositivos fabricados por GaFIB

4.2.1 Espectroscopia por raios-x dispersivos (EDS)

Medidas de EDS foram tomadas para confirmar a incorporação de gálio na camada de silício da lâmina SOI. A Figura 42 mostra os picos das transições $K\alpha_1$ e $K\alpha_2$ para o Si na região do SiNW e o pico da transição $K\alpha_1$ proveniente do O do BOX, que foram detectados antes e depois do processamento térmico RTA (1000°C, 60 s). O pico de transição $L\alpha$ do Ga apenas esteve presente antes do processamento térmico RTA. Após o RTA, nenhum pico de transição de Ga foi observado. Com esse resultado conclui-se que o Ga difundiu do SiNW para o BOX e a ativação ocorreu, o que reduziu a concentração de Ga no SiNW. Essa concentração pode ser menor que $1 \times 10^{19} \text{ cm}^{-3}$, que é o limite de detecção dessa análise.

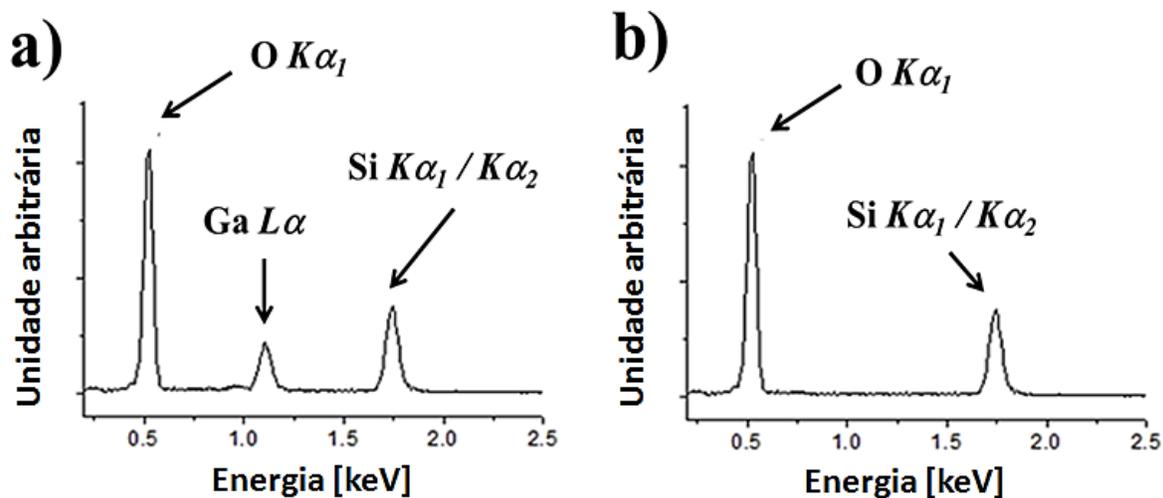


Figura 42. Espectros de EDS (a) antes e (b) após RTA, 1000°C, 60 s, em ambiente de N₂.

4.2.2 Análise MEV dos passos de fabricação do JNT

Análises de microscopia eletrônica de varredura foram feitas para investigar as dimensões e rugosidade do SiNW fabricado pelo sistema GaFIB. A Figura 43(a) mostra a região ativa de silício dopada tipo ‘p’ de espessura 15 nm após litografia óptica (esquema na Figura 27(a) do Capítulo 3). Após processamento por GaFIB o resultado foi o p⁺-SiNW de 35 nm de largura, 6 μm de comprimento e 15 nm de altura (Figura 43(b) e esquema na Figura 27(b), do Capítulo 3). A largura do nanofio é muito próxima da melhor resolução do sistema GaFIB. A rugosidade lateral do p⁺-SiNW, mostrada na Figura 37(b) pode reduzir a mobilidade elétrica do nanofio, embora nenhum efeito substancial pode ser observado nas medidas elétricas dos dispositivos (como descrito na próxima seção). As Figuras 43(c) e 43(d) mostram, respectivamente, a camada de Pt com 250 nm de espessura como eletrodos de fonte e dreno e camada de SiO₂ com 10 nm de espessura como dielétrico de porta para passivação do p⁺-SiNW (esquema na figura 28(a) do Capítulo 3). Esse dispositivo é um pseudo-MOS e suas características elétricas são descritas na próxima seção.

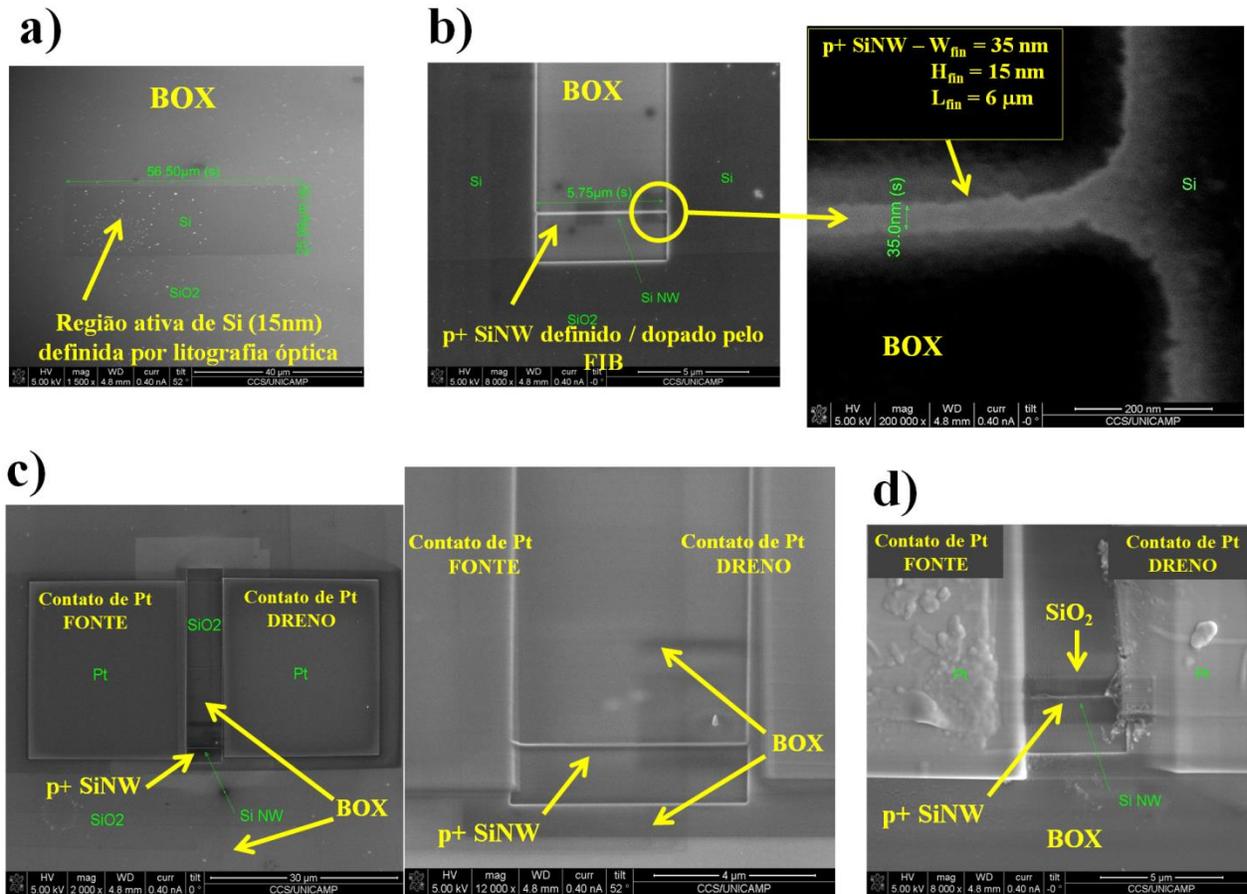


Figura 43. Análise de MEV de (a) região ativa de Si sobre BOX após litografia óptica e RIE; (b) SiNW após processo de *milling* e dopagem local p^+ por GaFIB; (c) SiNW após deposição de eletrodos de Pt por feixe de elétrons e GIS do sistema dual beam (transistor pseudo MOS foi obtido nesta etapa); e (d) SiO₂ de 10 nm de espessura (também depositado por feixe de elétrons e GIS) como dielétrico de porta para o dispositivo JNT.

4.2.3 Caracterização elétrica dos dispositivos pseudo-MOS e JNT

Nas Figuras 22, 27 e 28 são apresentados os esquemas de fabricação do transistor JNT, e na Figura 28(a) é apresentado o dispositivo incompleto após as etapas de deposição de SiO₂ e Pt. Observamos a estrutura de um transistor pseudo-MOS [54,55], onde a porta das costas da lâmina é formada pelo substrato de silício tipo 'p' como eletrodo de porta e dióxido de silício (BOX) de 400 nm como dielétrico de porta. O canal de condução desse dispositivo é o p^+ -SiNW e os eletrodos de Pt são contatos de fonte e dreno. As Figuras 44(a) e 45(a) mostram as diferenças entre os dispositivos pseudo-MOS e JNT, respectivamente, em seção transversal.

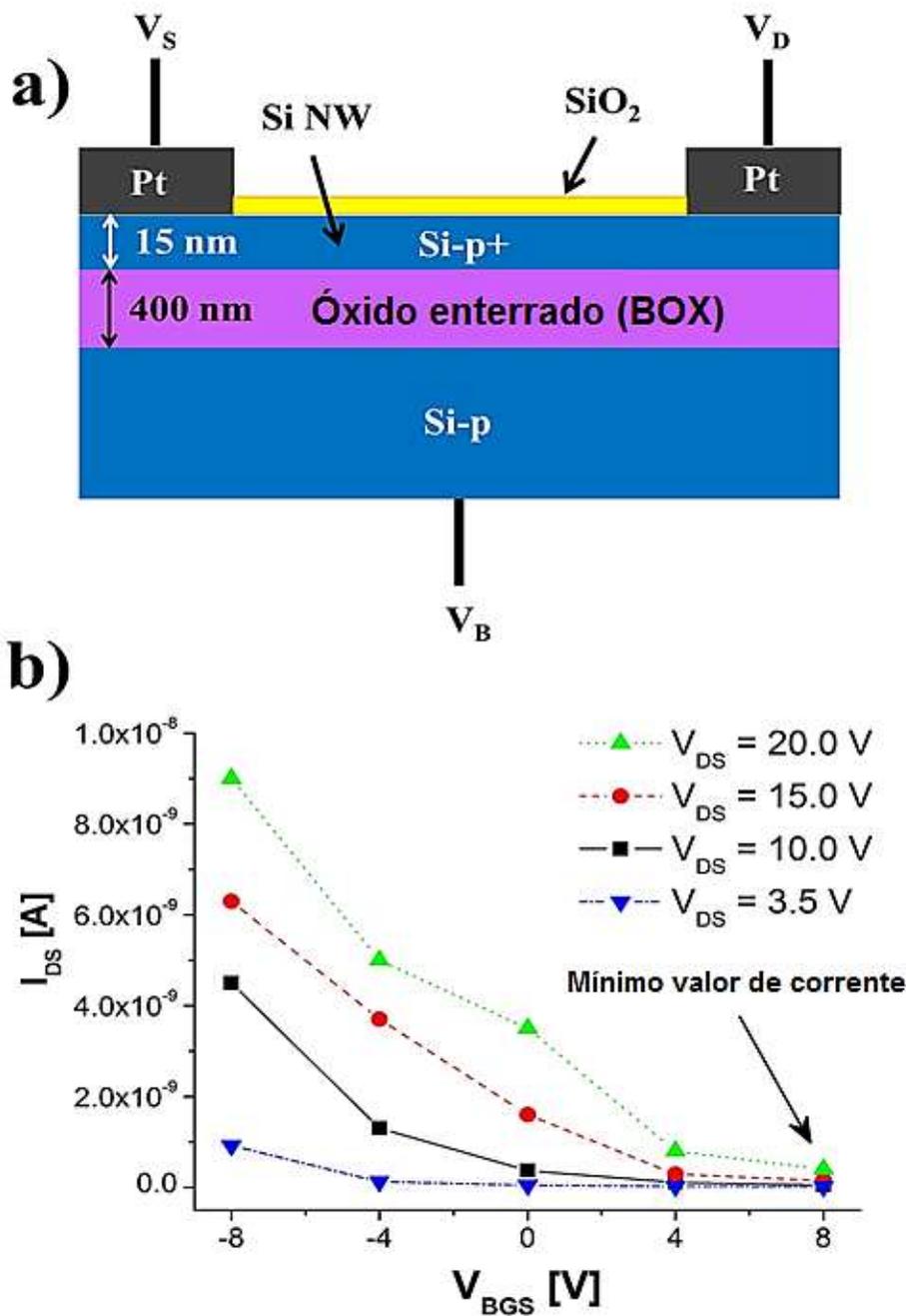


Figura 44. (a) Esquema do dispositivo pseudo-MOS utilizado para investigar o comportamento elétrico dos p⁺-SiNW e (b) curvas I_{DS} versus V_{BGS} do pseudo-MOS em regime de acumulação. A tensão na porta que representa mínimo valor de corrente entre fonte de dreno ($< 0,15$ nA) indica que o nanofio de silício está dopado com átomos de gálio.

As curvas que mostram as características elétricas do pseudo-MOS foram obtidas com o intuito de estudar a condução de corrente elétrica nos p⁺-SiNW. Foi utilizado um eletrômetro de modelo 4200 SCS Keithley. A Figura 44(b) apresenta as curvas de corrente entre dreno e fonte (I_{DS}) versus tensão

entre porta das costas da lâmina (*back-gate*) e fonte (V_{BGS}) para diferentes valores (3,5; 10; 15 e 20 V) de tensão e fonte e dreno (V_{DS}) do pseudo-MOS. Essas curvas são similares aos resultados do pseudo-MOS apresentado em [54] em regime de acumulação para camadas de silício tipo ‘p’ – sobre BOX – com níveis de dopagem acima de $5 \times 10^{15} \text{ cm}^{-3}$, o que resulta em um mínimo valor de I_{DS} (abaixo de 0,15 nA) para V_{BGS} em torno de 8 V. Esses resultados indicam que o método de fabricação é viável para a fabricação de dispositivos do tipo JNT [16].

A Figura 45(b) apresenta curvas I_{DS} versus V_{DS} para o dispositivo JNT, que foi obtido para tensões entre porta e fonte (V_{GS}) entre -0,45 V e -4,5, com passo de -1 V. A partir dessas curvas, observa-se que a corrente elétrica, I_{DS} , no p^+ -SiNW é controlada pela tensão de porta, V_{GS} , como um resistor controlado pela porta, ou um transistor sem junção baseado em nanofio (JNT) [27, 61], com região de saturação para $V_{DS} < -6$ V. Esses resultados indicam que o método de fabricação de dispositivos JNT utilizando o sistema GaFIB para definição – através do processo de *milling* – e dopagem local pode ser utilizado para fabricar protótipos de dispositivos baseados em SiNW. Entretanto, foi observada alta resistência elétrica ($\sim 200 \text{ M}\Omega$) através do p^+ -SiNW e/ou de contato no conjunto p^+ -Si/Pt/Al, que resultaram em distorções elétricas, tais como comportamento não ôhmico na região $-1 \text{ V} < V_{DS} < 0$. Essas distorções podem ser evitadas ao se reduzir a resistência elétrica de contato do dispositivo abaixo de $100 \text{ }\Omega$ [27, 61], o que representa 6 ordens de grandeza menor. Isso pode ser obtido incrementando a dopagem do SiNW e/ou aumentando o tempo de sinterização para contatos elétricos³.

³ Em fase de implementação para a próxima geração de transistores JNTs fabricados por FIB com dopagem local de gálio.

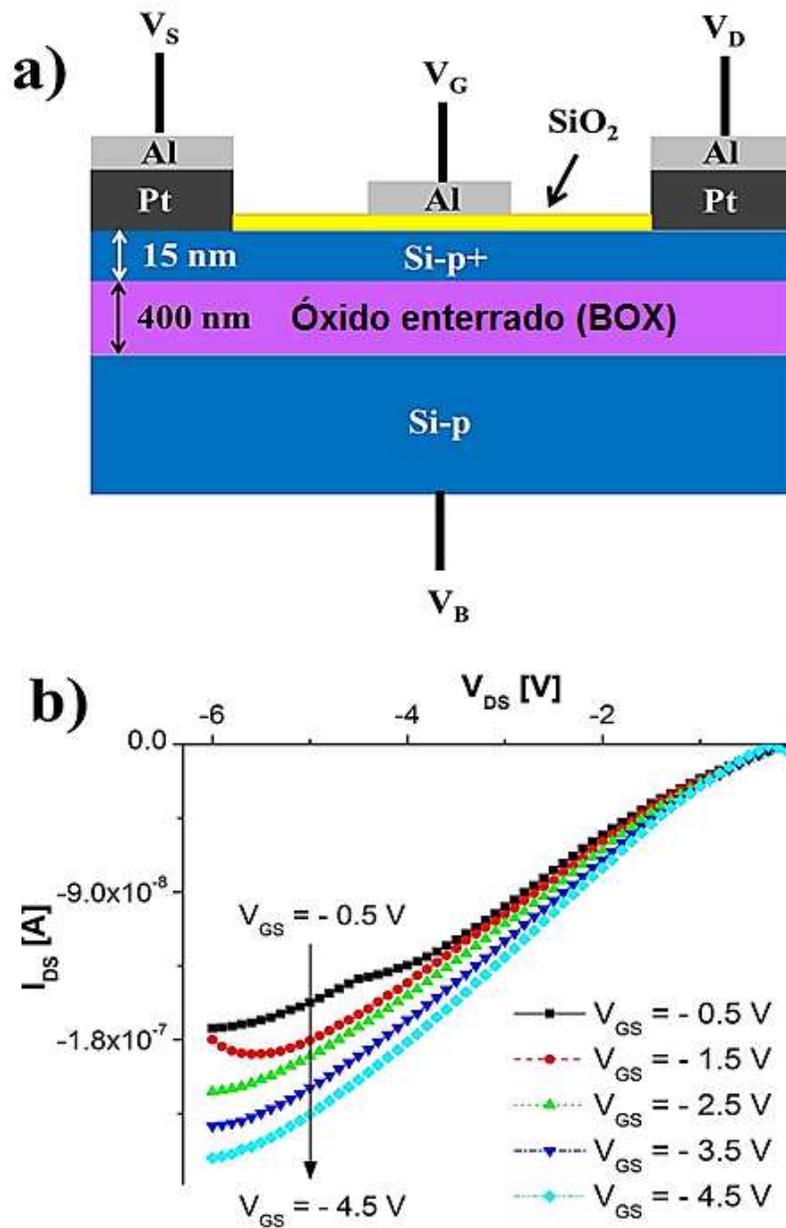


Figura 45. (a) Esquema do dispositivo JNT após o processo completo de fabricação e (b) medidas I_{DS} versus V_{DS} (para tensão no bulk, $V_B = 0$), após 20 minutos de sinterização de contatos elétricos.

4.3 Processo de fabricação de dispositivos JNT por EBL

4.3.1 Marcas de alinhamento por contraste de material utilizando alumínio

Marcas de alinhamento por contraste de material com alumínio foram processadas utilizando e-resiste PMMA AR-P 679.04. Camada de 110 nm de alumínio foi depositada por *sputtering* e as cruces

definidas por *lift-off* (Figura 46(a)). As imagens de microscopia óptica (Figura 46(b)) e microscopia eletrônica de varredura (Figura 46(c)) mostram que todas as estruturas da marca de alinhamento foram definidas. Contudo, como o substrato (silício) e as cruces (alumínio) possuem números atômicos 14 e 13, respectivamente – o que gera brilho muito similar visto ao detector de elétrons retroespalhados do sistema Raith E-Line – o realinhamento dos níveis de litografia posteriores foi prejudicado pelo baixo contraste. Isso motivou testes de marcas por topografia e a substituição do material utilizado para as marcas por contraste de material, como descrito nas próximas etapas.

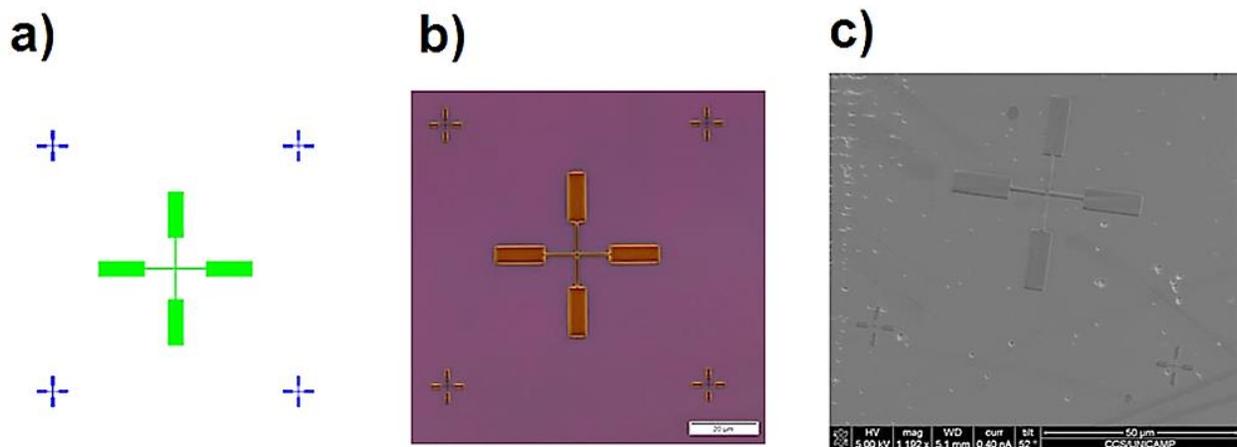


Figura 46. Marcas de alinhamento por contraste de material utilizando alumínio em substrato SOI. Em (a) o *layout* de uma das marcas e em (b) é apresentada microscopia óptica de marca de alumínio definida por *lift-off* após processo de *sputtering*. A cruz central possui menor dimensão de 1 μm e as cruces laterais de 200 nm. Em (c) é apresentada microscopia eletrônica de varredura dessas marcas, destacando o baixo contraste devido à similaridade dos números atômicos do alumínio ($Z = 13$) e silício ($Z = 14$).

4.3.2 1ª geração de dispositivos

4.3.2.1 Marcas de alinhamento por contraste de topografia

Marcas de alinhamento por contraste de topografia foram processadas utilizando e-resiste PMMA e as marcas da Figura 47(a). Após o processo de revelação, as cruces são definidas (Figura 47(b)). Plasma RIE foi utilizado para corrosão da camada de 15 nm de silício sobre BOX (12 sccm de SF_6 , 35 sccm de Ar, 50 mTorr, 500 W, 2min), como apresentado na Figura 47(c), onde o BOX (com

espessura original de 400 nm) está com aproximadamente 350 nm após ser parcialmente consumido pelo plasma RIE. Com a região ativa n^+ (incluindo as cruzes de alinhamento) ainda protegida pelo PMMA, e o SiO_2 do BOX da lâmina SOI exposto, imergimos a amostra em solução BHF durante 4 minutos para afundamento do dióxido de silício (Figura 47(d)). Nesta figura observamos o BOX praticamente consumido, com aproximadamente 40 nm, e as cruzes protegidas pelo PMMA. Após limpeza orgânica observamos as cruzes de alinhamento de silício sobre BOX definidas e um poço de aproximadamente 400 nm de profundidade e volume de $3,6 \times 10^{-8} \text{ cm}^3$ aberta na região do BOX (Figuras 47(e) e 48(a)). A Figura 47(f) apresenta a região ativa n^+ -Si contendo as estruturas de alinhamento contornando a região ativa. Os detalhes das paredes laterais das marcas de silício após a corrosão úmida são apresentados na Figura 48(b).

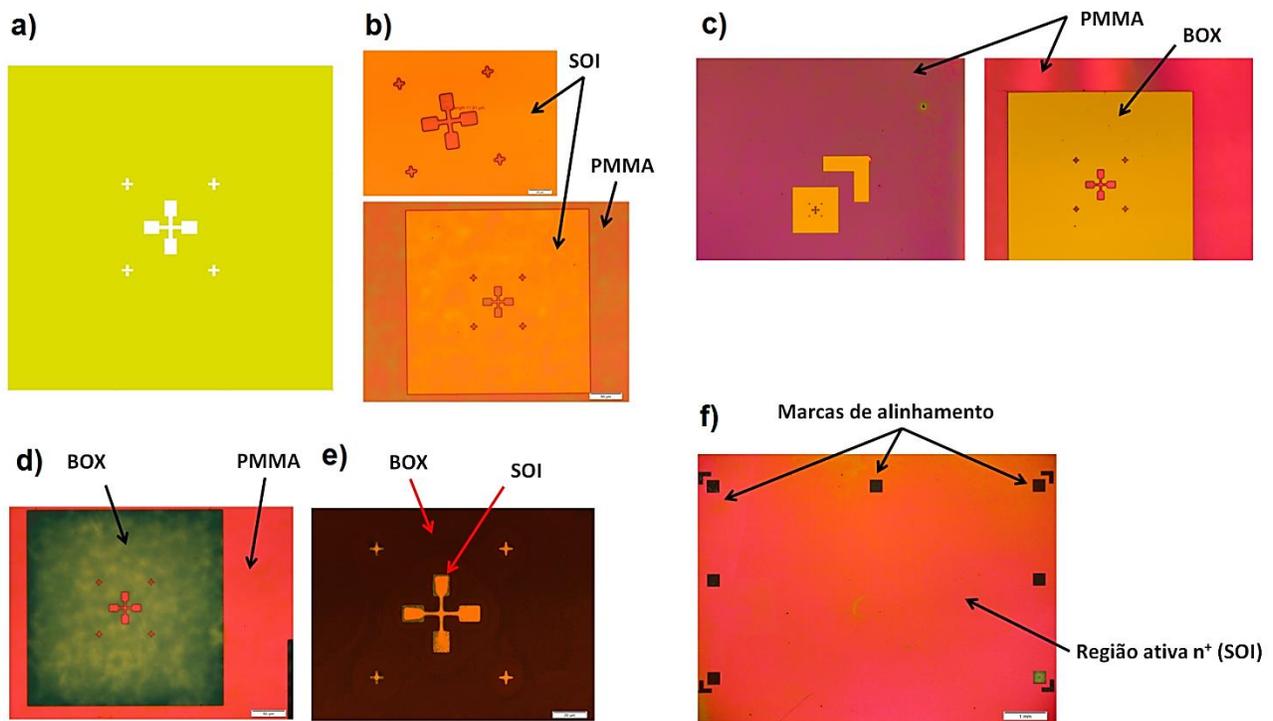


Figura 47. (a) Esquema das marcas de alinhamento por contraste de topografia. Microscopia óptica de (b) marcas definidas por EBL após revelação. Em (c) a amostra é submetida a plasma RIE para remoção do silício (SOI) de 15 nm sobre BOX. Nesta imagem de microscopia óptica o dióxido de silício remanescente está com aproximadamente 350 nm (a superfície superior das marcas é protegida por resiste). (d) A amostra é imersa em solução BHF para remoção do BOX, restando aproximadamente 40 nm. Em (e) as cruzes de alinhamento de n^+ -Si sobre 400 nm de BOX são envolvidas por um poço na região do BOX. Em (f) as 7 marcas de alinhamento envolvendo a região ativa n^+ -Si anteriormente ao processamento dos JNTs (a cota corresponde a 1 mm).

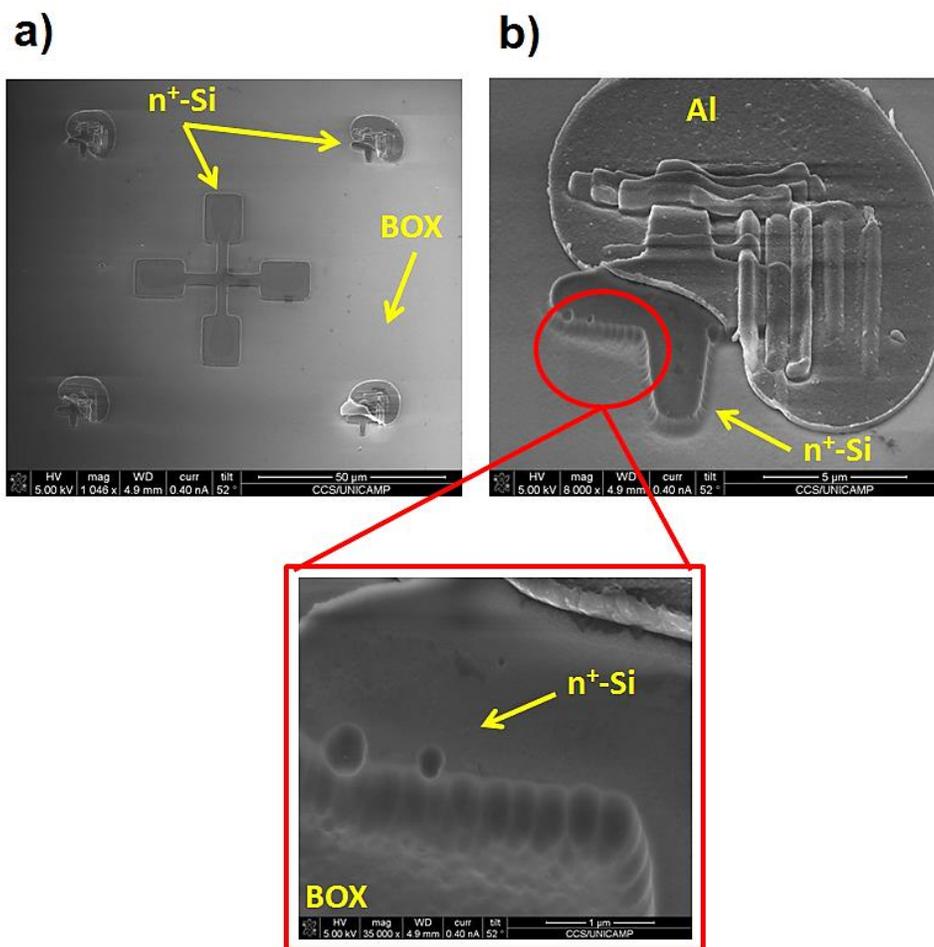


Figura 48. Microscopia eletrônica de varredura de marcas de alinhamento por contraste de topografia de silício definidas sobre BOX por litografia por feixe de elétrons e corrosão úmida em solução BHF. Em (a) marca central com quatro marcas laterais e (b) detalhe da corrosão úmida nas paredes da cruz de menor dimensão. Detalhe do filme do canto superior direito sobre as cruzes menores: o processo de realinhamento dos níveis de litografia foi realizado pela varredura do feixe de elétrons na região especificada para determinação do centro das cruzes e alinhamento com as respectivas cruzes do *layout*, o que expôs a área ao alumínio (deposição por *sputtering*) do nível de contatos metálicos de fonte, dreno e porta.

4.3.2.2 Definição da região ativa de silício e deposição de dielétrico de porta

O nível de litografia para definição da região ativa dos dispositivos JNT de n^+ -Si para um e múltiplos (20) nanofios, é mostrado, respectivamente, nas Figuras 49(a) e 49(b).

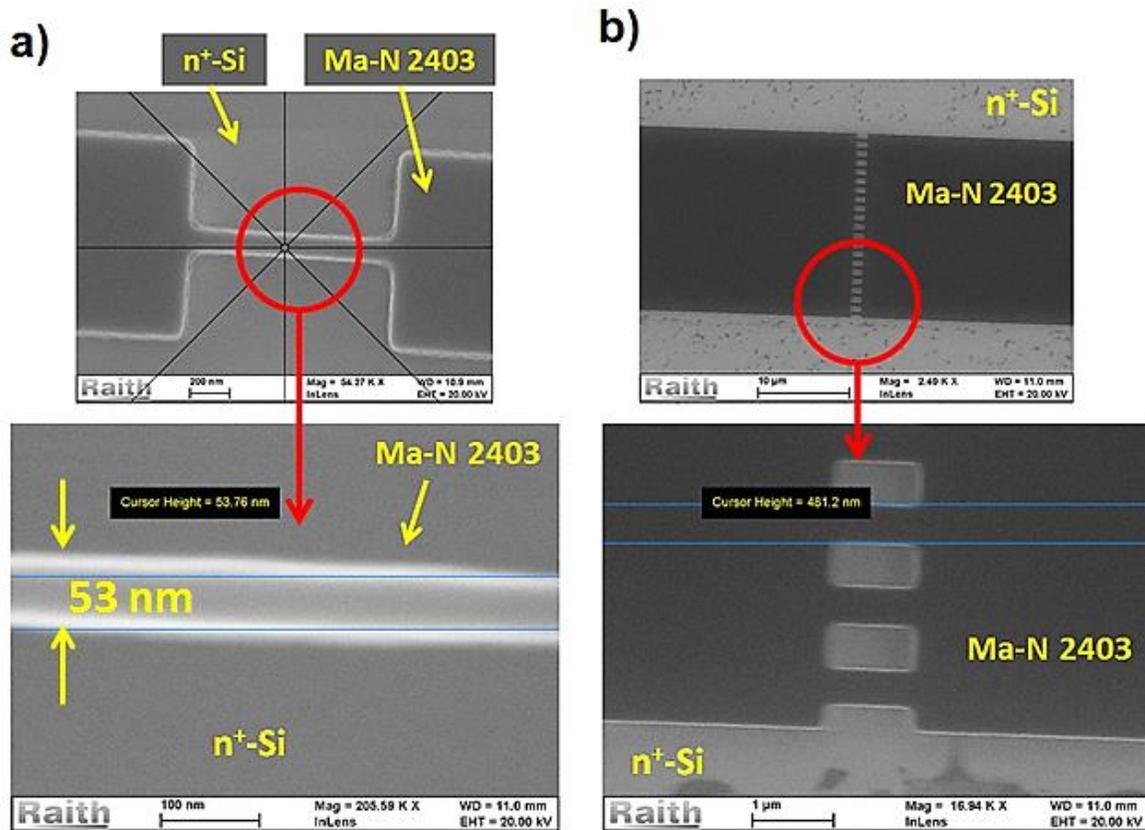


Figura 49. Processamento dos dispositivos JNT após litografia do nível de definição da região ativa de n⁺-Si dos JNTs, após processo de revelação. Microscopia eletrônica de varredura apresenta e-resiste Ma-N 2403 sobre substrato SOI previamente ao processo de corrosão por ECR para definição para definição da região ativa de n⁺-Si com (a) um nanofio e (b) múltiplos (20) nanofios. A dimensão vertical (largura) do nanofio em e-resiste é 50 nm na figura (a) e 500 nm na figura (b).

Na Figura 50(a) é apresentado em detalhe o nível de litografia de um dispositivo, definido por e-resiste negativo Ma-N 2403. Nota-se efeito de *stitching* do feixe de elétrons (linha escura horizontal), que representa a linha divisória entre dois campos de escrita (*Write Fields*, WF) do feixe de elétrons (a imprecisão, em geral de dezenas de nanômetros, do posicionamento do porta-amostra entre WF adjacentes gera esse efeito). Outra causa desse efeito deve-se ao efeito de carregamento do substrato – gerando efeito de *drift* do feixe de elétrons. O efeito de *stitching* seria eliminado se os dispositivos fossem inseridos dentro de um único WF (o que foi corrigido na segunda rodada de processamentos, aumentando o WF de 100 μm para 1 mm). Na Figura 50(b) são apresentados os dispositivos de 15 nm de espessura em n⁺-Si definidos após corrosão por plasma ECR e limpeza orgânica para remoção do e-resiste. Notamos que a aderência do e-resiste Ma-N 2403 é suficientemente grande de maneira que a

limpeza orgânica não foi suficiente para sua remoção completa. Para isso, processo de limpeza por plasma ashing (como descrito no Capítulo 3) foi realizada e a região ativa dos JNTs de n^+ -Si é definida sobre BOX (Figura 50(c)).

Após o processo de limpeza completa e em seguida a oxinitretação de camada de 5 nm de SiO_xN_y por plasma ECR do substrato notamos que a região ativa n^+ -Si não era mais visível (Figura 50(d)). Inferimos que o processo de limpeza completa nesta etapa de fabricação pode danificar ou remover a camada de silício de 15 nm, portanto na segunda rodada de fabricação dos JNTs apenas limpeza orgânica e plasma *ashing* são utilizados para remover o e-resiste Man-N 2403 remanescente da litografia do nível 1.

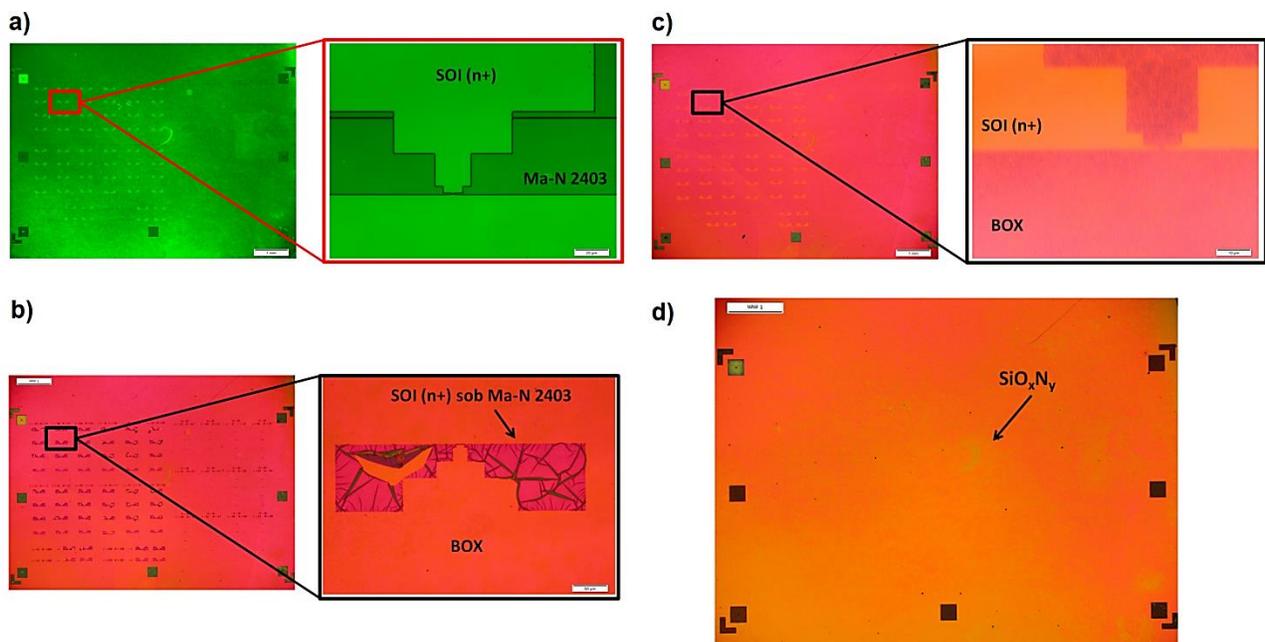


Figura 50. Microscopias ópticas de (a) amostra SOI com camada de 15 nm de n^+ -Si após litografia por feixe de elétrons e revelação do nível de definição da região ativa (estruturas em e-resiste Ma-N 2403); (b) região ativa de silício de 15 nm sobre BOX definida após processo de corrosão por plasma ECR (e-resiste remanescente sobre mesas de n^+ -Si); (c) região ativa de n^+ -Si com 15 nm sobre BOX e (d) região ativa de n^+ -Si com filme de 5 nm de SiO_xN_y após o processo de oxinitretação por plasma ECR.

4.3.2.3 Definição de contatos de fonte e dreno

Esta etapa representa a litografia para definição de contatos elétricos de fonte e dreno dos dispositivos JNT. Esse processo de litografia consistiu em expor as regiões de fonte e dreno desses dispositi-

vos (Figura 51(a)) e remover a camada dielétrica de 5 nm de SiON utilizando solução BHF, resultando em n⁺-Si exposto (Figura 51(b)) e permitindo o contato metálico posteriormente (Figura 51(c)).

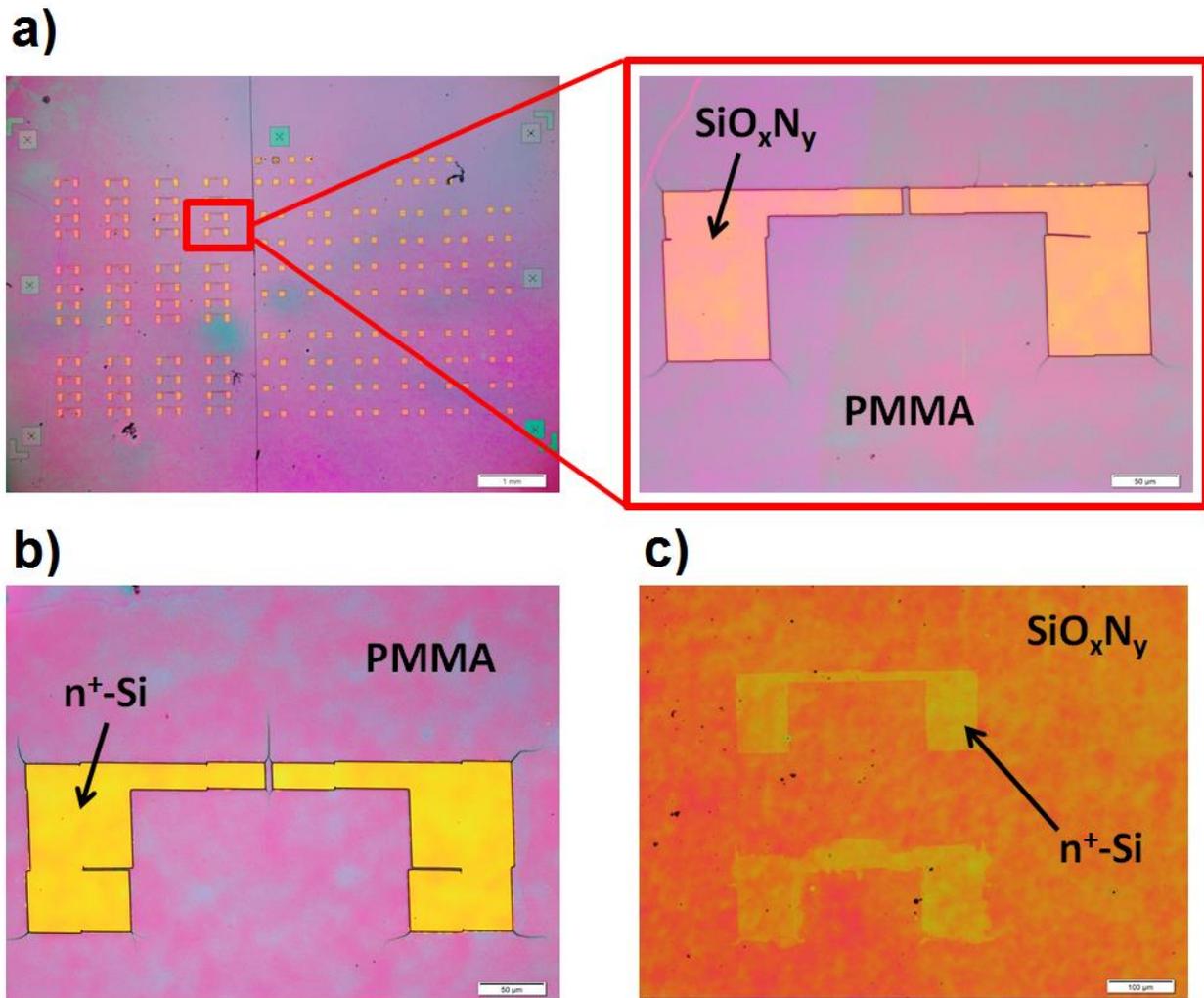


Figura 51. (a) Etapa de abertura de contatos de fonte e dreno em dispositivos JNT; (b) região ativa n⁺-Si exposta após remoção do dielétrico SiON na regiões de fonte e dreno e (c) substrato após a etapa de limpeza orgânica para remoção do PMMA.

4.3.2.4 Definição de contatos metálicos de fonte, dreno e porta

A etapa de definição dos contatos elétricos consistiu em litografia por feixe de elétrons em PMMA expondo as regiões de fonte e dreno (sobre n⁺-Si) e porta (sobre SiON em BOX) para deposição de metal e, posteriormente, processo de *lift-off* (Figura 52(a)). Imagens dos dispositivos JNT finais

desta primeira rodada, tomadas por microscopia eletrônica de varredura (Figura 52(b)) confirmam a ausência de região ativa de silício (n^+ -Si), removidas pelo processo de limpeza completa (etapa anterior à oxinitretação do n^+ -Si), como previsto anteriormente. O efeito de *stitching*, já mencionado, afetou esta etapa de litografia, como pode ser visto na Figura 52(c).

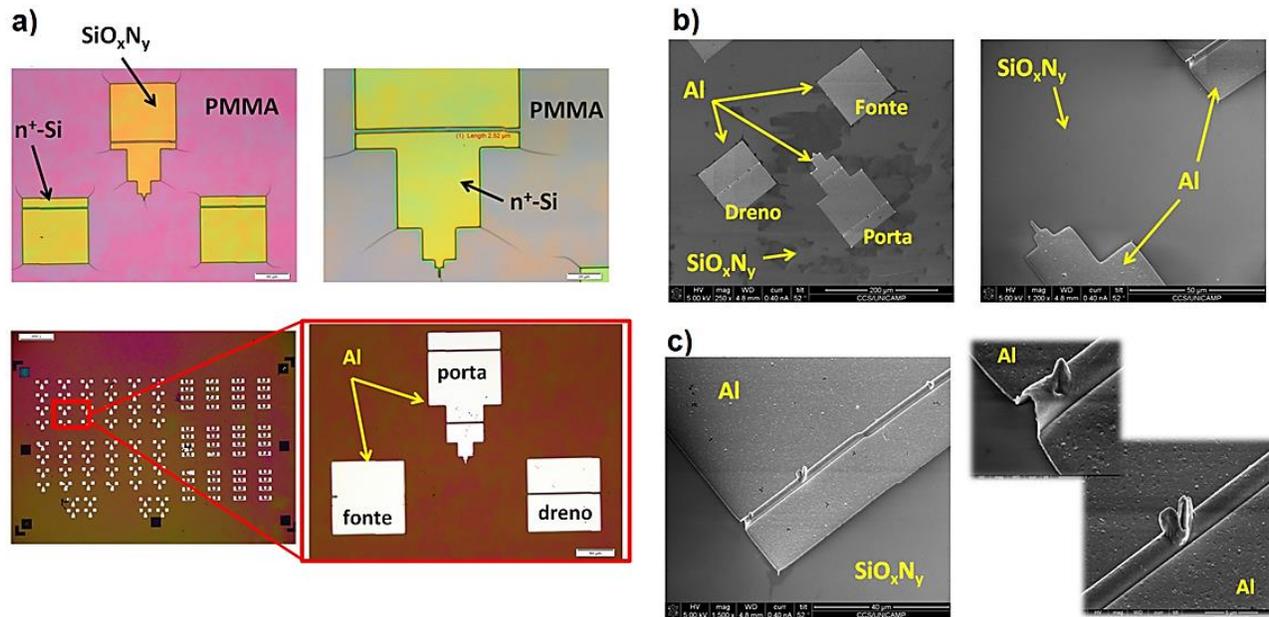


Figura 52. (a) Microscopia óptica apresentando a etapa de abertura de contatos de fonte, dreno e porta para deposição de eletrodos metálicos em dispositivos JNT (efeito de *stitching* está presente nesta etapa de litografia); microscopia eletrônica de varredura de (b) um transistor JNT completo, porém se região ativa n^+ -Si (camada removida durante a etapa de limpeza completa anteriormente ao processo de oxinitretação da região ativa) e (c) de um *pad* de JNT destacando, à direita, o efeito de *stitching* da litografia, transferido para o processo de definição dos contatos metálicos por meio de *lift-off*.

4.3.3 2ª geração de dispositivos

4.3.3.1 Marcas de alinhamento por contraste de material utilizando níquel

Marcas de alinhamento por contraste de material com níquel foram processadas utilizando e-resiste PMMA AR-P 679.04 e o *layout* apresentado nas Figuras 37 e 38. As Figuras 53(a) e 53(b) mostram as cruzes de escala micrométrica e nanométrica, respectivamente, após processos de litografia e

revelação (a região das marcas é aberta previamente ao processo de deposição de níquel). Em seguida, camada de 75 nm de níquel foi depositada por *sputtering* e as cruzes definidas por *lift-off* (Figura 54).

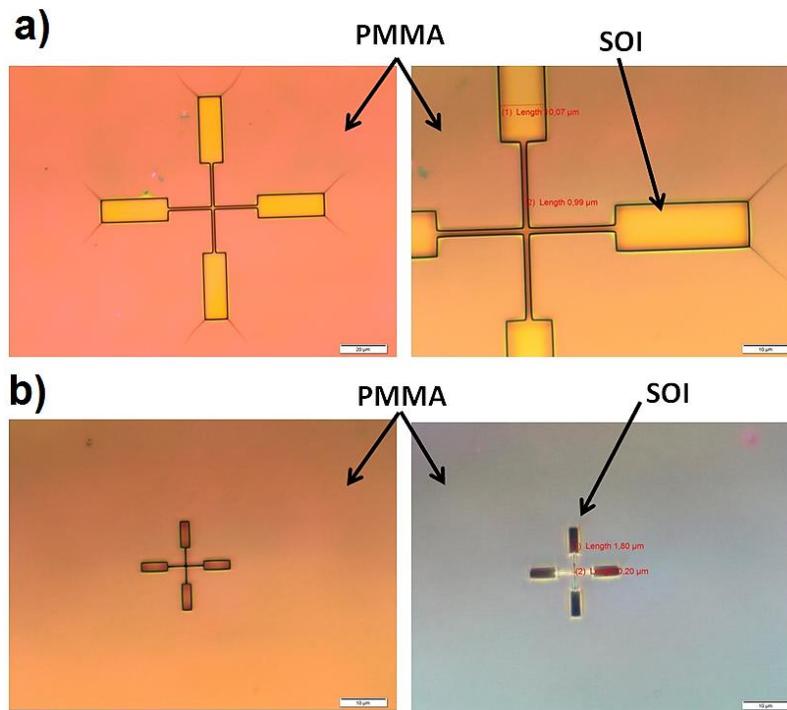


Figura 53. Marcas de alinhamento de (a) escala micrométrica e (b) escala nanométrica, em PMMA sobre SOI após processo de revelação.

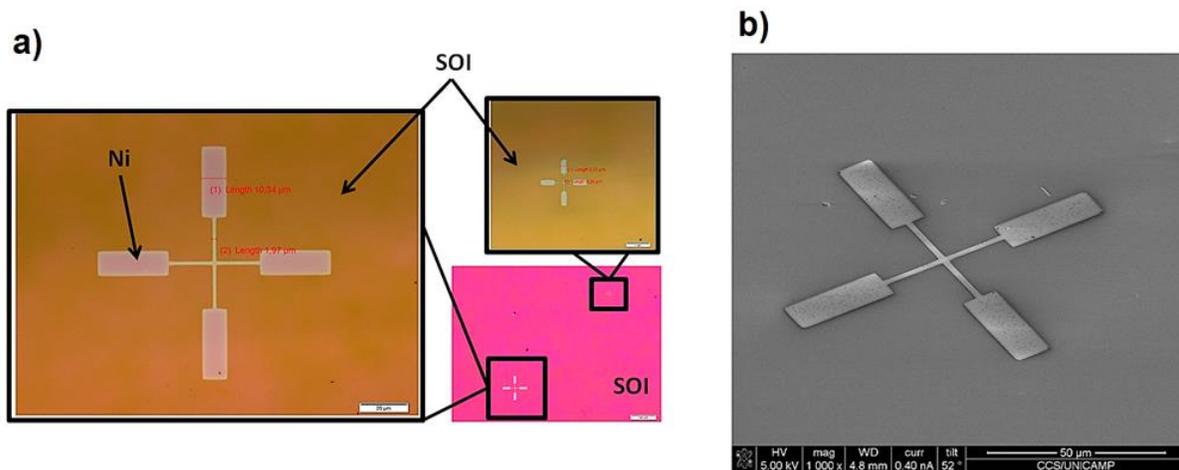


Figura 54. Em (a) e (b) imagens de microscopia óptica e eletrônica de varredura, respectivamente, de marcas de alinhamento de 75 nm de níquel sobre substrato SOI após processo de deposição pela técnica de *sputtering* e definição por *lift-off*.

4.3.3.2 Definição da região ativa de silício e deposição de dielétrico de porta

O processo de definição da região ativa n^+ -Si dos dispositivos JNT e oxinitretação por plasma ECR é reproduzir nesta segunda rodada de fabricação utilizando litografia por feixe de elétrons. Nesta rodada o WF utilizado para o processamento dos dispositivos foi de 1 μm , o que eliminou efeito de *stitching* do feixe de elétrons, não comprometendo a resolução para fabricação dos nanofios. Na Figura 55(a) é apresentada microscopia óptica do nível de litografia após revelação do e-resiste Ma-N 2403. Nas Figuras 55(b) e 55(c) são apresentadas microscopias ópticas, respectivamente, da região ativa n^+ -Si com 15 nm de espessura após processo de corrosão por plasma ECR (no detalhe os nanofios, n^+ -SiNW) e região ativa de passivada com 5 nm de SiO_xN_y após processo de oxinitretação, também por plasma ECR.

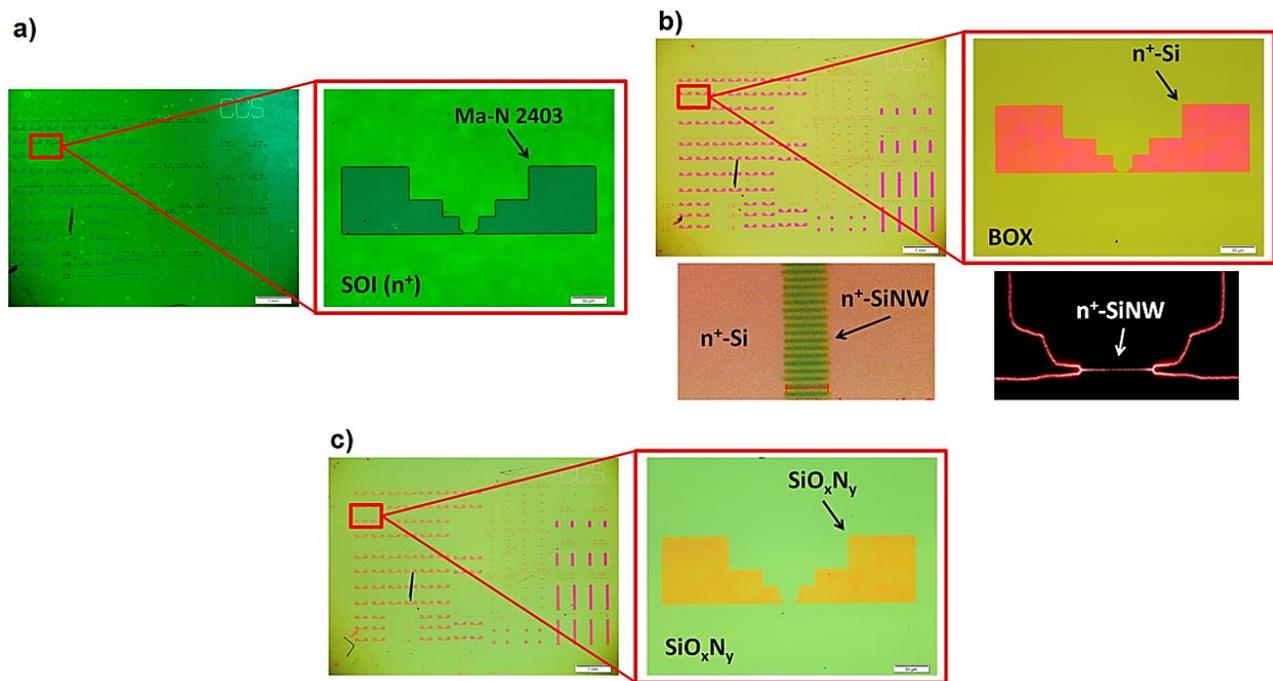


Figura 55. Microscopias ópticas de (a) amostra SOI com camada de 15 nm de n^+ -Si após litografia por feixe de elétrons e revelação do nível de definição da região ativa (estruturas em e-resiste Ma-N 2403); (b) região ativa de n^+ -Si com 15 nm de espessura sobre BOX definida após processo de corrosão por plasma ECR (no detalhe, n^+ -SiNW para múltiplos nanofios e apenas um nanofios) e (c) região ativa de n^+ -Si com filme de 5 nm de SiO_xN_y após o processo de oxinitretação por plasma ECR.

4.3.3.3 Definição contatos de fonte e dreno

A litografia para definição de contatos elétricos de fonte e dreno dos dispositivos JNT utilizando e-resiste PMMA (Figura 56(a)) foi realizada nesta etapa para remover a camada dielétrica de 5 nm de SiON utilizando solução BHF, resultando em n^+ -Si exposto (Figura 56(b)) e permitindo, posteriormente, o contato metálico para finalizar os dispositivos (Figura 56(c)).

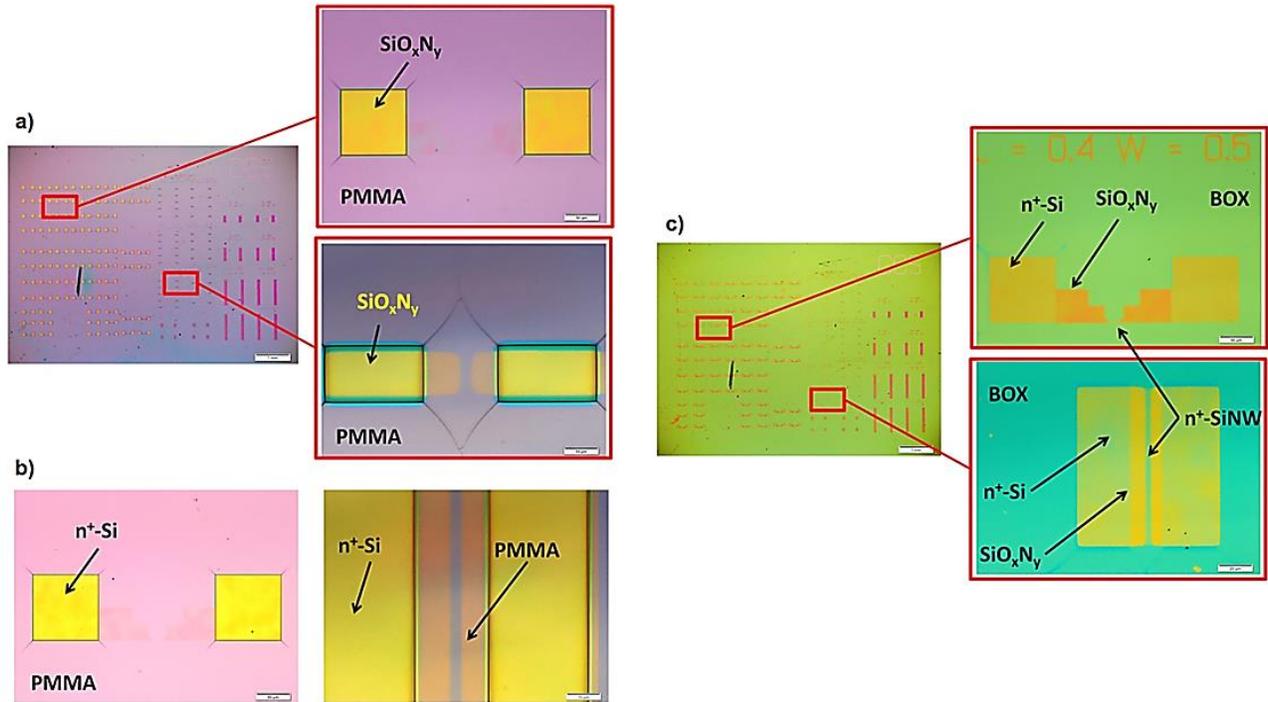


Figura 56. Microscopia óptica apresentando as etapas de abertura de contatos de fonte e dreno em dispositivos JNT. Em (a) regiões de fonte e dreno expostas após litografia por feixe de elétrons e revelação; (b) região ativa n^+ -Si exposta após remoção do dielétrico SiON nas regiões de fonte e dreno e (c) dispositivos JNT de um e múltiplos nanofios após a etapa de limpeza orgânica para remoção do PMMA.

4.3.3.4 Definição contatos metálicos de fonte, dreno e porta

Litografia por feixe de elétrons utilizando PMMA foi realizada para expor as regiões de fonte e dreno (sobre n^+ -Si) e porta (sobre SiON em BOX) (Figura 57(a)). Em seguida, deposição de metal e, posteriormente, processo de *lift-off* foram executados para definir eletrodos de fonte, dreno e porta (Figura 57(b)). A amostra foi submetida a recozimento em ambiente de *forming gas*, a 450°C, durante 60

minutos para reduzir a resistência de contato do metal com o silício tipo n^+ das regiões de fonte e dreno.

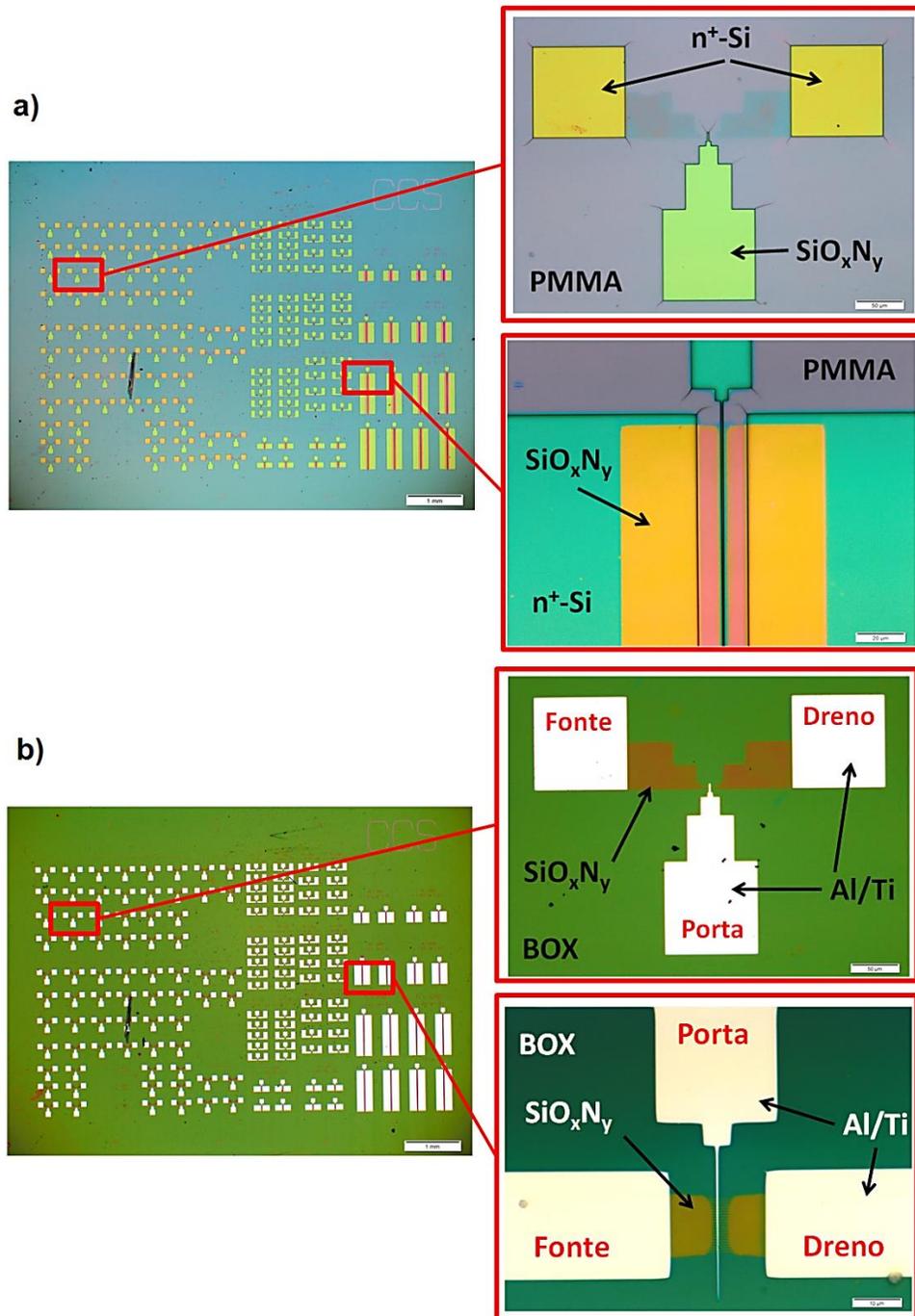


Figura 57. Microscopia óptica de (a) etapa de abertura de contatos de fonte, dreno e porta para deposição de eletrodos metálicos em dispositivos JNT, utilizando litografia por feixe de elétrons e (b) transistores JNT completos após etapas de deposição de metal e definição de contatos por *lift-off*.

Imagens dos dispositivos JNT finais desta segunda rodada, tomadas por microscopia eletrônica de varredura são apresentadas nas Figuras 58, 59 e 60, respectivamente, para um nanofio, 20 nanofios e 1280 nanofios.

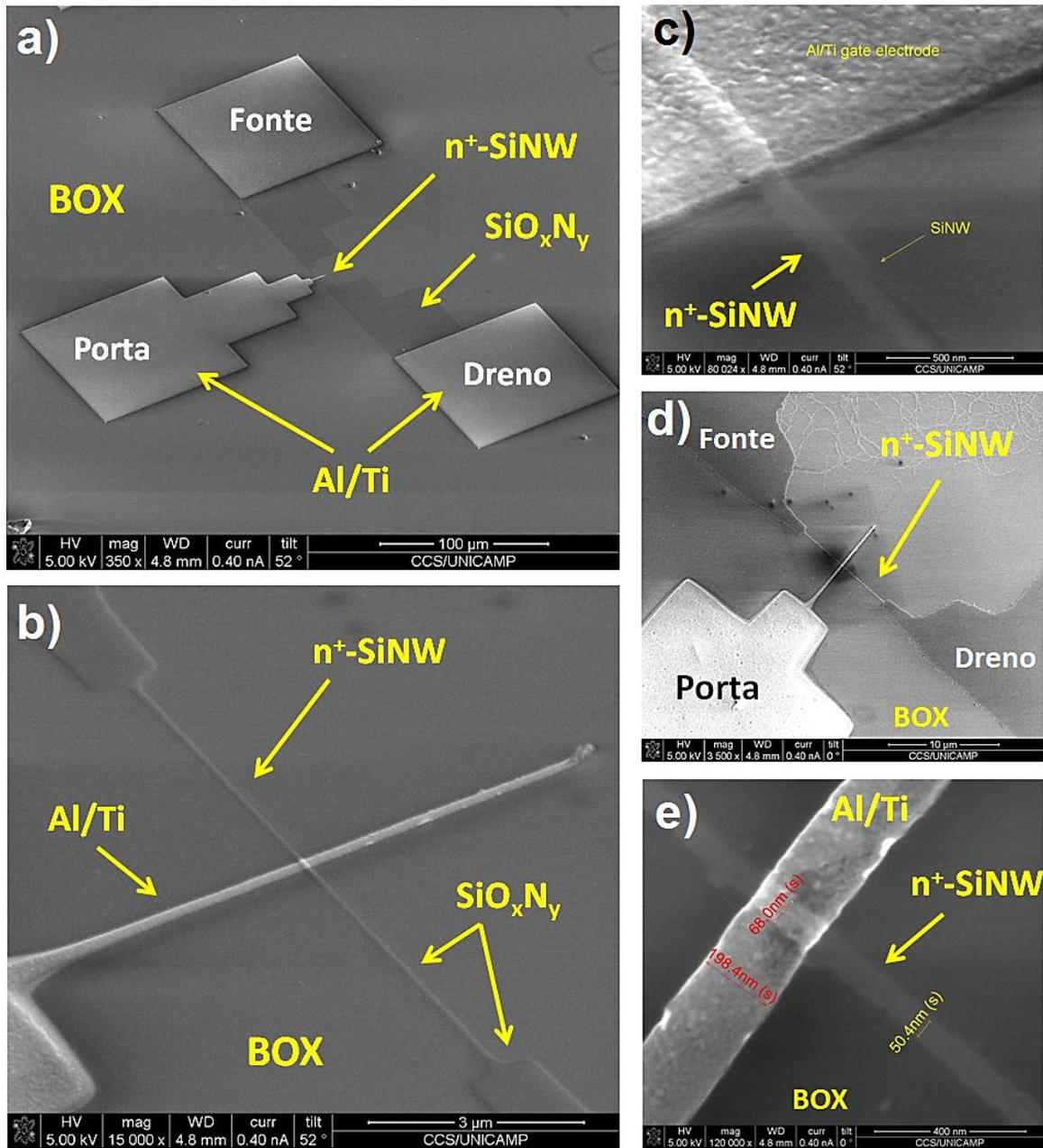


Figura 58. Microscopia eletrônica de varredura de um JNT completo com um nanofio. Em (a) visão macroscópica do dispositivo; (b), (c) e (d) nanofio (canal de condução) do JNT com eletrodos de Al/Ti e (e) nanofio com largura $W_{fin} = 50$ nm e porta com comprimento $L = 200$ nm.

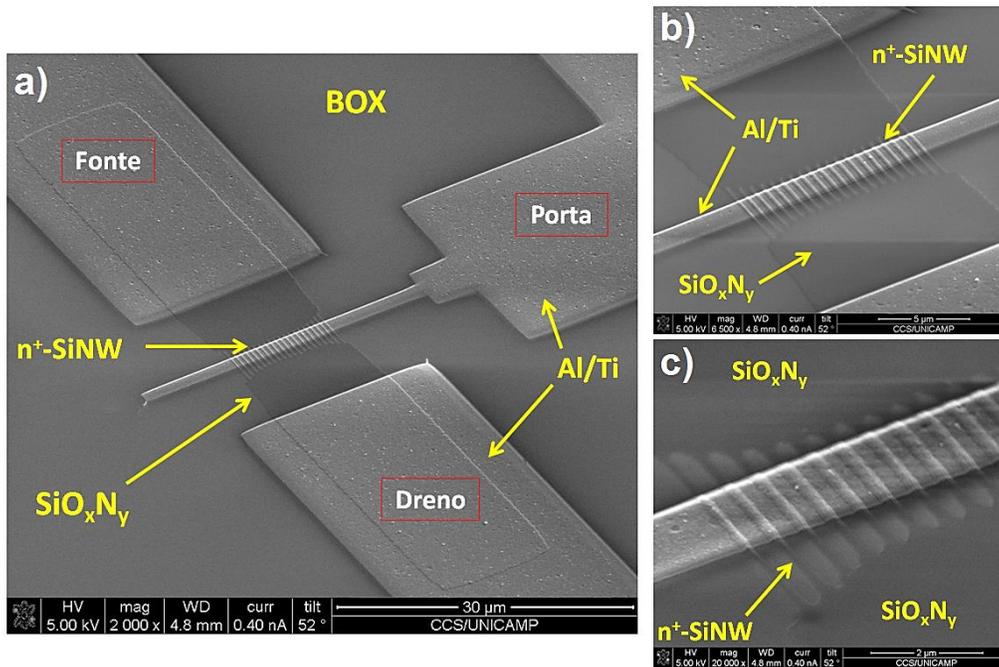


Figura 59. Microscopia eletrônica de varredura de um JNT completo com 20 nanofios com largura $W_{fin} = 100$ nm e porta com comprimento $L = 1$ μ m. Em (a) visão macroscópica do dispositivo; (b) e (c) nanofios (canais de condução) do JNT com eletrodos de Al/Ti.

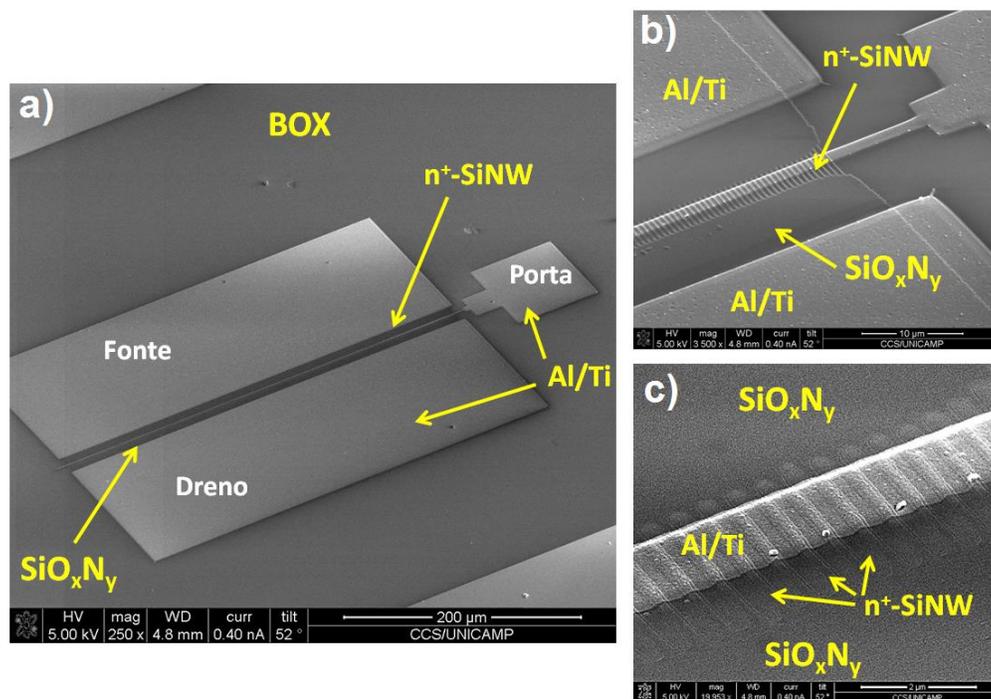


Figura 60. Microscopia eletrônica de varredura de um JNT completo com 1280 nanofios com largura $W_{fin} = 100$ nm e porta com comprimento $L = 1$ μ m. Em (a) visão macroscópica do dispositivo; (b) e (c) nanofios (canais de condução) do JNT com eletrodos de Al/Ti.

Medidas elétricas de corrente entre fonte e dreno (I_{DS}) como função da tensão entre fonte e dreno (V_{DS}) foram tomadas para os transístores de 1280 nanofios – que apresentam menor resistência equivalente –, com tensão de porta nula ($V_{GS} = 0$), como apresentado na Figura 61. Esses resultados mostram comportamento não ôhmico proveniente do contato elétrico entre o silício tipo n^+ e a liga Al/Ti, o que pode ser minimizado aumentando o tempo de sinterização do dispositivo. Além disso, o dispositivo não opera como um resistor controlado pela porta devido à baixa diferença entre a função trabalho do silício n^+ e o nível de Fermi da liga Al/Ti. Para haver depleção total (*fully-depleted*) do canal tipo n^+ para $V_{GS} = 0$ e acumulação para $V_{GS} > 0$, o metal apropriado deve possuir alta energia de Fermi (por exemplo, platina). Portanto, deve-se substituir o metal dos eletrodos dos JNTs nMOS por platina para operação adequada do dispositivo [62].

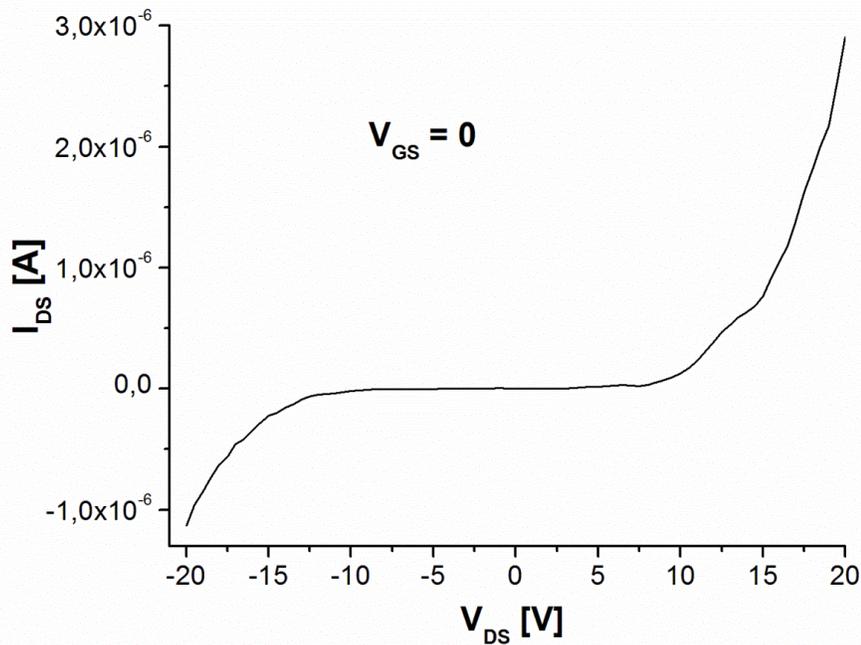


Figura 61. Curva I_{DS} versus V_{DS} (para $V_{GS} = 0$) de dispositivo JNT com 1280 nanofios em paralelo (menor resistência equivalente) e eletrodos de fonte de dreno de Al/Ti.

Capítulo 5

Conclusões

5.1 Conclusão

Neste trabalho foi desenvolvido o processo completo de fabricação de transistores do tipo se junção baseados em nanofios (*junctionless nanowire transistor, JNT*) em silício. Para isso, as técnicas de feixe de íons focalizados – com íons de gálio (GaFIB) – e litografia por feixe de elétrons (EBL) – utilizando resistes PMMA e Ma-N – foram aplicadas.

Utilizando o sistema de duplo feixe GaFIB/SEM, os nanofios de silício ($W = 35$ nm, $H = 15$ nm, $L = 6$ μ m) foram fabricados próximos da resolução nominal máxima do equipamento (~ 30 nm). GaFIB foi também utilizado para dopagem local dos nanofios por íons de gálio. Eletrodos de platina e dielétrico de porta de SiO₂ foram depositados utilizando feixe de elétrons e o dispositivos pseudo-MOS foi utilizado para caracterizar eletricamente os nanofios. Litografia óptica foi utilizada para definir eletrodos de fonte, dreno e porta (com comprimento de 1 μ m) dos JNTs. O processo de fabricação desses dispositivos no sistema FIB com dopagem local de gálio nas dimensões obtidas é um processo inovador, sendo um dos primeiros transistores do tipo JNT fabricado no Brasil.

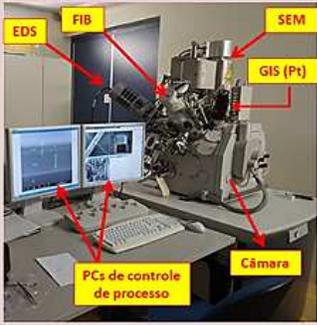
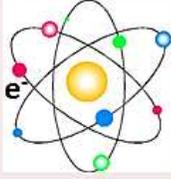
Por outro lado, a litografia por feixe de elétrons e plasma ECR foram utilizadas para fabricar JNTs com dimensão mínima de $W = 50$ nm (máxima resolução do resiste utilizado), $H = 15$ nm e 100 nm $< L < 2$ μ m. As dimensões dos dispositivos e número de nanofios por transistor foram modificados para estudar as características dos dispositivos e permitir excursão dos valores de resistência equivalente, respectivamente. Dielétrico de porta de 5 nm de SiON foi crescido sobre os nanofios utilizando plasma ECR e Eletrodos de Ti e Al foram depositados por *sputtering* e definidos por *lift-off*. A menor dimensão da porta, L , foi de 100 nm, podendo ser reduzir até o limiar de resolução do resiste PMMA (~ 10 nm) ao se refinar a dose utilizada no processo litográfico e/ou os parâmetros do sistema eletro-óptico do EBL (tais como aberturas e tensão de aceleração)

Os resultados das medidas elétricas desses dispositivos não foram satisfatórios devido ao baixo valor da função trabalho do metal de porta, de modo que o dispositivo não opera em modo depleção.

Dados da literatura sugerem utilizar eletrodo de porta de platina para dispositivos nMOS, o que pode ser implementado nos dispositivos já fabricados. Portanto, a técnica de litografia por feixe de elétrons para fabricação dos JNTs é promissora, pois foi possível calibrar completamente os parâmetros de fabricação de dispositivos contendo até 1280 nanofios em paralelo e com dimensões do comprimento do canal de até 50 nm.

A Figura 62 apresenta um comparativo das dimensões mínimas obtidas para os JNTs fabricados por FIB e EBL, contendo o tempo e custo médios para fabricação, por dispositivo. Os resultados obtidos nesses sistemas revelam que os métodos desenvolvidos, e pioneiros no Brasil, para fabricação de nanofios de silício em aplicações de dispositivos em nanoeletrônica permitem avanços consistentes em nanofabricação. Os processos, já calibrados, contribuirão para o desenvolvimento de novos processos, como, por exemplo, transistores do tipo FinFET ou dispositivos baseados em nanofios.

Feixe de íons focalizados versus litografia por feixe de elétrons

Sistema	Tipo de feixe	Resolução do feixe* (nm)	Tempo/dispositivo	Custo/Dispositivo**	Dimensões mínimas dos JNTs fabricados
		~ 20	2 dias	US\$ 4000	<ul style="list-style-type: none"> • $W_{Fin} = 35 \text{ nm}$ • $L_{Fin} = 6 \text{ }\mu\text{m}$ • $L_{Porta} = 1 \text{ }\mu\text{m}$ • $H_{Fin} = 15 \text{ nm}$ • $N = 1 \text{ nanofio}$
		~ 2	10 dias	US\$ 150	<ul style="list-style-type: none"> • $W_{Fin} = 50 \text{ nm}$ • $L_{Fin} = 10 \text{ }\mu\text{m}$ • $L_{Porta} = 0,1 \text{ }\mu\text{m}$ • $H_{Fin} = 15 \text{ nm}$ • $N = 1280 \text{ nanofios}$

* Valor nominal da máquina

** Estimativa baseada na manutenção anual (2012/2013)

Figura 62. Comparativo de parâmetros de fabricação dos dispositivos JNT para os sistemas GaFIB e EBL.

5.2 Publicações resultantes deste trabalho de mestrado

5.2.1 Apresentações de trabalho em conferências nacionais e internacionais

- L. P. B. Lima, M. V. Puydinger dos Santos, F. H. Cioldin, J. A. Diniz, I. Doi e J. Godoy Filho. Título: “*Junctionless fabrication on SOI wafers using focused ion beam milling and Al diffusion*”. 27th Symposium on Microelectronics Technology and Devices (SBMicro), Brasília-DF, Brasil, 2013;
- M. V. Puydinger dos Santos, L. P. B. Lima, J. A. Diniz, J. Godoy Filho. Título: “Fabrication of p-type silicon nanowires for 3D FETs using focused ion beam”. 57th International Conference on Electron, Ion and Photon Beam Technology and Nanofabrication (EIPBN), Nashville-TN, USA, 2013.

5.2.2 Artigos publicados em periódicos

- M. V. Puydinger dos Santos, L. P. B. Lima, J. A. Diniz, J. Godoy Filho. Título: “Fabrication of p-type silicon nanowires for 3D FETs using focused ion beam”. Revista: Journal of Vacuum Science and Technology B, publicado novembro/2013.

DOI: [10.1116/1.4823763](https://doi.org/10.1116/1.4823763)

- L. P. B. Lima, M. V. Puydinger dos Santos, F. H. Cioldin, J. A. Diniz, I. Doi e J. Godoy Filho. Título: “*Junctionless fabrication on SOI wafers using focused ion beam milling and Al diffusion*”. ECS Trans., **49**, 367 (2012).

DOI: [10.1149/04901.0367ecst](https://doi.org/10.1149/04901.0367ecst)

- L. P. B. Lima, J. A. Diniz, C. Radtke, M. V. Puydinger dos Santos, I. Doi J. Godoy Filho. Título: “*Influence of Al/TiN/SiO₂ structure on MOS capacitor, Schottky diode, and fin field effect transistors devices*”. Revista: Journal of Vacuum Science and Technology B, publicado novembro/2013.

DOI: [10.1116/1.4817178](https://doi.org/10.1116/1.4817178)

5.2.3 Artigos completos publicados em anais de congressos

- L. P. B. Lima, M. V. Puydinger dos Santos, F. H. Cioldin, J. A. Diniz, I. Doi e J. Godoy Filho. Título: “*Junctionless fabrication on SOI wafers using focused ion beam milling and Al diffusion*”. Apresentado na SBMicro 2012 (Chip in Brasília), Brasília – SP, Brasil, 2012;

5.3 Perspectivas futuras

- Caracterização elétrica dos dispositivos JNT fabricados por EBL com eletrodo de porta de platina;
- Redução de efeitos de proximidade no processo litográfico para minimizar distorções da geometria dos dispositivos e comprimento efetivo do canal (SiNW);
- Refinamento da dose do resiste PMMA e dos parâmetros do sistema eletro-óptico do sistema E-Line para redução da dimensão da porta do JNTs;
- Fabricação de dispositivos FinFETs utilizando a técnica EBL (desenvolver o processo, que consiste em definir regiões de fonte e dreno com dopagem distinta do nanofio);
- Reduzir as dimensões dos nanofios e dos dispositivos utilizando resistes de melhor resolução;
- Fabricar dispositivos JNTs e FinFETs em materiais III-V, para operação em altas frequências;

Referências Bibliográficas

- [1] R. Chau et al., *Benchmarking Nanotechnology for High Performance and Low-Power Logic Transistor Applications*, IEEE T. Nanotech., Vol. 4, n° 2, march 2005.
- [2] K. J. Kuhn et al., *The ultimate CMOS device and beyond*, The International Electron Devices Meeting (2012).
- [3] I. Ferain et al., *Multigate Transistors as the future of classical meta-oxide-semiconductor field-effect transistors*, Nature, **479**, pp. 310 (2011).
- [4] J. W. Swart, “*Evolução da Microeletrônica, Regras de Escalamento e limites*”, apresentação (aula), disponível em www.ccs.unicamp.br. Acessado em 01/07/2013.
- [5] L. P. B. Lima, “*Desenvolvimento de Processos de Eletrodos de Porta (TaN e TiN) para Dispositivos MOS*”, dissertação de mestrado, Universidade Estadual de Campinas, 2011.
- [6] J. A. Diniz, “*Versão Brasileira do Transistor 3D*”, Revista Ciência Hoje, vol. 51, número 304, página 53 (junho/2013).
- [7] J. P. Colinge et al., *Nanowire transistors without junctions*, Nature Nanotech., **5**, 2010, pp. 225.
- [8] “22 nm-Announcement Presentation”, disponível em www.intel.com, acessado em 13.10.2013.
- [9] R. Chau, Silicon Nanoelectronics Workshop, Kyoto, Japan, pp. 2-3 (2001).
- [10] B. Doyle et al., *Transistor elements for 30 nm physical gate lengths and beyond*, Intel Tech. J., **6** (2), pp. 43, (2002).
- [11] R. Chau et al., *Silicon nano-transistors for logic applications*, Physica E, **19**, pp. 1 (2005).

- [12] R. Chau, et al., *Nikkei Microdev.*, pp. 83-88 (2002).
- [13] J. W. Swart, “*Semicondutores: Fundamentos, Técnicas e Aplicações*”, editora Unicamp (2008).
- [14] H. Veendrick, *Nanometer CMOS ICs: From Basics to ASICs*, 1st ed, pp. 116-129 (2008).
- [15] H. H. Solak et al., *Photon-beam lithography reaches 12.5nm half-pitch resolution*, *J. Vac. Sci. Technol. B*, **25**, pp. 91 (2007).
- [16] M. V. Puydinger dos Santos, et al., *Fabrication of p-type silicon nanowires for 3D FETs using focused ion beam*, *J. Vac. Sci. Technol. B*, **31**, p.06FA01-2 (2013).
- [17] V. Pott e A. Ionescu, *Conduction in ultra-thin SOI nanowires prototyped by FIB milling*, *Microelectron. Eng.*, **83**, pp. 1718 (2006).
- [18] L.P. B. Lima et al. *Junctionless Fabrication on SOI Wafers Using Focused Ion Beam Milling and Al Diffusion*, *ECS Trans.*, **49**, pp. 367-374 (2012).
- [19] Carl Zeis Microscopy, *Sub-10 nm nanofabrication with the helium and neon ions in Orion Nanofab*, vol. 1525 , 2013, pp. 396-399.
- [20] A. Notargiacomo et al., *EBL- and AFM-based techniques for nanowires fabrication on Si/SiGe*, *Mater. Sci. Eng.*, **19**, pp. 185-188 (2002).
- [21] M. Muhammad et al., *Nanopatterning of PMMA on insulating surfaces with various anticharging schemes using 30 keV electron beam lithography*, *J. Vac. Sci. Technol. B*, **29**, 06F304 (2011).
- [22] *Raith E-Line plus On-Site Qualification Report* do sistema de litografia por feixe de elétrons do CCS/UNICAMP, emitido em 06.06.2012.
- [23] J. P. Colinge et al., *Junctionless Nanowire Transistor (JNT): Properties and design guidelines* *Solid State Electr.*, **65-66**, pp. 33 (2011).

- [24] J. P. Colinge, *Junctionless Transistors*, IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2012.
- [25] C. W. Lee et al., *Junctionless multigate field-effect transistor*, Appl. Phys. Lett., **94**, 053511 (2009).
- [26] H. C. Lin et al., *Characteristics of n-type junctionless poly-Si thin film transistors with an ultra-thin channel*, IEEE Electr. Device L., **33**, pp.53 (2012).
- [27] S. E. Wu e C. P. Liu, *Direct writing of Si island arrays by focused ion beam milling*, Nanotechnology, **16**, 2507 (2005).
- [28] R. T. Doria, “*Operação e Modelagem de Transistores MOS sem Junções*”, tese de doutorado, Universidade de São Paulo, 2013.
- [29] K. A. Unocic et al., *Effect of gallium focused ion beam milling on preparation of aluminium thin foils*, J. Microsc., **240**, 227 (2010).
- [30] I. M. Ross et al., *Fabrication of novel quantum cascade lasers using focused ion beam (FIB) processing*, J. Phys.: Conf. Ser., **26**, 215 (2006).
- [31] I. Utke, S. Moshkalevm P. Russel, *Nanofabrication using focused ion beams and electron beams – principles and applications*, Oxford University Press, 2012.
- [32] I. A. Pan et al., *Effects of focused gallium ion-beam implantation on properties of nanochannels on silicon-on-insulator substrates*, J. Vac. Sci. Technol. B, **23**, 2288 (2005)
- [33] J. Gierak et al., *Focused ion beam nanolithography on AlF₃ at a 10 nm scale*, Appl. Phys. Lett., **70**, 2049 (1997).

- [34] D. Cooper et al., *Quantitative off-axis electron holography of GaAs p-n junctions prepared by focused ion beam milling*, J. Microsc., **233**, 102 (2009).
- [35] H. Lohmeyer et al., *Confined optical modes in monolithic II-VI pillar microcavities*, Appl. Phys. Lett., **88**, 051101 (2006).
- [36] H. Tao et al., *Optical improvement of photonic devices fabricated by Ga + focused ion beam micromachining*, J. Vac. Sci. Technol. B, **25**, 1609 (2007).
- [37] H. X. Qian et al., *Fabrication of Si microstructures using focused ion beam implantation and reactive ion etching*, J. Micromech. Microeng., **18**, 35003 (2008).
- [38] I. Utke et al., *Gas-assisted focused electron beam and ion beam processing and fabrication*. J. Vac. Sci. Technol. B, **26** (4), 1197 (2008).
- [39] S. Rubanov e P. R. Munroe, *Damage in III–V Compounds during Focused Ion Beam Milling*, Microsc. Microanal., **11**, 446 (2005).
- [40] “*The gas injection system for SEM and DualBeam – nano- and micro-scale deposition and etching*” (www.fei.com), acessado em 21/10/2013.
- [41] “*Using beam chemistries with SEM, FIB and DualBeam for surface modification (application note)*”, disponível em www.fei.com, acessado em 21/10/2013.
- [42] P. J. Statham, *X-Ray microanalysis with Si(Li) detectors*, J. Microsc., **123**, 1 (1981).
- [43] M. H. Loretto, *Electron Beam Analysis of Materials*, 2nd ed. (Chapman and Hall, London, 1984).
- [44] L. Reimer, *Scanning Electron Microscopy: Physics of Image Formation and Microanalysis*, 2nd ed., edited by P. W. Hawkes (Springer-Verlag, Berlin, 1998).

- [45] A. Thompson et al., *X-Ray Data Booklet*, 2nd ed., editado por A. C. Thompson e D. Vaughan (Center for X-Ray Optics and Advanced Light Source, Lawrence Berkeley National Laboratory's (LBNL), Materials Sciences Division, Berkeley, California, 2001).
- [46] A. A. Tseng et al., *Electron beam lithography in nanoscale fabrication: recent development*. IEEE T. Electron. Pa. M., **26** (2), 141-149 (2003).
- [47] D. J. Grant. *Electron Beam Lithography: From Past to Present*. Apostila técnica (disponível em:http://www.davidgrant.ca/sites/www.davidgrant.ca/files/ECE730_electron_beam_lithography_report.pdf), acessado em 10/10/2013). University of Waterloo (2003).
- [48] G. R. Brewer. *Electron beam technology in microelectronic fabrication*. Academic Press New York (1980).
- [49] S. Nonogaki et al.. *Microolithography Fundamentals in Semiconductor Devices and Fabrication Technology*. Marcel Dekker, New York, 1998.
- [50] *Datasheet* do resiste Ma-N, disponível em <http://www.nanolithography.gatech.edu>, acessado em 24/10/2013.
- [51] H. Elsner et al., *Evaluation of ma-N 2400 Series DUV Photoresist for Electron Beam Exposure*, Microelectron. Eng., **46** (1), pp. 389-392 (1999).
- [52] J.D.Plummer et al., *Silicon VLSI Technology fundamental practice and modeling*, Prentice Hall (2000).
- [53] L. B. Zoccal. Desenvolvimento de dispositivos baseados em substrato de GaAs com passivação por plasma ECR. Tese de doutorado (2007).
- [54] S. Cristoloveanu et al., *Review of the Pseudo-MOS Transistor in SOI Wafers: Operation, Parameter Extraction, and Applications*, IEEE T. Electron Dev., **47**, 1018 (2000).

- [55] S. Cristoloveanu and S. Williams, *IEEE Electr. Device L*, **13**, 102 (1992).
- [56] S. M. Sze, *Physics of Semiconductor Devices*, 2nd, Ney York: John Wiley and Sons, 1981.
- [57] H. J. Levinson et al., *Handbook of Microlithography, Micromachining, and Microfabrication. Vol. 1: Microlithography* (SPIE Press Monography Vol. PM39), 1997.
- [58] *Datasheet* PMMA, disponível em http://microchem.com/pdf/PMMA_Data_Sheet.pdf, acessado em 30/10/2013.
- [59] Notas sobre e-resiste PMMA, disponíveis em http://microchem.com/pdf/PMMA_Data_Sheet.pdf, acessado em 23/10/2013.
- [60] Notas sobre e-resistes Ma-N 2400, disponíveis em http://www.microresist.de/produkte/negativ_photoresiste/pdf/po_pi_man_2400_de_07083001_ls_neuDesign.pdf, acessado em 30/10/2013.
- [61] R. T. Doria et al., *Junctionless Multiple-Gate Transistors for Analog Applications*, *IEEE T. Electron Dev.*, **58**, 2511 (2011).
- [62] J. P. Colinge et al., *Junctionless Nanowire Transistor: Complementary Metal-Oxide-Semiconductor Without Junctions*, *Sci. Adv. Mater.*, **3**, 477-482 (2011).

APÊNDICE

Programas – em *Silvaco* – utilizados para obter os perfis de concentração de gálio e arsênio apresentados nas Figuras 26 e 31, respectivamente, para lâmina SOI com espessuras de 15 nm na região ativa e 400 nm no BOX, antes e após recozimento (RTA).

➤ *Perfil de concentração de gálio:*

```
go athena

#Comprimento
line x loc=0.0 spac=0.1
#line x loc=5.0 spac=0.05
#line x loc=15.0 spac=0.05
line x loc=20.0 spac=0.1

#Profundidade
#line y loc=-0.02 spac=0.005
#line y loc=0.1 spac=0.005
line y loc=0.0 spac=0.002
line y loc=0.11 spac=0.1

init orientation=100 c.boron=1e10 space.mul=1

#etch do Si (bulk)
etch silicon start x=0.0 y=0.0
etch continue x=20.0 y=0.0
etch continue x=20.0 y=0.1
etch done x=0.0 y=0.1

#deposito de oxido
depo oxide thick=0.05 divisions=8
#deposito de silicio
depo silicon thick=0.015 divisions=8

#plot the structure 1
#structure outfile=Junctionless1.str
#tonyplot Junctionless1.str

#implantação de Galio
implant gallium dose=1.0e14 energy=10 pearson

# plot the structure 2
structure outfile=Perfil_Implantacao.str
tonyplot Perfil_Implantacao.str

#diffus time=0.9 temp=700 nitro press=1.00 hcl=3
diffus time=1 temp=1000 nitro press=1.00 hcl=3

#plot the structure 3
structure outfile=Apos_RTA.str
tonyplot Apos_RTA.str
```

➤ **Perfil de concentração de arsênio:**

```
go athena

#Comprimento
line x loc=0.0 spac=0.1
#line x loc=5.0 spac=0.05
#line x loc=15.0 spac=0.05
line x loc=20.0 spac=0.1

#Profundidade
#line y loc=-0.02 spac=0.005
#line y loc=0.1 spac=0.005
line y loc=0.0 spac=0.0005
line y loc=0.11 spac=0.01

init orientation=100 c.boron=1e10 space.mul=1

#etch do Si (bulk)
etch silicon start x=0.0 y=0.0
etch continue x=20.0 y=0.0
etch continue x=20.0 y=0.1
etch done x=0.0 y=0.1

#deposito de oxido
depo oxide thick=0.05 divisions=8
#deposito de silicio
depo silicon thick=0.015 divisions=8

#plot the structure 1
#structure outfile=Junctionless1.str
#tonyplot Junctionless1.str

#implantação de Arsenio
implant arsenic dose=1.0e15 energy=20 pearson

# plot the structure 2
structure outfile=Junctionless2.str
tonyplot Junctionless2.str

diffus time=0.9 temp=700 nitro press=1.00 hcl=3
diffus time=1 temp=1000 nitro press=1.00 hcl=3

# plot the structure 3
structure outfile=Junctionless3.str
tonyplot Junctionless3.str
```
