



Universidade Estadual de Campinas

Faculdade de Engenharia Elétrica e de Computação

Departamento de Semicondutores, Instrumentos e Fotônica

AMPLIFICADOR COM ENTRADAS E SAÍDAS DIFERENCIAIS INTEGRADO EM TECNOLOGIA CMOS

Autor:

Marcelo de Paula Campos

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do Título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho.

Banca Examinadora:

Prof. Dr Carlos Alberto dos Reis Filho - FEEC/UNICAMP

Prof. Dr. Luiz Carlos Kretly - FEEC/UNICAMP

Prof. Dr. José Carlos Pereira – EESC/USP

Campinas, 20 de agosto de 2002

Resumo

Esta dissertação de mestrado relata o desenvolvimento de um amplificador com entradas e saídas diferenciais integrado em tecnologia CMOS de 0,6 μ m. Inicialmente, são discutidas as particularidades de um amplificador com entradas e saídas diferenciais, fazendo comparações com o amplificador operacional de saída simples, a fim de salientar suas principais diferenças e suas implicações no projeto.

Depois, são descritas as várias etapas do projeto: escolha da configuração do circuito, análise do ponto de operação, análise de pequenos sinais, visando determinar as funções de transferência de cada estágio e compensação em frequência, e finalmente, a definição das especificações desejadas. O dimensionamento dos componentes proveio de cálculos de projeto e das análises e observações de resultados de inúmeras simulações.

O circuito foi fabricado em tecnologia CMOS 0,6 μ m, e as amostras foram caracterizadas. Os resultados experimentais obtidos mostram que as principais especificações foram alcançadas. As mais importantes, ganho de malha aberta de 70dB e frequência de ganho unitário de aproximadamente 9MHz evidenciam que o projeto realizado foi bem sucedido.

Abstract

This master degree dissertation describes the development of an integrated CMOS fully differential operational amplifier. In this document, the particularities of a fully differential operational amplifier are discussed first. Then they are compared to those of a standard operational amplifier in order to highlight the main differences found between these two important building blocks in analog integrated circuit design.

In the sequel of the document, the stages followed to accomplish the design of the amplifier are presented, which are: the choice of the circuit configuration; the bias point analysis; the small signal analysis to allow the establishment of the transfer function of each stage of the circuit and, therefore, the frequency compensation; and finally, the definition of the desired specification. By means of hands calculation and the analysis and observation of simulation results, the devices that comprise the amplifier could be dimensioned.

Samples of the integrated circuit were fabricated in 0.6 μ m CMOS technology and were fully characterized. The most important features achieved were a 70dB open-loop gain and unity-gain frequency of approximately 9MHz, both evidencing the success of this work.

*“A alegria está na luta, na tentativa, no sofrimento envolvido.
Não na vitória propriamente dita.”*

Mahatma Gandhi

Reconheço o esforço e a dedicação do Prof. Dr. Carlos Reis para tornar este mestrado possível, e o melhor possível. Agradeço a ele a oportunidade.

Agradeço ao Instituto de Pesquisas Eldorado pelo apoio financeiro, e aos meus amigos do LPM2 (Laboratório de Pesquisas Magneti-Marelli).

Dedico este trabalho aos meus pais, aos meus irmãos, a minha esposa e ao meu filho, sem os quais nada teria sentido.

Sumário

1	Introdução	1
2	Descrição do Amplificador com Entradas e Saídas Diferenciais	2
2.1	Definição das Tensões	3
2.2	Realimentação de Modo comum	3
2.3	Características do Amplificador com Entradas e Saídas Diferenciais	4
2.3.1	Maior Excursão Dinâmica	5
2.3.2	Melhor Imunidade a Ruído	5
2.4	Comparação entre o Amplificador com Entradas e Saídas Diferenciais e o Amplificador de Saída Simples	7
3	Considerações sobre a Realimentação de Modo comum em Amplificadores com Entradas e Saídas Diferenciais	9
4	Escolha da Configuração do Circuito do Amplificador com Entradas e Saídas Diferenciais	12
5	Descrição do Funcionamento do Circuito	13
6	Análise da Resposta em Freqüência	15
7	Análise da Polarização	19
8	Procedimentos de Projeto	22
8.1	Dimensionamento dos Sensores de Modo comum	23
8.2	Dimensionamento dos Transistores	24
8.3	Dimensionamento dos Componentes de Compensação em Freqüência	29
9	Simulações	31
9.1	Ponto de Operação	31
9.2	Resposta em Freqüência	32
9.3	Resultados das Simulações	36
9.3.1	Ponto de Operação	36
9.3.2	Excursão do Sinal de Saída	37
9.3.3	Faixa de Excursão da Tensão de Modo comum	38
9.3.4	Resposta em Freqüência	39
9.3.5	Resposta em Freqüência de Malha Fechada	43
9.3.6	Resposta em Freqüência ao Sinal de Modo comum	44
9.3.7	<i>Slew-Rate</i> e <i>Settling Time</i>	45
9.3.8	Ganho de Modo comum	47
9.3.9	Rejeição ao Ruído da Alimentação	48
10	<i>Layout</i> do Circuito Integrado	49
11	Testes do Circuito Integrado	54
11.1	Ponto de Operação	54
11.2	Excursão do Sinal de Saída	54
11.3	Faixa de Excursão da Tensão de Modo comum	55
11.4	Resposta em Freqüência de Malha Fechada	56
11.5	Resposta em Freqüência ao Sinal de Modo comum	58
11.6	<i>Slew-Rate</i> e <i>Settling Time</i>	59

11.7	Ganho de Modo comum.....	61
11.8	Resumo das Características de Desempenho	62
12	O Circuito Integrado.....	63
12.1	Fotomicrografias	63
12.2	Diagrama de Pinos	65
13	Análise dos Resultados.....	66
14	Conclusões	68
15	Referências	69
16	Apêndices.....	71
16.1	Apêndice A – Redução das Harmônicas pares	71
16.2	Apêndice B – Dedução de Ganho do Amplificador Cascode.....	73
16.3	Apêndice C – Dedução do Ganho do Amplificador Fonte Comum	76

Lista de Figuras

<i>Figura 2-1:</i> Comparação entre amplificador com entradas e saídas diferenciais e o de saída simples.	2
<i>Figura 2-2:</i> Definições das tensões do amplificador com entradas e saídas diferenciais.	3
<i>Figura 2-3:</i> Modelo de um amplificador com entradas e saídas diferenciais simplificado....	4
<i>Figura 2-4:</i> Excursão de tensão da saída diferencial.	5
<i>Figura 2-5:</i> Imunidade a ruído do amplificador com entradas e saídas diferenciais.	5
<i>Figura 2-6:</i> (a) amplificador com entradas e saídas diferenciais (b) amplificador inversor de saída simples.	6
<i>Figura 3-1:</i> Modelo de um amplificador com entradas e saídas diferenciais.	11
<i>Figura 5-1:</i> Circuito do amplificador com entradas e saídas diferenciais.	13
<i>Figura 6-1:</i> Circuito incremental equivalente de um amplificador de dois estágios com compensação RC.	15
<i>Figura 9-1:</i> Compensação com transistor MOS na região ôhmica substituindo resistor.	34
<i>Figura 9-2:</i> Circuito do amplificador com entradas e saídas diferenciais com MOSFET/capacitor de compensação.	35
<i>Figura 9-3:</i> Circuito com as tensões e correntes de polarização.	36
<i>Figura 9-4:</i> Excursão dos sinais de saída.	37
<i>Figura 9-5:</i> Faixa de excursão da tensão de modo comum.	38
<i>Figura 9-6:</i> Diagrama de Bode do amplificador com entradas e saídas diferenciais, com carga $R_L=10k\Omega$ e $C_L=10pF$	39
<i>Figura 9-7:</i> Diagrama de Bode do amplificador com entradas e saídas diferenciais somente com carga resistiva $R_L=10k\Omega$	40
<i>Figura 9-8:</i> Diagrama de Bode do amplificador com entradas e saídas diferenciais somente com carga capacitiva $C_L=10pF$	41
<i>Figura 9-9:</i> Diagrama de Bode do amplificador com entradas e saídas diferenciais sem carga.	42
<i>Figura 9-10:</i> Circuito com ganho unitário.	43
<i>Figura 9-11:</i> Resposta em Frequência de Malha Fechada para ganho unitário.	43
<i>Figura 9-12:</i> Circuito para Simulação da Resposta em Frequência ao Sinal de Modo comum, V_{ocm}	44
<i>Figura 9-13:</i> Resposta em Frequência ao Sinal de Modo comum.	44
<i>Figura 9-14:</i> Circuito para simulação de <i>Slew-Rate</i> e <i>Settling Time</i>	45
<i>Figura 9-15:</i> Formas de onda da entrada, Y , e da saída, Y3	45
<i>Figura 9-16:</i> Detalhe do <i>slew-rate</i> de subida.	46
<i>Figura 9-17:</i> Detalhe do <i>slew-rate</i> de descida.	46
<i>Figura 9-18:</i> Detalhe da medida do <i>settling time</i> de subida.	46
<i>Figura 9-19:</i> Detalhe da medida do <i>settling time</i> de descida.	46
<i>Figura 9-20:</i> Gráfico do ganho de modo comum medido diferencialmente, $V_{OD}=(V_{O+})-(V_{O-})$	47
<i>Figura 9-21:</i> Circuito modelo para simulação da rejeição de ruído da alimentação.	48
<i>Figura 9-22:</i> Rejeição ao ruído acoplado a V_{DD}	48
<i>Figura 9-23:</i> Rejeição ao ruído acoplado a V_{SS}	48
<i>Figura 10-1:</i> Par cruzado que compõe os transistores M1A e M1B.	49
<i>Figura 10-2:</i> Par cruzado que compõe os transistores M6A e M6B.	49

<i>Figura 10-3:</i> Grupo de vinte e três transistores de $5^{1/2}$ que formam os espelhos de corrente.	50
<i>Figura 10-4:</i> Dois resistores de $20k\Omega$ de poli-silício, R_{CMA} e R_{CMB} .	51
<i>Figura 10-5:</i> Exemplo de um capacitor integrado utilizado no circuito.	51
<i>Figura 10-6:</i> Célula principal do circuito integrado com MOSFET/capacitor de compensação.	52
<i>Figura 10-7:</i> Layout completo do circuito enviado para fabricação com MOSFET/capacitor de compensação.	53
<i>Figura 11-1:</i> Circuito para teste da máxima excursão de saída.	54
<i>Figura 11-2:</i> Imagem do osciloscópio mostrando a máxima excursão de saída.	54
<i>Figura 11-3:</i> Circuito para teste da excursão da saída de modo comum.	55
<i>Figura 11-4:</i> Imagem do osciloscópio mostrando a máxima excursão da saída de modo comum.	55
<i>Figura 11-5:</i> Detalhe da saída.	55
<i>Figura 11-6:</i> Detalhe da saída	55
<i>Figura 11-7:</i> Circuito para teste da resposta em frequência de malha fechada com ganho unitário.	56
<i>Figura 11-8:</i> Imagem da tela do analisador de redes com o resultado da varredura em frequência.	56
<i>Figura 11-9:</i> Extrapolação dos pontos da <i>Tabela 11-1</i> .	57
<i>Figura 11-10:</i> Circuito para teste da resposta em frequência ao sinal de modo comum.	58
<i>Figura 11-11:</i> Imagem da tela do analisador de redes com o resultado da varredura em frequência.	58
<i>Figura 11-12:</i> Circuito para teste de <i>Slew-Rate</i> e <i>Settling Time</i> .	59
<i>Figura 11-13:</i> Imagem do osciloscópio mostrando o <i>slew-rate</i> de subida.	59
<i>Figura 11-14:</i> Imagem do osciloscópio mostrando o <i>slew-rate</i> de descida.	59
<i>Figura 11-15:</i> Imagem do osciloscópio mostrando o <i>settling time</i> de subida.	60
<i>Figura 11-16:</i> Imagem do osciloscópio mostrando o <i>settling time</i> de descida.	60
<i>Figura 11-17:</i> Circuito de teste de rejeição de modo comum.	61
<i>Figura 11-18:</i> Imagem da tela do analisador de redes com o resultado do teste de rejeição de modo comum.	61
<i>Figura 12-1:</i> Fotomicrografia do Circuito Integrado com <i>pads</i> .	63
<i>Figura 12-2:</i> Fotomicrografia do Circuito Integrado do amplificador com entradas e saídas diferenciais, com enfoque na célula principal, mostrando a localização dos componentes.	64
<i>Figura 12-3:</i> Diagrama de pinos do amplificador com entradas e saídas diferenciais.	65
<i>Figura 13-1:</i> Circuito com ganho unitário com capacitor de compensação externo.	67
<i>Figura 13-2:</i> Resultado da simulação da resposta em frequência do circuito da <i>Figura 13-1</i> .	67
<i>Figura 16-1:</i> Diagrama de blocos para representar um amplificador com entradas e saídas diferenciais.	71
<i>Figura 16-2:</i> Amplificador cascode.	73
<i>Figura 16-3:</i> Modelo de pequenos sinais do amplificador cascode.	73
<i>Figura 16-4:</i> Modelo que substitui M2 e M3 por uma resistência equivalente.	74
<i>Figura 16-5:</i> Modelo de pequenos sinais utilizado para calcular R_{si} .	74
<i>Figura 16-6:</i> Amplificador fonte-comum.	76
<i>Figura 16-7:</i> Modelo de pequenos sinais do amplificador fonte comum com carga ativa.	76

Lista de Tabelas

<i>Tabela 4-1: Especificações propostas para o amplificador com entradas e saídas diferenciais.</i>	12
<i>Tabela 8-1: Parâmetros elétricos dos transistores canal N.</i>	24
<i>Tabela 8-2: Parâmetros elétricos dos transistores canal P.</i>	24
<i>Tabela 8-3: Dimensões dos transistores inicialmente calculadas.</i>	28
<i>Tabela 9-1: Dimensões dos transistores após as simulações.</i>	34
<i>Tabela 11-1: Valores de frequência de corte por ganho de malha fechada.</i>	57
<i>Tabela 11-2: Características do amplificador com entradas e saídas diferenciais.</i>	62
<i>Tabela 12-1: Diagrama de pinos.</i>	65

1 Introdução

O requisito de alta imunidade a sinais externos que normalmente caracteriza o processamento de sinais em sistemas de áudio, telefonia, transmissão de dados, etc... impõe que a variável de propagação seja um sinal diferencial [2].

Desse modo, os amplificadores que têm entradas e saídas diferenciais são blocos imprescindíveis na implementação destes circuitos. Há diferenças marcantes entre estes amplificadores e os chamados amplificadores operacionais, que embora tenham entradas diferenciais produzem na saída um sinal referido a um potencial fixo (terra). A mais importante característica dos amplificadores com entradas e saídas diferenciais é a alta rejeição a sinais em modo comum [1]-[3].

Como contrapartida, os amplificadores com entradas e saídas diferenciais precisam de duas malhas de realimentação, que são externas, e um circuito de realimentação de modo comum interna para controlar a tensão de saída de modo comum [1]-[3].

Dada a importância que tem este tipo de circuito em processamento de sinais analógicos em geral, a experiência de projetá-lo seguindo uma metodologia adequada foi a motivação do projeto, cujos resultados são descritos nesta dissertação.

Foram estabelecidas como metas para utilização deste circuito filtros a capacitor chaveado, integradores, *sample-and-hold*, *bandgap* flutuante e amplificadores de tensão do tipo *chopper-stabilized*. Para a sua implementação foi escolhida a tecnologia CMOS – 0,6 μ m.

Como especificações complementares foram previstas alimentação de 5V, faixa de frequência acima de 5MHz com carga padrão de 10k Ω em paralelo com 10pF e consumo máximo de 500 μ A.

2 Descrição do Amplificador com Entradas e Saídas Diferenciais

Um amplificador com entradas e saídas diferenciais é similar ao amplificador operacional de saída simples [2], como está ilustrado na *Figura 2-1*.

Em um amplificador com entradas e saídas diferenciais a saída em modo comum, ou seja, o valor médio das tensões de saída pode ser controlado independentemente (V_{ocm}) da tensão diferencial, no amplificador de saída simples a tensão de saída em modo comum é o próprio sinal.

No amplificador operacional há apenas um caminho para realimentação negativa, enquanto no amplificador com saídas diferenciais há dois.

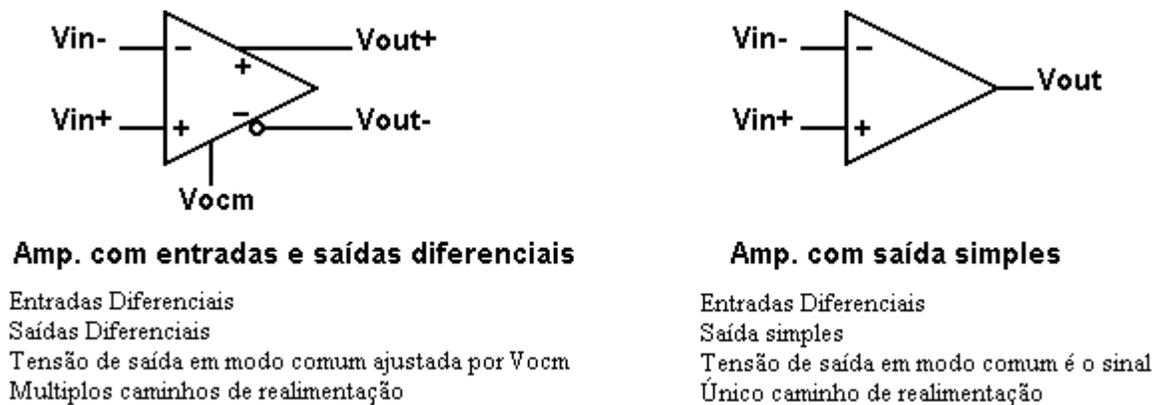
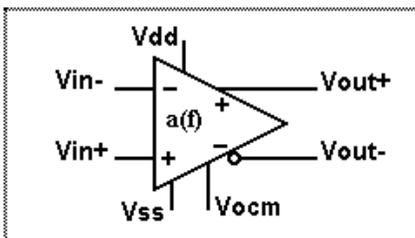


Figura 2-1: Comparação entre amplificador com entradas e saídas diferenciais e o de saída simples.

2.1 Definição das Tensões

A *Figura 2-2* ilustra o símbolo usado para representar o amplificador com entradas e saídas diferenciais e a nomenclatura dada a cada terminal, as tensões são definidas da seguinte forma:

- *Tensão de entrada diferencial, V_{id}* : diferença de tensão entre a entrada positiva e a negativa;
- *Tensão de entrada em modo comum, V_{ic}* : média da tensão das duas entradas;
- *Tensão de saída diferencial, V_{od}* : diferença de tensão entre a saída positiva e a negativa;
- *Tensão de saída em modo comum, V_{oc}* : média da tensão das duas saídas, e é controlada por V_{ocm} ;



Definição das Tensões de Entrada

$$V_{id} = (V_{in+}) - (V_{in-})$$

$$V_{ic} = \frac{(V_{in+}) + (V_{in-})}{2}$$

Definição das Tensões de Saída

$$V_{od} = (V_{out+}) - (V_{out-})$$

$$V_{oc} = \frac{(V_{out+}) + (V_{out-})}{2}$$

Função de Transferência

$$V_{od} = V_{id} \times a(f)$$

Tensão de Saída em Modo-Comum

$$V_{oc} = V_{ocm}$$

Figura 2-2: Definições das tensões do amplificador com entradas e saídas diferenciais.

2.2 Realimentação de Modo comum

Em um amplificador com entradas e saídas diferenciais é preciso forçar a tensão de saída em modo comum, V_{oc} , ao terra ou algum outro potencial de referência, em contraste com o amplificador operacional com saída simples em que uma entrada é conectada ao terra e a outra virtualmente aterrada devido a realimentação negativa [1].

A realimentação de modo comum tem a função de estabilizar as tensões de modo comum da entrada e da saída [1], [3].

A *Figura 2-3* mostra um circuito simplificado de um amplificador com entradas e saídas diferenciais. Neste, o amplificador de erro amostra a média das saídas diferenciais através da rede RC e atua no espelho de corrente formado por Q5 e Q6, para manter a tensão de saída em modo comum igual à entrada V_{ocm} [1].

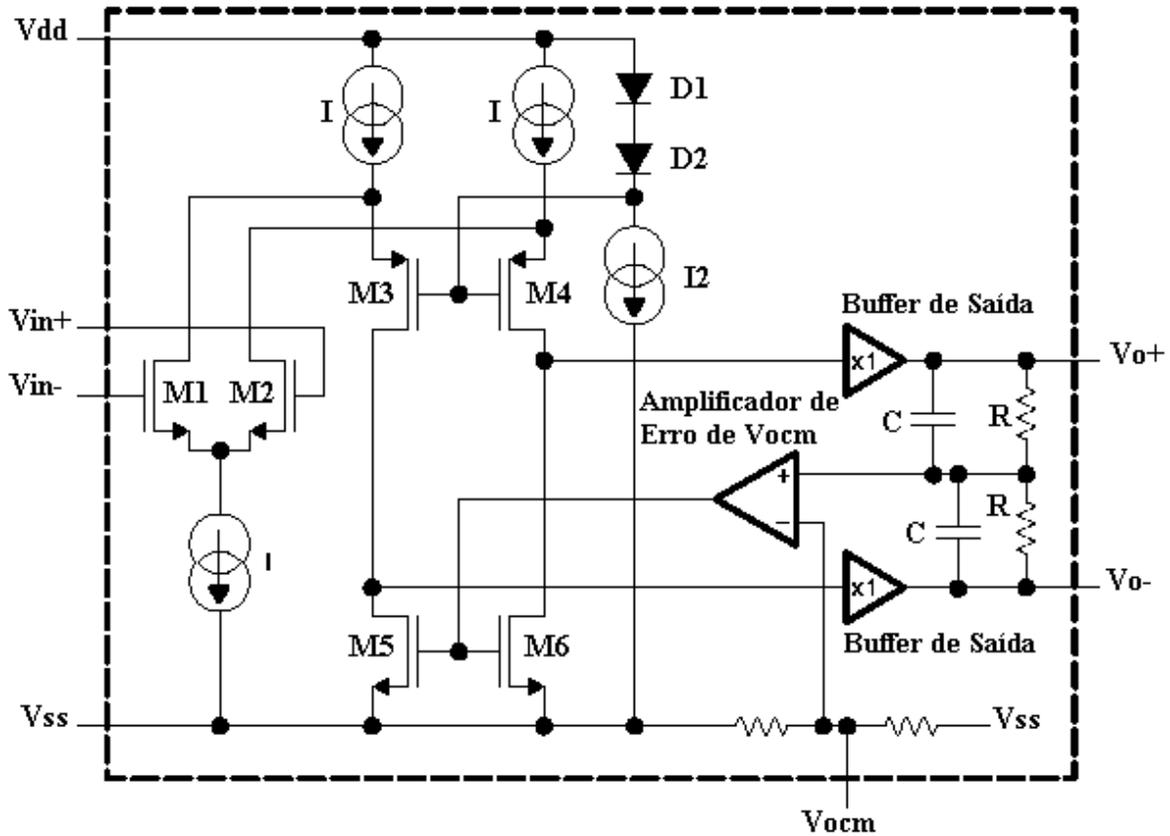


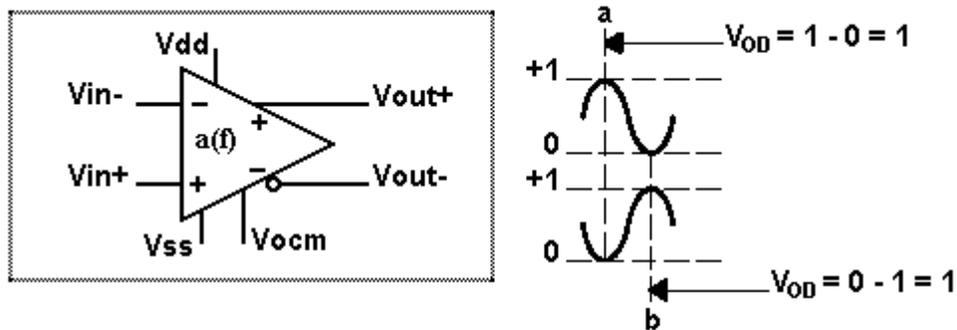
Figura 2-3: Modelo de um amplificador com entradas e saídas diferenciais simplificado.

2.3 Características do Amplificador com Entradas e Saídas Diferenciais

A utilização de sinais diferenciais dá ao circuito algumas características que devem ser salientadas e entendidas, e que são vantagens significativas em relação ao amplificador operacional de saída simples.

2.3.1 Maior Excursão Dinâmica

Como a defasagem entre os sinais de saída é de 180°, a excursão dinâmica é o dobro de uma saída simples com a mesma oscilação de tensão, *Figura 2-4*.



Tensão de saída diferencial resulta em $V_{ODP-P} = 1 - (-1) = 2 \times$ saída simples

Figura 2-4: Excursão de tensão da saída diferencial.

2.3.2 Melhor Imunidade a Ruído

Um sinal que é levado de um lugar a outro está sujeito a ter ruído acoplado através da fiação. Se os fios forem colocados próximos, um ao outro, o ruído acoplado será de modo comum. O ruído proveniente das fontes de alimentação também aparece em modo comum. Assim, como o amplificador com entradas e saídas diferenciais rejeita tensão de modo comum, o sistema será mais imune a ruído [2].

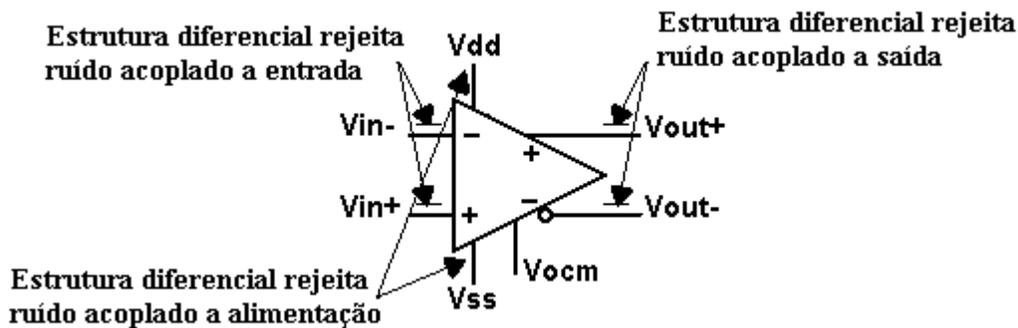


Figura 2-5: Imunidade a ruído do amplificador com entradas e saídas diferenciais.

Em [3] é feita a seguinte análise sobre o ruído térmico. Ignorando o ruído do amplificador e do resistor de realimentação R_f , o ruído térmico associado ao resistor de entrada R_i é a única fonte de ruído, *Figura 2-6*.

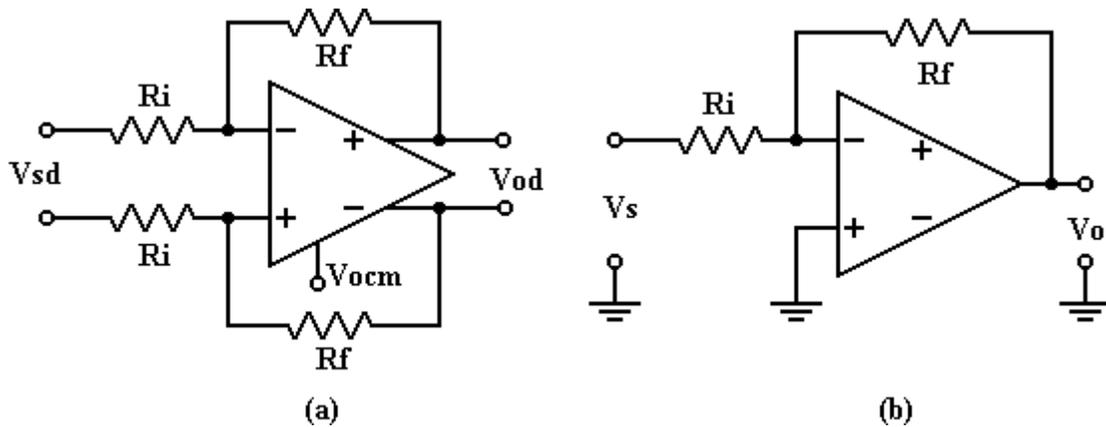


Figura 2-6: (a) amplificador com entradas e saídas diferenciais (b) amplificador inversor de saída simples.

No amplificador de saída simples, a potência de saída do ruído devido ao resistor R_i é:

$$\overline{v_{oN}^2}(s.s) = \left(1 + \frac{R_f}{R_i}\right)^2 \cdot 4 \cdot k \cdot T \cdot R_i \cdot (BW_N) \quad \text{Eq. 2-1}$$

Onde BW_N é a largura de banda equivalente do ruído para o amplificador em malha fechada. No amplificador com entradas e saídas diferenciais, a potência de saída do ruído diferencial devido ao dois resistores R_i é

$$\overline{v_{oN}^2}(s.d) = 2 \cdot \left(1 + \frac{R_f}{R_i}\right)^2 \cdot 4 \cdot k \cdot T \cdot R_i \cdot (BW_N) \quad \text{Eq. 2-2}$$

porque os termos do ruído de saída dos dois resistores são não-correlatos, e assim suas contribuições são adicionadas para dar a potência total do ruído de saída. A potência do

ruído de saída no amplificador com entradas e saídas diferenciais é duas vezes maior que a do amplificador de saída simples.

Como o pico do sinal de saída no amplificador diferencial é duas vezes maior que no amplificador de saída simples, a máxima potência de saída é quatro vezes maior que no amplificador de saída simples. A máxima relação sinal-ruído para um máximo sinal de saída senoidal com amplitude $V_{\sin(\text{pico})}$ é dado por

$$SNR_{\max} = \frac{\text{máxima potência do sinal de saída}}{\text{potência do ruído de saída}} = \frac{V_{\sin(\text{pico})}^2}{v_{oN}^2}$$

Esta relação sinal-ruído é duas vezes maior para o amplificador com entradas e saídas diferenciais quando comparado com um amplificador de saída simples, se a mesma resistência R_i é usada em ambos os circuitos e este resistor é a fonte dominante de ruído.

2.4 Comparação entre o Amplificador com Entradas e Saídas Diferenciais e o Amplificador de Saída Simples

O amplificador com entradas e saídas diferenciais tem características que tornam seu uso muito vantajoso em algumas aplicações quando comparado com o de saída simples. A seguir é apresentada uma breve lista de suas principais vantagens e desvantagens apontadas neste trabalho.

São suas principais vantagens:

- Maior imunidade a ruído externo acoplado às linhas e à alimentação [1], [2], [3];
- Excursão dinâmica duas vezes maior que saída simples [1], [2], [3];
- Redução das harmônicas pares, conforme está demonstrado na seção 16.1;
- Em circuitos com capacitor chaveado, os erros (como injeção de carga e *clock feedthrough*) aparecem como sinais de modo comum e podem ser reduzidos [1], [5], [6];
- Reduz as tensões de *off-set* sistemático [1];

- Em configurações *chopper stabilized* os ruídos de baixa frequência e *off-set* são reduzidos de modo expressivo [1];
- Filtra o ruído de baixa frequência $1/f$ dos transistores [1];

E suas principais desvantagens são:

- Circuito mais complexo [1], [3];
- Área do chip maior, de 50% a 100% [1];
- Há aplicações em que é necessária a conversão para saída simples [2];
- Maior número de componentes (resistores, capacitores, chaves) e ligações [2];
- Ruído térmico é maior devido aos componentes adicionais [2];

3 Considerações sobre a Realimentação de Modo comum em Amplificadores com Entradas e Saídas Diferenciais

As configurações dos circuitos diferenciais são muito semelhantes às usadas em amplificadores operacionais de saída simples. As principais diferenças vêm do fato que os amplificadores diferenciais precisam de um circuito interno de realimentação de modo comum para estabilizar a tensão média de saída (ou seja, de modo comum) sobre toda a faixa de frequência de operação do amplificador. Para satisfazer esta necessidade, a média dos dois sinais de saída deve ser amplificada e realimentada na entrada de modo comum [1], [3], [15].

Duas questões surgem na construção do caminho de modo comum: como gerar um sinal de controle de realimentação de modo comum, e onde aplicar este sinal de volta a polarização [13].

São encontradas na literatura três técnicas diferentes para somar as saídas do amplificador operacional: a primeira usa um par diferencial [4], [6]; a segunda utiliza circuito de soma a capacitor chaveado [14]; e a terceira usa resistores [15].

Conforme citado em [16], a primeira tem a excursão do sinal diferencial limitada para o amplificador operacional principal, pois o intervalo linear do par diferencial empregado no circuito de realimentação de modo comum é bastante limitado [3].

A segunda técnica, devido à natureza amostrada do circuito de realimentação de modo comum, tem sua aplicação limitada a circuitos de dados amostrados como filtros a capacitor chaveado. Além do mais, este tipo de circuito é praticamente impossível de simular durante a etapa de projeto do amplificador operacional em programas de simulação como o SPICE, porque estes fazem simulação transitória, e necessitam de um tempo de processamento enorme e uma memória gigantesca.

A terceira técnica necessita de um amplificador operacional de dois estágios para ter capacidade de corrente através dos resistores de soma, e precisa ser compensado por um par resistor/capacitor em série entre os dois estágios, para atingir ganho de malha aberta satisfatório.

Em [15] são feitas as seguintes considerações a cerca da realimentação de modo comum em amplificadores com entradas e saídas diferenciais.

- a. O amplificador deve ter o ganho de malha aberta de modo comum o mais alto possível (similar ao ganho de modo diferencial).
- b. A largura de banda do laço de modo comum tem que ser pelo menos tão grande quanto a maior frequência em que se deseja equilíbrio na saída. Em muitas aplicações esta deve ser igual à largura de banda do amplificador de modo diferencial.
- c. Para garantir estabilidade de modo comum, geralmente é necessária compensação em frequência do laço de modo comum. Esta condição é acrescentada à necessidade usual de compensação do amplificador de modo diferencial.
- d. Se os caminhos dos sinais de modo comum e diferencial são “unidos” logo na entrada do amplificador e suas partes separadas restantes são idênticas ou equivalentes, então os objetivos a-c acima podem ser alcançados automaticamente pelo projeto regular do caminho de modo diferencial.
- e. O detector de sinal de modo comum deve ter uma característica linear.

O modelo de um amplificador com entradas e saídas diferenciais mostrado na *Figura 3-1* foi apresentado em [13]. Este representa a idéia citada acima, no item “d”, de se compartilhar a compensação em frequência do sinal diferencial com o sinal de modo comum, a fim de se obter realimentação de modo comum com alto ganho, grande largura de banda, e ainda ser estável.

4 Escolha da Configuração do Circuito do Amplificador com Entradas e Saídas Diferenciais

Antes de escolher a configuração do circuito é preciso definir qual o tipo de aplicação do circuito, e conseqüentemente seus objetivos de desempenho.

O intuito deste projeto é produzir um amplificador com entradas e saídas diferenciais capaz de servir a uma ampla gama de aplicações, podendo ser usado em circuitos de sinais contínuos no tempo (por exemplo: condicionamento de sinais de sensores, filtros, *drivers* de linhas de transmissão diferencial e conversores analógico/digital) e amostrados como circuitos a capacitor chaveado.

Como o circuito não é destinado a uma aplicação específica, suas características foram escolhidas com base nos amplificadores comumente encontrados na literatura, de modo que nenhuma característica prevaleça sobre as outras (por exemplo: alta frequência, baixo consumo, alto *slew-rate*, baixo *off-set*, baixa impedância de saída, etc...), mas que ao mesmo tempo cada uma delas alcance um nível satisfatório, a fim de se obter um circuito que seja um bloco versátil para uso em uma ampla gama de aplicações. O que se deseja é um amplificador com entradas e saídas diferenciais de uso geral, capaz de alimentar cargas resistivas e capacitivas.

O objetivo é obter o desempenho especificado na *Tabela 4-1*.

Parâmetro	Característica
Carga Padrão	$R_L=10k\Omega, C_L=10pF$
Alimentação	$+2,5V/-2,5V$
Ganho DC – em cada uma das saídas	$A_v > 70dB$
Frequência de ganho unitário	$GBW > 5MHz$
<i>Slew-rate</i>	$SR > 5V/\mu s$
Nível médio	$0V$
Excursão máxima do sinal em cada uma das saídas	$\pm 2,0V$

Tabela 4-1: Especificações propostas para o amplificador com entradas e saídas diferenciais.

5 Descrição do Funcionamento do Circuito

A configuração do circuito escolhida é a mostrada na *Figura 5-1*, ela foi descrita em [15] e se baseia num amplificador operacional de dois estágios com entrada diferencial tipo *cascode* citado em muitos textos [1], [3], [17], [18], sendo perfeitamente capaz de atingir o desempenho especificado. O circuito de realimentação de modo comum é unido com o circuito de modo diferencial logo na entrada do amplificador, a fim de satisfazer a consideração no item “d” descrita no capítulo 3.

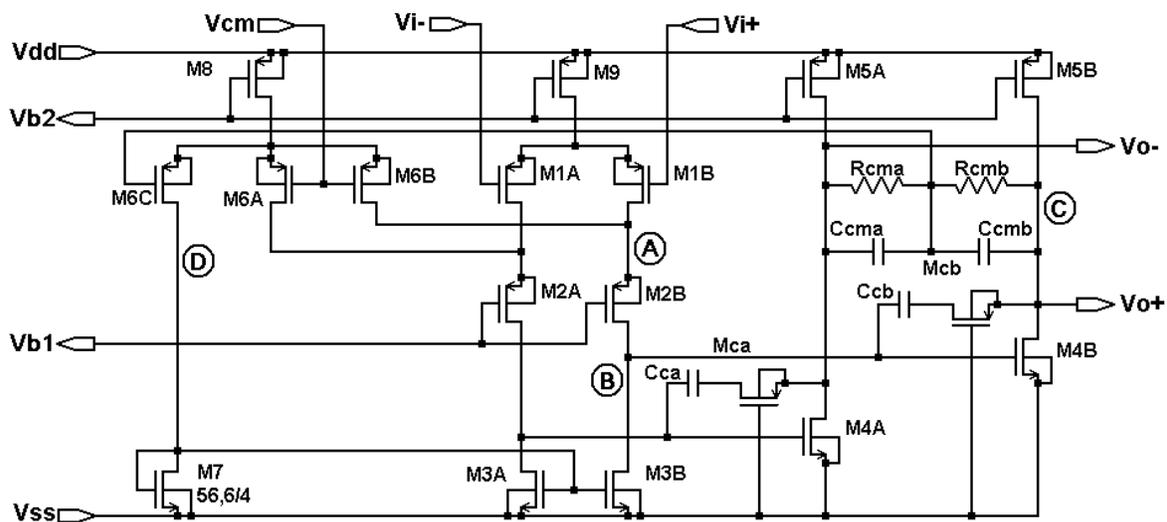


Figura 5-1: Circuito do amplificador com entradas e saídas diferenciais.

Os transistores M1A, M1B, M2A, M2B, M3A, M3B e M9 formam a entrada diferencial. M1A e M1B são configurados como amplificadores fonte-comum alimentando os transistores porta-comum M2A e M2B formando um *cascode*, M3A e M3B são as cargas ativas do estágio diferencial de entrada e M9 é um espelho de corrente que alimenta o estágio diferencial de entrada. A configuração *cascode* possui duas vantagens diretas em relação à entrada apenas com fonte-comum: primeiramente aumenta a impedância de saída do estágio de entrada, ponto B, conseqüentemente o ganho também aumenta; em segundo melhora a resposta em frequência porque a carga na saída do amplificador fonte-comum (ponto A) tem baixa impedância, aproximadamente $1/g_m$. Se os transistores M1A, M1B, M2A e M2B forem iguais e estiverem polarizados com a mesma corrente de dreno terão a mesma transcondutância, e o ganho do fonte-comum será unitário minimizando o efeito

Miller. Assim, o ganho será dado pelo porta-comum que possui largura de banda maior que o fonte-comum.

As saídas são formadas pelos transistores M4A e M4B que também são estágios de ganho em configuração fonte-comum com M5A e M5B como cargas ativas. É utilizada a compensação por efeito Miller (espalhamento de pólos), com C_{ca} , C_{cb} , M_{ca} e M_{cb} ligando a saída do primeiro estágio à saída do segundo. Os transistores M_{ca} e M_{cb} são polarizados na região ôhmica funcionando como resistências.

O circuito de realimentação de modo comum é unido com o circuito de modo diferencial logo na entrada do amplificador, e os transistores M6A, M6B, M6C, M7 e M8 constituem o estágio de entrada de modo comum que é equivalente à entrada de modo diferencial, ambos os sinais são igualmente amplificados.

O sinal de realimentação de modo comum e o sinal de entrada de modo diferencial são combinados como corrente nas entradas de M2A e M2B, deste ponto até as saídas os sinais compartilham o mesmo circuito, inclusive a compensação, como é citado no item “d” do capítulo 3.

6 Análise da Resposta em Frequência

A análise incremental apresentada a seguir foi extraída de [3] e [17]. Sua finalidade é fornecer equações simplificadas que descrevem o comportamento em frequência de um amplificador de dois estágios, de modo a possibilitar o dimensionamento dos componentes de compensação em frequência, e facilitar a percepção da influência de cada variável nas características do circuito.

A *Figura 6-1* representa o modelo incremental de um amplificador operacional de dois estágios com compensação por efeito Miller [17]. Como os caminhos dos sinais diferenciais são equivalentes, a análise de apenas um já é suficiente para a compreensão do circuito. Os nós **B** e **C** representam as saídas do primeiro e do segundo estágio, respectivamente. Os resistores R_{o1} e R_{o2} representam as resistências totais equivalentes nos nós **B** e **C**, e os capacitores C_{o1} e C_{o2} representam as capacitâncias totais em cada nó.

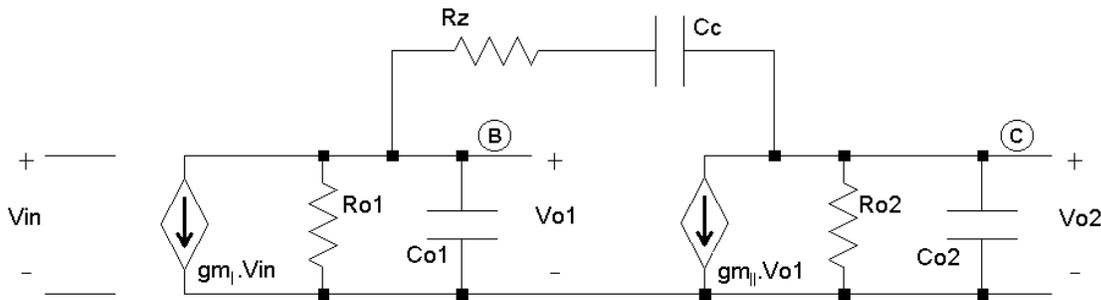


Figura 6-1: Circuito incremental equivalente de um amplificador de dois estágios com compensação RC.

As fontes de corrente controladas por tensão representam os efeitos das transcondutâncias dos dois estágios, os índices em algarismos romanos dizem respeito aos estágios, sendo g_{mI} e g_{mII} iguais às transcondutâncias dos transistores M1 e M4 da *Figura 5-1*, respectivamente.

A compensação em frequência é feita com um capacitor, C_C , em série com um resistor, R_Z . A introdução de R_Z permite que se tenha controle sobre o zero da função de transferência, o qual é necessário em circuitos MOS, porque este zero está no semi-plano direito, e sua correspondente frequência é diretamente proporcional ao valor da

transcondutância do segundo estágio. Como esta geralmente tem baixo valor, o zero pode estar dentro da faixa de frequência de trabalho do circuito e degradar a margem de fase.

A capacitância entre porta e dreno do transistor M4, C_{gd4} , que liga a saída do primeiro estágio à saída do segundo, nós **B** e **C** respectivamente, é omitido nesta análise porque este é considerado muito menor que o capacitor de compensação C_C , tendo pouca influência nos resultados finais.

O equacionamento deste circuito leva à seguinte função de transferência, como apresentado em [17]:

$$\frac{V_{O2}(s)}{V_{IN}(s)} = \frac{a \cdot \{1 - s \cdot [(C_C / gm_2) - R_Z \cdot C_C]\}}{1 + b \cdot s + c \cdot s^2 + d \cdot s^3} \quad \text{Eq. 6-1}$$

Com os índices a , b , c e d abaixo, onde a é igual ao ganho em baixas frequências.

$$a = gm_1 \cdot gm_2 \cdot R_{O1} \cdot R_{O2}$$

$$b = (C_{O2} + C_C) \cdot R_{O2} + (C_{O1} + C_C) \cdot R_{O1} + gm_2 \cdot R_{O1} \cdot R_{O2} \cdot C_C + R_Z \cdot C_C$$

$$c = R_{O1} \cdot R_{O2} \cdot (C_{O1} \cdot C_{O2} + C_{O1} \cdot C_C + C_{O2} \cdot C_C) + R_Z \cdot C_C \cdot (R_{O1} \cdot C_{O1} + R_{O2} \cdot C_{O2})$$

$$d = R_{O1} \cdot R_{O2} \cdot R_Z \cdot C_{O1} \cdot C_{O2} \cdot C_C$$

O índice a representa o ganho total do amplificador operacional para baixas frequências, que é igual ao produto do ganho dos dois estágios: $a=Av= Av_1 \cdot Av_2$, sendo que $Av_1 = -gm_I \cdot R_{O1}$ e $Av_2 = -gm_{II} \cdot R_{O2}$.

Considerando que os pólos da função de transferência do circuito dada pela equação 6-1 sejam razoavelmente espaçados, é possível utilizar as aproximações descritas pela equação 6-2 para calcular os pólos:

$$\begin{cases} p_1 = \frac{-1}{b} \\ p_2 = \frac{-b}{c} \\ p_3 = \frac{-c}{d} \end{cases} \quad \text{Eq. 6-2}$$

Estas aproximações resultam em:

$$p_1 = \frac{-1}{(1 + gm_{II} \cdot R_{O2}) \cdot R_{O1} \cdot C_C} \cong \frac{-1}{gm_{II} \cdot R_{O2} \cdot R_{O1} \cdot C_C} \quad \text{Eq. 6-3}$$

$$p_2 = \frac{-gm_{II} \cdot C_C}{C_{O1} \cdot C_{O2} + C_{O1} \cdot C_C + C_{O2} \cdot C_C} \cong \frac{-gm_{II}}{C_{O1} + C_{O2}} \quad \text{Eq. 6-4}$$

$$p_3 \cong \frac{-1}{R_Z \cdot C_{O1}} \quad \text{Eq. 6-5}$$

O zero da função de transferência é dado pela equação 6-6.

$$z_1 \cong \frac{1}{C_C \cdot \left(\frac{1}{gm_{II}} - R_Z \right)} \quad \text{Eq. 6-6}$$

A frequência do pólo dominante, p_1 , é inversamente proporcional ao ganho do segundo estágio que é dado por $gm_{II} \cdot R_{O2}$, isso se deve ao efeito Miller que faz com que o capacitor entre a entrada e a saída do segundo estágio, no caso C_C , seja equivalente a um capacitor multiplicado pelo ganho do segundo estágio conectado ao terra. O pólo p_3 pode ser desprezado por ser muito maior que p_2 , portanto não influencia a resposta em frequência dentro da faixa de operação.

A equação 6-6 mostra que se $R_Z = 1/gm_{II}$ o zero é eliminado. Também, é possível aumentar o valor do resistor para fazê-lo maior que $1/gm_{II}$, e assim mover o zero do

semiplano direito para o semiplano esquerdo e melhorar a margem de fase do sistema. Assim para compensar o amplificador operacional é preciso satisfazer a equação 6-7.

$$R_z \geq \frac{1}{gm_{II}} \quad \text{Eq. 6-7}$$

Uma vez feita a análise incremental do circuito genérico e simplificado de um amplificador operacional com dois estágios de ganho, é necessário identificar no circuito da *Figura 5-1* a transcondutância, a capacitância e a resistência de saída de cada estágio.

O ganho e a impedância de saída do primeiro estágio estão deduzidos na seção 16.2, e do segundo estágio na seção 16.3.

Primeiro Estágio

Ganho Incremental: $Av_1 = -gm_I \cdot R_{O1}$ Eq. 6-8

Impedância de Saída: $R_{O1} \cong r_{o3} // [gm_2 \cdot r_{o2} \cdot (r_{o1} // r_{o6})] \cong r_{o3}$ Eq. 6-9

Capacitância de Saída: $C_{O1} \cong C_{gs4} + C_{gb4} + C_{db3} + C_{gd3} + C_{gd2}$
 $C_{O1} \cong C_{gs4}$ Eq. 6-10

Segundo Estágio

Ganho Incremental: $Av_2 = -gm_{II} \cdot R_{O2}$ Eq. 6-11

Impedância de Saída: $R_{O2} \cong r_{o4} // r_{o5} // R_L // R_{CM} \cong R_L // R_{CM}$ Eq. 6-12

Capacitância de Saída: $C_{O2} \cong C_{db4} + C_{db5} + C_{gd5} + C_L + C_{CM}$
 $C_{O2} \cong C_L + C_{CM}$ Eq. 6-13

Das equações acima observamos que o primeiro estágio possui ganho bastante alto devido à alta impedância de saída da entrada diferencial *cascode*. Conseqüentemente, possui um pólo em baixas frequências que é o dominante, e dependente do ganho do segundo estágio devido ao efeito Miller, que faz com que a capacitância entre os terminais de porta e dreno do transistor M4 apareça multiplicada pelo ganho.

No segundo estágio o ganho, a impedância e a capacitância de saída são funções da carga externa (R_L e C_L), e dos capacitores e resistores de modo comum (R_{CM} e C_{CM}).

7 Análise da Polarização

Em um amplificador com entradas e saídas diferenciais o caminho do sinal de modo comum e diferencial devem ser equivalentes [15]. Assim, é necessário que as dimensões dos transistores M6A e M6B sejam iguais a metade de M1A e M1B, e que M6C tenha as mesmas dimensões de M1A e M1B, daí segue a equação 7-1.

$$\left\{ \begin{array}{l} \left(\frac{W}{L} \right)_{1A} = \left(\frac{W}{L} \right)_{1B} = \left(\frac{W}{L} \right)_{6C} = 2 \cdot \left(\frac{W}{L} \right)_{6A} = 2 \cdot \left(\frac{W}{L} \right)_{6B} \\ \left(\frac{W}{L} \right)_8 = \left(\frac{W}{L} \right)_9 \end{array} \right.$$

Eq. 7-1

Fazendo a somatória das correntes nos vários nós no circuito da *Figura 5-1*, obtêm-se as relações de correntes descritas pela equação 7-2.

$$\left\{ \begin{array}{l} I_8 = I_9 = I_{bias} \\ I_{1A} = I_{1B} = I_7 = I_{6C} = \frac{I_{bias}}{2} \\ I_{6A} = I_{6B} = \frac{I_{bias}}{4} \\ I_{2A} = I_{2B} = I_{3A} = I_{3B} = \frac{3}{4} \cdot I_{bias} \\ I_{4A} = I_{4B} = I_{5A} = I_{5B} \end{array} \right.$$

Eq. 7-2

Para facilitar a análise, quando houver uma referência ao transistor M3, deve ficar subentendido que M3 é igual a M3A e M3B, o mesmo valendo para M4, M5, pois os caminhos dos sinais diferenciais são equivalentes.

Analisando as tensões entre porta e fonte e relacionando com as correntes estabelecidas na equação 7-2, definem-se as razões das dimensões dos transistores para polarizar o circuito.

Os transistores M8, M9, M5A e M5B têm as portas ligadas à mesma tensão, V_{bias1} , formando a rede de espelhos de corrente que polariza o circuito. Assim, as dimensões destes transistores se relacionam segundo a equação 7-3.

$$V_{GS8} = V_{GS9} = V_{GS5} \Rightarrow \frac{I_8}{(W/L)_8} = \frac{I_9}{(W/L)_9} = \frac{I_5}{(W/L)_5} \quad \text{Eq. 7-3}$$

Como as portas dos transistores M3 e M7 estão ligadas ao mesmo nó, V_{GS3} é igual a V_{GS7} . Devido a isto, utilizando as relações estabelecidas na equação 7-2, tem-se:

$$\begin{aligned} V_{GS7} = V_{GS3} &\Rightarrow \frac{I_7}{(W/L)_7} = \frac{I_3}{(W/L)_3} \Rightarrow \\ &\Rightarrow \frac{I_{bias}/2}{(W/L)_7} = \frac{3 \cdot I_{bias}/4}{(W/L)_3} \Rightarrow \left(\frac{W}{L}\right)_3 = \frac{3}{2} \left(\frac{W}{L}\right)_7 \end{aligned} \quad \text{Eq. 7-4}$$

Assumindo que o módulo das tensões entre porta e fonte dos transistores M4 e M5 são aproximadamente iguais e sabendo que quando a tensão de saída for nula, ambos possuem a mesma corrente de dreno, é possível estabelecer uma relação entre as dimensões destes transistores.

$$\left\{ \begin{aligned} I_4 &= \frac{K_N}{2} \cdot \left(\frac{W}{L}\right)_4 \cdot (V_{GS4} - V_{TN}) & I_5 &= \frac{K_P}{2} \cdot \left(\frac{W}{L}\right)_5 \cdot (V_{GS5} - V_{TP}) \\ V_{GS5} = V_{GS4} &\Rightarrow \frac{I_5}{(K_P/2) \cdot (W/L)_5} = \frac{I_4}{(K_N/2) \cdot (W/L)_4} \Rightarrow \\ &\Rightarrow K_P \cdot \left(\frac{W}{L}\right)_5 = K_N \cdot \left(\frac{W}{L}\right)_4 \end{aligned} \right. \quad \text{Eq. 7-5}$$

Onde K_N e K_P são numericamente iguais ao produto da mobilidade efetiva com a capacitância do óxido, $\mu \cdot C_{OX}$, dos transistores canal N e P, respectivamente.

Considerando que V_{GD3} é aproximadamente zero, então V_{GS3} é aproximadamente igual a V_{GS4} , que resulta na equação 7-6.

$$V_{GS3} = V_{GS4} \Rightarrow \frac{I_3}{(W/L)_3} = \frac{I_4}{(W/L)_4} \quad \text{Eq. 7-6}$$

Para anular o off-set sistemático é necessário que a densidade de corrente de M4 seja igual à de M3 [3]. Assim, a partir das relações de corrente de 7-2 e da equação 7-6, obtém-se 7-7.

$$\left\{ \begin{array}{l} V_{GS3} = V_{GS4} \Rightarrow \frac{I_3}{(W/L)_3} = \frac{I_4}{(W/L)_4} \\ I_3 = \frac{3}{4} \cdot I_{bias} = \frac{3}{4} \cdot I_9; \quad I_4 = I_5 \end{array} \right. \Rightarrow \frac{(W/L)_3}{(W/L)_4} = \frac{3}{4} \cdot \frac{I_9}{I_5} \quad \text{Eq. 7-7}$$

E utilizando 7-3 resulta em:

$$\frac{(W/L)_3}{(W/L)_4} = \frac{3}{4} \cdot \frac{(W/L)_9}{(W/L)_5} \quad \text{Eq. 7-8}$$

8 Procedimentos de Projeto

As análises feitas nos capítulos 6 e 7 fornecem o subsídio necessário para dimensionar os vários componentes do amplificador com entradas e saídas diferenciais. Na fase de simulação é feito o redimensionamento de alguns componentes até se obter o desempenho desejado.

Fazendo uma observação sobre as equações de resposta em frequência do capítulo 6, nota-se que a frequência correspondente ao pólo dominante é inversamente proporcional ao ganho do segundo estágio (Eq. 6.3). Então, fazendo com que a maior parte do ganho total seja dada pelo primeiro estágio, e conseqüentemente, que o ganho do segundo estágio seja pequeno, pode-se conseguir uma frequência de ganho unitário maior.

Alem disso, enquanto a impedância de saída do primeiro estágio é da ordem de mega-ohms a do segundo é da ordem de quilo-ohms, assim, mesmo que a transcondutância do segundo estágio seja maior que a do primeiro, nunca terá três ordens de grandeza de diferença. Então, conclui-se que, neste caso, o ganho do primeiro estágio é maior que o do segundo.

Para o espelho de corrente formado pelos transistores M8, M9 e M10 foi escolhida corrente de $20\mu A$.

Para que a máxima excursão de saída seja de $-2,0V$ a $+2,0V$ com carga de $10k\Omega$ é necessário que a corrente de polarização do transistor M4 seja de pelo menos $200\mu A$, isso faz com que o amplificador tenha um consumo alto mesmo que não tenha carga ligada a saída, como não há limitações impostas ao consumo este fato não apresenta nenhum problema ao projeto.

A partir destas considerações, foram feitos os dimensionamentos dos transistores como descrito na seção seguinte.

8.1 Dimensionamento dos Sensores de Modo comum

É importante calcular os valores de R_{CM} e C_{CM} antes de dimensionar os transistores porque eles afetam diretamente o ganho e o pólo do segundo estágio, como mostrado no capítulo 6.

Os dois pares de resistores e capacitores que formam o sensor de modo comum devem ser dimensionados para que tenham frequência de corte maior do que a frequência de ganho unitário, assim o amplificador mantém o controle sobre a tensão de modo comum em toda a banda de operação.

Com $R_{CM}=20k\Omega$ e $C_{CM}=1pF$, a frequência de corte é aproximadamente 8,0MHz como mostra a equação 8-1.

$$GBW < \frac{1}{2 \cdot \pi \cdot R_{CM} \cdot C_{CM}} = \frac{1}{2 \cdot \pi \cdot 20k \cdot 1p} \cong 8MHz \quad \text{Eq. 8-1}$$

8.2 Dimensionamento dos Transistores

O circuito integrado foi fabricado na tecnologia 0.6 μ m CMOS CUQ da AMS (Austria Mikro Systeme Internacional AG), os principais parâmetros elétricos utilizados nos cálculos foram extraídos de [19] e estão na *Tabela 8-1* para os transistores canal N e na *Tabela 8-2* para os transistores canal P.

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de <i>Threshold</i>	v_{TN}	0,60	0,72	0,84	V
Fator de Efeito de Corpo	γ_N	0,70	0,80	0,90	$V^{1/2}$
Mobilidade Efetiva	μ_N		430		$cm^2/V.s$
Capacitância do Óxido	C_{OX}	2,56	2,76	3,00	fF/ μm^2
Fator de Ganho ($\mu_N.C_{OX}$)	K_N	100	120	140	$\mu A/V^2$

Tabela 8-1: Parâmetros elétricos dos transistores canal N.

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de <i>Threshold</i>	v_{TP}	-0,68	-0,80	-0,92	V
Fator de Efeito de Corpo	γ_P	0,42	0,48	0,54	$V^{1/2}$
Mobilidade Efetiva	μ_P		145		$cm^2/V.s$
Capacitância do Óxido	C_{OX}	2,56	2,76	3,00	fF/ μm^2
Fator de Ganho ($\mu_P.C_{OX}$)	K_P	34	40	46	$\mu A/V^2$

Tabela 8-2: Parâmetros elétricos dos transistores canal P.

Inicialmente todos os transistores foram dimensionados com o comprimento do canal igual a dois micro-metros ($L=2\mu m$).

O fator de modulação de canal, λ , é utilizado nos cálculos de impedância de saída incremental dos transistores segundo a equação 8-2, como seu valor não depende apenas do processo de fabricação, mas sim das dimensões do transistor, sendo inversamente proporcional ao comprimento do canal, este não é fornecido pela AMS. Para os transistores com comprimento de canal entre $2\mu m$ e $4\mu m$, o fator de modulação de canal está na faixa de $12mV^{-1}$ a $17mV^{-1}$, segundo resultados de simulações anteriores.

$$r_o = \frac{1}{\lambda \cdot I_D} \quad \text{Eq. 8-2}$$

No calculo da transcondutância foi utilizada a equação 5-3.

$$gm = \sqrt{2 \cdot K \cdot \frac{W}{L} \cdot I_D} \quad \text{Eq. 8-3}$$

Para se obter a excursão de saída desejada é preciso que quando o sinal de entrada do segundo estágio, igual à saída do primeiro, atinge seu valor máximo, V_{OI-MAX} , o transistor M4 seja capaz de sorver toda corrente da carga mais a corrente de M5, satisfazendo assim a seguinte equação.

$$I_5 + I_O^- = \frac{K_N}{2} \cdot \left(\frac{W}{L}\right)_4 \cdot (V_{OI-MAX} - V_{SS} - V_{TN}) \quad \text{Eq. 8-4}$$

Resolvendo a equação 8-4 para $I_5 = I_O^- = 200\mu A$, $V_{OI-MAX} = -1,5V$, $V_{TN} = 0,72V$, $V_{SS} = -2,5V$, obtém-se a seguinte razão de dimensão do transistor M4.

$$\left(\frac{W}{L}\right)_4 = \frac{170}{2} \quad \text{Eq. 8-5}$$

Com estas dimensões calcula-se a transcondutância do transistor M4 utilizando a equação 8-3.

$$gm_4 = 2,0m A/V \quad \text{Eq. 8-6}$$

Supondo a impedância de saída com a carga conectada igual a $R_{O2} = R_L // R_{CM} = 6,7k\Omega$, o módulo do ganho do segundo estágio é $|Av_2| = gm_{II} \cdot R_{O2} \cong 13,4 V/V$.

As dimensões de M5 são calculadas utilizando-se a equação 7-4, com $K_N = 120\mu A/V^2$ e $K_P = 40\mu A/V^2$ obtém-se:

$$\left(\frac{W}{L}\right)_5 = \frac{510}{2} \quad \text{Eq. 8-7}$$

Para que o ganho total seja maior que 70dB (aproximadamente 3200 V/V) é preciso que o módulo do ganho do primeiro estágio seja $|Av_1| > 240 V/V$. A partir da equação 6-8 e 6-9 calcula-se a transcondutância do transistor M1 da seguinte forma:

$$r_{O3} = \frac{1}{\lambda \cdot I_D} = \frac{1}{0,013 \cdot 15\mu} = 5,1M\Omega \quad \text{Eq. 8-8}$$

$$gm_1 = \frac{Av_2}{r_{O3}} = \frac{240}{5M} = 48\mu A/V \quad \text{Eq. 8-9}$$

Com a transcondutância encontrada na equação 8-9, calcula-se as dimensões do transistor M1 utilizando a equação 8-3.

$$\left(\frac{W}{L}\right)_1 = \frac{5,8}{2} \quad \text{Eq. 8-10}$$

Tendo dimensionado o transistor M5, é possível dimensionar M9 utilizando a equação 4-5, com $I_9=20\mu A$ e $I_5=200\mu A$. Como M8, M9 e M10 espelham correntes de mesmo valor, todos possuem as mesmas dimensões.

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_9 = \left(\frac{W}{L}\right)_{10} = \frac{51}{2} \quad \text{Eq. 8-11}$$

As dimensões do transistor M3 são calculadas através da equação 7-6, que relaciona este com M4.

$$\left(\frac{W}{L}\right)_3 = \frac{12,75}{2} \quad \text{Eq. 8-12}$$

O transistor M7 se relaciona com M3 através da equação 7-4.

$$\left(\frac{W}{L}\right)_7 = \frac{9,56}{2} \quad \text{Eq. 8-13}$$

A equação 7-1 relaciona os transistores M6A, M6B e M6C com M1, assim se obtém as dimensões destes.

$$\left(\frac{W}{L}\right)_{6C} = \frac{7,8}{2} \quad \text{Eq. 8-14}$$

$$\left(\frac{W}{L}\right)_{6A} = \left(\frac{W}{L}\right)_{6A} = \frac{3,9}{2} \quad \text{Eq. 8-15}$$

Para o transistor M2, foram adotadas as mesmas dimensões de M1, para que ambos tenham a mesma transcondutância e minimize o efeito Miller no amplificador fonte comum da entrada diferencial, conforme explicação no capítulo 5.

$$\left(\frac{W}{L}\right)_1 = \frac{7,8}{2} \quad \text{Eq. 8-16}$$

Os transistores M11 e M12 formam o circuito de polarização do amplificador, eles geram a corrente de $20\mu A$ que é a referência do espelho e a tensão de polarização da porta de M2. Suas dimensões não foram calculadas inicialmente, e sim ajustadas durante a simulação até obter-se os valores desejados de tensões e correntes.

A Tabela 8-3 apresenta as dimensões dos transistores inicialmente calculadas.

Transistor	Dimensão W/L (μm)
M1A e M1B	$7,8/2$
M2A e M2B	$7,8/2$
M3A e M3B	$12,75/2$
M4A e M4B	$170/2$
M5A e M5B	$510/2$
M6A e M6B	$3,9/2$
M6C	$7,8/2$
M7	$8,5/2$
M8	$51/2$
M9	$51/2$
M10	$51/2$

Tabela 8-3: Dimensões dos transistores inicialmente calculadas

8.3 Dimensionamento dos Componentes de Compensação em Frequência

Segundo a descrição feita no capítulo 6 a compensação em frequência de um amplificador operacional CMOS de dois estágios precisa ser feita com um capacitor em série com um resistor. O cálculo dos valores destes componentes são demonstrados a seguir.

As equações 8-17 e 8-18 definem as frequências referentes aos dois pólos mais significativos do sistema.

$$f_1 = \frac{|p_1|}{2 \cdot \pi} = \frac{1}{2 \cdot \pi \cdot g_{m_{II}} \cdot R_{O2} \cdot R_{O1} \cdot C_C} \quad \text{Eq. 8-17}$$

$$f_2 = \frac{|p_2|}{2 \cdot \pi} = \frac{g_{m_{II}} \cdot C_C}{2 \cdot \pi \cdot [C_{O1} \cdot C_{O2} + C_C \cdot (C_{O1} + C_{O2})]} \quad \text{Eq. 8-18}$$

O produto ganho banda é dado por:

$$GBW = A_v \cdot f_1 \quad \text{Eq. 8-19}$$

Para que a margem de fase seja de 60° é preciso satisfazer a equação 8-20 [17].

$$f_2 \cong 2,2 \cdot GBW \quad \text{Eq. 8-20}$$

Unindo as equações 8-19 e 8-20 fica estabelecida a seguinte relação entre f_1 e f_2 .

$$f_2 \cong 2,2 \cdot A_v \cdot f_1 \quad \text{Eq. 8-21}$$

Alguns dos parâmetros necessários para estes cálculos já foram determinados anteriormente, mas para facilitar estão reunidos a seguir.

$$\begin{cases} Av = Av_1 \cdot Av_2 = 3184V/V \\ gm_{II} = gm_4 = 2,0m A/V \\ R_{O1} = r_{O3} = 5,1M\Omega \\ R_{O2} \cong R_L // R_{CM} = 6666\Omega \\ C_{O2} \cong C_L + C_{CM} = 14pF \\ C_{O1} \cong C_{gs4} \end{cases} \quad \text{Eq. 8-22}$$

A capacitância C_{gs4} é calculada a seguir, utilizando o valor de C_{OX} dado pela *Tabela 8-1* e as dimensões W e L do transistor M4 calculadas no item 8.2.

$$\begin{cases} C_{OX} = 2,76 fF/\mu m^2 \\ W = 170\mu m \\ L = 2\mu m \end{cases} \Rightarrow C_{gs} = \frac{2}{3} \cdot C_{OX} \cdot W \cdot L \Rightarrow C_{gs4} = 0.625 pF \quad \text{Eq. 8-23}$$

O capacitor de compensação foi calculado por um processo iterativo, tentando um valor e recalculando f_1 , f_2 e GBW até satisfazer aproximadamente os três itens, os valores finais obtidos são:

$$\begin{cases} Cc = 0,975 pF \\ f_1 = 2,4kHz \\ f_2 = 17MHz \\ GBW = 7,64MHz \end{cases} \quad \text{Eq. 8-24}$$

O resistor de compensação, R_Z , precisa ser maior que $1/gm_{II}$, ou seja maior do que 500Ω para que o zero devido a compensação passe do semi-plano direito para o semi-plano esquerdo e melhore a margem de fase. Como é difícil determinar analiticamente o efeito deste zero sobre a margem de fase, não foi feito um cálculo inicial e seu valor foi determinado durante as simulações.

9 Simulações

A etapa de simulação tem como objetivo refinar o projeto fazendo modificações nos vários componentes (resistores, capacitores e transistores) até atingir o desempenho desejado. A simulação inclui os vários elementos parasitas e faz uma estimativa mais realista dos parâmetros dos transistores como tensão de *threshold* e fator de modulação de canal, por exemplo.

Estes parâmetros possuem grande influência no funcionamento do circuito, tanto na polarização como na resposta em frequência. A tensão de *threshold*, por exemplo, pode estar numa faixa de até 16% em torno de um valor como é mostrado nas tabelas *Tabela 8-1* e *Tabela 8-2*, assim é possível haver grande diferença entre os cálculos manuais e as simulações.

Nesta tecnologia de fabricação de circuito integrado, os pontos onde são feitas as soldas no circuito integrado para ligação com os terminais do encapsulamento, os chamados *pads*, possuem uma capacitância parasita ligada ao substrato de $4pF$, e dois diodos ligados aos terminais de alimentação para proteção contra sobre-tensão. E os *pads* ligados às portas possuem um resistor de 400Ω em série para proteger o óxido da porta.

Para simular a influência dos *pads* do circuito integrado no amplificador, foram colocados nos terminais de entrada V_{i-} , V_{i+} e V_{CM} um resistor de 400Ω em série e um capacitor de $4pF$ ligado a terra. Nos terminais de saída V_{o-} e V_{o+} foram colocados apenas os capacitores de $4pF$. Os diodos de proteção foram ignorados na simulação porque sua influência no funcionamento do circuito pode ser considerada desprezível.

As simulações foram feitas no *Accusim* do programas *Mentor Graphics*.

9.1 Ponto de Operação

O ponto de polarização é o primeiro item a ser analisado na simulação, a tensão na porta dos transistores M2A e M2B (V_{G2}) foi ajustada até se conseguir que a resposta a tensão de modo comum estivesse dentro da faixa de $-1V$ a $1V$, com as entradas V_{i-} e V_{i+} aterradas, assim chegou-se a $V_{G2} = -1,5V$. E as seguintes dimensões de M11 e M12.

$$\left(\frac{W}{L}\right)_{11} = \frac{1,7}{4} \quad \text{Eq. 9-1}$$

$$\left(\frac{W}{L}\right)_{12} = \frac{51}{2} \quad \text{Eq. 9-2}$$

Tendo ajustado a polarização do circuito, foi feita uma análise da excursão do sinal de saída com a carga de $R_L=10k\Omega$ e $C_L=10pF$ conectados, a amplitude do sinal estava dentro da faixa mínima desejada de $-2V$ a $2V$. Assim não houve necessidade de redimensionar os transistores M4 e M5.

9.2 Resposta em Freqüência

Para obter a resposta em freqüência desejada foram feitas modificações nas dimensões dos transistores que afetam diretamente o ganho e nos componentes de compensação, resistores e capacitores.

Duas variáveis afetam diretamente o ganho: a razão largura por comprimento do canal (W/L), e o comprimento do canal, a primeira porque a transcondutância é diretamente proporcional a raiz quadrada de razão W/L de acordo com a equação 5-3, a segunda porque o fator de modulação de canal, λ , é inversamente proporcional ao comprimento do canal, e a impedância de saída do transistor, r_o , é inversamente proporcional a λ , assim quanto maior o comprimento do canal maior a impedância de saída.

Então, para aumentar o ganho aumentou-se a razão W/L dos transistores do par diferencial de entrada M1A e M1B, pois $A_{v1}=g_{m1}.r_{O3}$. Conseqüentemente, foram alterados os seguintes transistores que estão relacionados a estes: M2A, M2B, M6A, M6B e M6C.

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_{6C} = \frac{24}{2} \quad \text{Eq. 9-3}$$

$$\left(\frac{W}{L}\right)_{6A} = \left(\frac{W}{L}\right)_{6B} = \frac{12}{2} \quad \text{Eq. 9-4}$$

Outra forma de aumentar o ganho foi aumentando o comprimento do canal dos transistores M3A e M3B sem alterar a razão W/L , elevando assim a impedância de saída destes. O mesmo foi feito para o transistor M7.

$$\left(\frac{W}{L}\right)_{3A} = \left(\frac{W}{L}\right)_{3B} = \frac{85}{4} \quad \text{Eq. 9-5}$$

$$\left(\frac{W}{L}\right)_7 = \frac{56,7}{4} \quad \text{Eq. 9-6}$$

Os transistores do segundo estágio não foram alterados porque não há interesse em aumentar o ganho do segundo, pois este afeta o pólo dominante do amplificador segundo as equações 6-3.

Para chegar a margem de fase desejada o melhor valor do capacitor de compensação foi de $0,6pF$, e resistor de $1,5k\Omega$.

O resistor foi substituído por um transistor MOS operando na região linear com impedância incremental de saída definida pela equação 9-7.

$$r_o = \frac{1}{K_P \cdot (W/L) \cdot |V_{GS} - V_T|} \quad \text{Eq. 9-7}$$

Para o circuito da *Figura 9-1* $V_{GS} = V_{SS} - V_O$, portanto quando a tensão de saída excursiona de $-2,0V$ a $2,0V$ a impedância do transistor varia. Assim a razão largura por comprimento do canal (W/L) deste transistor deve ser calculada para conseguir que sua impedância satisfaça a equação 6-7 para todos os valores de V_O . O pior caso é quando a tensão de saída é $2,0V$ e a impedância de saída do transistor é mínima. Para esta situação foram calculadas as dimensões do transistor de compensação para se obter $r_o \cong 2,0k\Omega$, garantindo assim a estabilidade do amplificador operacional.

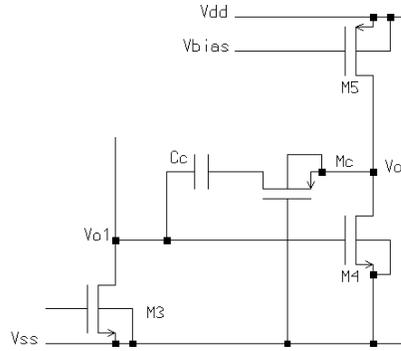


Figura 9-1: Compensação com transistor MOS na região ôhmica substituindo resistor.

O valor definitivo dos transistores de compensação é:

$$\left(\frac{W}{L}\right)_C = \frac{6,6}{2} \quad \text{Eq. 9-8}$$

A Tabela 9-1 apresenta como ficaram os componentes do circuito após as simulações.

Transistor	Dimensão W/L (μm)
M1A e M1B	$24/2$
M2A e M2B	$24/2$
M3A e M3B	$85/4$
M4A e M4B	$170/2$
M5A e M5B	$510/2$
M6A e M6B	$12/2$
M6C	$24/2$
M7	$56,7/4$
M8	$51/2$
M9	$51/2$
M10	$51/2$
M11	$1,7/4$
M12	$51/2$
MCA e MCB	$6,6/2$
Capacitor/Resistor	Valor
C_{CA} e C_{CB}	0,6pF

Tabela 9-1: Dimensões dos transistores após as simulações

O circuito completo e definitivo após as modificações feitas durante as simulações com MOSFET/capacitor de compensação é mostrado na Figura 9-2, foi este o circuito enviado para fabricação.

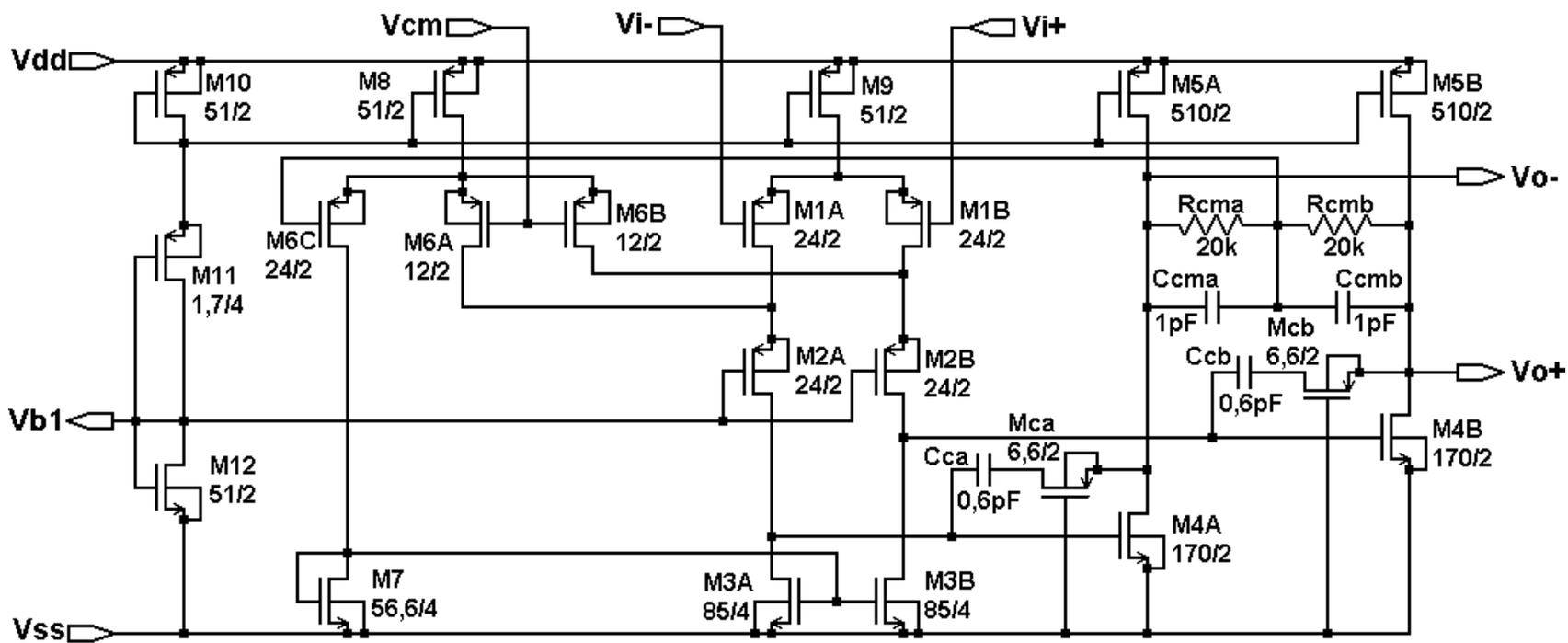


Figura 9-2: Circuito do amplificador com entradas e saídas diferenciais com MOSFET/capacitor de compensação.

9.3 Resultados das Simulações

9.3.1 Ponto de Operação

Na *Figura 9-3* é mostrado o resultado da simulação das tensões e correntes de polarização com todas as entradas aterradas. As relações de correntes e tensões são muito próximas das teóricas descritas no capítulo 7 e projetadas no capítulo 8. Todos os transistores estão operando na região de saturação, ou seja, $V_{DS} > V_{GS} - V_T$.

A corrente total consumida pelo circuito é de aproximadamente $482\mu A$, que para a alimentação de $\pm 2,5V$ corresponde a $2,4mW$ de potência dissipada.

Há uma pequena diferença entre a tensão de entrada de modo comum, V_{CM} , e a saída de modo comum de aproximadamente $4,3mV$, este erro é chamado *off-set* entre a entrada e a saída de modo comum.

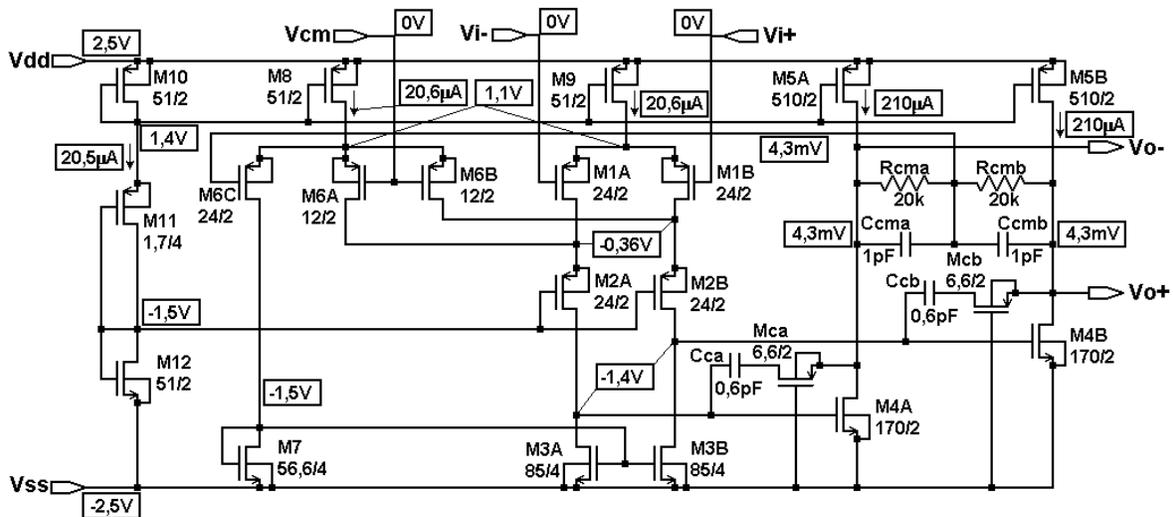


Figura 9-3: Circuito com as tensões e correntes de polarização.

9.3.2 Excursão do Sinal de Saída

Aplicando um sinal senoidal de baixa frequência e baixa amplitude na entrada com carga de $10k\Omega$ e $10pF$ conectadas a saída, nota-se na *Figura 9-4* que as saídas excursionam entre $\pm 1,54V$.

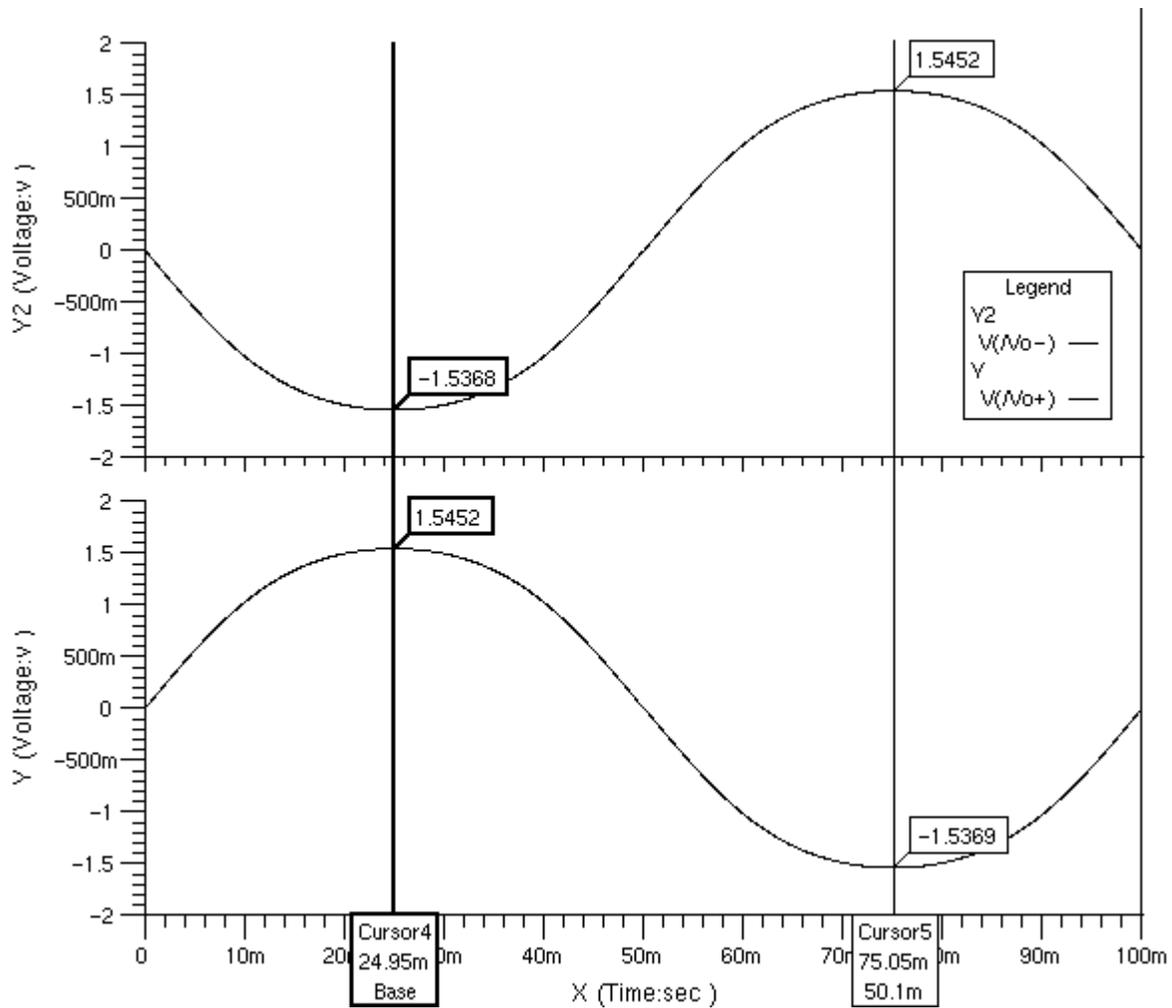


Figura 9-4: Excursão dos sinais de saída.

9.3.3 Faixa de Excursão da Tensão de Modo comum

Neste teste foi aplicado um sinal triangular com amplitude de $1,5V$ de baixa frequência ($5,0Hz$) na entrada V_{CM} , a fim de se observar qual a faixa de resposta da tensão de saída de modo comum. A *Figura 9-5* mostra o sinal aplicado e o resultante, nesta observa-se que a tensão de saída de modo comum pode variar de $-1,25V$ a $+1,25V$, e fora desta faixa a diferença entre a tensão de entrada, V_{CM} , e a tensão de saída começa a ficar muito grande.

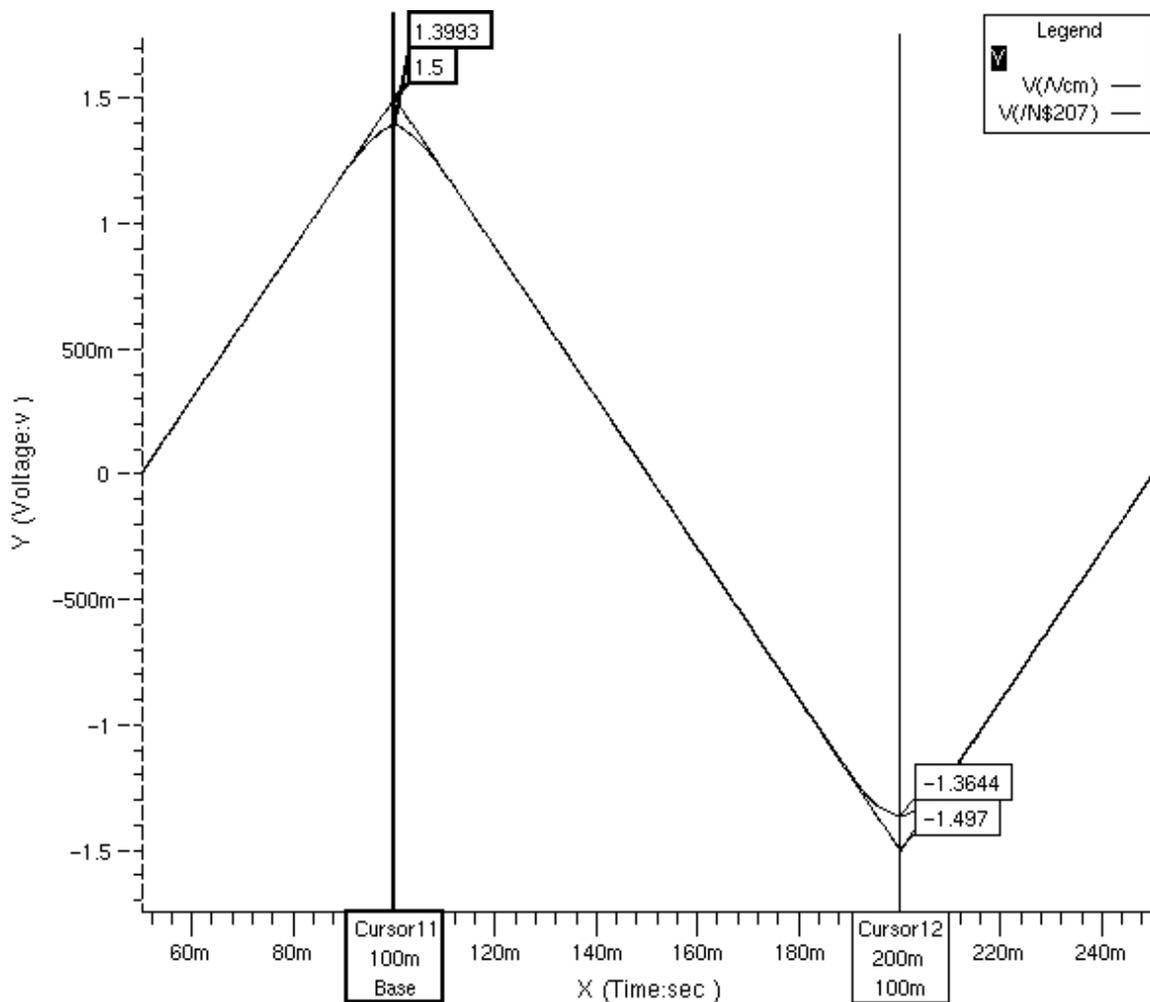


Figura 9-5: Faixa de excursão da tensão de modo comum.

9.3.4 Resposta em Frequência

Foram feitas simulações da resposta em frequência com quatro situações diferentes de carga, a saber, carga padrão $R_L=10k\Omega$ e $C_L=10pF$, somente com carga resistiva $R_L=10k\Omega$, somente com carga capacitiva $C_L=10pF$ e sem carga.

Observando a *Figura 9-6*, que corresponde a carga padrão, tira-se as principais informações: $f_l=2,7kHz$, $GBW=7,0MHz$, $Av_o\cong 70dB$, $MF=54^\circ$, estes resultados estão bem próximos dos calculados no capítulo 8 e reunidos na equação 8-24, as diferenças são resultantes das simplificações adotadas, da influência das capacitâncias dos *pads*, e do resistor na malha de compensação.

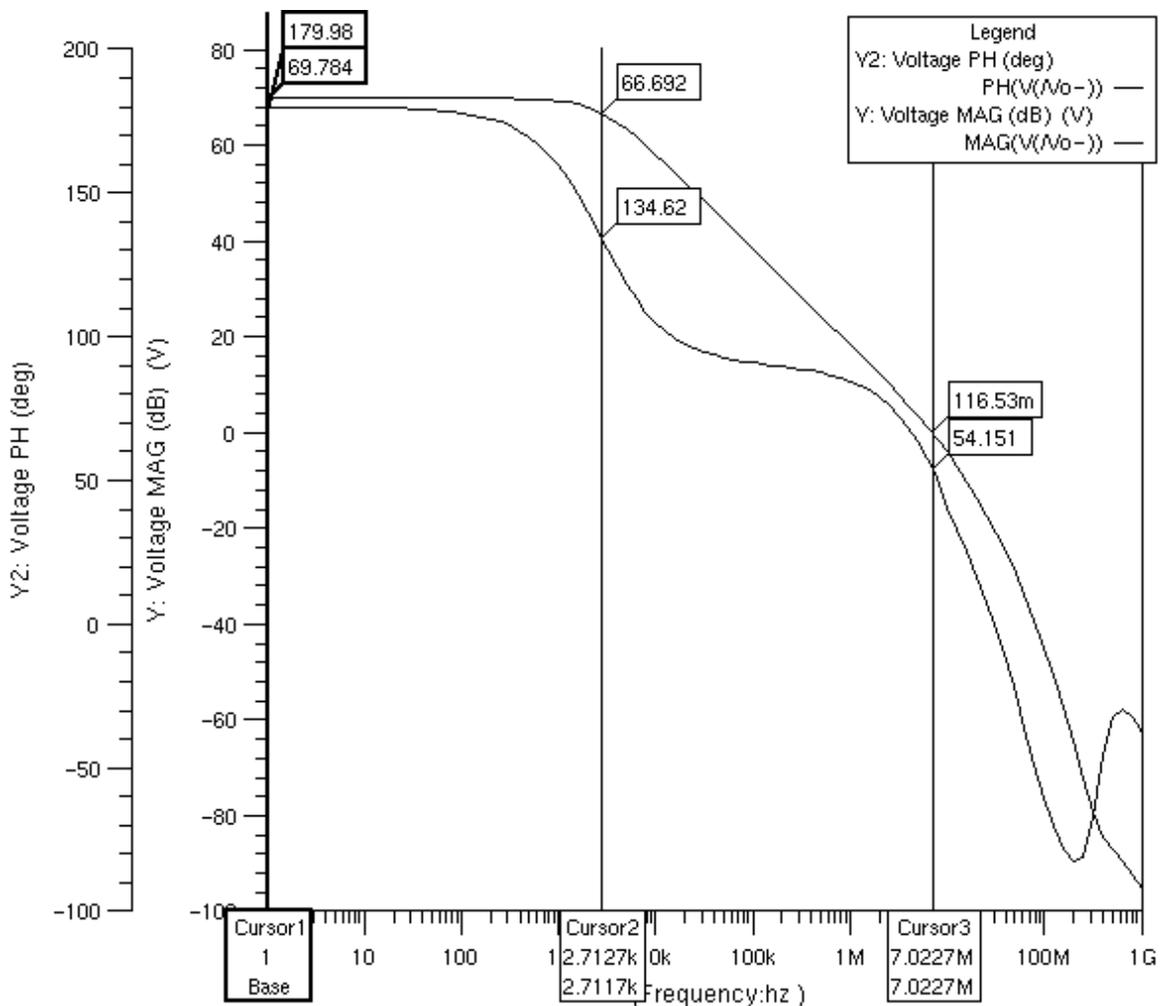


Figura 9-6: Diagrama de Bode do amplificador com entradas e saídas diferenciais, com carga $R_L=10k\Omega$ e $C_L=10pF$.

A resposta em frequência apenas com carga resistiva, $R_L=10k\Omega$, é mostrada na Figura 9-7, nesta situação as principais características de desempenho são $f_i=2,36kHz$, $GBW=6,1MHz$, $A_{v0}\cong 68,3dB$, $MF=73,7^\circ$. A ausência da carga capacitiva faz com que o segundo pólo aumente e conseqüentemente que a margem de fase também.

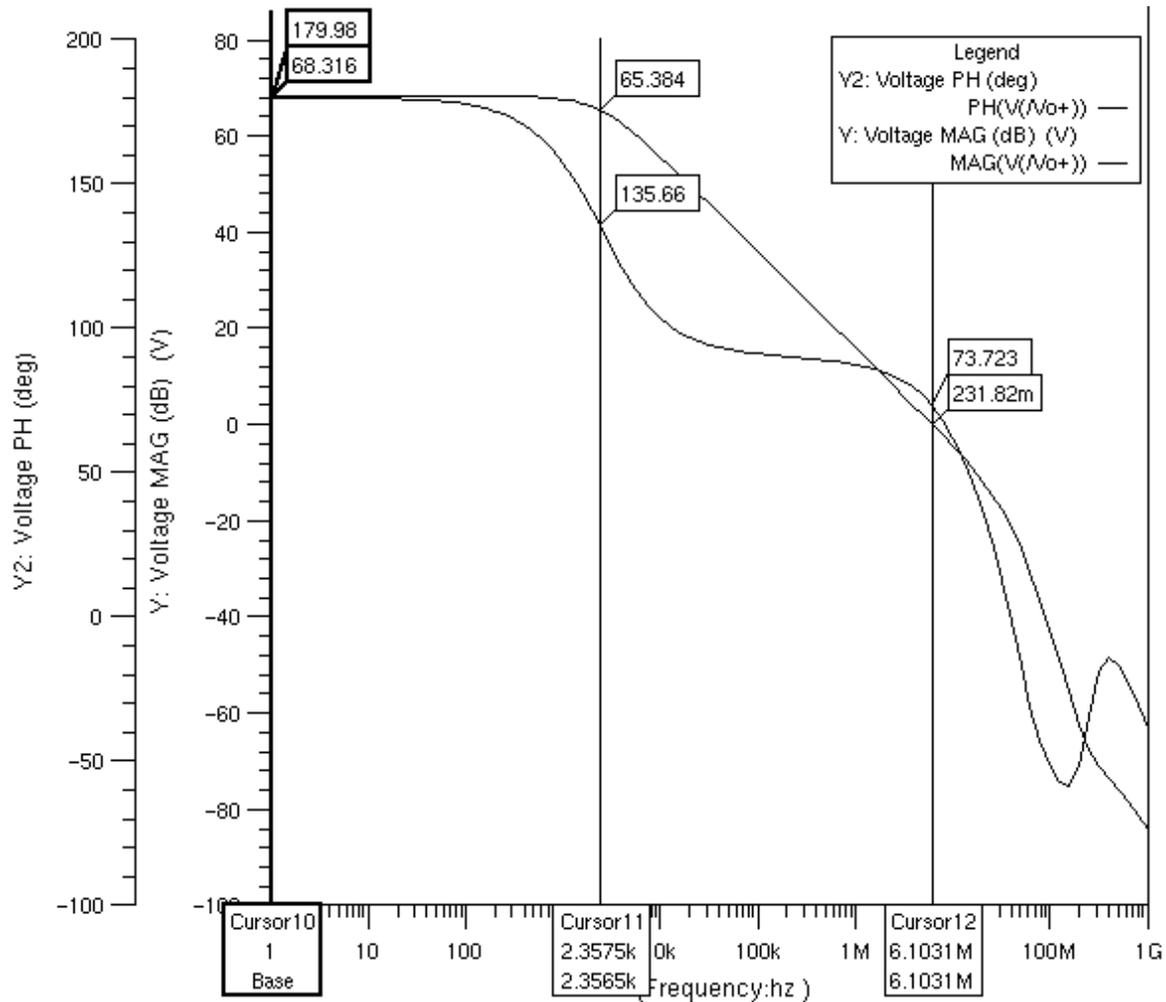


Figura 9-7: Diagrama de Bode do amplificador com entradas e saídas diferenciais somente com carga resistiva $R_L=10k\Omega$.

Sem a carga resistiva a impedância na saída aumenta o mesmo acontecendo com o ganho em baixas frequências, o pólo dominante diminui muito fazendo com que a margem de fase e a frequência de ganho unitário diminuam um pouco, como pode ser visto na Figura 9-8. Desta observa-se $f_1=330\text{Hz}$, $GBW=5,82\text{MHz}$, $A_{v0}\approx 86,7\text{dB}$, $MF=48,8^\circ$.

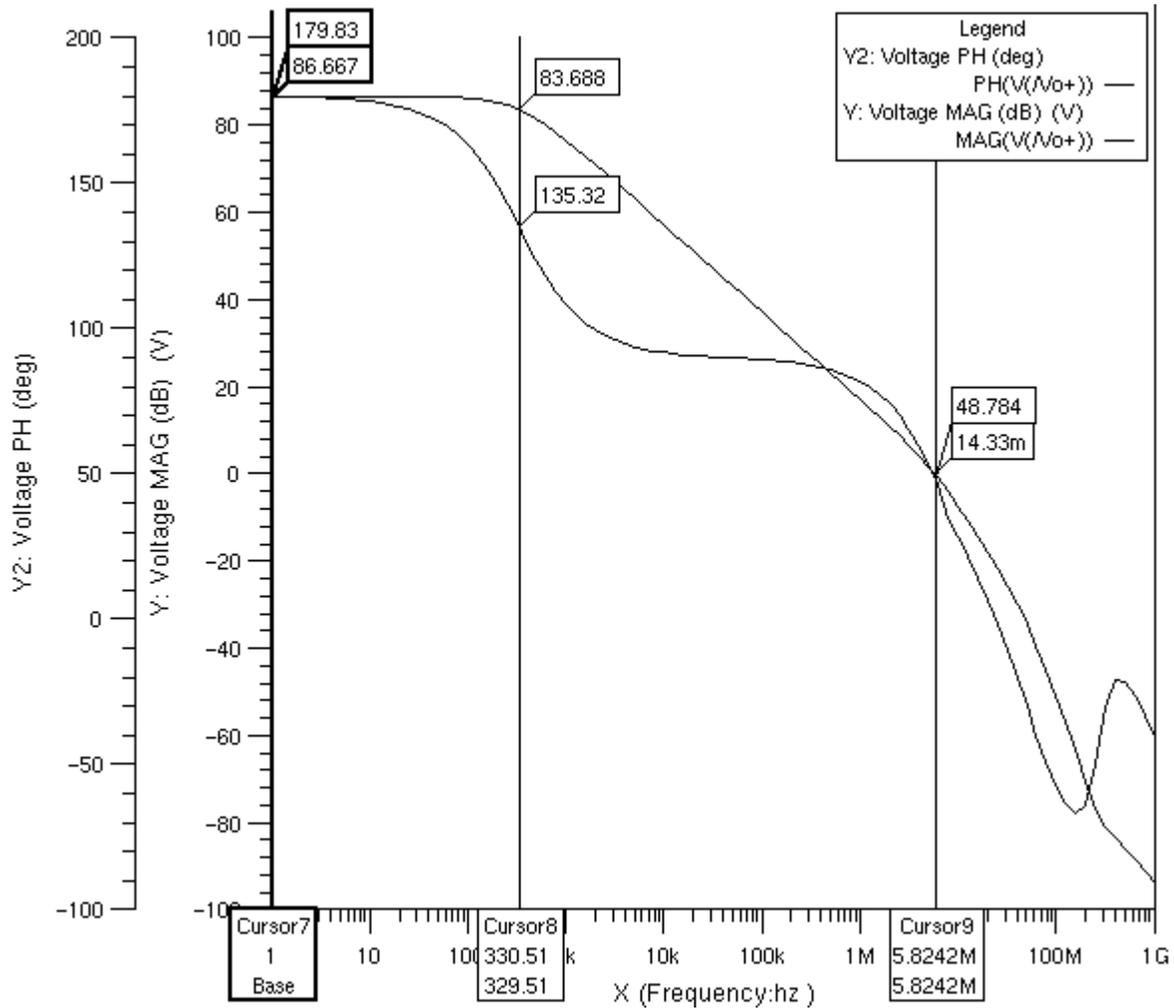


Figura 9-8: Diagrama de Bode do amplificador com entradas e saídas diferenciais somente com carga capacitiva $C_L=10\text{pF}$.

Com a saída em aberto o ganho aumenta, o pólo dominante diminui, o segundo pólo aumenta, a frequência de ganho unitário e a margem de fase também aumentam, como pode se observar na Figura 9-9. Nesta situação têm-se as seguintes características: $f_1=398\text{Hz}$, $GBW=8,87\text{MHz}$, $Av_0\cong 87,4\text{dB}$, $MF=71,4^\circ$.

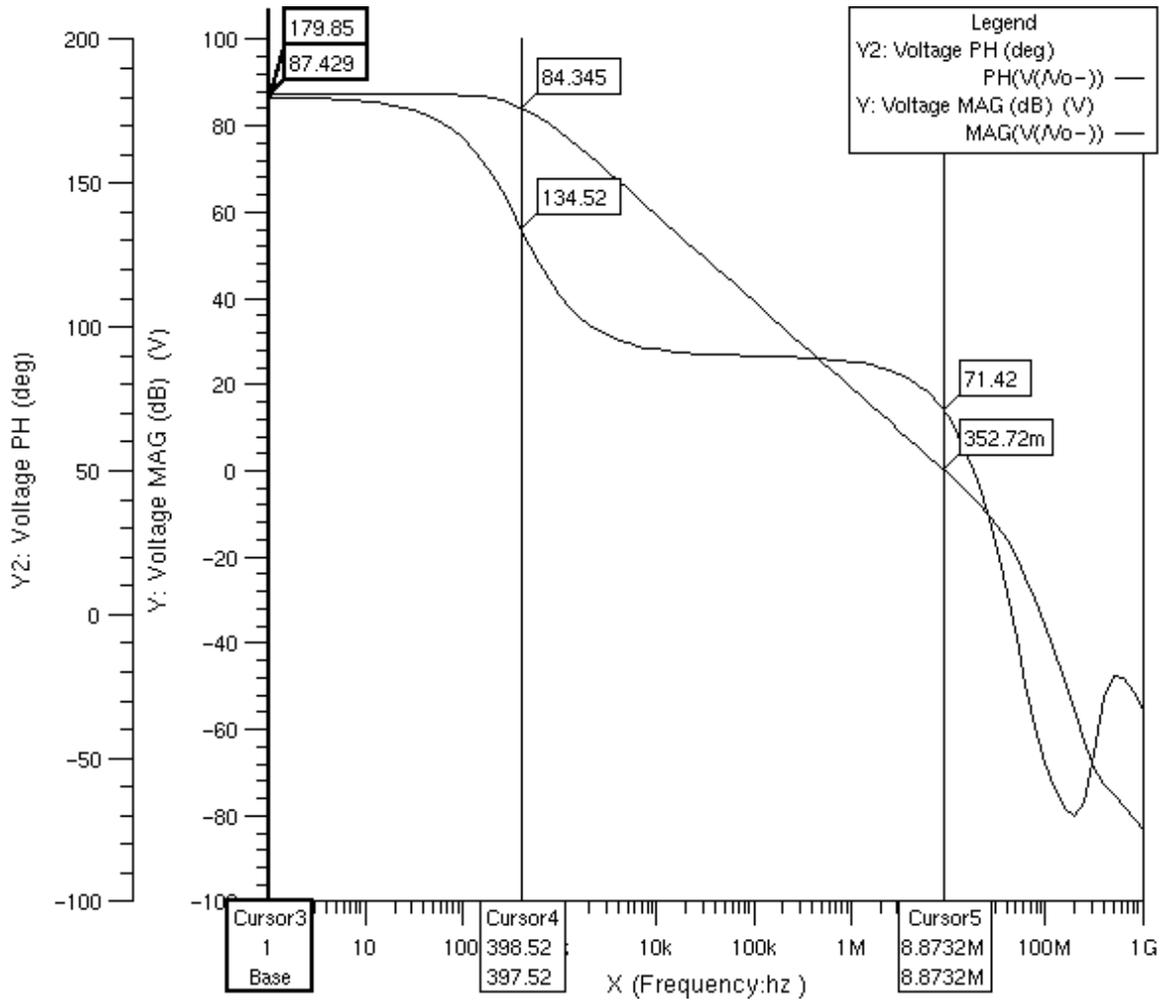


Figura 9-9: Diagrama de Bode do amplificador com entradas e saídas diferenciais sem carga.

9.3.5 Resposta em Frequência de Malha Fechada

O circuito da *Figura 9-10* foi utilizado para simular o comportamento em frequência do amplificador em malha fechada com ganho unitário, esta é a condição mais crítica de operação do amplificador pois a margem de fase é a menor podendo fazer o circuito entrar em oscilação.

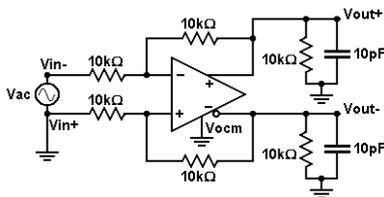


Figura 9-10: Circuito com ganho unitário.

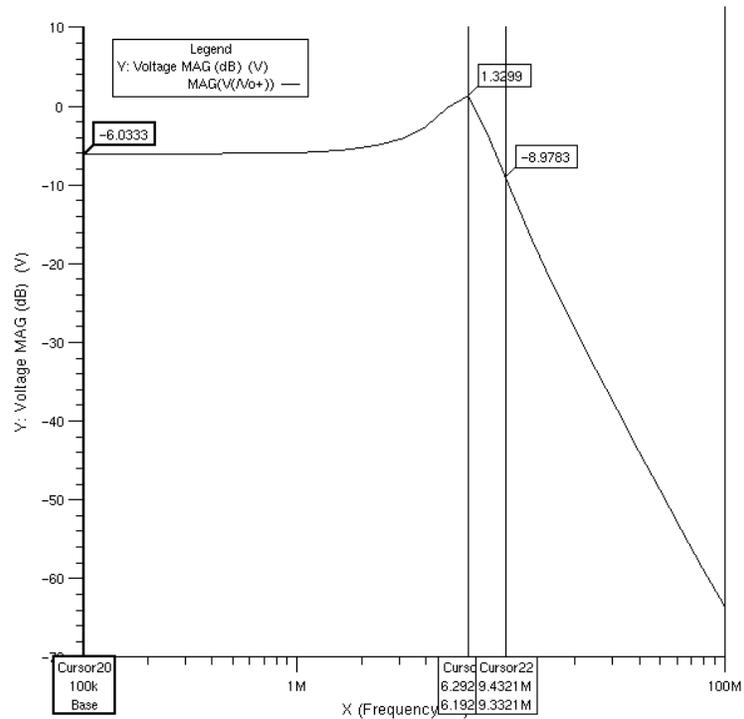


Figura 9-11: Resposta em Frequência de Malha Fechada para ganho unitário

O resultado da simulação está na *Figura 9-11*, gráfico de *Amplitude (dB) versus Frequência (Hz)* medido em relação ao terra e não entre as duas saídas diferenciais, por isso que em baixas frequências o sinal tem a metade da amplitude, $-6dB$, do sinal de entrada.

Em torno de $6,3MHz$ há um pico de $1,33dB$, ou seja, $7,33dB$ acima de $-6dB$, isto indica uma margem de fase muito pequena em torno de 25° , e muito diferente dos 60° de margem de fase de malha aberta.

A frequência de $-3dB$, no caso medido equivale a $-9dB$, é de $9,4MHz$, maior do que o produto ganho-banda de malha aberta. A diferença da frequência de corte e margem de fase de malha fechada em relação à malha aberta se deve a mudança dos pólos e zeros causada pela carga que a realimentação representa ao amplificador.

9.3.6 Resposta em Frequência ao Sinal de Modo comum

Conforme citado no capítulo 3 a malha de modo comum deve ser estável e responder numa faixa de frequência pelo menos igual ao diferencial. O circuito da *Figura 9-12* mostra o circuito utilizado para esta simulação, este possui ganho unitário e carga de $10k\Omega$ e $10pF$, as entradas diferenciais são aterradas e o sinal é aplicado na entrada de controle de modo comum, V_{ocm} .

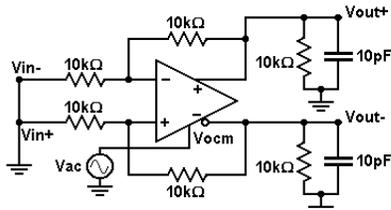


Figura 9-12: Circuito para Simulação da Resposta em Frequência ao Sinal de Modo comum, V_{ocm} .

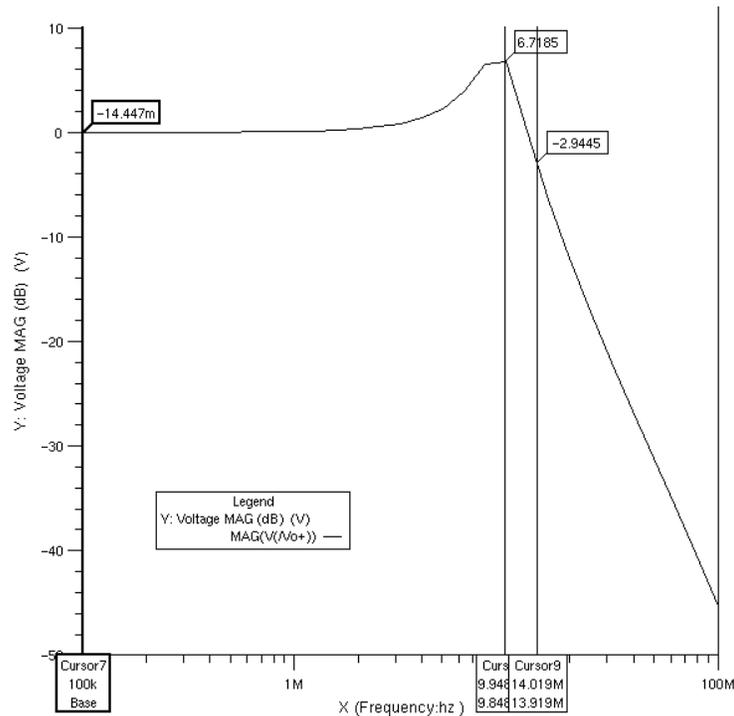


Figura 9-13: Resposta em Frequência ao Sinal de Modo comum.

A *Figura 9-13* mostra o resultado desta simulação, a frequência de corte de $-3dB$ está em aproximadamente $14MHz$, um pouco maior que a de modo diferencial o que permite um controle sobre a faixa de operação.

Há um pico de $6,7dB$ em torno de $10MHz$ que corresponde à margem de fase de 27° , que apesar de pequena mantém o circuito estável.

9.3.7 Slew-Rate e Settling Time

As simulações de *slew-rate* e *settling time* foram feitas com o circuito em malha fechada e ganho unitário, com carga de $10k\Omega$ e $10pF$, como mostra a *Figura 9-14*. Uma onda quadrada de $\pm 1V$ é aplicada na entrada diferencial, e se verifica a forma de onda de saída. Na *Figura 9-15* esta o gráfico das duas forma de onda: **Y** a entrada e **Y3** a saída.

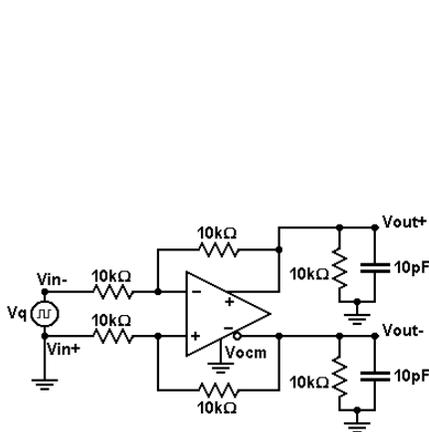


Figura 9-14: Circuito para simulação de *Slew-Rate* e *Settling Time*.

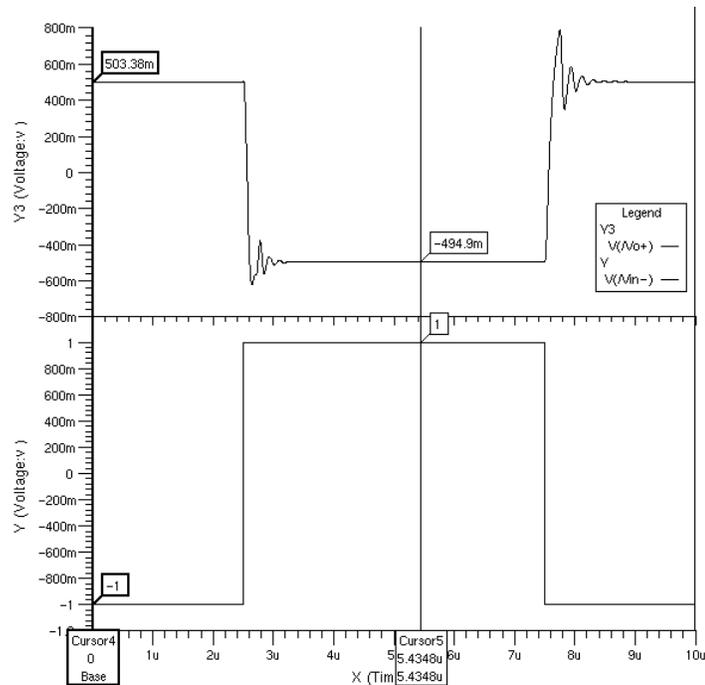


Figura 9-15: Formas de onda da entrada, **Y**, e da saída, **Y3**.

O *slew-rate* é medido na faixa que o sinal de saída excursiona entre 10% e 90% de seu valor final, a *Figura 9-16* mostra em detalhe o *slew-rate* de subida e a *Figura 9-17* mostra o descida. Destas figuras se extrai os seguintes resultados.

$$\left\{ \begin{array}{l} \text{Subida: } SR_s = \frac{0,8V}{0,1\mu s} = 8,0V/\mu s \\ \text{Descida: } SR_s = \frac{0,8V}{0,07\mu s} = 11,4V/\mu s \end{array} \right. \quad \text{Eq. 9-8}$$

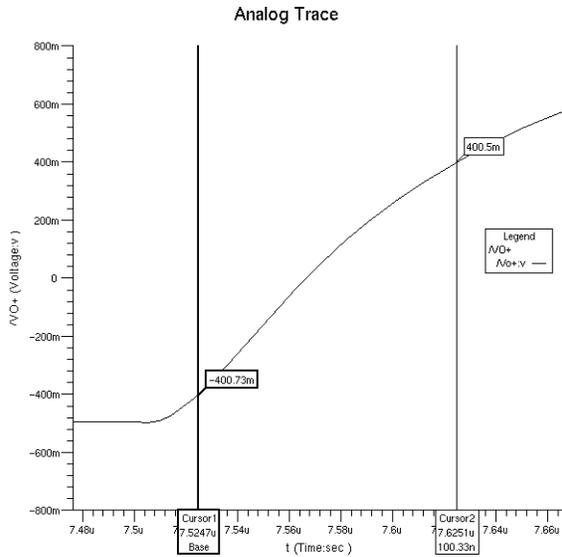


Figura 9-16: Detalhe do *slew-rate* de subida.

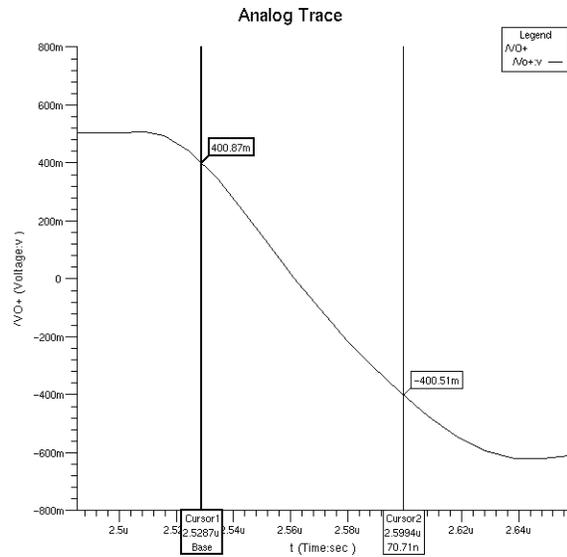


Figura 9-17: Detalhe do *slew-rate* de descida.

O *Settling Time* é medido do início da transição da onda triangular de entrada, até o momento em que as saídas se estabilizam no valor final. Da Figura 9-18 tem-se o *settling time* de subida de 982ns, e da Figura 9-19 tem-se o de descida de 608ns. Nestas figuras a onda quadrada de entrada e a de saída estão superpostas para facilitar a observação do início da transição.

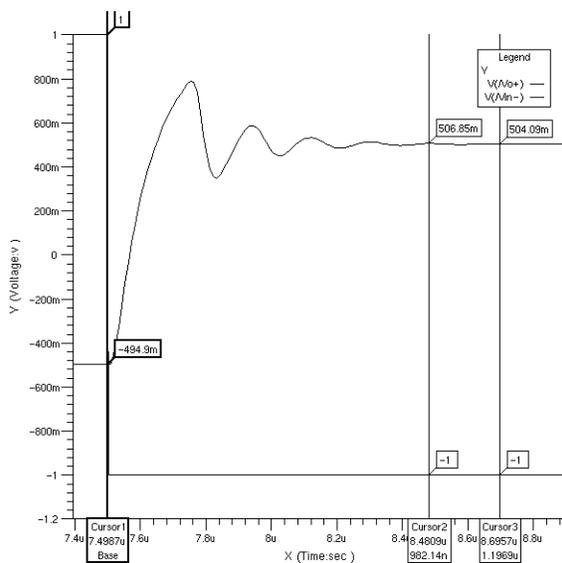


Figura 9-18: Detalhe da medida do *settling time* de subida.

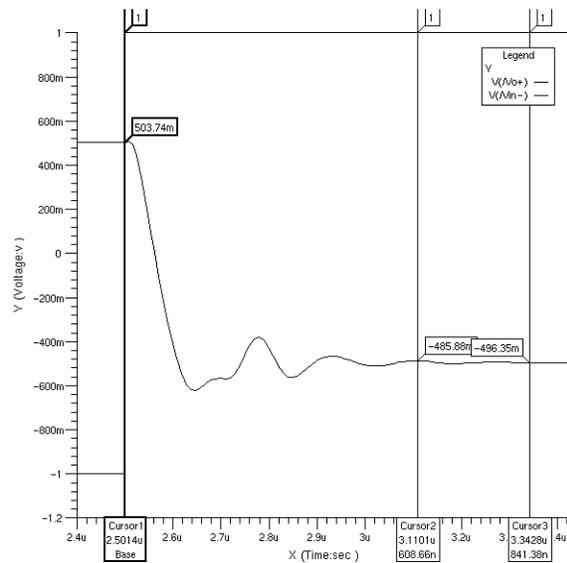


Figura 9-19: Detalhe da medida do *settling time* de descida.

9.3.8 Ganho de Modo comum

A alta rejeição de sinais de modo comum é uma característica dos amplificadores com entradas e saídas diferenciais, esta simulação tem o objetivo de verificar a rejeição aos sinais de modo comum presentes nas entradas.

A simulação do ganho de modo comum é mostrado na *Figura 9-20*, para baixas frequências o ganho é de $-165,8dB$.

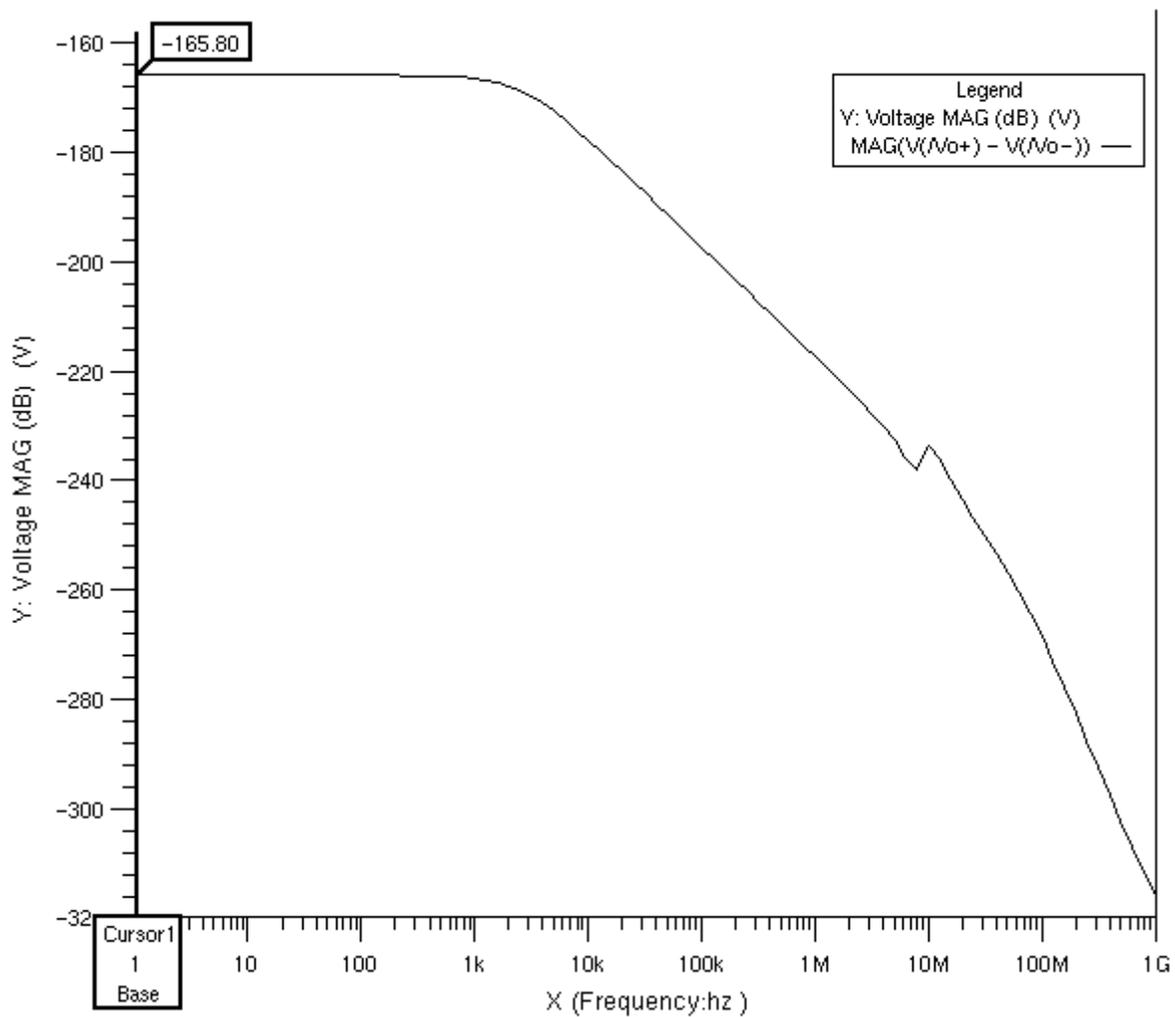


Figura 9-20: Gráfico do ganho de modo comum medido diferencialmente, $V_{OD}=(V_{O+})-(V_{O-})$.

9.3.9 Rejeição ao Ruído da Alimentação

O amplificador com entradas e saídas diferenciais também possui alta rejeição ao ruído proveniente da alimentação. Para fazer esta simulação aplica-se um sinal senoidal em série com a alimentação e toma-se o sinal de saída diferencial, a *Figura 9-21* mostra o esquema utilizado.

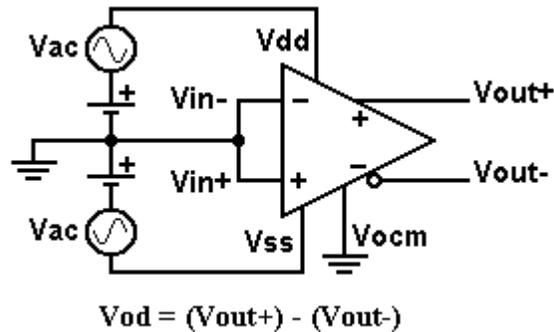


Figura 9-21: Circuito modelo para simulação da rejeição de ruído da alimentação.

A *Figura 9-22* mostra a rejeição ao ruído acoplado a V_{DD} e a *Figura 9-23* mostra a rejeição ao ruído acoplado a V_{SS} . Para as duas situações a rejeição é muito alta como era de se esperar, com valores de $154,79dB$ e $150,23dB$, respectivamente.

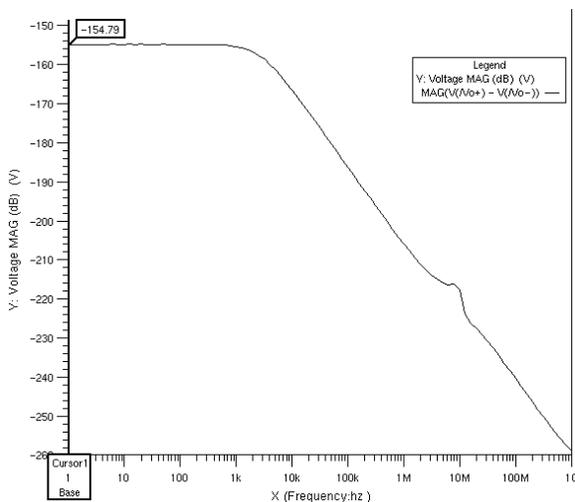


Figura 9-22: Rejeição ao ruído acoplado a V_{DD} .

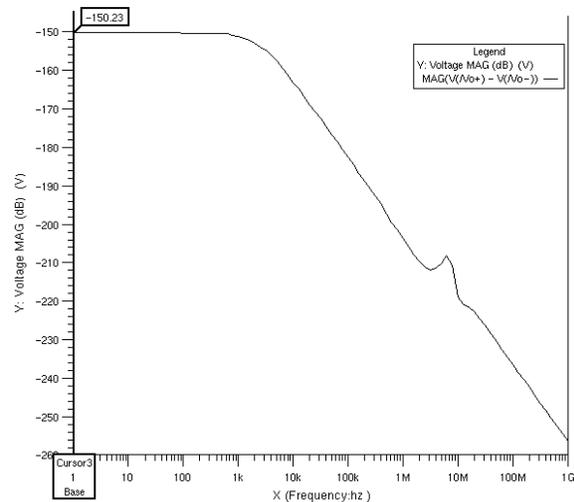


Figura 9-23: Rejeição ao ruído acoplado a V_{SS} .

10 *Layout* do Circuito Integrado

Foi utilizado o processo de fabricação CMOS de 0,6 μ m da AMS, cujas regras de *layout* estão contidas em [20], este documento está disponível, apenas para usuários cadastrados, na página da AMS na *internet* [21].

O *layout* foi desenvolvido no *IC-Station* do programa *Mentor Graphics*.

No *layout* do amplificador com entradas e saídas diferenciais a simetria do circuito deve ser preservada para obter boa rejeição de sinais de modo comum [1], assim foi tomado o cuidado de se fazer o par diferencial de entrada formado pelos transistores M1A e M1B, e a entrada de modo comum formada por M6A e M6B em forma de par cruzado, ou centróide comum, para minimizar os efeitos de gradiente de temperatura e descasamento de parâmetros, como mostram a *Figura 10-1* e a *Figura 10-2* respectivamente.

Nestas figuras nota-se os múltiplos contatos nos terminais de dreno e fonte dos transistores, isto é feito para minimizar a resistências dos contatos. Esta técnica é aplicada a todos os transistores e capacitores do circuito integrado.

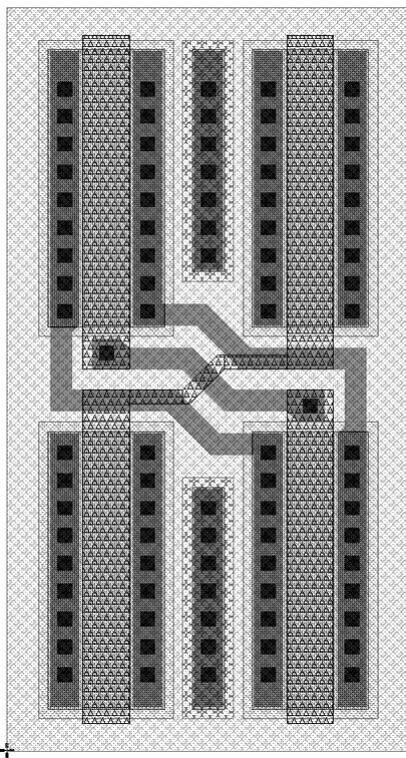


Figura 10-1: Par cruzado que compõe os transistores M1A e M1B.

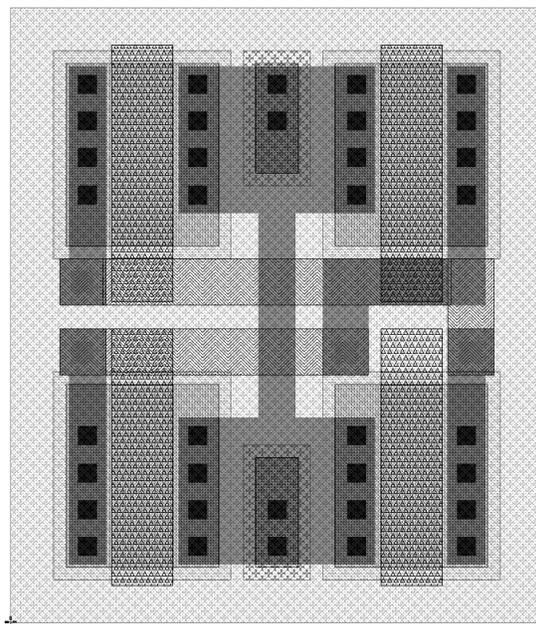


Figura 10-2: Par cruzado que compõe os transistores M6A e M6B.

Cada um dos transistores M5A e M5B foi composto por dez transistores com relação W/L igual a $5^1/2$ em paralelo, totalizando $5^{10}/2$. Estes foram colocados ao lado dos transistores M8, M9 e M10 que têm relação W/L igual a $5^1/2$, assim foi feito um grupo de vinte e três transistores de $5^1/2$ que é apresentado na *Figura 10-3*.

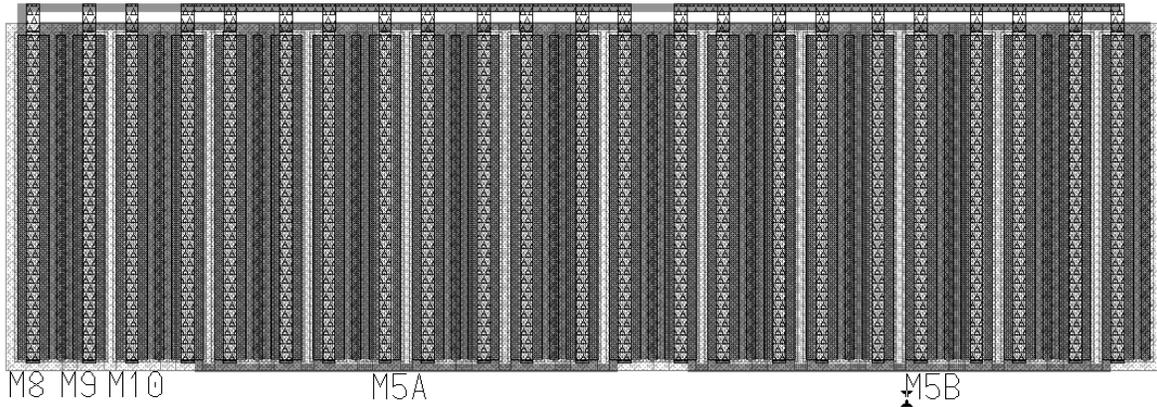


Figura 10-3: Grupo de vinte e três transistores de $5^1/2$ que formam os espelhos de corrente.

Os outros transistores não possuem nada de especial que necessite ser citado.

O poli-silício possui resistência de folha típica de $33\Omega/$ e na construção dos resistores do sensor de modo comum R_{CMA} e R_{CMB} para cada um foram colocados seis resistores de $3,3k\Omega$ resultando em $19,8k\Omega$, que é muito próximo do valor projetado de $20k\Omega$.

Há um anel de guarda de difusão P ligado ao menor potencial do circuito e algumas estruturas de poli-silício em torno destes resistores para se conseguir maior precisão, conforme recomendação em [19]. Os resistores com estas estruturas estão na *Figura 10-4*.

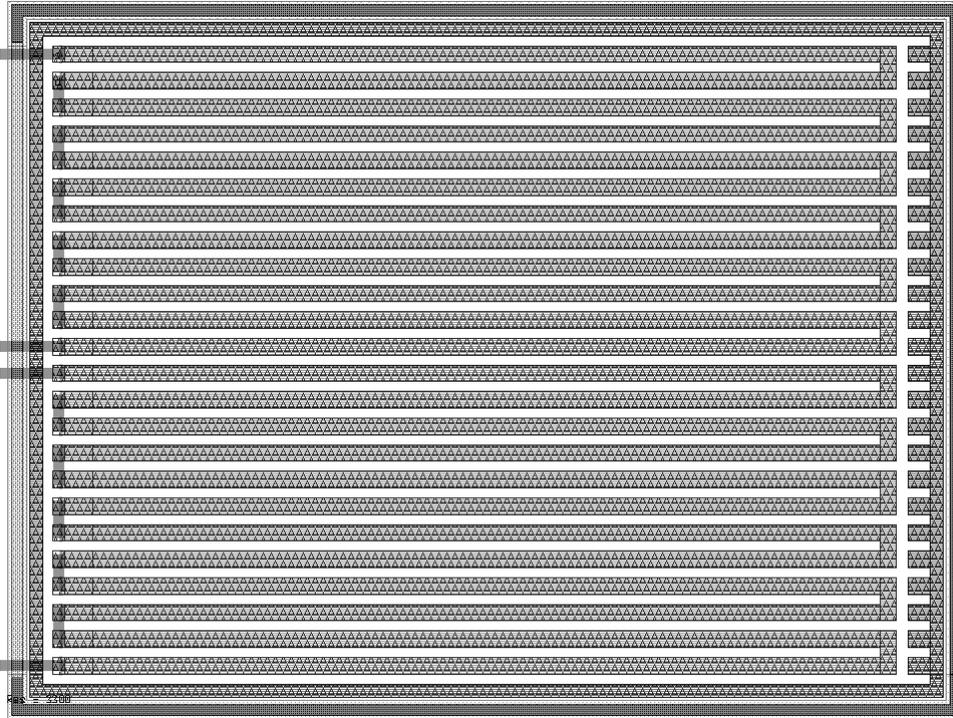


Figura 10-4: Dois resistores de 20k Ω de poli-silício, R_{CMA} e R_{CMB}.

Todos os capacitores do circuito foram construídos com duas camadas de poli-silício isoladas por óxido de silício e cercadas por um anel de guarda de difusão P ligada ao menor potencial do circuito, V_{ss} . A *Figura 10-5* mostra um exemplo de como são compostos estes capacitores.

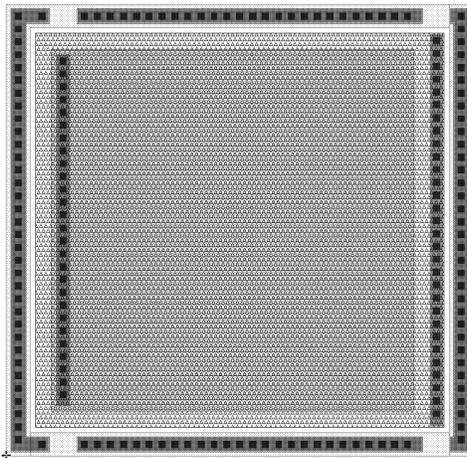


Figura 10-5: Exemplo de um capacitor integrado utilizado no circuito.

A célula principal do circuitos integrado, sem os *pads*, são mostradas na *Figura 10-6*. Ambas as células possuem dimensões de $190\mu\text{m} \times 275\mu\text{m}$ totalizando $52,25\text{nm}^2$ de área.

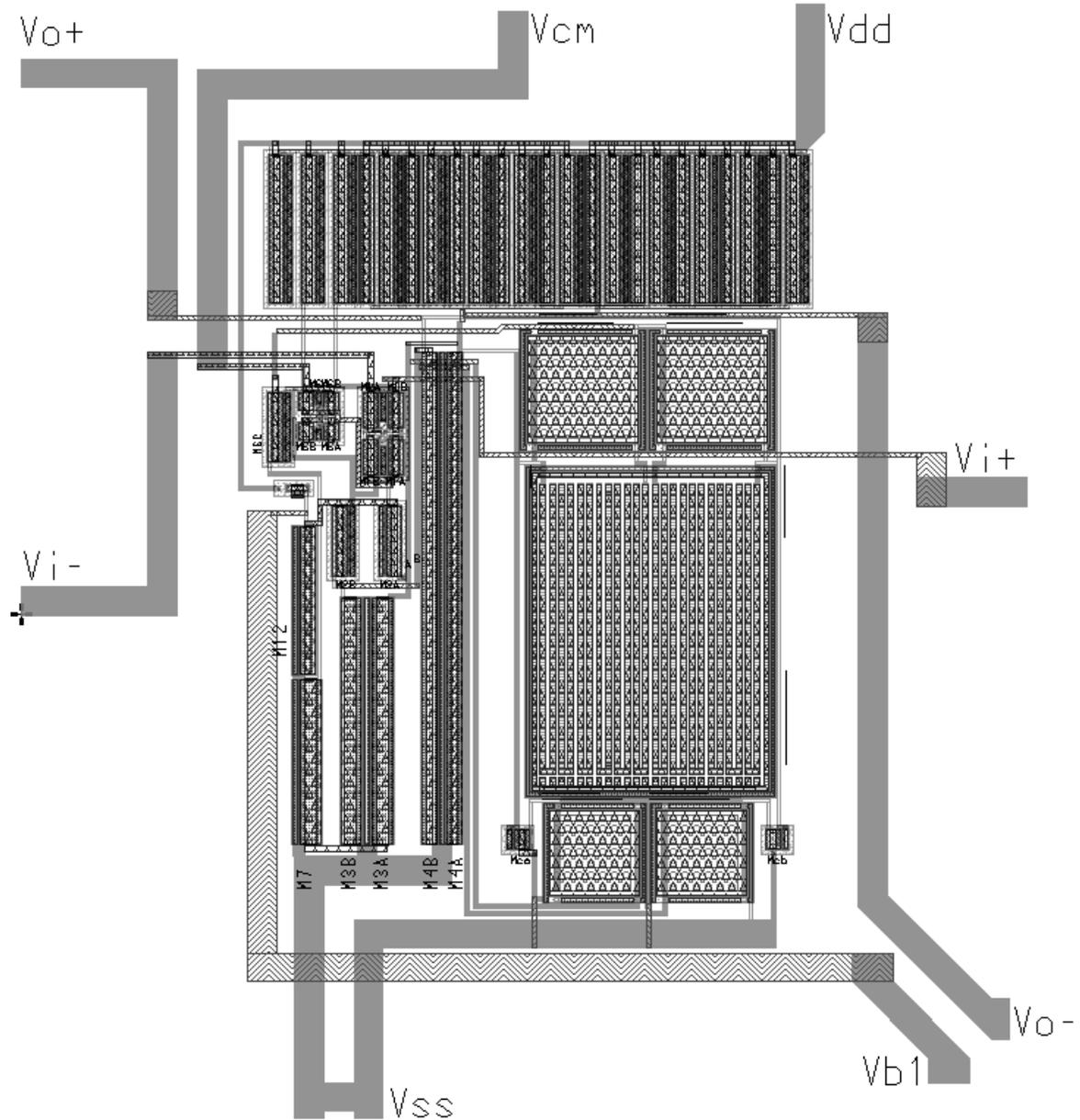


Figura 10-6: Célula principal do circuito integrado com MOSFET/capacitor de compensação.

O circuito completo enviado para fabricação é apresentado na *Figura 10-7*, suas dimensões são $790\mu\text{m} \times 825\mu\text{m}$ o que equivale a uma área de $651,8\text{nm}^2$. Os pads e os cantos do circuito são células básicas fornecidas pela AMS.

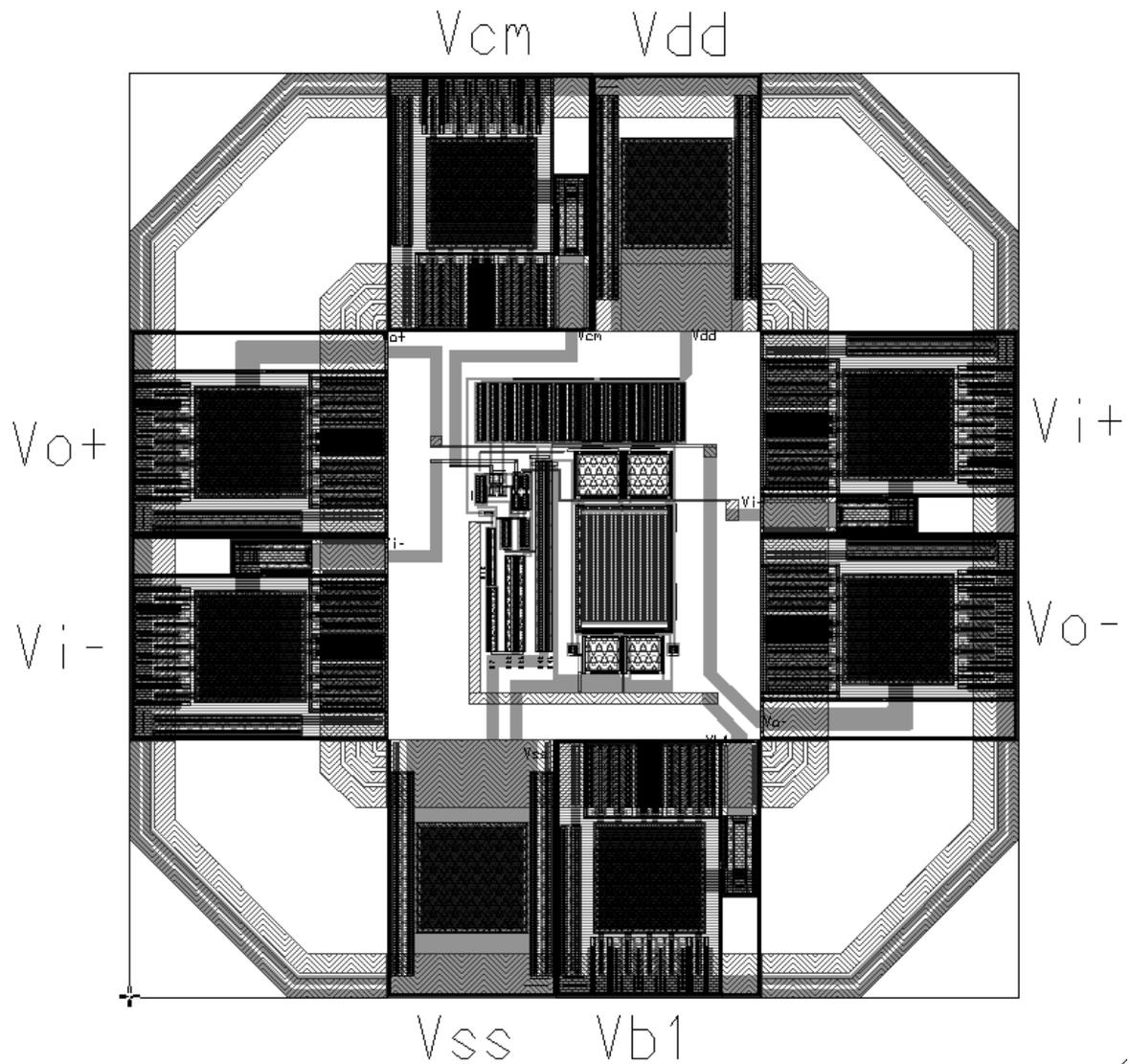


Figura 10-7: Layout completo do circuito enviado para fabricação com MOSFET/capacitor de compensação.

O circuito tem oito terminais entradas diferenciais V_{i-} e V_{i+} , entrada de tensão de modo comum V_{ocm} , saídas diferenciais V_{o-} e V_{o+} , e tensão de polarização V_{b1} que pode ser usado para verificar o ponto de operação do circuito.

11 Testes do Circuito Integrado

11.1 Ponto de Operação

A tensão medida no terminal de polarização é $V_{bl} = -1,55V$, esta é muito próxima da simulada ($-1,5V$) mostrada na *Figura 9-3*. A corrente total consumida pelo circuito é de $496,5\mu A$ que significa potência dissipada de $2,48mW$, enquanto que os valores simulados são $482\mu A$ e $2,4mW$ conforme mostrado em 9.3.1.

Com os dados acima se conclui que as correntes de polarização de cada ramo também estão próximas dos valores obtidos em simulação.

A diferença entre a tensão de entrada de modo comum, V_{CM} , e a saída de modo comum é aproximadamente $19,1mV$, a tensão de *off-set* de entrada é de aproximadamente $5,25mV$.

11.2 Excursão do Sinal de Saída

Este teste foi feito aplicando um sinal senoidal na entrada do amplificador com ganho unitário e com carga de $10k\Omega$ e $10pF$, *Figura 11-1*.

Com carga resistiva de $10k\Omega$, o sinal de saída pode excursionar de $-1,32V$ a $+1,37V$, sem que os transistores de saída deixem de operar na região de saturação, como mostra a senóide da *Figura 11-2*.

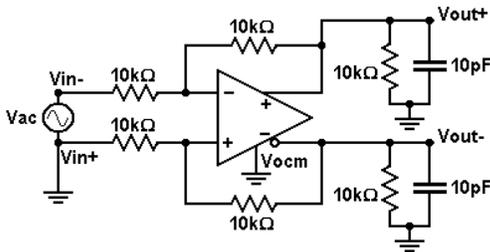


Figura 11-1: Circuito para teste da máxima excursão de saída.

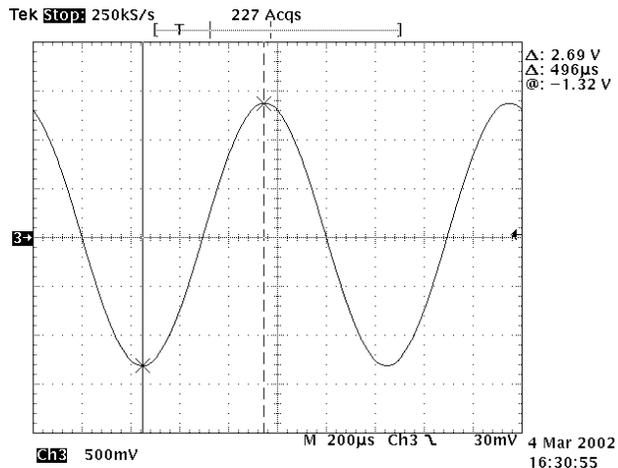


Figura 11-2: Imagem do osciloscópio mostrando a máxima excursão de saída.

11.3 Faixa de Excursão da Tensão de Modo comum

A *Figura 11-3* mostra o circuito de teste. Neste, uma onda triangular de 5Hz e $\pm 1,5\text{V}$ é aplicada na entrada de controle de modo comum, V_{ocm} , com as outras entradas aterradas. Na *Figura 11-4* é mostrada a superposição da onda triangular de entrada, **Ch1**, e o sinal em um dos terminais de saída (ambos têm o mesmo resultado), **Ch3**. Observa-se que as saídas seguem a entrada numa faixa de aproximadamente $-1,3\text{V}$ a $+1,3\text{V}$, fora desta faixa a diferença se torna muito grande.

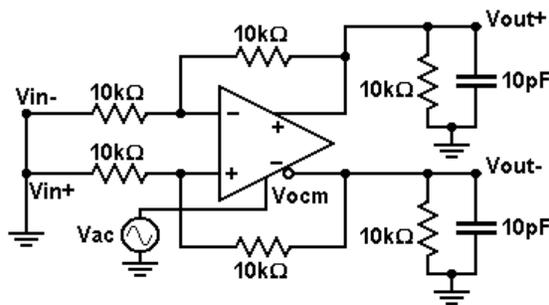


Figura 11-3: Circuito para teste da excursão da saída de modo comum.

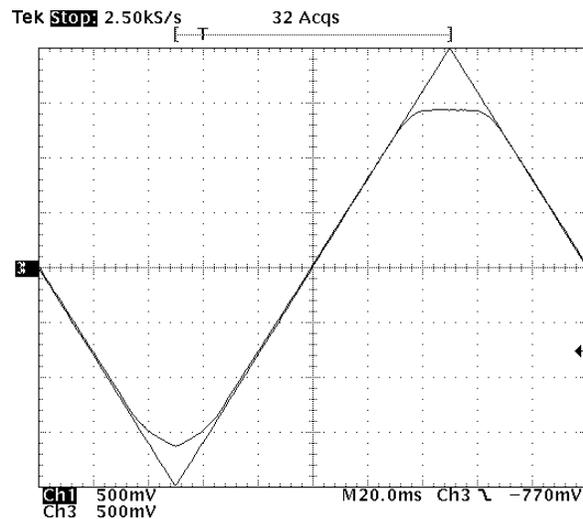


Figura 11-4: Imagem do osciloscópio mostrando a máxima excursão da saída de modo comum.

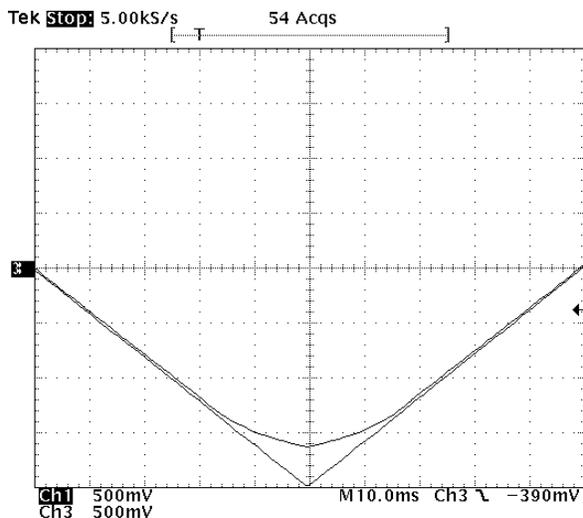


Figura 11-5: Detalhe da saída.

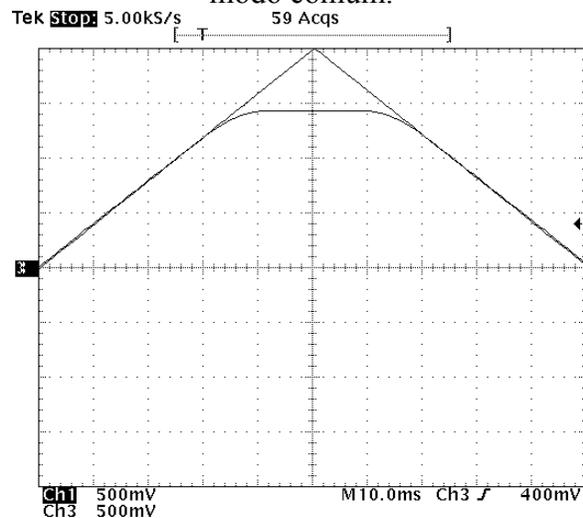


Figura 11-6: Detalhe da saída

11.4 Resposta em Freqüência de Malha Fechada

Este teste foi feito no circuito com ganho unitário e carga de $10k\Omega$ e $10pF$ em cada saída, *Figura 11-7*. A varredura em freqüência foi feita utilizando um analisador de rede (*Network Analyser HP4195A*).

O sinal é aplicado na entrada do amplificador de forma diferencial e tomado na saída de forma não-diferencial, como o analisador trabalha sempre referenciado ao terra, o sinal de cada saída tem metade da amplitude do sinal da entrada, ou seja, $6dB$ abaixo.

A *Figura 11-8* mostra o ganho em dB em função da freqüência, para o circuito testado. Desta figura pode ser observada a configuração do analisador: faixa de freqüência de $10kHz$ a $10MHz$ e escala vertical de $1dB/div$.

Quanto ao desempenho do circuito observa-se um pico de $5,8dB$ em aproximadamente $6,0MHz$, este pico indica uma margem de fase de aproximadamente 30° . A freqüência de corte de $-3dB$, no caso $-9dB$, está em torno de $9,2MHz$.

A diferença da freqüência de corte e margem de fase de malha fechada em relação à malha aberta se deve a mudança dos pólos e zeros causada pela carga que a realimentação representa ao amplificador.

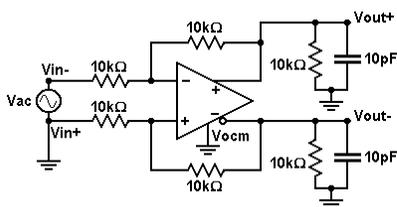


Figura 11-7: Circuito para teste da resposta em freqüência de malha fechada com ganho unitário.

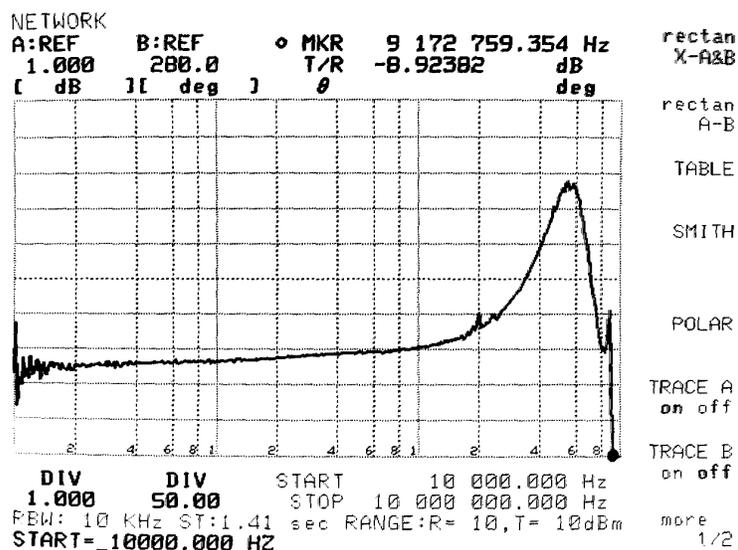


Figura 11-8: Imagem da tela do analisador de redes com o resultado da varredura em freqüência.

Também foi feita a varredura em frequência para diferentes valores de ganho de malha fechada, e para cada um extraiu-se a frequência de corte e o valor do ganho de $-3dB$, como a medida é não-diferencial os valores estão $6dB$ abaixo.

A *Figura 11-9* mostra a extrapolação destes pontos por uma reta, desta é possível estimar o ganho de malha aberta. Supondo que o pólo dominante está em torno de $1,0kHz$ o ganho de malha aberta será de aproximadamente $71dB$, se o pólo dominante estiver em $2,0kHz$ o ganho de malha aberta será de aproximadamente $65dB$ e para $60dB$ o pólo dominante deve ser de aproximadamente $3,0kHz$.

Frequência (Hz)	Ganho (dB)
11,0k	49,0
12,3k	48,0
17,6k	44,4
71,0k	34,0
105,0k	30,6
225,6k	25,1
806,0k	14,0
9,2M	-6,0

Tabela 11-1: Valores de frequência de corte por ganho de malha fechada.

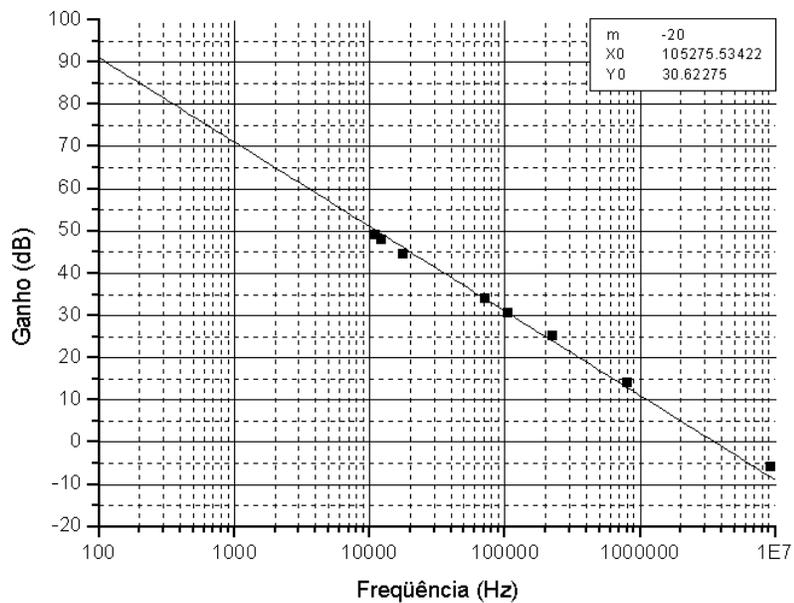


Figura 11-9: Extrapolação dos pontos da Tabela 11-1.

11.5 Resposta em Freqüência ao Sinal de Modo comum

Neste teste o circuito possui ganho unitário e carga de $10k\Omega$ e $10pF$, as entradas diferenciais são aterradas e o sinal é aplicado na entrada de controle de modo comum, V_{ocm} , *Figura 11-10*. Um analisador de rede é utilizado para fazer a varredura em freqüência.

A *Figura 11-11* mostra o ganho em dB , em função da freqüência. Nesta figura nota-se a seguinte configuração do analisador de redes: faixa de freqüência de $1MHz$ a $20MHz$, escala vertical de $10dB/div$.

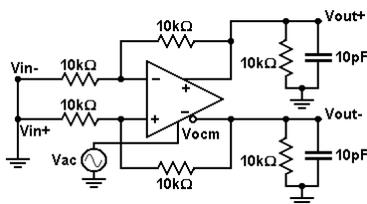


Figura 11-10: Circuito para teste da resposta em freqüência ao sinal de modo comum.

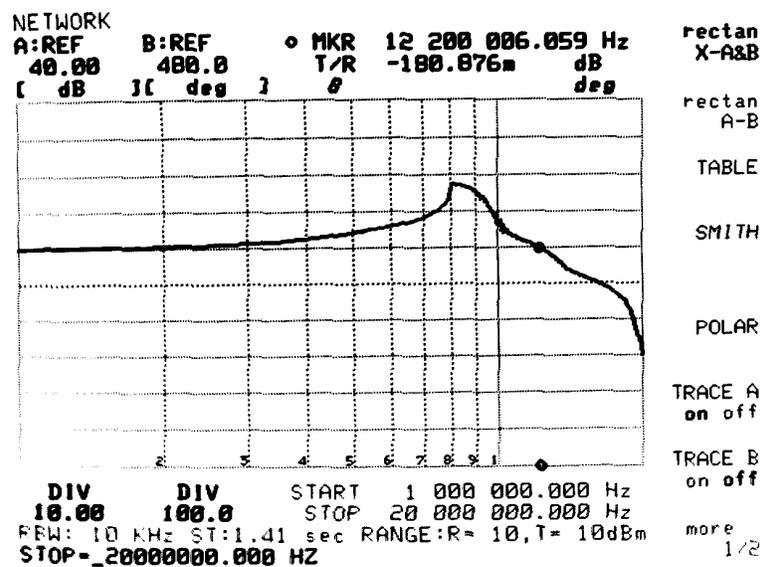


Figura 11-11: Imagem da tela do analisador de redes com o resultado da varredura em freqüência.

A *Figura 11-11* mostra o resultado desta simulação, a freqüência de corte de $-3dB$ está em aproximadamente $14MHz$, um pouco maior que a de modo diferencial o que permite um controle sobre toda a faixa de operação.

11.6 Slew-Rate e Settling Time

Estes testes foram feitos com o circuito com ganho unitário, aplicando uma onda quadrada de grande amplitude ($2,0V$) na entrada diferencial, *Figura 11-12*.

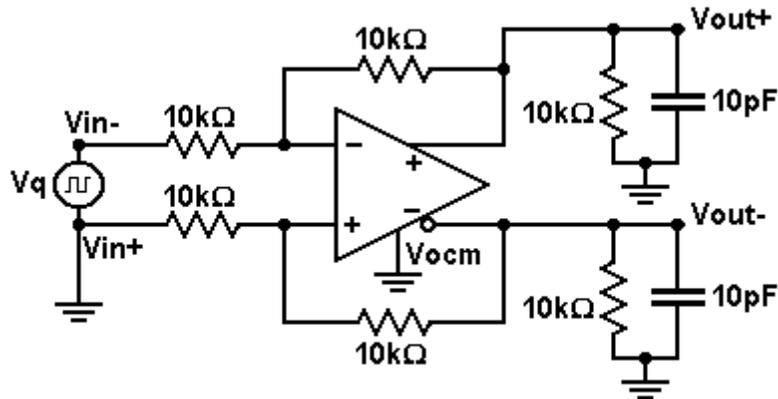


Figura 11-12: Circuito para teste de Slew-Rate e Settling Time.

O *slew-rate* é medido na faixa de 10% a 90% do valor final. Na *Figura 11-13* e na *Figura 11-14* são mostrados os sinais de entrada, **Ch1**, e saída, **Ch2**. Na primeira imagem está o *slew-rate* de subida e na segunda o de descida.

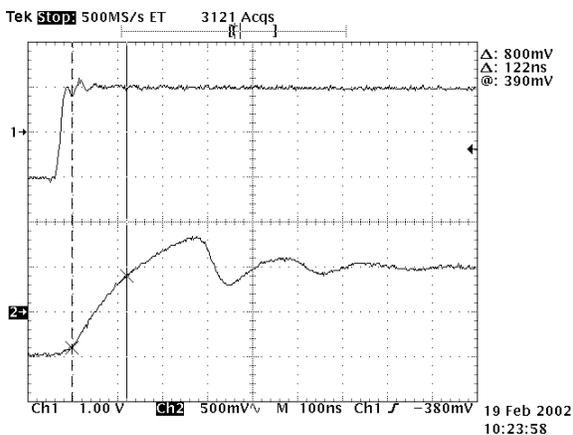


Figura 11-13: Imagem do osciloscópio mostrando o slew-rate de subida.

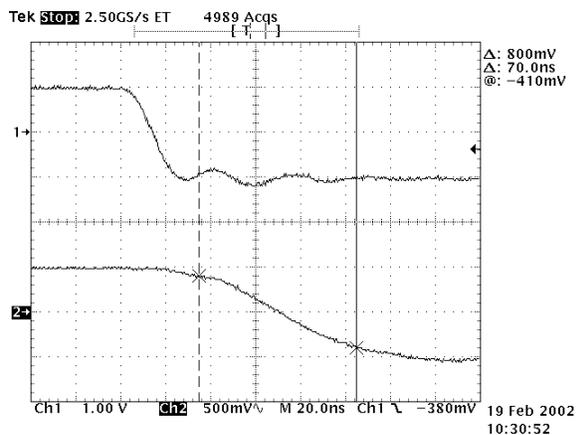


Figura 11-14: Imagem do osciloscópio mostrando o slew-rate de descida.

Destas se extrai os seguintes resultados.

$$\left\{ \begin{array}{l} \text{Subida : } SR_s = \frac{0,8V}{0,122\mu s} = 6,56V/\mu s \\ \text{Descida : } SR_s = \frac{0,8V}{0,07\mu s} = 11,4V/\mu s \end{array} \right. \quad \text{Eq. 11-1}$$

O *Settling Time* é medido do início da transição da onda triangular de entrada, até o momento em que as saídas se estabilizam no valor final. Da *Figura 11-15* tem-se o *settling time* de subida de *844ns*, e da *Figura 11-16* tem-se o de descida de *168,8ns*.

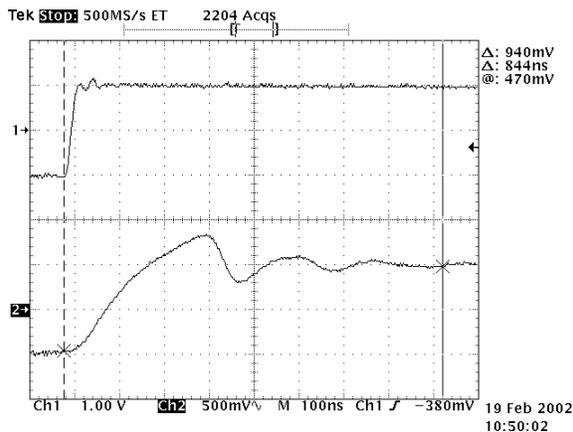


Figura 11-15: Imagem do osciloscópio mostrando o *settling time* de subida.

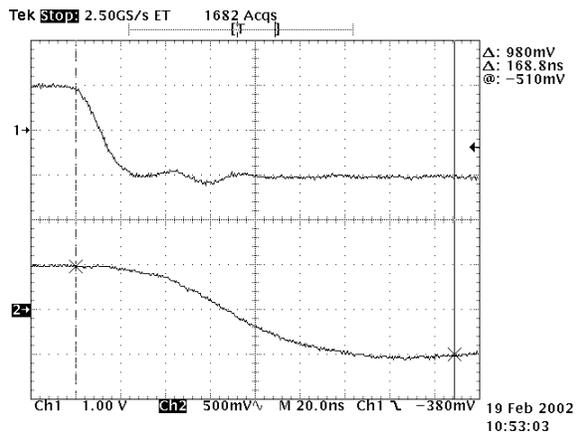


Figura 11-16: Imagem do osciloscópio mostrando o *settling time* de descida.

Os valores medidos de *slew-rate* e *settling time*, com exceção do *settling time* de descida, são muito próximos dos valores simulados em 9.3.7. A grande diferença entre o *settling time* de descida simulado e medido pode ser explicado pela dificuldade de se determinar na prática o ponto em que o sinal se estabiliza.

11.7 Ganho de Modo comum

A *Figura 11-17* mostra o circuito utilizado neste teste. O sinal é aplicado nas duas entradas e medido em relação ao terra, da *Figura 11-18* se observa que o ganho de modo comum de baixas frequências até 200kHz é de -46dB .

Se fosse possível medir o sinal de saída de modo diferencial a atenuação seria muito maior, porque a característica diferencial tende a anular os sinais de modo comum, assim não foi possível determinar experimentalmente o ganho de modo comum medido de forma diferencial na saída e conseqüentemente não pode ser calculada a razão de rejeição de modo comum, CMRR

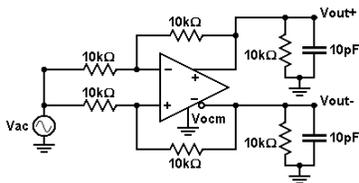


Figura 11-17: Circuito de teste de rejeição de modo comum.

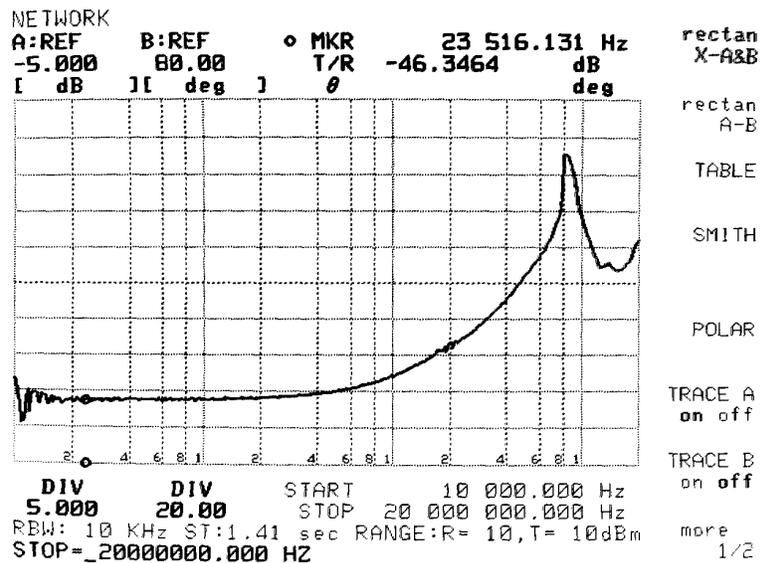


Figura 11-18: Imagem da tela do analisador de redes com o resultado do teste de rejeição de modo comum.

11.8 Resumo das Características de Desempenho

Todos os resultados dos testes estão resumidos na *Tabela 11-2*, estes dados são suficientes para avaliar o desempenho do circuito, e fornecem as bases para realizar um projeto utilizando o circuito desenvolvido.

Parâmetro	Característica
Carga Padrão	$R_L=10k\Omega, C_L=10pF$
Alimentação	+2,5V/-2,5V
Consumo	496,5 μ A e 2,48mW
<i>Off-set</i> de entrada	5,25mV
<i>Off-set</i> de modo comum	19,1mV
Excursão máxima do sinal em cada uma das saídas	-1,32V a 1,37V
Faixa de excursão de modo comum	$\pm 1,3V$
Ganho DC – em cada uma das saídas	$A_v \cong 65dB$
Frequência de ganho unitário	$GBW \cong 9,2MHz$
<i>Slew-rate</i> de subida	6,56V/ μ s
<i>Slew-rate</i> de descida	11,4 V/ μ s
<i>Settling Time</i> de subida	844ns
<i>Settling Time</i> de descida	168,8ns

Tabela 11-2: Características do amplificador com entradas e saídas diferenciais.

12 O Circuito Integrado

12.1 Fotomicrografias

Na *Figura 12-1* e na *Figura 12-2* estão as fotomicrografias de uma amostra do circuito integrado fabricado. A primeira apresenta o circuito completo e destacam-se a célula principal e o anel de *pads*. A segunda dá ênfase à célula principal, na qual está contido o circuito do amplificador com entradas e saídas diferenciais, nesta figura são mostrados os componentes do circuito.

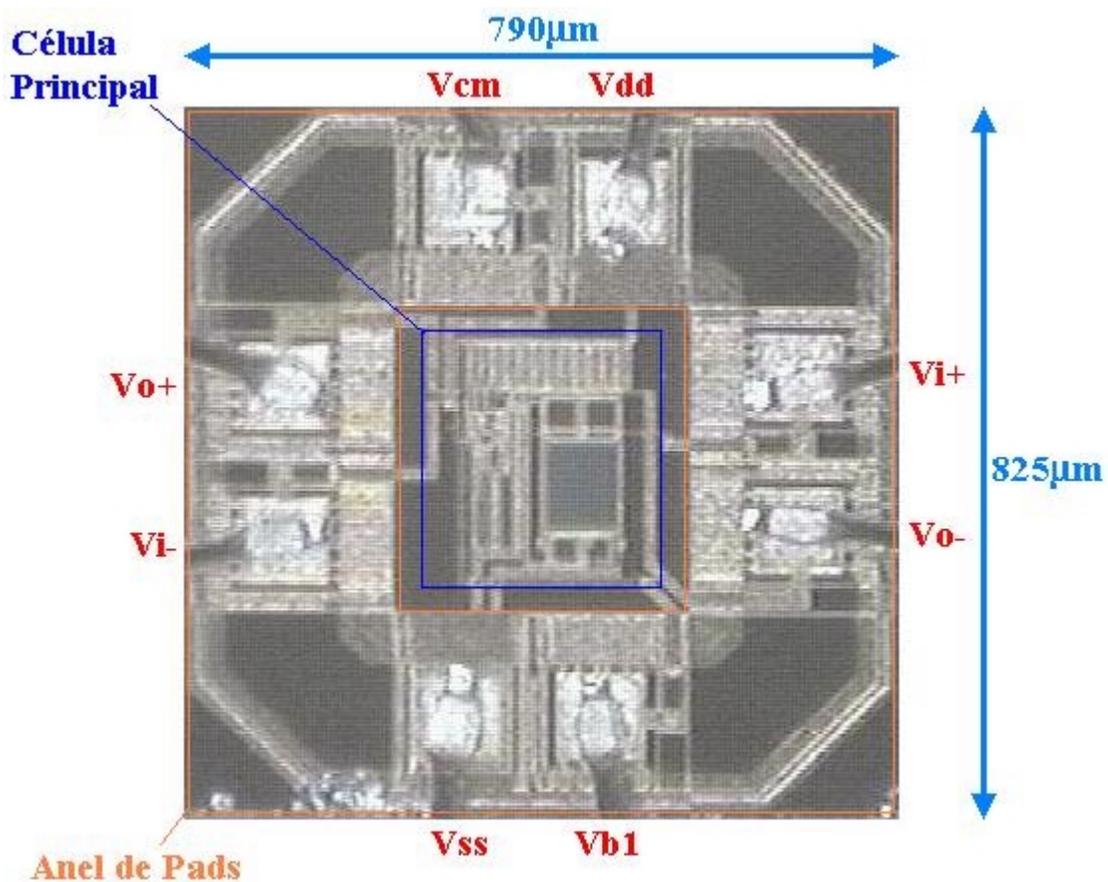


Figura 12-1: Fotomicrografia do Circuito Integrado com *pads*.

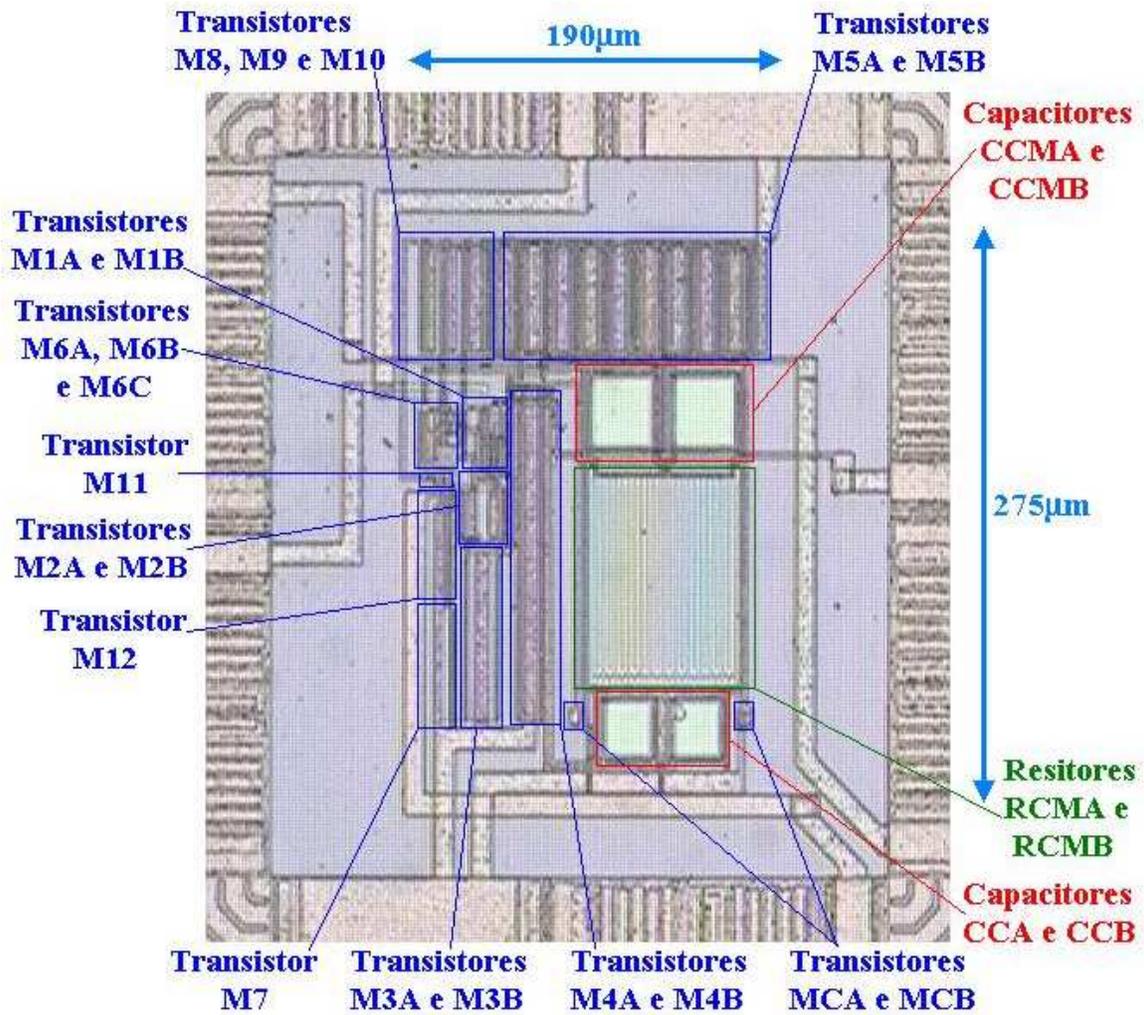
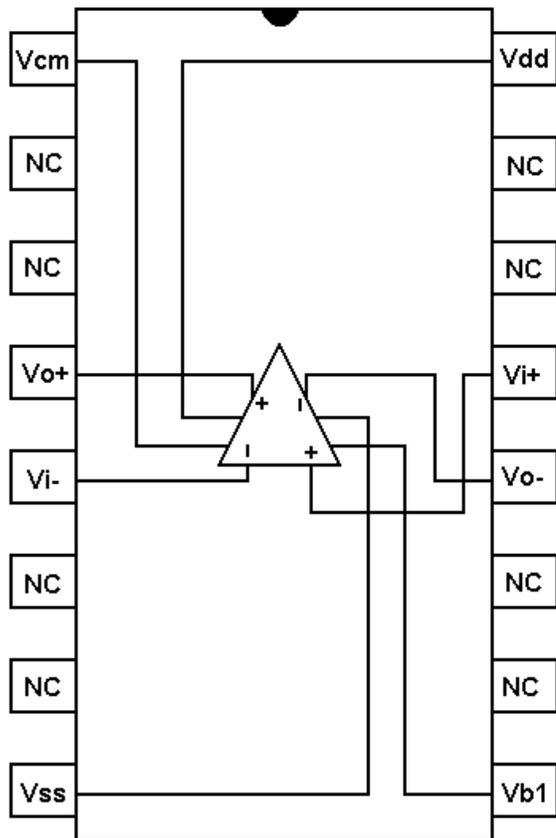


Figura 12-2: Fotomicrografia do Circuito Integrado do amplificador com entradas e saídas diferenciais, com enfoque na célula principal, mostrando a localização dos componentes.

12.2 Diagrama de Pinos

O circuito foi encapsulado em formato *DIP16* (*Dual in Line Package* – 16 pinos), o diagrama de pinos é mostrado na *Figura 12-3*, e a relação de número e nome dos pinos está na *Tabela 12-1*.



Número	Pino
1	Vcm
4	Vo+
5	Vi-
8	Vss
9	Vb1
12	Vo-
13	Vi+
16	Vdd
2, 3, 6, 7, 10, 11, 14, 15	NC

Tabela 12-1: Diagrama de pinos.

Figura 12-3: Diagrama de pinos do amplificador com entradas e saídas diferenciais.

13 Análise dos Resultados

Observando as características de desempenho do amplificador com entradas e saídas diferenciais, obtidas nos testes realizados no capítulo 11, conclui-se que estas estão bastante próximas do que foi proposto e projetado, como ponto de operação, excursão do sinal de saída, faixa de excursão da tensão de modo comum, resposta em frequência de malha fechada, resposta em frequência do sinal de modo comum.

O circuito possui algumas características de desempenho que são críticas como a pequena margem de fase e a excursão do sinal de saída.

A segunda não impede a utilização do amplificador operacional porque há aplicações em que o sinal de saída não necessita de uma excursão maior do que a permitida pelo circuito. Em uma revisão de projeto este problema pode ser facilmente resolvido aumentando a relação W/L dos transistores de saída M4 e M5, isto aumentaria a corrente de saída. Como consequência, há um aumento no consumo do circuito.

A pequena margem de fase limita a aplicação do circuito, pois ele não poderia ser usado com ganho unitário, uma possível solução seria utilizar uma compensação externa com um capacitor em cada caminho de realimentação, isto diminui a frequência de corte mas aumenta a margem de fase. O circuito ficaria como o da *Figura 13-1*. A resposta em frequência com ganho unitário medido em relação ao terra é mostrada na *Figura 13-2*, nesta podemos notar que não há um pico como visto em 9.3.5, isto equivale a uma margem de fase maior que 60° como era desejado inicialmente, a frequência de corte ficaria em torno de $7,8MHz$.

Em uma revisão do projeto duas soluções são possíveis, fazer simulações de malha fechada e redimensionar os componentes de compensação, a outra seria acrescentar ao circuito um estágio de saída classe B, para diminuir os efeitos da carga sobre os valores dos pólos do circuito.

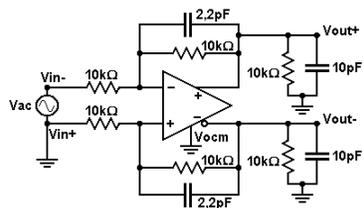


Figura 13-1: Circuito com ganho unitário com capacitor de compensação externo.

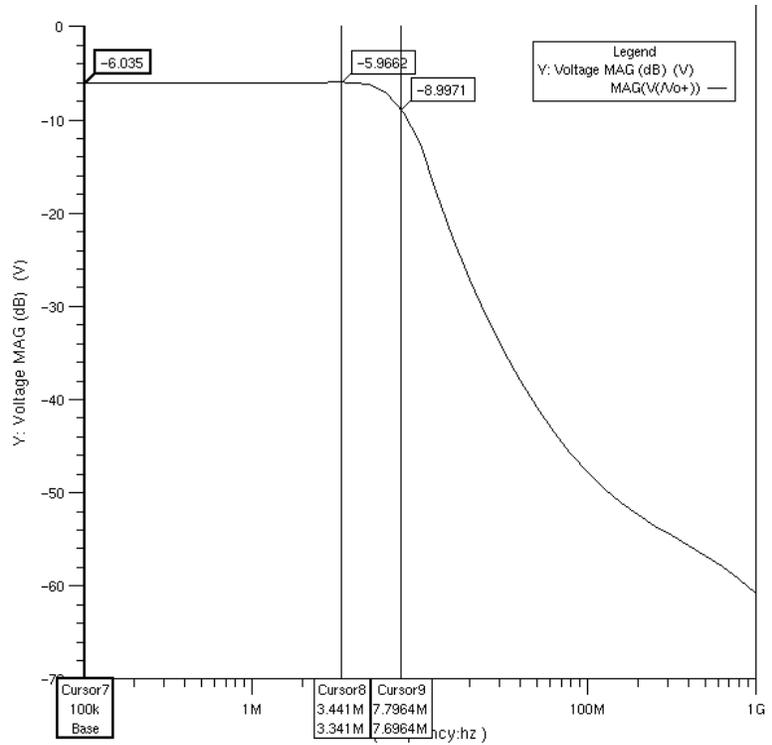


Figura 13-2: Resultado da simulação da resposta em frequência do circuito da Figura 13-1.

14 Conclusões

Neste trabalho foram apresentados as análises, do ponto de operação e incremental, o equacionamento do circuito e os procedimentos necessários ao projeto de um amplificador com entradas e saídas diferenciais e suas particularidades como o controle da tensão de saída de modo comum. Também foram exploradas as técnicas de compensação em frequência e de *layout* de circuitos integrados.

Além do desenvolvimento de todo este conhecimento de eletrônica analógica, também houve um aprendizado das ferramentas computacionais utilizadas em projeto de circuitos integrados como desenho de esquemático, simulação e *layout* do circuito integrado.

O circuito produzido concatena o resultado de todo este aprendizado, este funciona, e a maior parte de suas características de desempenho testadas são muito próximas das simuladas.

Como foi citado no capítulo 13 este amplificador com entradas e saídas diferenciais possui algumas limitações, estas são justificadas pela falta de experiência anterior em projetos de circuitos integrados, mas ao mesmo tempo foram apresentadas soluções práticas e de fácil implementação que possibilitam o uso do circuito em todas as aplicações a que foi proposto inicialmente.

Estas limitações são normais a um protótipo e sempre é necessária a revisão das metas e desempenho até alcançar um circuito final com as características desejadas. As propostas apresentadas como solução destas limitações em uma etapa de refinamento de projeto são de fácil implementação e podem aproveitar grande parte do circuito já desenvolvido.

Os principais objetivos deste trabalho foram alcançados, são estes: a capacidade de analisar, projetar e testar circuitos integrados analógicos em tecnologia CMOS.

15 Referências

- [1] R. Gregorian and G. Temes, *Analog MOS Integrated Circuits for Signal Processing*. New York: Wiley, 1986.
- [2] J. Karki, “Fully-Differential Amplifiers,” *Analog Application Report – Texas Instruments*, Jan. 2001.
- [3] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*. New York: Wiley, 2001.
- [4] S. M. Mallya, J. H. Nevin, “Design Procedure for a Fully Differential Folded-Cascode CMOS Operational Amplifier,” *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 1737-1740, Dec. 1989.
- [5] R. Castello, and P. R. Gray, “A High-Performance Micropower Switched Capacitor Filter,” *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1122-1132, Dec. 1985.
- [6] K. Lee, and R. G. Meyer, “Low-Distortion Switched-Capacitor Filter Design Techniques,” *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1103-1113, Dec. 1985.
- [7] M. Dessouky, and A. Kaiser, “Very Low-Voltage Fully Differential Amplifier for Switched-Capacitor Applications,” in *Proc. IEEE Int. Symposium on Circuits and Systems*, pp. 441-444, May 2000.
- [8] D. Vázquez, A. Rueda, J. L. Huertas, and E. Perálias, “A High-Q Bandpass Fully Differential SC Filter with Enhanced Testability,” *IEEE J. Solid-State Circuits*, vol. SC-33, pp. 976-986, Jul. 1998.
- [9] G. Nicollini, P. Confalonieri, and D. Senderowicz, “A Fully Differential Sample-and-Hold Circuit for High-Speed Applications,” *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 1461-1465, Oct. 1989.
- [10] K. Koli, K. Halonen, “A Fully Differential Class-AB Switched-Current Integrator for Signal Processing,” *IEEE J. Solid-State Circuits*, vol. SC-32, pp. 238-244, Feb. 1997.
- [11] M. Ferro, F. Salerno, and R. Castello, “A Floating CMOS Bandgap Voltage Reference for Differential Applications,” *IEEE J. Solid-State Circuits*, vol. SC-24, pp. 690-697, Dec. 1989.
- [12] G. Nicollini, and D. Senderowics, “A CMOS Bandgap Reference for Differential Signal Processing,” *IEEE J. Solid-State Circuits*, vol. SC-26, pp. 41-50, Jan. 1991.
- [13] G. Xu, and S. H. K. Embabi, “A Systematic Approach in Constructing Fully Differential Amplifiers,” *IEEE Trans. Circuits and Systems-II*, vol. SC-47, pp. 1547-1550, Dec. 2000.
- [14] D. Senderowicz, S. F. Dreyer, J. H. Huggins, C. F. Rahim, and C. A. Laber, “A Family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip,” *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 1014-1023, Dec. 1982.
- [15] M. Banu, J. M. Khoury, Y. P. Tsvividis, “Fully Differential Operational Amplifiers with Accurate Output Balancing,” *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 1410-1414, Dec. 1988.
- [16] J. N. Babanezhad, “A Low-Output-Impedance Fully Differential Op Amp with Large Output Swing and Continuous-Time Common-Mode Feedback,” *IEEE J. Solid-State Circuits*, vol. SC-26, pp. 1825-1833, Dec. 1991.
- [17] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. Oxford: Oxford University Press, 1987.

- [18] P. R. Gray, R. G. Meyer, “ MOS Operational Amplifier Design – A Tutorial Overview,” *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 969-982, Dec. 1982.
- [19] Austria Mikro Systeme International AG. 0.6 μ m CMOS Joint Group Process Parameters. No. 9933011, rev. B, 1998.
- [20] Austria Mikro Systeme International AG. 0.6 μ m CMOS Design Rules. No. 9931025, rev. 2.0, 1998.
- [21] Austria Mikro Systeme International AG. <http://asic.austriamicrosystems.com>
- [22] B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill, 2001.
- [23] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*. New York: Oxford University Press, 1998.

16 Apêndices

16.1 Apêndice A – Redução das Harmônicas pares

Como citado em [22], em muitos circuitos analógicos as não linearidades da característica de entrada/saída podem ser aproximadas pela expansão de Taylor, dada por 15-1.

$$y(t) = \alpha_1 \cdot x(t) + \alpha_2 \cdot x^2(t) + \alpha_3 \cdot x^3(t) + \dots \quad \text{Eq. 16-1}$$

A *Figura 16-1* mostra um diagrama de blocos que representa um amplificador com entradas e saídas diferenciais, sem a realimentação de modo comum, que nesta análise não precisa ser considerada.

Neste diagrama é aplicado um sinal em cada entrada ($x_1(t)$ e $x_2(t)$), estes são igualmente amplificados e sofrem distorções causados pelas não linearidades dos transistores, resultando nos sinais $y_1(t)$ e $y_2(t)$, que são tomados de forma diferencial, ou seja $y_d(t) = y_1(t) - y_2(t)$.

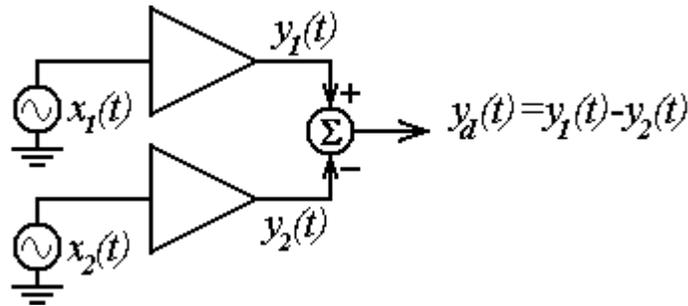


Figura 16-1: Diagrama de blocos para representar um amplificador com entradas e saídas diferenciais.

Supondo ambas entradas senoidais tem-se:

$$\begin{cases} x_1(t) = A \cdot \cos \omega t \\ x_2(t) = B \cdot \cos \omega t \end{cases} \quad \text{Eq. 16-2}$$

A saída $y_1(t)$ será da seguinte forma:

$$y_1(t) = \alpha_1 \cdot A \cdot \cos \omega t + \alpha_2 \cdot A^2 \cdot \cos^2 \omega t + \alpha_3 \cdot A^3 \cdot \cos^3 \omega t + \dots \quad \text{Eq. 16-3}$$

$$y_1(t) = \alpha_1 \cdot A \cdot \cos \omega t + \frac{\alpha_2 \cdot A^2}{2} \cdot (1 + \cos 2\omega t) + \frac{\alpha_3 \cdot A^3}{4} \cdot (3 \cos \omega t + \cos 3\omega t) + \dots \quad \text{Eq. 16-4}$$

$$y_1(t) = \frac{\alpha_2 \cdot A^2}{2} + \left(\alpha_1 \cdot A + \frac{3 \cdot \alpha_3 \cdot A^3}{4} \right) \cos \omega t + \frac{\alpha_2 \cdot A^2}{2} \cdot \cos 2\omega t + \frac{\alpha_3 \cdot A^3}{4} \cdot \cos 3\omega t + \dots \quad \text{Eq. 16-5}$$

Da mesma forma a saída $y_2(t)$ será da seguinte forma:

$$y_2(t) = \frac{\alpha_2 \cdot B^2}{2} + \left(\alpha_1 \cdot B + \frac{3 \cdot \alpha_3 \cdot B^3}{4} \right) \cos \omega t + \frac{\alpha_2 \cdot B^2}{2} \cdot \cos 2\omega t + \frac{\alpha_3 \cdot B^3}{4} \cdot \cos 3\omega t + \dots \quad \text{Eq. 16-6}$$

Como $B = -A$, a saída $y_2(t)$ pode ser escrito em função de A .

$$y_2(t) = \frac{\alpha_2 \cdot A^2}{2} - \left(\alpha_1 \cdot A + \frac{3 \cdot \alpha_3 \cdot A^3}{4} \right) \cos \omega t + \frac{\alpha_2 \cdot A^2}{2} \cdot \cos 2\omega t - \frac{\alpha_3 \cdot A^3}{4} \cdot \cos 3\omega t + \dots \quad \text{Eq. 16-7}$$

Tomando a saída de forma diferencial tem-se:

$$y_d(t) = y_1(t) - y_2(t) \quad \text{Eq. 16-8}$$

$$y_d(t) = 2 \cdot \left(\alpha_1 \cdot A + \frac{3 \cdot \alpha_3 \cdot A^3}{4} \right) \cos \omega t + 2 \cdot \frac{\alpha_3 \cdot A^3}{4} \cdot \cos 3\omega t + \dots \quad \text{Eq. 16-9}$$

A equação 16-9 mostra que em circuitos com entradas e saídas diferenciais as harmônicas pares se cancelam.

16.2 Apêndice B – Dedução de Ganho do Amplificador *Cascode*

No equacionamento do ganho e da resistência de saída do primeiro estágio do amplificador com entradas e saídas diferenciais, foi utilizado o modelo de pequenos sinais mostrado na *Figura 16-3*. Este estágio tem a configuração *cascode*, e equacionamento similar pode ser encontrado em [23].

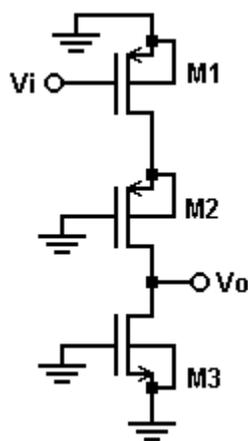


Figura 16-2: Amplificador cascode

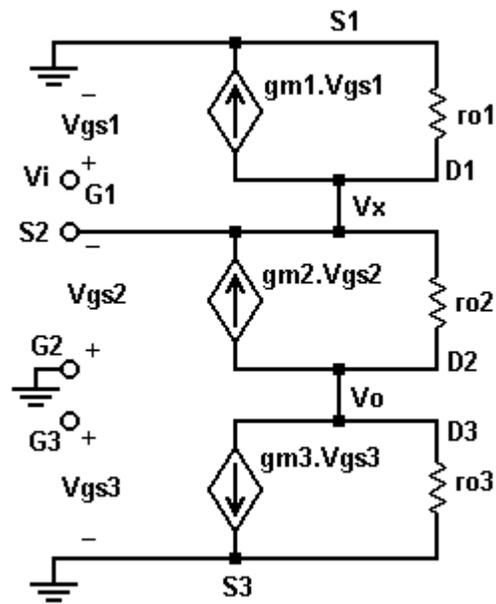


Figura 16-3: Modelo de pequenos sinais do amplificador cascode.

Inicialmente, os transistores M2 e M3 são substituídos pela impedância equivalente, vista quando se olha para a fonte de M2, esta denominada R_{si} , como mostra a *Figura 16-4*. Nesta situação é calculado o ganho v_x/v_i .

$$v_x \cdot \left(\frac{1}{r_{o1}} + \frac{1}{R_{si}} \right) + gm_1 \cdot v_i = 0 \quad \text{Eq. 16-10}$$

$$\frac{v_x}{v_i} = -gm_1 \cdot \left(\frac{r_{o1} \cdot R_{si}}{r_{o1} + R_{si}} \right) \quad \text{Eq. 16-11}$$

Em seguida é calculado $R_{si} = V_x / I_x$, como mostra a *Figura 16-5*.

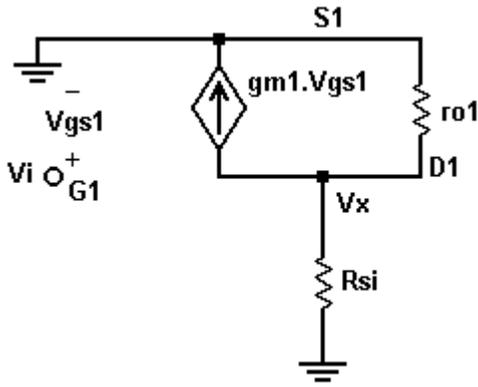


Figura 16-4: Modelo que substitui M2 e M3 por uma resistência equivalente.

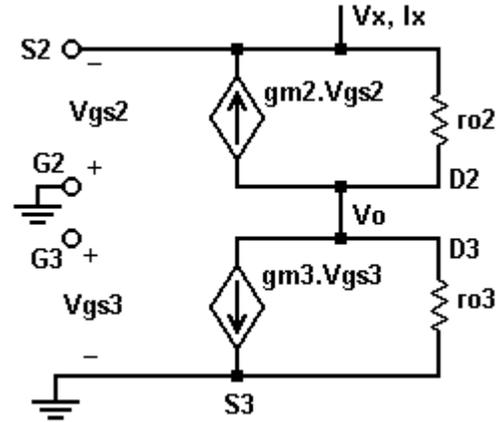


Figura 16-5: Modelo de pequenos sinais utilizado para calcular R_{si} .

$$i_x = v_x \cdot gm_2 + \frac{v_x - v_o}{r_{o2}} \quad \text{Eq. 16-12}$$

$$v_o = i_x \cdot r_{o3} \quad \text{Eq. 16-13}$$

$$i_x = v_x \cdot \left(gm_2 + \frac{1}{r_{o2}} \right) - i_x \cdot \frac{r_{o3}}{r_{o2}} \quad \text{Eq. 16-14}$$

$$i_x \cdot \left(1 + \frac{r_{o3}}{r_{o2}} \right) = v_x \cdot \left(gm_2 + \frac{1}{r_{o2}} \right) \quad \text{Eq. 16-15}$$

Como $gm_2 \gg 1/r_{o2}$, chega-se a seguinte equação aproximada de R_{si} .

$$R_{si} = \frac{v_x}{i_x} = \frac{r_{o2} + r_{o3}}{gm_2} \quad \text{Eq. 16-16}$$

O passo seguinte é calcular o ganho v_o/v_x , isso é feito utilizando 16-13 e 16-14.

$$v_o \cdot \left(\frac{1}{r_{o3}} + \frac{1}{r_{o2}} \right) = v_x \cdot \left(gm_2 + \frac{1}{r_{o2}} \right) \quad \text{Eq. 16-17}$$

Como $gm_2 \gg 1/r_{o2}$, o ganho v_o/v_x aproximado fica da seguinte forma.

$$\frac{v_o}{v_x} = gm_2 \cdot \left(\frac{r_{o2} \cdot r_{o3}}{r_{o2} + r_{o3}} \right) \quad \text{Eq. 16-18}$$

A partir das equações 16-11, 16-16 e 16-18, é calculado o ganho do amplificador *cascode*

$$\frac{v_x \cdot v_o}{v_i \cdot v_x} = \frac{v_o}{v_i} = - \frac{gm_1 \cdot \left(gm_2 + \frac{1}{r_{o2}} \right) \cdot \left(\frac{r_{o2} \cdot r_{o3}}{r_{o2} + r_{o3}} \right)}{\frac{1}{r_{o1}} + \frac{gm_2 \cdot r_{o2}}{r_{o2} + r_{o3}}} \quad \text{Eq. 16-19}$$

Fazendo as considerações dadas por 16-20, o resultado é o mostrado por 16-21. Esta também mostra que a impedância de saída do *cascode* é aproximadamente r_{o3} .

$$\frac{1}{r_{o1}} \ll \frac{gm_2 \cdot r_{o2}}{r_{o2} + r_{o3}} \text{ e } \frac{1}{r_{o2}} \ll gm_2 \quad \text{Eq. 16-20}$$

$$\frac{v_o}{v_i} \cong - \frac{gm_1 \cdot gm_2 \cdot \left(\frac{r_{o2} \cdot r_{o3}}{r_{o2} + r_{o3}} \right)}{\frac{gm_2 \cdot r_{o2}}{r_{o2} + r_{o3}}} \cong -gm_1 \cdot r_{o3} \quad \text{Eq. 16-21}$$

16.3 Apêndice C – Dedução do Ganho do Amplificador Fonte Comum

A Figura 16-7 apresenta o modelo utilizado na dedução do ganho e da impedância de saída do segundo estágio, amplificador fonte comum com carga ativa.

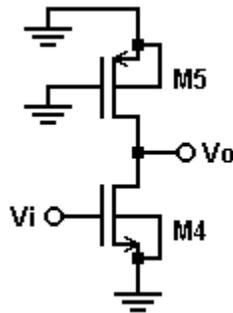


Figura 16-6: Amplificador fonte-comum.

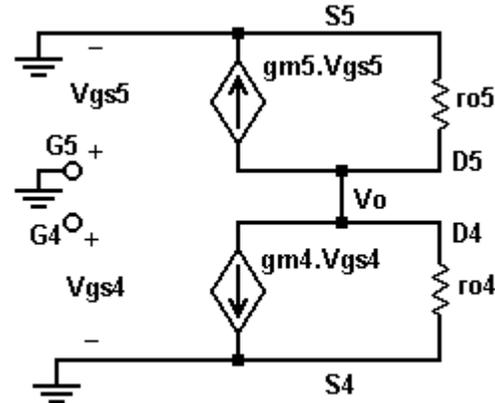


Figura 16-7: Modelo de pequenos sinais do amplificador fonte comum com carga ativa.

A equação 16-22 é obtida fazendo a somatória das correntes no nó de saída.

$$v_o \cdot \left(\frac{1}{r_{o4}} + \frac{1}{r_{o5}} + \frac{1}{R_L} + \frac{1}{R_{CM}} \right) + v_i \cdot gm_4 = 0 \quad \text{Eq. 16-22}$$

Em seguida o ganho é dado por 16-23.

$$\frac{v_o}{v_i} = -gm_4 \cdot \left(\frac{1}{r_{o4}} + \frac{1}{r_{o5}} + \frac{1}{R_L} + \frac{1}{R_{CM}} \right)^{-1} = -gm_4 \cdot (r_{o4} // r_{o5} // R_L // R_{CM}) \quad \text{Eq. 16-23}$$

Considerando que r_{o4} e r_{o5} são maiores que R_L e R_{CM} , chega-se na equação aproximada 16-24. Desta deduz-se que a impedância de saída deste amplificador é igual ao paralelo de R_L e R_{CM} .

$$\frac{v_o}{v_i} = -gm_4 \cdot (R_L // R_{CM}) \quad \text{Eq. 16-24}$$