


UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E
FOTÔNICA

Projeto de uma Tecnologia de Fabricação de MESFETs para Circuitos Integrados em GaAs.

por: Tomás Antônio Costa Badan

orientador: Furio Damiani

Este exemplar corresponde à redação final da tese
defendida por Tomás Antônio Costa
Badan e aprovada pela Comissão
 julgadora em 14 / 06 / 96.

Orientador

Dissertação submetida à Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas, para preenchimento dos pré-requisitos parciais para obtenção do Título de Mestre em Engenharia Elétrica.

julho 1996

9614198

Resumo

Este trabalho é uma contribuição ao desenvolvimento de transistores MESFETs em arseneto de gálio para uso em Circuitos Integrados (CIs) de alta velocidade. Inicialmente são descritos processos de fabricação em arseneto de gálio: a obtenção de substratos monocristalinos, a implantação iônica, o recozimento para ativar os dopantes, a realização de contatos. É desenvolvido o modelo matemático que rege sua física do estado sólido, usado pelo programa PRISM. Os resultados obtidos com o programa de simulação de processos SUPREM-IV.GS foram fornecidos ao programa PRISM, que efetua uma análise do comportamento elétrico dos MESFETs fabricados; esse procedimento foi realizado de forma iterativa, até serem obtidos parâmetros apropriados para a fabricação de transistores de enriquecimento e de depleção para CIs digitais.

Abstract

This work is a contribution to the development of GaAs MESFETs transistors to use in high speed integrated circuits (CIs). Initially are described the GaAs manufacture processes: monocrystal substrate fabrication, ion implantation, thermal annealing to activate the implanted impurities, contact fabrications. It is developed the mathematical model of the solid state physics used by the PRISM program. The results were first obtained with the SUPREM-IV.GS program that simulate the process and then passed to PRISM program that analyses the electrical behavior of MESFET devices; that procedure was done in an iterative way until the achievement of suitable parameters to the manufacture of both depletions and enhancement transistors to use in digital CIs.

Agradecimentos

Ao Prof^o Dr. Furio Damiani, pela oportunidade de realizar este trabalho.

Aos meus pais, irmão e irmãs pelo incentivo e apoio.

Aos meus amigos Adriane, Reinaldo e Rosângela pela boa convivência em Campinas.

Aos meus amigos do DSIF, Carla, Chang, Eliane, Jara, Marcelo, Margareth e Wilfredo pelos bons momentos de descontração.

Aos meus amigos de Campinas, Baleeiro, Marcelo Castro, Marco Antonio, Sérgio e Wagner pela boa amizade.

E por fim, aos meus amigos de Goiânia e aos colegas da EEE/UFG pelo apoio e conselhos.

*Dedico este trabalho a minha
namorada Adriana, pelo seu
incentivo, carinho e conforto
nas horas mais difíceis.*

Conteúdo

RESUMO	ii
ABSTRACT	iii
AGRADECIMENTOS	iv
CONTEÚDO	vi
LISTA DE FIGURAS	ix
LISTA DE TABELAS	xiv
1 Preliminares	1
1.1 Motivações	2
1.2 Topologias Usadas em Arseneto de Gálio	3
2 Processos de Fabricação em Arseneto de Gálio	6
2.1 Obtenção de Substratos Monocristalinos	7
2.1.1 Obtenção de Substratos Monocristalinos de GaAs por Crescimento Horizontal (HG)	8
2.1.2 Obtenção de Substratos Monocristalinos por Crescimento por Encapsulamento Líquido	10
2.2 Implantação Iônica	13
2.2.1 Modelo para a Implantação Iônica	15

2.2.2	Dopantes	17
2.3	Defeitos	20
2.4	Recozimento	21
2.4.1	Óxidos Protetores	22
2.4.2	Recozimento sem o Óxido Protetor	24
2.4.3	Recozimento Térmico Rápido	24
2.5	Contatos	28
2.5.1	Contatos Ôhmicos	29
2.5.2	Contatos Schottky	31
2.6	Conclusões	31
3	Modelos Matemáticos para MESFETs	33
3.1	Equações de Estado Sólido	34
3.1.1	Modelamento de um Semicondutor	35
3.1.2	Solução Numérica Bidimensional	40
3.2	Modelamento para Grandes Sinais	41
3.2.1	Equações para o Regime CC	41
3.2.2	Avaliação da Capacitância de Porta	43
3.3	Resumo	45
4	Resultados	46
4.1	Simuladores	49
4.2	Definição da camada altamente dopada (n^+)	51
4.3	A Camada <i>Buffer</i> e os Contatos	52
4.4	Simulações Elétricas	55
4.4.1	Os Transistores de Enriquecimento e Depleção	56
4.4.2	Extração dos Parâmetros dos MESFETs para o Modelamento SPICE	74

5 Conclusões e Propostas Futuras	77
5.1 Conclusões	77
5.2 Propostas Futuras	78
A RTA – <i>Rapid Thermal Annealing</i>	79
B Exemplo de <i>Script</i> para o Programa de Simulação Bidimensional PRISM	82
C Exemplo de <i>Script</i> para o Programa de Simulação de Processos SUPREM	84
BIBLIOGRAFIA	86

Lista de Figuras

1.1	Estrutura genérica de um MESFET.	4
1.2	Configurações utilizadas para a fabricação de transistores MESFETs auto-alinhados. Em (a) é mostrado um transistor com porta rebaixada, em (b) um transistor cuja região do canal está limitada pelas regiões de fonte e dreno, e em (c) e (d) transistores com uma região de dopagem intermediária entre a região do canal e a região de fonte e dreno.	5
2.1	Esboço de um processo auto-alinhado para a fabricação de um transistor MESFET em GaAs. Após a implantação iônica (a), o metal da porta é depositado e litografado (b). As regiões de fonte e dreno são implantadas e tratadas termicamente, para a ativação dos portadores implantados em altas e em baixas energias (c) e a metalização dos contatos ôhmicos é depositada (d). A estrutura completa inclui (e) fotolitografia, isolamento e realização das conexões elétricas.	6
2.2	Diagrama ilustrando o conceito de crescimento horizontal: A, tubo de quartzo lacrado aonde é realizado o crescimento; B, barqueta de quartzo com ou sem uma semente; C, cadinho contendo arsênio; D, barreira de difusão; E, par termoeletrico para medida de temperatura; F, tubo do forno em SiC; G, deslizador; T ₁ , T ₂ e T ₃ são regiões de temperaturas constantes; F ₁ , F ₂ e F ₃ gradientes obtidos por 3 fontes de aquecimento e x(t) é a direção de crescimento.	8
2.3	Diagrama mostrando o formato do cristal crescido, devido à forma da barqueta. A, tubo de crescimento; B, barqueta de quartzo; F, tubo do forno, em SiC; G, deslizador; I, GaAs líquido; H ₁ , H ₂ , H ₃ e H ₄ , são quatro seções de aquecimentos para a interface líquido - sólido.	9

2.4	Diagrama ilustrando o conceito de encapsulamento líquido: A, cadinho de sílica; B, suporte de grafite; C, cristal crescido sob a semente S; LE, encapsulamento líquido (B_2O_3); p_i representa a pressão do gás inerte; p_d representa a pressão de dissociação do composto GaAs líquido; H_1 fornece uma distribuição de temperatura com um gradiente na região de resfriamento; H_2 é para o controle da distribuição de temperatura nas vizinhanças da interface líquido - sólido; H_3 é a fonte de calor para manter o composto liquefeito no cadinho.	11
2.5	Esboço da canalização de um íon.	16
2.6	Ilustração do espalhamento lateral do íon implantado quando a implantação iônica é realizada através de máscaras. A implantação foi simulada pelo programa SUPREM.IV.GS e realizada com $^{28}Si^+$, com dose de $5,0 \cdot 10^{13} \text{ cm}^{-2}$ e energia de 200 keV.	18
2.7	Temperaturas de recozimento dos defeitos cristalinos em lâminas de GaAs. .	22
2.8	Esboço que ilustra o significado do termo “cauda”, representada pela difusão das impurezas para o interior do substrato após o recozimento.	23
2.9	Esboço que mostra a variação da concentração dos portadores em função do tempo de recozimento	25
2.10	Porcentagem de ativação de dopantes implantados (Si^+ , $d = 4,5 \cdot 10^{13} \text{ cm}^{-2}$) usando RTA a $850^\circ C/10 \text{ s}$ em função da energia.	27
2.11	Dependência da eficiência de ativação do silício quando submetida a dois passos de recozimento térmico rápido.	28
2.12	Esboço da configuração Au/WSiN/(Au,Ge,Ni)-n-GaAs para se fazer contatos ôhmicos.	29
3.1	Modelo de um MESFET usando elementos de circuitos equivalentes, que pode ser implementado em simulador de circuitos.	42

4.1	Esboço de um processo auto-alinhado para a fabricação de um transistor MESFET em GaAs. Após a implantação iônica (a) representada pelos passos 1, 2 e 3, o metal da porta é depositado e litografado (passos 4 e 5)(b). As regiões de fonte e dreno são implantadas e tratadas termicamente para a ativação dos portadores implantados às altas e às baixas energias (passos 6, 7, 8 e 9)(c) e a metalização dos contatos ôhmicos é depositada (passos 10 e 11)(d). A estrutura completa inclui (e) fotolitografia, isolamento e realização das conexões elétricas.	48
4.2	Esboço do dispositivo MESFET simulado pelo PRISM após o estabelecimento da malha de triângulos usada pelo método de elementos finitos para o cálculo de suas características.	50
4.3	Esboço do corte vertical do MESFET da figura 4.2, no qual podem-se ver os tipos de dopantes.	51
4.4	Perfil de concentração de Si^+ em GaAs com dose de $5.10^{13} \text{ cm}^{-2}$ e energia de 50 keV , mostrando o espalhamento lateral sob a porta. É considerada uma ativação de 70%.	53
4.5	Perfil de implantação de Si^+ em GaAs com dose de $5.10^{13} \text{ cm}^{-2}$ e energia de 50 keV . É considerada uma ativação de 70%.	54
4.6	Característica de saída ($I_D \times V_{DS}$) de MESFET, <i>buffer</i> implantado com Mg^+ , dose de $1,0.10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.	62
4.7	Característica de saída ($I_D \times V_{DS}$) de MESFET, <i>buffer</i> implantado com Mg^+ , dose de $1,0.10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.	63
4.8	Característica de saída ($I_D \times V_{DS}$) de MESFET, <i>buffer</i> implantado com Mg^+ , dose de $9,0.10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.	64
4.9	Característica de saída ($I_D \times V_{DS}$) de MESFET, <i>buffer</i> implantado com Mg^+ , dose de $9,0.10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.	65

- 4.10 Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo. 66
- 4.11 Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo. 67
- 4.12 Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo. 68
- 4.13 Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo. 69
- 4.14 (a) Concentração de elétrons do transistor MESFET-E quando $V_{GS} = 0,5 \text{ V}$ e $V_{DS} = 4 \text{ V}$; (b) Concentração de elétrons do transistor MESFET-D quando $V_{GS} = 0 \text{ V}$ e $V_{DS} = 4 \text{ V}$ 70
- 4.15 (a) Mobilidade de elétrons do transistor MESFET-E quando $V_{GS} = 0,5 \text{ V}$ e $V_{DS} = 4 \text{ V}$; (b) Mobilidade de elétrons do transistor MESFET-D quando $V_{GS} = 0 \text{ V}$ e $V_{DS} = 4 \text{ V}$ 71
- 4.16 (a) Densidade de corrente de elétrons do transistor MESFET-E quando $V_{GS} = 0,5 \text{ V}$ e $V_{DS} = 4 \text{ V}$; (b) Densidade de corrente de elétrons do transistor MESFET-D quando $V_{GS} = 0 \text{ V}$ e $V_{DS} = 4 \text{ V}$ 72
- 4.17 (a) Distribuição de potenciais do transistor MESFET-E quando $V_{GS} = 0,5 \text{ V}$ e $V_{DS} = 4 \text{ V}$; (b) Distribuição de potenciais do transistor MESFET-D quando $V_{GS} = 0 \text{ V}$ e $V_{DS} = 4 \text{ V}$ 73
- 4.18 Característica de saída ($I_D \times V_{DS}$), *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . (a) Canal com implantação de Si^+ de $1,7 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV , e $V_{GS} = 0,5 \text{ V}$. (b) Canal com implantação de Si^+ de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV , e $V_{GS} = 0 \text{ V}$. Observar que os valores das correntes (A/cm) e tensões (V) estão em módulo. 76

A.1 Esquema mostrando o tempo de processamento e a classificação dos processos
térmicos 80

Lista de Tabelas

1.1	Dados relevantes para a comparação entre o silício e o arseneto de gálio . . .	2
2.1	Valores das impurezas comumente encontrados em <i>wafers</i> crescidos pelas técnicas LEC e HG. EL2 é um defeito que ocorre em substratos de GaAs e atua como um doador profundo.	13
4.1	Tensões de limiar (V_t) em função da dose de implantação de Si^+ a 30 keV no canal, com camada <i>buffer</i> implantada com Mg^+ com dose e energias de: 1, $0.10^{11} \text{ cm}^{-2}$ a 200 keV, 9, $0.10^{11} \text{ cm}^{-2}$ a 150 keV, 3, $0.10^{12} \text{ cm}^{-2}$ a 200 keV. 57	
4.2	Constantes de proporcionalidade (K) em função da dose de implantação de Si^+ a 30 keV no canal, com camada <i>buffer</i> implantada com Mg^+ com dose e energias de: 1, $0.10^{11} \text{ cm}^{-2}$ a 200 keV, 9, $0.10^{11} \text{ cm}^{-2}$ a 150 keV, 3, $0.10^{12} \text{ cm}^{-2}$ a 200 keV.	57
4.3	Tensões de limiar (V_t) em função da dose de implantação de Si^+ a 50 keV no canal, com camada <i>buffer</i> implantada com Mg^+ com dose e energias de: 1, $0.10^{11} \text{ cm}^{-2}$ a 200 keV, 9, $0.10^{11} \text{ cm}^{-2}$ a 150 keV, 3, $0.10^{12} \text{ cm}^{-2}$ a 200 keV. 58	
4.4	Constantes de proporcionalidade (K) em função da dose de implantação de Si^+ a 50 keV no canal, com camada <i>buffer</i> implantada com Mg^+ com dose e energias de: 1, $0.10^{11} \text{ cm}^{-2}$ a 200 keV, 9, $0.10^{11} \text{ cm}^{-2}$ a 150 keV, 3, $0.10^{12} \text{ cm}^{-2}$ a 200 keV.	58
4.5	Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 30 keV no canal e uma implantação da camada <i>buffer</i> de 1, $0.10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV.	59
4.6	Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 30 keV no canal e uma implantação da camada <i>buffer</i> de 9, $0.10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV.	59

4.7	Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 50 keV no canal e uma implantação da camada <i>buffer</i> de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV.	60
4.8	Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 50 keV no canal e uma implantação da camada <i>buffer</i> de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV.	60
4.9	Parâmetros SPICE das implantações escolhidas. Observar que os implantes do canal foram realizados a uma energia de 30 keV, e com uma camada <i>buffer</i> de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV.	74
4.10	Erros relativos entre os valores simulados e os valores interpolados, para diferentes valores de V_{GS} . O valor de V_{DS} é mantido em 4 V. O canal foi obtido com uma implantação de Si^+ de $1,7 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV. A implantação da camada <i>buffer</i> tem dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ e energia de 150 keV.	75
4.11	Erros relativos entre os valores simulados e os valores interpolados, para diferentes valores de V_{GS} . O valor de V_{DS} é mantido em 4 V. O canal foi obtido com uma implantação de Si^+ de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV. A implantação da camada <i>buffer</i> tem dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ e energia de 150 keV.	75

Notação

Al	Alumínio
Au	Ouro
<i>Bandgap</i>	Largura da faixa proibida ($E_g = E_c - E_v$)
Be	Berílio
Cd	Cádmio
CI	Circuito Integrado
Cr	Cromo
Cu	Cobre
DX	Concentração de dopantes eletricamente ativos
E	Campo elétrico
E_c	Campo elétrico crítico
ϵ	Constante dielétrica relativa
FET	<i>Field Effect Transistor</i>
ϕ	Potencial Eletrostático
GaAs	Arseneto de Gálio
Ge	Germânio
$G_{n,p}$	Taxa de geração-recombinação para os elétrons, lacunas
HG	Crescimento Horizontal (<i>Horizontal-Growth</i>)
JFET	<i>Junction Field Effect Transistor</i>
$J_{n,p}$	Densidade de corrente de elétrons, lacunas
k	Constante de Boltzmann
LEC	Crescimento por Encapsulamento Líquido (<i>Liquid-Encapsulated Czolchralski</i>)
LPE	<i>Liquid Phase Epitaxy</i>
MBE	<i>Molecular Beam Epitaxy</i>
m_{eff}	Massa efetiva
MESFET	<i>MEtal Semiconductor Field Effect Transistor</i>
Mg	Magnésio

MOCVD	<i>Metalorganic Chemical Vapor Deposition</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
n	Concentração de elétrons
Ni	Níquel
p	Concentração de lacunas
q	Carga do elétron
RTA	<i>Rapid Thermal Annealing</i>
S	Enxofre
Se	Selênio
Si	Silício
SPICE	Programa para simulação de circuitos
τ	Tempos de relaxação da energia
T	Temperatura
$\mu_{n,p}$	mobilidade dos elétrons, lacunas
v	Velocidade média
VPE	<i>Vapor Phase Epitaxy</i>
ξ	Portadores de energia
W	Tungstênio
<i>Wafer</i>	Lâmina no qual são processadas as etapas para fabricação do CI
Zn	Zinco

Capítulo 1

Preliminares

Atualmente existe uma região nevrálgica nos circuitos integrados (CI's), quando é necessário o uso de frequências na faixa de GHz. Com o enorme crescimento da área de telecomunicações, em particular, das comunicações móveis e da transmissão de dados entre computadores, a tecnologia da fabricação de CI's em silício (Si) não conseguem atender a esta demanda, pois as exigências dos sistemas encontram limitações nos CI's construídos em Si, devido às limitações desse material. Como consequência, há esforços em se encontrar novos materiais semicondutores que supram essas necessidades.

Os compostos semicondutores III-V, ou seja, aqueles formados com elementos das colunas III e V da tabela periódica, permitem obter dispositivos mais adequados para o uso em alta frequência e componentes digitais mais rápidos do que os fabricados em silício. Entretanto, quando reduzimos as dimensões das portas em dispositivos de Si, a performance destes (principalmente em frequência), em alguns casos, se torna comparável à dos dispositivos em arseneto de gálio (GaAs), tendo suas portas comprimentos duas vezes maiores. Considerando os custos de fabricação e as dificuldades encontradas em processar dispositivos semicondutores III-V são altos, não é de se esperar uma simples substituição do Si por estes outros materiais, mas uma ocupação do espaço deixado por ele.

Dos compostos III-V, o GaAs é o mais estudado, sendo conhecido desde o fim da década de 60. Seu surgimento ocorreu na era áurea do silício e, por dificuldades tecnológicas, o interesse por este material esteve quase que completamente esquecido até meados da década de 80.

		Si	GaAs
<i>Bandgap</i>	$E_g(eV)$	1.11	1.43
Mobilidades e massas efetivas	$\mu_n(cm^2 V^{-1} s^{-1})$	1200	5000
	m_n/m_o	1.1	0.07
	$\mu_p(cm^2 V^{-1} s^{-1})$	500	300
	m_p/m_o	0.59	0.54
Condutividade térmica	$\sigma_T(W cm^{-1} K^{-1})$	1.41	0.44
Constante dielétrica relativa	ϵ_r	12	13
Velocidade máxima	$v_{max}(10^{17} cm s^{-1})$	1	2
Velocidade de saturação	$v_{sat}(10^{17} cm s^{-1})$	1	1
Campo elétrico crítico	$E_c(kV cm^{-1})$	7	3

Dados à 300 K e para uma concentração de dopantes de $1 \times 10^{16} cm^{-3}$

Tabela 1.1: Dados relevantes para a comparação entre o silício e o arseneto de gálio

1.1 Motivações

Há uma enorme gama de aplicações para ser preenchida por dispositivos mais velozes. Apesar de já haver muito trabalho no sentido de se estabelecer uma tecnologia de fabricação de dispositivos em GaAs [1], esta tecnologia ainda está em fase de amadurecimento, havendo vários pontos em aberto para novas indagações.

Comparando-se as propriedades do GaAs e do Si, pode-se entender porque a comunidade acadêmica tem gasto tanto esforço em desenvolver técnicas mais estáveis para o processamento do GaAs. Pode-se ver na tabela 1.1 as propriedades intrínsecas do Si e do GaAs, onde o destaque é a mobilidade de elétrons no GaAs muito maior do que no Si, fazendo com que possa ser usado em aplicações de frequências muito mais altas. Outro ponto a ser observado é o maior *bandgap* do GaAs em relação ao do Si, conseqüentemente, é de se esperar uma menor sensibilidade, dos dispositivos fabricados em arseneto de gálio, a efeitos provocados por radiação. Espera-se, também, uma resistividade elevada quando o nível de Fermi estiver no centro do *bandgap*.

O objetivo deste trabalho é fornecer uma contribuição à pesquisa que está sendo desenvolvida no LPD/IFGW-UNICAMP, centralizada na fabricação de dispositivos em ar-

sento de gálio. O trabalho desenvolvido é numérico e se concentrou no desenvolvimento de transistores MESFETs de largura de $1 \mu m$, através do uso de dois programas de simulação: o program SUPREM-IV.GS, proveniente do *Integrated Circuits Laboratory, Stanford University, California* licenciado para o DSIF, que simula o processo de fabricação e o programa PRISM, proveniente do *IMEC, Kapeldreef 75, B-3001 Leuven-Belgium* licenciado para o DSIF, que simula as características elétricas dos dispositivos.

1.2 Topologias Usadas em Arseneto de Gálio

Dentre as várias topologias possíveis, para se fabricar transistores em GaAs, este trabalho se concentrou em transistores unipolares. Pois, tais transistores têm um nível de complexidade menor e sua fabricação é mais viável para inicialmente firmar o processo.

Diferentemente do Si, o GaAs não exibe um óxido natural estável, dificultando o desenvolvimento de transistores MOSFET¹. Há dois tipos de transistores em GaAs que podem ser fabricados, o JFET² e o MESFET³. Os transistores JFET necessitam de uma camada extra entre a região ativa e a porta para o controle de cargas, sendo que esta é normalmente do tipo-p. Uma vez que os dopantes do tipo-p para o GaAs são impurezas com alto coeficiente de difusão, os transistores fabricados nesta topologia apresentam grandes variações nos parâmetros elétricos entre lâminas e entre dispositivos na mesma lâmina. Isto é devido, principalmente, aos tratamentos térmicos necessários para a ativação elétrica dos dopantes. Optamos estudar o MESFET. Na figura 1.1 pode-se ver o esboço de uma estrutura genérica de um MESFET.

Existem diversos métodos para a fabricação de transistores MESFETs; podendo-se classificá-las em dois grandes grupos: métodos auto-alinhados e métodos convencionais. Os métodos auto-alinhados produzem melhores resultados, uma vez que os erros provocados pela litografia são minimizados. Além disso, a região do canal está completamente confinada sobre a porta ou, pelo menos, sob total controle do projetista, diminuindo a resistência série deste. Isso acontece devido à não extensão da camada fracamente dopada e fina (canal) para além dos limites da porta. Dentre os métodos auto-alinhados, decidimos nos concentrar nos

¹ *Metal Oxide Semiconductor Field Effect Transistor*

² *Junction Field Effect Transistor*

³ *Metal Semiconductor Field Effect Transistor*

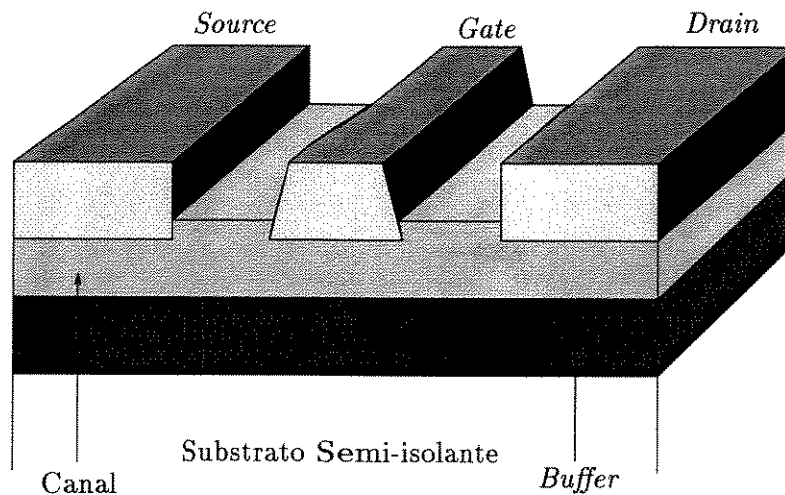


Figura 1.1: Estrutura genérica de um MESFET.

que são baseados em materiais refratários para a manufatura da porta. Isto é interessante porque este material será utilizado como máscara e referência para as demais etapas de processamento.

Existem, basicamente, quatro configurações para a manufatura de transistores MESFET [2] com porta auto-alinhada. Vemos na figura 1.2 um esboço delas. Em (a) vemos que houve um rebaixamento da posição da porta, a fim de se diminuir a altura efetiva do canal. Em (b), a região do canal, e da própria porta, está limitada pelas regiões de fonte e dreno. Em (c) e (d) há a inserção de uma região com um nível de concentração de portadores intermediário entre a região de canal e a região altamente dopada, para aumentar a tensão de ruptura em relação à estrutura (b).

A estrutura vista em (a) necessita de um controle rigoroso de quanto a porta está sendo rebaixada, podendo haver grandes variações de lâminas para lâminas. Já em (c) e (d), há a necessidade de inclusões de regiões de dopagens intermediárias, introduzindo novas variáveis a serem controladas, por isso, escolhemos (b) para ser o processo estudado neste trabalho.

Um outro ponto importante sobre o arseneto de gálio é que, conforme pode ser visto na tabela 1.1, a mobilidade de elétrons é muito superior à de lacunas, portanto, os dispositivos construídos a partir deste material, são quase que exclusivamente de canal do

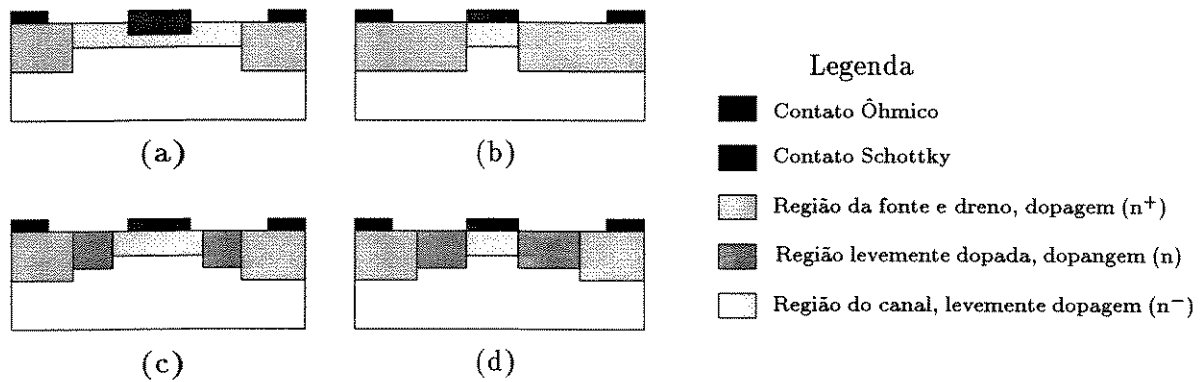


Figura 1.2: Configurações utilizadas para a fabricação de transistores MESFETs auto-alinhados. Em (a) é mostrado um transistor com porta rebaixada, em (b) um transistor cuja região do canal está limitada pelas regiões de fonte e dreno, e em (c) e (d) transistores com uma região de dopagem intermediária entre a região do canal e a região de fonte e dreno.

tipo-n. Entretanto, isto não impede que haja trabalhos utilizando MESFETs com canal do tipo-p. Woodhead *et al.* [3] mostram que pode-se construir MESFETs com canal-p para o uso de lógica complementar, onde, apesar do baixo desempenho dos transistores do tipo-p, o grande trunfo se deve à baixíssima potência consumida.

No capítulo 2, serão mostrados os processos de tratamentos do arseneto de gálio, incluindo métodos de dopagem do substrato e tipos de impurezas utilizadas, tratamentos térmicos necessários para a ativação dos portadores e contatos normalmente usados em GaAs. No capítulo 3, serão vistos os modelos matemáticos usados para a simulação dos dispositivos, tanto no nível de solução das equações intrínsecas dos semicondutores, quanto para o modelamento com vistas à obtenção dos parâmetros SPICE e, no capítulo 4, serão apresentados os resultados obtidos em simulações.

Capítulo 2

Processos de Fabricação em Arseneto de Gálio

Este capítulo pretende fornecer informações mais detalhadas sobre os processos envolvidos na fabricação de um transistor em arseneto de gálio. Na figura 2.1 é dada uma visão geral das etapas necessárias para a fabricação do dispositivo utilizado neste trabalho.

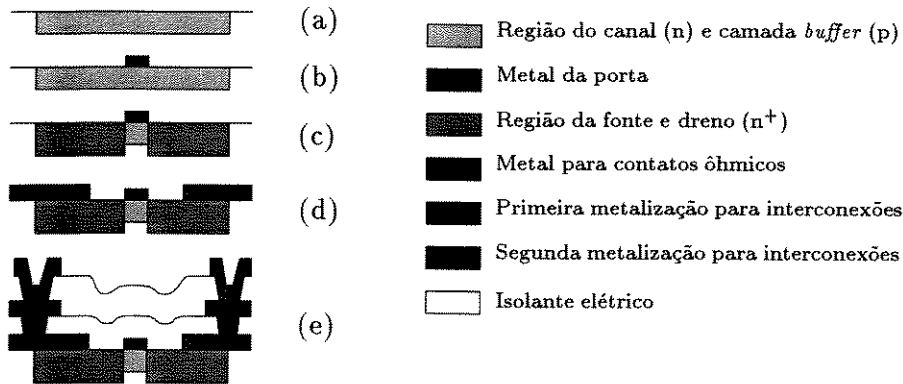


Figura 2.1: Esboço de um processo auto-alinhado para a fabricação de um transistor MES-FET em GaAs. Após a implantação iônica (a), o metal da porta é depositado e litografado (b). As regiões de fonte e dreno são implantadas e tratadas termicamente, para a ativação dos portadores implantados em altas e em baixas energias (c) e a metalização dos contatos ôhmicos é depositada (d). A estrutura completa inclui (e) fotolitografia, isolamento e realização das conexões elétricas.

A fabricação começa pelo implante do canal (a). Em seguida o metal da porta

é depositado e é feita a sua fotolitografia, definindo esta região (b). As regiões da fonte e dreno são implantadas e tratadas termicamente para a ativação dos portadores implantados às altas e às baixas energias (c) e a metalização dos contatos ôhmicos é depositada em (d). Uma visão completa da estrutura (e) inclui fotolitografia, isolamento e realização das conexões elétricas.

Um dos pontos que chama a atenção é o fato de se estar usando a implantação iônica como forma de dopagem do substrato. Dentre os métodos existentes para a difusão, ou incorporação, de impurezas a implantação iônica foi escolhida por ser um método simples, eficiente e barato. Poder-se-ia pensar em outros, por exemplo LPE (*Liquid Phase Epitaxy*), VPE (*Vapor Phase Epitaxy*), MOCVD (*MetalOrganic Chemical Vapor Deposition*) e MBE (*Molecular Beam Epitaxy*), mas nenhum deles oferece a simplicidade aliada com a reprodutibilidade e controlabilidade dos perfis de impurezas que a implantação iônica fornece. Assim, este capítulo tratará apenas da implantação iônica como forma de inserção de impurezas no substrato.

Outra questão que será abordada são os métodos de tratamentos térmicos usados em GaAs. Uma vez que as impurezas inseridas via implantação iônica não são eletricamente ativas, há a necessidade de se fornecer energia ao substrato para uma reestruturação cristalina, e isto é obtido, com mais eficiência, através da energia térmica. Serão discutidos, também, os efeitos deste tratamento sobre o material e os métodos utilizados para evitar a sua degradação.

Por fim, serão mostrados os tipos de contatos comumente utilizados em GaAs tanto para o uso como um contato retificador, conhecido por Schottky, quanto para um contato ôhmico.

2.1 Obtenção de Substratos Monocristalinos

Iniciaremos tratando das técnicas de obtenção de substratos de GaAs [4, 5].

2.1.1 Obtenção de Substratos Monocristalinos de GaAs por Crescimento Horizontal (HG)

O GaAs é um composto binário constituído por arsênio e gálio. A primeira técnica aqui apresentada, usada na obtenção de monocristais para a fabricação de dispositivos eletrônicos é conhecida por HG (*Horizontal-Growth*), da qual podemos ver, na figura 2.2, um esquema.

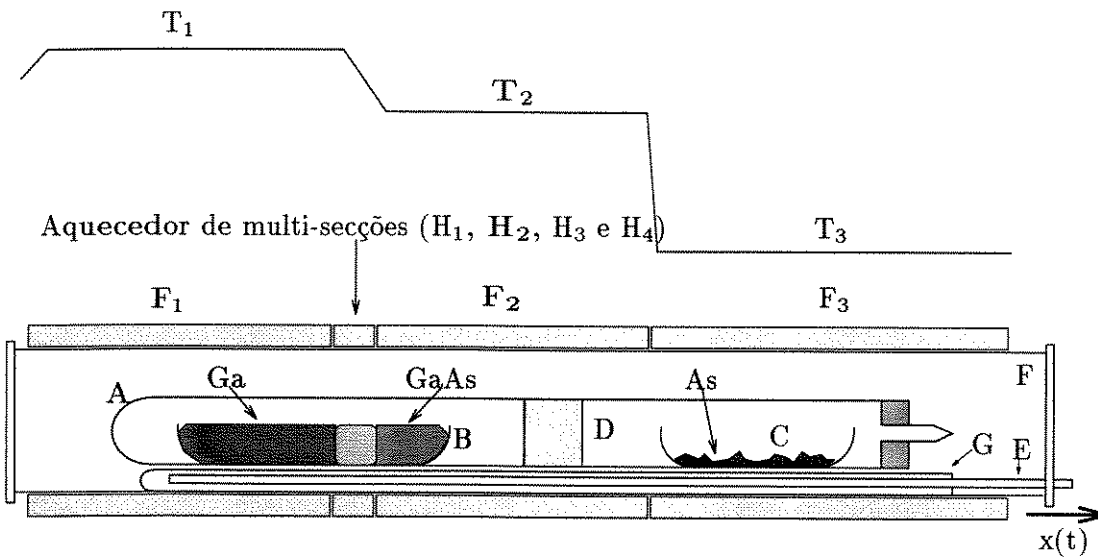


Figura 2.2: Diagrama ilustrando o conceito de crescimento horizontal: A, tubo de quartzo lacrado aonde é realizado o crescimento; B, barqueta de quartzo com ou sem uma semente; C, cadinho contendo arsênio; D, barreira de difusão; E, par termoeletrônico para medida de temperatura; F, tubo do forno em SiC; G, deslizador; T_1 , T_2 e T_3 são regiões de temperaturas constantes; F_1 , F_2 e F_3 gradientes obtidos por 3 fontes de aquecimento e $x(t)$ é a direção de crescimento.

O HG consiste em preencher uma barqueta de quartzo (B) com gálio em uma das extremidade do tubo (A), e na outra, um cadinho (C) contendo arsênio sólido. Todo este conjunto é colocado em um tubo lacrado (A) e inserido em um forno com gradiente de temperatura (T), representado por (F_1), (F_2) e (F_3). O gálio é aquecido até o ponto de fusão do composto GaAs ($1250^\circ C$) e o arsênio é aquecido até o seu ponto de sublimação ($613^\circ C$), o qual é transportado até o gálio por vapor através de uma barreira de difusão (D),

reagindo com este, para formar o GaAs líquido. Através de uma diferença de temperatura, ou por mover a barqueta, ou por mover o forno, consegue-se uma interface líquido-sólido, crescendo, assim, o cristal.

Os lingotes obtidos por esta técnica tem orientação $\langle 111 \rangle$ no sentido axial, e são produzidos com uma secção transversal semicircular, devido à forma da barqueta que transporta o gálio, conforme pode ser vista na figura 2.3, no qual representa um corte transversal da barqueta mostrada na figura 2.2.

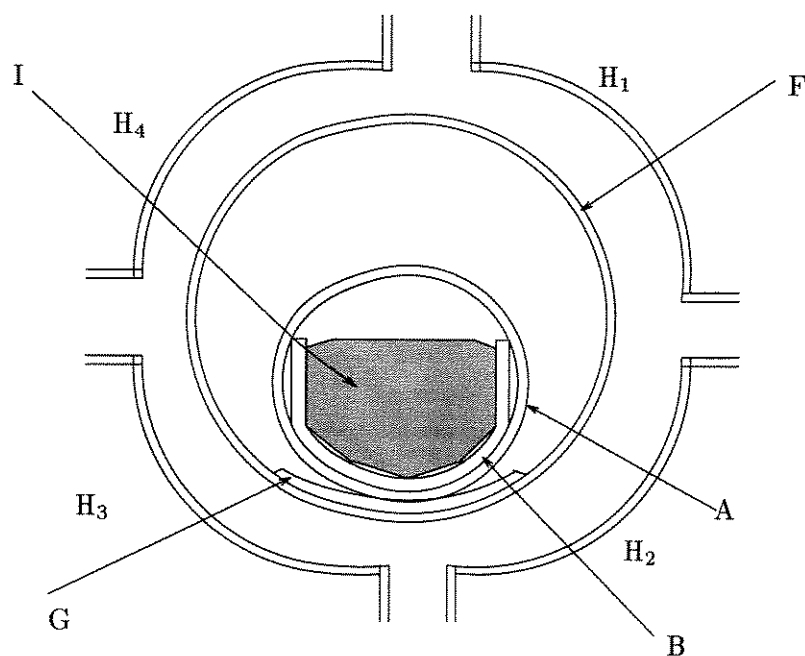


Figura 2.3: Diagrama mostrando o formato do cristal crescido, devido à forma da barqueta. A, tubo de crescimento; B, barqueta de quartzo; F, tubo do forno, em SiC; G, deslizador; I, GaAs líquido; H₁, H₂, H₃ e H₄, são quatro seções de aquecimentos para a interface líquido - sólido.

Uma vantagem do HG é o pequeno gradiente de temperatura sobre o material durante o crescimento. Isto permite o crescimento de cristais com baixos níveis de defeitos cristalinos de deslocamento, da ordem de $10^2 - 10^3 \text{ cm}^{-2}$, que são 100 vezes menores que os comumente obtidos por LEC.

Como desvantagens principais temos o prolongado tempo em que o cristal fica

em contato com o material da barqueta que é uma fonte potencial de contaminação, a necessidade de se arredondar os lingotes para obter *wafers* compatíveis com a tecnologia de silício já estabelecida e a falta da uniformidade da lâmina requerida para o uso em circuitos integrados. É importante observar também, que a implantação de íons tem penetração que depende da orientação cristalina. A orientação $\langle 100 \rangle$ é preferida por se conseguirem melhores resultados. Para tanto cortam-se *wafers* do tarugo monocristalino, que tem orientação axial $\langle 111 \rangle$, com ângulo de 54° .

Outro ponto, que deve ser considerado, é a necessidade de dopagem do substrato com cromo (Cr), para obter um comportamento semi-isolante. O Cr é um dopante aceitador profundo cujo nível de Fermi fica próximo do centro do *bandgap* compensando os doadores rasos introduzidos não intencionalmente durante o processo de crescimento. Como o Cr é um dopante com alto coeficiente de difusão, pode haver instabilidades nos níveis de dopagem quando o GaAs for submetido aos tratamentos térmicos subseqüentes.

2.1.2 Obtenção de Substratos Monocristalinos por Crescimento por Encapsulamento Líquido

Outra técnica para a obtenção de monocristais de GaAs é a LEC (*Liquid-Encapsulated Czochralski*), cujo esquema é mostrado na figura 2.4. O tarugo cristalino C é crescido a partir de uma semente S, que é um cristal obtido anteriormente e com grande perfeição cristalina.

Se a pressão p_i , obtida através de um gás inerte, for maior que a pressão p_d , que representa a pressão de vapor de arsênico que se dissocia do composto GaAs líquido¹, a capa LE atuará como um protetor evitando a dissociação do composto. A fonte de calor H_1 fornece uma distribuição de temperatura com um gradiente em T na região de resfriamento do cristal, enquanto a fonte H_2 é usada para o controle de temperatura na região de interface líquido - sólido e a fonte H_3 é necessária para manter o composto GaAs em estado líquido. É importante ressaltar a necessidade de que o conjunto que compõe as fontes de calor devem ser transladadas no eixo vertical, durante o puxamento do cristal, para que a fonte de calor H_2 acompanhe a interface líquido - sólido, pois esta interface abaixa à medida que

¹O arsênico se sublima a temperaturas acima de $600^\circ C$, assim, na temperatura em que o composto GaAs se encontra em estado líquido haverá uma grande liberação de arsênico do composto

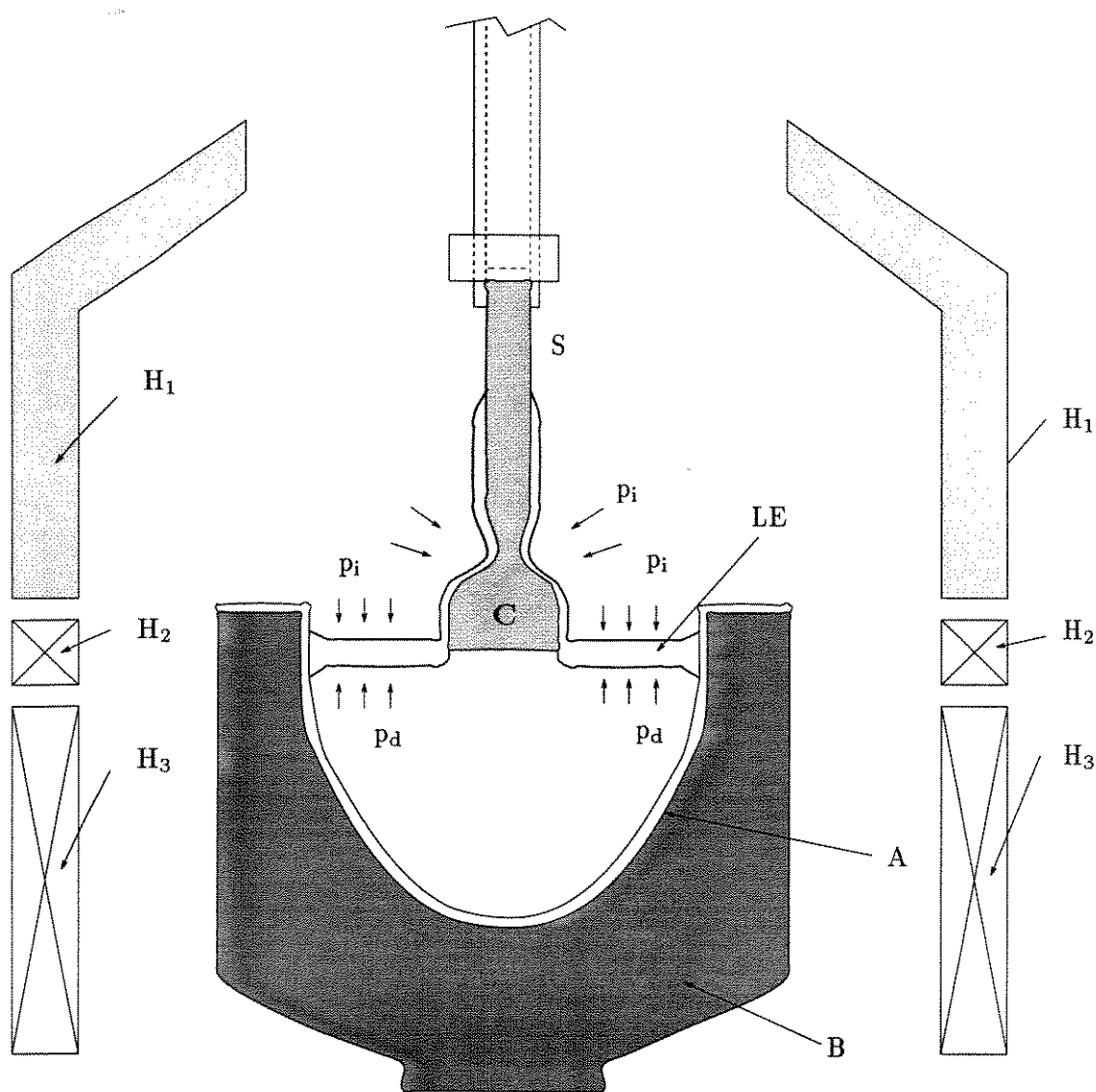


Figura 2.4: Diagrama ilustrando o conceito de encapsulamento líquido: A, cadinho de sílica; B, suporte de grafite; C, cristal crescido sob a semente S; LE, encapsulamento líquido (B_2O_3); p_i representa a pressão do gás inerte; p_d representa a pressão de dissociação do composto GaAs líquido; H_1 fornece uma distribuição de temperatura com um gradiente na região de resfriamento; H_2 é para o controle da distribuição de temperatura nas vizinhanças da interface líquido - sólido; H_3 é a fonte de calor para manter o composto liquefeito no cadinho.

se processa o crescimento. Uma outra alternativa é transladar todo o conjunto que compõe o sistema de crescimento, mantendo as fontes de calor fixas.

A capa LE deve ter algumas propriedades para o sucesso do crescimento, deve ser transparente e quimicamente estável no ponto de fusão do GaAs, ser menos densa e não se misturar com o GaAs líquido; o vapor de arsênico não pode ser nela solúvel e deveria cobrir tanto o cadinho de sílica quanto o GaAs líquido. Deve também cobrir o cristal crescido, protegendo-o com uma fina camada durante todo o processo. O óxido bórico (B_2O_3) atende a quase todas as propriedades, exceto pelo fato de ter uma pequena solubilidade para o arsênico.

Os lingotes obtidos por esta técnica, diferentemente daqueles produzidos pela HG, fornecem cristais com orientação $\langle 100 \rangle$ (devido ao uso de uma semente com esta orientação) e têm secção circular, sendo adequados para o uso em equipamentos já existentes para a tecnologia de silício.

Embora a densidade de deslocamentos seja uma ordem de magnitude acima da conseguida com a técnica HG, a técnica LEC produz cristais semi-isolantes sem a necessidade de dopagem com Cr, como será visto a seguir. Isto faz com que esta técnica seja a preferida para a fabricação de substratos para o uso de circuitos integrados.

Uma das maiores fontes de contaminação dos lingotes é o contato do líquido com o material do cadinho e com o B_2O_3 . O uso de cadinhos de sílica gera contaminação do material com o silício da ordem de 1 *ppma*. Substituindo o material do cadinho por PBN e usando B_2O_3 mais puros, consegue-se evitar o problema da contaminação por silício e obtém-se materiais semi-isolantes. Acredita-se que a origem desta característica semi-isolante obtida, quando se utiliza cadinho de PBN, é devido ao defeito EL2 que atua como um nível doador profundo. Provavelmente, este defeito está relacionado com a inversão de posição entre o gálio e o arsênico, representado por As_{Ga} .

Na tabela 2.1 são listadas as impurezas normalmente encontradas quando se crescem lingotes em ambas as técnicas, suas faixas de concentração e os valores *default* usados no programa GATES [2].

Após ter-se obtido os lingotes, estes são usinados para que tenha uma secção circular uniforme por todo o cilindro. É realizado também um chanfro em suas bordas para

Impureza	Íon	<i>Wafers</i> tipo LEC		<i>Wafers</i> tipo HG	
		Faixa [10^{15} cm^{-3}]	Padrão [10^{15} cm^{-3}]	Faixa [10^{15} cm^{-3}]	Padrão [10^{15} cm^{-3}]
Aceitador raso	C	1-6	3	\ll Si	0
Doador raso	Si	\ll C	0	5-15	10
Doador profundo	EL2	5-20	20	\ll Cr	0
Aceitador profundo	Cr	\ll EL2	0	20-100	50

Tabela 2.1: Valores das impurezas comumente encontrados em *wafers* crescidos pelas técnicas LEC e HG. EL2 é um defeito que ocorre em substratos de GaAs e atua como um doador profundo.

que seja possível a identificação visual da orientação do cristal. Uma vez que os lingotes estão adequados para serem processados, estes são fatiados em lâminas utilizando-se serras de disco em forma de anel, com pó de diamantes na circunferência interna aonde é efetuado o corte.

As lâminas são então lapidadas mecanicamente para a remoção dos defeitos e irregularidades causadas pelo fatiamento. Diversos graus de lapidação são realizados até que a superfície da lâmina se torne plana. O polimento final é feito quimicamente para se criar uma superfície atômica limpa. Finalmente, as lâminas são limpas e secas estando prontas para as etapas subseqüentes do processamento de dispositivos [6, 7].

2.2 Implantação Iônica

Usaremos a implantação iônica como método de dopagem do GaAs [4, 5].

Pode-se defini-la como sendo a introdução de partículas atômicas energeticamente carregadas dentro de um substrato com o propósito de mudar suas propriedades elétricas, metalúrgicas ou químicas.

É uma técnica largamente utilizada na dopagem, devido ao grande controle na concentração e distribuição das espécies implantadas, e da grande uniformidade de implantação. Isto é conseguido através do ajuste da dose e energia da espécie implantada.

Entende-se por dose como sendo o parâmetro que expressa a densidade de átomos implantados no substrato. Pode-se relacioná-la com a corrente instantânea do feixe iônico i_f através da seguinte relação [8]:

$$dose = \frac{Q}{mqA} \quad (2.1)$$

onde Q é a carga total, em Coulombs, implantada no tempo T , mq é a carga de um íon m-ionizado; A é a área sobre a qual a corrente de feixe i_f é coletada.

A carga Q é dada por:

$$Q = \int_0^T i_f dt \quad (2.2)$$

E entende-se por energia como uma relação entre a quantidade de energia transferida para um íon pelo implantador iônico e a profundidade média alcançada no interior do substrato.

Sob a ótica dos CI's, esta técnica é conveniente uma vez que se pode implantar seletivamente as lâminas usando máscaras. Outras características importantes são a grande reprodutibilidade do processo e a planaridade da superfície após a implantação.

Portanto:

1. A concentração de dopante pode ser controlada precisamente, uma vez que a dose implantada pode ser medida e controlada eletricamente,
2. A profundidade do perfil pode ser controlada ajustando-se a energia do íon incidente,
3. A uniformidade da distribuição do dopante pode ser precisamente controlada,
4. O *layout* do dispositivo pode ser precisamente controlado usando uma larga variedade de materiais para as máscaras,
5. Múltiplos perfis de dopagem podem ser obtidos variando-se a espécie, a dose e a energia sobre uma determinada área,
6. É um processo de baixa temperatura, desde que o contato, que é usado para sustentação da lâmina, seja um ótimo condutor térmico.

É importante lembrar que a implantação iônica é um método de bombardeamento de partículas no semicondutor e portanto causa defeitos cristalinos, devido ao deslocamento de átomos de suas posições na rede cristalina por colisões com as partículas implantadas, deixando vagas suas antigas posições. Outro defeito cristalino é a substituição de átomos da rede cristalina por átomos implantados, formando tensões na rede cristalina, uma vez que estes átomos possuem tamanhos diferentes em relação aos da própria estrutura².

Estes defeitos degradam as características elétricas dos dispositivos que serão posteriormente construídos, e uma vez que os dopantes implantados são em sua maioria eletricamente inativos, é necessário que haja um tratamento térmico para ativá-los e diminuir os defeitos cristalinos por reestruturação do cristal.

2.2.1 Modelo para a Implantação Iônica

Para o projeto de implantações iônicas, utiliza-se um modelo que descreve o perfil da impureza implantada em um material.

Quando um íon penetra em um sólido, ele irá perder energia por interações atômicas com o núcleo e os elétrons. Para íons pesados e/ou com baixa energia, a interação nuclear é predominante, enquanto, para íons leves e/ou com altas energias, a interação eletrônica é a mais importante. Para uma superfície amorfa a distribuição do implante segue uma distribuição Gaussiana descrita por dois momentos, R_p a profundidade projetada e ΔR_p o desvio padrão projetado, dessa distribuição, assim

$$N(x) = \frac{N_o}{(2\pi)^{\frac{1}{2}} \Delta R_p} \exp \left[-\frac{(x - R_p)^2}{2\Delta R_p^2} \right] \quad (2.3)$$

onde x é a distância perpendicular para o interior do substrato e N_o é a dose em cm^{-2} . R_p depende da massa do íon implantado, do material do substrato e da energia.

Para uma melhor descrição do perfil, pode-se usar a distribuição de Pearson que utiliza mais dois momentos, declividade e corte, obtendo um perfil mais próximo ao implantado [9]. Em [10] são dados valores estatísticos dos momentos usados na distribuição

²É importante ressaltar que este é um defeito necessário, pois para que seja possível dopar um substrato, os átomos dopantes devem ser incorporados à rede cristalina (modo substitucional).

de Pearson-IV para vários elementos utilizados como dopantes para os compostos semicondutores do grupo III-V da tabela periódica.

Como dito anteriormente, é importante observar que a implantação iônica gera vários defeitos no substrato, que podem influenciar grandemente as propriedades elétricas dos dispositivos construídos. Em princípio, a quantidade de defeitos produzidos depende da massa do íon e das energia, dose e temperatura do substrato durante a implantação.

Outro efeito que deve ser observado é a chamada “canalização”. Quando o feixe de íons está em uma direção paralela a um eixo cristalino, alguns íons podem alcançar profundidades muito maiores que as previstas pelo modelo amorfo, o que é indesejável, pois os perfis obtidos são, geralmente, incontrolláveis e de difícil reprodutibilidade. Além disso, a canalização é muito sensível às condições da superfície, defeitos e impurezas no substrato, temperatura e dispersão angular do próprio íon. Na figura 2.5 vê-se um esboço da canalização.

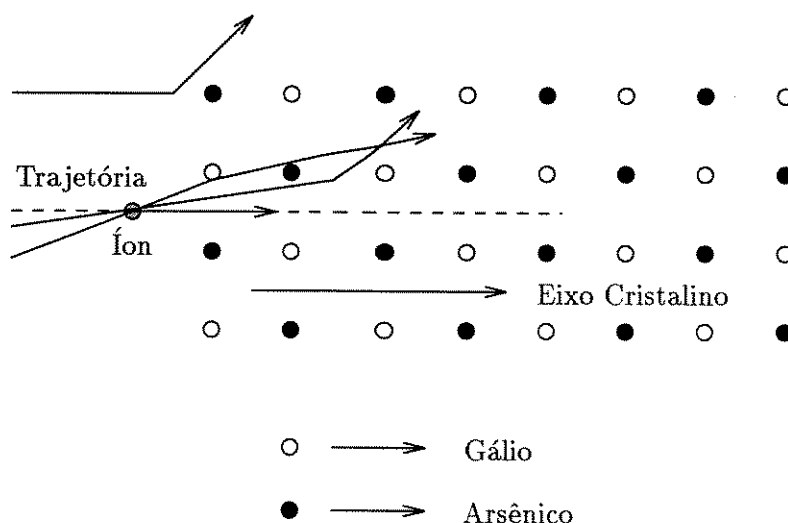


Figura 2.5: Esboço da canalização de um íon.

Os íons que interagem mais fortemente com os átomos da rede cristalina são espalhados como se o alvo fosse amorfo. Somente podem ser canalizados os íons que estiverem dentro de um pequeno ângulo com o eixo principal. Conseqüentemente, inclinando-se o substrato por um ângulo em relação ao feixe, pode-se tornar mínima a fração de íons

canalizados. De acordo com Souza e Sadana [11] os melhores perfis são obtidos com ângulos de inclinação entre 13° e 15° , com relação à direção cristalina $\langle 100 \rangle$.

Quando a implantação iônica é aplicada na fabricação de circuitos integrados, usam-se, normalmente, máscaras. Assim, é de se esperar que haja um espalhamento lateral dos íons sob a região da máscara. A figura 2.6 ilustra este espalhamento quando o substrato de GaAs é implantado com $^{28}\text{Si}^+$ com dose de $5,0 \cdot 10^{13} \text{ cm}^{-2}$ e energia de 200 keV .

Utilizando a distribuição Gaussiana, mostrada previamente, pode-se modelar este espalhamento, nas proximidades da lateral da máscara, através da função erro complementar:

$$N(x) = \frac{N_o}{(2\pi)^{\frac{1}{2}} \Delta R_p} \exp \left[-\frac{(x - R_p)^2}{2\Delta R_p^2} \right] \frac{1}{\pi^{\frac{1}{2}}} \operatorname{erfc} \left(\frac{|x| - a}{2^{\frac{1}{2}} \Delta x} \right) \quad (2.4)$$

onde a é a metade do valor de abertura da máscara e Δx o desvio padrão transversal ou lateral.

2.2.2 Dopantes

Para se obter uma região do tipo n, os dopantes mais utilizados são o silício ($^{28}\text{Si}^+$), o selênio ($^{79}\text{Se}^+$) e o enxofre ($^{32}\text{S}^+$).

O $^{28}\text{Si}^+$ é a impureza preferida devido à sua alta ativação elétrica e ao seu baixo coeficiente de difusão ($D \cong 10^{-14} \text{ cm}^2/\text{s}$ à 900° C). É um dopante anfótero, que ocupa preferencialmente as posições do gálio na rede cristalina do GaAs, em doses pequenas ou moderadas. Uma pequena fração ocupa as posições do As na rede cristalina, onde atua como um aceitador. Por este motivo, haverá uma saturação no valor da máxima concentração de pico, quando a dose aumenta. A máxima concentração de impurezas implantadas obtidas é de $5,0 \cdot 10^{18} \text{ cm}^{-3}$.

O $^{79}\text{Se}^+$, similarmente ao $^{28}\text{Si}^+$, tem baixa difusividade. No entanto, há a necessidade de uma temperatura e um tempo maior de recozimento, devido a uma maior geração de defeitos durante a implantação, pois sua massa é quase 3 vezes maior que a do $^{28}\text{Si}^+$.

As implantações com $^{32}\text{S}^+$ exigem uma alta temperatura de recozimento, para obter uma razoável ativação elétrica. Como o $^{32}\text{S}^+$ tem um alto coeficiente de difusão, há

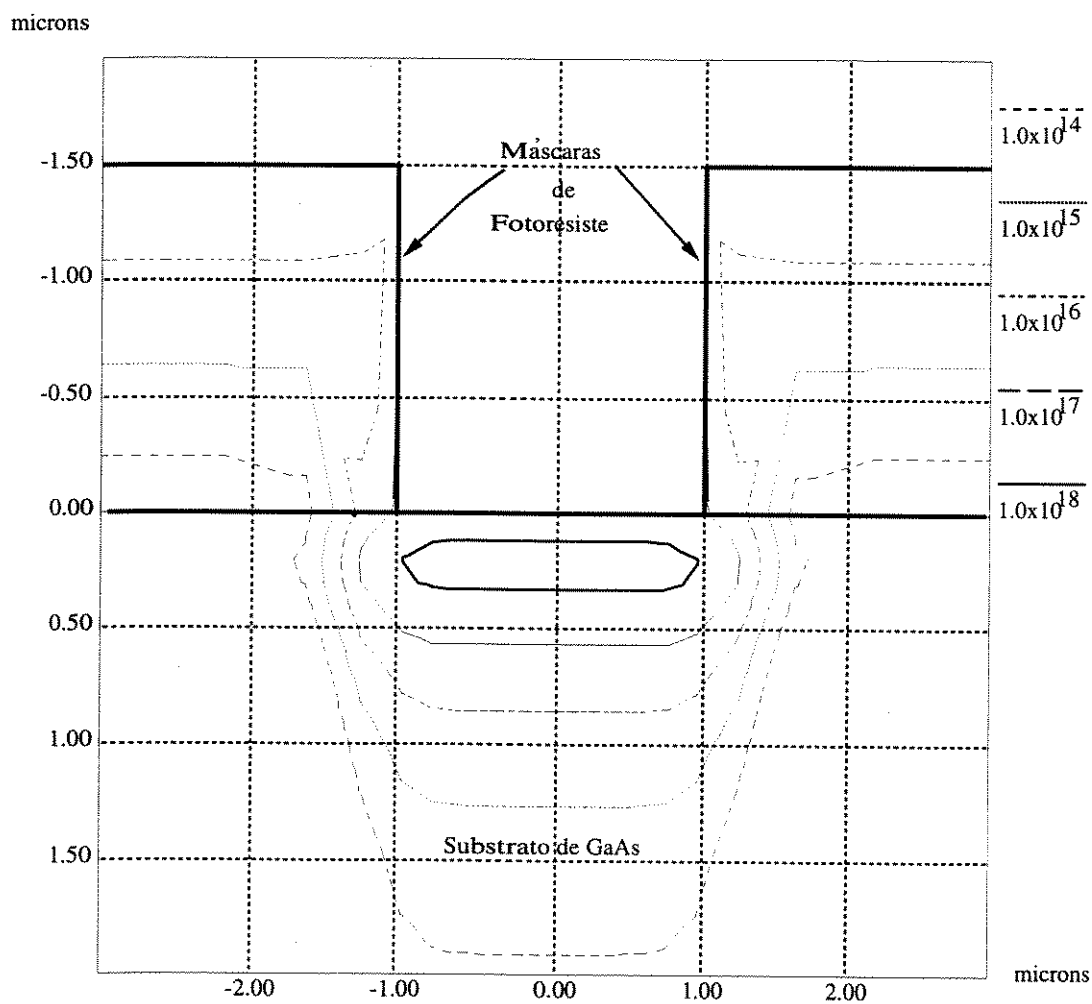


Figura 2.6: Ilustração do espalhamento lateral do íon implantado quando a implantação iônica é realizada através de máscaras. A implantação foi simulada pelo programa SUPREM.IV.GS e realizada com $^{28}\text{Si}^+$, com dose de $5,0 \cdot 10^{13} \text{ cm}^{-2}$ e energia de 200 keV .

uma considerável redistribuição de $^{32}\text{S}^+$, mudando o perfil obtido pela implantação, além de difusão para o exterior do substrato, nestas temperaturas.

Para se obter uma região do tipo p, os dopantes mais utilizados são: berílio ($^9\text{Be}^+$), magnésio ($^{24}\text{Mg}^+$), zinco ($^{65}\text{Zn}^+$) e cádmio ($^{112}\text{Cd}^+$).

O $^{65}\text{Zn}^+$ e o $^{112}\text{Cd}^+$ tem alto coeficiente de difusão, tendo pouco uso em circuitos integrados, embora as implantações realizadas em substratos a temperatura mais elevada possam diminuir a redistribuição do perfil.

O $^9\text{Be}^+$ é um dos dopantes tipo-p mais utilizados no GaAs, por ser o de menor massa atômica. Isso permite realizar implantações profundas mais facilmente e com menos defeitos associados. É importante observar que o $^9\text{Be}^+$ tem um comportamento anômalo quando tratado termicamente, exibindo uma máxima ativação elétrica entre $600 - 650^\circ\text{C}$, quando começa a haver um decréscimo em seu valor com o aumento da temperatura. Nota-se que há pouca difusão desta impureza quando recozida à 700°C ou menos.

Já para o $^{24}\text{Mg}^+$ tem-se encontrado uma ativação elétrica próxima dos 100% para doses de $1,0 \cdot 10^{14} \text{ cm}^2$ ou menores. O pico desta ativação é encontrada quando o substrato é recozido a uma temperatura em torno de 750°C , com uma redistribuição da implantação imperceptível quando a concentração máxima for menor do que $5,0 \cdot 10^{18} \text{ cm}^3$.

Um método para se conseguir implantações mais rasas, quando for inviável diminuir a energia de implantação, é através da implantação de espécies moleculares. Assim pode-se usar o SiF^+ ou SiF_2^+ para implantar $^{28}\text{Si}^+$; o F não é dopante elétrico. Entretanto, gera-se mais defeitos cristalinos, o que requerem uma maior energia térmica durante o recozimento. O perfil implantado para uma dada energia do SiF^+ é aproximadamente o mesmo obtido por uma implantação de $^{28}\text{Si}^+$ a uma energia 0,6 vezes à do SiF^+ [1].

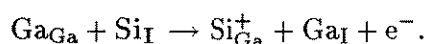
Outro modo de se obter implantações rasas é implantando o material através de um filme de óxido, a fim de se diminuir a energia dos íons a serem implantados. Dentre os óxidos utilizados, estão o Si_3N_4 e o SiO_2 . Uma desvantagem deste processo é a necessidade de um controle rígido sobre a espessura do óxido e o fato de átomos do óxido serem co-implantados junto com o íon desejado.

2.3 Defeitos

Quando um íon penetra no substrato, ele perde energia por interações eletrônicas e nucleares, até alcançar a posição de repouso. Durante estas interações, o íon pode ceder energia suficiente para deslocar alguns átomos de suas posições na rede cristalina do substrato, deixando uma vacância, criando assim um par intersticial-vacância. Dependendo da energia dos íons, pode-se ter uma cascata de deslocamentos formando uma região de defeitos. Quanto mais íons bombardearem o substrato, mais uniformemente distribuídos ficarão os defeitos, até que toda uma região poderá ser considerada amorfa (sem estrutura cristalina).

A densidade de defeitos gerados e sua extensão dependem da massa e energia do íon implantado, da dose e da temperatura do substrato durante a implantação. O perfil de distribuição dos defeitos tem um máximo a uma profundidade menor do que a do perfil da concentração implantado, tendo também uma declividade mais acentuada. Este tipo de defeito é conhecido como defeito pontual. A vacância deixada pelo gálio (V_{Ga}) é do tipo aceitador, e pode ter carga elétrica negativa ou neutra; a vacância deixada pelo arsênio (V_{As}) é do tipo doador, podendo estar com carga elétrica negativa, positiva ou neutra, dependendo da posição do nível de Fermi. A implantação iônica pode produzir um tipo de defeito que é a ocupação por um átomo de gálio da posição do arsênio na rede cristalina (Ga_{As}).

Lee *et al.* [12] mostram, através de experimentos realizados com o silício, que a ativação elétrica deste se dá pela mudança de posição entre o silício intersticial com o gálio substitucional, e não através da recombinação do silício intersticial com a vacância deixada pelo gálio, sendo regida pela seguinte equação :



Notaram, também, que após o tratamento térmico, realizada por recozimento térmico rápido (RTA³), surgiram defeitos de empilhamento, provavelmente devido ao acúmulo de átomos de gálio e arsênio intersticiais, produzidos pela implantação iônica e pelo tratamento térmico, causando uma concentração supersaturada.

³Rapid Thermal Annealing

Lee *et al.* [13] estudaram o efeito da vacância produzida por implantação iônica de Si em GaAs, após o recozimento térmico rápido, através de dióxido de silício (SiO_2), de nitreto de silício (Si_3N_4) e sem óxido (configuração face a face). Concluíram que o SiO_2 permite a perda de átomos de gálio através do óxido, provavelmente por reação com o oxigênio, formando o Ga_2O_3 . Em relação à mobilidade, não encontraram diferenças significativas entre os métodos, enquanto que para as concentrações dos portadores, houve um desempenho inferior para o SiO_2 , e resultados equivalentes para as outras duas configurações. Reforçaram a idéia de que a ativação elétrica do silício se dá pela troca de silício intersticial (Si_I) com o gálio substitucional (Ga_{Ga}) ao invés de (Si_I) com (V_{Ga}), e que as características elétricas, tal como a concentração e a mobilidade dos portadores são independentes dos defeitos induzidos pela implantação.

2.4 Recozimento

A implantação iônica, além de gerar defeitos cristalinos no GaAs, distribui os átomos de dopante de tal modo que ficam eletricamente inativos em sua maioria. Para que a concentração de defeitos cristalinos seja diminuída, faz-se um recozimento do substrato que também faz com que átomos de dopantes sejam incorporados à rede cristalina. Os primeiros tratamentos térmicos consistiram em deixar o material em um forno a cerca de $850\text{ }^\circ\text{C}$ durante trinta minutos, para que os vários tipos de defeitos cristalinos fossem recozidos. Uma apreciável parte dos defeitos gerados são recozidos abaixo de $250\text{ }^\circ\text{C}$; uma recristalização da camada amorfa ocorre abaixo de $400\text{ }^\circ\text{C}$; a maioria dos defeitos é recozida a $600\text{ }^\circ\text{C}$ e os *dislocations loops* e outros defeitos residuais só são recozidos a temperaturas de $900\text{ }^\circ\text{C}$ a $950\text{ }^\circ\text{C}$ (vide figura 2.7). A quantidade de defeitos residuais aumenta com o aumento da dose das implantações.

Um grande problema que surge nos tratamentos térmicos do GaAs é o fato do material se dissociar a $600\text{ }^\circ\text{C}$, aproximadamente, com perdas de grande quantidade de arsênico, provocando defeitos irreversíveis ao substrato. Outro grande problema é o fato que os dopantes, assim como os defeitos, difundem-se em temperaturas elevadas, portanto é de se esperar mudanças no perfil implantado quando se fizerem recozimentos demorados.

Para se evitar a perda de arsênico tem-se utilizado dois procedimentos, o recozi-

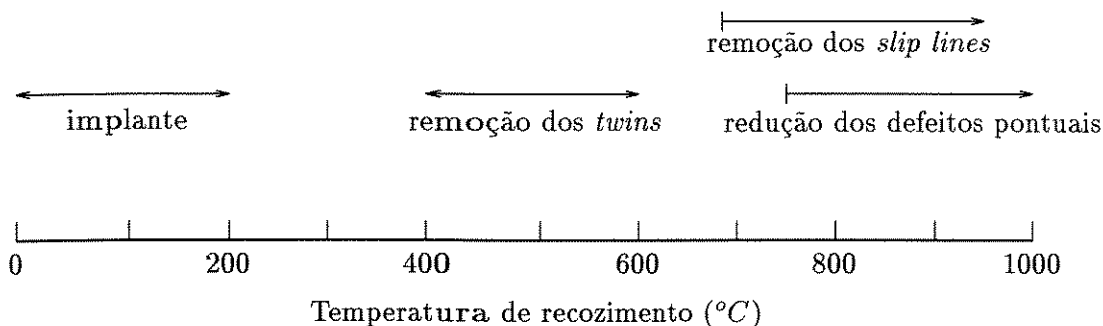


Figura 2.7: Temperaturas de recozimento dos defeitos cristalinos em lâminas de GaAs.

mento com um óxido protetor e o recozimento sem um óxido protetor. Os óxidos protetores mais comumente utilizados são o nitreto de silício (Si_3N_4), o dióxido de silício (SiO_2) e o nitreto de alumínio (AlN). Embora os óxidos protetores evitem quase que completamente a perda de arsênio e até mesmo das impurezas implantadas, há um *stress* associado a todo protetor, devido a diferença entre os coeficientes térmicos de dilatação do arseneto de gálio e do óxido. Devido a isso, os tratamentos térmicos realizados deste modo, costumam apresentar uma maior difusão de impurezas para o interior do substrato, alterando consideravelmente o perfil implantado, caracterizando-se assim o surgimento de longas caudas, conforme pode ser visto na figura 2.8, uma visualização do que é o termo “cauda”.

2.4.1 Óxidos Protetores

Para que um óxido possa ser usado como um encapsulante em tratamentos térmicos, deve possuir as seguintes características:

1. Deve ser capaz de ser depositado a temperaturas abaixo do ponto de dissociação do substrato,
2. Não deve ocorrer troca de material entre o substrato e o óxido protetor,
3. O óxido protetor deve ser estável e aderente nas temperaturas a que o substrato estiver sujeito,
4. O óxido protetor não deve tensionar mecanicamente o substrato.

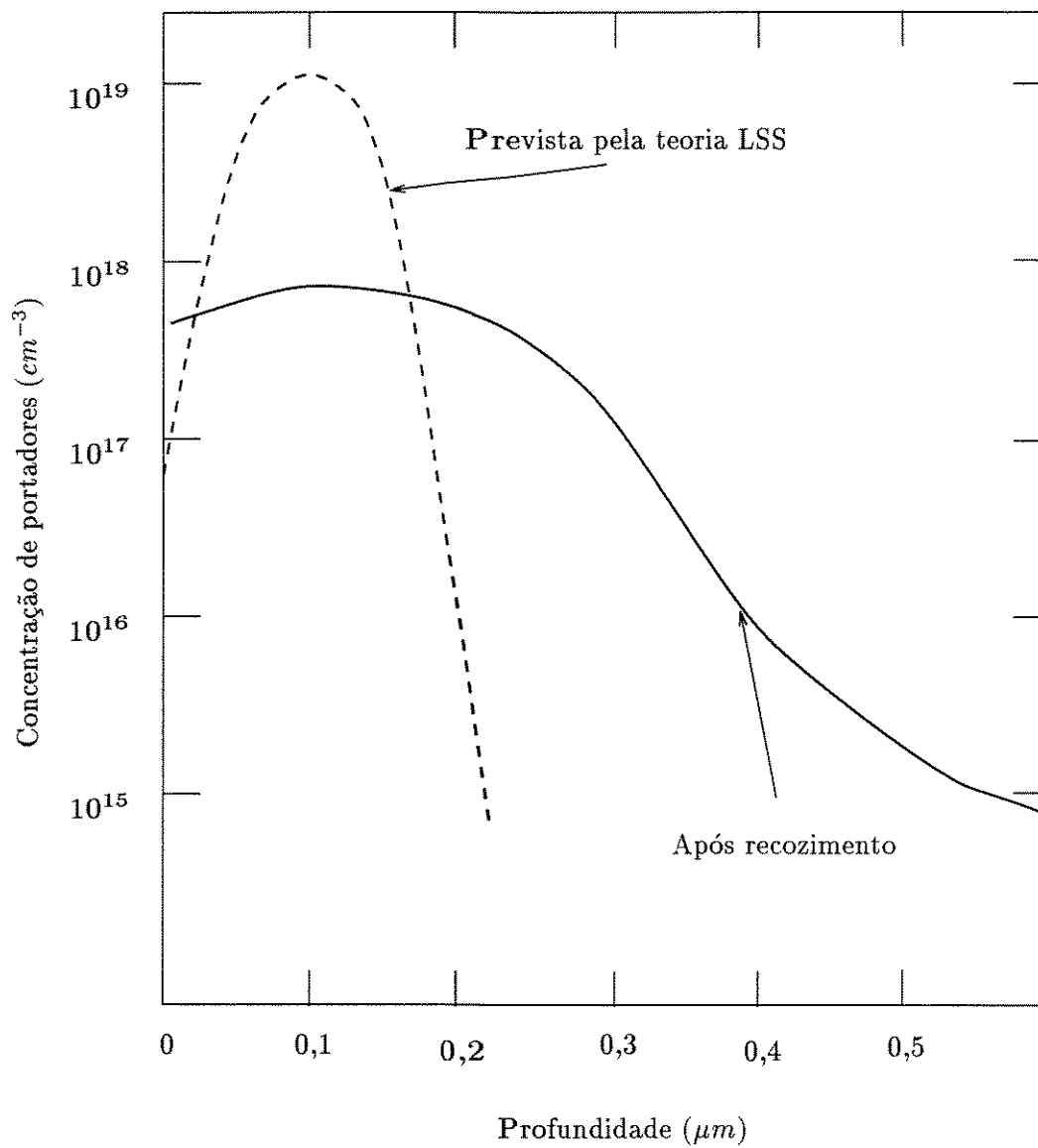


Figura 2.8: Esboço que ilustra o significado do termo “cauda”, representada pela difusão das impurezas para o interior do substrato após o recozimento.

O óxido de silício foi o primeiro filme a ser utilizado como protetor para o arseneto de gálio. Observou-se, no entanto, que o Ga podia escapar do substrato através deste óxido, reagindo com o oxigênio para formar o Ga_2O_3 . Na procura de um outro material que substituísse o SiO_2 , foi percebido que o Si_3N_4 tinha melhores propriedades assim como o AlN, que tem um coeficiente de expansão térmica mais próxima do GaAs.

Vanasupa *et al.* [14] estudaram o efeito do *stress* sobre a ativação elétrica do Si, quando usado como dopante implantado. Mostraram que a ativação é uma função sensível ao *stress* induzido no substrato pelo filme de encapsulamento (Si_3N_4) durante o recozimento. Usaram filmes de modo que, após depositados, geravam esforços de compressão, tensão e neutro à temperatura ambiente; do ponto de vista do substrato, as forças compressivas atuavam de modo a distendê-lo e as forças do tipo tensão atuavam de modo a comprimí-lo. Observaram que, apesar de não haver nenhuma diferença entre o perfil implantado e o perfil após recozimento em um forno convencional, o substrato protegido com o filme do tipo compressão mostrou a maior ativação elétrica, seguido pelo neutro. Observaram, também, que o Si_3N_4 evita a exodifusão dos elementos constituintes do substrato.

2.4.2 Recozimento sem o Óxido Protetor

Para se evitar os transtornos que os óxidos protetores causam ao material, desenvolveram-se métodos para o recozimento sem o encapsulamento. Para que não haja degradação do material, com a perda de arsênico, estes tratamentos térmicos costumam ser realizados em ambientes com sobre pressão de arsênico.

Uma das técnicas utilizadas consiste em se posicionar uma outra lâmina polida de arseneto de gálio em frente à lâmina durante o recozimento, feito em uma atmosfera de gás inerte, normalmente de nitrogênio (N_2). Deste modo consegue-se preservar a integridade do substrato.

2.4.3 Recozimento Térmico Rápido

À medida que a temperatura aumenta, é necessário um tempo menor para se alcançar a máxima concentração possível de portadores eletricamente ativos, como pode ser visto na figura 2.9.

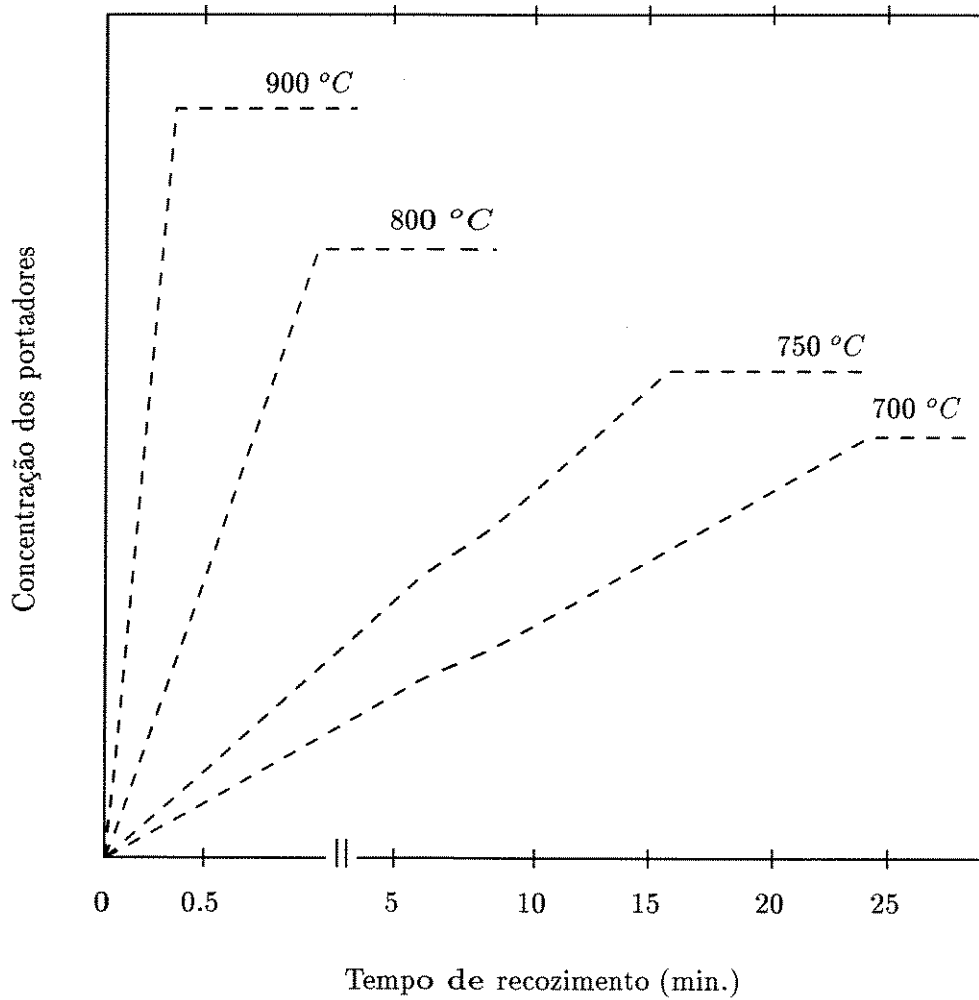


Figura 2.9: Esboço que mostra a variação da concentração dos portadores em função do tempo de recozimento

Assim, para temperaturas acima de $900\text{ }^{\circ}\text{C}$, os tempos de recozimento são menores que 30 segundos, viabilizando o surgimento de técnicas como a de recozimento térmico rápido (RTA). A grande vantagem do RTA é que, devido os tempos em que a amostra fica submetida a grandes temperaturas, há uma pequena difusão dos dopantes, fazendo com que o perfil implantado permaneça quase que inalterado. Quanto menor for o coeficiente de difusão do dopante implantado, tanto mais estável será seu perfil após o RTA. Veja o apêndice A para uma descrição do RTA.

Existe o problema da dissociação de arsênio nas altas temperaturas do RTA e portanto, deve-se realizá-lo com técnicas de encapsulamento ou outras que evitem a evaporação do As.

Souza e Sadana [11] mostram algumas particularidades do RTA. Entre elas está o efeito da energia de implantação sobre a eficiência de ativação a uma dose de $4,5 \cdot 10^{13}\text{ cm}^{-2}$ de Si^+ . A eficiência de ativação é da ordem de 20% para energia de implantação de 30 KeV , atingindo um máximo de 45% a 120 keV e decaindo para 35% a 150 keV . Nota-se uma ligeira superioridade do RTA sem encapsulamento em relação a um feito com filme de Si_3N_4 . Na figura 2.10 é mostrado um esboço desses resultados. As amostras que apresentam melhor resultado são as que não possuem encapsulamento. Para conseguir resultados comparáveis com o RTA realizado sem o óxido protetor, o RTA realizado com o encapsulamento necessita de tempos muito maiores de cozimento.

Kanber *et al.* [15], implantando Si^+ , mostram que a RTA feita *face to face* (F/F) é melhor que o encapsulamento com filme de SiO_2 . Comparam o RTA com o recozimento em forno convencional, ficando o substrato descoberto em ambiente com atmosfera controlada; não há discrepância entre o perfil implantado e o perfil recozido seja com o RTA seja com o forno. O gás N_2 foi adequado até a temperatura de 850°C , ocorrendo sérias erosões no substrato a temperaturas acima de 920°C . Tanto o Ar quanto Ar- H_2 em ambientes de alta pureza foram satisfatórios para o RTA F/F. Quando a dose de Si implantado for baixa, o melhor valor para a temperatura do RTA é de 930°C com um tempo de 5 segundos. Para doses maiores de Si implantado, a temperatura do RTA deve ficar em torno de 850°C , com um tempo entre 5 e 20 segundos. Para doses mais baixas, o RTA a uma temperatura de 850°C com um tempo de 20 segundos, deu resultados próximos aos alcançados por recozimento em forno, com diferenças em torno de 10%.

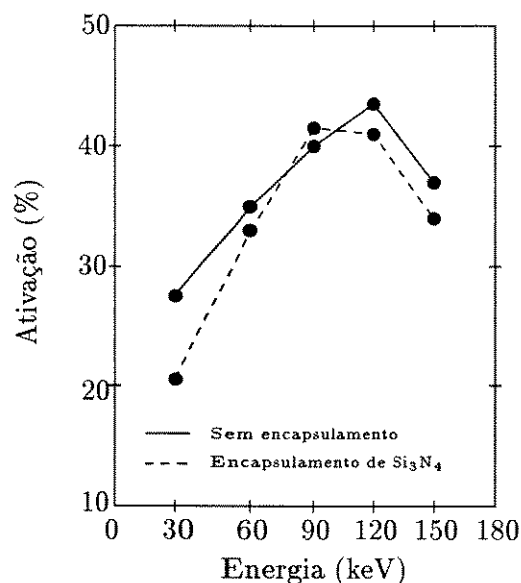


Figura 2.10: Porcentagem de ativação de dopantes implantados (Si^+ , $d = 4,5 \cdot 10^{13} \text{ cm}^{-2}$) usando RTA a $850^\circ\text{C}/10 \text{ s}$ em função da energia.

Lee *et al.* [12], trabalhando com amostras de GaAs encapsuladas com SiO para evitar a perda de arsênico durante o tratamento térmico, mostram o efeito de se realizar dois RTA's, um entre 900 e 920°C durante 3 a 5 segundos, e outro entre 800 a 850°C durante 5 a 30 segundos. Foi observado que realizando dois RTA's obtém-se melhores resultados do que se realizar apenas um, e as amostras que apresentaram melhores eficiências de ativação, isto é, as que apresentaram os melhores valores tanto na ativação elétrica quanto na mobilidade Hall foram as realizadas a 920°C por 5 segundos, seguida de outra feita a 800°C por 20 segundos, como indicado na figura 2.11.

Ainda em relação à ativação elétrica, Von Neida *et al.* [16] mostram o efeito da estequiometria sobre a ativação dos portadores. Medições realizadas em substratos com concentrações de As entre 47,5% à 65%, implantados com Si, indicam que quanto maior a concentração de As melhor a ativação elétrica do Si. Quando o substrato está com a proporção estequiométrica correta, 50% de As, um pequeno acréscimo de arsênico aumenta em aproximadamente 10% a ativação elétrica, enquanto que um acréscimo de gálio faz com que esta diminua.

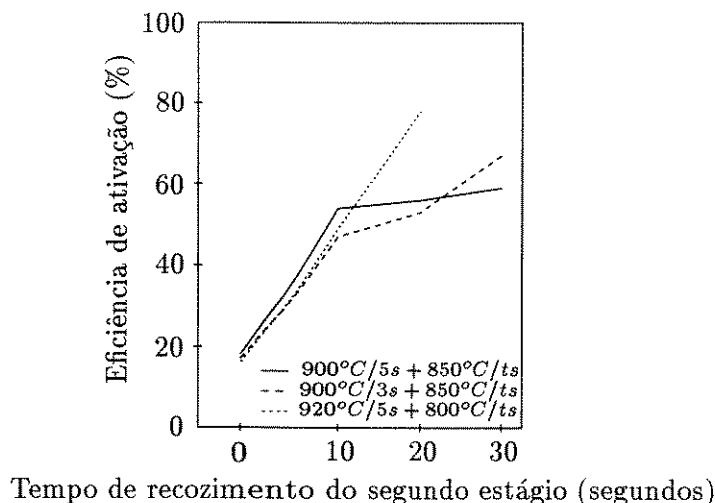


Figura 2.11: Dependência da eficiência de ativação do silício quando submetida a dois passos de recozimento térmico rápido.

Dentre os principais resultados descritos por Pearton *et al.* [17] sobre o RTA, pode-se citar que:

- Para implantações realizadas a temperatura ambiente, o RTA fornece ativação de camadas do tipo n^+ limitadas ao máximo de $4,0 \cdot 10^{18} \text{ cm}^{-3}$
- Para implantações de baixas doses, menores do que 10^{13} cm^{-2} , tipo-p (Be^+ , Cd^+ e Mg^+) o RTA obtém uma ativação da ordem de 100% a uma temperatura de $800 - 850^\circ\text{C}$. Para RTA's sem encapsulamento acima de 950°C haverá uma perda significativa de dopante para a superfície.

2.5 Contatos

A qualidade dos contatos é de fundamental importância para um bom desempenho dos dispositivos. Assim, é importante manter os contatos ôhmicos com uma baixa resistividade e uma boa estabilidade morfológica com relação à energia térmica gerada. Por outro lado, os contatos Schottky devem ser robustos mecânica e termicamente para que possam ser utilizados como referências nas etapas posteriores de alinhamento e ativação dos dopantes.

2.5.1 Contatos Ôhmicos

A liga AuGeNi é um dos compostos mais estudados para se fazer contatos ôhmicos em GaAs.

Merkel *et al.* [18] estudaram o comportamento de contatos de AuGeNi para vários tipos de sistemas, variando a proporção de cada elemento e a ordem de depósito para a formação dos contatos. Utilizaram uma camada de WSiN como uma barreira contra a difusão de Au formando assim a configuração Au/WSiN/(Au,Ge,Ni)-n-GaAs, conforme pode ser visto na figura 2.12. Dentre as seqüências possíveis para o contato, o sistema Au/Ni/Ge foi a mais estável após o tratamento térmico tanto com uma RTA de 475°C durante 7 segundos, quanto em um forno durante 150 segundos a $430 - 470^{\circ}\text{C}$, obtendo resistividades semelhantes. A espessura da camada de ouro depositada tem uma grande influência na resistividade do contato. Usando-se 5 nm de Ni e 20 nm de Ge, a resistividade do contato decresce quando a espessura da camada de ouro aumenta de 0 para 25 nm , mantendo-se a partir daí em um patamar estável. A resistividade aumenta ao se diminuírem as dimensões do contato, isto é, ao se diminuir, em espessura, as quantidades de Au, Ge e Ni, mantendo-se a proporção entre elas constantes. Para se obter uma resistividade abaixo de $1,0 \cdot 10^{-6} \Omega\text{cm}^{-2}$ é necessário usar uma espessura de $10 - 20\text{ nm}$ ou mais de germânio e ouro. O sistema Au/WSiN/Au/Ni/Ge-n-GaAs com espessura de 225 nm , mantido a 350°C por 120 h exibe uma morfologia superior e uma menor degradação em relação ao contato Au/Ni/AuGe de espessura 150 nm .

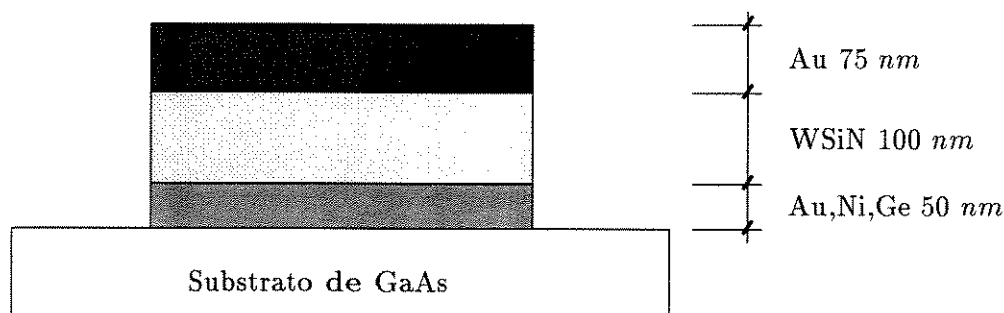


Figura 2.12: Esboço da configuração Au/WSiN/(Au,Ge,Ni)-n-GaAs para se fazer contatos ôhmicos.

Pearton *et al.* [19] compararam o tratamento térmico convencional, realizado com um aquecedor de grafite, e o RTA do composto ôhmico Au/Ge/Ni. As resistências do contato, medidas em vários dispositivos e recozidas por RTA, tiveram valores menores e menores desvios padrão. O RTA foi realizado a 420°C durante 20 segundos; quando realizado abaixo de 400°C , o valor da resistência de contato é maior, havendo uma degradação da morfologia para temperaturas acima de 460°C .

O composto NiInW gera contatos termicamente mais estáveis. Murakami *et al.* [20] compararam dois conjuntos de dispositivos, um fabricado com contatos de AuNiGe (5 nm de Ni, 30 nm de Au-Ge, 50 nm de Ni e 100 nm de Au) e outro fabricado com o composto NiInW (5 nm de Ni, 5 nm de Ni-In cada um, 5 nm de Ni e 40 nm de W). Como a resistência de folha do NiInW é muito alta, não podem ser utilizados para interligações entre dispositivos; assim a liga AlCu, a mesma utilizada na tecnologia de silício, é adequada para as interligações, mantendo a resistência de contato estável por mais de 100h à 400°C . Deste modo, fazendo-se a comparação entre os dois tipos de contatos, os resultados foram muito semelhantes; mas quando os contatos foram submetidos a esforços térmicos de 400°C por 100 horas, houve uma grande perda na qualidade dos contatos de AuNiGe e pouca modificação nos outros. Não observaram nenhuma influência nos valores de ϕ (barreira de potencial) e n (fator de idealidade) nos diodos de WSi, quando foi realizado um recozimento (RTA) adicional a 800°C por 7 segundos para a formação do contato NiInW. Vale ainda comentar a extrema estabilidade deste contato (NiInW) quando submetido a um regime de trabalho em 80°C .

Shih *et al.* [21] estudaram o papel do Ni na formação do contato NiInW. Eles mostram que as amostras preparadas com Ni/Ni-In/Ni/W fornecem uma resistência de contato menor do que as preparadas com Ni/In/Ni/W⁴. Eles justificam este fato devido a uma maior e melhor formação da interface $\text{In}_x\text{Ga}_{1-x}\text{As}$, uma vez que o Ni evita que o In esteja em sua forma pura, pois a quantidade de In que não reage aumenta a resistência do contato.

⁴Eles relatam que o sistema Ni/In/Ni/W apresenta uma resistência de contato em torno de $0,6 \Omega.\text{cm}$, enquanto que o sistema Ni/Ni-In/Ni/W apresenta um fator de redução da ordem de 2.

2.5.2 Contatos Schottky

A obtenção de contatos Schottky em GaAs é mais simples do que a dos contatos ôhmicos. Os contatos com silicetos de tungstênio (WSi) são os mais interessantes, pois são termicamente estáveis, suportando temperaturas em torno de 800°C com facilidade, permitindo o seu uso em métodos auto-alinhados para a manufatura de dispositivos. Além disso, possuem uma barreira de potencial abaixo de 1 eV e um fator de idealidade n próximo de 1.

Sugahara e Nagano [22] mostraram que o composto WSiN é preferido em relação ao WSi no sentido de suprimir a difusão dos átomos de Ga e As à 800°C e suprimir os átomos de Au quando usados para diminuir a resistência da porta. Mostraram ainda que este composto é estável para temperaturas superiores a 800°C , com uma barreira de potencial de 0.76 eV e um fator de idealidade $n = 1,08$.

2.6 Conclusões

Para o crescimento de tarugos monocristalinos em arseneto de gálio há duas técnicas disponíveis, o HG e LEC. Uma vez que os cristais crescidos por LEC têm secção circular com orientação $\langle 100 \rangle$, menores contaminações devido ao cadinho, não necessitam dopagem com cromo para a obtenção de substratos semi-isolantes. Escolhemos cristais LEC para nossa lâminas.

Dentre os métodos possíveis para dopagem do substrato, a implantação iônica foi a escolhida por ser um método simples, eficiente e com custos inferiores às demais. O silício é a impureza do tipo-n mais interessante pois possui um coeficiente de difusão pequeno, associado a uma boa ativação elétrica. Para os implantes do tipo-p, o magnésio permite uma ativação elétrica próxima dos 100% para temperaturas da ordem de 750°C , sendo interessantes para implantes de camadas *buffer*. Com relação ao método de implantação, foi evitado tanto o uso de espécies moleculares quanto de óxidos para não aumentar os defeitos no substrato.

Com relação ao tipo de tratamento térmico usado, a RTA F/F aparece como um método eficiente, uma vez que permite uma baixa difusão das impurezas associada a uma

alta porcentagem de ativação elétrica dos dopantes. O substrato será submetido à RTA sem nenhum encapsulamento para evitar tensões mecânicas, e será realizado em dois passos, um a 920°C durante 5 segundos para a ativação das impurezas com doses mais baixas, e outro realizado a 800°C durante 20 segundos para os implantes com doses mais elevadas.

Para a obtenção de contatos, o composto AuGeNi é o mais eficiente, tendo adicionada uma camada extra de WSiN para evitar a difusão tanto do ouro para o contato, quanto dos elementos do substrato para fora do contato. Assim, o sistema Au/WSiN/(Au,Ge,Ni) foi o escolhido para os contatos ôhmicos. Já para os contatos Schottky serão usados os compostos de silicetos de tungstênio (WSi) pois são os mais propícios, tanto por serem termicamente estáveis, quanto por permitirem o uso de técnicas auto-alinhadas na manufatura dos dispositivos, aonde o composto WSiN tem preferência, pois evita a difusão de ouro mais eficientemente do que o composto WSi.

Capítulo 3

Modelos Matemáticos para MESFETs

Para o desenvolvimento de um processo de fabricação de dispositivos, faz-se necessário o uso de modelos matemáticos para sua simulação.

A importância deste procedimento está na otimização do dispositivo, associado a custos e tempos de desenvolvimento bem inferiores aos procedimentos tradicionais. Isto é devido a uma previsão de qual será o comportamento elétrico do dispositivo, devendo esta ser comprovada através de medidas realizadas em um *chip* teste para a convalidação dos dados obtidos por simulação. É importante lembrar que, para uma boa concordância entre os dados obtidos em simulação e os obtidos em medidas, é necessário um grande cuidado na escolha de quais modelos e parâmetros serão utilizados.

De acordo com Bennett e Lowney [23], existem três categorias de simuladores de dispositivos:

Categoria 1 – Utilizam modelos de circuitos equivalentes, substituindo os dispositivos por elementos discretos, tais como fontes, resistências, capacitâncias e indutâncias.

Com relação aos modelos desta categoria, um dos métodos utilizados para extração de parâmetros, são aqueles obtidos através de medidas realizadas em regimes cc e/ou medidas realizadas em RF com parâmetros S para pequenos sinais. A vantagem destes modelos consiste na sua eficiência computacional e podem ser facilmente implementados em um simulador de circuitos [24, 25]. Estes modelos se prestam para o projeto de circuitos integrados; mas há a necessidade de que existam dispositivos

para poder extrair os parâmetros do modelo.

Categoria 2 – Utilizam modelos compactos como os de Gummel–Poon ou Ebers–Moll. Diferem do anterior por utilizarem elementos não lineares na modelagem (diodos). O programa simulador de circuitos SPICE é um exemplo desta e da categoria anterior.

Categoria 3 – Utilizam modelos detalhados, que resolvem as equações de estado sólido, baseados no perfil de dopagem e nas condições iniciais.

É a ideal para o projeto de novos dispositivos, uma vez que pode-se experimentar novas topologias e geometrias baseadas apenas nestas equações, sem a necessidade de uma fabricação prévia do dispositivo. Uma grande desvantagem destes modelos no passado foi sua ineficiência computacional, que atualmente pode ser desconsiderada devido ao surgimento de máquinas com capacidade de processamento e memória associada cada vez maiores. É necessário obter as soluções bidimensionais destas equações, principalmente quando o comprimento da porta se torna menor do que $1\ \mu m$, devido aos efeitos observados em canais submicrométricos. O programa PRISM, da universidade de Leuven–Bélgica, pertence a esta categoria.

3.1 Equações de Estado Sólido

Quando se fala em arseneto de gálio, o primeiro dispositivo que se imagina é o MESFET. A mobilidade de elétrons no GaAs é muito superior à das lacunas, por isso faz-se quase que exclusivamente transistores com canal n, pois os transistores de canal p têm eficiência muito menor. A consequência é que, embora existam equações para ambos os tipos de portadores de carga, haverá a necessidade de resolvê-las apenas para os portadores do tipo-n.

No modelamento do MESFET devem-se considerar os efeitos de canais submicrométricos, onde os elétrons são transportados em condições de não equilíbrio e efeitos não estacionários como o *overshoot* da velocidade.

Como o método usado para a dopagem será a implantação iônica, é importante que seus efeitos sejam considerados. A necessidade de uma descrição precisa do perfil implantado é devida à grande influência das variações do perfil sob a porta, no desempenho do MESFET.

3.1.1 Modelamento de um Semicondutor

Diversas publicações [26, 27, 28, 29, 30, 31] descrevem as equações usadas para a modelagem de dispositivos que se enquadram na categoria 3.

Para se obter a distribuição de potencial no dispositivo é necessário resolver a equação de Poisson.

$$\vec{\nabla} \cdot (\epsilon \vec{\nabla} \phi) = -q(n - p - N - DX) \quad (3.1)$$

no qual ϕ é o potencial eletrostático, n e p são as concentrações de elétrons e lacunas, $N = N_d - N_a$ é a concentração de dopantes eletricamente ativos e DX é a concentração de portadores de nível profundo. Pode-se observar que o primeiro termo desta equação corresponde ao divergente do campo elétrico que é igual à totalidade das cargas.

A equação da continuidade usada para calcular a distribuição de elétrons é:

$$\vec{\nabla} \cdot \vec{J}_n - q \left(\frac{\partial n}{\partial t} - G_n \right) = 0 \quad (3.2)$$

e para as lacunas:

$$\vec{\nabla} \cdot \vec{J}_p + q \left(\frac{\partial p}{\partial t} - G_p \right) = 0 \quad (3.3)$$

onde n é a concentração de elétrons, p é a concentração de lacunas, q é a carga do elétron, J_n é a densidade de corrente de elétrons, J_p é a densidade de corrente de lacunas, G_n é a taxa de geração-recombinação para os elétrons e G_p é a taxa de geração-recombinação para as lacunas. É interessante observar o que esta equação diz literalmente; o incremento ou decréscimo de corrente em uma região é causado somente pela variação da quantidade de portadores.

A equação do transporte de energia para os elétrons pode ser escrita por:

$$\vec{\nabla} \cdot \vec{S}_n - \vec{E} \cdot \vec{J}_n + \frac{\partial(n\xi_n)}{\partial t} + n \frac{\xi_n - \xi_n^*}{\tau_n} = 0 \quad (3.4)$$

e para as lacunas por:

$$\vec{\nabla} \cdot \vec{S}_p - \vec{E} \cdot \vec{J}_p + \frac{\partial(p\xi_p)}{\partial t} + p \frac{\xi_p - \xi_p^*}{\tau_p} = 0 \quad (3.5)$$

onde S são os fluxos de energia, ξ são os portadores de energia média, ξ^* os portadores de energia de equilíbrio e τ são os tempos de relaxação da energia. Os subscritos n e p denotam elétrons e lacunas, respectivamente.

O termo $\vec{E} \cdot \vec{J}$ descreve a energia ganha do campo elétrico (efeito de aquecimento). O termo $\vec{\nabla} \cdot \vec{S}$ descreve o transporte de energia através da estrutura do dispositivo e o último termo descreve a energia perdida devido a colisões.

Os portadores de energia média consistem de duas partes: a primeira é a energia intrínseca e a segunda é a energia cinética das partículas, que depende da velocidade média dos portadores. Assim temos:

$$\xi_n = \frac{3}{2}kT_n + \frac{1}{2}m_{eff}^n v_n^2 \quad (3.6)$$

$$\xi_p = \frac{3}{2}kT_p + \frac{1}{2}m_{eff}^p v_p^2 \quad (3.7)$$

onde k é a constante de Boltzmann, T a temperatura, m_{eff} a massa efetiva, v a velocidade média e os subscritos n e p denotam elétrons e lacunas, respectivamente.

É necessário ainda especificar algumas relações entre as equações acima.

O campo elétrico é:

$$\vec{E} = -\nabla\psi \quad (3.8)$$

O fluxo de energia pode ser descrito [31] como:

$$\vec{S}_n = -\frac{1}{q}\vec{J}_n(\xi_n + kT_n) - qn\mu_n \left(\frac{k}{q}\right)^2 \Delta(\xi_n)T_n \nabla T_n \quad (3.9)$$

$$\vec{S}_p = \frac{1}{q}\vec{J}_p(\xi_p + kT_p) - qp\mu_p \left(\frac{k}{q}\right)^2 \Delta(\xi_p)T_p \nabla T_p \quad (3.10)$$

onde T_n e T_p são as temperaturas dos elétrons e das lacunas, e μ_n e μ_p são as mobilidades dos elétrons e lacunas.

De acordo com Snowden e Lorent [29], a equação da velocidade pode ser descrita em termos do campo elétrico, temperatura dos portadores e concentração. Para os elétrons:

$$\vec{v}_n = \mu_n \vec{E} + \frac{k\mu_n}{q} \nabla T_n + \frac{kT_n \mu_n}{qn} \nabla n \quad (3.11)$$

e para as lacunas:

$$\vec{v}_p = \mu_p \vec{E} + \frac{k\mu_p}{q} \nabla T_p + \frac{kT_p \mu_p}{qp} \nabla p \quad (3.12)$$

A primeira parte da expressão do lado direito destas equações é o termo de deriva e os outros termos são a parte de difusão.

Riemenschneider e Wang [28] afirmam que, devido ao comportamento extremamente não-linear da velocidade de elétrons em grandes campos elétricos, a relação de Einstein, entre a mobilidade e a constante de difusão D , não seria válida, ou seja, não poder-se-ia dizer que $D = \frac{kT}{q} \mu$. Mas outros pesquisadores fazem uso desta relação, assim como o programa PRISM [32], que fundamentalmente resolve as equações acima. Opta-se, portanto, por considerar esta relação válida.

É interessante notar a inclusão de um termo que considera a difusão dos portadores devido a um gradiente de temperatura, tornando esta expressão mais completa que a equação normalmente usada para descrever a velocidade, que considerava apenas o termo de arrasto devido a um campo elétrico e o termo de difusão devido a um gradiente de difusão. A inclusão do termo de temperatura indica, também, que os elétrons com maior energia térmica irão se locomover mais rapidamente contribuindo com o aumento da corrente. Isto pode ser importante em dispositivos onde há uma grande quantidade de elétrons com alta energia térmica, tal como na vizinhança de uma barreira Schottky, e que este efeito deve ser considerado em dispositivos com canais submicrométricos.

Pode-se assim dizer que a densidade de corrente devido aos elétrons é:

$$\vec{J}_n = -qn\vec{v}_n \quad (3.13)$$

e a densidade de corrente devido as lacunas é:

$$\vec{J}_p = qp\vec{v}_p \quad (3.14)$$

Para o cálculo dos valores das concentrações dos portadores n e p , usa-se a função de distribuição de Fermi para a solução da integral que descreve os níveis ocupados na banda de condução ou valência. Para a concentração de elétrons, esta integral é dada por:

$$n = \int_{E_c}^{\infty} N(E)F(E)dE \quad (3.15)$$

onde E_c é a energia da parte inferior da banda de condução, $N(E)$ é a densidade de estados na faixa de condução e $F(E)$ é a função de Fermi dada por:

$$F(E) = \frac{1}{e^{\Delta E} - 1} \quad (3.16)$$

A solução da integral 3.15 pode ser representada para a concentração de elétrons por:

$$n = N_c \frac{2}{\sqrt{\pi}} F_{1/2} \left(\frac{E_{fn} - E_c}{k.T} \right) \quad (3.17)$$

e para a concentração de lacunas por:

$$p = N_v \frac{2}{\sqrt{\pi}} F_{1/2} \left(\frac{-E_{fp} + E_v}{k.T} \right) \quad (3.18)$$

onde N_c e N_v são as densidades efetivas de estados para as bandas de condução e valência, $F_{1/2}(\xi_f)$ é a integral de Fermi-Dirac e E_{fn} e E_{fp} são os níveis de Fermi para os elétrons e lacunas.

Quando o nível de Fermi estiver alguns $k.T$ abaixo de E_c , ou acima de E_v , a integral 3.15 pode ser aproximada usando a estatística de Boltzmann em vez da de Fermi:

$$n = N_c \exp \left(-\frac{E_c - E_F}{kT} \right) \quad (3.19)$$

e para a concentração de lacunas:

$$p = N_v \exp \left(-\frac{E_F - E_v}{kT} \right) \quad (3.20)$$

A concentração intrínseca de portadores é dada por:

$$n_i = \sqrt{N_c N_v} \exp \left(-\frac{E_g}{2kT} \right) \quad (3.21)$$

onde $E_g = E_c - E_v$.

Como o arseneto de gálio possui uma mobilidade de elétrons muito maior que a de lacunas, observa-se que os dispositivos FET com canal p e os dispositivos bipolares não possuem boas características, usando-se quase que exclusivamente dispositivos FET de canal n. Portanto, bastarão ser resolvidas somente as equações para os elétrons, uma vez que os efeitos das lacunas são desprezíveis.

A mobilidade do arseneto de gálio não pode ser considerada constante, sendo dependente do campo elétrico, da temperatura e da concentração de dopantes. Steiner *et al.* [33] diz que o perfil da mobilidade parece ser ainda dependente do processo de fabricação do dispositivo e da disposição destes na lâmina. Diz, também, que a mobilidade dos elétrons depende principalmente do comprimento do canal, enquanto uma redução na largura da porta aparentemente não tem efeito algum; que os menores valores de mobilidade foram encontrados para os maiores valores de área da porta; e que a mobilidade é degradada para baixos valores de tensão da porta. É interessante notar que devido ao fato da mobilidade ser dependente da concentração dos portadores livres, há uma diminuição da mobilidade com a aproximação da camada *buffer* do tipo p.

Lee *et al.* [34] modelam a mobilidade dos elétrons em função do campo elétrico da seguinte forma:

$$\mu_n = \mu_0 \frac{1 + \frac{v_s}{\mu_0 E} \left(\frac{E}{E_c}\right)^4}{1 + \left(\frac{E}{E_c}\right)^4} \quad (3.22)$$

onde a mobilidade em campos elétricos baixos é $\mu_0 = 4500 \text{ cm}^2/\text{V}$, o campo elétrico crítico é $E_c = 4000 \text{ V/cm}$, e a velocidade de saturação é $v_s = 0,85 \cdot 10^{17} \text{ cm/s}$.

O programa PRISM [32] faz uma modelagem bem parecida, mas um pouco mais complexa, pois considera que a mobilidade em campos elétricos baixos (μ_0) não é constante e sim dependente da concentração de dopantes do semiconductor. Deste modo, pode-se escrever que:

$$\mu_{dn} = \frac{300}{T} \left(\frac{8000}{1 + \left(\frac{N}{1,0 \cdot 10^{17}}\right)^{0,5}} \right) \quad (3.23)$$

onde $N = N_D + N_A$.

Assim, para a mobilidade de elétrons em função, também, do campo elétrico é usada a seguinte expressão:

$$\mu_n = \mu_{dn} \left(\frac{1 + \frac{300 \cdot 8,5 \cdot 10^6 \cdot E^3}{\mu_{dn} \cdot T \cdot E_c^4 (1 - 5,3 \cdot 10^{-4} T)}}{1 + \left(\frac{E}{E_c}\right)^4} \right) \quad (3.24)$$

Fazendo o mesmo desenvolvimento para a mobilidade de lacunas, temos para a

mobilidade dependente da concentração de dopantes:

$$\mu_{d_p} = \frac{300}{T} \left(50 + \frac{330}{1 + \left(\frac{N}{3,232 \cdot 10^{17}} \right)^{0,4956}} \right) \quad (3.25)$$

onde $N = N_D + N_A$.

Logo, para a mobilidade de lacunas em função, também, do campo elétrico é usada a seguinte expressão:

$$\mu_p = \frac{\mu_{d_p}}{1 + \frac{\mu_{d_p} \cdot E}{1,5 \cdot 10^7}} \quad (3.26)$$

3.1.2 Solução Numérica Bidimensional

Uma vez que uma solução analítica, para as equações, acima é completamente inviável, faz-se necessário estabelecer métodos de soluções numéricas para cada situação.

Como uma alternativa de solução, sugere-se o uso do método dos elementos finitos [35, 36]. Normalmente, este método substitui uma superfície qualquer por pequenos triângulos (designados por elementos), de tal modo que toda função contida dentro deste elemento será linearizada. Determina-se, então, o método de solução destas equações para cada elemento, sendo que a solução geral é obtida observando que os resultados devem ser contínuos de elemento para elemento.

Uma grande vantagem de se solucionar deste modo, está no fato de que qualquer tipo de superfície pode ser analisada, portanto, não há restrições quanto à geometria do dispositivo. Deve-se observar, também, que a precisão dos resultados está relacionada diretamente com o tamanho dos elementos, sendo recomendados tamanhos menores do que o comprimento de Debye (L_D), dado por:

$$L_D = \left(\frac{\epsilon k T}{q^2 n(y)} \right)^{\frac{1}{2}} \quad (3.27)$$

onde k é a constante de Boltzmann, T a temperatura, q a carga do elétron e $n(y)$ a densidade superficial dos dopantes

3.2 Modelamento para Grandes Sinais

As soluções dos conjuntos de equações que modelam a física do semiconductor permitem prever o comportamento elétrico no interior do dispositivo, isto é, avaliar as distribuições dos potenciais, localizações dos portadores, distribuição de corrente para cada condição inicial estabelecida, além de várias outras características físicas. Mas quando se tem a necessidade de estudar um conjunto de dispositivos juntos, ou mesmo as performances destes, é conveniente utilizar modelos que descrevam o comportamento de um dispositivo através de seus elementos de circuitos equivalentes. Como em arseneto de gálio o MESFET é o dispositivo dominante, será estudado o seu modelo em circuitos equivalente.

Poder-se-ia imaginar que, em princípio, o modelo utilizado para descrever o comportamento de um transistor FET de junção de silício poderia ser utilizado para descrever o comportamento de um FET similar de GaAs, uma vez que, sob uma análise superficial, o transistor em GaAs teria uma junção Schottky ao invés de uma junção p-n, mas isso não é verdade. A razão física para esta dissimilaridade está no fato que no GaAs a velocidade dos elétrons satura a um campo elétrico próximo de 3.10^3 V/cm enquanto o silício segue um comportamento ôhmico por uma faixa dez vezes maior. Assim, no GaAs, a saturação da corrente de dreno, com o aumento da voltagem entre dreno e fonte, é causada pela saturação da velocidade dos portadores, enquanto no silício é causada pelo *pinchoff*¹ do canal.

3.2.1 Equações para o Regime CC

Um modelo de grandes sinais para MESFETs, utilizado por um programa de análise de circuitos, é mostrado na figura 3.1. Consiste de uma fonte de corrente controlada por tensão, três capacitores intereletrodos e um diodo de grampeamento entre porta e fonte. Os resistores R_d , R_g e R_s representam as resistências dos contatos.

De acordo com Curtice [24] a corrente I_d pode ser descrita:

$$I_d = \beta(V_{gs} - V_T)^2(1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (3.28)$$

onde I_d é a corrente de dreno, β é um parâmetro, V_{gs} é a voltagem entre porta e fonte, V_{ds}

¹Tensão necessária para depletar totalmente o canal.

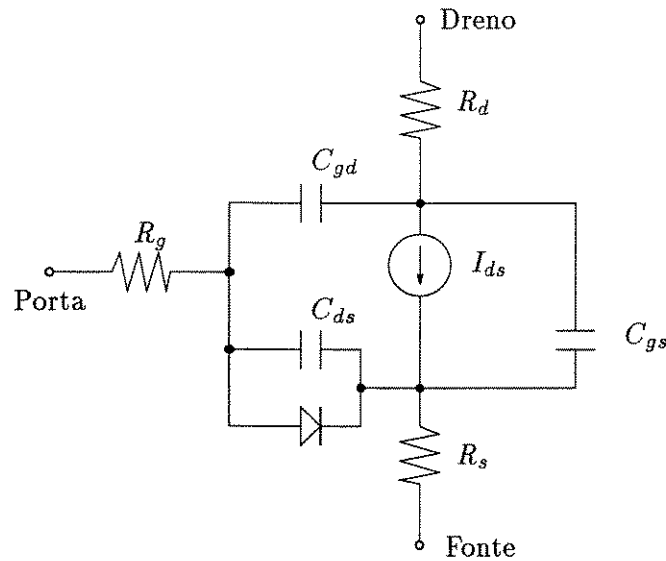


Figura 3.1: Modelo de um MESFET usando elementos de circuitos equivalentes, que pode ser implementado em simulador de circuitos.

é a voltagem entre dreno e fonte, V_T é a voltagem de limiar, λ é um parâmetro relacionado à condutância de dreno e α determina a tensão para a qual a corrente de dreno satura.

A tensão de limiar é definida em função do potencial da barreira Schottky (V_B) e a tensão de *pinchoff* (V_P).

$$V_T = V_B - V_P \quad (3.29)$$

e a tensão de *pinchoff* é:

$$V_P = \frac{q}{\epsilon} \int_0^\infty yn(y)dy \quad (3.30)$$

onde y indica a direção que se inicia na parte superior e aponta para o interior do dispositivo e $n(y)$ é a densidade superficial dos dopantes.

Statz *et al.* [25] baseados na equação 3.28 substituem o primeiro termo desta equação por:

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \quad (3.31)$$

A equação acima foi obtida para uma interface abrupta entre a região ativa e o *buffer* não dopado. Mas na grande maioria dos dispositivos há uma dopagem com

transição gradual do canal para o interior do *buffer* causada por difusão e/ou uma cauda produzida por implantação. Mas ainda assim a equação 3.31 descreve as características do transistor mudando-se os parâmetros β e b . O valor de b é uma medida do perfil de dopagem estendendo-se dentro do substrato semi-isolante e, assim, depende do processo de fabricação.

Para diminuir o tempo de cálculo, a tangente hiperbólica da equação 3.28 foi aproximada por um polinômio da forma:

$$P = 1 - \left(1 - \frac{\alpha V_{ds}}{n}\right)^n, \text{ com } n=2 \text{ ou } 3 \quad (3.32)$$

Assim o modelo completo é:

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} \left[1 - \left(1 - \frac{\alpha V_{ds}}{3}\right)^3\right] (1 + \lambda V_{ds}), \quad \text{para } 0 < V_{ds} < \frac{3}{\alpha} \quad (3.33)$$

$$I_{ds} = \frac{\beta(V_{gs} - V_T)^2}{1 + b(V_{gs} - V_T)} (1 + \lambda V_{ds}), \quad \text{para } V_{ds} \geq \frac{3}{\alpha} \quad (3.34)$$

3.2.2 Avaliação da Capacitância de Porta

O efeito da região de depleção sob a porta pode ser modelado por duas capacitâncias: a capacitância entre porta e fonte C_{gs} e a capacitância entre porta e dreno C_{gd} .

Como a diferença de potencial entre a fonte e a região condutora sob a porta é normalmente pequena, a capacitância C_{gs} é significativa e domina a impedância de entrada do MESFET.

Foi observado [24, 25] que a capacitância entre fonte e porta se comporta aproximadamente como o modelo de capacitância para o diodo, quando o transistor está diretamente polarizado e $V_{ds} \gg 0$. A capacitância entre porta e dreno cai continuamente com o aumento de V_{ds} e tende a zero quando o canal se constringe (fenômeno de *pinchoff*). É de se esperar que as capacitâncias C_{gs} e C_{gd} sejam iguais para tensões nulas aplicadas nos terminais de porta, dreno e fonte, e que os valores de C_{gs} e C_{gd} se permutem quando o transistor for reversamente polarizado.

Assim, podemos escrever que a carga total sob a porta é:

$$Q = 2C_{gs0}V_B \left(1 + \sqrt{1 - \frac{V_{eff1}}{V_B}} \right) + C_{gd0}V_{eff2} \quad (3.35)$$

onde Q é a carga sob a porta, C_{gs0} é a capacitância entre a porta e fonte para polarização zero, V_B é o potencial embutido e C_{gd0} é a capacitância entre a porta e o dreno, e:

$$V_{eff1} = \frac{1}{2} \left\{ V_{gs} + V_{gd} + \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right\} \quad (3.36)$$

$$V_{eff2} = \frac{1}{2} \left\{ V_{gs} + V_{gd} - \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right\} \quad (3.37)$$

Quando o transistor está reversamente polarizado há uma inversão nos valores entre C_{gs} e C_{gd} ; deste modo as variáveis V_{eff1} e V_{eff2} selecionam qual o valor adequado a ser aplicado na equação 3.35. Δ é um parâmetro que define uma transição mais suave entre os valores de V_{eff1} e V_{eff2} à medida que V_{gs} se aproxima de V_{ds} , e é inicializado com $1/\alpha$.

Diferenciando a equação 3.35 obtemos:

$$\begin{aligned} C_{gs} = & \frac{C_{gs0}}{\sqrt{1 - \frac{V_{eff1}}{V_B}}} \frac{1}{2} \left\{ 1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}} \right\} + \\ & + C_{gd0} \frac{1}{2} \left\{ 1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}} \right\} \end{aligned} \quad (3.38a)$$

$$\begin{aligned} C_{gd} = & \frac{C_{gs0}}{\sqrt{1 - \frac{V_{eff1}}{V_B}}} \frac{1}{2} \left\{ 1 - \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}} \right\} + \\ & + C_{gd0} \frac{1}{2} \left\{ 1 + \frac{V_{gs} - V_{gd}}{\sqrt{(V_{gs} - V_{gd})^2 + \Delta^2}} \right\} \end{aligned} \quad (3.38b)$$

Na referência [25] é mostrado um desenvolvimento para capacitância além do ponto de *pinchoff*.

3.3 Resumo

Atualmente é indiscutível a necessidade do uso de simuladores na otimização de dispositivos, pois eles permitem a análise e o desenvolvimento de componentes com custos bem inferiores à análise através de *chips* testes. A grande atenção que se deve prestar neste tipo de análise é em relação aos parâmetros usados nas equações e à precisão dos modelos adotados. Mas, ainda assim, faz-se necessária a fabricação de um *chip* teste para a convalidação dos dados.

Neste capítulo foram discutidas duas linhas de análises para o estudo de dispositivos elétricos. Na primeira parte foram mostradas as equações que regem a física do estado sólido. É importante observar que estas equações são apropriadas para a análise de dispositivos individuais, uma vez que permitem a visualização das principais grandezas elétricas que regem o seu comportamento. Na outra parte, foi dado o equacionamento utilizado no programa SPICE, para a análise de dispositivos MESFETs. Este tipo de modelamento permite o estudo do comportamento dos dispositivos quando são interligados mais do que dois componentes juntos.

É importante ressaltar que as equações de estado sólido devem ser resolvidas em duas dimensões, pois efeitos de canais submicrométricos influenciam grandemente quando o comprimento de porta diminui para menos que $1 \mu m$.

Capítulo 4

Resultados

Neste capítulo mostramos os principais resultados obtidos através da simulação de transistores MESFETs auto-alinhados com comprimento de porta de $1\ \mu m$. São mostrados os valores de dopagem das impurezas sob a região da porta, necessárias para o processamento de transistores de depleção e enriquecimento e também a dependência elétrica do dispositivo com relação a camada *buffer*.

Os passos necessários para a fabricação de um dispositivo MESFET em GaAs, esquematizado na figura 4.1, são:

1. Deposita-se fotoresiste por toda a lâmina, e através de máscara, realiza-se a fotolitografia para a definição da região na qual será fabricado o transistor;
2. É realizada a implantação da camada *buffer*, do tipo-p, com o Mg^+ ;
3. Realiza-se, também, a implantação da região do canal, do tipo-n, com o Si^+ . Os passos 1, 2 e 3 são representados na figura 4.1(a);
4. Limpa-se a lâmina. É depositado fotoresiste na superfície e com o uso de máscaras, é realizada uma fotolitografia para definir a região da porta;
5. Deposita-se o material da porta ($WSiN$), para a formação de uma junção Schottky. Os passos 4 e 5 são representados na figura 4.1(b);
6. Limpa-se a lâmina. É depositado fotoresiste na superfície, e usando a porta como referência para o alinhamento da máscara, realiza-se a fotolitografia para definir a região de fonte e dreno;

7. Usando-se o metal da porta como máscara, faz-se a implantação das regiões de fonte e dreno com Si^+ ;
8. Limpa-se a lâmina, e faz-se um recozimento térmico rápido (RTA) a 920°C durante 5 segundos, para a ativação dos dopantes implantados a baixa energia;
9. Faz-se um segundo RTA a 800°C durante 20 segundos para a ativação dos dopantes implantados a alta energia (Regiões de fonte e dreno). Os passos 6, 7, 8 e 9 são representados na figura 4.1(c);
10. Deposita-se fotoresiste sobre a lâmina, e usando a porta como referência para o alinhamento da máscara, realiza-se a fotolitografia para definir a região em que serão depositados os metais para contatos ôhmicos;
11. Depositam-se os metais ($\text{Au}/\text{WSiN}/\text{Au}/\text{Ni}/\text{Ge}$) para os contatos ôhmicos das regiões de fonte e dreno. Os passos 10 e 11 são representados na figura 4.1(d);
12. Limpa-se a lâmina e é realizado um RTA de 420°C durante 20 segundos, para fusão dos contatos ôhmicos;
13. É depositado, Si_3N_4 para a isolamento elétrica do dispositivo. A estrutura completa, incluindo as conexões elétricas é vista em 4.1(e);

O substrato usado é o crescido pela técnica LEC, como exposto no capítulo 2. A implantação da região do canal, é realizada com o substrato inclinado de 15° , a fim de minimizar o efeito de canalização dos íons [11], enquanto, as implantações para as regiões de fonte e dreno são realizados com uma inclinação de 7° em relação à normal, a fim de minimizar o espalhamento dos íons sob a região do canal [1].

Para ativar os dopantes, é realizado um RTA F/F (*face-to-face*), em um ambiente de $\text{Ar} + \text{H}_2$ sob pressão, para evitar a perda de arsênico.

O RTA definido no passo 8 se faz necessário para a ativação das implantações realizadas a baixas energias. É esperada uma ativação elétrica próxima dos 100% para as implantações realizadas com o Mg^+ , e próxima de 75% para as implantações realizadas com o Si^+ .

O segundo RTA, definido no passo 9, é necessário para a ativação elétrica das implantações realizadas a energias mais altas. Foi considerada uma ativação elétrica de 70%

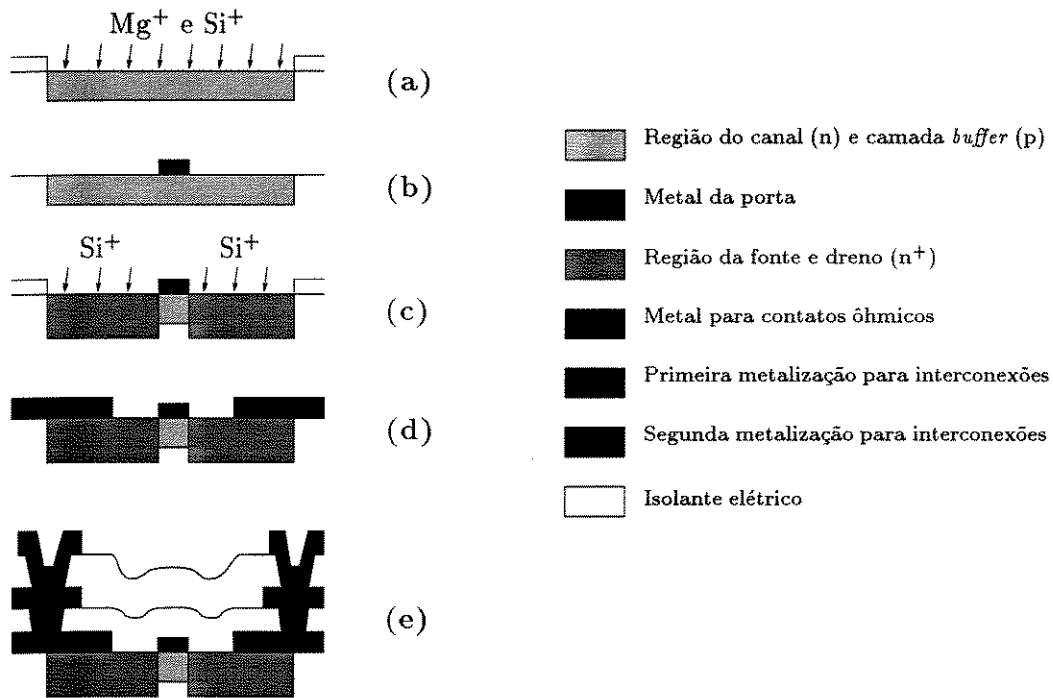


Figura 4.1: Esboço de um processo auto-alinhado para a fabricação de um transistor MES-FET em GaAs. Após a implantação iônica (a) representada pelos passos 1, 2 e 3, o metal da porta é depositado e litografado (passos 4 e 5)(b). As regiões de fonte e dreno são implantadas e tratadas termicamente para a ativação dos portadores implantados às altas e às baixas energias (passos 6, 7, 8 e 9)(c) e a metalização dos contatos ôhmicos é depositada (passos 10 e 11)(d). A estrutura completa inclui (e) fotolitografia, isolamento e realização das conexões elétricas.

para o Si^+ .

4.1 Simuladores

O programa utilizado para se resolver as equações que governam a física de estado sólido, expostas no capítulo 3, é o PRISM, desenvolvido pela universidade de Leuven-Bélgica.

O método utilizado para resolvê-las é o de elementos finitos, permitindo simular uma estrutura de forma arbitrária. Como a idéia deste método é a de dividir a estrutura de malha em triângulos, o tamanho destes determinarão a precisão do cálculo. Como não há necessidade de que os triângulos sejam do mesmo tamanho, pode-se trabalhar com uma maior precisão nas regiões de maior interesse.

Na figura 4.2 é mostrada uma representação vertical da malha usada para a representação do dispositivo MESFET simulado pelo PRISM, na qual podemos ver que a região da porta tem uma malha de estrutura mais fina. Na figura 4.3 se vêem os tipos de dopantes sob cada contato.

A entrada de dados para o PRISM é efetuada com o uso de um arquivo ASCII no qual definem-se as variáveis e condições iniciais das equações que regem a física do estado sólido do dispositivo. No apêndice B é listado um arquivo de entrada típico utilizado nas simulações.

Conforme visto no capítulo 2, o método usado para a dopagem do substrato de GaAs é a implantação iônica. Para simular o perfil obtido após a implantação, usamos o SUPREM, que produz resultados através de algoritmos implementados tanto pelo método de distribuição de Gauss, quanto pelo modelo dos quatro momentos conhecido por Pearson IV. Como a distribuição de Pearson IV produz resultados mais exatos, ela foi adotada em todas as simulações. No apêndice C é listado um arquivo de entrada de dados típico, utilizado nestas simulações.

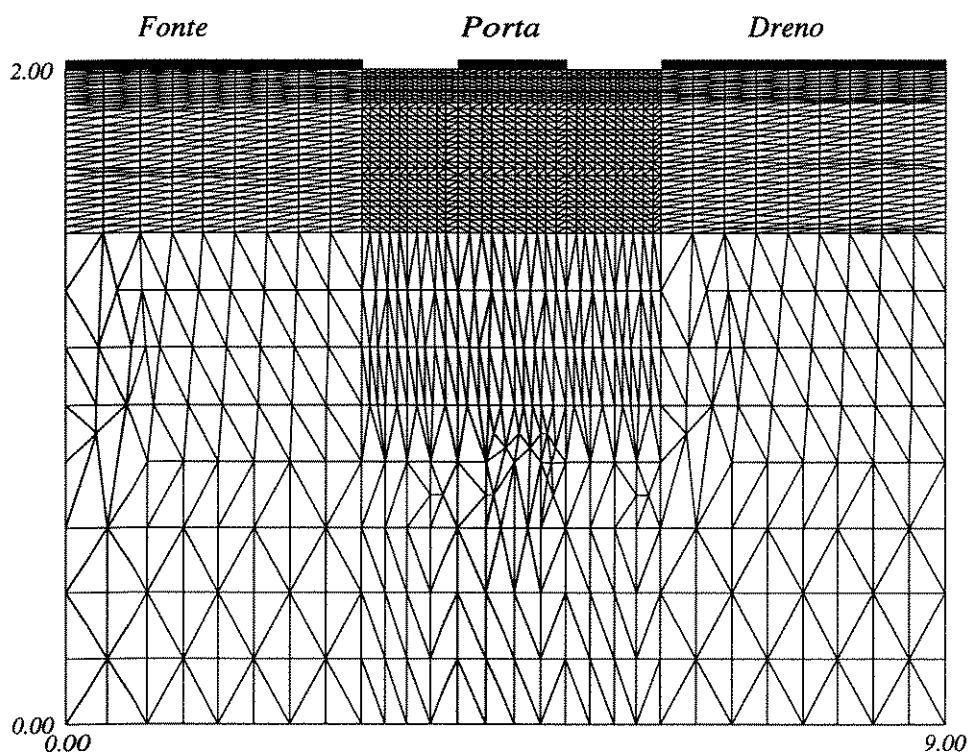


Figura 4.2: Esboço do dispositivo MESFET simulado pelo PRISM após o estabelecimento da malha de triângulos usada pelo método de elementos finitos para o cálculo de suas características.

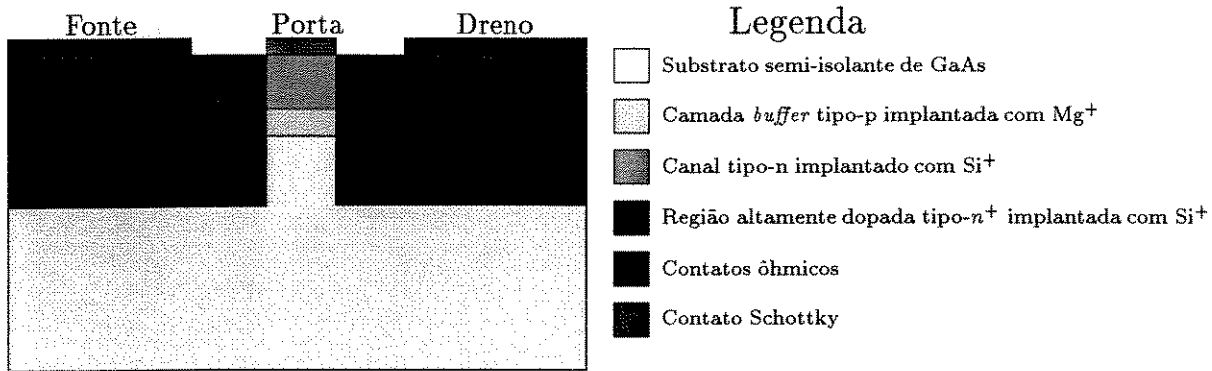


Figura 4.3: Esboço do corte vertical do MESFET da figura 4.2, no qual podem-se ver os tipos de dopantes.

4.2 Definição da camada altamente dopada (n^+)

É desejado que as características elétricas da junção formada entre os contatos e as regiões de fonte e dreno sejam as mais próximas de um comportamento ôhmico. Como há o aparecimento de cargas espaciais nesta junção, para que seja possível a formação de um contato com características ôhmicas, é necessário que haja um estreitamento desta região de cargas espaciais, de tal modo que os elétrons a atravessem para pequenas diferenças de potencial. Este efeito é conhecido por tunelamento.

Para estreitar a barreira de potencial, faz-se uma alta dopagem de substrato com dopantes do tipo-n para GaAs, no nosso caso Si^+ . É desejado também que a dopagem dos contatos desta região alcance uma profundidade maior do que da região do canal, para minimizar a resistência entre fonte e dreno.

Como a energia das implantações da região do canal atinge no máximo 50 keV , a energia de implantação da região dos contatos deve ser igual ou superior à utilizada no canal. Nas nossas simulações, o valor de 50 keV foi suficiente para obter uma região densamente dopada até uma profundidade de $0.15\ \mu m$.

Doses de implantações para os contatos acima de $1,0 \cdot 10^{14}\text{ cm}^{-2}$ são impraticáveis, pois o GaAs apresenta uma solubilidade com átomos de Si de aproximadamente $5,0 \cdot 10^{18}\text{ cm}^{-3}$. É observado também que há uma dificuldade maior na reconstrução do cristal, devido a amorfização deste.

Para se determinar o valor da dose da implantação foi considerado, além da profundidade, o espalhamento lateral dos dopantes, já que estes, ao penetrarem sob a região do canal, alteram as características elétricas do dispositivo.

O valor de dose de $5,0 \cdot 10^{13} \text{ cm}^{-2}$ e energia de 50 keV para implantação de Si^+ atende às considerações acima. Na figura 4.4 é mostrado um esboço bidimensional da implantação de Si^+ em GaAs com dose de $5 \cdot 10^{13} \text{ cm}^{-2}$ e energia de 50 keV . Notar que obtém-se uma região com densidade de dopantes acima de $1,0 \cdot 10^{18} \text{ cm}^{-3}$ a uma profundidade que varia de 0 a $0,15 \mu\text{m}$. Na figura 4.5 é mostrado o perfil de implantações, enfatizando a largura efetiva desta camada.

Infelizmente, não é possível simular os efeitos do espalhamento lateral nas características elétricas do dispositivo com o programa PRISM.

4.3 A Camada *Buffer* e os Contatos

Uma das funções desta camada é a de minimizar as variações elétricas causadas pela presença de um outro dispositivo próximo, o *backgating*, que pode ser evitado também com um posicionamento adequado dos dispositivos.

Uma outra função da camada *buffer* é a de tornar mais abrupto o perfil dos dopantes sob a região do canal, pois sendo o *buffer* constituído de dopantes do tipo-p para o GaAs, estes tenderão a se cancelar mutuamente e a cauda gerada pela implantação será menos extensa.

Neste trabalho foi avaliado o desempenho elétrico do dispositivo para diferentes implantações de Mg^+ para a camada *buffer* e para a sua ausência. Em particular foram analisados quatro diferentes conjuntos de implantações, a saber: 1- sem implantação; 2- dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV ; 3- dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV ; 4- dose de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ e energia de 200 keV .

Para efeito de simulação, o valor da resistência do contato Au/WSiN/Au/Ni/Ge foi considerado nulo.

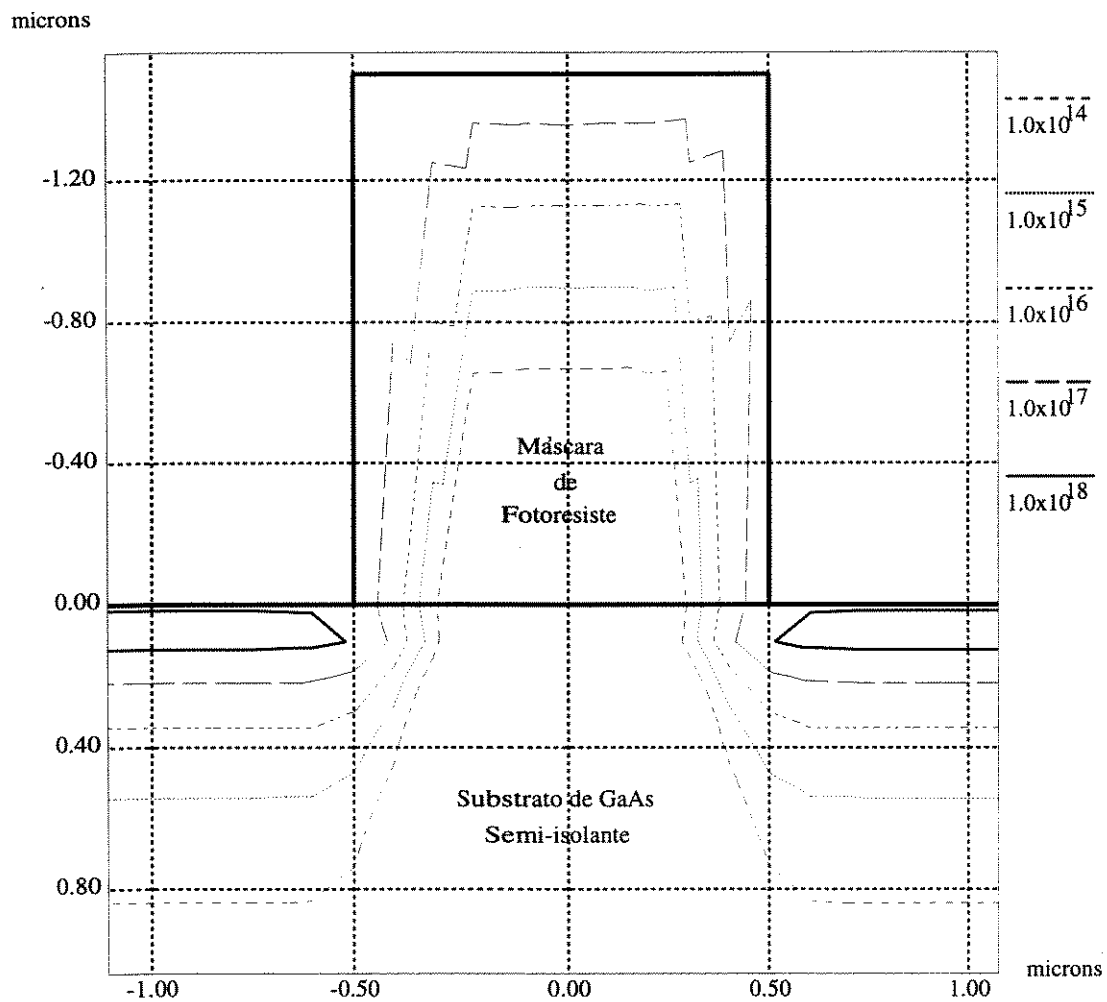


Figura 4.4: Perfil de concentração de Si^+ em GaAs com dose de $5.10^{13} \text{ cm}^{-2}$ e energia de 50 keV , mostrando o espalhamento lateral sob a porta. É considerada uma ativação de 70%.

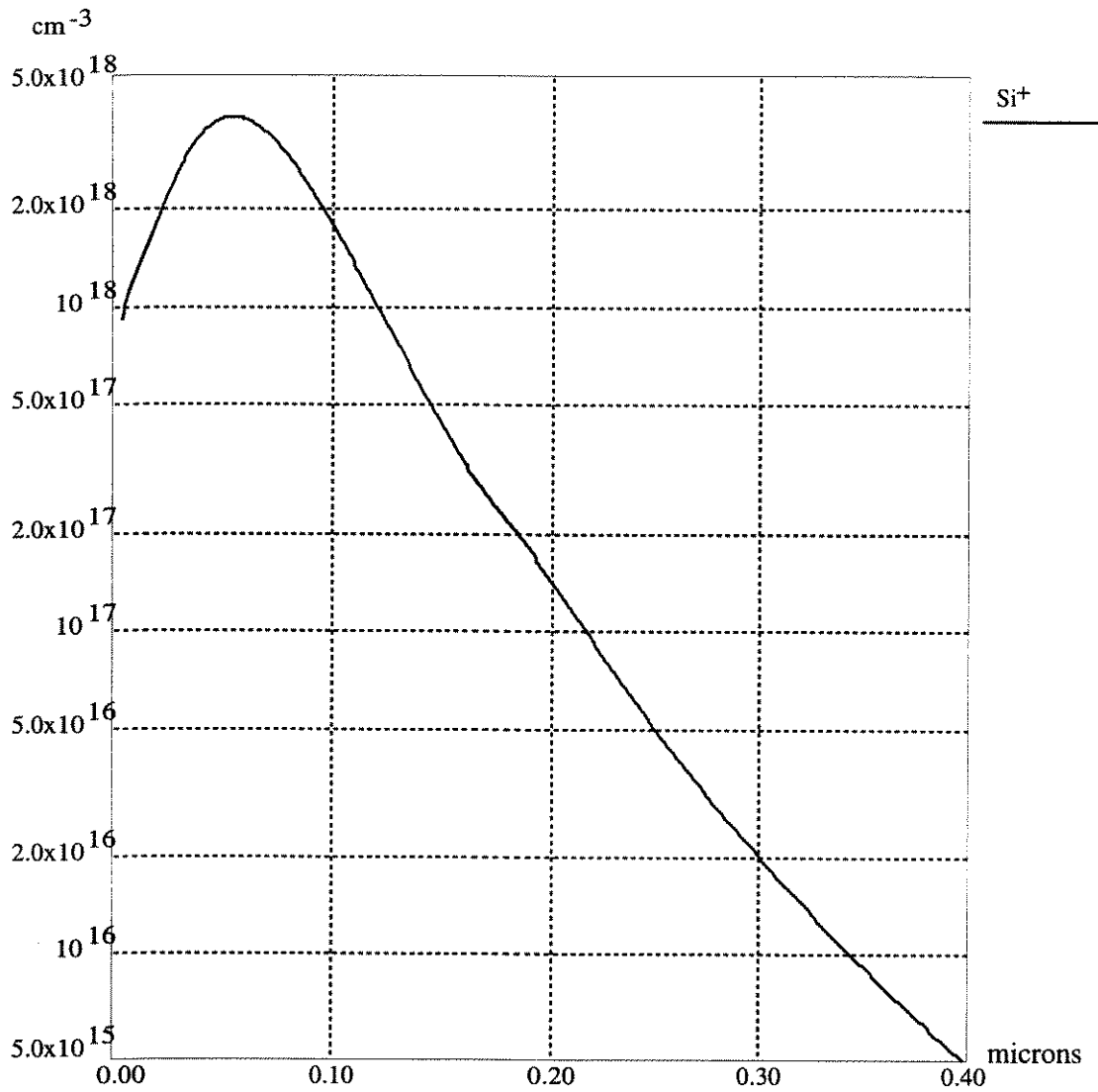


Figura 4.5: Perfil de implantação de Si^+ em GaAs com dose de $5.10^{13} \text{ cm}^{-2}$ e energia de 50 keV . É considerada uma ativação de 70%.

4.4 Simulações Elétricas

As características da implantação da região do canal foram obtidas através de simulações elétricas do dispositivo, usando os programas PRISM e SUPREM interativamente¹.

Dependendo da aplicação desejada, podem-se obter várias configurações de implantações, para a realização de dispositivos usados para amplificadores, portas digitais, chaves analógicas e outros. Como há um grande interesse em obter circuitos digitais cada vez mais velozes, e uma vez que a faixa de operação dos transistores de arseneto de gálio estão na ordem de *gigahertz*, a atenção deste trabalho foi a de obter transistores especificamente para este tipo de aplicação.

Como nos transistores MOSFET fabricados em Si, o MESFET pode ser obtido em dois modos básicos, o transistor de depleção (MESFET-D) e o transistor de enriquecimento (MESFET-E). A diferença entre ambos está na quantidade de dopantes introduzidos no canal.

Para que se possa obter o MESFET-E a quantidade de portadores introduzidos deve ser suficientemente pequena para que não haja condução de cargas para qualquer valor de tensão aplicado entre os terminais de porta e dreno². Isso é obtido fazendo com que a dose de implantação dos dopantes seja pequena e com uma baixa energia.

Para a fabricação de MESFET-D, a quantidade de dopantes introduzidos no canal deve ser o bastante, para que, mesmo quando $V_{GS} = 0 V$, haja corrente de dreno com qualquer diferença de tensão entre fonte e dreno. A condição de corte é obtida quando aplica-se um tensão V_{GS} de modo a polarizar reversamente o canal. Isto faz com que a camada de cargas espaciais se aprofunde sob a porta, diminuindo a quantidade de portadores livres. Para se obter este tipo de transistor, é necessário fazer com que a dose de implantação dos dopantes seja mais alta do que a utilizada no MESFET-E e suficientemente baixa, para que pequenas diferenças de tensão entre porta e fonte sejam o bastante para fechar completamente o canal.

Como o objetivo é a construção de transistores para aplicações digitais, é ne-

¹Os dados obtidos pelo programa SUPREM foram gerados em uma única direção, e gravados em um arquivo ASCII para que o programa PRISM pudesse lê-los adequadamente.

²O intervalo considerado é o que está dentro da faixa de operação do dispositivo, quando $V_{GS} = 0 V$.

cessário manter a tensão de limiar em níveis baixos para que seja possível utilizar ambos os transistores em operações complementares. A tensão máxima que pode ser obtida entre a porta e fonte do MESFET-E, antes que este entre em condução, é de aproximadamente 0,6 V, devido à tensão Schottky que aparece no terminal da porta. Assim, os transistores MESFET-D devem acompanhar este valor, ou seja, o módulo da tensão de limiar ($|V_t|$) deverá ser aproximadamente 0,6 V.

4.4.1 Os Transistores de Enriquecimento e Depleção

As simulações das implantações de Si^+ na região do canal, para obter transistores MESFET-E e MESFET-D, foram realizadas para dois valores de energia, 50 keV e 30 keV, nas doses de $1,0 \cdot 10^{12}$, $1,5 \cdot 10^{12}$, $1,7 \cdot 10^{12}$, $2,0 \cdot 10^{12}$, $2,2 \cdot 10^{12}$, $2,5 \cdot 10^{12}$ e $3,0 \cdot 10^{12} \text{ cm}^{-2}$. O uso destas doses cobrem a faixa dos valores de doses necessárias para a fabricação de transistores para aplicações digitais.

O conjunto de implantações citado acima foi realizado para diferentes valores de implantação da camada *buffer* de Mg^+ com as doses e energias seguintes: sem implantação, com dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV, dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV e dose de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ e energia de 200 keV. A razão do uso destes valores é a de verificar a variação elétrica do dispositivo em função da variação desta camada.

As tabelas 4.1, 4.2, 4.3 e 4.4 mostram os resultados obtidos para os valores de V_t e da constante de condutividade calculados pela equação abaixo:

$$I_d = K(V_{GS} - V_t)^2 \quad \text{p/ } V_{DS} > V_{GS} - V_t \quad (4.1)$$

esta equação é a forma abreviada da equação 3.28, aonde está considerada apenas a variação quadrática da corrente em função de V_{GS} , quando o transistor está na região de saturação.

É importante observar que para o cálculo destes valores, o transistor deve se encontrar na região de saturação, para tanto, foi utilizado o valor de $V_{DS} = 4 \text{ V}$.

Apesar de ter-se valores de tensões de limiar para todas as implantações realizadas, nem todas produziram perfis interessantes, ou aceitáveis. As implantações realizadas

Dose Si ⁺ 30 keV (cm ⁻²)	Dose de Mg ⁺ para a camada Buffer (cm ⁻²)			
	1,0.10 ¹¹	3,0.10 ¹²	9,0.10 ¹¹	sem buffer
	V_t (V)			
1,0.10 ¹²	0,2536	-0,2734	0,2689	-0,8815
1,5.10 ¹²	-0,004	-0,2762	0,0295	-1,078
1,7.10 ¹²	-0,072	-0,3278	-0,0714	-1,150
2,0.10 ¹²	-0,266	-0,3026	-0,2230	-0,5600
2,2.10 ¹²	-0,311	-0,7772	-0,2784	-1,459
2,5.10 ¹²	-0,459	-1,374	-0,4138	-0,7159
3,0.10 ¹²	-0,768	-1,085	-0,6441	-1,074

Tabela 4.1: Tensões de limiar (V_t) em função da dose de implantação de Si⁺ a 30 keV no canal, com camada *buffer* implantada com Mg⁺ com dose e energias de: 1,0.10¹¹ cm⁻² a 200 keV, 9,0.10¹¹ cm⁻² a 150 keV, 3,0.10¹² cm⁻² a 200 keV.

Dose Si ⁺ 30 keV (cm ⁻²)	Dose de Mg ⁺ para a camada Buffer (cm ⁻²)			
	1,0.10 ¹¹	3,0.10 ¹²	9,0.10 ¹¹	sem buffer
	K			
1,0.10 ¹²	1,936	0,3856	1,6967	0,1616
1,5.10 ¹²	1,211	0,7476	1,2325	0,2082
1,7.10 ¹²	1,220	0,7837	1,1018	0,2246
2,0.10 ¹²	0,8993	0,0129	0,9525	0,4943
2,2.10 ¹²	1,103	0,4145	1,0959	0,1437
2,5.10 ¹²	0,9665	0,1480	1,0306	0,8464
3,0.10 ¹²	0,6668	0,4642	0,9480	0,4995

Tabela 4.2: Constantes de proporcionalidade (K) em função da dose de implantação de Si⁺ a 30 keV no canal, com camada *buffer* implantada com Mg⁺ com dose e energias de: 1,0.10¹¹ cm⁻² a 200 keV, 9,0.10¹¹ cm⁻² a 150 keV, 3,0.10¹² cm⁻² a 200 keV.

Dose Si ⁺ 50 keV (cm ⁻²)	Dose de Mg ⁺ para a camada <i>Buffer</i> (cm ⁻²)			
	1,0.10 ¹¹	3,0.10 ¹²	9,0.10 ¹¹	sem <i>buffer</i>
	<i>V_t</i> (V)			
1,0.10 ¹²	0,1764	-0,0344	0,2134	-0,1004
1,5.10 ¹²	-0,134	-0,3375	-0,0668	-0,4911
1,7.10 ¹²	-0,243	-0,4415	-0,1918	-0,5843
2,0.10 ¹²	-0,394	—	-0,3715	-0,7778
2,2.10 ¹²	-0,541	-1,237	-0,479	-0,9262
2,5.10 ¹²	-0,728	—	-0,639	-1,249
3,0.10 ¹²	-1,06	-1,135	-0,9935	-1,654

Tabela 4.3: Tensões de limiar (V_t) em função da dose de implantação de Si⁺ a 50 keV no canal, com camada *buffer* implantada com Mg⁺ com dose e energias de: 1,0.10¹¹ cm⁻² a 200 keV, 9,0.10¹¹ cm⁻² a 150 keV, 3,0.10¹² cm⁻² a 200 keV.

Dose Si ⁺ 50 keV (cm ⁻²)	Dose de Mg ⁺ para a camada <i>Buffer</i> (cm ⁻²)			
	1,0.10 ¹¹	3,0.10 ¹²	9,0.10 ¹¹	sem <i>buffer</i>
	<i>K</i>			
1,0.10 ¹²	1,469	1,1476	1,5312	0,8646
1,5.10 ¹²	0,9485	0,7645	1,0776	0,5626
1,7.10 ¹²	0,8594	0,7189	0,9288	0,5722
2,0.10 ¹²	0,8492	—	0,7892	0,5615
2,2.10 ¹²	0,6963	0,2054	0,7571	0,5055
2,5.10 ¹²	0,6199	—	0,7240	0,3545
3,0.10 ¹²	0,5010	0,486	0,5315	0,2895

Tabela 4.4: Constantes de proporcionalidade (K) em função da dose de implantação de Si⁺ a 50 keV no canal, com camada *buffer* implantada com Mg⁺ com dose e energias de: 1,0.10¹¹ cm⁻² a 200 keV, 9,0.10¹¹ cm⁻² a 150 keV, 3,0.10¹² cm⁻² a 200 keV.

na camada *buffer* de Mg^+ de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV , e com a dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ com energia de 150 keV foram as que mostraram melhores resultados.

Como é de nosso interesse que os dispositivos sejam fabricados para aplicações digitais e como a máxima tensão V_{GS} que pode ser aplicada no MESFET-E, sem que o diodo formado pela junção da porta entre em condução, é de aproximadamente de $0,6 \text{ V}$, esta é a máxima tensão de limiar que o MESFET-D pode possuir.

Tendo isto como princípio, pode-se selecionar algumas implantações que satisfazem esta condição, mostradas nas tabelas 4.5, 4.6, 4.7 e 4.8.

Dose de Si^+ no canal (cm^{-2}), implantada a 30 keV
e *Buffer* de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV

$1,0 \cdot 10^{12}$	$1,5 \cdot 10^{12}$	$2,5 \cdot 10^{12}$	$3,0 \cdot 10^{12}$
---------------------	---------------------	---------------------	---------------------

$V_t \text{ (V)}$	0,2536	-0,004	-0,459	-0,768
$K \text{ (A/V}^2\text{cm)}$	1,936	1,211	0,9665	0,6668
	MESFET-E		MESFET-D	

Tabela 4.5: Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 30 keV no canal e uma implantação da camada *buffer* de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV .

Dose de Si^+ no canal (cm^{-2}), implantada a 30 keV
e *Buffer* de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV

$1,5 \cdot 10^{12}$	$1,7 \cdot 10^{12}$	$2,5 \cdot 10^{12}$	$3,0 \cdot 10^{12}$
---------------------	---------------------	---------------------	---------------------

$V_t \text{ (V)}$	0,0295	-0,0714	-0,4138	-0,6441
$K \text{ (A/V}^2\text{cm)}$	1,2325	1,1018	1,0306	0,9480
	MESFET-E		MESFET-D	

Tabela 4.6: Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 30 keV no canal e uma implantação da camada *buffer* de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV .

As características dos MESFETs correspondentes são mostradas nas figuras 4.6

Dose de Si^+ no canal (cm^{-2}), implantada a 50 keV
e Buffer de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV

$1,0 \cdot 10^{12}$	$1,5 \cdot 10^{12}$	$2,2 \cdot 10^{12}$	$2,5 \cdot 10^{12}$
---------------------	---------------------	---------------------	---------------------

V_t (V)	0,1764	-0,134	-0,541	-0,728
K ($\text{A}/\text{V}^2\text{cm}$)	1,469	0,9485	0,6963	0,6199
	MESFET-E		MESFET-D	

Tabela 4.7: Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 50 keV no canal e uma implantação da camada *buffer* de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 200 keV.

Dose de Si^+ no canal (cm^{-2}), implantada a 50 keV
e Buffer de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV

$1,0 \cdot 10^{12}$	$1,5 \cdot 10^{12}$	$2,2 \cdot 10^{12}$	$2,5 \cdot 10^{12}$
---------------------	---------------------	---------------------	---------------------

V_t (V)	0,2134	-0,0668	-0,479	-0,639
K ($\text{A}/\text{V}^2\text{cm}$)	1,5312	1,0776	0,7571	0,7240
	MESFET-E		MESFET-D	

Tabela 4.8: Tensões de limiar (V_t) e constantes de proporcionalidade (k) em função da dose de implantação de Si^+ a 50 keV no canal e uma implantação da camada *buffer* de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ a 150 keV.

– 4.13. As características dos transistores MESFET-E foram obtidas com $V_{GS} = 0,5 V$. Isto é feito para permitir a visualização, pois a corrente de dreno tende a zero quando $V_{GS} = 0 V$.

Dos perfis apresentados, há dois interessantes, o da figura 4.8(b), implantado com Si^+ a uma dose de $1,7 \cdot 10^{12} cm^{-2}$ e energia de $30 keV$ que é um MESFET-E, e o da figura 4.9(b), implantado com Si^+ com uma dose de $3,0 \cdot 10^{12} cm^{-2}$ e energia de $30 keV$ que é um MESFET-D, ambos com uma camada *buffer* de Mg^+ de dose $9,0 \cdot 10^{11} cm^{-2}$ e energia de $150 keV$. Nota-se, da tabela 4.6, que os valores das tensões de limiares (V_t) são $-0,0714$ e $-0,6441 V$ respectivamente. Estes valores estão bem próximos aos desejados para o transistor MESFET-E e MESFET-D.

Apesar de se ter um valor negativo de V_t para o MESFET-E, nota-se que este valor é bem próximo de zero. Como V_t varia com a quantidade de portadores ativados, um ajuste final poderá ser feito na execução do processo de fabricação.

Estes dois perfis são interessantes pois apresentam um mesmo comportamento de corrente versus tensão, para os dois tipos de transistores necessários. Nas figuras 4.14–4.17 são mostrados os perfis de concentrações de elétrons, mobilidades elétricas, densidades de corrente e potências deste dois conjuntos de transistores. Utilizar a figura 4.2 para a localização das regiões de contatos. Observe que as figuras foram obtidas quando os transistores estavam em saturação, em especial, quando $V_{DS} = 4 V$.

Outros dois conjuntos de implantações interessantes são o da figura 4.10, implantado com Si^+ a uma dose de $1,5 \cdot 10^{12} cm^{-2}$ e energia de $50 keV$ que é um MESFET-E, e o da figura 4.11, implantado com Si^+ a uma dose de $2,5 \cdot 10^{12} cm^{-2}$ e energia de $50 keV$ que é um MESFET-D, ambos com uma camada *buffer* de Mg^+ de dose $1,0 \cdot 10^{11} cm^{-2}$ e energia de $200 keV$. Da tabela 4.6 tem-se que os valores das tensões de limiares (V_t) são $-0,134 V$ (MESFET-E) e $-0,728 V$ (MESFET-D), respectivamente. Apesar dos valores de V_t estarem um pouco diferentes dos projetados inicialmente, podem também ser corrigidos durante a execução do processo de fabricação. As implantações realizadas a energia de $30 keV$ permitem um controle mais robusto das cargas sob o canal, por isso as implantações com energia de $50 keV$ não serão usadas.

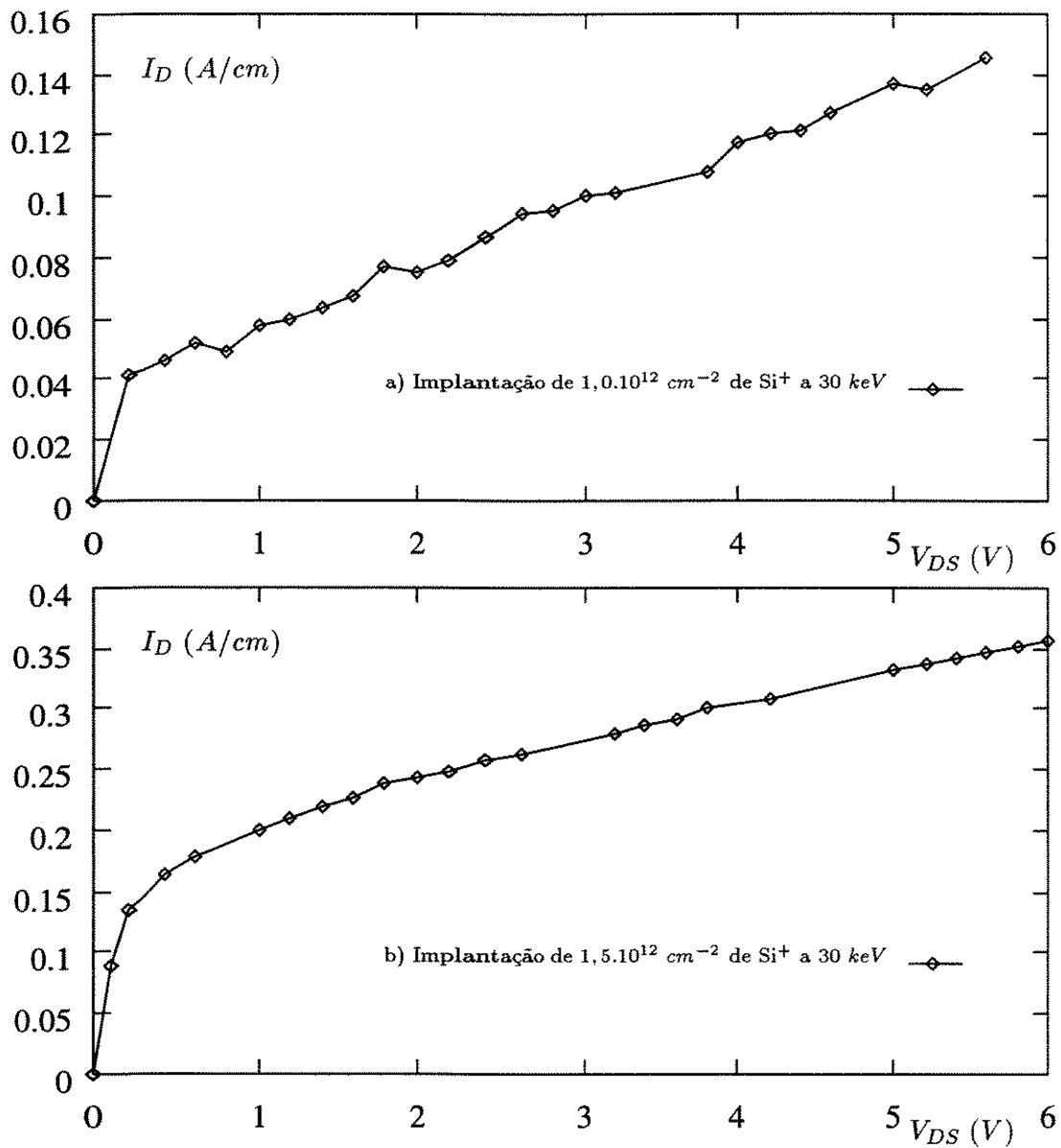


Figura 4.6: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

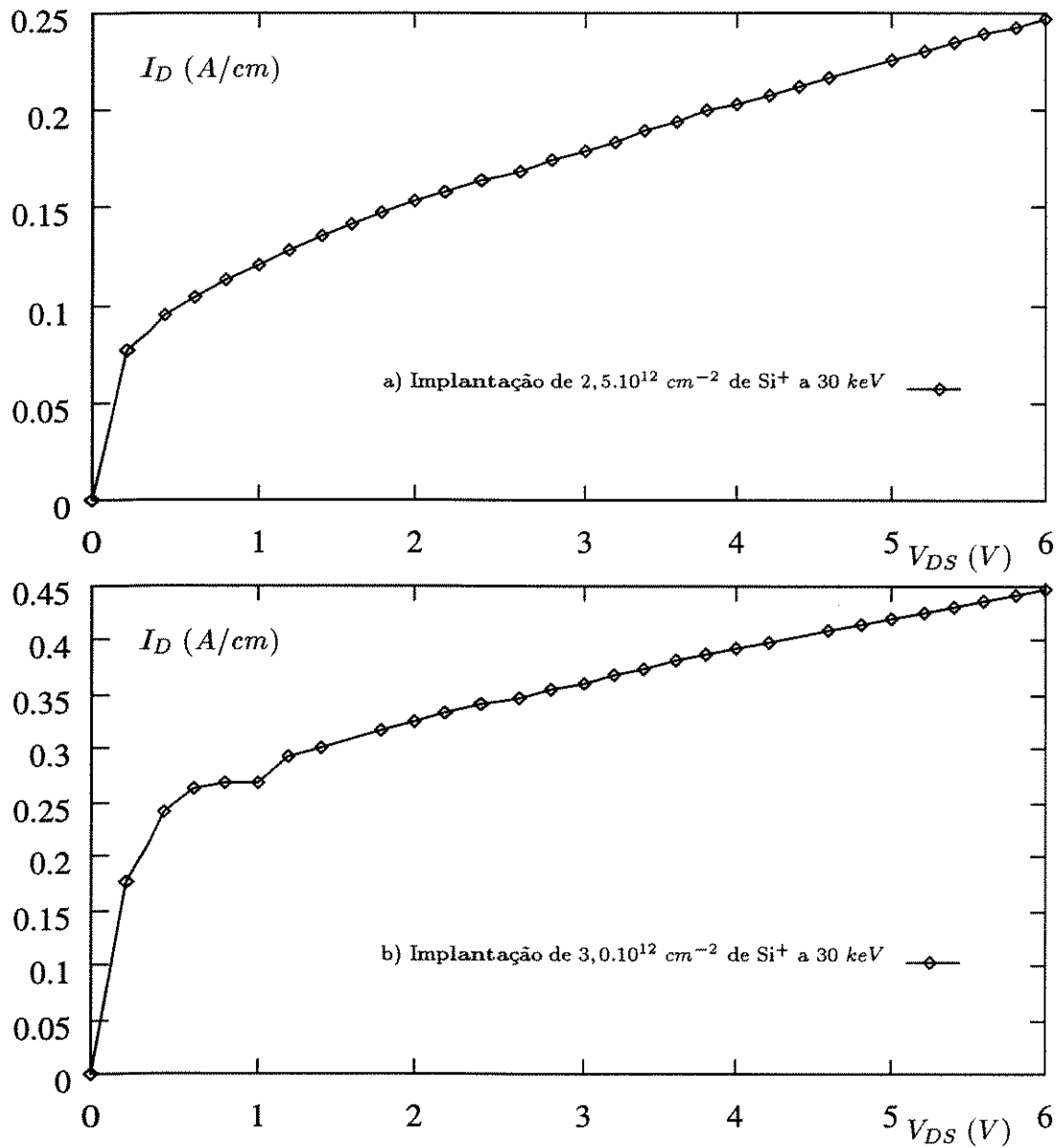


Figura 4.7: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

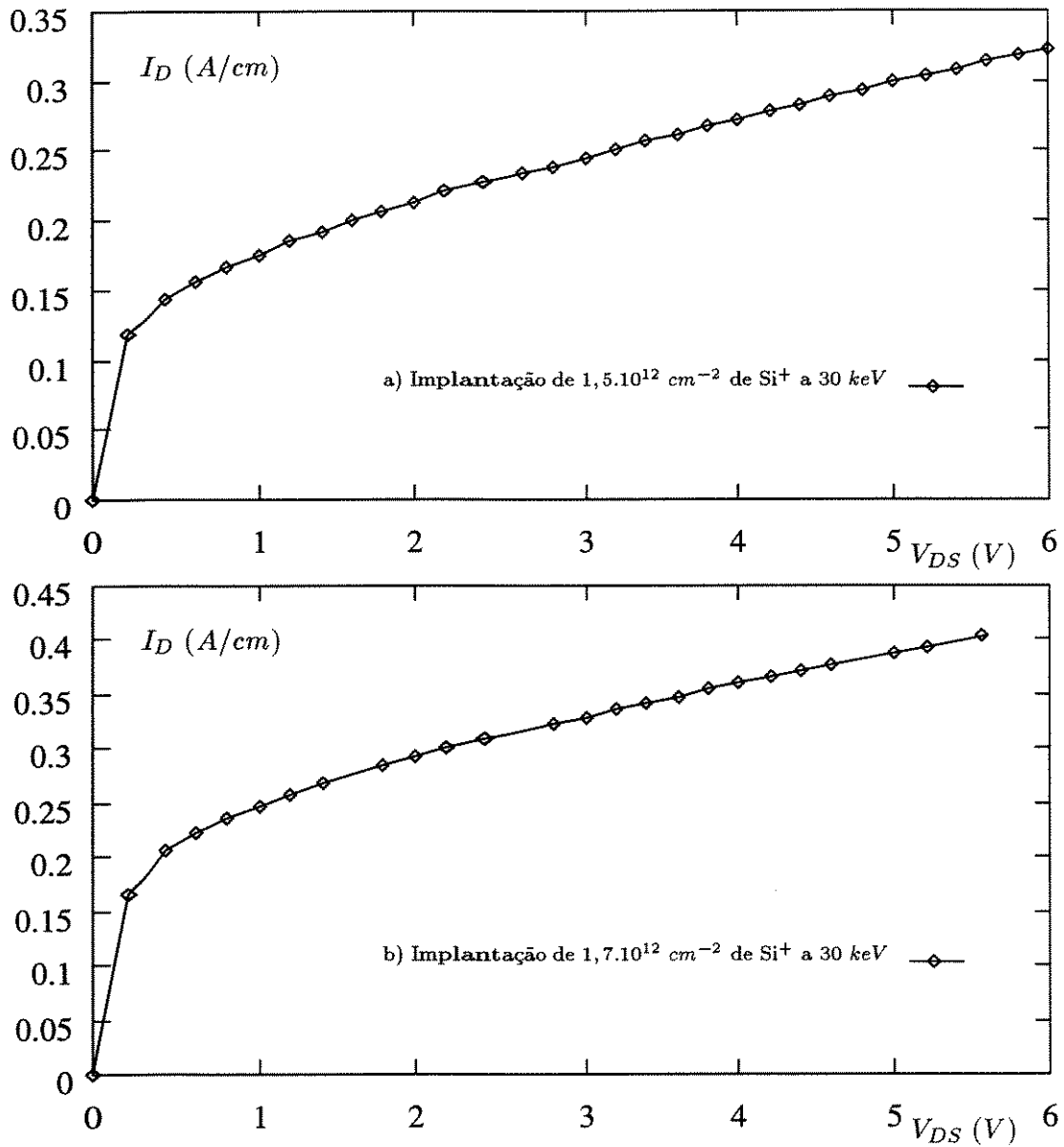


Figura 4.8: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

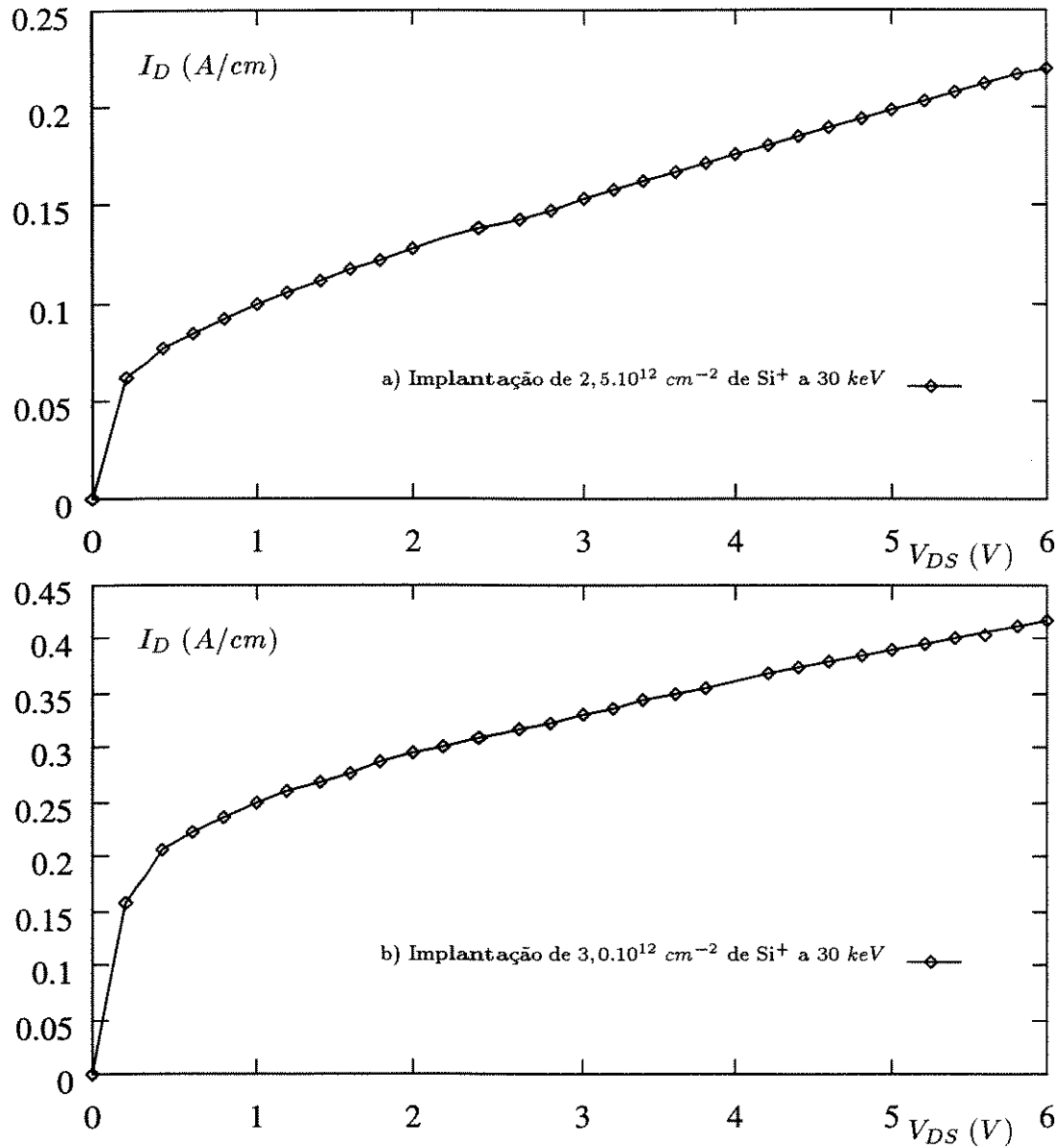


Figura 4.9: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

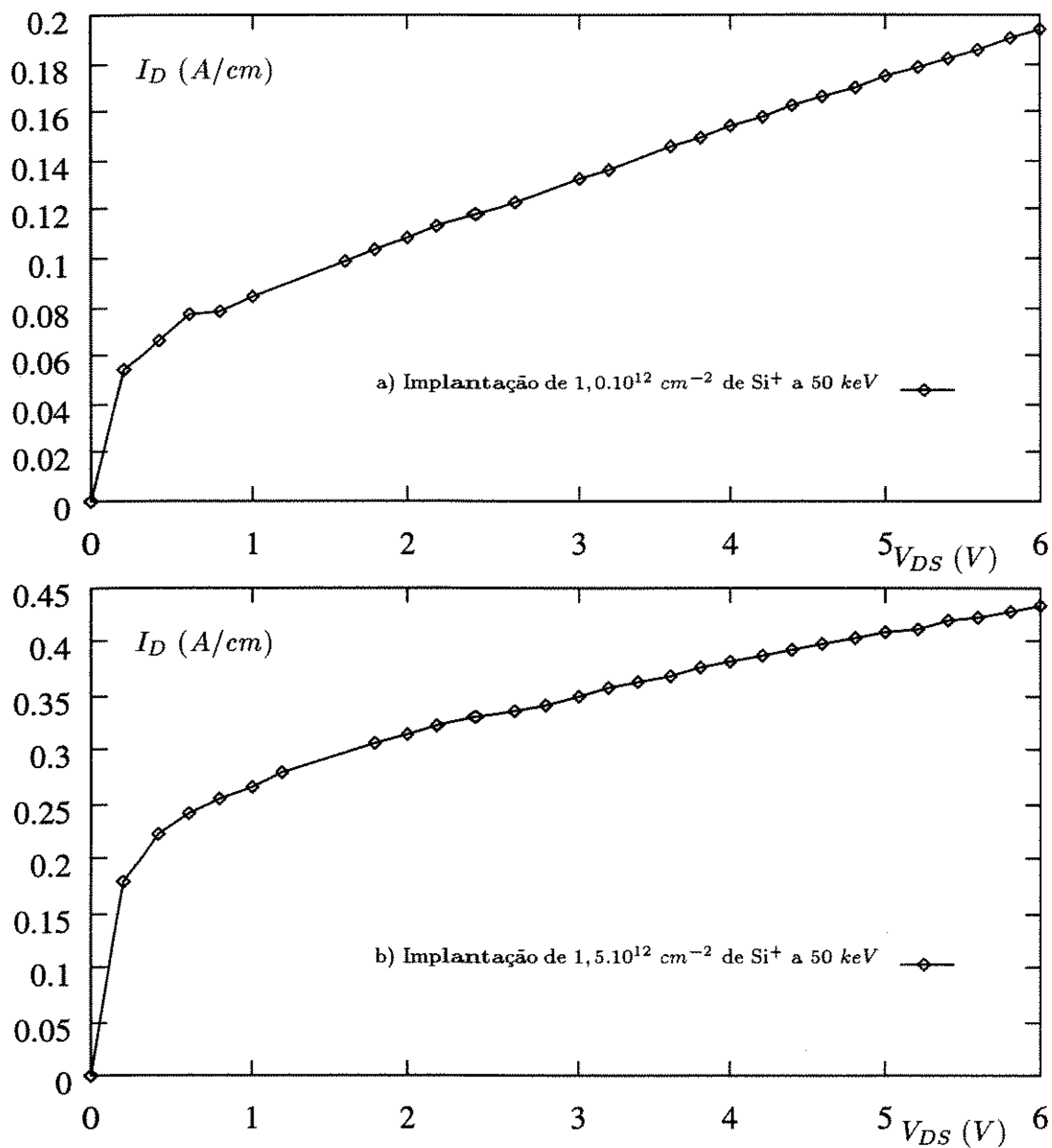


Figura 4.10: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

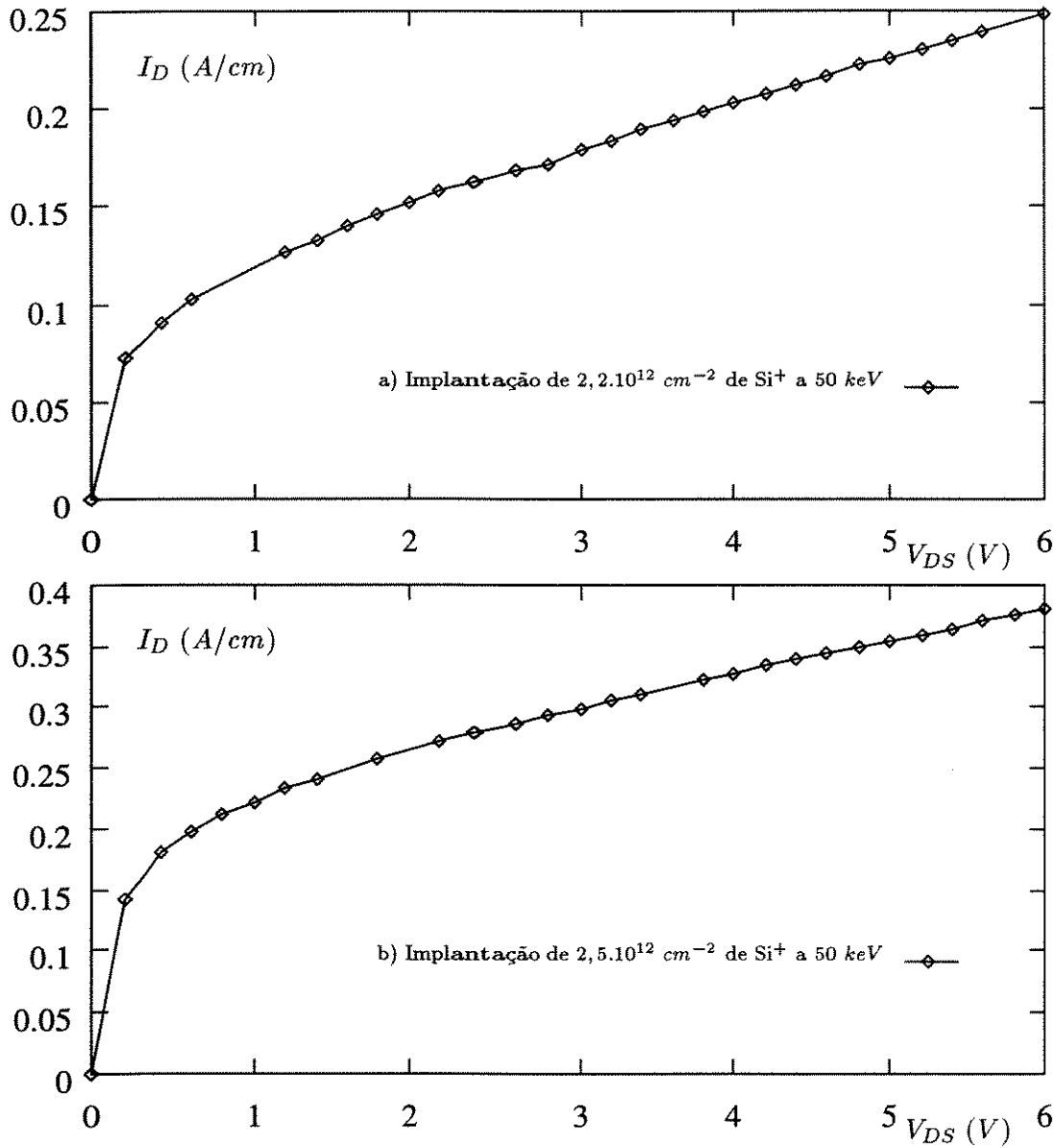


Figura 4.11: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $1,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 200 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

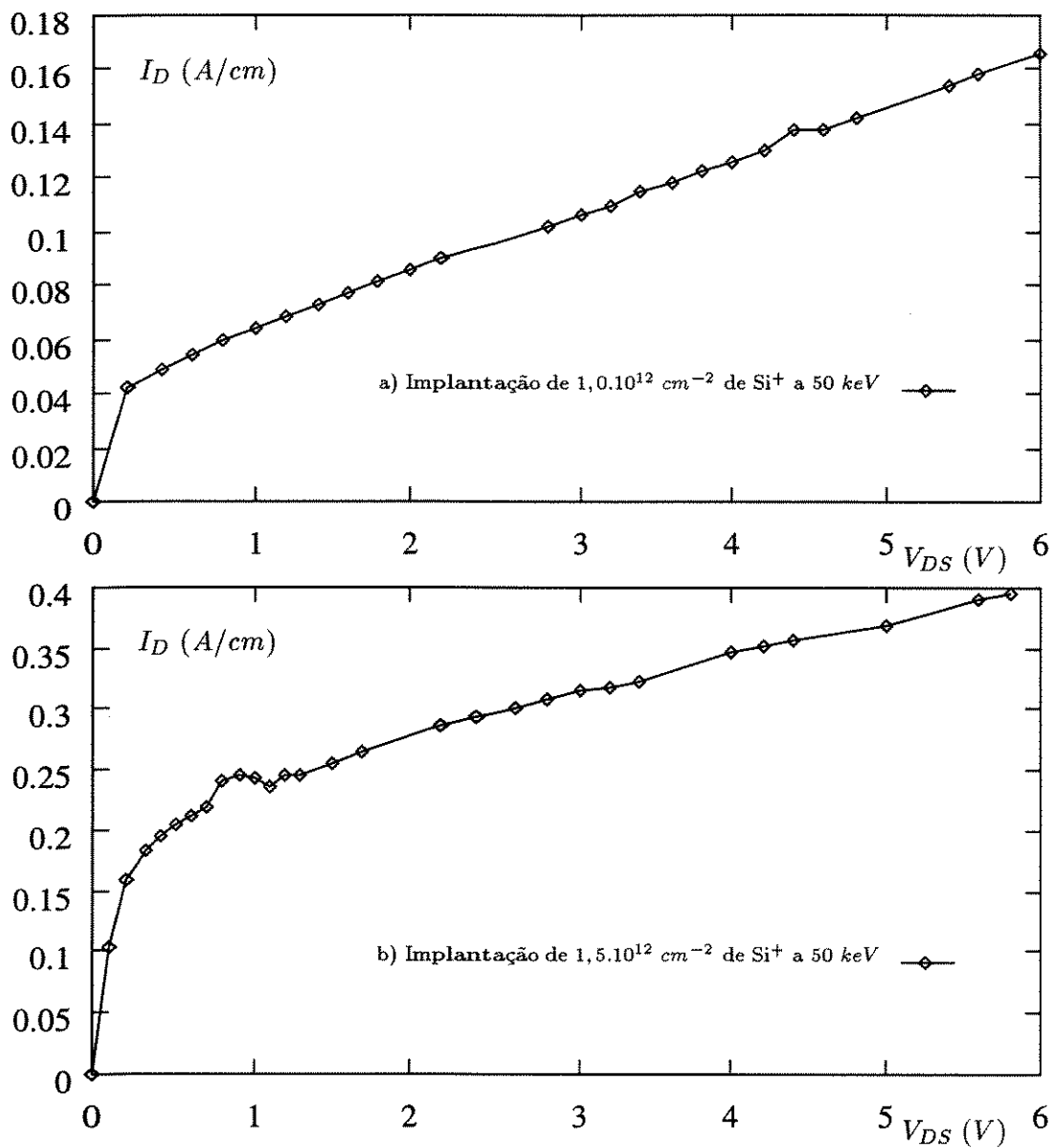


Figura 4.12: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos para $V_{GS} = 0,5 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

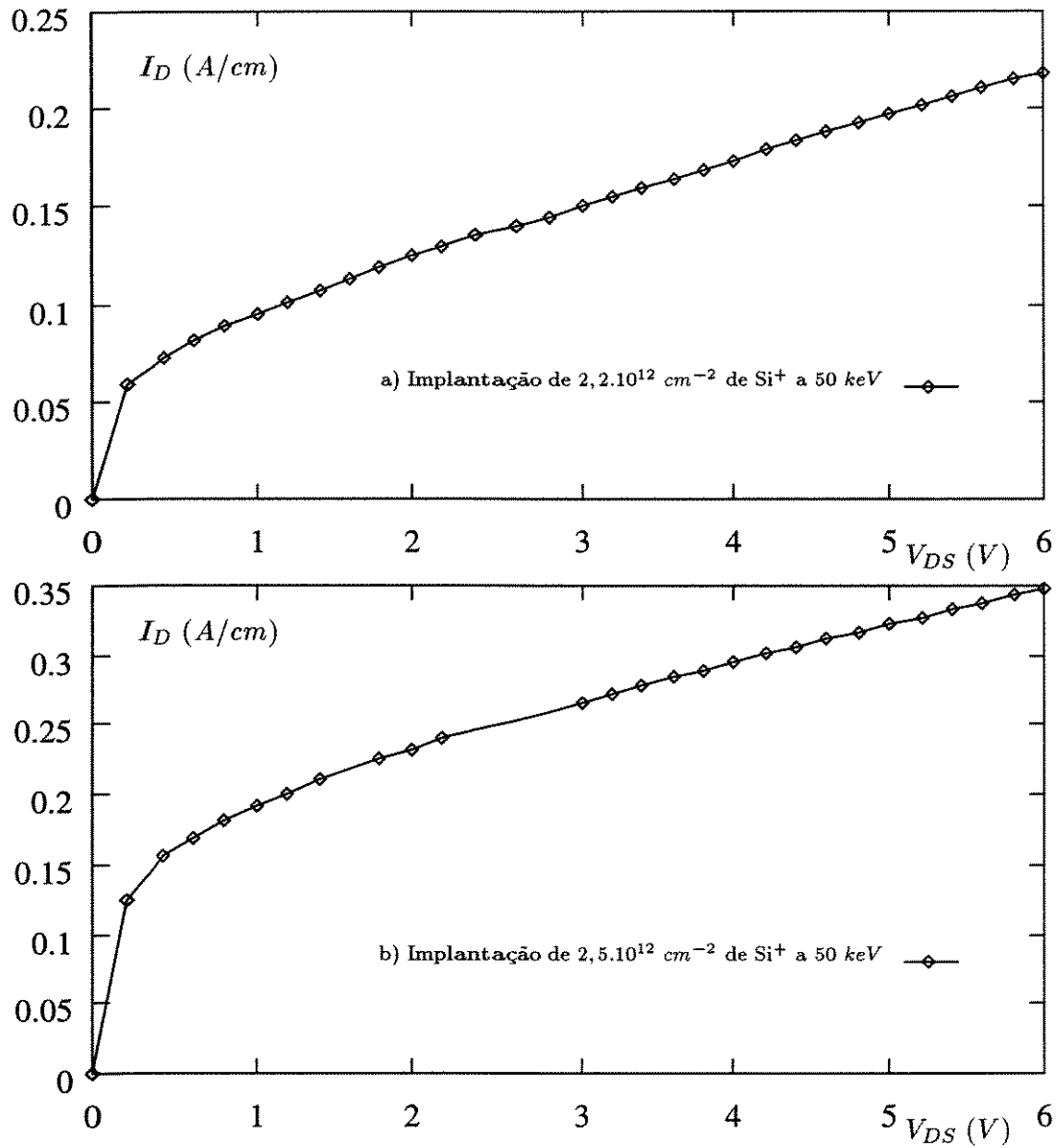
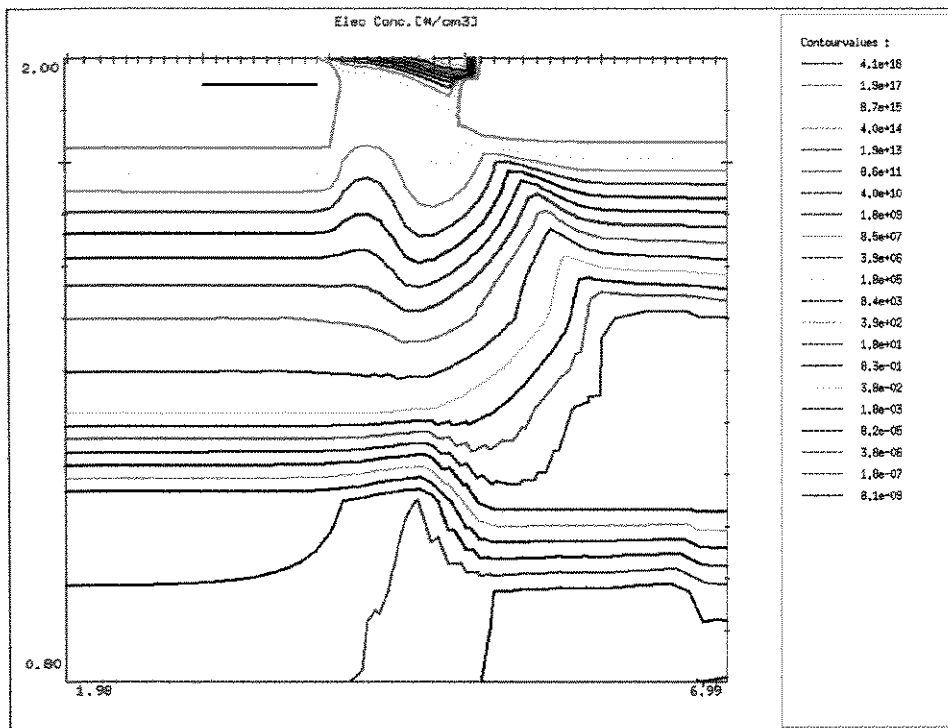
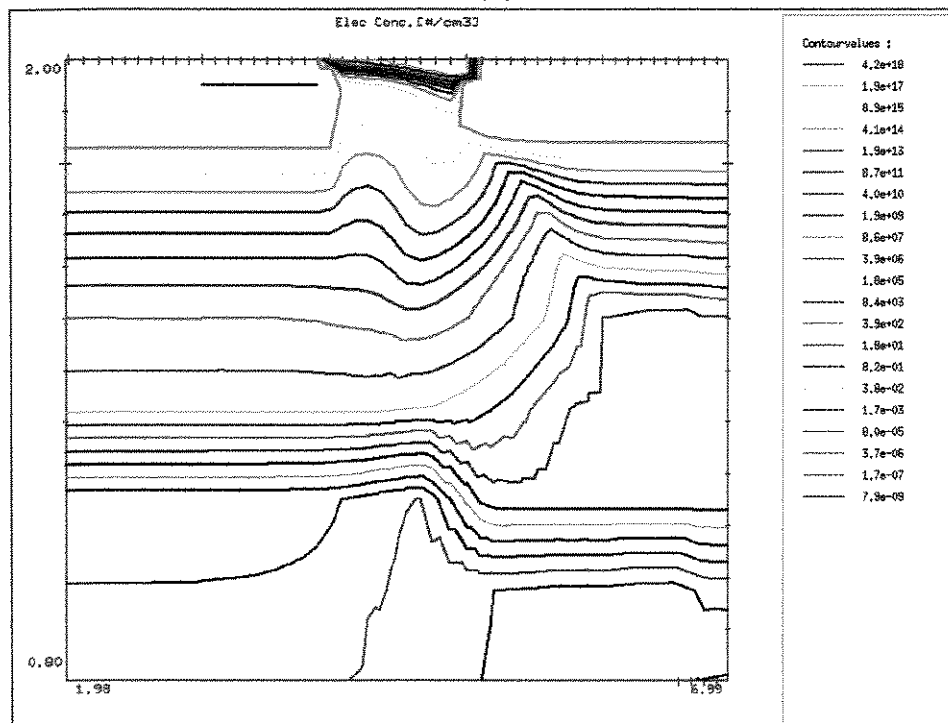


Figura 4.13: Característica de saída ($I_D \times V_{DS}$) de MESFET, *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV . Ambos os gráficos foram obtidos $V_{GS} = 0 \text{ V}$. Os valores das correntes (A/cm) e tensões (V) estão em módulo.

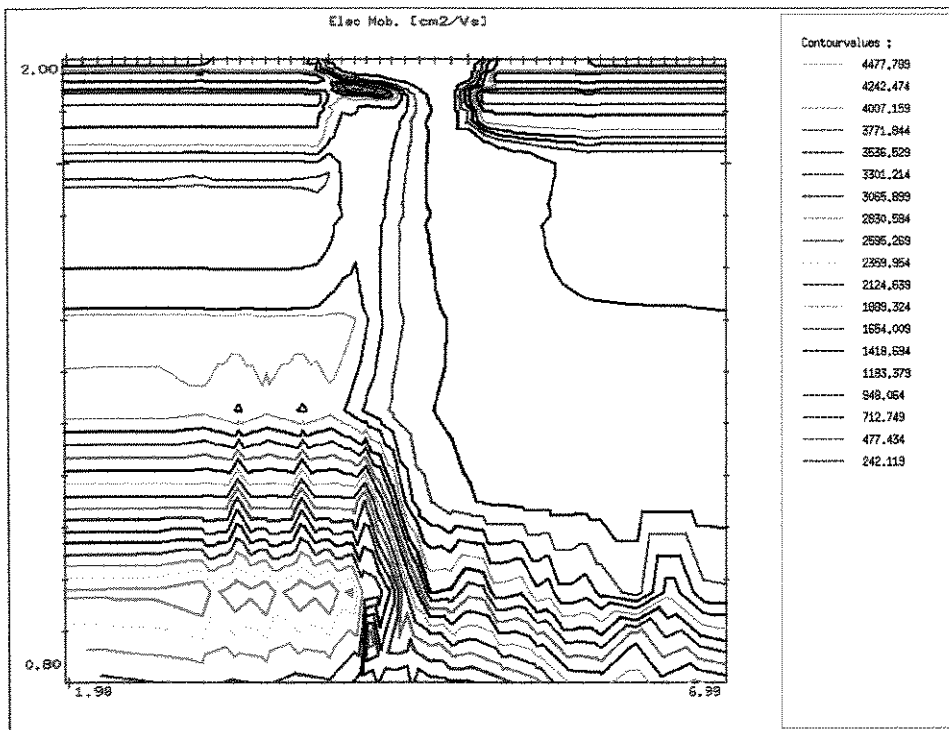


(a)

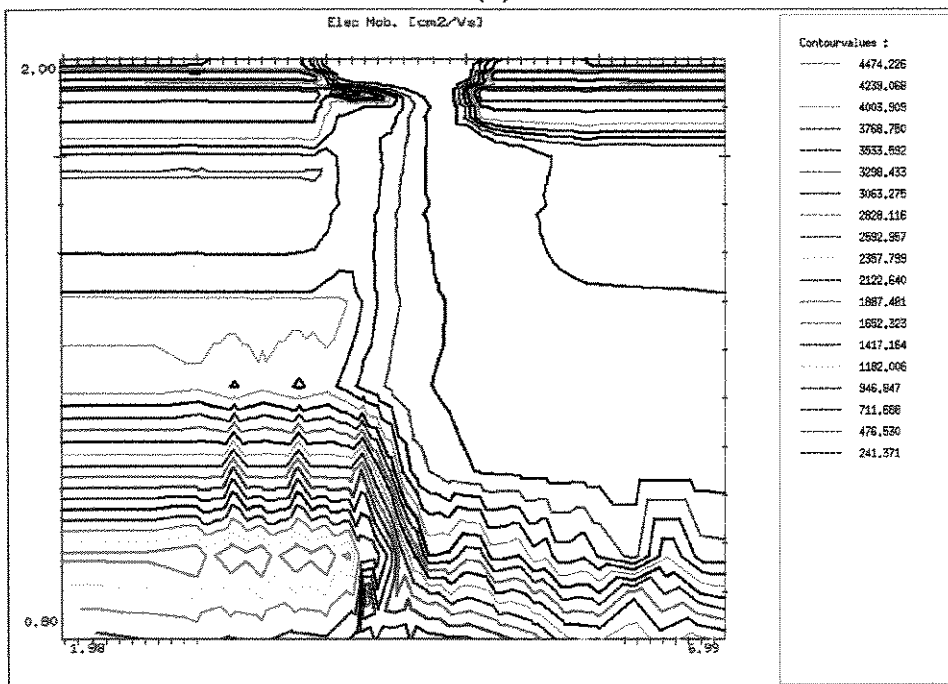


(b)

Figura 4.14: (a) concentração de elétrons do transistor MESFET-E quando $V_{GS}=0,5$ V e $V_{DS}=4$ V; (b) concentração de elétrons do transistor MESFET-D quando $V_{GS}=0$ V e $V_{DS}=4$ V.

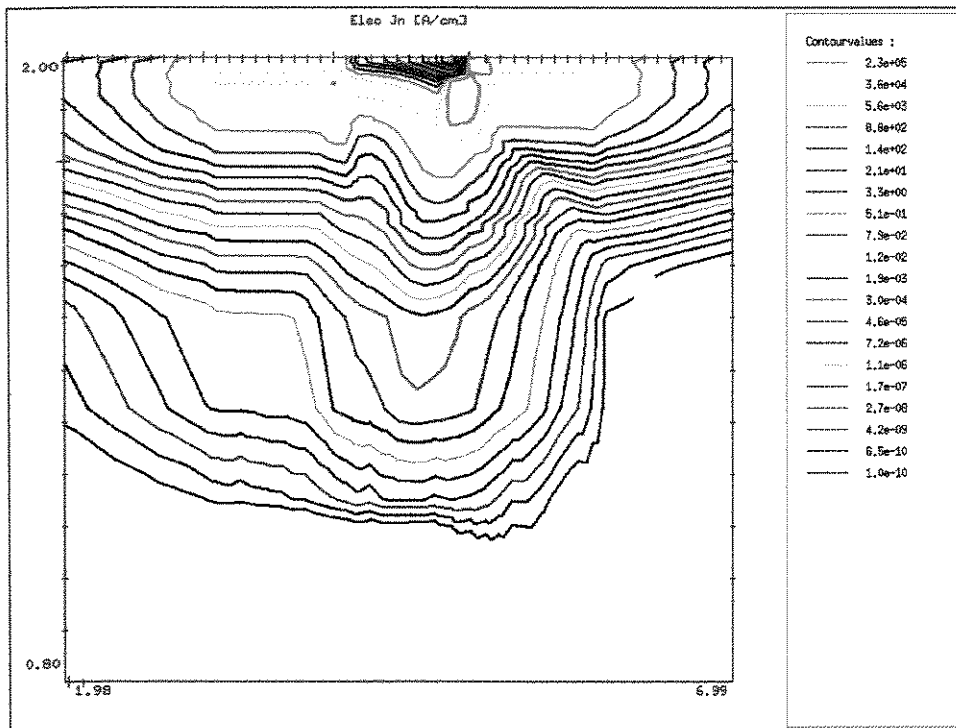


(a)

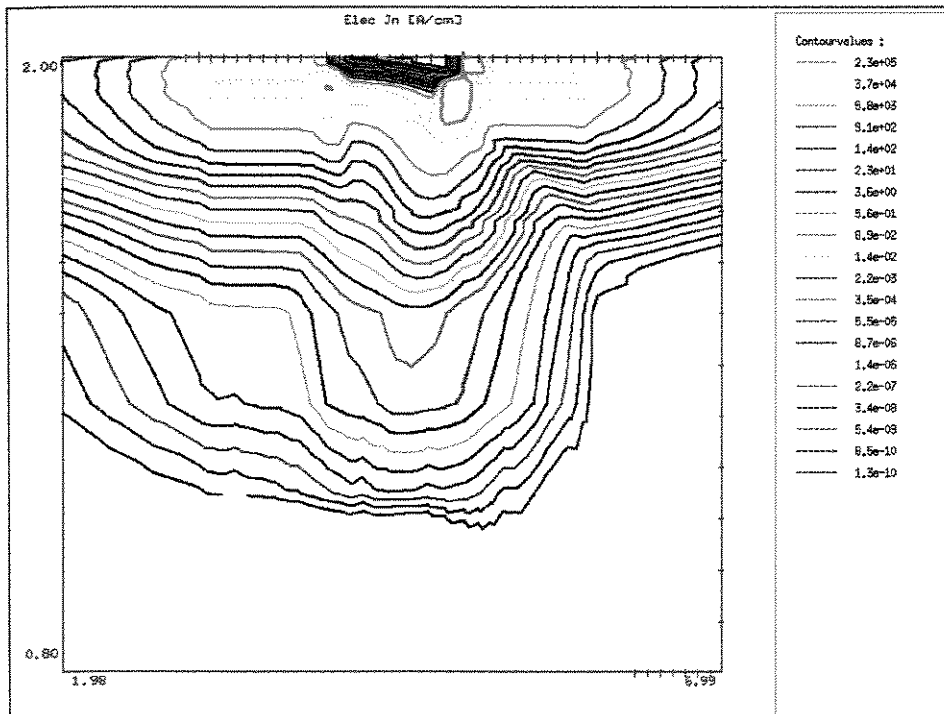


(b)

Figura 4.15: (a) mobilidade de elétrons do transistor MESFET-E quando $V_{GS}=0,5$ V e $V_{DS}=4$ V; (b) mobilidade de elétrons do transistor MESFET-D quando $V_{GS}=0$ V e $V_{DS}=4$ V.

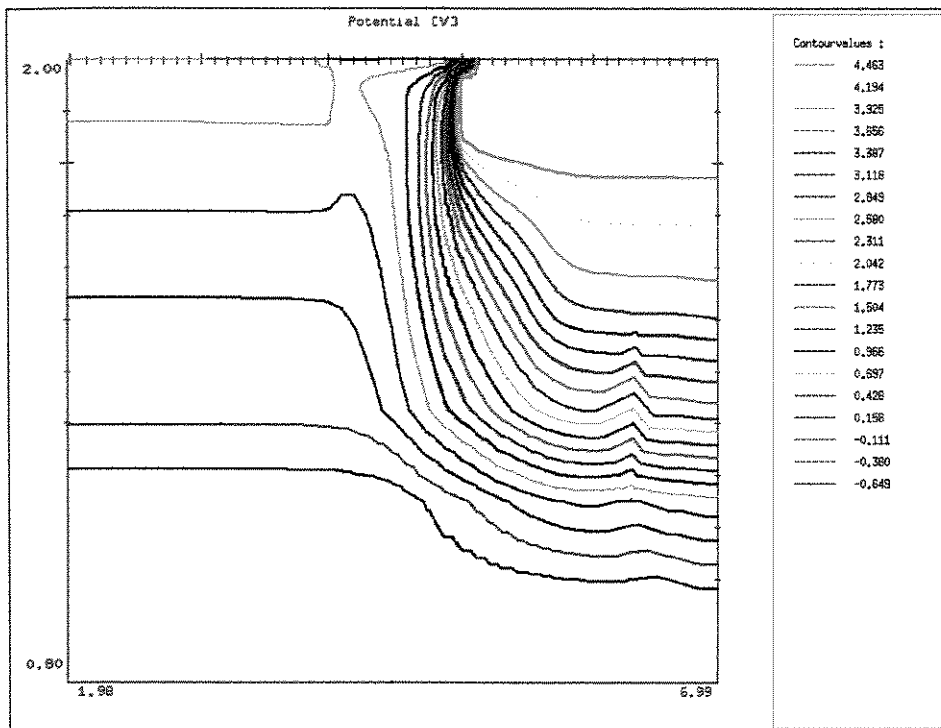


(a)

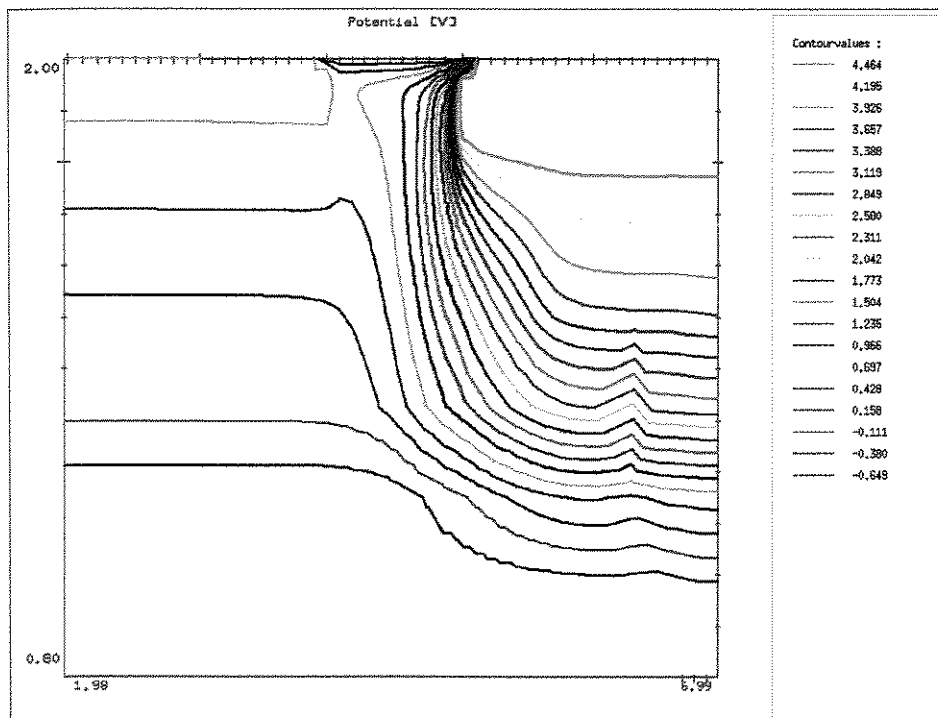


(b)

Figura 4.16: (a) densidade de corrente de elétrons do transistor MESFET-E quando $V_{GS}=0,5$ V e $V_{DS}=4$ V; (b) densidade de corrente de elétrons do transistor MESFET-D quando $V_{GS}=0$ V e $V_{DS}=4$ V.



(a)



(b)

Figura 4.17: (a) distribuição de potenciais do transistor MESFET-E quando $V_{GS}=0,5$ V e $V_{DS}=4$ V; (b) distribuição de potenciais do transistor MESFET-D quando $V_{GS}=0$ V e $V_{DS}=4$ V.

4.4.2 Extração dos Parâmetros dos MESFETs para o Modelamento SPICE

Para a extração dos parâmetros dos MESFETs, usamos o método descrito por Anholt e Sigmon [2]. Na equação 3.34, quando $\alpha V_{DS} \geq 3$, $\tanh \alpha V_{DS} \sim 1$. Podem-se calcular as incógnitas do seguinte modo:

Supondo V_{GS} constante, a seguinte relação é válida

$$\frac{I_{DS}(V_{D2}) - I_{DS}(V_{D1})}{I_{DS}(V_{D2})} = \frac{\lambda(V_{D2} - V_{D1})}{1 + \lambda V_{D2}} \quad (4.2)$$

do qual pode-se obter o valor de λ .

Ainda na região de saturação, pode-se escrever que

$$I_{DS_o} = \frac{I_{DS}(V_{D2})}{1 + \lambda V_{D2}} = \frac{\beta(V_{GS} - V_t)^2}{1 + b(V_{GS} - V_t)} \quad (4.3)$$

do qual obtém-se o valor de β e b , utilizando-se valores diferentes de V_{GS} .

Na região linear, temos que $\tanh(\alpha V_D) \neq 0$ e

$$\frac{I_{DS}(V_{D_o})}{I_{DS_o}} = \tanh \alpha V_{D_o} \quad (4.4)$$

de onde se obtém o valor de α .

É importante reforçar que as equações 4.2 e 4.3 só são válidas se $\alpha V_D \geq 3$; isto significa que o valor de V_D escolhido está na região de saturação.

Resolvendo estas equações para as implantações escolhidas, obtém-se valores resumidos na tabela 4.9.

	Dose em cm^{-2}	V_t	β	b	λ	α
MESFET-E	$1,7 \cdot 10^{12}$	-0,0714	0,6213	0,0654	0,2070	5,693
MESFET-D	$3,0 \cdot 10^{12}$	-0,6441	0,6466	0,5780	0,2104	5,155

Tabela 4.9: Parâmetros SPICE das implantações escolhidas. Observar que os implantes do canal foram realizados a uma energia de 30 keV, e com uma camada *buffer* de $9,0 \cdot 10^{11} cm^{-2}$ de Mg^+ a 150 keV.

A fim de comparação, para que seja possível notar o quão bem estes parâmetros se adaptam aos pontos simulados, a figura 4.18 mostra a interpolação dos pontos obtidos por simulação com o gráfico da equação 3.34, utilizando os valores da tabela 4.9 como constantes.

As tabelas 4.10 e 4.11, mostram os valores de corrente (I_D) simulados e os valores interpolados para diferentes valores de V_{GS} . Os erros relativos máximos gerados são inferiores a 10%, desde que os valores de V_{GS} não se aproximem de V_t . É importante observar que os valores de corrente são obtidos considerando-se que o valor de V_{DS} é igual a 4 V. Isso garante que o transistor esteja na saturação.

V_{GS} (V)	Simulado (I_D [A/cm])	Interpolado (I_D [A/cm])	Erro relativo (%)
0,5	0,35976	0,35746	-0,64
0,4	0,24486	0,24483	-0,01
0,2	0,07652	0,08220	7,42
0,1	0,02623	0,03300	25,81

Tabela 4.10: Erros relativos entre os valores simulados e os valores interpolados, para diferentes valores de V_{GS} . O valor de V_{DS} é mantido em 4 V. O canal foi obtido com uma implantação de Si^+ de $1,7 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV. A implantação da camada *buffer* tem dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ e energia de 150 keV.

V_{GS} (V)	Simulado (I_D [A/cm])	Interpolado (I_D [A/cm])	Erro relativo (%)
0	0,36210	0,35999	-0,58
-0,2	0,18697	0,18688	-5,60
-0,4	0,05649	0,06218	10,07
-0,6	0,00328	0,00226	-31,19

Tabela 4.11: Erros relativos entre os valores simulados e os valores interpolados, para diferentes valores de V_{GS} . O valor de V_{DS} é mantido em 4 V. O canal foi obtido com uma implantação de Si^+ de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV. A implantação da camada *buffer* tem dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ de Mg^+ e energia de 150 keV.

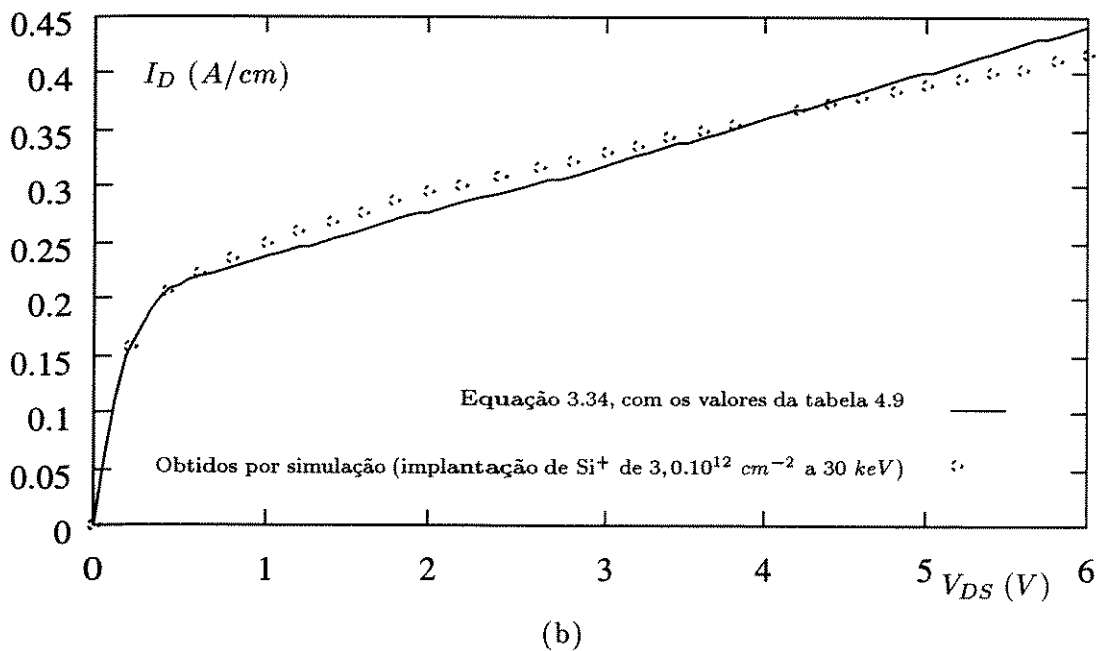
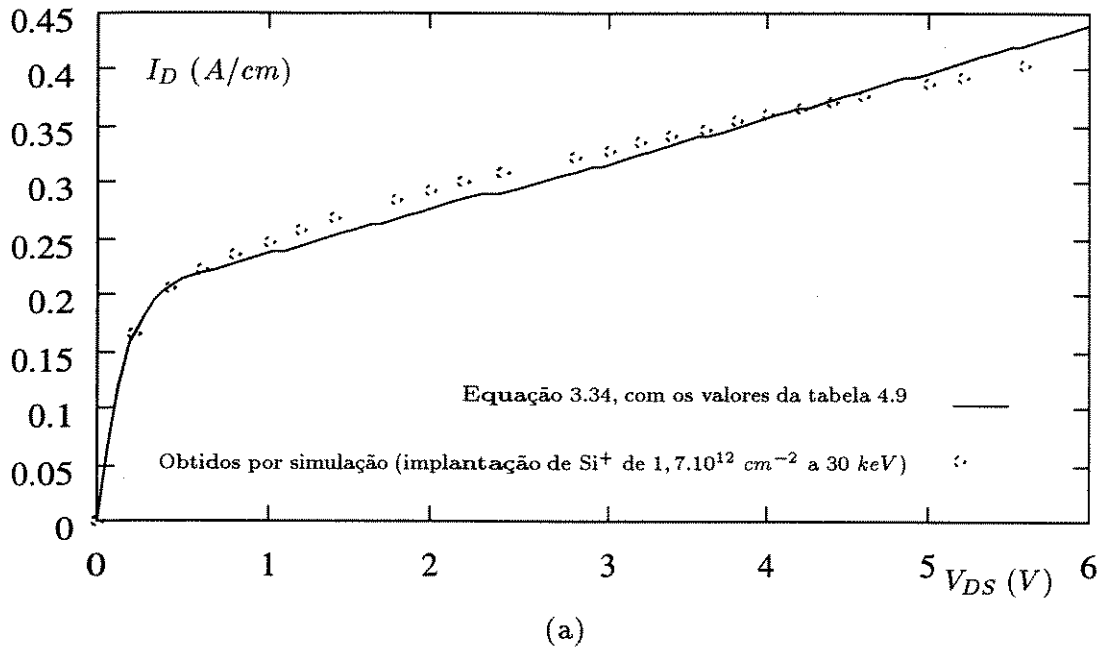


Figura 4.18: Característica de saída ($I_D \times V_{DS}$), *buffer* implantado com Mg^+ , dose de $9,0 \cdot 10^{11} \text{ cm}^{-2}$ e energia de 150 keV. (a) Canal com implantação de Si^+ de $1,7 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV, e $V_{GS} = 0,5 \text{ V}$. (b) Canal com implantação de Si^+ de $3,0 \cdot 10^{12} \text{ cm}^{-2}$ a 30 keV, e $V_{GS} = 0 \text{ V}$. Observar que os valores das correntes (A/cm) e tensões (V) estão em módulo.

Capítulo 5

Conclusões e Propostas Futuras

5.1 Conclusões

O presente trabalho mostrou o desenvolvimento do projeto de uma tecnologia de fabricação de transistores MESFETs com canal de $1\ \mu\text{m}$ de largura, de modos depleção e enriquecimento, adequados para aplicações digitais.

Foram utilizados dois programas de simulação, o programa SUPREM.IV.GS, proveniente do *Integrated Circuits Laboratory, Stanford University, California* licenciado para o DSIF, para a simulação do processo de fabricação e o programa PRISM, proveniente do *IMEC, Kapeldreef 75, B-3001 Leuven–Belgium* licenciado para o DSIF, para a simulação das características elétricas dos dispositivos.

Na simulação do processo de fabricação foi utilizada a implantação iônica como método de dopagem de impurezas. O íon Si^+ foi usado para a implantação do canal e das regiões de fonte e dreno, enquanto, para o *buffer* foi utilizado o íon Mg^+ . Foi considerado que o perfil de implantação fica inalterado após o recozimento do substrato, devido ao método de tratamento térmico usado, o RTA.

As características elétricas dos dispositivos foram calculadas pelo programa PRISM. Foram simuladas várias implantações de Si^+ para a região do canal, em diferentes implantações de Mg^+ para a camada *buffer*.

A estrutura escolhida para os transistores MESFETs têm a vantagem de ser de fabricação simples, exigindo menos passos de processamento. Isto diminui o número de

parâmetros que necessitam ser controlados, tornando o processo mais robusto.

Os resultados das simulações mostraram que dois conjuntos de implantações satisfazem as especificações para a fabricação de transistores MESFETs em aplicações digitais. Esses resultados dependem da quantidade de portadores ativados, sendo que a definição deste parâmetro é necessária para que as simulações sejam precisas. Notou-se também que o perfil das implantações influenciam no comportamento elétrico do dispositivo, sendo necessário garantir a condição de mesmo perfil após o RTA.

É de se esperar que a difusão lateral, inerente ao processo de implantação iônica, altere as características dos dispositivos. Tendo em vista a limitação do programa PRISM em simular este comportamento e devido ao fato que isso só será significativo quando a largura da porta for inferior a $1 \mu m$, os resultados apresentados são coerentes como uma proposta para o processamento de MESFETs.

5.2 Propostas Futuras

Sugere-se a implementação do processo proposto, sua caracterização e refinamento para obter os dispositivos MESFETs. Este trabalho deverá incluir a extração dos parâmetros do processo, como a quantidade de portadores ativados e um estudo do perfil resultante após a ativação térmica.

Para melhorar os resultados da simulação, principalmente quando a largura da porta dos MESFETs for inferior a $1 \mu m$, será necessário considerar o espalhamento lateral da implantação na região da porta. Para isso, pode-se alterar o programa PRISM ou acrescentar uma camada extra entre a região do canal e a região de dreno e fonte, considerando-a abrupta, com uma largura e concentração de portadores de valor médio ao esperado neste espalhamento.

Fonte de contato:	
Nome	e-mail
Tomás Antônio Costa Badan	tomas@eee.ufg.br
Dr. Furio Damiani	Furio@dsif.fee.unicamp.br

Apêndice A

RTA – *Rapid Thermal Annealing*

Uma revisão abrangente do desenvolvimento do RTA foi feita por Singh [37]. O RTA (*Rapid Thermal Annealing*) recebeu diversos nomes, como *rapid isothermal annealing*, *transient thermal annealing* ou *short-time annealing*, ligado ao processo de ativação dos portadores e recozimento de defeitos cristalinos. Esta técnica de processamento se estende por outras aplicações, como fusão dos contatos, aderência dos filmes, etc.. Consideramos mais conveniente definir este processo como processamento isotérmico rápido (*rapid isothermal processing RIP*) [37].

Normalmente, os processos térmicos podem ser classificados em três grupos, em função do tempo de processamento do substrato, (1) processamento adiabático, (2) processamento por fluxo térmico e (3) processamento isotérmico. Pode-se ver estes três grupos na figura A.1 e seus respectivos perfis de temperatura.

Para descrever o processo isotérmico, pode-se dizer que envolve três características distintas (1) a taxa de aquecimento (2) o tempo de recozimento (o qual é o normalmente especificado) e (3) a taxa de resfriamento. A taxa de resfriamento é um importante parâmetro, que controla a geração de defeitos do tipo linhas de deslocamento (*slip lines*). Taxas de resfriamento menores evitam o surgimento destes defeitos que surgem devido à diferença de velocidade com que as bordas se esfriam em relação ao centro.

Um equipamento RIP utiliza normalmente lâmpadas de halogênio, lâmpadas de arco de argônio ou aquecedor de grafite como fontes térmicas. De qualquer modo, o aquecimento das lâminas (*wafers*) se dá por radiação. Costumeiramente a lâmina é posta numa câmara de quartzo, a fim de se evitar contaminação proveniente das fontes térmicas,

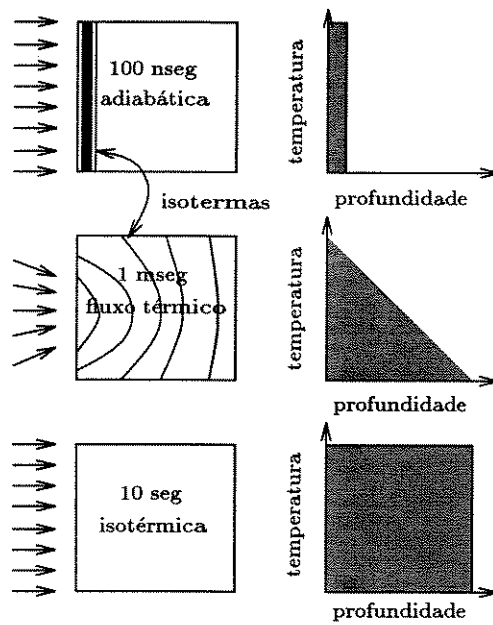
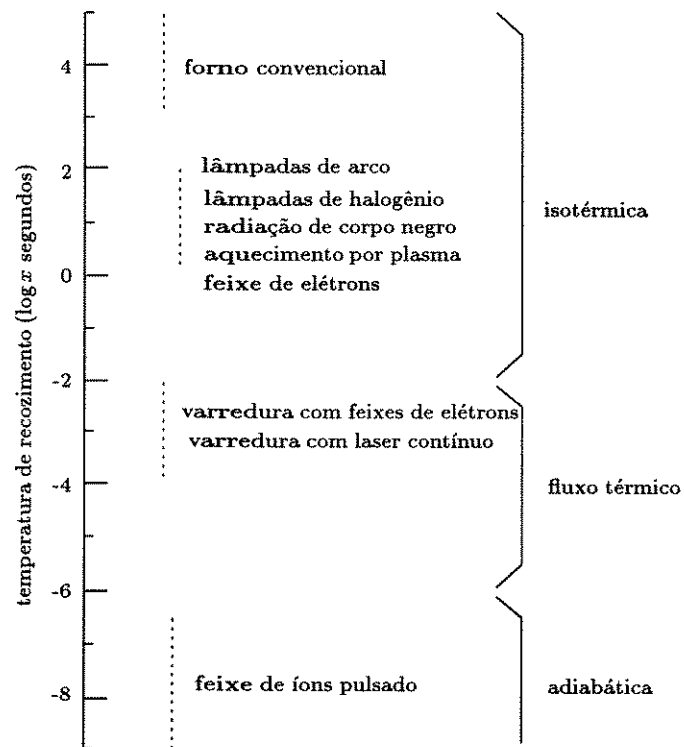


Figura A.1: Esquema mostrando o tempo de processamento e a classificação dos processos térmicos

e onde podem ser injetados gases para o controle da atmosfera. No caso das lâmpadas de halogênio, estas são postas em dois conjuntos, um em cima e o outro em baixo do compartimento de quartzo. Finalmente, todo este sistema é envolvido por um envólucro de paredes refletivas e refrigeradas.

Apêndice B

Exemplo de *Script* para o Programa de Simulação Bidimensional PRISM

\$ SC TÍTULO DO EXEMPLO

ti Topologia MESFET planar

\$ ESTRUTURA DO DISPOSITIVO DEFINIDO PELO PRÉ-PROCESSADOR DO PROGRAMA PRISM
me m.msh

\$ ARQUIVO COM DEFINIÇÕES DA IMPLANTAÇÃO (IMPLC.2.SUP9E11E150) GERADO PELO SUPREM QUE DEFINE A REGIÃO DO *buffer*. O COMANDO UN DEFINE O VALOR PADRÃO DO SUBSTRATO

ex implc.2.sup9e11e150 A 0.0 9.0 2.0 0 -1 0
un -3e15 0.0 0.0 9.0 2.0

\$ DEFINE A DOPAGEM DA REGIÃO DA PORTA

ex impla.1.sup1.7 A 0 9.0 2.0 0 -1 0

\$ DEFINE A DOPAGEM DA REGIÃO DA FONTE E DRENO

ex implb.1.sup A 0 4.0 2.0 0 -1 0

ex implb.1.sup A 5.0 9.0 2.0 0 -1 0

dl 0.0e0 2e16 0.0 0.0 9.0 2.0

\$ CONFIGURA OS PARÂMETROS DAS EQUAÇÕES DA SIMULAÇÃO

an bipo

```
$ an peht
ss 5
sf 0
$ cp 540
$ ge 23122
$ ic 1.0e-7 2
da 6
gummel 12
$ update 1.0e-8
$ fl 3.0 0.0 5.0 2.0

$ CONFIGURA OS VALORES INICIAS, TEMPERATURA E TIPO DE SIMULAÇÃO
begin g0.5d0.2.out1.7a 3
$ begin veg.buga 3
temp 22
bias source 0 gate .5 drain 4
$ step drain 6 2
$ step drain 6 .2
$ step gate 0 -.1
schottky gate .76 g
mo gaas 3 1 1
gf gaas 01 e t
$ tr 1 .1
$ sm .01 10e-3
$ tr 10

$ DEFINE O ARQUIVO DE SAÍDA DA SIMULAÇÃO
print saida.1.7 3

solve
```

Apêndice C

Exemplo de *Script* para o Programa de Simulação de Processos SUPREM

```
# DEFINE VALORES INICIAIS PARA O PROGRAMA
set echo
option quiet
mode one.dim
define q quit

# DEFINE A PRECISÃO DA MALHA PARA A SIMULAÇÃO
line x location=0 spacing =.001 tag =top
line x location=2 spacing =.001
line x location=10 spacing=.05 tag=botton

# DEFINE O TIPO DO SUBSTRATO, A REGIÃO DA IMPLANTAÇÃO E ORIENTAÇÃO DO CRIS-
TAL
region gaas xlo=top xhi=botton
boundary exposed xlo=top xhi=top
init ori=100

# DEFINE UMA IMPLANTAÇÃO DE Si+
implant isilicon dose=2.5e12 energy=30 angle=15 pearson
#implant isilicon dose=5e12 energy=70 pearson

# DEFINE OS PARÂMETROS DE SAÍDA
```

```
select z=log10(.75*isilicon)
plot.1d x.min=-.25 x.max=4 y.min =10 y.max=18.5 symb=1
#pause
select z=.75*isilicon
print.1d > impla.1.sup2.5
```

BIBLIOGRAFIA

- [1] J. H. Magerlein, D. J. Webb, A. Callegari, J. D. Feder, T. Fryxell, H. C. Guthrie, P. D. Hoh, J. W. Mitchell, A. T. S. Pomerene, S. Scontras, G. D. Spiers, and J. H. Greiner, "Characterization of GaAs Self-Aligned Refractory-Gate Metal-Semiconductor Field-Effect Transistor (MESFET) Integrated Circuits," *J. Appl. Phys.*, vol. 61, pp. 3080–3092, April 1987.
- [2] R. Anholt and T. W. Sigmon, "A Process and Device Model for GaAs MESFET Technology: GATES," *IEEE Transactions on Computer-Aided Design*, vol. 8, pp. 350–359, April 1989.
- [3] J. Woodhead, N. Uchitomi, A. Kameyama, Y. Ikawa, and N. Toyoda, "A WN_x Gate Self-Aligned GaAs p-Channel MESFET for Complementary Logic," *IEEE Transactions on Electron Devices*, vol. ED-34, pp. 170–173, February 1987.
- [4] R. J. Malik, *III-V Semiconductor Materials and Devices – (Materials Processing Theory and Practices)*, vol. 7. Amsterdam: North-Holland, 1989.
- [5] N. G. Einspruch and W. R. Wisseman, *VLSI Electronics Microstructure Science*, vol. 11. Orlando: Academic Press Inc., 1985.
- [6] Elliot, *Integrated Circuit Fabrication Technology*. Mc-Graw-Hill.
- [7] V. Baranauskas, *Tecnologia dos Cristais de Silício em Microeletrônica*. Campinas: Editora da UNICAMP, 1990.
- [8] V. Baranauskas, *Processos de Microeletrônica*. Campinas: R. Vieira Gráfica e Editora LTDA, 1990.
- [9] S. E. Hansen and M. D. Deal, *SUPREM-IV.GS Two Dimensional Process Simulation for Silicon and Gallium Arsenide*. Stanford: Integrated Circuits Laboratory Stanford University, 1993.

- [10] R. G. Wilson, "Implantation Range Statistics in III-V Materials," *J. Electrochem. Soc.*, vol. 138, pp. 718–722, March 1991.
- [11] J. P. Souza and D. K. Sadana, "Ion Implantation in Gallium Arsenide MESFET Technology," *IEEE Transactions on Electron Devices*, vol. 39, pp. 166–175, January 1992.
- [12] J. L. Lee, A. Uedono, and S. Tanigawa, "Vacancy-Type Defects in Si⁺-Implanted GaAs and its Effects on Electrical Activation by Rapid Thermal Annealing," *J. Appl. Phys.*, vol. 67, pp. 6153–6158, May 1990.
- [13] J. L. Lee, L. Wei, S. Tanigawa, T. Nakagawa, K. Ohta, and J. Lee, "The Effects of Point Defects on the Electrical Activation of Si-Implanted GaAs During Rapid Thermal Annealing," *IEEE Transactions on Electron Devices*, vol. 39, pp. 176–183, January 1992.
- [14] L. S. Vanasupa, M. D. Deal, and J. D. Plummer, "Effect of Stress on the Electrical Activation of Implanted Si in GaAs," *Appl. Phys. Lett.*, vol. 55, pp. 274–276, July 1989.
- [15] H. Kanber, R. J. Cipolli, and W. B. Henderson, "A Comparison of Rapid Thermal Annealing and Controlled Atmosphere Annealing of Si-Implanted GaAs," *J. Appl. Phys.*, vol. 57, pp. 4732–4737, May 1985.
- [16] A. R. V. Neida, S. J. Pearton, M. Stavola, and R. Caruso, "Effect of Crystal Stoichiometry on Activation Efficiency in Si Implanted, Rapid Thermal Annealed GaAs," *Appl. Phys. Lett.*, vol. 49, pp. 1708–1710, December 1986.
- [17] S. J. Pearton, J. M. Poate, F. Sette, J. M. Gibson, and D. C. Jacobson, "Ion Implantation in GaAs," *Nuclear Instruments and Methods in Physics Research*, vol. B19/20, pp. 369–380, 1987.
- [18] U. Merkel, E. Nebauer, and M. Mai, "Ohmic Behaviour of Au/WSiN/(Au,Ge,Ni)-n-GaAs systems," *Thin Solid Films*, vol. 217, pp. 108–112, 1992.
- [19] S. J. Pearton, F. Ren, A. Katz, T. R. Fullowan, C. R. Abernathy, W. S. Hobson, and R. F. Kopf, "Rapid Isothermal Processing for Fabrication of GaAs-Based Electronic Devices," *IEEE Transactions on Electron Devices*, vol. 39, pp. 154–159, January 1992.
- [20] M. Murakami, W. H. Price, J. H. Greiner, J. D. Feder, and C. C. Parks, "Thermally Stable Ohmic Contacts to n-Type GaAs. V. Metal-Semiconductor Field-Effect Transistors with NiInW Ohmic Contacts," *Appl. Phys. Lett.*, vol. 65, pp. 3546–3551, May 1989.

- [21] Y. C. Shih, M. Murakami, and W. H. Price, "Thermally Stable Ohmic Contacts to n-Type GaAs. IV. Roles of Ni on NiInW Contacts," *Appl. Phys. Lett.*, vol. 65, pp. 3539–3545, May 1989.
- [22] H. Sugahara and J. Nagano, "Thermal Stability of WSiN–GaAs and Au–WSiN Interfaces," *Applied Surface Science*, vol. 41/42, pp. 207–211, April 1989.
- [23] H. S. Bennett and J. R. Lowney, "Physics for Numerical Simulation of Silicon and Gallium Arsenide Transistors," *Solid–State Electronics*, vol. 33, no. 6, pp. 675–691, 1990.
- [24] W. R. Curtice, "A MESFET Model for USE in the Design of GaAs Integrated Circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-28, pp. 448–456, May 1980.
- [25] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," *IEEE Transactions on Electron Devices*, vol. ED-34, pp. 170–173, February 1987.
- [26] W. R. Curtice and Y. Yun, "A Temperature Model for the GaAs MESFET," *IEEE Transactions on Electron Devices*, vol. ED-28, pp. 954–962, August 1981.
- [27] C. M. Snowden, M. J. Howes, and D. V. Morgan, "Large-Signal Modeling of GaAs MESFET Operation," *IEEE Transactions on Electron Devices*, vol. ED-30, pp. 1817–1824, December 1983.
- [28] P. R. H. Riemenschneider and K. L. Wang, "A Finite-Element Program for Modeling Transient Phenomena in GaAs MESFET's," *IEEE Transactions on Electron Devices*, vol. ED-30, pp. 1142–1150, September 1983.
- [29] C. M. Snowden and D. Lorent, "Two-Dimensional Hot-Electron Models for Short-Gate-Length GaAs MESFET's," *IEEE Transactions on Electron Devices*, vol. ED-34, pp. 212–223, February 1987.
- [30] M. A. Khatibzadeh and R. J. Trew, "A Large-Signal, Analytic Model for the GaAs MESFET," *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, pp. 231–238, February 1988.
- [31] Y. T. Tsai and T. A. Grotjohn, "Small-Signal Analysis of MESFET's Including the Energy Conservation Equation," *IEEE Transactions on Computer-Aided Design*, vol. 10, pp. 1530–1533, December 1991.

- [32] R. Vankemmel and W. Schoenmaker, *Device simulations with PRISM*. IMEC, Kapeldreef 75, B-3001 Leuven–Belgium, June 1993. Manual v. 4.0.
- [33] K. Steiner, H. Mikami, N. Uchitomi, and N. Toyoda, “Mobility Profiles in Short and Narrow GaAs MESFET Channels,” *IEEE Transactions on Electron Devices*, vol. 38, pp. 23–26, January 1991.
- [34] J. C. Lee, A. J. Strojwas, T. E. Schlesinger, and A. G. Milnes, “Electrical Isolation Design Rule for GaAs Integrated Circuits Fabricated on Semi-Insulating Substrates,” *IEEE Transactions on Electron Devices*, vol. 38, pp. 447–454, March 1991.
- [35] P. P. Silvester and R. L. Ferrari, *Finite Elements for Electrical Engineers*. Cambridge: Cambridge University Press, second ed., 1991.
- [36] R. L. Huston and C. E. Passerello, *Finite Elements Methods an Introduction*. New York: Marcel Dekker, Inc, 1984.
- [37] R. Singh, “Rapid Isothermal Annealing,” *J. Appl. Phys.*, vol. 63, pp. R59–R114, April 1988.