

Alberto Martins Jorge

Engenheiro Eletricista, EPUSP, 1968

Mestre em Engenharia, EPUSP, 1974

"ENSAIO NO PROJETO E CONSTRUÇÃO DE UM DE
CODIFICADOR D/A, MCP, COM TÉCNICA I^2L "

45/82

Dissertação apresentada à Faculdade de
Engenharia de Campinas, UNICAMP, como
requisito parcial para obtenção do títu-
lo de "Doutor em Engenharia Elétrica"

Orientador: Prof. Dr. Carlos Ignacio Zamitti Mammama.

Universidade Estadual de Campinas
Faculdade de Engenharia de Campinas
Departamento de Engenharia Elétrica
Laboratório de Eletrônica e Dispositivos

junho de 1982

DIAGRAMADO POR

RESUMO

Neste trabalho procuramos estabelecer a viabilidade da utilização de uma cadeia de transistores PNP, laterais, tecnologia planar, para a geração de sinais com valores binariamente distribuídos. O objetivo final desta utilização foi de construir um conversor D/A, no qual a parte lógica e de chaveamento se construísse com portas lógicas NE (NAND) do tipo bipolar, no caso I²L (Lógica de Injeção Integrada, "Integrated Injection Logic"). A aplicação escolhida no texto foi de um conversor não linear, seguindo a Lei A da CCITT.

*Dedicamos este trabalho à memória
do Prof. Dr. Yukio Ishikawa.*

AGRADECIMENTOS

Tendo a ocasião de divulgar os resultados do trabalho conjunto de muitas pessoas, é justo que sejam nomeadas e a colaboração de cada um explicitada.

Lembramos em primeiro lugar os responsáveis pela confecção dos circuitos em pastilha, os técnicos encarregados da operação e manutenção do setor de circuitos integrados do Laboratório de Eletrônica e Dispositivos; particularmente o colega que a acompanhou todas as etapas de construção do dispositivo, o físico Edmundo da Silva Braga, e a Srta. Fátima de Castro Reis, que executou pessoalmente a maior parte dessas e tapas. Devem ser citados também os Srs. Moacir Barnett e Hiran Campos de Carvalho, que se encarregaram da execução das matrizes de máscara para fotolitografia, não es quecendo a Srta. Maria Auxiliadora Mazotini pela ajuda inestimável no trabalho de execução das matrizes de rubilite e desenhos de apresentação. Lembramos também o Sr. Daniel Roseno da Silveira que se encarregou dos trabalhos de controle de processo (desbaste em ângulo e medidas V/I). Analogamente o Sr. Enzo Brigante que executou os circuitos de medida automática do componente.

Em relação a concepção e projeto do componente, tivemos a colaboração direta do Dr. Jean Pierre Bailbê, do LAAS, como aliás é fácil verificar pelas referên-
cias bibliográficas. Entre os colegas do LED citamos o Eng. José Antonio Siqueira
Dias, M.E., pela valiosa contribuição nos trabalhos de caracterização e medidas.

Notamos finalmente as pessoas que inspiraram e orientaram a realização do
trabalho, os Drs. Carlos Ignácio Zamitti Mammana e Gérard Rey.

A todos os que foram nomeados, e muitos outros que deram indiretamente al
guma contribuição para o conteúdo deste texto, a gratidão do autor. Agradecemos par
ticularmente a Srta. Irene Chiqueto que se encarregou dos trabalhos de datilografia.

Este trabalho contou com o apoio financeiro da TELECOMUNICAÇÕES BRASILEIRAS S/A, através dos Contratos UNICAMP/TELEBRAS-143/76 e TELEBRAS/UNICAMP/FTPT 058/81-JDPqD e FINEP/FUNCAMP B/72/81/409/00/00.

ÍNDICE

0. APRESENTAÇÃO	0.1
1. DIAGRAMA DE BLOCOS DO SISTEMA, PROJETO DO CIRCUITO E COMPONENTES	1.1
1.1. Características do Sistema MCP-30	1.1
1.2. Concepção do Subsistema Decodificador	1.3
1.2.1. Estrutura e Diagrama de Blocos	1.3
1.2.2. Escolha da Tecnologia	1.7
1.2.3. Concepção Estrutural e Configuração das Células Básicas	1.9
1.3. Considerações sobre a Tecnologia Escolhida	1.15
1.3.1. Geração das Correntes Binárias	1.15
1.3.2. Portas Lógicas	1.20
1.4. Considerações Finais	1.23
2. ESTABELECIMENTO DAS ETAPAS DE CONSTRUÇÃO E PROJETO DE MÁSCARAS	2.1
2.1. Sistema de Geração de Máscaras e Fotografação	2.1
2.2. Bloco de Componentes de Teste	2.2
2.3. Circuito Lógico de Comando	2.5
2.4. Gerador de Correntes Binárias	2.5
2.5. Distribuição Geral dos Blocos	2.10
2.6. Configuração das Máscaras	2.10
3. ESTRUTURA DOS DISPOSITIVOS E PREVISÃO DO COMPORTAMENTO ELÉTRICO	3.1
3.1. Estudo Preliminar	3.1
3.2. Transistor NPN Vertical	3.6
3.3. Transistor PNP Lateral	3.13
3.4. Modelamento da Porta	3.17
3.4.1. Transistor PNP	3.19
3.4.2. Transistor NPN	3.20
3.4.3. Diodos de Junção	3.23
3.4.4. Efeitos da Superfície	3.24
3.4.5. Resistores Parasitas	3.25
3.5. Comportamento da Porta I^2L	3.25
3.6. Avaliação	3.29
4. DADOS EXPERIMENTAIS DE CONSTRUÇÃO E DE COMPORTAMENTO DOS DISPOSITIVOS DE TESTE	4.1
4.1. Cálculo das Difusões e Resultados Experimentais	4.1
4.2. Resultados Experimentais da Difusão	4.3
4.3. Dispositivos de Teste: Transistores PNP e NPN	4.4
4.4. Medidas na Porta I^2L	4.5
4.5. Oscilador em Anel	4.13
4.6. Bloco do Circuito Biestável tipo D	4.13

4.7. Gerador Binário F2	4.16
4.8. Gerador Binário F1	4.19
5. DESEMPENHO FUNCIONAL E COMENTÁRIOS	5.1
5.1. Circuito para o Teste Funcional	5.1
5.2. Medidas de Linearidade do Gerador F2	5.5
5.3. Medida de Linearidade do Gerador F1	5.5
5.4. Tempos de Comutação dos Geradores	5.8
5.5. Avaliação dos Resultados	5.9
5.6. Comentários Finais	5.9
6. BIBLIOGRAFIA	6.1

APRESENTAÇÃO

Durante os anos 70 foi estabelecido um convênio de pesquisa e desenvolvimento de equipamentos de comunicações entre o Departamento de Engenharia Elétrica da UNICAMP e a TELEBRÁS (Telecomunicações Brasileiras S/A). Um dos objetivos deste convênio foi a elaboração de um sistema transceptor para trinta canais telefônicos, codificados no sistema MCP (modulação codificada por pulsos) segundo a lei A da CCITT. Como parte deste convênio procedeu-se também à construção e montagem de um laboratório com capacidade para o projeto e manufatura de componentes eletrônicos de estado sólido; o Laboratório de Eletrônica e Dispositivos (LED).

Um dos blocos em evidência do sistema transceptor é o estágio de decodificação/codificação do sinal de áudio após a operação de multiplexagem (1). Os circuitos integrados monolíticos que são destinados a executar esta função tem aparecido em comunicações científicas e no mercado internacional sob formas variadas: usando transistores bipolares e unipolares, algumas vezes com técnicas de conversão seriada (pulso por pulso) e outras do tipo paralelo. Uma proposta interessante é o uso de portas I^2L (Lógica de Injeção Integrada) que usa transistores bipolares NPN e PNP em uma configuração particular; a vantagem no caso é o emprego de uma técnica que viabiliza a construção de blocos lineares com bom desempenho e portas lógicas com alto grau de densidade de integração na mesma pastilha de silício, sem que a tecnologia básica de transistores bipolares se complique excessivamente (2,3).

Os motivos para a realização deste trabalho na área do projeto e tecnologia dos componentes ficam desta forma explicados: por um lado uma exploração das possibilidades da execução de um circuito relativamente complicado, o modelamento de seu desempenho e o levantamento dos pontos críticos em termos de projeto; por outro lado, o estabelecimento de um procedimento para a obtenção de componentes bipolares, dentro das possibilidades do laboratório e que possa ser incorporado ao acervo de tecnologias disponíveis. O outro ponto que foi considerado foi o da viabilidade: nesse caso influíram basicamente as especificações em relação a qualidade e precisão dos processos empregados, que expomos já no primeiro capítulo do texto, o mesmo se podendo dizer do desempenho que a configuração de transistores usada e as portas lógicas I^2L são capazes de apresentar.

Foi resolvido portanto, estudar a realização na forma monolítica dos elementos básicos de um bloco para decodificação dos sinais digitais em seus respectivos níveis analógicos. Esses elementos são: geradores de sinais de pesos binários, portas lógicas e registradores de deslocamento. O elemento mais importante, que caracteriza a qualidade do decodificador, é o primeiro: sobre este foi dado o enfoque mais aprofundado. As portas lógicas foram elaboradas até o nível de poderem comandar as saídas do gerador de correntes; o registrador não chegou a ser estudado.

Para verificação da qualidade dos processos empregados na fabricação do circuito foram empregados componentes isolados, transistores PNP e NPN, cujo funcionamento condiciona a aprovação ou rejeição da lâmina de silício na qual se encontram. Também são estes componentes que fornecem, por medidas locais, os parâmetros para o modelamento do funcionamento dos elementos mais complexos. Em nível intermediário temos

uma porta lógica NE (NAND) completa, com possibilidade de quatro saídas e três estágios inversores, também I^2L , que podem ser conectados de maneira a formar um oscilador em anel com no mínimo três estágios.

As etapas iniciais de realização da proposta são portanto de modelamento dos componentes, estabelecimento dos processos, e medidas dos componentes; após o que, temos o modelamento dos componentes mais complexos e a verificação de seu desempenho. Em função deste desempenho em relação ao que havia sido previsto podemos identificar, e eventualmente propor mudanças, nos pontos que apresentaram os maiores problemas. Antecipando os resultados, chamamos a atenção sobre os pontos, ressaltados durante o projeto (primeiro capítulo) que se referem a precisão e velocidade da resposta do gerador binário.

Como se pode verificar, a distribuição dos capítulos na exposição segue aproximadamente a distribuição de etapas que foi apresentada. Somente no caso das medidas sobre o componente básico, o gerador binário, separamos os resultados segundo o esquema geralmente adotado de paramétricos (quarto capítulo) e funcionais (quinto capítulo). Nesse quinto capítulo abordamos também a crítica quanto ao comportamento do componente.

CAPÍTULO I

DIAGRAMA DE BLOCOS DO SISTEMA, PROJETO DO CIRCUITO E COMPONENTES

1.1. Características do Sistema MCP-30

A primeira proposta para o sistema codificador/decodificador de que trata este trabalho encontra-se no relatório interno do contrato UNICAMP/TELEBRAS, 680/73, chamado "Projeto de um CODEC não linear para o sistema multiplex MCP com 30 canais telefônicos". Nesse texto se encontra a especificação para a frequência mínima de operação para cada canal de 4KHz. A forma de codificação dos níveis, pulsos binários, foi adotada como a clássica lei A, com 13 segmentos, o que nos dá 8 dígitos para a codificação; outras características que são peculiares ao sistema adotado deverão ser expostas à medida que transcorra a explanação. Sabendo-se que são necessários ainda dois canais para sincronismo dos sistemas de emissão e recepção, e também para a supervisão de funcionamento, estabeleceu-se então a necessidade de 32 canais no total. Podemos, assim, repetir os cálculos da referência citada [4] em relação a frequência de pulsos de operação:

$$f_p = (8 \text{ dígitos}) \times (8 \text{ KHz}) \times (32 \text{ canais}) = 2048 \text{ KHz} \quad (1.1)$$

Como já foi dito, adotou-se a lei A para a codificação do sinal transmitido, coerente com as normas internacionais (CCITT, 1966). Esse tipo de codificação MCP e as suas características de compressão/expansão, bem como das aproximações por segmentos, tiveram um tratamento bastante pormenorizado por Kaneko [5], do qual usaremos alguns resultados.

A lei A da CCITT define para os níveis de sinal expandido (y) e comprimido (x) normalizados as seguintes relações:

$$x = \frac{1 + \log_K Ay}{1 + \log_K A} \quad \text{para } \frac{1}{A} \leq y \leq 1$$
$$x = \frac{Ay}{1 + \log_K A} \quad \text{para } 0 \leq y \leq \frac{1}{A}$$

(1.2)

Os parâmetros A e K tem grande importância no estabelecimento da relação sinal/ruído de quantização quando é feita a codificação do sinal em níveis discretos. Os valores recomendados são de 87,6 para A e "e" (base do logaritmo neperiano) para K. Com esses valores foram calculadas as relações sinal/ruído da referência 4 e outras. Essa análise no entanto já não pode ser feita quando a curva continua da equação (1.1) é aproximada por trechos de segmentos lineares, como a proposta apresentada. Nesse caso, devemos mudar a expressão contínua para uma aproximação linear por segmentos expressa pelas relações:

$$\begin{aligned}
 y_0(L, V) &= f_A(L, V) \\
 f_A(L, V) &= V, \quad L = 0 \\
 f_A(L, V) &= 2^{L-1} (V + N), \quad L \neq 0
 \end{aligned} \tag{1.3}$$

onde definimos os parâmetros que se seguem:

- L: número de ordem do segmento; sendo M segmentos, $L \in \{0, 1, 2, \dots, M-1\}$;
 N: número de níveis discretos em cada segmento;
 V: número real que exprime o nível não expandido dentro do segmento; $V \in \{0, N\}$

É possível demonstrar que as leis de variação para y na eq.1.2 e a de y_0 em 1.3 dão o mesmo valor para os pares x e y nos extremos dos trechos lineares ("pontos de quebra") se adotamos a lei geral:

$$\begin{aligned}
 \frac{x}{E_1} &= \frac{A \cdot y / E_2}{1 + \log_K A} & y \in \{0, E_2/A\} \\
 &= \frac{1 + \log_K (Ay/E_2)}{1 + \log_K A} & y \in \{E_2/A, E_2\}
 \end{aligned} \tag{1.4}$$

sendo parâmetros de normalização:

$$\begin{aligned}
 E_1 &= MN \text{ (número de níveis discretos)} \\
 E_2 &= 2^{M-1} \cdot N \text{ (valor máximo de y)}
 \end{aligned} \tag{1.5}$$

e os parâmetros de lei A:

$$A = 2^{M-1}; \quad K = 2 \quad (1.6)$$

Atribuídos esses valores, podem ser calculadas as quantidades relativas ao seu desempenho quando expressas pela equação 1.4. Resta apenas identificar os valores de M e N para o caso em questão. Como foi dito, temos 13 segmentos lineares para exprimir a variação de y/E_2 entre ± 1 , por meio de uma codificação em 8 dígitos. Fazendo com que 1 dígito exprima a polaridade, temos 7 dígitos para o trecho entre 0 e ± 1 , que deve ser aproximado por 7 segmentos lineares; o número de segmentos é na verdade 8, tomando em conta a identidade de inclinação entre o segmento linear (primeira parte de 1.4) e o primeiro do trecho logarítimo (segunda parte de 1.4, $16 \leq x \leq 32$). Assim, a proposta para lei A do parágrafo inicial atribui 3 dígitos para a identificação do segmento (8 segmentos, portanto) e 4 para o nível de subdivisão de segmento (16 portanto); temos então os resultados finais:

$$\begin{aligned} M & \quad (\text{nº segmentos}) = 8 \\ N & \quad (\text{nº de níveis}) = 16 \\ E_1 & = MN = 128 \\ E_2 & = 2^{M-1} \cdot N = 2048 \\ A & = 128 \end{aligned} \quad (1.7)$$

Chegamos assim a expressão simples da conhecida lei A-128 (por analogia com a lei μ -255). Para ilustração, temos na figura 1.1 a representação gráfica para as leis μ -255 e A-128 sendo que a relação expressa na equação 1.2, onde $A = 87,6$ e $K = e$, se fosse também desenhada, deveria aparecer próxima aos traçados de A e μ , como se vê na porção ampliada.

1.2. Concepção do Subsistema Decodificador

1.2.1. Estrutura e Diagrama de Blocos

O equacionamento sugerido pela referência, além de uniformizar a notação em relação às leis de aproximação por segmentos, mostra o caminho para sintetizar o circuito do conversor D/A não linear que pode decodificar o conjunto dos 8 dígitos em um sinal analógico. A expressão geral para decodificação é a que se segue:

$$y(L, V) = \Delta(L) (V + P) \quad (1.8)$$

definidos os seguintes parâmetros, além dos já conhecidos (L, V, e N):

- η : vale 0 ou 1, conforme L valha 0 ou seja diferente de zero;
- $\Delta(L)$: intervalo entre os níveis discretos em cada segmento;

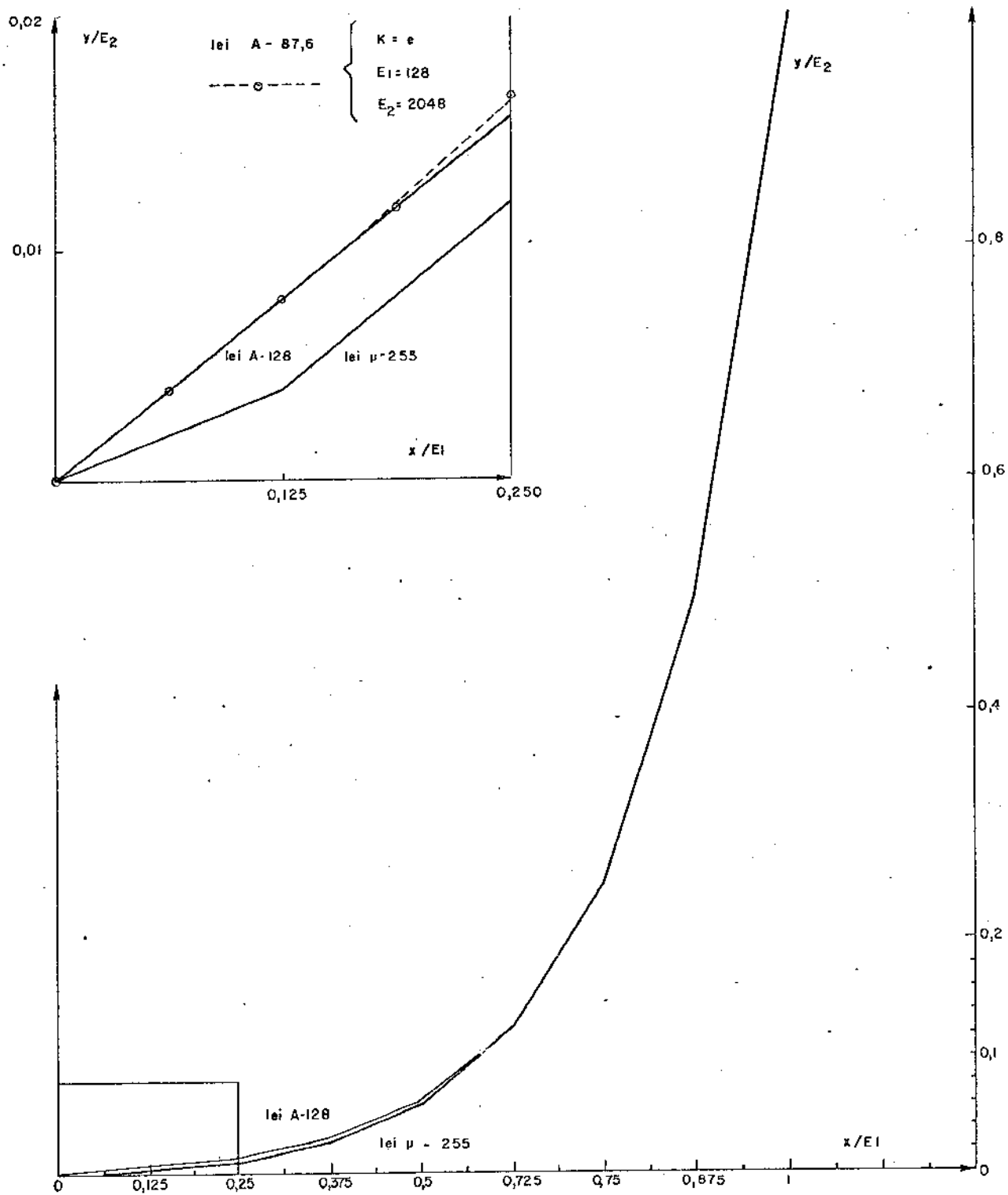


Figura 1.1: Ilustração dos resultados para as leis μ -255, A-128 e A-87,6.

$$\Delta(L) = 2^L - \eta$$

$$P = N.\eta + b$$

b : deslocamento do nível zero; a necessidade de seu emprego será esclarecida posteriormente.

Observamos que, em relação à equação 1.3, o significado de V é ligeiramente modificado. Como tratamos agora com a codificação em níveis discretos, o seu valor não deve mais ser de um número real, mas de um número inteiro entre zero e N. Ainda, conforme o dado da referência, o valor de y é calculado pelo produto de dois sinais, tendo um deles três parcelas (V, N.η, b) e o outro uma |Δ(L)|. Associemos cada uma das quantidades aos dígitos de informação que são recebidos; no caso da codificação com 8 dígitos, temos:

$$N = 2^n = 16, \quad n = 4;$$

$$M = 2^m = 8, \quad m = 3;$$

$$L = L(B_2, B_3, B_4) = \sum_{i=1}^3 2^{3-i} \cdot B_{i+1}; \quad (1.9)$$

$$V = V(B_4 \dots B_8) = \sum_{i=1}^4 2^{4-i} \cdot B_{i+4}$$

Essas expressões, conforme o autor citado [5], conduzem diretamente ao diagrama de blocos da figura 1.2; onde temos os dígitos de V e a função digital η acionado um decodificador linear com 5 dígitos através do qual se produz a adição de (V + η.N). Em seguida é somado o valor b, e o resultado multiplicado por um amplificador chaveado de três estágios, conforme os valores de B₂, B₃ e B₄, que dão a identificação do segmento. A polaridade é, finalmente, atribuída pelo comando de B₁ no inversor chaveado do último estágio.

O bloco que é representado pelo amplificador chaveado pode ser substituído por um multiplicador no qual uma das entradas seja Δ(L) e outra o valor de (V+η.N+b). Isto vai em favor da simplicidade de projeto e maior segurança de operação, visto como o número de componentes fica muito diminuído. Atualmente multiplicadores de quatro quadrantes são dispositivos de uso generalizado e com alta confiabilidade; no caso do projeto deste circuito integrado ele não foi incluído na pastilha visto como não é o seu estudo o objetivo deste trabalho.

O problema de geração da função analógica Δ(L) a partir dos valores digitais B_i se configura conceitualmente como uma operação também de conversão digital-analógica com algumas características particulares. Lembramos que Δ(L) só assume valores de potências inteiras de 2, em nosso caso variando de 1 a 64; pode, portanto, ser formada por um decodificador com sete dígitos.

Esta é a opção apresentada também na referência 1, da qual adotamos a notação para as funções lógicas que acionam os valores de Δ(L). Apresentamos na figura 1.3 este esquema modificado para a geração dos níveis y e, na tabela 1.1, a expressão lógica para as funções digitais dos valores B_i. Chamamos a atenção neste ponto para a vantagem de executar a variação da polaridade antes do multiplicador, fazendo com que:

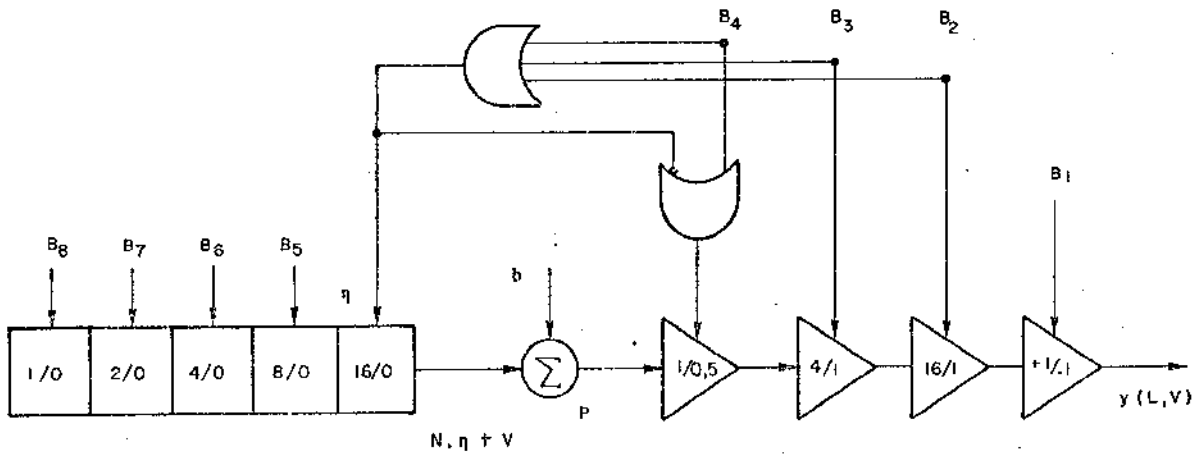


Figura 1.2: Diagrama em blocos do sistema decodificador para lei A-128, 8 bits $|5|$.

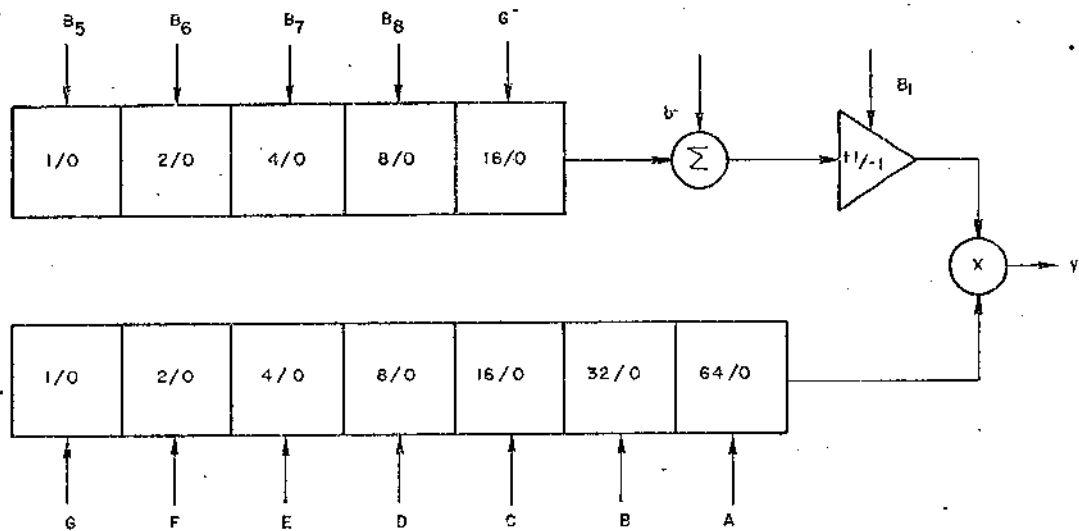


Figura 1.3: Proposta para a geração de y por multiplicação.

- a) o amplificador/inversor chaveado trabalhe em um nível mais baixo de sinal;
- b) o multiplicador de quatro quadrantes seja integralmente utilizado.

Neste momento, chegamos ao ponto de explicar a adição do valor b. Isto se torna necessário pelas características do sistema de codificação, onde o sinal de decodificação na quantização é o extremo inferior do intervalo; o nível discreto transmitido é sempre inferior ao valor real, causando um erro de quantização de uma só polaridade. Adicionando este valor b, que no caso da proposta ora descrita vale 0,5 (metade do intervalo de quantização), o erro de quantização pode assumir valores positivos e negativos, o seu valor médio aproxima-se de zero e o erro médio quadrático é minimizado; isso desde que a distribuição estatística de sinal dentro do intervalo de quantização seja simétrica, o que em geral é o caso (referência 4). O conversor D/A apresentado neste trabalho é uma parte do sistema completo de recepção proposto na referência 4; sendo assim podemos definir o que se constitui no sinal de entrada deste sistema: os pulsos de codificação B_i ($i = 1 \dots 8$) e os pulsos dos relógios de sincronização. Estes pulsos de relógio são os de sincronismo geral do sistema, cuja frequência é de 2048 KHz, e os de comando da memória, cuja frequência é 1/8 desta, ou seja, 256 KHz.

Conforme o esquema clássico para os decodificadores D/A, que é o mesmo da referência 1, desdobramos o sistema de decodificação em alguns blocos, a saber:

- a) conversor série paralelo da palavra de 8 "dígitos": é por meio deste bloco que se pode receber por um só terminal os pulsos e processá-los simultaneamente durante o tempo de chegada da próxima palavra; esse tempo em nosso caso é de $8 \times (2048)^{-1} s$, ou seja aproximadamente $4 \mu s$ ($E(t)$);
- b) memória, que armazena a palavra durante o tempo de processamento e chegada da palavra seguinte; é um bloco no qual devem ser inscritos os valores a cada $4 \mu s$, o seu comando sendo feito por um segundo pulso sincronizado com o relógio e frequência de 256 KHz ($E_m(t)$);
- c) malha lógica de processamento dos sinais de entrada para comando do fator $\Delta(L)$;
- d) conversores D/A que geram os fatores $\Delta(L)$ e $(V + \eta N + b)$, designados doravante $F1$ e $F2$, respectivamente.

Na figura 1.4 temos o diagrama dos blocos cuja integração é a proposta deste trabalho. Comparado com o sistema proposto na seção anterior, notamos a falta dos blocos de multiplicação e inversão chaveada de $(V + P)$. Essas operações devem ser realizadas externamente, visto que, como foi explicado na introdução, dirigimos o principal estudo para os componentes constituintes dos blocos de conversão D/A e lógica de comando.

1.2.2. Escolha da Tecnologia

Temos como objetivo a realização em circuito integrado monolítico do subsistema cujo diagrama de blocos foi explicado na seção anterior. A escolha da tecnologia a ser usada deve tomar em consideração a possibilidade de satisfazer as especificações para o processamento dos sinais de comunicações cujas características foram explicadas na introdução e no item 1.1 deste capítulo, sem perder de vista a simplicidade do processo a ser empregado, o que deve influir positivamente no rendimento da produção.

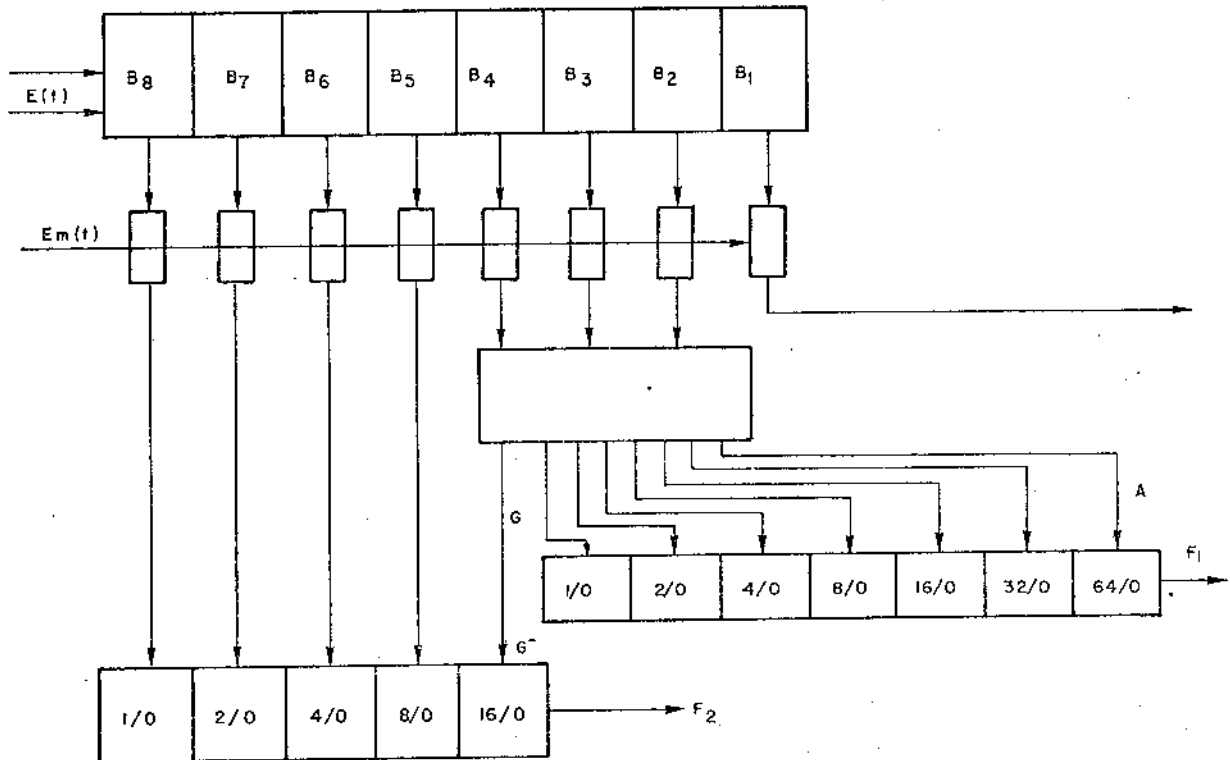


Figura 1.4: Diagrama de blocos para o decodificador.

TABELA 1.1

A	$B_2 \cdot B_3 \cdot B_4$
B	$B_2 \cdot B_3 \cdot \overline{B_4}$
C	$B_2 \cdot \overline{B_3} \cdot B_4$
D	$B_2 \cdot \overline{B_3} \cdot \overline{B_4}$
E	$\overline{B_2} \cdot B_3 \cdot \overline{B_4}$
F	$\overline{B_2} \cdot B_3 \cdot B_4$
G	$G^- + G^+$
G^-	$\overline{B_2} \cdot B_3 \cdot \overline{B_4}$
G^+	$\overline{B_2} \cdot \overline{B_3} \cdot B_4$

Observando o diagrama da figura 1.4, constata-se que há dois tipos de circuitos que devem ser projetados: digitais, no caso dos blocos do registrador, memória e malha lógica de comando de Fl e lineares, para a geração dos sinais com pulsos binários que são a parte principal dos conversores D/A cujas saídas são F1 e F2. Por outro lado, deve ser advertido que um subsistema completo para a decodificação inclui algo mais do que os blocos da figura 1.4, como pode ser verificado no subsistema da figura 1.2: no caso são o comando de polaridade (B_1) e o multiplicador. Estes dois últimos tem que lidar com os sinais do tipo analógico que resultam das saídas de F1 e F2, estando portanto enquadrados na categoria dos circuitos lineares. A escolha da tecnologia a ser usada deve, se possível, possibilitar a inclusão futura destes blocos na mesma pastilha de silício.

Outra consideração a ser feita é em relação à complexidade do circuito a ser projetado: há um grande número de portas lógicas que deve ser realizado, tornando desejável o emprego de uma técnica de implementação que proporcione uma boa condição de compactação sem sacrifício da simplicidade de disposição ("lay out") e respeitadas as exigências de velocidade de comutação do subsistema como um todo.

O pre-requisito de simplificação de projeto aponta no sentido do emprego da mesma estrutura de componentes, tanto para os blocos analógicos como os digitais; esta consideração indica por sua vez o emprego, se possível, de componentes do tipo bipolar, que são mais atraentes para execução de circuitos lineares. Por sua vez a consideração da complexidade dos circuitos lógicos necessários exclue a possibilidade do emprego de portas lógicas de componentes bipolares com estruturas sofisticadas, do tipo LTT(TTL), LAE (ECL), etc.

A solução que é proposta neste trabalho é executar o circuito usando por portas lógicas NE do tipo I^2L (Lógica de Injeção Integrada, "Integrated Injection Logic"), cuja estrutura e aplicações têm sido extensamente tratadas na literatura especializada nos últimos anos, como por exemplo nas referências 2,3,6, etc. Satisfaz a exigência do uso de componentes do tipo bipolar e pode atingir velocidades de comutação compatíveis com as que deve apresentar o subsistema decodificador, ou seja, tempos de atraso da ordem de 100 ns. Ainda, temos o fato importante que o estabelecimento das interfaces entre o comando digital e o processamento analógico pode ser realizado de maneira direta, como é mostrado na referência 3.

Estabelecida então a tecnologia a ser empregada e o tipo de configuração que os circuitos digitais devem apresentar, passamos a explanação quanto ao diagrama de circuitos que deve nortear a fabricação do subsistema.

1.2.3. Concepção Estrutural e Configuração das Células Básicas

O diagrama clássico do inversor básico I^2L que usaremos neste circuito integrado está exposto nas figuras 1.5(a), em circuito, 1.5(b), estrutura e 1.5(c), em disposição na pastilha de silício. Usando as propriedades deste inversor, podemos sintetizar um biestável tipo D, sensível a banda positiva, a partir de portas NE, também uma aplicação clássica [2]. Na figura 1.5 (d) temos a conexão de inversores para formar a função NE, lógica positiva, onde o transistor PNP lateral da figura 1.5(a) foi substituído por uma fonte de corrente I_0 para simplificar a apresentação. O número de saídas necessário neste caso foi somente de uma em cada um dos inversores de entrada.

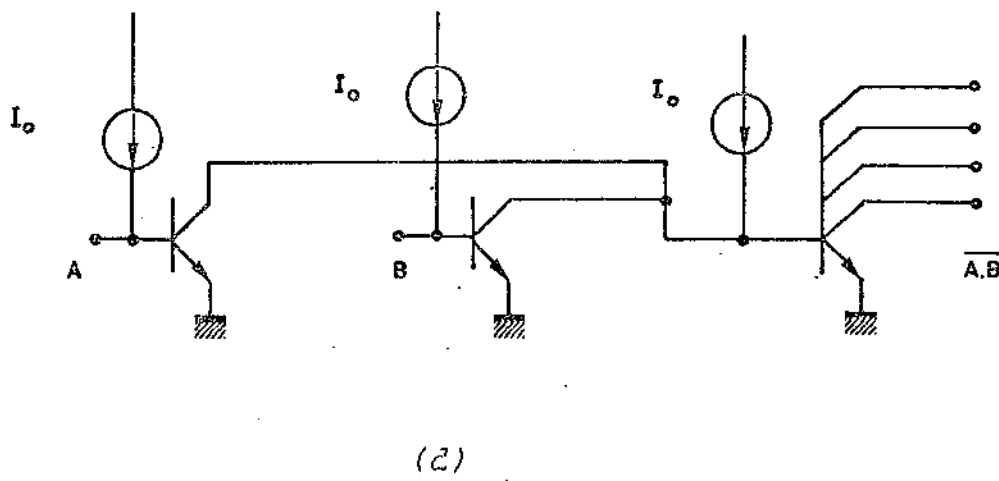
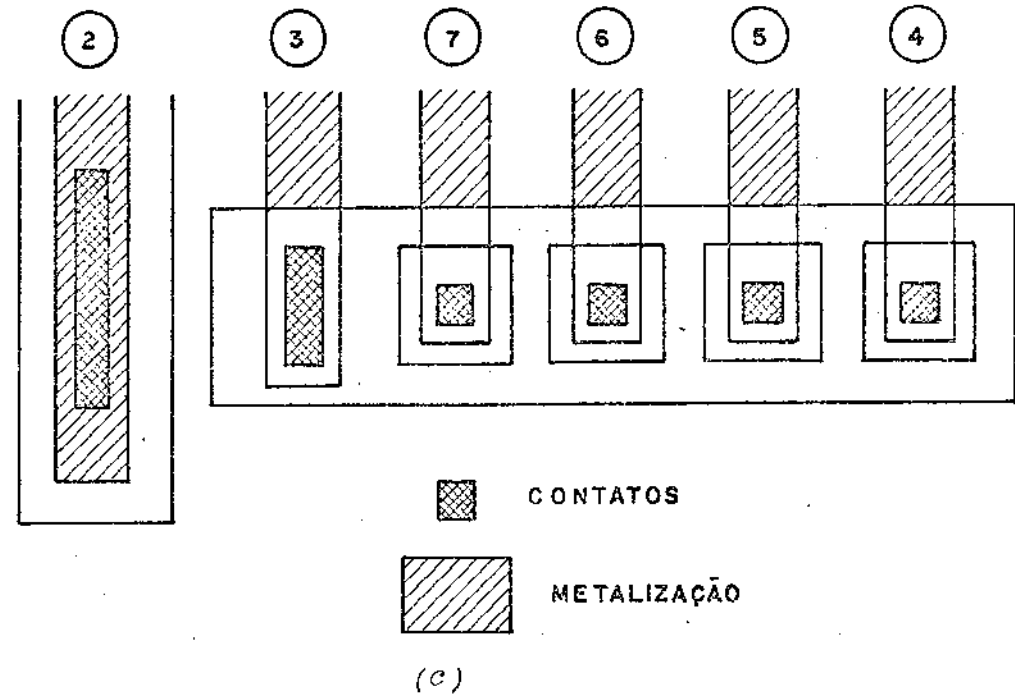
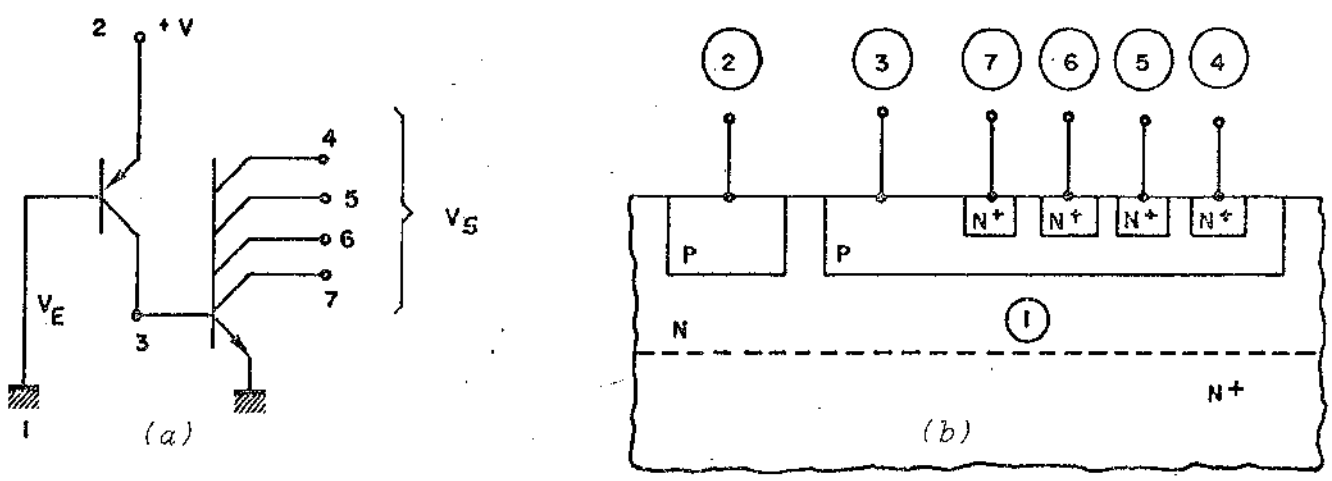


Figura 1.5: Inversor básico I^2L , configuração clássica.

À partir das propriedades do inversor básico e da configuração da porta NE construímos o biestável tipo D, exposto na figura 1.6(a) em diagrama de blocos e 1.6(b) na forma de circuito. Como anteriormente, os transistores PNP estão substituídos por fontes de corrente I_0 .

Nota-se o acréscimo de um inversor com duas saídas para distribuir o sinal de relógio externo, CK. Este fato se deve à característica do inversor I^2L , no qual, ao contrário dos inversores que usam outras configurações, os sinais de entrada devem chegar em um único nó e cada saída deve alimentar uma única entrada dos estágios seguintes. É claro que mais um inversor tem que ser usado se for necessário alimentar o circuito com o sinal CK com a polaridade com que aparece no diagrama de blocos.

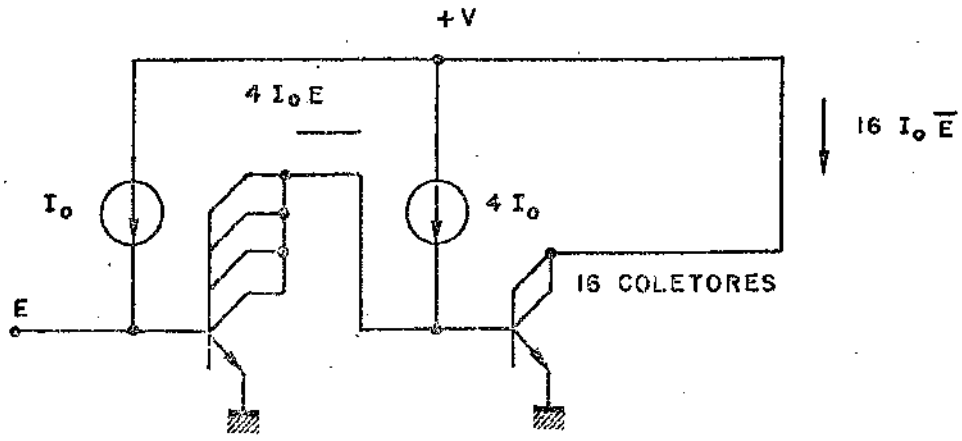
A realização da malha lógica que processa os sinais B_i fornecendo os comandos de A a G pode também ser feita com portas NE e usando o inversor. A configuração dessas portas é a mesma que a apresentada na figura 1.6, devendo a sua disposição obedecer ao esquema geral da figura 1.5(b); faremos a exposição detalhada no capítulo 2.

A opção assumida para a implementação dos circuitos analógicos, ou seja, conversores lineares do tipo digital analógico, ligou-se a simplicidade do chaveamento direto por circuitos digitais. O tipo de configuração que caracteriza esta opção está apresentado de forma geral por Hart *et al.* (referência 3), cujos esquemas explicativos reproduzimos nas figuras 1.7 e 1.8.

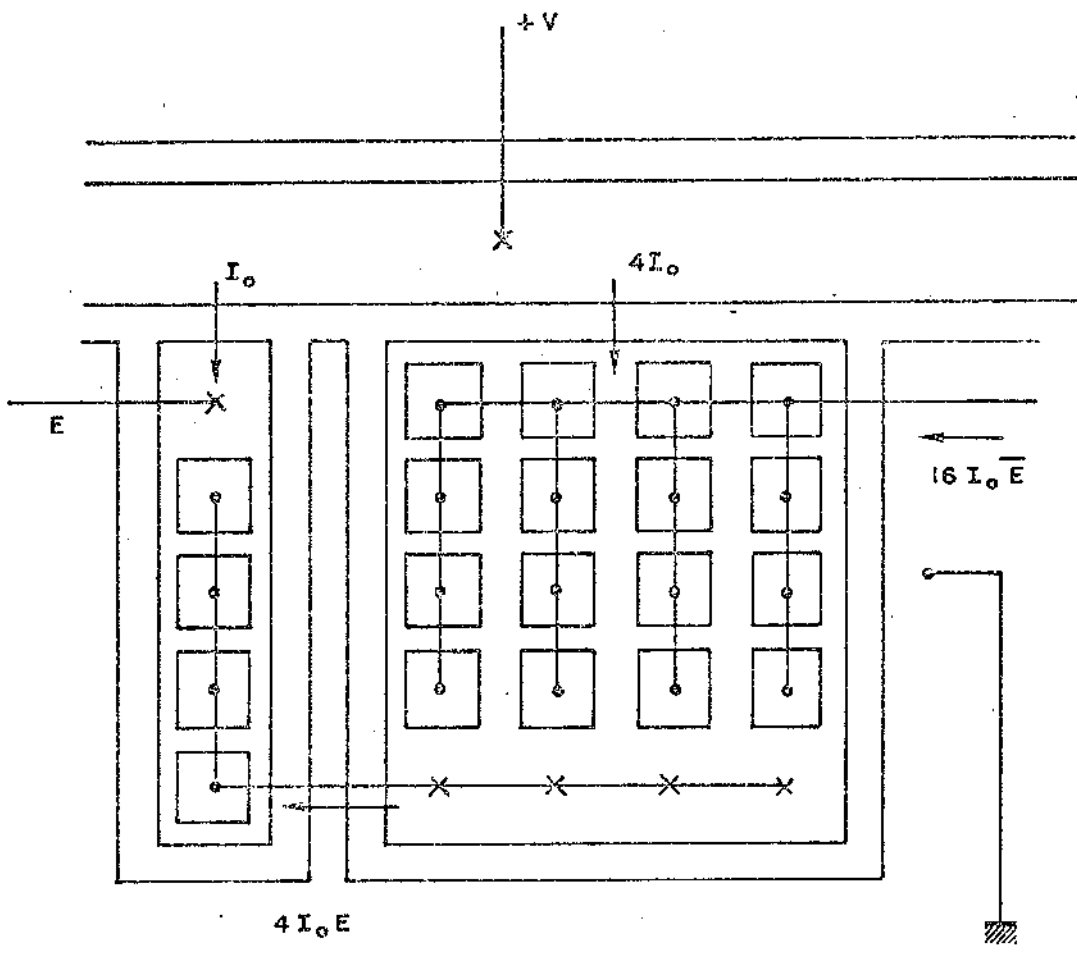
Na figura 1.7, a e b, apresenta-se o esquema de um circuito com um inversor I^2L , alimentado com uma corrente I_0 de polarização, comandando uma corrente da ordem de $16 I_0$ através de um estágio multiplicador de corrente. Na planta esquemática da figura 1.7(b) temos o primeiro transistor, com quatro coletores, polarizado com I_0 fornecido pelo injetor (região P, ligado em +V) e o segundo, com dezesseis coletores, polarizado com $4 I_0$. A relação entre estas duas correntes é estabelecida pela área transversal da região P de base dos NPN, que é também o coletor do PNP de polarização (ver também figuras 1.5, a e b); essa área, no PNP do segundo estágio, é quatro vezes a do primeiro, conservando a relação de correntes, se a densidade de corrente na junção da camada P do injetor com o substrato N for constante.

Destacamos o fato de que, na figura 1.7(b), está desenhado o contorno de uma difusão N^+ , semelhante à da camada dos coletores dos NPN (figura 1.4), que emoldura as camadas P. O objetivo é equalizar a distribuição de tensão elétrica na superfície da pastilha e também minimizar o efeito parasitário do transistor PNP lateral que possa ocorrer entre camadas tipo P relativamente próximas (por exemplo, entre a base do primeiro e do segundo inversores).

Esse multiplicador de corrente é usado como interface entre o circuito digital de comando e o gerador de correntes com valores binariamente distribuídos que é o núcleo dos conversores D/A a que nos referimos no item 1.2.1 e apresentado na figura 1.3. Na mesma referência temos a proposta para a realização deste gerador, a qual está exposta na figura 1.8, em diagrama de circuito (a) e disposição no silício (b). Nessa configuração temos um primeiro transistor PNP polarizado no emissor com a tensão +V, (região do injetor), um segundo PNP cujo emissor é a mesma camada P que forma o coletor do primeiro, e a região P que forma o coletor do segundo; a corrente que sai deste coletor será $\alpha^2 I_0$ se o transistor NPN estiver cortado pelo sinal E; α é o ganho em base comum do transistor PNP. Há uma simplificação, que vamos remover mais tarde, em con



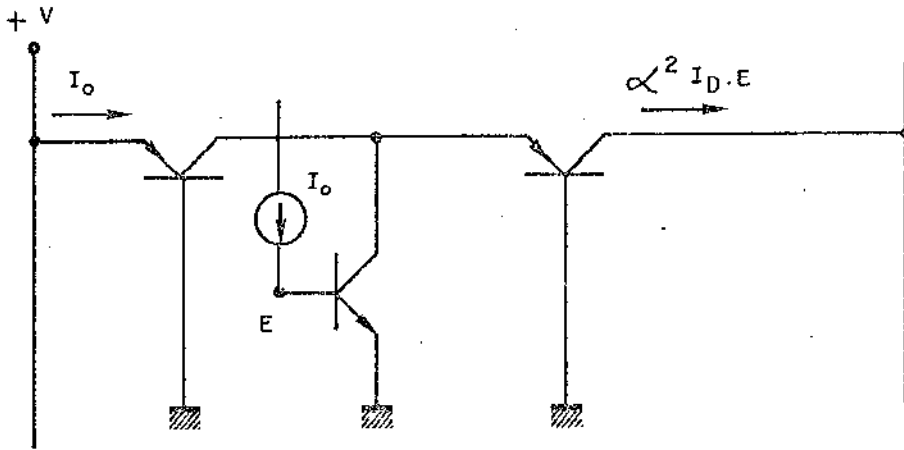
(a)



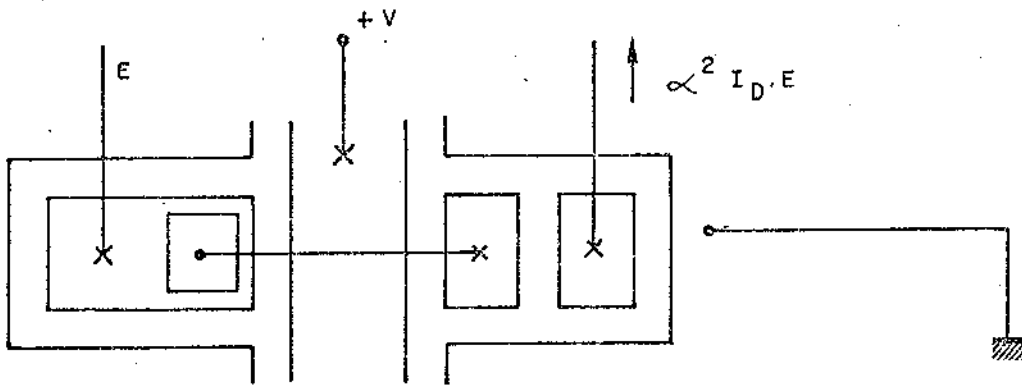
(b)

- o Contactos na região N^+ (coletor e emissor dos NPN, base do PNP)
- x Contactos na região P (base do NPN, coletor do PNP).

Figura 1.7: Multiplicador de corrente (Ref. 3).



(a)



(b)

- Contactos na região N^+ (coletor e emissor dos NPN, base do PNP).
- × Contactos na região P (base do NPN, coletor e emissor do PNP).

Figura 1.8: Chaveamento de corrente $\alpha^2 I_0$ (referência 3).

siderar o primeiro transistor como estando na sua região linear, quando na verdade está no limiar da saturação. A formação de correntes múltiplas inteiras do valor unitário, de uma célula, obtém-se por associações em paralelo desta células.

Como exemplo de aplicação destas duas técnicas temos o diagrama da figura 1.9, no qual se aplica o método exposto acima para gerar uma corrente de peso oito em relação à da célula básica. Este valor é atingido pela associação de oito transistores PNP em paralelo, sendo o seu comando proporcionado por um multiplicador de corrente de um para oito. Foi acrescentado um estágio inversor de sinal no início do multiplicador para conservar a relação de polaridade entre o sinal de comando E e a corrente na saída da mesma forma que na célula unitária (E).

Esse tipo de estrutura de circuito para a geração e chaveamento de correntes com pesos distribuídos pode ser então usado para implementar os conversores digital-analógicos cuja utilização proporciona a elaboração do subsistema que foi proposto. As suas vantagens são a simplicidade do comando direto por portas lógicas I^2L (nos exemplos, os sinais E), a não necessidade de ilhas isoladas para a construção de transistores NPN verticais, cujos emissores estão no ponto comum (ou seja, substrato N) e a garantia de uma boa velocidade de comutação por se tratar, na saída, de transistores PNP na montagem de base comum. Apresenta alguns pontos críticos, quais sejam: a forte dependência da corrente de saída com a tensão V de polarização e uma evidente variação da corrente de saída com a temperatura de substrato; ainda um cuidado especial é necessário para a equalização da tensão aplicada ao longo do injetor P. Como são usados largamente os transistores PNP laterais, é possível que ocorram fenômenos indesejáveis por efeito de contaminação da superfície do silício.

No próximo item procuraremos ligar a influência destes fatores às exigências de desempenho do circuito, estabelecendo então a viabilidade teórica da tecnologia escolhida para esta aplicação.

1.3. Considerações sobre a Tecnologia Escolhida

1.3.1. Geração das Correntes Binárias

Temos já por estabelecido que os circuitos propostos tem o comportamento qualitativo adequado para servirem à integração do decodificador. Vamos identificar agora por meio de uma análise dos circuitos apresentados os pontos críticos de seu comportamento sob o ponto de vista quantitativo.

O problema a ser considerado é o da estabilidade exigida para os níveis de saída comparado com aquela que o gerador binário é capaz de manter. A análise deste caso é feita na referência 7, cujo roteiro de apresentação vamos seguir; usaremos os resultados da referência 8, por onde será iniciada a exposição.

A definição dos níveis de saída do decodificador exige que os níveis quantizados não se afastem muito do valor estabelecido pelo projeto; essa imposição é entendida como de que a diferença entre o valor teórico e o real não seja maior do que metade da diferença de valores entre um nível de saída e os imediatamente vizinhos. Essa distância é justamente o valor de $\Delta(L)$, definido na secção 1.2. Metade dessa distância vale, portanto:

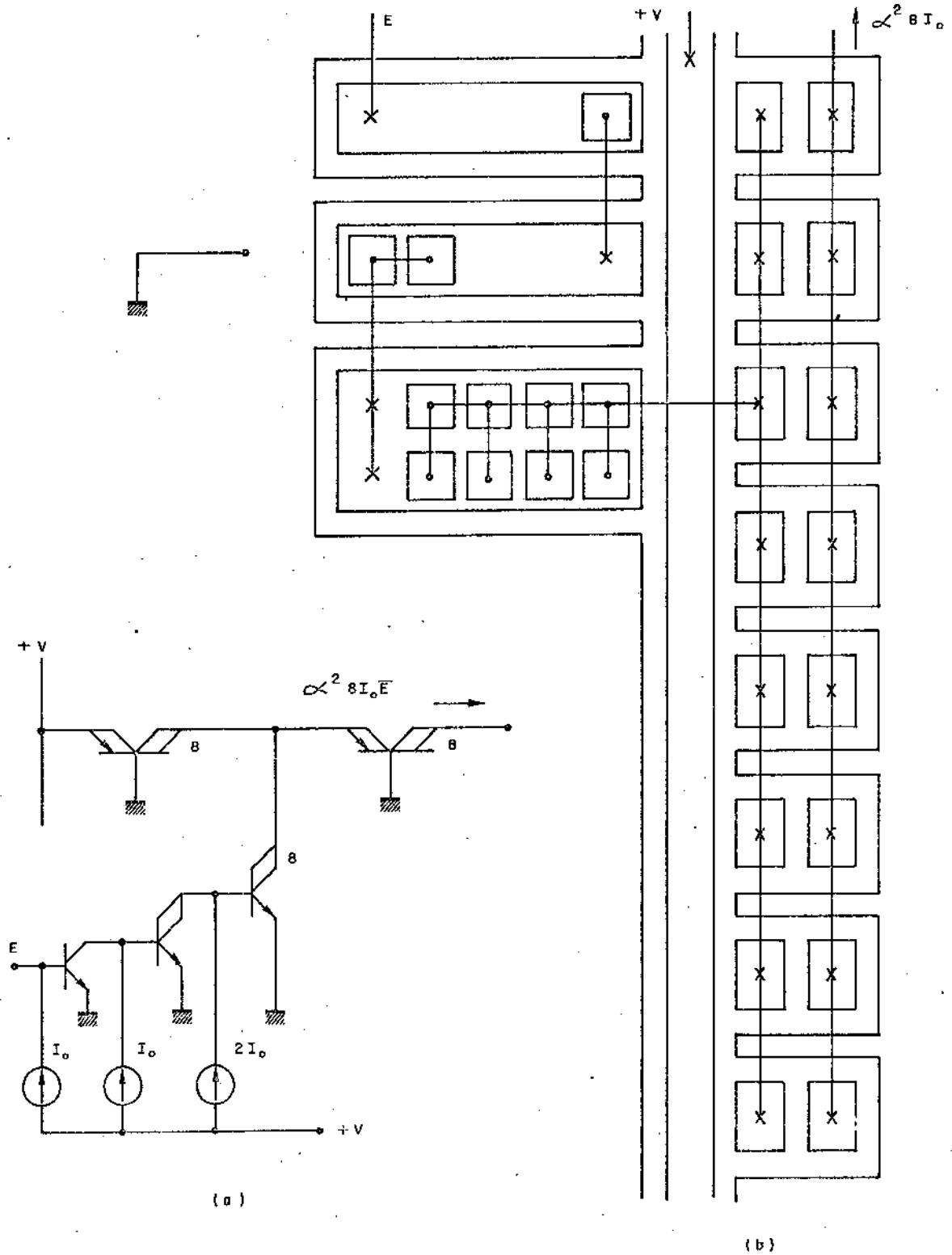


Figura 1.9: Comando de corrente $\alpha^2 8I_0$ (referência 3).

$$\delta(L) = \begin{cases} 2^L - 2 & L \geq 2 \\ 1/2 & L = 0 \text{ ou } 1 \end{cases} \quad (1.10)$$

O erro relativo menor que exigimos, e, portanto, a máxima precisão, se encontra no extremo superior de cada segmento, quando o nível de saída é o máximo; nestes pontos, aplicando a relação 1.8 com os seguintes valores: $P = N$ (segmento acima do primeiro), $V = N$ (extremo superior), $b = 0,5$, encontramos:

$$y(L) = 2^{L-1} (2N + 0,5) \quad (1.11)$$

Temos então que:

$$\epsilon_{\text{máx}} = \frac{+\delta(L)}{y(L)} \pm [2(2N + 0,5)]^{-1} \quad (1.12)$$

Com o valor adotado para N , 16, temos um erro máximo admissível, em porcentagem, de 1,53%. Por outro lado temos o fato de que o nível de saída é na verdade formado pelo produto de dois fatores, F_1 e F_2 , como aparece na seção 1.2, sob a designação de $\Delta(L)$ e $(V + P + b)$; cada um destes é por sua vez o resultado da soma de um certo número de geradores de corrente unitários I_0 (figuras 1.5 e 1.6). Associe o erro máximo admissível com o desvio padrão do valor de I_0 ; lembramos aqui o resultado clássico que diz que a soma de um número de variáveis com mesmo desvio padrão tem o seu próprio igual ao das variáveis parcelas dividido pela raiz quadrada desse número. Assim sendo, chamando I_T a corrente total, I_0 a corrente de cada célula, e representando a dispersão por $D|I|$:

$$I_T \pm D[I_T] = F_1 \times F_2 = \Delta(L) \left[I_0 \pm \frac{D[I_0]}{\sqrt{\Delta(L)}} \right] \times \\ \times (V + P + b) \left[I_0 \pm \frac{D[I_0]}{\sqrt{V + P + b}} \right] \times \frac{1}{I_0} \quad (1.13)$$

e concluímos que:

$$\frac{D[I_0]}{I_0} = \frac{D[I_T]}{I_T} \left[\frac{\sqrt{\Delta(L)} (V + P + b)}{\sqrt{\Delta(L)} + \sqrt{V + P + b}} \right] \quad (1.14)$$

Aquí, $|D I_T|/I_T$ é a dispersão máxima permitida, já calculada e designada ϵ_{MAX} . Em função dos valores de $\Delta(L)$ e $(V + P + b)$ pode se calcular as dispersões permitidas para I_0 ; o seu valor crítico é de 1,36%, no extremo superior do 2º segmento.

Para avaliar o significado desta exigência em termos de precisão requerido para os parâmetros dos dispositivos foi simulado em computador (programa SPICE 2 [9]) num circuito equivalente à célula básica do gerador de correntes binárias, cujo esquema apresentamos na figura 1.10. Os valores definidos para os componentes do circuito e do modelo de Ebers-Moll usado para a simulação dos transistores estão listados na tabela 1.2. Os transistores PNP e NPN representam os componentes da célula básica na figura 1.8. IB é o sinal que corresponde ao comando digital da célula. A tensão VEB1 mantém a injeção de corrente, sendo a fonte VCB2 usada para polarizar a junção base coletor do segundo transistor PNP no limiar do corte, mantendo o transistor na sua região linear. O diodo DLSO é usado para simular os efeitos de condução de corrente pela superfície no ponto crítico, ou seja, a junção entre base e coletor do primeiro transistor PNP, que é também a junção entre base e emissor do segundo, conforme o esquema da figura 1.6. O valor de 1,1 para o coeficiente da variação exponencial da corrente com tensão aplicada foi escolhido em função de valores verificados experimentalmente em transistores construídos por processos clássicos [10]. O mesmo pode ser dito da corrente IS definida para este componente. Temos os resultados dos fatores de sensibilidade da corrente de saída em relação a cada um destes parâmetros na tabela 1.3; incluímos também as dispersões percentuais máximas de cada um, isoladamente, admitida para a corrente de saída uma dispersão de 1,5%, ou seja, 2µA, em valor absoluto.

Esclareçamos dois pontos. Além dos valores listados na tabela 1.2, há outros, no modelo dos transistores, que são assumidos pelo programa se o valor não é fornecido; é o caso das correntes IS no transistor NPN, etc. Não foram definidas neste caso por ser seu valor absoluto irrelevante para os nossos propósitos. O outro ponto é que só foram listados na tabela 1.2 os parâmetros em relação aos quais a sensibilidade da corrente de saída se torna significativa; temos aliás um, o valor de IS no diodo DLSO, para o qual esse fator é ordens de grandeza menor em relação aos outros.

Vemos a grande influência que o valor de VEB1 tem na corrente de saída, o que era de se esperar. Não é uma limitação para a confecção do gerador, visto como se trata de uma fonte externa, mas aponta na direção do cuidado especial na equalização das tensões de alimentação. Isto será tratado com detalhe nos capítulos seguintes. Um resultado menos intuitivo é a pouca influência do diodo que representa a parcela de condução na superfície, DLSO; podemos atribuir este fenômeno ao fato de que a junção base coletor de Q1 que está em paralelo com este diodo tem uma capacidade de condução de corrente mais alta.

Os parâmetros que parecem ser realmente críticos são os ganhos (BF, BR) e correntes de saturação (IS) dos transistores PNP laterais. Naturalmente os cuidados a

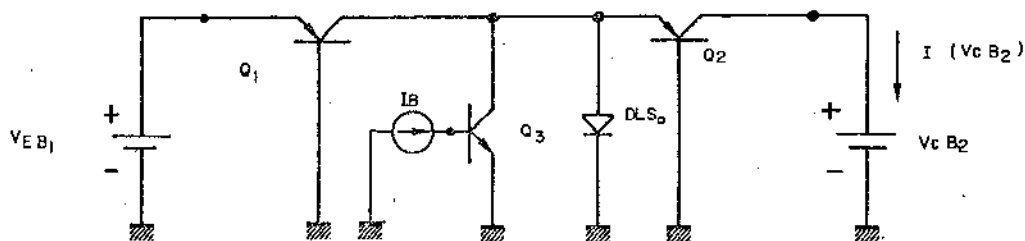


Figura 1.10: Circuito simulando a célula básica do gerador binário.

TABELA 1.2

DISPOSITIVOS	PARÂMETRO (notação usada no SPICE)	VALOR
FONTE DE TENSÃO	VEB1 VCB2	395 mV 1 mV
FONTE DE CORRENTE	IB	DEGRAU DE 10 μ A, INICIAL = 0
DIODO (DLSO)	N CJO IS	1,1 0,45 pF 10 ⁻¹³ A
TRANSISTORES DO TIPO PNP (Q1 E Q2)	BF, BR, IS, TF, TR	10, 10, 10 ⁻¹² , 0,1 μ s, 0,1 μ s
TRANSISTOR DO TIPO NPN (Q3)	BF, BR, TF, TR	5, 200, 5ns, 0,1 μ s

TABELA 1.3

DISPOSITIVOS V _{EB1}	PARÂMETRO TENSÃO DE ALIMENTAÇÃO	COEFICIENTE DE SENSIBILI DADE 7,459.10 ⁻⁵	PRECISÃO NECES SÁRIA (%) 0,1
DLSO	IS	-2,32.10 ⁻⁵	130
	N	2,78.10 ⁻⁷	10
Q ₁	BR	8,663.10 ⁻⁸	3,48
	IS	9,762.10 ⁻⁵	3,074
Q ₂	BF	8,663.10 ⁻⁸	3,48
	IS	9,741.10 ⁻⁵	3,079

serem tomados são os de atenção nos processos de difusão e fotolitografia e uma disposição em máscara que situe todos os geradores o mais próximo possível uns dos outros e do centro da pastilha para equalizar as temperaturas. Pode-se prever um rendimento de circuitos viáveis que vai depender também da qualidade do substrato usado. Estas exigências não são absurdas se consideramos os padrões atuais de tecnologia.

Cabe observar que, num circuito deste porte, é necessário que os parâmetros ligados aos componentes individuais possam ser estabelecidos por meio de medidas se possível de maneira rápida e direta, para que eventuais desvios em relação aos valores assumidos possam ser identificados e as causas desses desvios estabelecidas. Essa função será desempenhada por componentes e blocos isolados ditos "de teste", dos quais trataremos em detalhe no capítulo II.

1.3.2. Portas Lógicas

O problema mais importante em relação ao emprego das portas lógicas I^2L não se refere tanto à possibilidade do seu uso, tendo em vista as exigências de desempenho do circuito, como ao tipo de modelo que deve ser escolhido para representar o seu funcionamento e ligar o comportamento do dispositivo aos parâmetros estruturais do componente, ou seja, características do cristal de silício, tais como dopagem das várias camadas, as respectivas espessuras, tamanho físico das áreas de contacto, de difusão, etc.

O modelo estrutural mais conhecido do comportamento da porta I^2L é o de Klaassen [11]. É um modelo simples e bastante completo da porta I^2L onde as relações básicas são as equações de Ebers-Moll para os transistores PNP e NPN, considerados estes isoladamente para cada coletor; o número de transistores NPN verticais é igual ao número de coletores em cada porta. Dessas equações e de algumas das relações clássicas para ligação entre os parâmetros do transistor bipolar e sua estrutura [12] o autor citado estabelece alguns pré-requisitos para o bom funcionamento e valores limites para a tecnologia.

Esse modelo de Klaassen sofreu a crítica de Berger [13] em alguns aspectos, o principal deles nas considerações a respeito do comportamento das correntes de elétrons e lacunas na região da junção entre base e emissor dos transistores NPN verticais. O autor citado apresenta alguns resultados experimentais em apoio desta crítica, mas não chega a ligar esses resultados com a estrutura do cristal de silício; isso torna a sua proposta de modelamento de utilidade limitada para o nosso caso.

O termo ambíguo da proposta de Klaassen foi substituído por uma expressão mais coerente com os resultados experimentais no trabalho de Vanhecke [6] cujo modelo pretendemos usar para a previsão de comportamento do componente em condições estáticas. O mesmo autor, em conjunto com outros, apresenta um modelo para a comutação que nos traços essenciais é o mesmo que o de Klaassen, sendo o que pretendemos empregar [14].

As características essenciais do modelo estático são as seguintes:

- a) as regiões limites das camadas, ou melhor, as junções entre as regiões P e N, são consideradas sempre verticais ou horizontais; o plano de referência, a superfície do silício, é horizontal;
- b) os fluxos de portadores, ou seja, as correntes de elétrons e lacunas são considerados sempre normais às junções;

c) não ocorrem recombinações de portadores minoritários nas camadas de base dos transistores PNP e NPN, o que torna o fator de transporte entre emissor e coletor igual a 1.

Em relação aos parâmetros do comportamento dinâmico, ou seja, tempos de comutação, o modelo de Klaassen, também usado por Vanhecke, usa o conceito clássico de controle por acumulação de cargas nas regiões ativas, adaptado ao caso do transistor NPN com fluxo de portadores ascendente ("upward"). No caso deste transistor temos a sua região de emissor (N) com uma dopagem mais baixa que a de base (P) pelo fato de ser a primeira formada pela camada epitaxial. Devido a isto, os autores recomendam a consideração também da carga de portadores minoritários acumuladas nesta região, as quais podem chegar a ser o fator principal na limitação da velocidade de comutação. Este não é em geral o caso dos transistores NPN de funcionamento normal, descendente ("downward"), pelo menos para níveis não muito elevados de corrente quando o componente está saturado.

A apresentação detalhada dos modelos de Klaassen e Vanhecke será feita no capítulo III do trabalho, quando se fará o projeto dos processos para obtenção dos componentes. Por ora vamos usar alguns resultados deste modelo, aplicáveis ao cálculo das condições mínimas para o bom funcionamento do componente, no caso a porta lógica I²L.

O parâmetro inicial definido para este modelamento é o do ganho em corrente do transistor NPN considerado cada coletor em separado. Voltando ao diagrama esquemático da figura 1.4(a), é a relação entre as correntes injetadas no ponto 3 e medida em cada um dos pontos de 4 a 7, mantido o ponto 2 em circuito aberto. Esse parâmetro, designado por β_D , pode ser calculado pela seguinte relação [6,11]:

$$\beta_D = \frac{S_C}{S_B} \cdot \frac{(Q_B)^{-1}}{[1 + F(1 - S_C/S_B)] [Q_P]^{-1} + (F + 1) \frac{D_{PB}}{D_{NE}} (Q_E)^{-1}} \quad (1.15)$$

Os símbolos que aparecem na relação acima correspondem às quantidades definidas como se segue:

- Q_B : densidade de átomos de dopante na camada de base ativa: $3 \cdot 10^{12} \text{ cm}^{-2}$;
- F : número de coletores: 4;
- S_C, S_B : áreas das regiões de junção coletor-base, e base-emissor correspondente a cada coletor; pela figura 1.4(b), o valor S_C/S_B vale 0,45;
- Q_P : densidade de átomos de dopante na camada P, completa: $3 \cdot 10^{14} \text{ cm}^{-2}$;
- D_{PB} : coeficiente de difusão das lacunas na região de base ativa: $12 \text{ cm}^2/\text{V.s}$;
- D_{NE} : ídem, na região do emissor, considerada preponderantemente a camada N^+ de substrato: $3,0 \text{ cm}^2/\text{V.s}$;

Q_E : densidade de átomos de dopante na camada ativa do emissor:
 $1,1 \cdot 10^{16} \text{ cm}^{-2}$.

Os valores apresentados correspondem a um processo bipolar padrão |14|. O seu cálculo detalhado a partir do processo, bem como um refinamento da relação 1.3 está exposto no capítulo 3.

Nessas condições, temos então:

$$\beta_D \approx 13,45 \quad (1.16)$$

O segundo parâmetro de interesse é o mesmo ganho por coletor do NPN, quando o ponto 2 é ligado ao substrato; designaremos este ganho como β_{ef} . O cálculo deste valor, além de β_D , envolve a relação entre a corrente de elétrons injetada pelo emissor do NPN (camada N^+) na sua base ativa (camada P) e a corrente de lacunas injetada pelo coletor do PNP (camada P) na sua própria base ativa (camada epitaxial N). Considerado um processo de fotolitografia com definição de linhas de $10 \mu\text{m}$, uma espessura de $2 \mu\text{m}$ para a camada P e uma dopagem de $5 \cdot 10^{15} \text{ cm}^{-3}$ para a camada epitaxial, temos para esta relação (G), em primeira aproximação, o valor de:

$$G = 26 \quad (1.17)$$

O valor de β_{ef} pode ser calculado pela relação que segue |11|:

$$\beta_{ef} = \frac{G}{G/\beta_D + 1} = 8,86 \quad (1.18)$$

Pode-se calcular a margem de ruído (ΔV) a partir de β_{ef} ; a 300K, temos:

$$\Delta V = \frac{kT}{q} \ln \beta_{ef} \approx 56 \text{ mV} \quad (1.19)$$

Esses valores mostram uma boa concordância com os resultados experimentais reportados [6,11,13], dando margem a que se possa orientar por estas relações o projeto de um processo a ser aplicado na construção do circuito proposto, o que, como foi dito, será feito no capítulo III.

O modelo de Klaassen pode ser também aplicado a previsão do tempo de comutação da porta lógica, ressalvadas as observações feitas no início desta seção. Com efeito, de acordo com Bailbé [10] no cálculo da frequência de transição (f_T) dos transistores NPN verticais o termo preponderante (em condições de baixa injeção) é o que

corresponde ao acúmulo de portadores minoritários na região de emissor (camada N^+). Simplificando a relação dada por este autor, temos:

$$\frac{1}{f_T} = 2\pi \frac{\tau_{pE}}{\beta_D(F)} \quad (1.20)$$

O símbolo τ_{pE} representa o tempo de vida médio das lacunas na região N^+ . Tomando o valor usual de $0,4\mu s$ [15], temos:

$$f_T = 5,35 \text{ MHz} \quad (1.21)$$

Esse valor permite, pela sua introdução no modelo de Klaassen, o cálculo do tempo de comutação mínimo que se pode esperar da porta lógica construída pelo processo padrão (t_a):

$$t_a = [\beta_{ef}]^{1/2} (2\pi f_T)^{-1} \approx 89 \text{ ns} \quad (1.22)$$

Estes parâmetros da porta I^2L , avaliados de certo modo "a priori", satisfazem as exigências de comportamento que o subsistema proposto apresenta. O problema geral de estabelecer as características da estrutura do componente que pretendemos construir e o cálculo dos parâmetros de comportamento a partir dessa estrutura, usando o modelo que foi adotado, será feito nas seções correspondentes do capítulo III.

1.4. Considerações Finais

Concluimos que é factível a realização do subsistema decodificador em estrutura bipolar, usando os transistores PNP laterais para geração das correntes com pesos binariamente distribuídos, e portas lógicas I^2L para o comando do chaveamento destas correntes. Nos capítulos que seguem devemos abordar, em termos de projeto: a) no capítulo II a descrição do processo de confecção e a elaboração das máscaras para a construção do dispositivo; b) no capítulo III as características dos dispositivos construídos a partir de um perfil de dopagem conveniente e das características geométricas, usando como foi dito, um modelo semelhante ao de Klaassen. Nos capítulos subsequentes, IV e V passaremos aos dados experimentais, tanto de processo (reavaliação dos perfis de dopagem) como dos dispositivos (revisão dos parâmetros do modelo usado); particularmente no capítulo V teremos os resultados finais do comportamento do subsistema.

CAPÍTULO II

ESTABELECIMENTO DAS ETAPAS DE CONSTRUÇÃO E PROJETO DE MÁSCARAS

Neste capítulo propomo-nos a expor o processo de elaboração que leva ao estabelecimento da configuração definitiva para o protótipo de teste do nosso sistema. Os dados preliminares para atingir este objetivo são as características do sistema de fotogração, as etapas previstas para a construção dos circuitos I^2L convencionais em substratos de silício do tipo N/N^+ (o que tem influência nas dimensões que podem ser atribuídas) e as adaptações que se tornam necessárias nestas etapas para aperfeiçoar as características dos geradores de corrente comandados. Deve também ser considerada a uniformização da montagem geométrica dos dispositivos, que são em número bastante grande, no sentido de tornar possível a automatização do desenho das máscaras na sua matriz primária.

2.1. Sistema de Geração de Máscaras e Fotogração

O sistema de geração de máscaras para a fotolitografia tem as suas principais características centradas no processo de fotorrepetição [16]. Os dados da máquina fotorrepetidora adotada em nosso laboratório são: passo de deslocamento fixo de 5 mm, operando com uma redução de 5 vezes a partir da matriz secundária, que é uma placa de vidro de alta resolução, quadrada, com 63,5 mm de lado. A área útil na matriz secundária é assim um quadrado de 25 mm. de lado, sendo o restante da placa usado para marcas de referência. No caso em questão, usamos dois pontos diametralmente opostos em relação ao desenho do circuito, separados de 37,5 mm, que devem ser superpostos às marcas padrão da máquina para eliminar deslocamentos angulares no posicionamento.

É necessário esclarecer que o sistema de lentes foi dimensionado de tal forma que o limite ótico não interferisse com os limites geométricos do sistema.

A redução que produz a matriz secundária é feita numa fotorredutora HLC cuja tela comporta desenhos de até 2 m de tamanho; lembremos que as marcas de alinhamento supra citadas devem fazer parte do desenho inicial que é a matriz primária, que, no nosso caso, foi desenhada em rubilite.

Para aumentar a segurança quanto à não interferência de problemas de alinhamento e definição fotolitográfica, resolvemos trabalhar com dimensões mínimas de 10 μ m; isto vale para o tamanho das menores janelas que são obtidas por processo fotolitográfico (contatos de coletor, no transistor NPN da porta I^2L) e também para a menor distância permitida entre janelas de fotograções sucessivas: contato de coletor para janela de difusão de coletor, difusão de coletor para difusão de base, etc. Esse limite pode cair um pouco quando se trata de máscara de contato para a máscara de metaliza

ção, visto como não são fotografações sucessivas na mesma superfície; adotamos para as linhas de metalização dimensões de $20\mu\text{m}$, o que favorece bastante a compactação do circuito em relação aos $30\mu\text{m}$ que seriam necessários se se conserva a convenção. Estes dados fornecem para a disposição padrão da porta I^2L com 3 coletores ("fan-out" de 3) as dimensões que encontramos na figura 2.1.

Nota-se nesta figura que a área fornecida para o contato de base é maior do que a que seria realmente necessária, pelos padrões do parágrafo anterior. Aqui encontramos um dos pontos em que prevaleceu uma regra de simplificação da automatização do projeto; afastando um pouco o contato da base, tornamos as linhas de metalização equidistantes, o que se tornou muito útil na resolução dos problemas de disposição dos componentes das malhas lógicas e do biestável 'D, como adiante se verá [17].

É fácil verificar que as dimensões adotadas não devem prejudicar a estrutura dos dispositivos, onde o efeito mais importante é o da difusão lateral das camadas, ultrapassando o limite estabelecido pelas janelas de fotolitografia. A difusão mais profunda em todo o processo, deve ser a de boro (P) na fita injetora (emissor dos transistores PNP laterais); a profundidade prevista para esta, na vertical, deve ser da ordem de $5\mu\text{m}$, o que dá um espalhamento de $3\mu\text{m}$ (60%) lateralmente. Temos assim uma boa margem de dispersão, no alinhamento e na localização da junção para que o emissor não atinja o coletor (que é a base de NPN vertical).

A escala de redução total a ser usada depende principalmente de duas considerações: tamanho máximo possível de ser admitido para o desenho da matriz primária e capacidade de resolução de linhas dentro deste mesmo desenho; esses dois fatores são o limite inferior e superior do tamanho da matriz primária. O desenho de linhas, manual ou automático, em rubilite, não se torna cômodo para distâncias menores do que 1 mm; esse limite deve ser respeitado quando se trata de circuitos com grande número de componentes. Adotado este valor, temos um fator de redução de 100 vezes da matriz primária para a máscara fotorrepetida; uma área útil quadrada de 500 mm de lado na matriz primária; um fator de redução de 20 vezes desta para a secundária e marcas de alinhamento separadas de 750 mm.

Como se vê, há uma relativa folga de dimensões no desenho inicial, para dimensões finais de $10\mu\text{m}$. Uma outra possibilidade aventada, no entanto, é trabalhar com dimensões finais de $5\mu\text{m}$, em caráter experimental. Neste caso, respeitadas as condições já expostas, a redução total é de 200 vezes; a parcial (primária para secundária) de 40 vezes, e a distância entre as marcas de alinhamento é agora de 1500 mm, no limite portanto, de tamanho para a tela da fotorreduzora. Eis porque as máscaras foram desenhadas no tamanho e escala dados pelo parágrafo anterior, com dois pares de marcas de alinhamento: o primeiro, como já foi dito, com 750 mm e o segundo 1500 mm.

Os desenhos finais são apresentados após a especificação da disposição dos blocos, cuja exposição passamos a fazer.

2.2. Bloco de Componentes de Teste

Neste protótipo experimental é importante que um certo número de componentes esteja disponível para medidas de avaliação dos comportamentos individuais, principalmente aquelas que servem para caracterização dos processos (etapas) levados a efi-

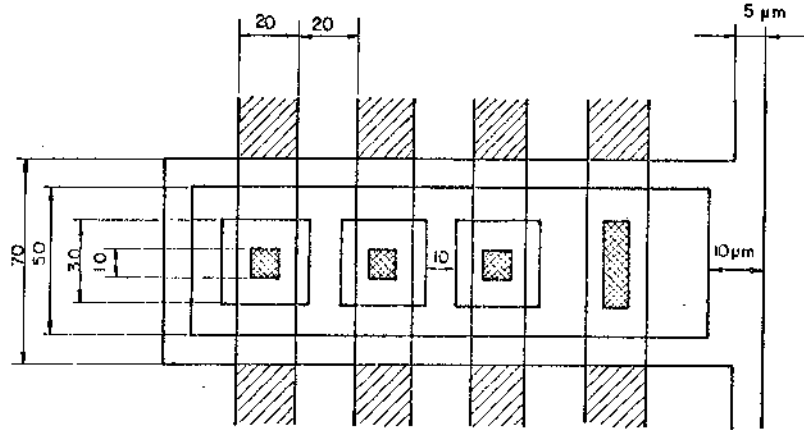


Figura 2.1: Regras de projeto para dimensionamento do transistor I^2L com 3 coletores ($1\mu m$).

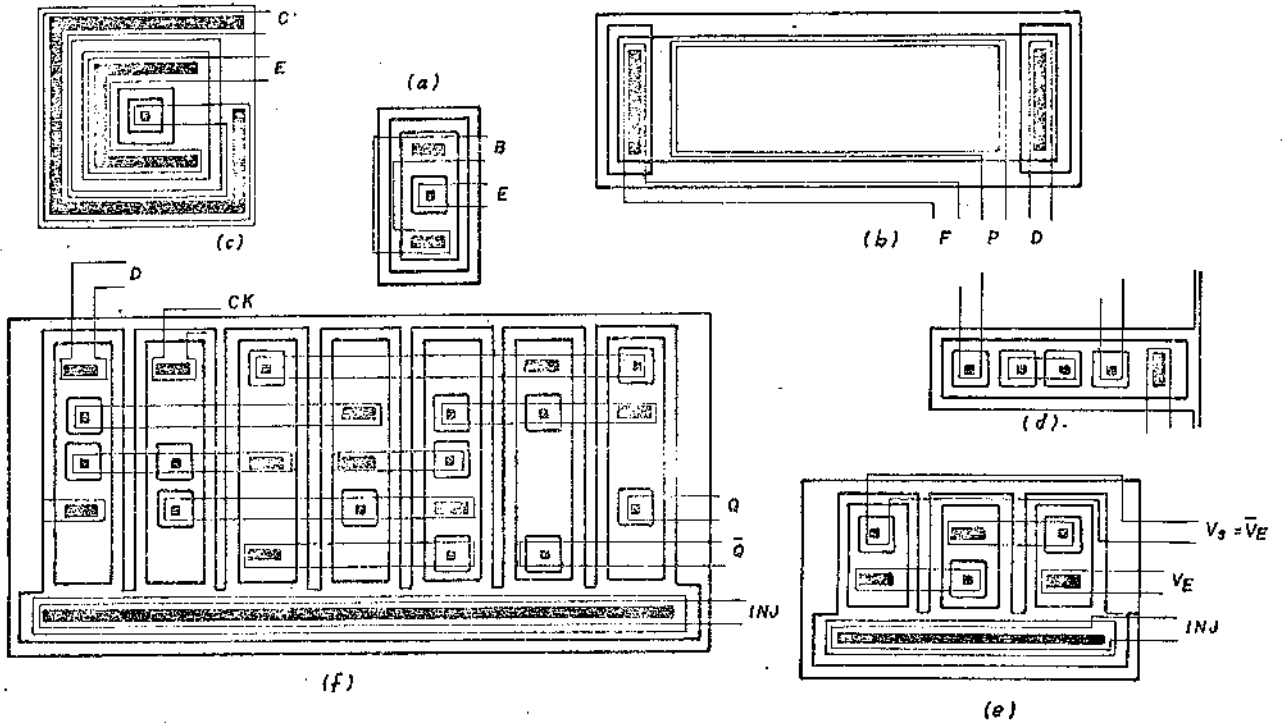


Figura 2.2: Componentes de teste.

to para obter as estruturas finais. Estas etapas, cada uma ligada a uma máscara de fotografação especial, são as seguintes, pela ordem de execução:

- a) difusão de fita injetora: esta é de tipo P, difusão de boro, cujo objetivo é minimizar a resistência série da camada injetora; isto visa a equalização das correntes, como é explicado no capítulo I, secção 1.5;
- b) difusão de isolamento: tipo N, difusão de fósforo, para eliminar o efeito parasitário (PNP) entre duas bases de transistores NPN verticais [18];
- c) difusão de base: tipo P, boro, forma a região da base dos NPN verticais e portanto, os coletores dos PNP laterais;
- d) difusão de coletor: tipo N, fósforo, forma os coletores dos NPN na configuração I^2L (em transistores convencionais seriam os emissores);
- e) abertura de janelas de contato: essa é auto explicativa;
- f) metalização: definição das ligações ponto a ponto.

O primeiro componente de teste que se apresenta como necessário é um transistor NPN convencional. A medida dos seus parâmetros deve proporcionar informações sobre as capacitâncias de junção entre as camadas P e N, dopagem relativa (eficiência de injeção) entre as camadas N, P, substrato e tempos de vida médio nessas camadas. A configuração adotada está exposta na figura 2.2(a), que também aparece na referência 19. Para um estudo mais aprofundado da região ativa da base deste transistor acrescentamos a estrutura da figura 2.2(b), que é um transistor de efeito de campo de junção (TEC-J) cujo canal é a própria camada P da região ativa da base.

Temos em seguida um transistor PNP do tipo lateral, em 2.2(c). Por meio deste dispositivo queremos caracterizar principalmente os fenômenos de recombinação na região da junção que está na superfície. Da mesma forma, temos dados adicionais sobre a difusão P e junção com o substrato.

Para o estudo da porta NE, I^2L , temos duas configurações: uma porta isolada, com número de saídas igual a quatro e um inversor em anel de três estágios, respectivamente nas figuras 2.2(d) e (e). Nestes podemos agora medir diretamente o comportamento dos circuitos I^2L em regime estacionário e em comutação, comprovando ainda os parâmetros de modelamento que possam ser deduzidos através das medidas nos componentes que já tenham sido medidos. No caso da porta I^2L com quatro coletores o acesso foi limitado a dois (o mais próximo e o mais distante) para não onerar a quantidade dos terminais externos do circuito.

Finalmente, temos um bloco completo, um biestável tipo D como o que foi proposto no capítulo I, secção 1.4. A disposição apresentada na figura 2.2(f) é a que é realmente usada no circuito definitivo como bloco básico dos registradores de deslocamento e memória. Serão interessantes aqui principalmente a imunidade a ruído do componente e a frequência máxima de operação como função da corrente injetada, ou potência consumida, como parâmetro. É também uma etapa no processo de elaboração e verificação do modelamento. Este circuito, nesta configuração, apresenta um problema, analisado no capítulo IV, secção 4.5.

2.3. Circuito Lógico de Comando

Em função das expressões estabelecidas para os comandos do gerador binário podemos construir diretamente o diagrama simplificado da figura 2.3 [19]. Lembramos que a memória fornece tanto o dígito normal B_i para a decodificação quanto o seu inverso \bar{B}_i ; assim sendo podemos usá-lo como sinal de entrada, estando ambos inclusive sincronizados.

É necessário frisar que o chaveamento das correntes é do tipo paralelo, sendo portanto necessário obter na saída os inversores das funções definidas para isso no capítulo I, tabela 1.1.

Por outro lado, o sistema de blocos como é apresentado no capítulo I, figura 1.3, atribui 127 parcelas ($\sum_{i=1}^6 2^i$) para a formação do sinal F1, sendo a função A que fornece a parcela 64 (2^6). A montagem deste bloco é facilitada, caindo o número de células para a metade, se nos lembramos que nunca mais do que uma das parcelas é acionada simultaneamente; fazemos com que o sinal A acione todas as parcelas e temos agora um total de somente 64 parcelas. As funções lógicas tornam-se então aquelas que aparecem na já citada figura 2.3.

Em termos de disposição de componentes a malha lógica de comando tem sua disposição final como é mostrado na figura 2.4. Devido a um problema de correção de circuito "a posteriori" foi necessária a inclusão da linha de metalização quebrada que aparece na parte superior do desenho.

Foram usados dois transistores para a saída de \bar{A} para conservar o limite superior de 4 coletores por transistor ("fan out" de 4). As bases dos transistores foram conectadas no maior número possível de pontos para que as saídas fossem equalizadas.

Observamos finalmente que, embora pareça que seria possível compactar ainda mais este bloco, rearranjando os contatos do sexto transistor a partir da esquerda, tal fato leva a alteração da ordem de distribuição das funções de saída, e essa disposição está determinada pelo posicionamento do gerador binário, cuja exposição se fará na próxima secção. Um tal tipo de trabalho se justifica se há problemas de espaço para a localização dos componentes, o que no momento não é o caso.

2.4. Gerador de Correntes Binárias

Como está explicado no primeiro capítulo, são dois fatores que devem ser gerados, cada um com seus próprios comandos. Um deles tem 64 células, comandado pelas funções A, B ... etc. e o outro 32, na verdade 31 e meia, comandados por $B_5, B_6, B_7, B_8, |\bar{G} \cdot \bar{A}|$ e um sinal que vamos definir agora, B^+ . Este é o que dá o comando sobre a parcela de valor $0,5I_0$, não fazendo parte do conjunto de 8 dígitos de entrada. A conveniência da sua utilização ou não depende das características do sistema de codificação (capítulo I, 1.2). Apresentamos nas figuras 2.5 e 2.6 a configuração adotada para o gerador completo.

Está implícito nesta disposição que os transistores NPN são capazes de drenar aos PNP pelos menos a corrente que é injetada lateralmente nestes últimos; isto im-

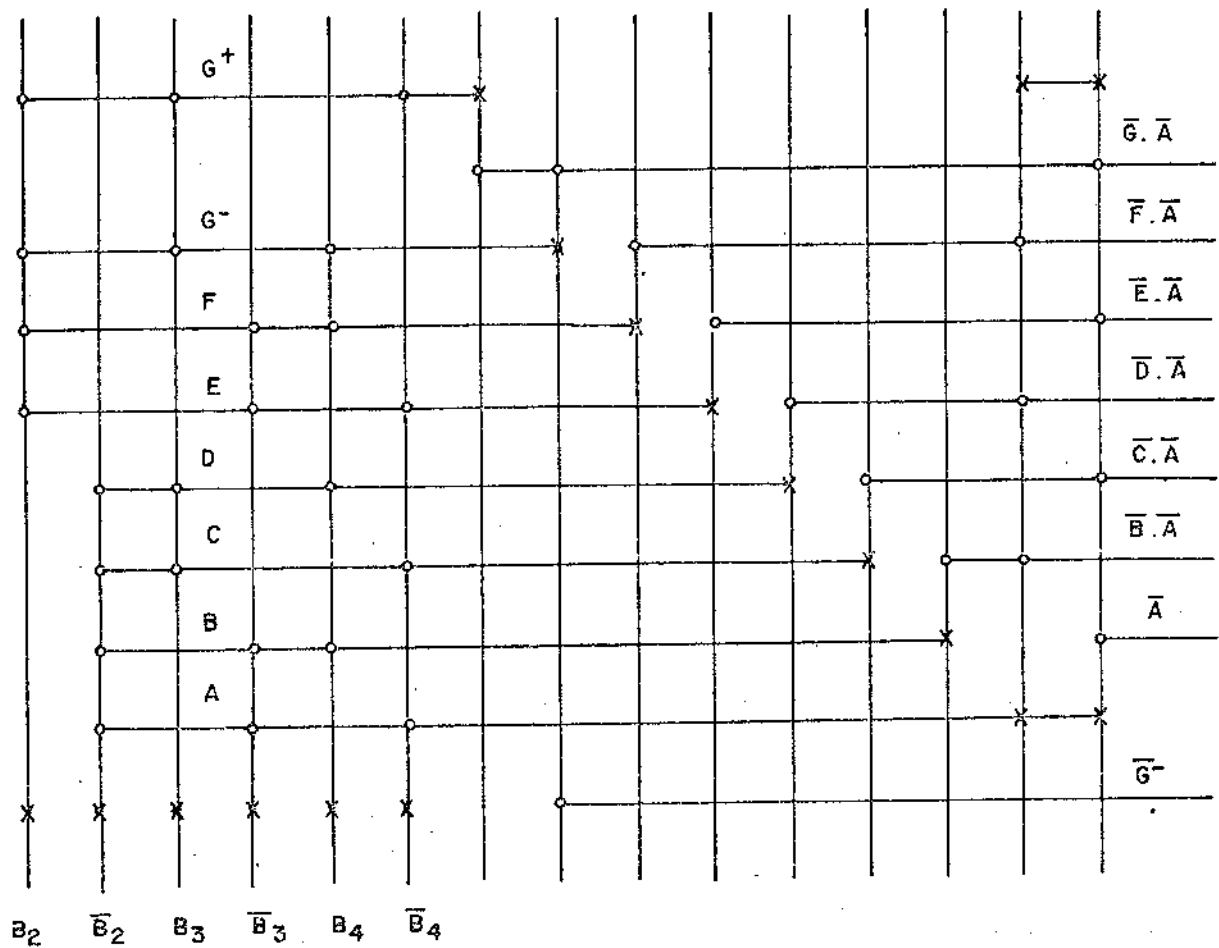


Figura 2.3: Proposta para configuração da malha lógica de comando do conversor D/A.

x - contatos de base

o - contatos de coletor

barras verticais - base do transistor

NPN

barras horizontais - ligações metálicas

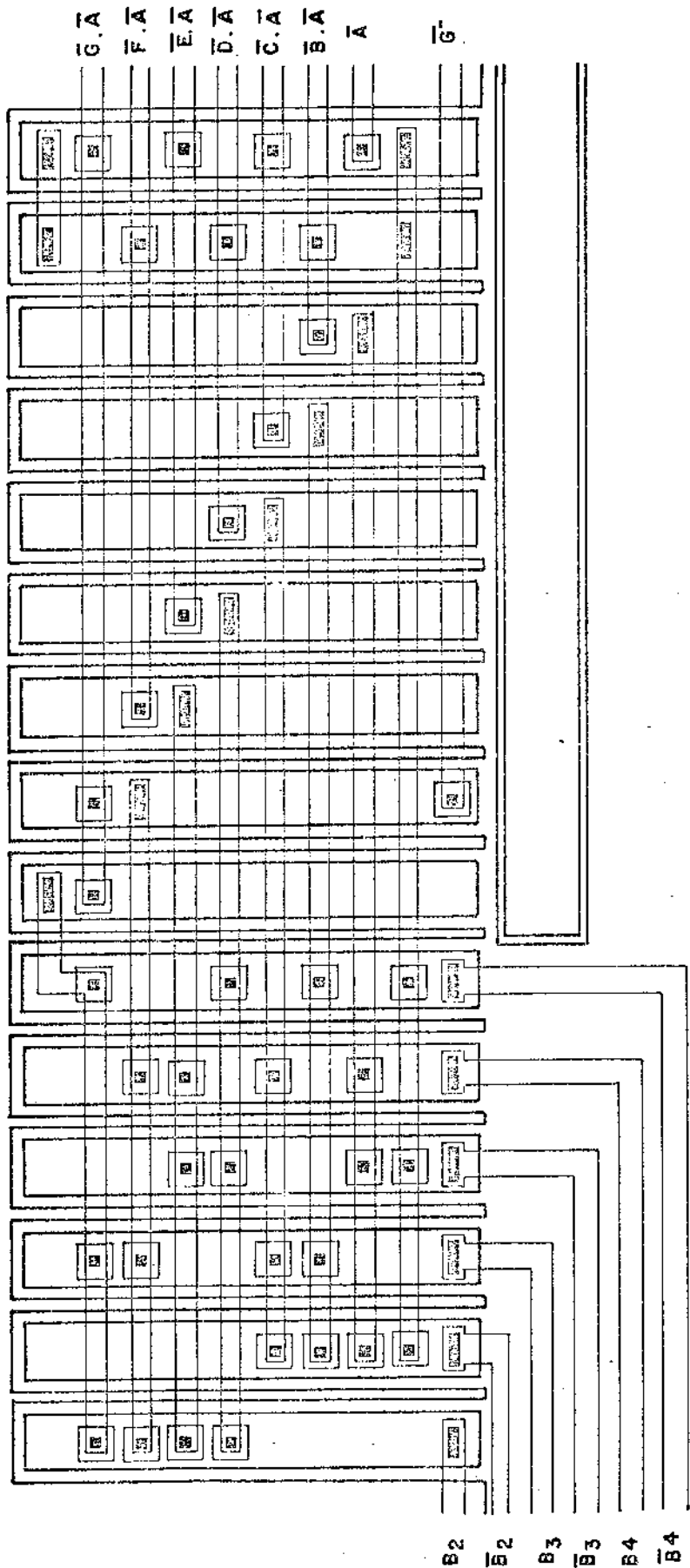


Figura 2.4: Configuração final da malha lógica de comando.

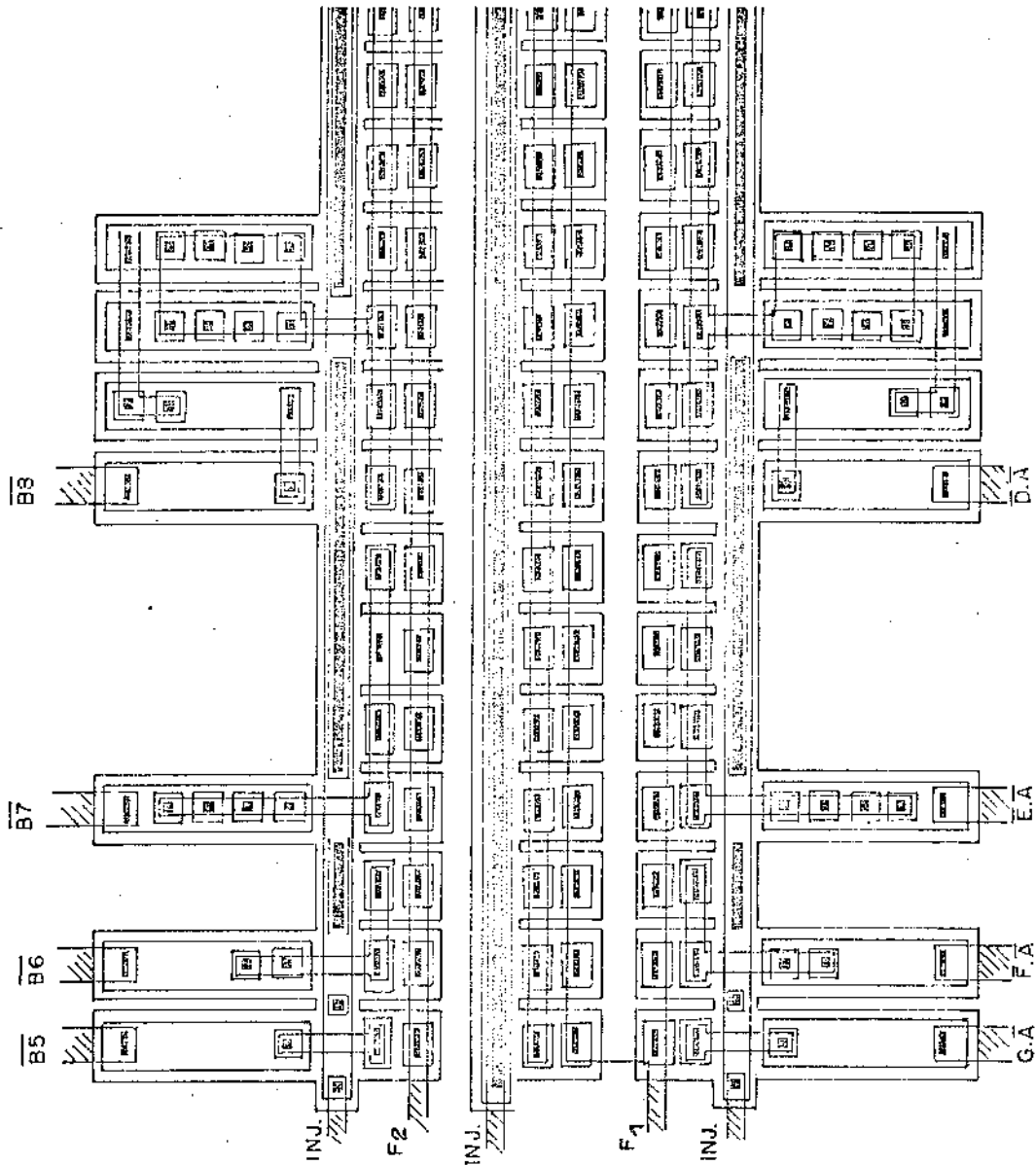


Figura 2.5: Bloco do gerador de corrente binárias, parte I.

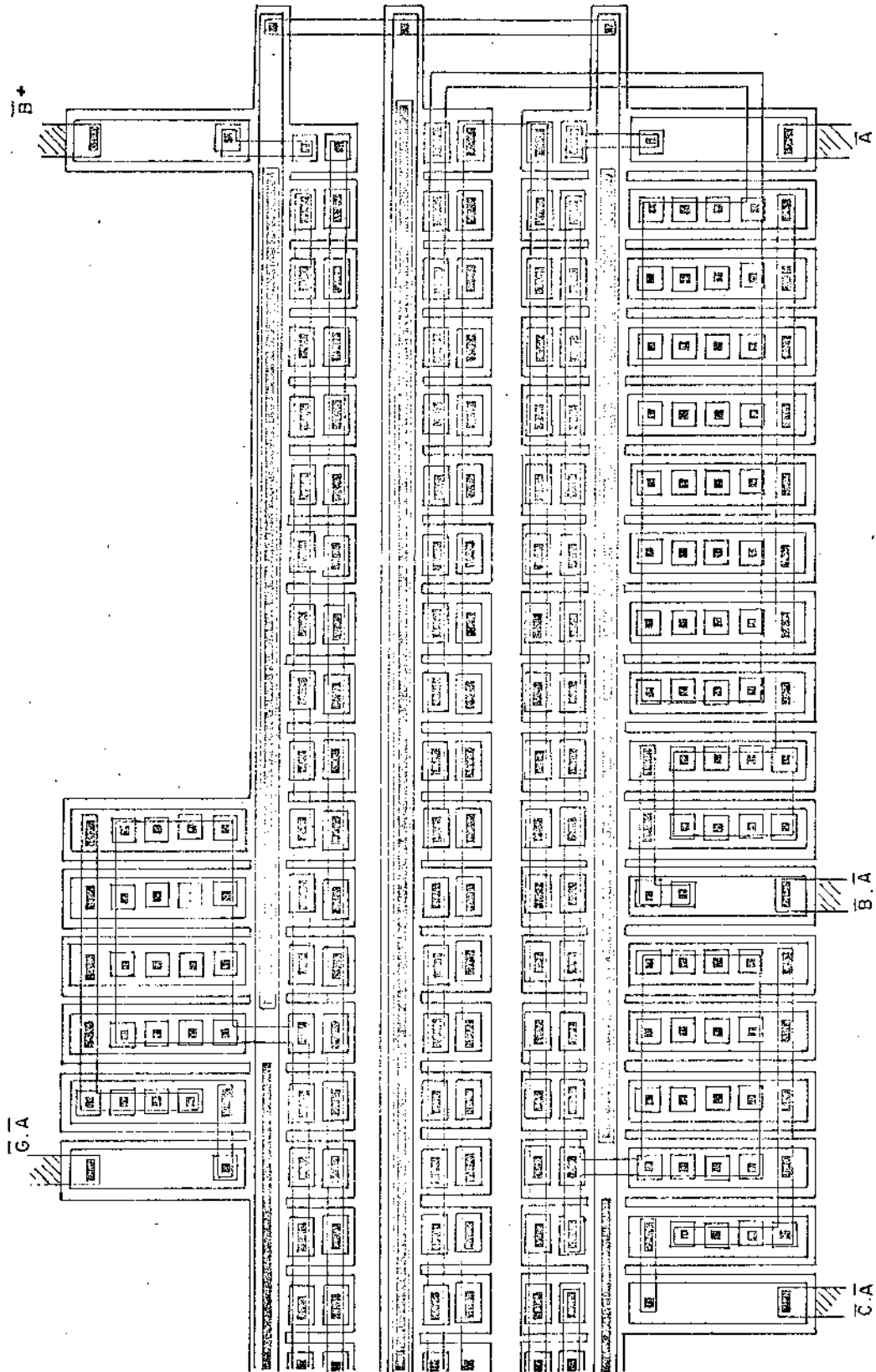


Figura 2.6: Bloco do gerador de correntes binárias, parte II.

plica em que o ganho daqueles seja pelo menos de 1, para cada coletor, como foi citado no capítulo I.

Foram usados dois acessos externos para a injeção de correntes para melhorar a equalização da distribuição das correntes, que é crítica, como aparece nos resultados da análise do capítulo I, secção 1.5. Pela mesma razão são feitos os contatos de alumínio ao longo de toda a fita injetora. Esta somente não foi feita mais larga para conservar a dimensão que foi adotada para o transistor PNP, facilitando assim a realização do desenho das máscaras.

Pode-se verificar também por este desenho, e o da disposição geral dos blocos (secção 2.5) a razão de ser da ordem de saída das variáveis no bloco de processamento lógico.

2.5. Distribuição Geral dos Blocos

Essa distribuição está exposta de maneira sintética na figura 2.7, onde também estão especificados os terminais externos necessários para o circuito.

Explicamos, repetindo o que foi dito na introdução geral, que neste estágio do trabalho julgamos essencial ter a possibilidade de fazer medidas em cada um dos blocos principais, isoladamente. O registrador de deslocamento que faz a conversão série paralelo e a memória tem a sua entrada própria, seus pulsos para sincronismos e as saídas voltadas para fora do circuito; a sua capacidade foi aumentada para 10 dígitos para tornar o estudo mais completo. O mesmo pode ser dito dos geradores de F1 e F2, cujos comandos vêm do exterior e tem saídas independentes; somente o acoplamento com o bloco de comando lógico foi feito internamente, visto como se trata de um bloco cujo comportamento pode ser estudado através dos componentes de teste.

O bloco básico do circuito de conversão série paralela é o arranjo de circuitos biestáveis D semelhantes ao que existe no bloco de componentes para teste, que expomos na figura 2.8. O pulso de relógio externo é o indicado por \overline{CK} , na frequência de 2048 KHz e o pulso de 256 KHz para leitura pela memória é dado por \overline{CM} . O injetor de correntes é comum a ambos, indicado por INJ.

Resta observar que, com esta disposição, temos a forma de reintegrar o circuito numa etapa futura, tendo os pulsos de comando da malha lógica próximas deste bloco, o mesmo valendo para os que comandam o gerador F2.

Com essa disposição adotada para os blocos e componentes de teste, usamos 64 contatos externos, cuja discriminação é feita na tabela 2.1.

2.6. Configuração das Máscaras

Temos seis máscaras para a confecção do circuito em todas as suas etapas. A primeira difusão que deve ser feita é a das camadas P para formar a região de injeção; como veremos no próximo capítulo, é a difusão que deve ser feita a temperatura mais alta, justificando-se assim que seja a primeira a ser executada. Na figura 2.9 te

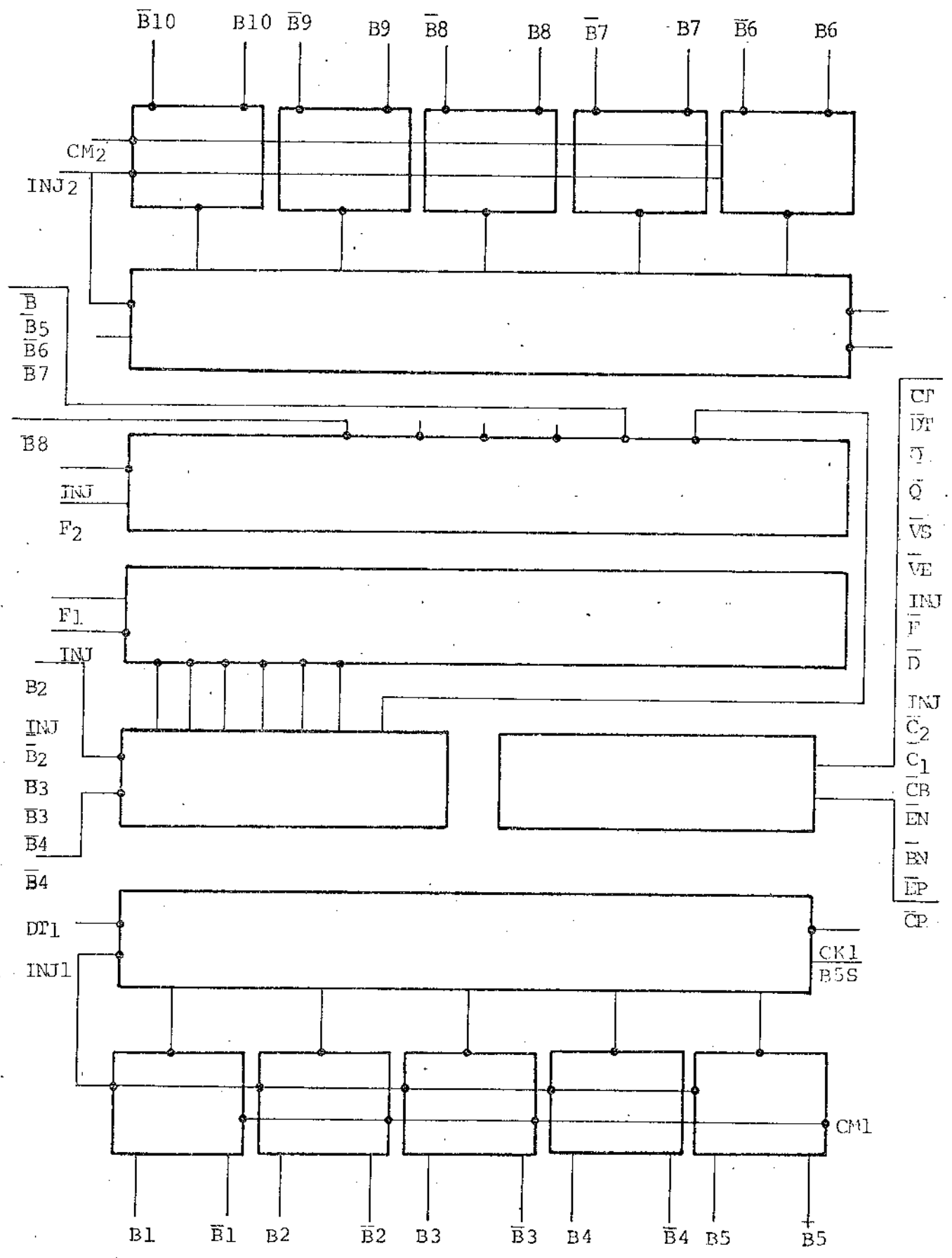


Figura 2.7: Disposição dos blocos na pastilha.

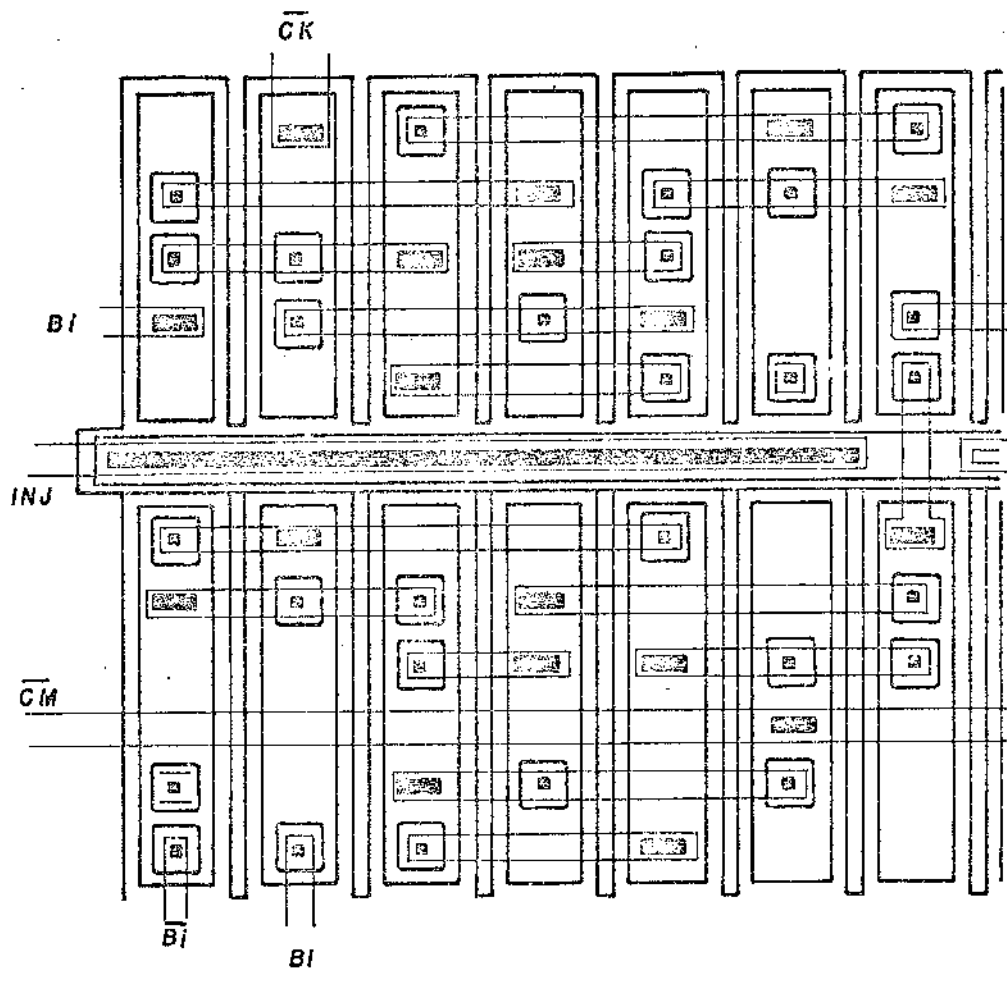


Figura 2.8: Célula básica do registrador com deslocamento e memória paralela.

mos uma reprodução desta máscara.

Por ordem, temos a seguir a máscara de difusão de isolamento, que embora feita a uma temperatura mais baixa do que a base, é feita antes desta para que não ocorra redistribuição do perfil de dopagem para a difusão de base além do que está previsto para a penetração de base, que é a máscara seguinte. Esta máscara está reproduzida na figura 2.10.

Em seguida, a difusão de base propriamente dita. Note-se que é feita uma segunda deposição sobre a região dos injetores; a máscara está exposta na figura 2.11. Em seguida a da difusão dos coletores, na figura 2.12. Pelas marcas de alinhamento pode-se deduzir que as máscaras de deposição dos injetores e difusão de isolamento são obtidas a partir das matrizes primárias destas, com retoques, numa matriz de redução intermediária.

Finalmente, nas figuras 2.13 e 2.14 temos as máscaras de abertura de contactos e metalização, respectivamente. Como foi dito, temos as menores dimensões do circuito na máscara de abertura de contactos, que na matriz primária tem quadrados de 1mm de lado, e na redução chega aos 10 μ m. Vêm-se também em todas elas as marcas de alinhamento para a fotorrepetição. Os quadrados de contacto para solda devem ter um tamanho final de 200 μ m (redução de 100x), separados por uma distância de 50 μ m.

TABELA 2.1

Nº de ordem	Bloco	Discriminação	Designação
1	Registrador 1	Entrada de dados, em série	DT_1
2	Registrador 1	Acesso ao injetor P	INJ
3	Registrador 1	Saída paralela, 1º dígito	B_1
4	Registrador 1	Saída paralela, 1º dígito	$\overline{B_1}$
5	Registrador 1	Saída paralela, 2º dígito	B_2
6	Registrador 1	Saída paralela, 2º dígito	$\overline{B_2}$
7	Registrador 1	Saída paralela, 3º dígito	B_3
8	Registrador 1	Saída paralela, 3º dígito	$\overline{B_3}$
9	Registrador 1	Saída paralela, 4º dígito	B_4
10	Registrador 1	Saída paralela, 4º dígito	$\overline{B_4}$
11	Registrador 1	Saída paralela, 5º dígito	B_5
12	Registrador 1	Saída paralela, 5º dígito	$\overline{B_5}$
13	Registrador 1	Pulso que transfere do deslocador para a memória paralela	C_{ml}
14	Registrador 1	Saída em série	B_{5S}
15	Registrador 1	Pulso de relógio para comando e relógio do bloco de teste	C_{K1}
16	Componente de teste	Coletor de transistor PNP	C_P
17	Componente de teste	Emissor do transistor PNP	E_P
18	Componente de teste	Base do transistor NPN	B_N
19	Componente de teste	Emissor do transistor NPN	E_N
20	Componente de teste	Contato da base da porta NE	C_B
21	Componente de teste	Coletor próximo, porta NE	C_1

TABELA 2.1. - CONT.

Nº de ordem	Bloco	Discriminação	Designação
22	Componente de teste	Coletor remoto, porta NE	C_2
23	Componente de teste	Injetor de corrente, porta NE	INJ
24	Componente de teste	Dreno de TECJ-P	D
25	Componente de teste	Fonte, idem	F
26	Componente de teste	Alimentação de corrente do inversor e biestável D	INJ
27	Componente de teste	Entrada do inversor	V_E
28	Componente de teste	Saída do inversor	V_S
29	Componente de teste	Saída do biestável D	Q
30	Componente de teste	Saída do inversor D	\bar{Q}
31	Componente de teste	Entrada de dados, idem	D_T
32	Componente de teste	Contato N^+	C_T
33	Registrador 2	Pulso de relógio	C_{K2}
34	Registrador 2	Entrada de dados	DT_2
35	Registrador 2	Saída paralela, 1º dígito	B_6
36	Registrador 2	Saída paralela, 1º dígito	\bar{B}_6
37	Registrador 2	Saída paralela, 2º dígito	B_7
38	Registrador 2	Saída paralela, 2º dígito	\bar{B}_7
39	Registrador 2	Saída paralela, 3º dígito	B_8
40	Registrador 2	Saída paralela, 3º dígito	\bar{B}_8
41	Registrador 2	Saída paralela, 4º dígito	B_9
42	Registrador 2	Saída paralela, 4º dígito	\bar{B}_9

TABELA 2.1. - CONT.

Nº de ordem	Bloco	Discriminação	Designação
43	Registrador 2	Saída paralela, 5º dígito	B_{10}
44	Registrador 2	Saída paralela, 5º dígito	$\overline{B_{10}}$
45	Registrador 2	Pulso que transfere do deslocador para a memória paralela	C_{m2}
46	Registrador 2	Acesso ao injetor P	INJ_2
47	Registrador 2	Saída em série	B_{OS}
48	Gerador Binário	Comando da parcela 1/2 do nível de segmento	B_+
49	Gerador Binário	Idem, da parcela 2^3	B_5
50	Gerador Binário	Idem, da parcela 2^2	B_6
51	Gerador Binário	Idem, da parcela 2^1	B_7
52	Gerador Binário	Idem, da parcela 2^0	B_8
53	Gerador Binário	Acesso ao injetor P	INJ
54	Gerador Binário	Saída do nível de segmento	F_2
55	Gerador Binário	Saída do multiplicador de segmento	F_1
56	Gerador Binário	Acesso ao injetor	INJ
57	Malha Lógica	Entrada do 1º dígito	$\overline{B_2}$
58	Malha Lógica	Injetor de corrente	INJ
59	Malha lógica	Entrada do 1º dígito (compl.)	B_2
60	Malha lógica	Entrada do 2º dígito	B_3
61	Malha lógica	Idem, complementado	$\overline{B_3}$
62	Malha lógica	Entrada do 3º dígito	B_4

TABELA 2.1. - CONT.

Nº de ordem	Bloco	Discriminação	Designação
63	Malha lógica	Idem, complementado	\overline{B}_4
64	Camada N ⁺	Contato	C _T

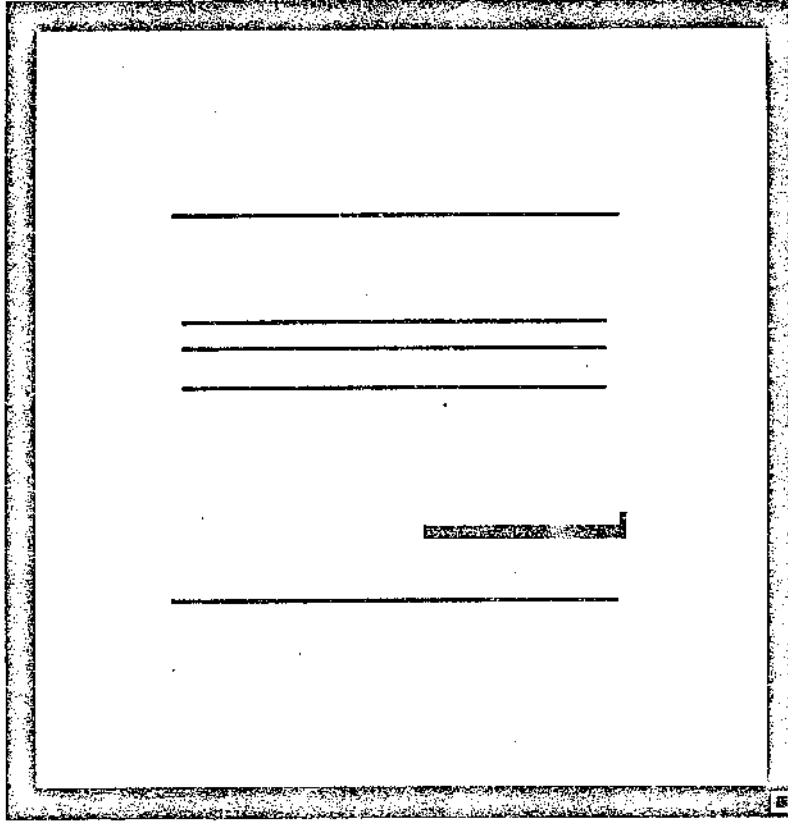


Figura 2.9: Configuração da máscara para difusão P^+ nos injetores.

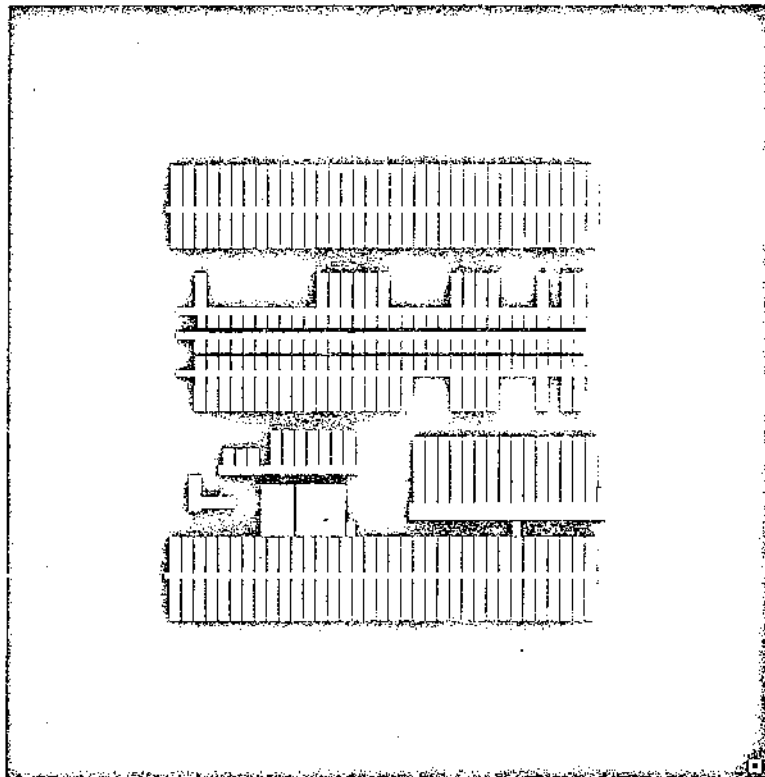


Figura 2.10: Configuração da máscara de difusão de isolamento N.

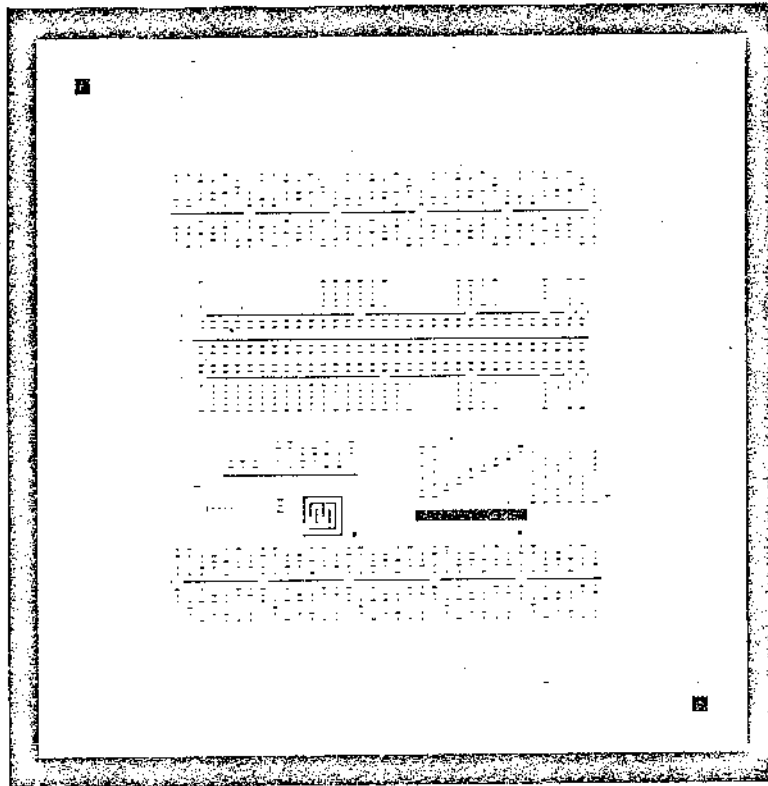


Figura 2.13: Configuração da máscara de abertura de contatos.

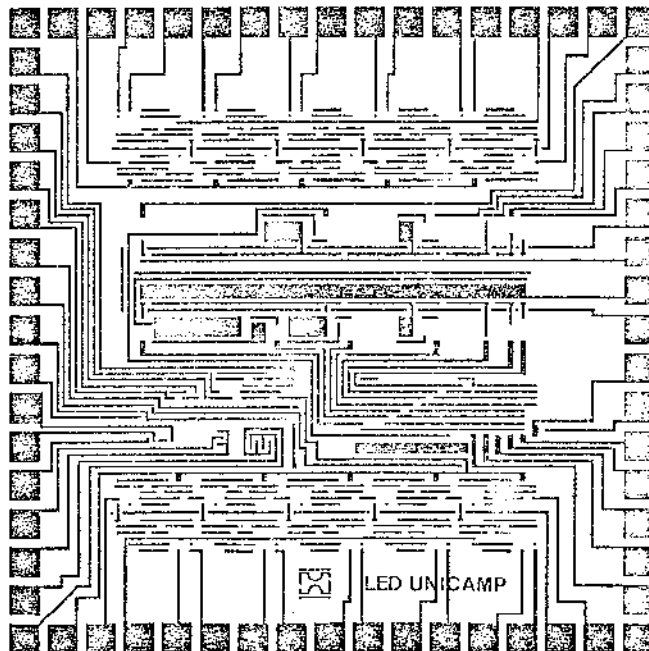


Figura 2.14: Configuração da máscara de metalização.

CAPÍTULO III

ESTRUTURA DOS DISPOSITIVOS E PREVISÃO DO COMPORTAMENTO ELÉTRICO

Estabelecidas as etapas de processos a serem aplicados para a construção dos componentes e as configurações destes componentes atingimos o ponto de escolher os valores que devem ser usados para obter os resultados finais: os perfis de dopagem convenientes sob os pontos de vista de possibilidade tecnológica e otimização do desempenho dos dispositivos para o sistema projetado. Esses valores devem passar por um teste experimental, os resultados avaliados e uma descrição analítica a mais precisa possível deve ser adotada para a representação do perfil de dopagem final. Nessa descrição devem ser levadas em consideração as ferramentas de que dispomos para a previsão do comportamento de cada dispositivo, quais sejam o cálculo direto com funções matemáticas de manipulação acessível e programas de computador de utilização padronizada. Faremos um estudo em relação a cada um dos tipos de componentes de teste individuais, inclusive da porta I^2L ; esses valores devem ser então transportados para os blocos mais complexos visando uma previsão do comportamento global, via programas de análise de circuitos.

3.1. Estudo Preliminar

O comportamento do inversor clássico I^2L se baseia nas características do transistor vertical NPN, formado por substrato, camada P difundida e camada N, também obtida por difusão, formando emissor, base e coletor, respectivamente. O transistor PNP lateral, formado pela difusão P (coletor e emissor) e substrato assume também um papel relevante, mas somente sob o ponto de vista dinâmico (tempo de propagação do sinal, etc). Essas importâncias relativas se invertem quando consideramos os geradores de correntes binárias, onde o papel do PNP é fundamental. Seguindo a ordem mais prática para a apresentação, começaremos pela análise do transistor NPN, onde aliás o número de parâmetros a ser determinado é maior. Passaremos em seguida ao transistor PNP e posteriormente se fará uma análise completa do inversor e da célula básica do gerador binário.

A configuração geral do inversor I^2L é a que foi adotada e projetada no capítulo anterior. Consta de uma região de injeção de corrente dada pela junção da camada P com o substrato, a mesma difusão coletando esta corrente, formando a região de base do transistor NPN vertical, e, conforme o estabelecido, no máximo quatro regiões de coleta da corrente injetada pela junção substrato (emissor) com a camada P (base do NPN). Na figura 3.1 apresentamos essa configuração básica, mostrando os fluxos de corrente de elétrons e lacunas em cada uma das junções.

Na figura 3.1 as correntes que fluem nos contatos externos são representadas como correntes totais (I), no emissor do PNP (I_{EPNP}) e em cada um dos coletores do NPN (I_{CNPNi}). As correntes nas junções são diferentes, conforme a região em que ocorram, sendo por isso representadas por densidades (J) com os índices p ou n conforme tenham a sua origem em regiões de tipo P ou N, e sejam preponderantemente de lacunas ou elétrons. As suas definições são as seguintes:

- J_{p1} - injeção de corrente lateral do transistor PNP (predominam lacunas);
 J_{p3} - injeção inversa do coletor para o emissor do transistor PNP lateral (predominam lacunas);
 $J_{n1} \dots J_{n4}$ - injeção de corrente pelo substrato em cada um dos coletores do transistor NPN vertical (predominam elétrons);
 J_{n5} - injeção na região P do contato da base (predominam elétrons);
 J_{n6} - injeção de corrente pelo emissor do PNP lateral no substrato (predominam elétrons);
 $J_{p4} \dots J_{p6}$ - injeção de corrente pela base do NPN na região de isolamento (predominam lacunas);
 $J_{n1R} \dots J_{n4R}$ - injeção de corrente pela camada N^+ difundida no substrato (predominam elétrons).

Nessa representação não tomamos em conta as parcelas de elétrons em J_{p1} e J_{p3} e lacunas em J_{n1} e J_{n4} ; a eficiência de injeção nessas regiões é alta, como adiante será demonstrado. Também consideramos insignificante as parcelas de recombinação, o que é muito próximo do real. As correntes dos contatos e das junções, consideradas as respectivas áreas, é que devem ser calculadas para chegarmos a um modelo preliminar do comportamento do inversor I^2L .

Essas definições para as correntes e as direções em que estão dispostas na figura 3.1(c) são essencialmente as mesmas definidas pelo modelo de Klaassen (ref. 11) que foi citado no capítulo I. A observação quanto a eficiência de injeção da junção base emissor do transistor NPN é que corresponde à crítica feita por Berger (ref. 13), adotada por Vanhecke (ref. 6). Quando for feito então o cálculo do ganho do transistor NPN vertical, a relação usada será a deste último (como na capítulo I).

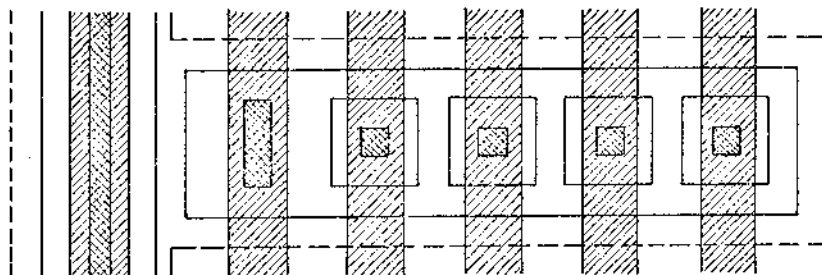
A relação fundamental que permite a dedução dos parâmetros desse modelo (as correntes J_{ni} e J_{pi}) a partir da estrutura do dispositivo é a equação clássica, deduzida por Moll e Ross (ref. 20) para as correntes da junção base emissor de um transistor bipolar, sendo conhecido o perfil de dopagem da região de base $|C_B(x)|$.

Essa relação pode ser escrita na forma que se segue, para um transistor NPN:

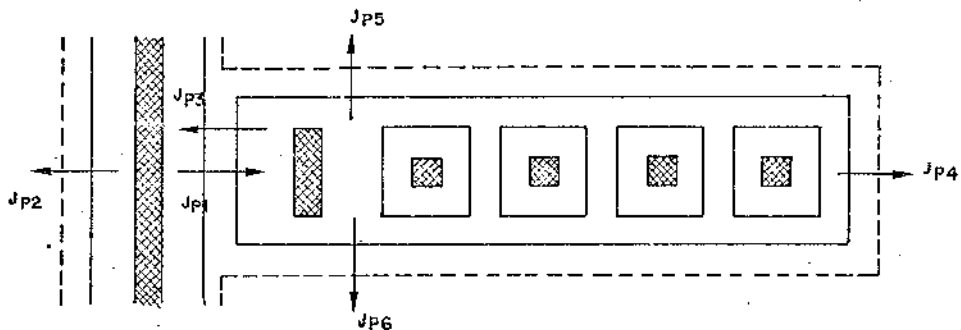
$$J_{nB} = \frac{q \cdot n_{iB}^2 \cdot D_{nB}}{\int_0^{WB} C_B(x) \cdot dx} \left[\exp. \frac{V_{BE}}{U_T} - 1 \right] \quad (3.1)$$

Nesta relação definem-se as seguintes quantidades:

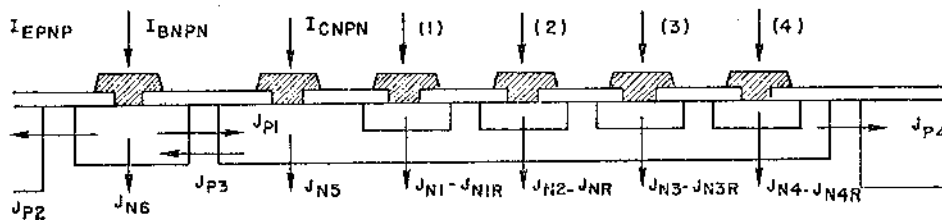
CONTATOS
 JUNÇÕES
 LIMITE DA REGIÃO n_{in}^+



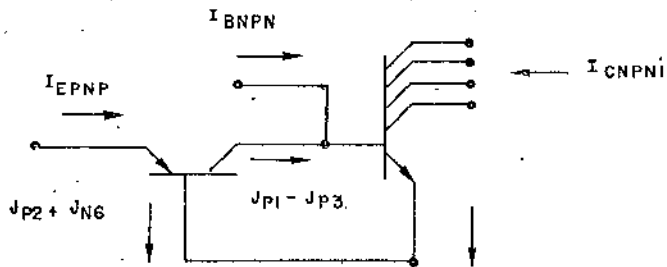
(a) Estrutura do inversor com 4 coletores.



(b) Correntes laterais.



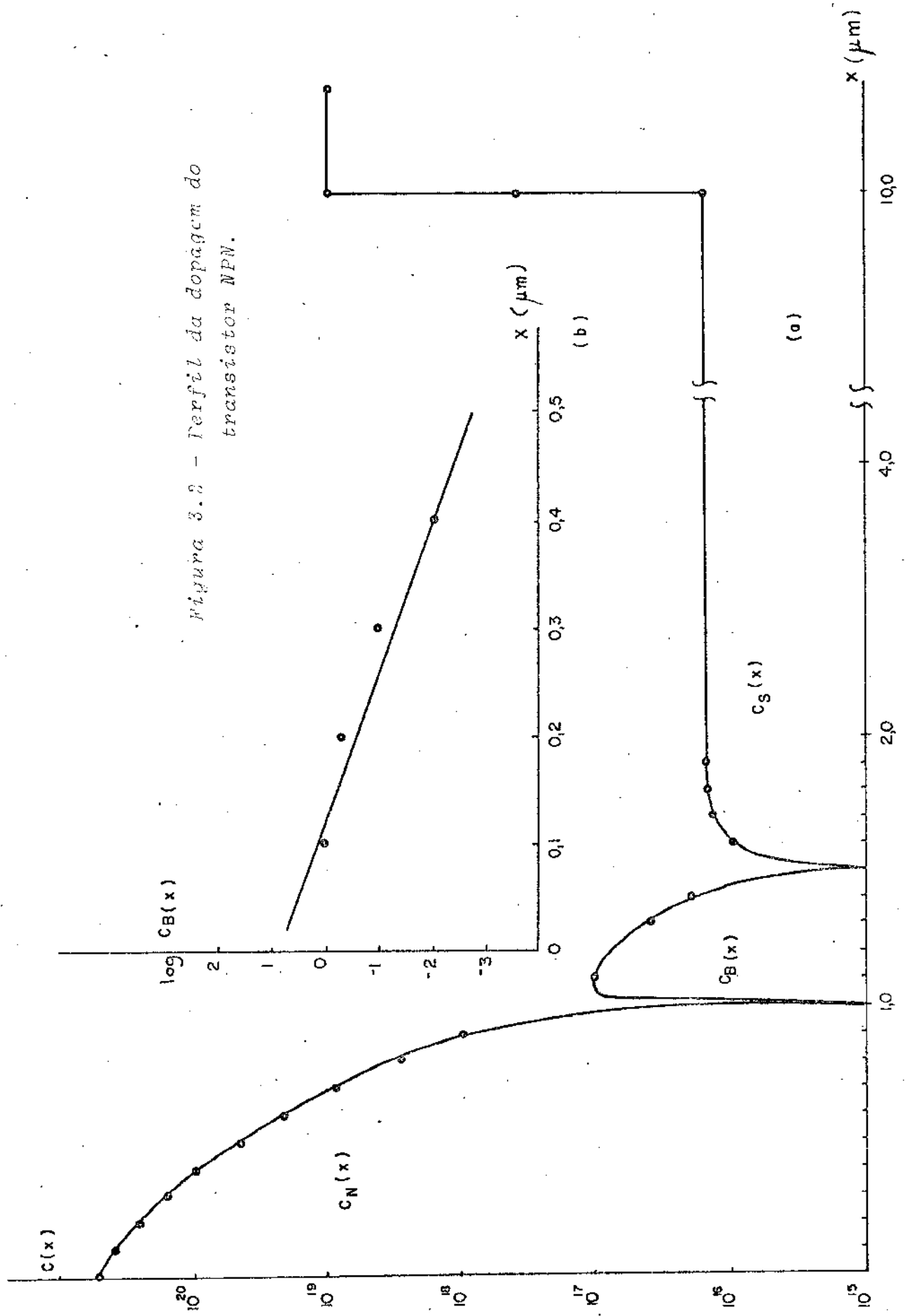
(c) Correntes em corte.



(d) Circuitos elétrico equivalente.

Figura 3.1 - Correntes nas regiões de contato e junções do inversor I^2L .

Figura 3.3 - Perfil da dopagem do transistor NPN.



- U_T : tensão termodinâmica;
- J_{nB} : densidade da corrente de elétrons que o emissor injeta na base;
- n_{iB} : densidade intrínseca equivalente, na região de base;
- D_{nB} : coeficiente de difusão dos elétrons, na base;
- W_B : espessura da camada de base ativa;
- V_{BE} : tensão entre os terminais de base e emissor.

Essa equação é deduzida para as condições de espessura da camada bastante menor do que o comprimento médio de difusão dos portadores minoritários e não tomando em consideração os efeitos de recombinação. Este é o caso em geral das camadas que formam a região de base ativa dos transistores NPN e PNP de que vamos tratar. Em outros casos será necessário usar a relação geral da referência 12, exposta a seguir:

$$J_{nB} = \frac{q \cdot n_{iB}^2 \cdot D_{nB}}{L_{nB} \operatorname{tgh} \frac{W_B}{L_{nB}}} \left[\exp \frac{V}{U_T} - 1 \right] \quad (3.2)$$

$$\int_0^{L_{nB}} C_p(x) dx$$

Nesse caso temos uma corrente de elétrons (lacunas) injetada através de uma junção polarizada com uma tensão V numa camada P(N) de espessura W_P (W_N).

O valor L_{nB} (ou L_{pN}) designa o comprimento de difusão dos portadores minoritários nessa região. É fácil verificar que nos casos em que a espessura é grande em relação ao comprimento de difusão, a integral se estende somente até o valor de L_{nB} (L_{pN}).

O valor dessas integrais, tanto na equação 3.1 como na 3.2, é a quantidade designada genericamente como "carga de dopante equivalente" na camada em questão.

Para completar este estudo preliminar, vamos estabelecer uma estrutura para a obtenção de um transistor NPN planar epitaxial, da qual as características devem servir para o modelamento inicial do funcionamento tanto dos componentes de teste como das estruturas do sistema. Esta estrutura consta de uma camada difundida de fósforo, tipo N, e outra de boro, tipo P, num substrato tipo N, formada de uma camada epitaxial dopada com fósforo, dopagem de 10^{16} cm^{-3} , espessura de $10 \mu\text{m}$; o suporte é uma camada N dopada com arsênio, com densidade de 10^{19} cm^{-3} e espessura de $200 \mu\text{m}$. O perfil da camada N difundida deve ser do tipo função erro complementar e o da camada P gaussiano. As equações que dão o perfil ponto a ponto são as seguintes:

$$C_N(x) = 5 \cdot 10^{20} \text{ cm}^{-3} \cdot \operatorname{erfc} \frac{x}{0,442 \mu\text{m}} \quad (3.3)$$

$$C_P(x) = 2 \cdot 10^{19} \text{ cm}^{-3} \cdot \exp \left[-\left(\frac{x^2}{0,544 \mu\text{m}^2} \right) \right] \quad (3.4)$$

Nessas condições a primeira junção se encontra a $1,0\mu\text{m}$ de profundidade, sendo $10\ \Omega$ a resistência pelicular da camada N; a segunda junção a $1,5\mu\text{m}$, sendo $110\ \Omega$ a resistência pelicular do total da camada P, e aproximadamente $3\ \text{k}\Omega$ (ref. 21) da camada restante entre a camada N e o substrato. O perfil de compensação resultante está esboçado na figura 3.2(a).

É conveniente estabelecer desde já uma aproximação exponencial para a camada P intermediária, que é a que vai formar a região de base do NPN. Essa aproximação, obtida por regressão linear, dá a seguinte equação, onde se considera o ponto $x = 0$ na junção metalúrgica:

$$C_B(x) = 2,53 \cdot 10^{17} \text{ cm}^{-3} \cdot \exp \frac{-x}{0,135\mu\text{m}} \quad (3.5)$$

Uma ilustração do grau de validade desta aproximação se encontra na figura 3.2(b).

3.2. Transistor NPN Vertical

Este componente é usado na pastilha como ponto de medida para teste dos processos; por outro lado, o seu perfil de dopagem é o mesmo que o do NPN da porta I^2L . Os parâmetros calculados em termos da estrutura são portanto os mesmos para os dois. A configuração e dimensões dos transistores NPN, PNP e da porta I^2L estão expostas na figura 3.3(a), (b) e (c) respectivamente, na escala 1:200 (ou seja, 1 mm correspondendo a $5\mu\text{m}$). Os parâmetros de comportamento dos portadores minoritários e majoritários, necessários para o modelamento, estão expostos na tabela 3.1. Estes valores foram estabelecidos com auxílio das referências 10 (concentração intrínseca) e 15 (tempos de vida médio, mobilidade e coeficientes de difusão). Na mesma tabela temos os valores das cargas totais de dopante em cada uma das várias camadas (conforme item 3.1).

Começamos o cálculo dos parâmetros pelo ganho em corrente reverso do transistor NPN; conforme a referência 10, um dos fatores é a eficiência de injeção da junção base coletor, que pode ser calculada pela relação que se segue:

$$\gamma_{CB} = \frac{D_{nB}}{D_{pC}} \cdot \frac{n_{iB}^2}{n_{iC}^2} \cdot \frac{Q_C}{Q_B} \quad (3.6)$$

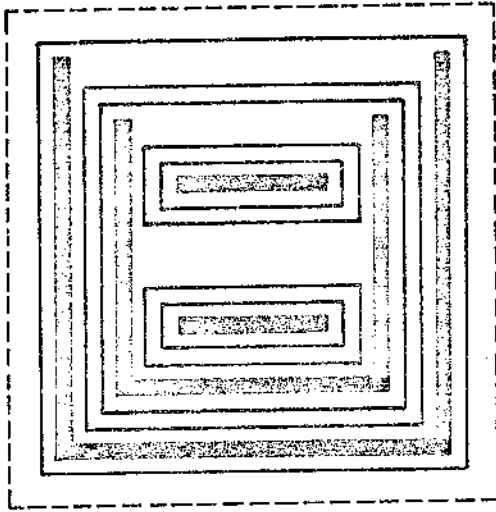
Os subscritos C e B se referem às regiões de base e coletor do transistor, conforme o estabelecido para a porta I^2L ; n e p se referem a elétrons e lacunas. Substituídos os valores da tabela 3.1, encontramos:

TABELA 3.1

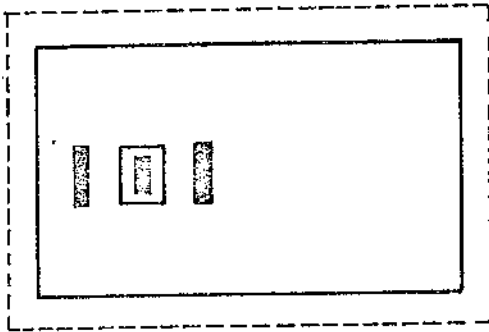
	Q (cm ⁻²)	n_i (cm ⁻⁶)	Dn (cm ² /s)	D_p (cm ² /s)	un (cm ² /v.s)	μp (cm ² /v.s)	τp (s)	τn (s)
Substrato (N ⁺)	$1,1 \cdot 10^{16}$ (*)	$3,8 \cdot 10^{20}$	4,0	3,0	$1,5 \cdot 10^2$	$1,2 \cdot 10^2$	$0,4 \cdot 10^{-6}$	-
Camada Epitaxial (N)	$1,0 \cdot 10^{13}$	$2,25 \cdot 10^{20}$	25	7,0	$1,0 \cdot 10^3$	$3,0 \cdot 10^2$	$5 \cdot 10^{-6}$	-
Camada Difundida (P)	$9,64 \cdot 10^{14}$	$1,024 \cdot 10^{21}$	4,5	2,2	$2,0 \cdot 10^2$	85	-	10^{-6}
Base (P)	$3,1 \cdot 10^{12}$	$2,25 \cdot 10^{20}$	12	7,0	$5,0 \cdot 10^2$	$3,0 \cdot 10^2$	-	10^{-6}
Camada Difundida (N ⁺)	$4,99 \cdot 10^{15}$	$6,11 \cdot 10^{22}$	3,0	3,0	$1,0 \cdot 10^2$	$1,0 \cdot 10^2$	$0,35 \cdot 10^2$	-
Isolação	$7,06 \cdot 10^{15}$	$6,11 \cdot 10^{22}$	3,0	3,0	$1,0 \cdot 10^2$	$1,0 \cdot 10^2$	$0,35 \cdot 10^2$	-

*) O cálculo da carga de dopante significativa no substrato é feito pelo produto do comprimento de difusão de minoritários pela concentração de impurezas:

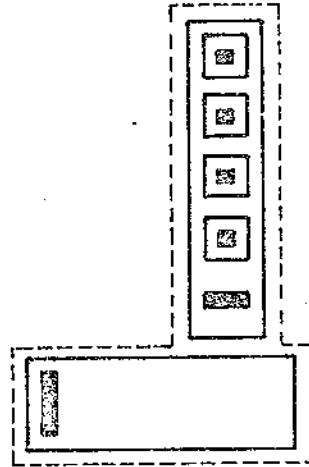
$$Q = L_p \cdot C_N = \sqrt{D_p \cdot \tau_p} \cdot C_N \quad (\text{ref.12})$$



(b)



(a)



(c)

LEGENDA

■ CONTATOS

— JUNÇÕES PN

--- LIMITE DA REGIÃO NN+

Figura 3.3: Configurações de componentes de teste.

$$\gamma_{CB} \approx 24 \quad (3.7)$$

O fator de transporte deve ser muito próximo de 1, não afetando o valor do ganho reverso. Para o seu cálculo, basta considerar o tempo de trânsito de elétrons na base, que pode ser obtido pela relação clássica citada na ref. 12:

$$\tau_{BR} = \frac{W_B^2}{2D_{nB}} \frac{\exp.\eta - \eta - 1}{\eta^2} \quad (3.8)$$

na qual W_B é a espessura da base ($0,5\mu\text{m}$) e η é o coeficiente da exponencial da relação 3.5 (expresso como $\eta \cdot x/W$). Substituídos os valores, obtemos:

$$\tau_{BR} = 2,07 \cdot 10^{-11} \text{ s} \quad (3.9)$$

Sendo o tempo de trânsito tão menor que o tempo de vida médio de elétrons na base (τ_n , tabela 3.1) confirmamos as afirmações feitas anteriormente, e o ganho em corrente reversa (β_R) é praticamente igual a eficiência de injeção entre base e coletor.

Os cálculos anteriores se referem à corrente vertical, que é injetada pela junção base coletor na sua região horizontal. No cálculo final do ganho ter-se-ia que considerar também a corrente que é injetada lateralmente, pela região vertical da junção; no entanto esta corrente é muito menor do que a que cruza a junção horizontal por ser a área pequena e a mesma densidade de corrente bastante menor do que a vertical; basta observar que as quantidades de portadores minoritários, expressas pelo fator (n_i^2/Q) são muito menores de cada lado da junção, visto como Q_C e Q_B tornam-se maiores para a parte horizontal da junção. Assim, consideramos o número calculado como o ganho β_R do transistor NPN vertical para níveis moderados de corrente; um sinal de corrente tal que não precisamos considerar efeitos de alta injeção de corrente na base (altas correntes) ou recombinações na superfície e na camada de carga espacial (baixas correntes) (ref. 10).

A parcela da corrente que se reflete no emissor é a parte correspondente aos elétrons injetados; essa corrente pode ser calculada pela relação que se segue, que é uma aplicação da equação 3.1:

$$J_{nRi} \Big|_{1 \dots 4} = \frac{q \cdot D_{nB} \cdot n_{iB}^2}{Q_B} \cdot \left[\exp\left(\frac{V_{BCi}}{U_T}\right) - 1 \right] \quad (3.10)$$

onde V_{BC} é a tensão aplicada à junção entre a base e o coletor (i) e U_T é a tensão térmica ($\frac{kT}{q}$). Substituindo os valores, temos:

$$J_{nRi} \Big|_{1...4} = 1,39 \cdot 10^{-10} \frac{A}{cm^2} \left[\exp \frac{V_{BCi}}{U_T} - 1 \right] \quad (3.11)$$

Os mesmos cálculos podem ser aplicados à junção base emissor, nas duas regiões de maior interesse, quais sejam a região de base ativa (J_{n1} a J_{n4} , fig. 3.1(c)) e camada P total (J_{n5}). A expressão que dá os valores de J_{ni} (1 a 4) em função de V_{BE} (tensão na junção base emissor) é a mesma que dá J_{nRi} (1 a 4) em função de V_{BC} (eq. 3.11). A expressão analítica 3.10 vale também para J_{n5} , cujo cálculo fornece a relação que se segue:

$$J_{n5} = 7,625 \cdot 10^{-13} \frac{A}{cm^2} \left[\exp \frac{V_{BE}}{U_T} - 1 \right] \quad (3.12)$$

A eficiência de injeção também é diferente em cada uma destas regiões da junção base-emissor; conservando o subscrito, para identificar a região, temos:

$$\gamma_{ni} \Big|_{1...4} = 8,4 \cdot 10^3, \quad \gamma_{n5} = 34,6; \quad (3.13)$$

comprovando o fato de que as correntes de lacunas são muito pequenas em relação à de elétrons.

O cálculo do tempo de trânsito direto pode ser feito usando a relação 3.7, substituindo η por $-\eta$:

$$\tau_{BD} = 2,72 \cdot 10^{-10} s \quad (3.14)$$

Com estes valores podemos calcular os ganhos em emissor comum direto (β_D) e inverso (β_R) do transistor NPN da figura 3.3(a). O ganho inverso é praticamente a eficiência de injeção da junção base coletor; o ganho direto depende da relação de áreas entre a base ativa (área do coletor) e da camada P não compensada, e ainda da relação entre as correntes nas respectivas regiões.

A corrente do coletor é:

$$I_C \cong 1,39 \cdot 10^{-10} \frac{A}{cm^2} \cdot A_C \exp \frac{V_{BE}}{U_T} \quad (3.15)$$

A corrente de base total pode ser calculada a partir de J_{n5} :

$$I_B \cong 7,62 \cdot 10^{-13} \frac{A}{cm^2} \cdot A'_C \exp \frac{V_{BE}}{U_T} \quad (3.16)$$

onde A'_C é a área restante do total da base menos a área correspondente ao coletor; o cálculo de β_D dá então, pela figura 3.3(a):

$$\beta_D = \frac{I_C}{I_B} = \frac{1,39 \cdot 10^{-10}}{7,62 \cdot 10^{-13}} \frac{48}{33 \times 56 - 48} \cong 4,9 \quad (3.17)$$

Para completar os dados sobre o comportamento do transistor NPN vertical em regime estático, pode-se avaliar as limitações de seu funcionamento para densidades crescentes da corrente de coletor.

Estes limites são a queda do ganho efetivo por efeitos de alta injeção na base, queda de tensão na região ativa de base (defocalização) e propagação da região de base no emissor (BWE, "base widening into the emitter"); esses efeitos são típicos do nosso NPN, que é do tipo LEC ("low emitter concentration") (ref.10).

O modelo usado para o cálculo destes limites é apresentado com detalhes nas refs. 6,10,12. A análise leva às seguintes relações para o cálculo das correntes limites de coletor para os efeitos de alta injeção (3.18), defocalização (3.19) e propagação da base no emissor (3.20):

$$I_{HIB} = A_C \cdot \frac{4 \cdot D_{nB} \cdot Q_B}{W_B^2} = 42,8 \text{ mA} \quad (3.18)$$

$$I_{ECC} = A_C \cdot \frac{8 \cdot D_{nB} \cdot Q_B \cdot \gamma}{h^2} = 200 \text{ mA} \quad (3.19)$$

$$I_{BWE} = A_C \cdot \frac{4 \cdot D_{nE}^2 \cdot Q_B}{D_{nB} \cdot W_E} = 3,31 \text{ mA} \quad (3.20)$$

Nestas relações, além dos parâmetros já definidos, cujos valores estão na tabela 3.1, (os subscritos B e E se referem como sempre a base e emissor) temos o valor h , que é a largura do coletor (dimensão normal ao fluxo de corrente horizontal da base); no caso do NPN vale 30µm).

Adverte-se que o ganho do transistor ascendente ("upward") depende além da eficiência de injeção, também da relação entre as áreas ativa e passiva da base. Este efeito é de aumentar os limites efetivos de operação com correntes altas; assim sendo, encaramos os valores calculados como o "limite inferior" para os "limites superiores" de utilização.

Em relação as tensões de coletor temos a possibilidade de calcular a tensão de avalanche da junção base coletor e a que corresponde ao "punch through" da região de base. Para a primeira temos a relação clássica de Miller (ref. 22) apresentada a seguir:

$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt{\beta_D}} \quad (3.21)$$

Nesta equação temos:

BV_{CBO} - tensão de avalanche da junção base-coletor = 12 V;

β_D - ganho em emissor comum = 5;

BV_{CEO} - tensão de avalanche entre emissor e coletor; valor calculado = 7 V.

A tensão de "punch through". (V_{PT}) pode ser calculada pela imposição da região de depleção se estender através da base até a junção base emissor, o que é a sua própria definição; no cálculo da carga espacial usamos a aproximação exponencial da equação 3.5. Assim, temos, com a condição de contorno apropriada:

$$V_{PT} = \frac{q}{\epsilon_r \epsilon_0} \int_0^{W_B} \int_0^x C_B(u) du dx \approx 18,95 \text{ V} \quad (3.22)$$

Para concluir o modelamento preliminar do transistor NPN, vamos procurar prever os seus parâmetros de funcionamento em relação a frequência, dos quais o mais importante é a frequência de transição (f_T).

Esse transistor NPN ascendente ("upward") tem como característica especial

o fato de ter uma parte da junção EB não ligada diretamente a base ativa; essa parte da junção tem também que ser ativada, quando a condição de polarização da base ativa é mudada. Assim sendo, a pulsação de transição (ω_T) do dispositivo deve ser calculada da forma que se segue (ref. 10):

$$\frac{1}{\omega_{\text{TNP}}^2} = \tau_{\text{BD}} + \frac{\tau_{\text{pE}}}{\gamma_{\text{n1}}} + \frac{\tau_{\text{P}}}{\beta_{\text{DNP}}} \quad (3.24)$$

onde os valores que aparecem são os seguintes:

τ_{BD} : tempo de trânsito direto dos elétrons (minoritários) na base ativa do NPN, já calculado, valendo $2,72 \cdot 10^{-10}$ s;

τ_{pE} : tempo de vida médio das lacunas no emissor;

τ_{P} : tempo de trânsito dos elétrons na camada P, fora da base ativa;

Os tempos de trânsito podem ser calculados, usando a aproximação de distribuição exponencial de impurezas, pela relação já exposta em 3.8. Pelos valores da tabela 3.1 e da relação 3.4, temos, na região da camada P, $\eta = +7,6$, $W_{\text{P}} = 1,5 \mu\text{m}$, $D_{\text{nP}} = 4,5 \text{ cm}^2/\text{s}$; o cálculo dá, então;

$$\tau_{\text{P}} = 8,61 \cdot 10^{-8} \text{ s} \quad (3.25)$$

O valor de τ_{pE} é o da tabela 3.1, para o substrato, ou seja, $0,4 \mu\text{s}$. O valor calculado para γ_{N1} e β_{D} são os de $8,4 \cdot 10^3$ (eq. 3.13) e $4,9$ (eq. 3.17), respectivamente.

Introduzidos estes valores em 3.16, temos:

$$\omega_{\text{T}} = 55,9 \text{ MHz} \quad ; \quad f_{\text{T}} = 8,89 \text{ MHz} \quad (3.26)$$

3.3. Transistor PNP Lateral

A configuração deste transistor, como já foi dito, encontra-se na figura 3.3(b). A sua estrutura é formada pela camada difundida, que forma as regiões de emissor e coletor, a camada epitaxial de tipo N, que é a região de base ativa, o substrato N^+ , que influi nas características da região passiva da junção entre base e emissor (o fundo da camada, corrente J_{n6}) da figura 3.1(c) e região lateral de isolamento, cama-

da difundida N^+ , que recebe as correntes J_{p2} , como é mostrado nas figuras 3.1(b) e (c).

Para o cálculo dos valores das densidades de correntes usamos a equação 3.6 (eficiência de injeção), associada a equação 3.10, aplicada agora para lacunas; os parâmetros relativos aos portadores minoritários e quantidade de portadores são os da tabela 3.1. É necessário uma correção nos termos que correspondem à cargas efetivas de dopante transversalmente à junção (ver nota na tabela 3.1). A seguir expomos os valores calculados:

a) densidade de corrente de lacunas injetadas pelo emissor no coletor.

$$J_{p1} = 2,52 \cdot 10^{-11} \text{ A/cm}^2 \cdot \exp \frac{V_{EB}}{U_T} \quad (3.27)$$

b) eficiência de injeção da junção base-emissor na região ativa, relativa a lacunas:

$$\gamma_{p1} \cong 247; \quad (3.28)$$

c) densidade de corrente de lacunas injetada lateralmente, não na região ativa.

$$J_{p2} \cong 5,73 \cdot 10^{-13} \text{ A/cm}^2 \cdot \exp \frac{V_{EB}}{U_T} \quad (3.29)$$

d) eficiência de injeção na região lateral, para lacunas:

$$\gamma_{p2} \cong 10,6; \quad (3.30)$$

e) corrente de elétrons na região do fundo da camada P:

$$J_{n6} \cong 7,62 \cdot 10^{-13} \text{ A/cm}^2 \cdot \exp \frac{V_{EB}}{U_T} \quad (3.31)$$

que, como vemos, é igual ao valor já calculado para J_{n5} (3.12);

f) eficiência de injeção, relativa aos elétrons:

$$\gamma_{n6} \cong 34,6 \quad (3.32)$$

também igual a γ_{n5} (3.13).

O cálculo da área das regiões relativas a cada uma destas densidades de corrente fornece os seguintes valores, nos quais os subscritos se referem às respectivas correntes:

a) junção base-emissor, ativa: $A_{p1} = 2,25 \cdot 10^{-5} \text{ cm}^2$;

b) junção base coletor: $A_{p3} = A_{p1}$;

c) região do fundo do emissor: $A_{n6E} = 2,6 \cdot 10^{-4} \text{ cm}^2$;

d) região do fundo do coletor: $A_{n6C} = 3,72 \cdot 10^{-4} \text{ cm}^2$;

e) região lateral do coletor: $A_{p2} = 1,68 \cdot 10^{-5} \text{ cm}^2$.

O ganho em corrente relativo a configuração emissor comum pode ser calculado pela relação que se segue:

$$\beta_D = \frac{I_C}{I_B} \Big|_{V_{CB}=0} = \frac{J_{p1} \cdot A_{p1}}{J_{p1} \cdot A_{p1} \left(\frac{1}{\gamma_{p1}}\right) + J_{n6} \cdot A_{n6E} \left(\frac{1}{\gamma_{n6}} + 1\right)} \cong 2,75 \quad (3.33)$$

Analogamente, o ganho inverso dá:

$$\beta_R = \frac{I_E}{I_B} = \frac{J_{p3} \cdot A_{p3}}{J_{p3} \cdot A_{p3} \left(\frac{1}{\gamma_{p3}}\right) + J_{n6} \cdot A_{n6C} \left(\frac{1}{\gamma_{n6}} + 1\right) + J_{p2} \cdot A_{p2} \left(\frac{1}{\gamma_{p2}} + 1\right)} \cong 1,88$$

(3.34)

Os fenômenos relativos a defocalização e propagação da região de base no emissor e coletor não tem uma influência considerável no funcionamento deste transistor. No caso do primeiro, temos uma região de base ativa de baixa dopagem mas com espessura (largura da região de injeção) muito pequena, $1,5 \mu\text{m}$, que é a profundidade de junção para a camada P; a sua resistência elétrica é portanto baixa. Em relação aos

limites de corrente por alargamento da base, basta observar a alta dopagem das regiões de emissor e coletor em relação a base para concluir pela preponderância da queda do ganho por efeitos de alta injeção em relação aos que foram mencionados.

A corrente limite de alta injeção pode ser calculada da mesma forma que o transistor NPN, com os parâmetros convenientes (equação 3.18 e tabela 3.1):

$$I_{HIB} = A_C \cdot \frac{4 \cdot D_{PB} \cdot Q_B}{w_B^2} \cong 1,01 \text{ mA} \quad (3.35)$$

Analogamente calculamos as tensões limite de operação. No caso da avalanche de coletor (equação 3.14), temos:

$$BV_{CEO} \cong 43,1 \text{ V} \quad (3.36)$$

para o valor de BV_{CBO} de 60 V. A tensão de "punch through" (V_{PT}) é muito alta em relação a esta (750 V) por causa da grande espessura da região de base (10 μm).

Da mesma forma que o transistor NPN, o comportamento do transistor PNP em relação a frequência deve ser influenciado pelo diodo formado pela região passiva entre a camada P e substrato, correspondendo ao fundo (parte horizontal) da camada P. O comportamento do transistor PNP em relação a frequência deve ser governado pela relação 3.24, com a devida substituição dos parâmetros:

$$\frac{1}{\omega_{TPNP}} = \tau_{BP} + \frac{\tau_{nP}}{\gamma_{p1}} + \frac{\tau_p}{\beta_{DPNP}} \quad (3.37)$$

Os parâmetros correspondentes da relação 3.16 foram substituídas por:

τ_{BP} : tempo de trânsito das lacunas na base ativa do transistor PNP;

τ_{nP} : tempo de vida médio dos elétrons na camada P, pela tabela 3.1, 1,0 μs .

Os valores da eficiência de injeção (γ_{p1}) e ganho em emissor comum (β_{DPNP}) já foram calculadas; o valor do tempo de trânsito na camada P (τ_p) é o mesmo que aparece no item anterior, relativo ao transistor NPN vertical. Para calcular o tempo de trânsito na base ativa, τ_{BP} , usamos a relação clássica 3.7 com $\eta = 0$, pois trata-se de um transistor com base uniforme. Temos então:

$$\tau_{BP} = 7,14 \cdot 10^{-8} \text{ s} \quad (3.38)$$

Com esses valores podemos então calcular:

$$\omega_{\text{TPNP}} = 9,367 \text{ MHz}$$

(3.39)

$$f_{\text{TPNP}} = 1,49 \text{ MHz}$$

3.4. Modelamento da Porta

Os componentes isolados cuja previsão de comportamento fizemos nos parágrafos anteriores terão sua utilidade como teste dos parâmetros cujo valor depende do processo de construção, ou seja, do perfil de dopagem e configuração geométrica. No grau de análise que atingimos agora, os valores calculados para as várias junções serão aplicadas para a verificação de outro dispositivo de teste, qual seja a porta I^2L simples com uma entrada e quatro saídas, conforme mostra a figura 3.3(c). Esclareçamos no entanto que não há interesse no estudo desse componente isolado, visto como não é desta forma que será realizada a sua utilização; vamos fazer uma simulação do comportamento nas condições realistas de funcionamento, comando com portas lógicas semelhantes a esta no circuito de entrada e outras tantas como carga na saída. Somente desta forma poderemos verificar se as estruturas adotadas levam a que o circuito projetado satisfaça as exigências expostas no primeiro capítulo e nos primeiros parágrafos deste.

O ponto de partida para o estabelecimento do modelo é a representação da estrutura da figura 3.3(c), associada às densidades de correntes definidas na figura 3.1 e calculadas para os transistores PNP lateral e NPN vertical, por meio de componentes discretos susceptíveis de serem usados na descrição do conjunto para um programa de análise dos circuitos. Apresentamos uma proposta para a descrição do componente na figura 3.4. A seguir fazemos a descrição do circuito.

Temos em primeiro lugar, os pontos de acesso ao circuito: o nó marcado 1 representa o contato de injetor, o ponto 2 o contato de base do transistor NPN, e os pontos 3, 4, 5 e 6 os contatos de coletor, ou seja, cada uma das saídas da porta I^2L . O nó designado como "terra" representa o substrato N/N^+ sobre o qual é construído o dispositivo.

Os componentes ativos, transistores PNP e NPN, representam os vários pontos da estrutura onde o efeito transistor ocorre, conforme o exposto no capítulo I e pode ser verificado na inspeção da figura 3.1. Os diodos são de dois tipos: as junções PN onde não ocorre a injeção ativa de corrente, sendo portanto componentes parasitas dos transistores, e aqueles que representam o efeito da superfície em paralelo com estas junções: são os designados pelo índice "S". Os resistores representam os pontos onde ocorre uma diferença de potencial devido a resistência elétrica do material.

Visto de maneira geral o modelo que pretendemos empregar, passamos ao detalhamento, calculando os valores específicos de cada componente pela sua localização na estrutura do inversor e usando a simbologia do programa de simulação que vai ser empregado (9).

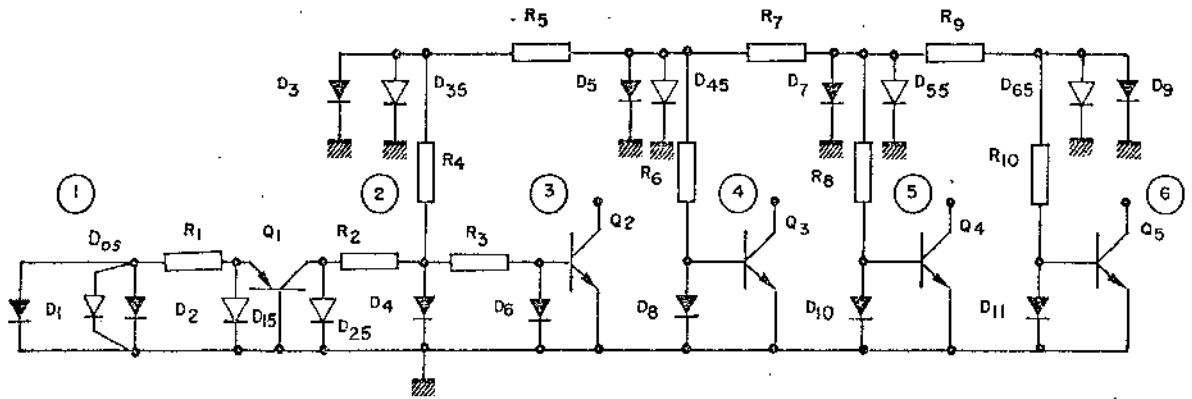


Figura 3.4 - Modelo da porta I^2L com 4 saídas.

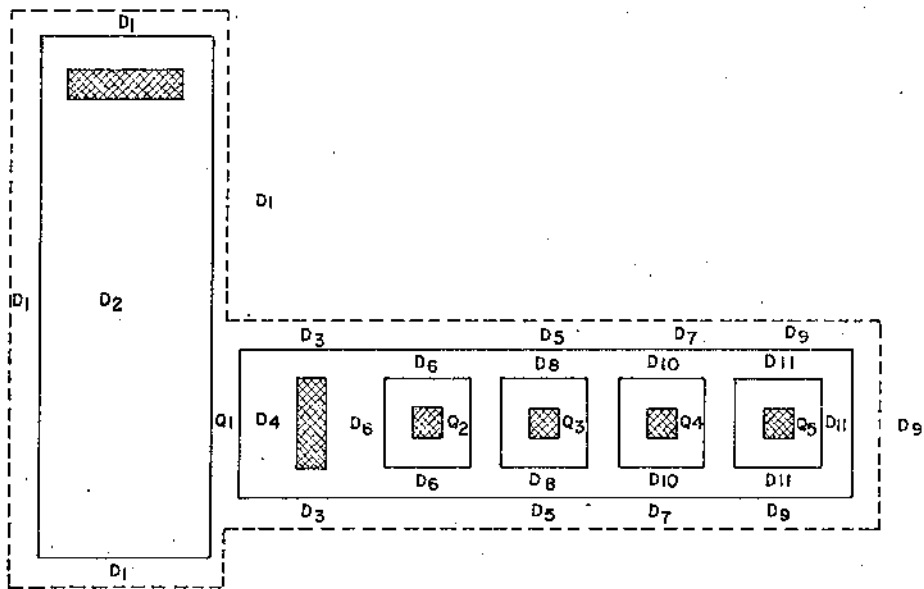


Figura 3.5 - Diodos da camada P.

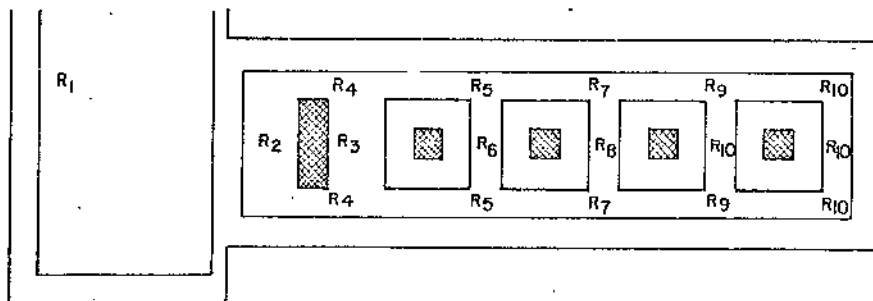


Figura 3.6 - Regiões que contribuem para os resistores.

3.4.1. Transistor PNP

Este componente é o que corresponde as correntes J_{p1} e J_{p3} na figura 3.1(c). Na convenção que adotamos, a primeira será a corrente do emissor para o coletor, e vice-versa. Pela configuração do componente na figura 3.3(c) e pela profundidade de $1,5\mu\text{m}$ atribuída para a camada P, podemos deduzir a área transversal da região de base ativa:

$$A_{\text{PNP}} = 1,5 \cdot 10^{-4} \cdot 30 \cdot 10^{-4} = 45 \cdot 10^{-8} \text{ cm}^2 \quad (3.40)$$

Por este valor, e pelo que já foi calculado para J_{p1} (que é o mesmo que J_{p3}) temos o primeiro parâmetro do modelo do transistor PNP, que é a corrente de saturação I_S :

$$I_S = 45 \cdot 10^{-8} \cdot 452 \cdot 10^{-11} = 1,134 \cdot 10^{-7} \text{ A} \quad (3.41)$$

O segundo e terceiro valores são os do ganho direto (BD) e reverso (BR); são iguais, e dados pela eficiência de injeção (3.28) e a corrente de recombinação na base, que devemos calcular agora. O tempo de trânsito na base ativa, τ_{BP} , é dado pela relação 3.37. A corrente de recombinação (I_{REC}) pode ser calculado pelo valor do tempo de vida médio das lacunas na região ativa de base, dado na tabela 3.1 como τ_{pN} na camada epitaxial (N) (ref. 22):

$$\frac{I_{\text{REC}}}{I(\text{coletor})} = \frac{\tau_{BP}}{\tau_{pN}} = 1,428 \cdot 10^{-2} \quad (3.42)$$

Por outra relação da mesma referência, calculamos o ganho global do transistor PNP:

$$BD = BR = \left[\frac{I_{\text{REC}}}{I(\text{coletor})} + \frac{1}{\gamma_{p1}} \right]^{-1} \approx 55 \quad (3.43)$$

Os outros valores de parâmetros do modelo são os mesmos que para o transistor PNP de teste.

a) tempos de trânsito, direto (TF) e inverso (TR): $0,72 \cdot 10^{-7} \text{ s}$;

b) potencial das junções base emissor (PE) e base coletor (PC): tratando-se da junção da camada P com o substrato (camada epitaxial) usamos a aproximação de junção com dopagem linear, o que dá o valor de 500 mV (ref. 23);

c) capacitância de depleção da junção base emissor (CJE) e base coletor (CJC): nesse caso calculamos a capacitância por unidade de área pelos âbacos da referência 24:

$$C_{AO} = 2,8 \cdot 10^{+4} \text{ pF/cm}^2 ; \quad (3.44)$$

conforme a área da junção que usamos (3.40), temos então:

$$CJE = CJC = 1,26 \cdot 10^{-14} \text{ F} \quad (3.45)$$

d) coeficiente de variação da capacitância com a tensão aplicada, na junção base emissor (ME) e base coletor (MC); sendo uma junção linear, temos:

$$ME = MC = 0,33 \quad (3.46)$$

Esse transistor PNP trabalha em regime de correntes relativamente pequenas, comparadas com os limites dado pela relação 3.35 (alta injeção). Assim sendo, os parâmetros calculados são os suficientes para a simulação que temos em vista.

3.4.2. Transistor NPN

No caso deste transistor temos alguns valores já calculados, no item 3.2, e outros que terão que ser deduzidos a partir das características das camadas difundidas (item 3.1) ou da configuração (fig. 3.3(c)). Começando pelo cálculo da área transversal da base ativa, temos:

$$A_{NPN} = 30 \cdot 10^{-4} \cdot 30 \cdot 10^{-4} \text{ cm}^2 = 9,0 \cdot 10^{-6} \text{ cm}^2 \quad (3.47)$$

A corrente de saturação I_S pode ser calculada pelo valor de J_{n1} , ou J_{n1R} (eq. 3.11):

$$I_S = 9,0 \cdot 10^{-6} \cdot 1,39 \cdot 10^{-10} \text{ A} = 1,25 \cdot 10^{-15} \text{ A} \quad (3.48)$$

O cálculo dos ganhos direto (BF) e inverso (BR) é feito da mesma forma que para o transistor PNP, no item 3.4.1. O tempo de vida médio dos portadores minoritários que corresponde a este cálculo é o que aparece na tabela 3.1 como o de elétrons (τ_n) na camada de base (P); temos aqui:

$$\tau_{nP} = 10^{-6} \text{ s}$$

Usando os valores do tempo de trânsito direto (τ_{BD} , 3.14) e inverso (τ_{BR} , 3.9), e da eficiência de injeção na junção base-emissor (γ_{n1} , 3.13) e base-coletor (γ_{CB} , 3.7) na relação 3.42, temos:

$$BF = \left[\begin{array}{cc} \tau_{BD} & + \frac{1}{\gamma_{n1}} \\ \tau_{nP} & \gamma_{CB} \end{array} \right]^{-1} = 2,55 \cdot 10^3 \quad (3.50)$$

$$BR = \left[\begin{array}{cc} \tau_{BR} & + \frac{1}{\gamma_{CB}} \\ \tau_{nP} & \gamma_{n1} \end{array} \right]^{-1} \approx 24 \quad (3.51)$$

O transistor NPN apresenta uma região de base ativa relativamente estreita e com resistividade alta (conforme item 3.1). Assim sendo, deve-se tomar em conta o valor da resistência elétrica da base (RB); esse valor é dado pela relação (ref. 22):

$$RB = \frac{\rho}{3w_B} \cdot \frac{h}{e} \quad (3.52)$$

onde temos:

$$\frac{\rho}{w_B} = 3 \text{ k}\Omega \quad (\text{item 3.1}) \quad (3.53)$$

$$h = e = 30 \mu\text{m} \quad (3.54)$$

Em seguida temos os parâmetros que são em definição equivalentes aos do PNP:

- a) tempo de trânsito direto (TF): neste caso, além do que foi considerado para efeito de ganho em corrente contínua (τ_{BD} , 3.14) é necessário acrescentar o tempo de vida médio na região do emissor dividido pela eficiência de injeção (τ_{pE}/γ_{n1} , eq. 3.24) conforme o tratamento das referências 10 e 14; temos então:

$$TF = \tau_{BD} + \frac{\tau_{pE}}{\gamma_{n1}} = 3,3 \cdot 10^{-10} \text{ s}; \quad (3.56)$$

- b) tempo de trânsito inverso (TR): é o valor já calculado (τ_{BR}); o valor é portanto:

$$TR = 2,07 \cdot 10^{-11} \text{ s}; \quad (3.57)$$

- c) potencial das junções base emissor (PE) e base coletor (PC): no caso da primeira é uma junção semelhante a do transistor PNP, linear portanto; na segunda, a aproximação usual é de uma junção abrupta (ref. 23); calculando, temos:

$$PE = 0,5 \text{ V} \quad (3.58)$$

$$PC = 0,82 \text{ V} \quad (3.59)$$

- d) capacitância das junções base emissor (CJE) e base coletor (CJC): calculadas pelos âbacos da ref. 24, temos:

$$C_{AOE} = 2,8 \cdot 10^{+4} \text{ pF/cm}^2 \quad (3.60)$$

$$C_{AOC} = 1,22 \cdot 10^{+5} \text{ pF/cm}^2 \quad (3.61)$$

o que, considerada a área das junções, dá então:

$$CJE = 0,25 \text{ pF} \quad (3.62)$$

$$CJC = 1,1 \text{ pF}; \quad (3.63)$$

e) coeficiente de variação da capacitância com a tensão aplicada: a junção base emissor é aproximada por uma junção linear e base coletor por junção abrupta; temos então:

$$ME = 0,333 \quad (3.64)$$

$$MC = 0,5 \quad (3.65)$$

O transistor NPN, da mesma forma que o PNP, é utilizado em níveis moderados de tensão e corrente, como é característico do inversor I^2L . Assim sendo, os parâmetros calculados são suficiente para o modelamento.

3.4.3. Diodos de Junção

Estes componentes representam as regiões das junções PN que estão em paralelo com as junções base-emissor e base-coletor dos transistores PNP e NPN, mas que não desempenham um papel ativo na atuação do componente. Esses diodos são de dois tipos:

a) região horizontal da camada P com substrato: é o caso dos diodos (na figura 3.4) de signados $D_2, D_4, D_6, D_8, D_{10}$ e D_{11} , cujas correntes (figura 3.1) são dadas por J_{n5} e J_{n6} , respectivamente;

b) região lateral da camada P: na figura 3.4, D_1, D_3, D_5, D_7 e D_9 , cujas correntes são dadas por J_{p2} (D_1), J_{p5} e J_{p6} (D_3, D_5 e D_7) e J_{p4} (D_9).

Os valores referentes a capacitância de depleção (C_{AO}, M, P) são os mesmos para os dois tipo de diodo, tendo os valores que foram deduzidos nos itens 3.4.1 e 3.4.2 para junções da camada P com substrato: base-emissor e base-coletor do PNP e base emissor do NPN. O outro parâmetro de comutação, o tempo de transição dos portadores da camada P é dado pelo valor de τ_p (3.25), valendo para os diodos da região horizontal. No caso dos diodos da região lateral o valor é do tempo de vida médio dos elétrons na região P, τ_{np} , dado pela tabela 3.1, que foi usado na relação 3.36 com $1,0 \mu s$.

Na tabela 3.2 listamos o resultado dos cálculos das áreas das junções de cada um dos diodos definidos, de acordo com os dados de profundidade da camada P ($1,5 \mu m$, conforme a fig. 32.) e dimensões da porta NE, I^2L (fig. 3.3).

TABELA 3.2

Diodo	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁
Área (µm ²)	630	10500	255	1100	120	1100	120	1100	210	1100	1350

O diagrama de alocação dos diodos nas regiões correspondentes está exposto na figura 3.5.

3.4.4. Efeitos da superfície

Os diodos que têm uma parte de sua junção limitada pela superfície do silício (os diodos laterais, no parágrafo anterior) sofrem o efeito adicional, sobre a corrente de injeção, da recombinação de portadores nessa superfície. Essa recombinação dá origem a uma corrente, a qual, conforme os resultados da ref. 10, pode ser tomada em consideração pelo uso das relações empíricas:

$$I_{SR} = P_E \cdot \gamma \cdot \exp. \frac{-\xi}{N_S} \quad (3.66)$$

$$I_S = I_{SR} \cdot \exp. \frac{V}{N_S \cdot U_T} \quad (3.67)$$

A relação 3.67 dá o valor da corrente de superfície (I_S) em relação a tensão aplicada a junção (V), tendo como parâmetros a corrente de saturação (I_{SR}) e o coeficiente de superfície (N_S). Os valores de I_{SR} e N_S por sua vez se relacionam pela equação 3.66 através do perímetro da junção na superfície (P_E), e ainda de γ e ξ que são designados "parâmetros de processo". Para uma produção industrial padrão, a referência citada dá os seguintes valores:

$$\gamma = 6,5 \cdot 10^{-4} \text{ A/cm} \quad (3.68)$$

$$\xi = 27,64$$

Por outro lado, estando os valores de N_S e I_{SR} ligados pela equação 3.66, é necessário que se faça uma estimativa de um deles para que resulte então a outro. O valor limite superior para N_S é 2, caso em que a corrente de recombinação na região de carga espacial predomina ((10)); um cálculo rápido mostra que esta é a previsão mais pessimista que se pode fazer quanto ao grau de influência da corrente de superfície. O valor de I_{SR}/P_E é, neste caso, de: $6,47 \cdot 10^{-10}$ A/cm.

Tendo estes valores, calcula-se então, para cada um dos diodos D_{iS} , os valores da tabela 3.2. Lembramos que cada um dos diodos se refere a um trecho particular da junção BE, a qual o acesso se faz pelos trechos da região P.

TABELA 3.3

	P_E (μm)	I_{SR} (pA)	N_S
D_{0S}	420	27,17	2
D_{1S}	50	3,23	2
D_{2S}	50	3,23	2
D_{3S}	170	11	2
D_{4S}	80	5,18	2
D_{5S}	80	5,18	2
D_{6S}	140	9,05	2

3.4.5. Resistores Parasitas

Os resistores que aparecem no modelo da fig. 3.4 representam as várias regiões da camada P por onde as correntes tem que passar para atingir as junções. Consideramos o fluxo dessas correntes paralelas por trechos (22) e o valor da resistência elétrica pelicular da camada P como 110Ω (conforme item 3.1).

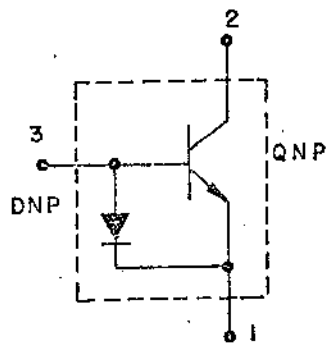
Calculando os valores pela configuração da figura 3.6 resulta a tabela 3.4.

TABELA 3.4

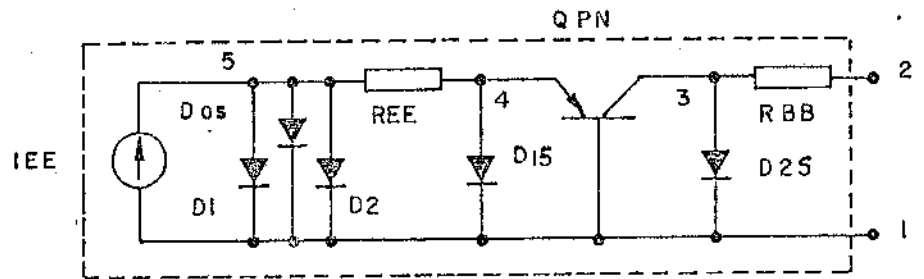
Resistores	R_1	R_2	R_3	R_4	R_5	R_6	R_7	R_8	R_9	R_{10}
Valor (Ω)	220	55	55	165	165	110	165	110	165	110

3.5. Comportamento da Porta I^2L

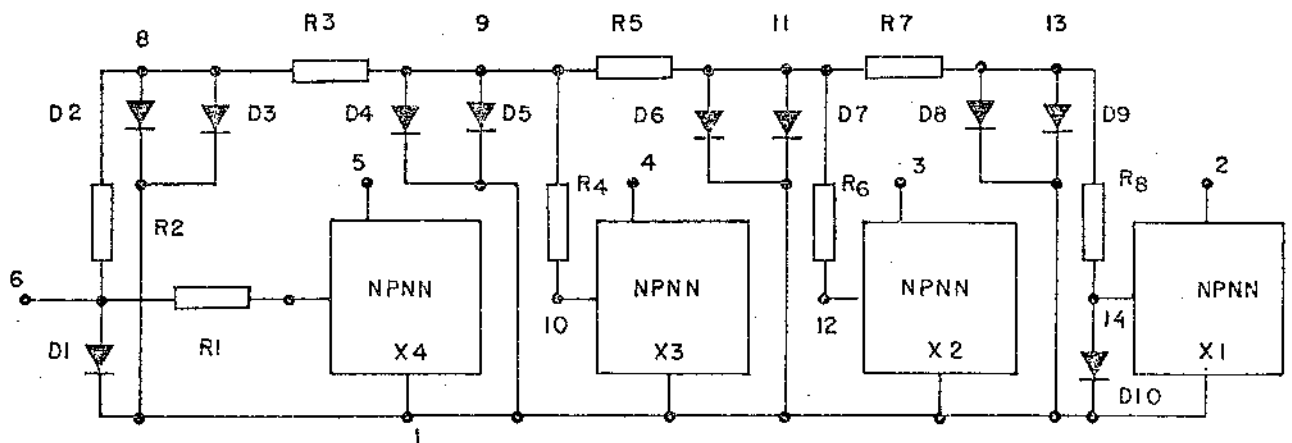
Tendo em mãos os valores numéricos para os componentes do modelo da porta lógica, pode-se fazer a simulação do seu comportamento. Essa simulação foi feita através do programa SPICE 2, e as descrições de circuito que se seguem, bem como os tipos de análises que são executadas, se referem particularmente aos recursos e linguagem deste programa (ref.9). Começamos montando os blocos para a porta lógica I^2L com quatro saídas, conforme as figuras 3.7(a), (b) e (c); nestes blocos, cuja montagem corresponde ao modelo completo da figura 3.8, é fácil identificar os valores de cada componente; devido a pequena diferença entre os diodos D_{11} e D_{10} (fig. 3.5) acrescentamos um diodo D_{10} entre os nós 14 e 1 na figura 3.7(c).



(a) Subcircuito
NPN



(b) Subcircuito PNP



(c) Subcircuito NPN

Figura 3.7 - Blocos para a descrição do sistema para o programa SPICE 2.

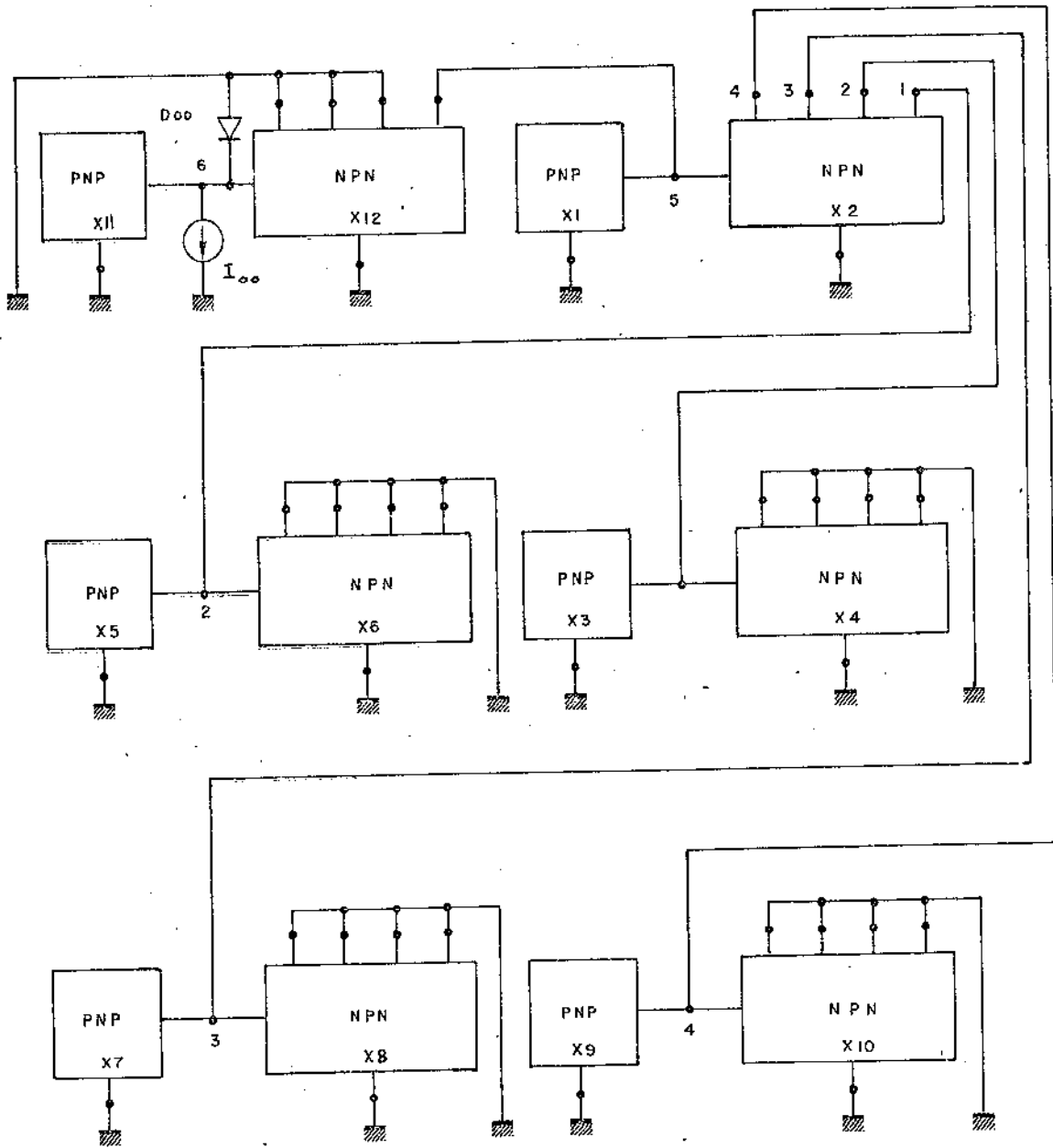


Figura 3.8 - Montagem dos blocos para a simulação da porta NAND.

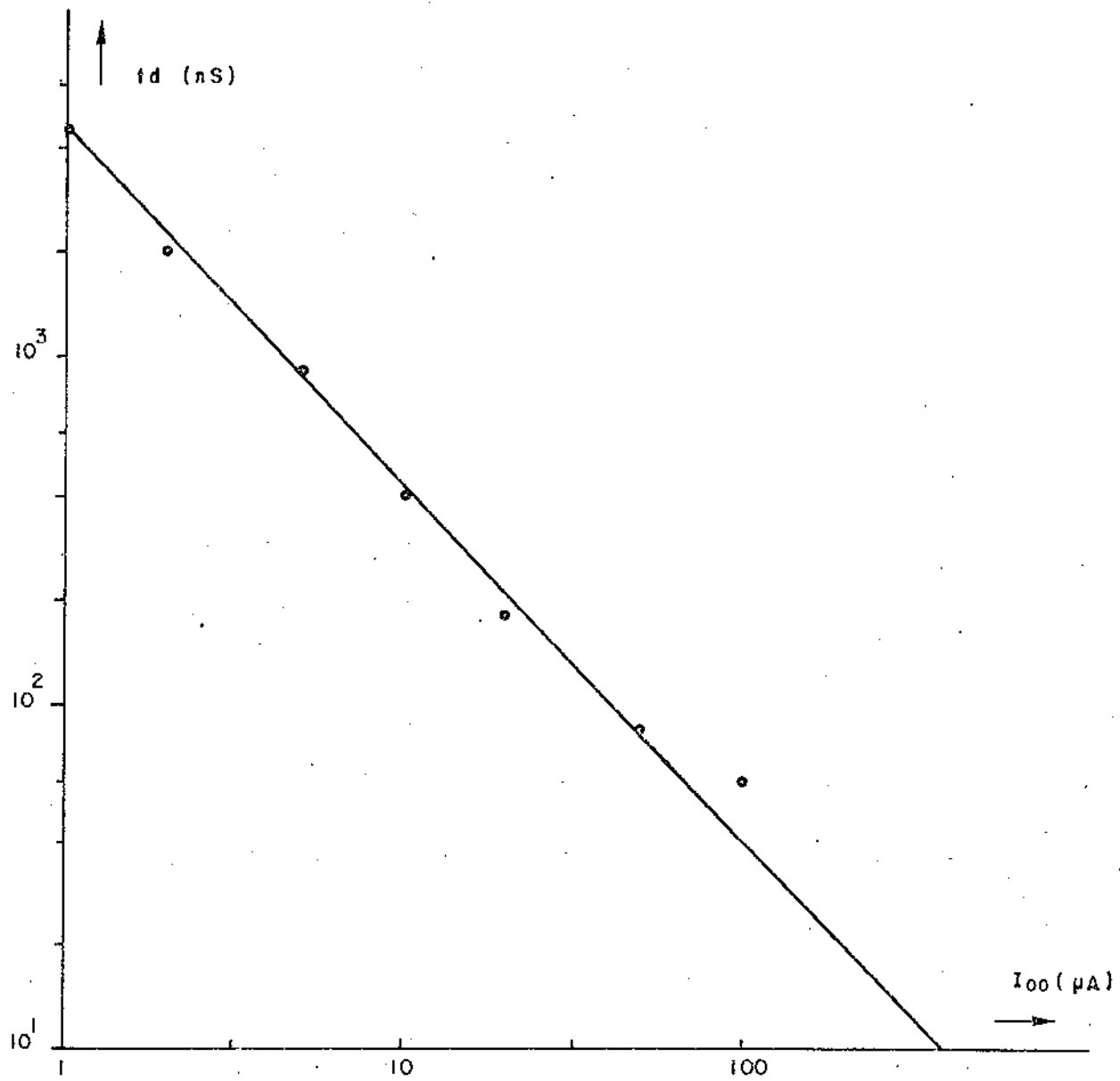


Figura 3.9 - Curva de variação do tempo de atraso do bloco NAND em função da corrente de chaveamento.

Na figura 3.8 temos a montagem completa de uma porta NE, comandada por outra que é acionada pela fonte de corrente I_{00} ; as saídas daquela tem como carga outras tantas portas NE da qual as saídas estão aterradas (ligadas aos emissores); isto força os transistores NPN na região de saturação, com V_{CE} igual a zero, e o comportamento como carga é praticamente só o da junção base-emissor (camada P e substrato). O diodo D_{00} foi acrescentado em paralelo com a fonte de corrente I_{00} devido às exigências de topologia do programa de análise (ref.9).

Os resultados que nos interessam são os que caracterizam a funcionalidade da porta I^2L como componente de um sistema digital: os seus valores digitais extremos (1 e 0 lógicos) e a margem de ruído nos níveis alto e baixo, dados que se extraem da função de transferência estática; o produto do tempo de propagação do sinal pela potência consumida, dado pela análise dinâmica, em regime transitório.

A polarização dos componentes é dada pelo gerador de corrente incluído no bloco do transistor PNP lateral, designado pelo nome de I_{EE} , na figura 3.7(b). As simulações em regime estático e dinâmico foram feitas para valores diferentes de I_{EE} , entre $1\mu A$ e $100\mu A$. O valor inferior foi limitado pelos tempos de atraso quando começaram a se tornar muito grandes para as aplicações que temos em vista; o valor superior pela discrepância na resposta estática entre os coletores próximo e distante do contato da base.

Expomos na tabela 3.5 os resultados da análise em condições estáticas, incluindo os valores designados para I_{EE} e I_{00} . Os resultados da simulação em regime transitório estão expostos no gráfico da figura 3.9, onde se estabelece o valor do produto da potência dissipada pelo tempo de atraso médio, que é de $4pJ$ para o caso da porta com 4 saídas ("fan out" de 4).

Observemos inicialmente que a verdadeira corrente de polarização da porta NE é a corrente indicada na tabela pelo valor I'_{EE} , devido ao ganho baixo do transistor PNP lateral quando são incluídos os efeitos dos diodos parasitários. Nota-se claramente o aumento das margens de ruído (NM) tanto para nível alto (NM^1) como nível baixo (NM^0) na entrada, com o aumento da corrente de polarização; lembrando que o aumento da corrente na base diminui também a impedância entre base e emissor do transistor NPN, temos de maneira geral uma melhora no desempenho do circuito quando passamos de $1\mu A$ na corrente de polarização.

3.6. Avaliação

Pelos dados fornecidos pela previsão de comportamento dos componentes de teste podemos concluir que a estrutura proposta para o comportamento, tanto em termos de geometria (Capítulo II) como do perfil de difusão satisfazem às condições que foram impostas pelo projeto. Deixamos de lado por enquanto o transistor de efeito de campo de junção, visto como a sua única função é proporcionar uma reavaliação do valor da resistividade média da camada difundida de base.

Por outro lado, os componentes que são formados por um agregado mais complicado de estruturas, tais como o inversor em anel e o biestável D têm o seu projeto, como conjunto, calcado nas características do inversor básico I^2L ; se este funciona, o mesmo deve ocorrer com aqueles. Não há portanto interesse imediato num estudo mais pro-

fundo do seu comportamento sem que se tenha alguma realimentação de informação de processo experimental, ou seja, de medidas sobre os componentes de teste já construídos. A mesma consideração vale para os blocos de influência efetiva do sistema, quais sejam, malha lógica e conversor D/A.

TABELA 3.5

$$1. I_{EE} = 15\mu\text{A} \quad I'_{EE} = 1,3\mu\text{A}$$

$I_{00} (\mu\text{A})$	$V_E (\text{mV})$	$V_S (\text{mV})$	dv_S/dv_E
0	50	550	0
0,5	51	515	1
0,765	535	280	30
1,3	550	35	1

$$NM^0 = 475 \text{ mV} \quad NM^1 = 0$$

$$2. I_{EE} = 1,5\text{mA} \quad I'_{EE} = 107\mu\text{A}$$

$I_{00} (\mu\text{A})$	$V_E (\text{mV})$	$V_S (\text{mV})$	dv_S/dv_E
0	15	710	0
80	630	695	1
82,5	650	360	25
87,5	675	30	1
105	710	15	0

$$NM^0 = 615\text{mV} \quad NM^1 = 30\text{mV}$$

CAPÍTULO IV

DADOS EXPERIMENTAIS DE CONSTRUÇÃO E DE COMPORTAMENTO DOS DISPOSITIVOS DE TESTE

O instrumental necessário para a execução do protótipo MCP-I²L compreende os processos de limpeza de lâminas de silício, fotografações em óxido de silício e camadas de metal (alumínio), oxidação de silício e difusões de impurezas, neste caso boro e fósforo. A maioria destes processos não requerem na sua aplicação um cuidado especial para cada caso particular, visto como as pequenas variações quantitativas (espessuras de camadas, tamanho de janelas nas máscaras, temperaturas de oxidação, etc) podem ser satisfeitas por adaptações proporcionais nas aplicações das operações básicas (tempos de ataque e deposições, concentrações de reagentes, etc.) desde que não saiam fora da faixa de aplicabilidade definida para estes processos. Essa linearidade no comportamento das variáveis de controle não se estende, no entanto, para as difusões de impurezas.

Seja pela excessiva simplicidade da teoria de difusão sólida, deduzida a partir das equações de Fick (ref.23), seja pela dificuldade na formulação de condições de contorno realistas para a interpretação do fenômeno, ou seja ainda pelo grande número de variáveis que intervêm no processo (ref. 22, capítulo 12), os resultados calculados mostram grandes desvios em relação aos obtidos experimentalmente. Esta imprecisão não é admissível na obtenção de uma estrutura tal como a que foi definida no capítulo anterior. É necessário portanto, um projeto e uma verificação cuidadosa dos resultados com vistas a adaptação dos condições de aplicação para que o resultado final não seja prejudicado; essa sequência de operações e seus resultados, revistos, é que passamos a descrever nas secções que se seguem.

Os parâmetros calculados para os componentes de teste devem também agora passar pelo teste experimental. Temos aí uma segunda forma de avaliar as camadas difundidas e sob outro aspecto os cálculos que foram feitos por ocasião do modelamento dos fenômenos. Conforme a aproximação conseguida, o modelo completo do capítulo III deve ter os seus valores de comportamento dos componentes submetidos a uma reavaliação.

4.1. Cálculo das Difusões e Resultados Experimentais

Para ter um ponto de início no ensaio experimental, devemos fazer uma avaliação teórica preliminar; em nosso caso adotamos o método de fazer cálculos com a teoria linear simplificada da difusão sólida, usando em seguida as tabelas pormenorizadas da ref. 15 referentes a processos.

Segundo a teoria simplificada, há três equações que governam o processo da difusão, conforme é realizado convencionalmente na tecnologia de componentes de silício:

a) deposição, fase preliminar, quando se considera fonte infinita de impurezas:

$$C(x,t) = C_S \operatorname{erfc} \frac{x}{2\sqrt{Dt}} \quad (4.1)$$

$$Q(t) = 2 \cdot C_S \cdot \sqrt{Dt} / \sqrt{\pi} \quad (4.2)$$

onde definem-se as quantidades:

$C(x,t)$ - concentração local de impurezas, dependendo da distância a superfície (x) e do tempo (t);

C_S - concentração na superfície, no caso igual a solubilidade sólida do material no silício;

D - coeficiente de difusão da impureza;

Q - quantidade total depositada por unidade de área da superfície.

b) penetração, fase complementar, quando se considera quantidade de dopante (Q) constante:

$$C(x,t) = \frac{Q}{\sqrt{\pi Dt}} \cdot \exp \frac{-x^2}{4Dt} \quad (4.3)$$

na qual o significado dos termos é o mesmo que em (4.1) e (4.2).

Nesse cálculo foram usados os valores dados na ref. 15, reproduzidas na tabela 4.1.

TABELA 4.1

T(x)	Processo	D (cm ² /s)	C _S (cm ⁻³)
900	Deposição de boro	10 ⁻¹⁵	3,2 · 10 ²⁰
1150	Penetração de boro	6 · 10 ⁻¹³	-
1000	Deposição de fósforo	10 ⁻¹³	10 ²¹
1000	Penetração de fósforo	10 ⁻¹³	-

Esses valores nos deram os tempos teóricos de aplicação necessários em cada um destes processos, a saber: 108 minutos para a deposição de boro, 24 minutos para a penetração, 30 minutos para a deposição de fósforo e o mesmo para a penetração; foram então usadas estas condições para o primeiro teste de simulação com o programa SUPREM (ref. 25).

Verificaram-se então duas discrepâncias em relação ao cálculo teórico: a quantidade de impurezas na deposição de boro se revelou excessiva e foi previsto grande consumo de boro pela camada de óxido de silício que se forma na penetração deste boro. Ambos os efeitos foram tomados em conta e se procedeu a uma alteração do tempo de deposição do boro na temperatura de 900°C para 10 minutos; foi obtido então um perfil de dopagem semelhante ao da figura 3.4.

4.2. Resultados Experimentais da Difusão

As deposições de boro e fósforo foram obtidas por fonte sólida de B^{+TM} (ref. 26) e fonte líquida de $POCl_3$, respectivamente. Constatamos que os valores de resistência pelicular (R_{\square}) fornecidos pelo fabricante não correspondiam aos produzidos pela simulação, sendo bem mais altas no primeiro caso, mas coincidindo com os valores obtidos em nossos próprios ensaios, o que exclue erros de manipulação do processo ou deterioração da fonte de impurezas.

A observação, direta e por microscópio, revelou ser pelo menos muito fina, praticamente invisível, a camada de borosilicato depositada na superfície da lâmina de silício a 900°C; consideramos por isso razoável atribuir a discrepância nos resultados encontrados ao efeito de diminuição na concentração de superfície do boro no silício, em relação ao valor máximo possível, que é encontrado na literatura ($3 \cdot 10^{20} \text{ cm}^{-3}$). Usando os recursos normais de acesso às variáveis de programação, diminuimos o valor utilizado nos cálculos para $0,8 \cdot 10^{20} \text{ cm}^{-3}$, obtendo uma aproximação melhor.

Outros ajustes experimentais foram necessários, em relação aos resultados obtidos nos cálculos. O problema principal foi causado pela difusão de fósforo, que se revelou mais profunda do que a prevista pelo programa. O processo adotado finalmente para a construção do transistor está exposto na tabela 4.2.

TABELA 4.2

- Deposição de boro: 925°C, 30 minutos: $R_{\square} \approx 170\Omega$.
- Penetração de boro: 1150°C, 30 minutos:
 $R_{\square} \approx 12,0\Omega$, $x_{j1} \approx 0,8\mu\text{m}$, para camada N;
 $x_{j2} \approx 1,6\mu$, para camada P;
- Penetração de fósforo: 900°C, 30 minutos:
 $R_{\square 1} \approx 16,0\Omega$, $x_{j1} \approx 1,6\mu\text{m}$, camada N;
 $R_{\square 2} \approx 5,0k\Omega$, $x_{j2} \approx 1,8\mu\text{m}$, camada P.

Os valores das profundidades das junções foram medidos por desbaste em ân

gulo e ataque químico, conforme o método convencional. A resistência pelicular das camadas difundidas foi medida numa lâmina de silício reservada para teste das difusões, não passando portanto, pelo processo de fotolitografia. No caso da resistência pelicular da camada que forma a região ativa de base (região P não compensada) foi usado o dispositivo de efeito de campo de junção, descrito no capítulo II e exposto na figura 2.2.

4.3. Dispositivos de Teste: Transistores PNP e NPN

Estes componentes foram usados em princípio para verificação praticamente qualitativa dos resultados de processo, sob o ponto de vista de fornecer uma expectativa mais definida em termos do funcionamento dos componentes mais complexos; esses testes foram realizados com lâminas de silício antes da separação das pastilhas e encapsulamento dos dispositivos.

O teste rápido a que o transistor PNP se submete é quanto a correntes de fuga pela superfície (resistência elétrica entre coletor e emissor) e tensão de ruptura das junções de emissor e coletor em relação à camada epitaxial. Somente no caso de compatibilidade destes parâmetros com os previstos no capítulo anterior a pastilha em questão se candidata ao encapsulamento.

No caso do transistor NPN, cujo teste se faz em seguida ao PNP, temos já uma indicação quanto ao funcionamento da porta I^2L . O ganho do transistor vertical ascendente deve ser maior do que 1 e a tensão máxima BV_{CEO} maior do que 1 V, sem o que a porta lógica não terá a possibilidade de operar o chaveamento.

Essas medidas foram feitas diretamente no traçador de curvas TEKTRONIX, com os valores expostos a seguir:

a) Transistor PNP lateral:

$$25 \text{ V} < BV_{CEO} < 60 \text{ V}$$

$$1,0 < \beta_D < 3,0$$

Nessa primeira medida foram considerados aprovados os dispositivos com mais de 1 M Ω entre coletor e emissor, com V_{CE} de 1 V.

b) Transistor NPN vertical.

O ganho do transistor NPN apresentou uma dispersão maior em relação a fornadas executadas em épocas diferentes. Uma primeira vez, obtivemos ganhos (β_D) entre 5 e 10, com V_{CEO} da ordem de 5 V; na segunda vez, entre 1,0 e 1,5 para β_D e V_{CEO} entre 4,0 e 7,0 V em duas lâminas e entre 1,5 e 10,0 para β_D e 6,0 V a 0,5 V (respectivamente) numa terceira lâmina. Concluímos ter ocorrido algum problema com a deposição de boro nesta segunda fornada, dando uma região de base ativa irregular e uma dispersão nos parâmetros do dispositivo.

Como se pode ver, há até o momento uma boa concordância para as quantidades medidas e as calculadas no capítulo III. Posteriormente foi verificado que somente os transistores NPN com V_{CEO} abaixo de 600 mV forneceram portas lógicas com problemas para comutação.

4.4. Medidas na Porta I^2L

Neste caso já se torna necessário operar com o dispositivo encapsulado, pelo caráter de precisão que as medidas exigem. Dispomos de contactos de acesso às regiões de substrato, camada P injetora, camada P de base ativa (entrada de sinal) e a dois dos quatro coletores (região N^+) de saída. O circuito, com a respectiva distribuição dos pinos no cabeçote usado para o encapsulamento (DIP, 24 pinos) está exposto na figura 4.1.

Conforme a referência 6, temos métodos baseados na aplicação do modelo de Ebers-Moll para transistores bipolares que são aplicáveis a esta estrutura para identificação dos parâmetros das correntes das várias junções, já discriminadas no capítulo III. Essas medidas são feitas através das montagens expostas nas figuras 4.2 (a), (b), (c) e (d). Se comparamos as correntes medidas nesta porta lógica com as que são definidas no modelo do capítulo III, temos então:

$$I_{CP} = I'_{CP} = J_{p1} \cdot A_{p1} = J_{p2} \cdot A_{p2} \quad (4.4)$$

$$I_{CN1} = I'_{CN1} = J_{n1} \cdot A_{n1} + J_{n2} \cdot A_{n2}$$

O valor medido para I_{CP} , corrente de saturação, foi de $1,3 \cdot 10^{-16}$ A; o calculado, usando os valores dados no capítulo III é de $1,89 \cdot 10^{-17}$ A. Para I_{CN1} , temos $1,5 \cdot 10^{-15}$ A para o valor medido e $1,25 \cdot 10^{-15}$ A para o calculado.

A comparação para os valores de correntes de base, em polarização direta e reversa, se complica pelo fato de se adicionarem às correntes de injeção das junções as correntes de superfície no perímetro das junções base-emissor. A solução que adotamos foi calcular em cada ponto os valores das correntes totais de base e colocá-las no gráfico de I_B e I'_B contra V_{BE} , como foi medido. Temos os resultados desses gráficos nas figuras 4.3, 4.4, 4.5 e 4.6 para as correntes de base em polarização direta e reversa, para os transistores PNP e NPN respectivamente.

Como se pode ver, há discrepância de uma ordem de grandeza entre a corrente calculada e a que foi efetivamente medida, na base do transistor NPN em polarização reversa; a consequência é que o ganho inverso desse transistor é muito maior (10 vezes) do que o calculado no capítulo III. Após revisão no processo de cálculo destas correntes, chegamos a conclusão de que o problema se deve ao valor adotado para n_i^2 (concentração intrínseca) na região de alta dopagem N; essa hipótese foi confirmada, em outras estruturas de transistores bipolares que foram construídas em nosso laboratório (ref. 27).

Outra medida feita em caráter de verificação foi da curva de transferência ($V_{CE} \times V_{BE}$, figura 3.2); medida neste caso com carga ("fan out") de uma porta lógica. Constatamos os valores digitais em tensão, no nível 1 e 0 (lógica positiva) de 628 mV e 20 mV, respectivamente, sendo a corrente de injeção externa de 200 μ A (em cada porta)

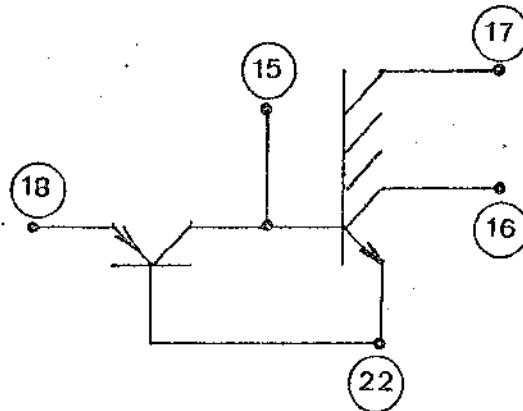
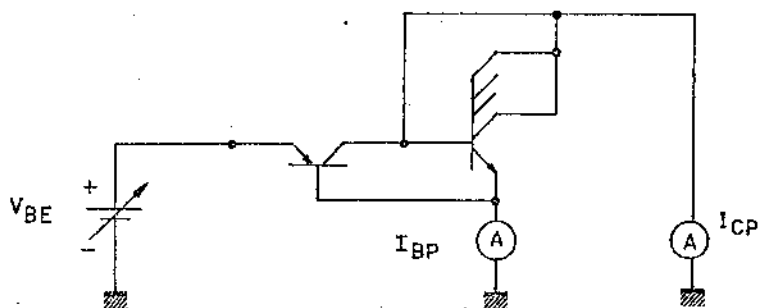
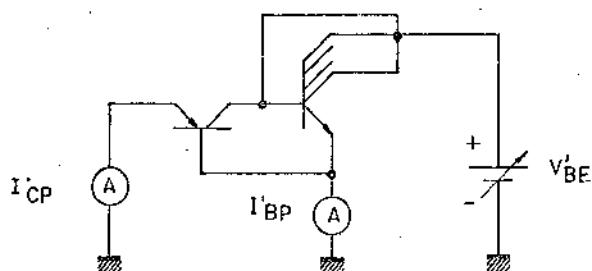


Figura 4.1: Circuito da porta I^2L encapsulada.

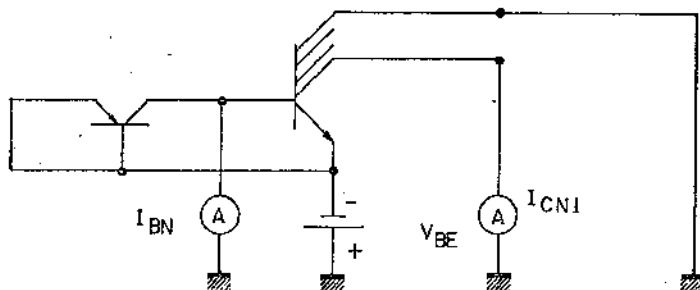
- ①⑤ Camada P, base do NPN e coletor do PNP.
- ①⑥ Camada N^+ , coletor mais próximo do injetor.
- ①⑦ Idem, coletor mais distante.
- ①⑧ Camada P, emissor do PNP, injetor.
- ②② Substrato, N^+ , emissor do NPN.



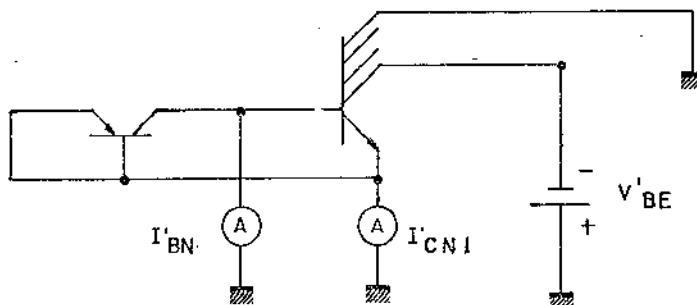
(a) Transistor PNP, polarização direta.



(b) Transistor PNP, polarização inversa.



(c) Transistor NPN, polarização direta.



(d) Transistor NPN, polarização inversa.

Figura 4.2: Montagens para as medidas das correntes das junções.

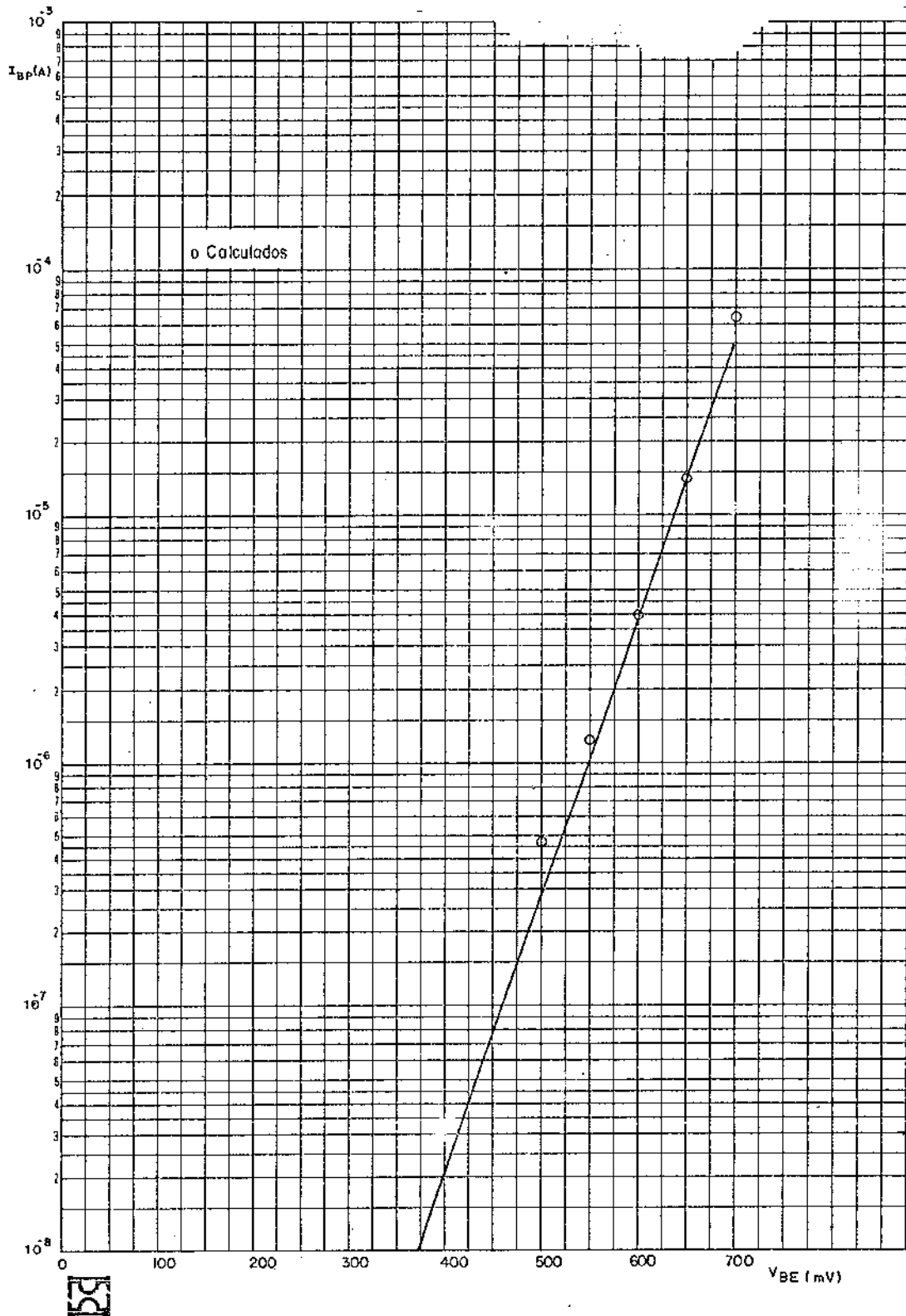


Figura 4.3: Corrente de base do transistor PNP lateral, polarização direta.

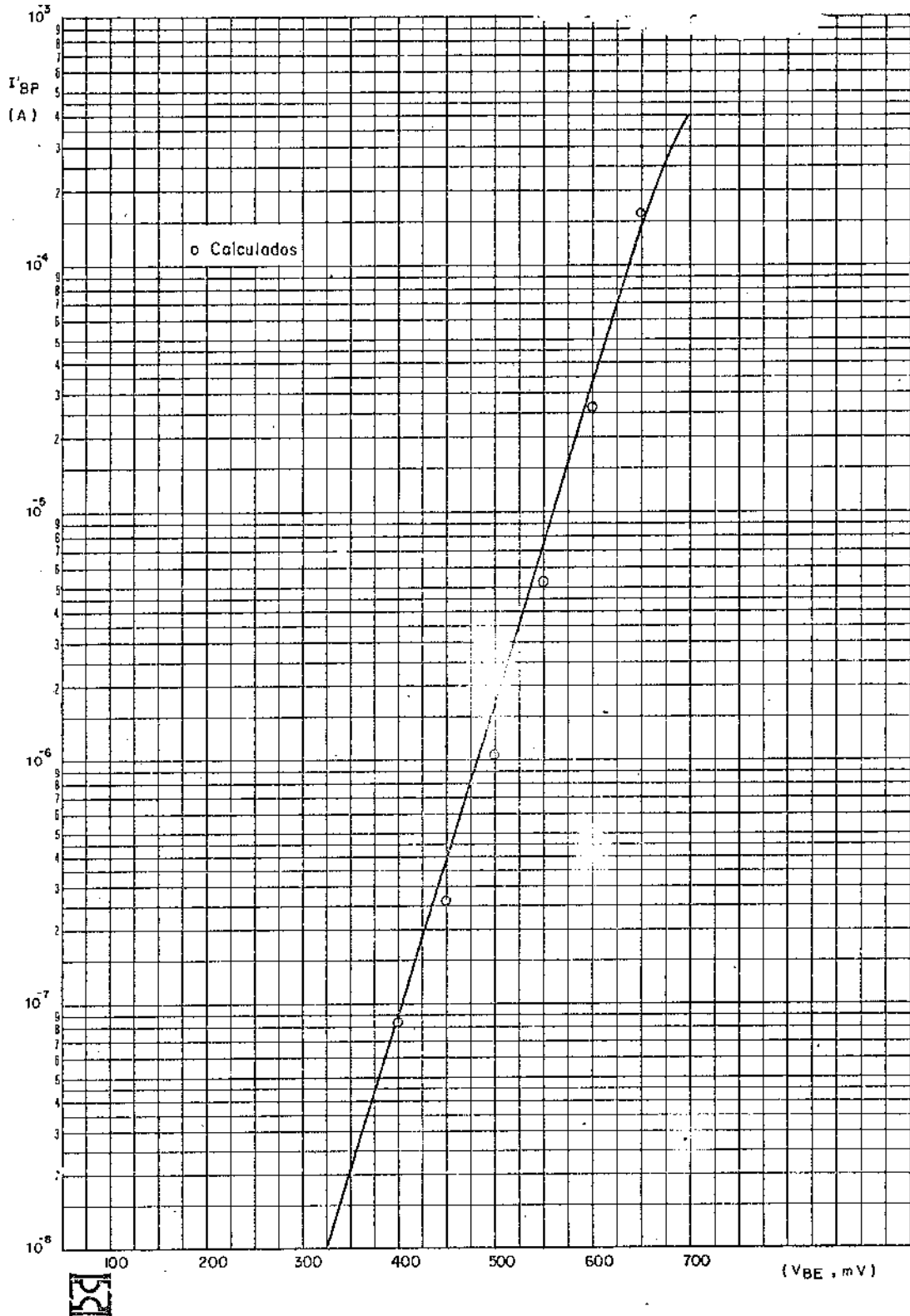


Figura 4.4: Corrente de base do transistor PNP, polarização inversa.

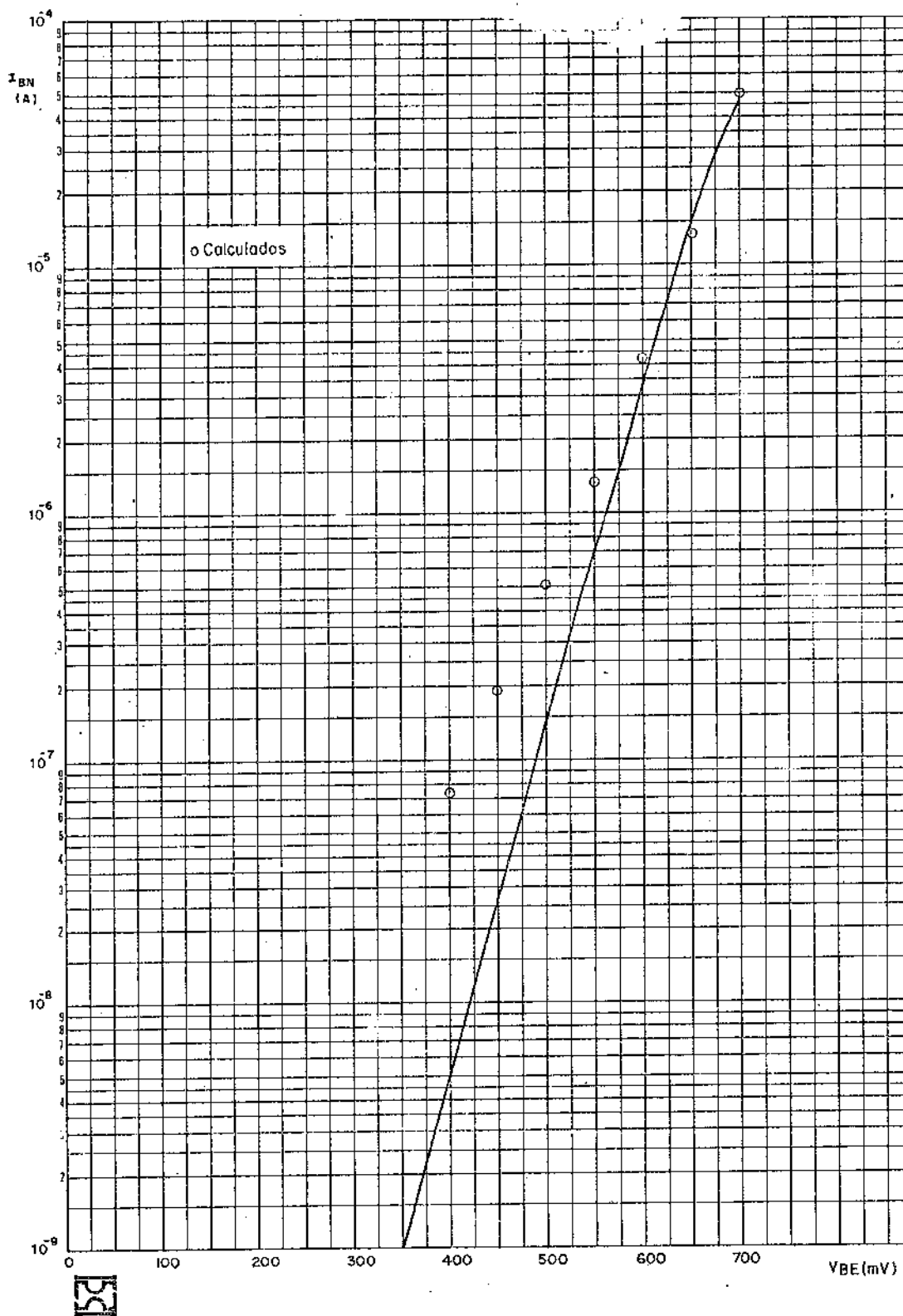


Figura 4.5: Corrente de base do transistor NPN, polarização direta.

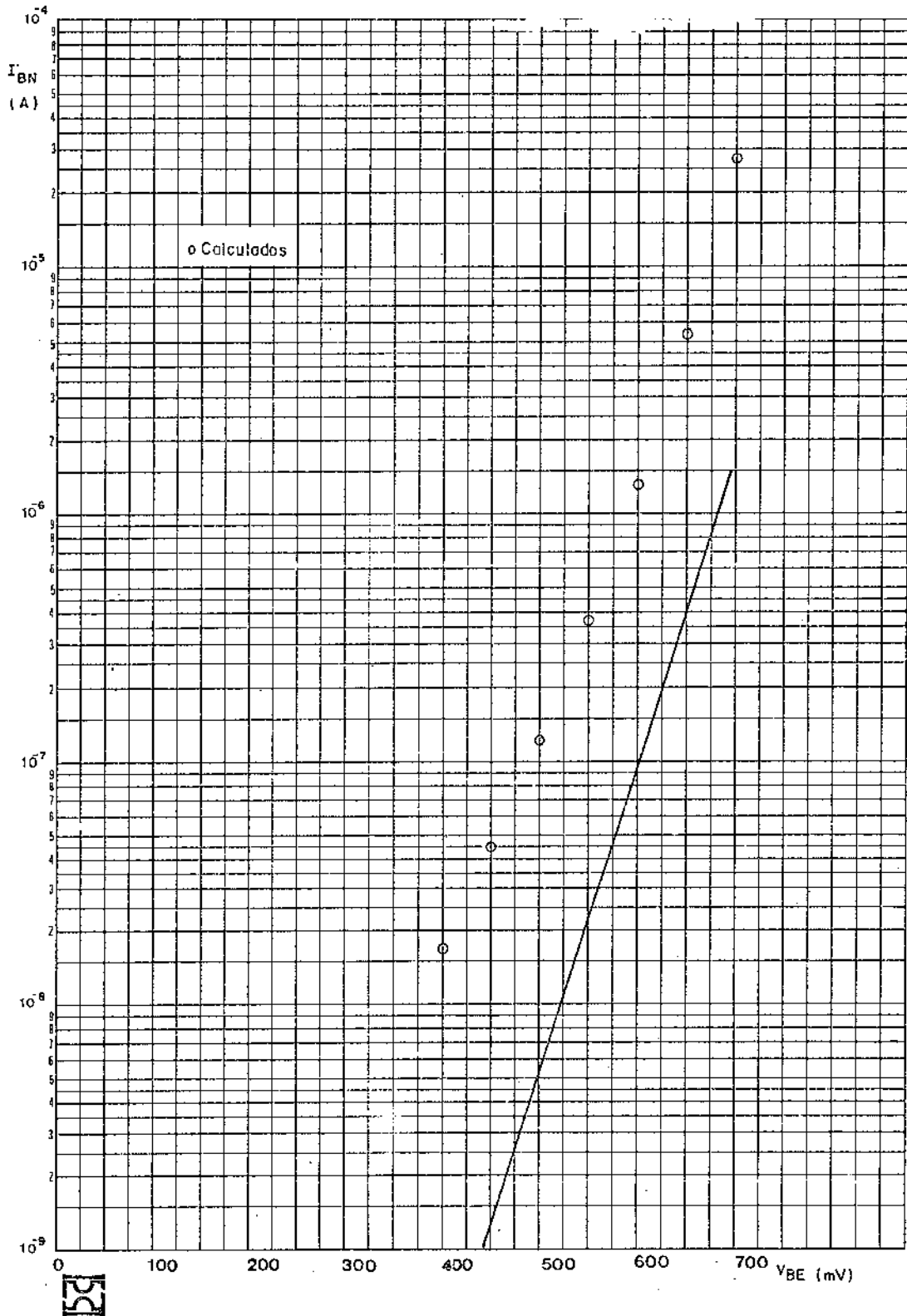


Figura 4.6: Corrente de base do transistor NPN, polarização inversa.

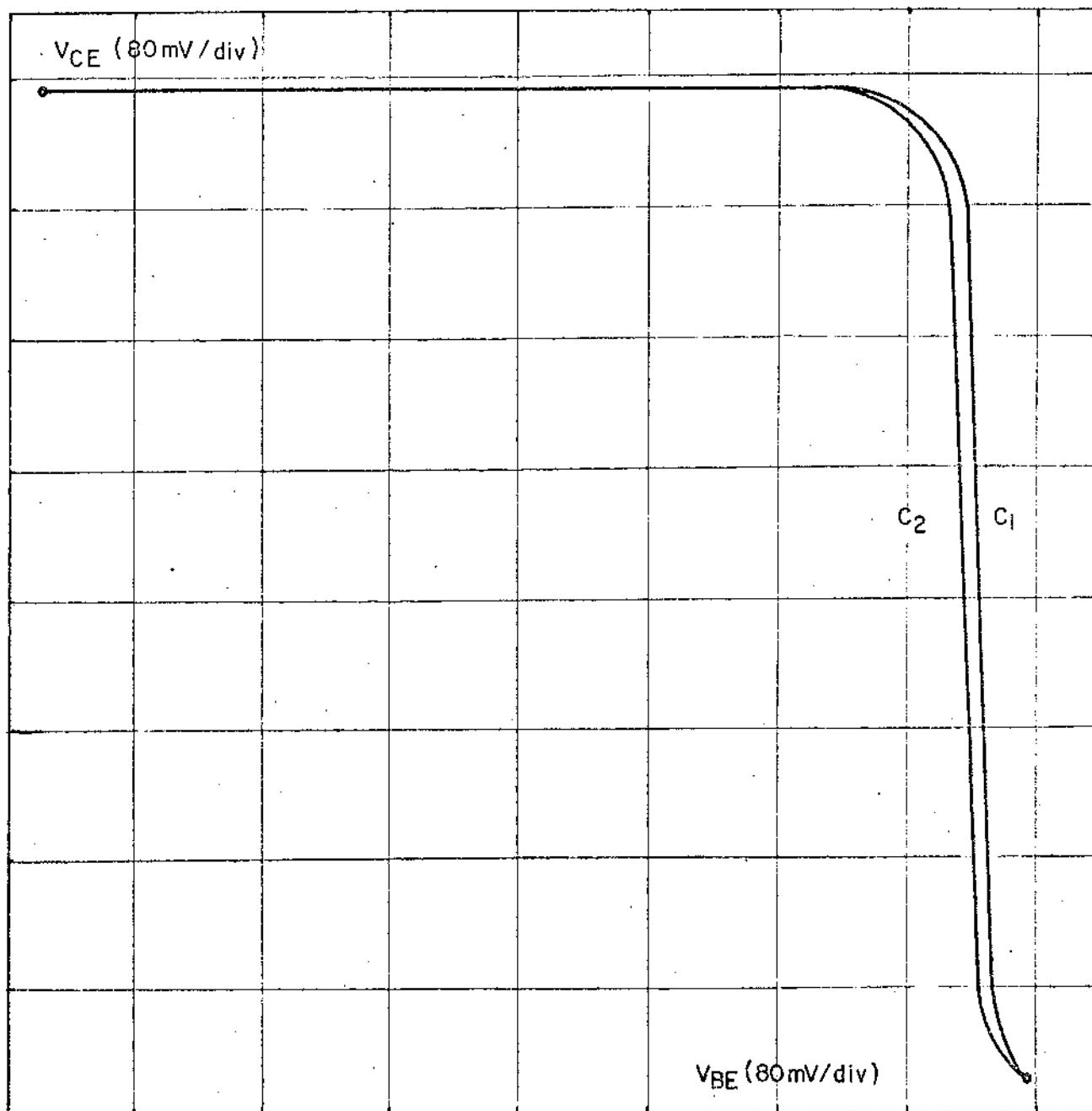


Figura 4.7: Característica de transferência da porta I^2L ("fan out" de 1).

o que tendo em vista o ganho do PNP lateral (injetor) dá uma corrente de injeção na base de $100\mu\text{A}$. A pequena diferença no comportamento dos coletores próximo (C1) e distante (C2) pode ser creditado a resistência série maior entre contacto de base e região de base ativa.

Considerando os resultados obtidos no dispositivo e o bom rendimento do processo de fabricação (praticamente de 100% na lâminas LS-783 e 784, da última fornada) consideramos o processo de fabricação viável para transistores bipolares a serem utilizados em portas I^2L .

4.5. Oscilador em Anel

Na verdade, o bloco que temos montado na pastilha, como componente de teste, é uma sequência de três inversores em série com um único coletor cada um e um injetor que lhes é comum (figura 2.2b). Temos acesso aos terminais de base do primeiro inversor, coletor do último e naturalmente ao próprio injetor, o que possibilita o teste clássico como oscilador em anel com três ou mais estágios, se isto for desejado, e variando o valor da corrente de polarização.

Existe um problema causado por este tipo de montagem que é o fato de que não se consegue evitar que as capacitâncias dos aparelhos de medida, fiação, etc. tenham alguma influência nos resultados observados. Fizemos medidas com osciladores de três (uma pastilha), nove e quinze estágios, e optamos por adotar o sistema que maiores frequências apresentou, ou seja, nove estágios; consideramos que neste caso a influência dos elementos parasitários tornou-se menor.

Apresentamos na figura 4.8 o gráfico dos resultados das medidas de tempos de propagação do sinal por estágio contra potência total dissipada, também por estágio. A potência consumida foi considerada igual a 2,3 vezes a estática, conforme a recomendação da referência 28 para o ciclo de operação de 50%.

Temos então um produto de potência consumida por tempo de atraso de $8,0\text{ pJ}$, um valor diferente do que foi encontrado na simulação da porta lógica I^2L com "fan out" de 4. O valor desta simulação está na previsão, com boa precisão, do tempo de atraso mínimo em cada porta lógica, que se situa em torno de 180 ns . Isso ocasiona a necessidade de uma redução neste tempo, para operar com segurança na faixa de 2 MHz para a conversão D/A; prevemos que a redução na menor dimensão do circuito (para $5\mu\text{m}$, se possível) deve levar a este resultado.

O rendimento observado neste bloco foi o mesmo que da porta I^2L com quatro coletores. Na figura 4.9 temos o esquema de distribuição de pinos de solda para este bloco.

4.6. Bloco do Circuito Biestável tipo D

Pode-se verificar, por uma comparação entre as figuras 1.6 (diagrama de bloco e circuito) e 2.2 (f) (realização em disposição, usando portas I^2L), que há uma falha no estabelecimento da configuração do componente que corresponde ao biestável ti

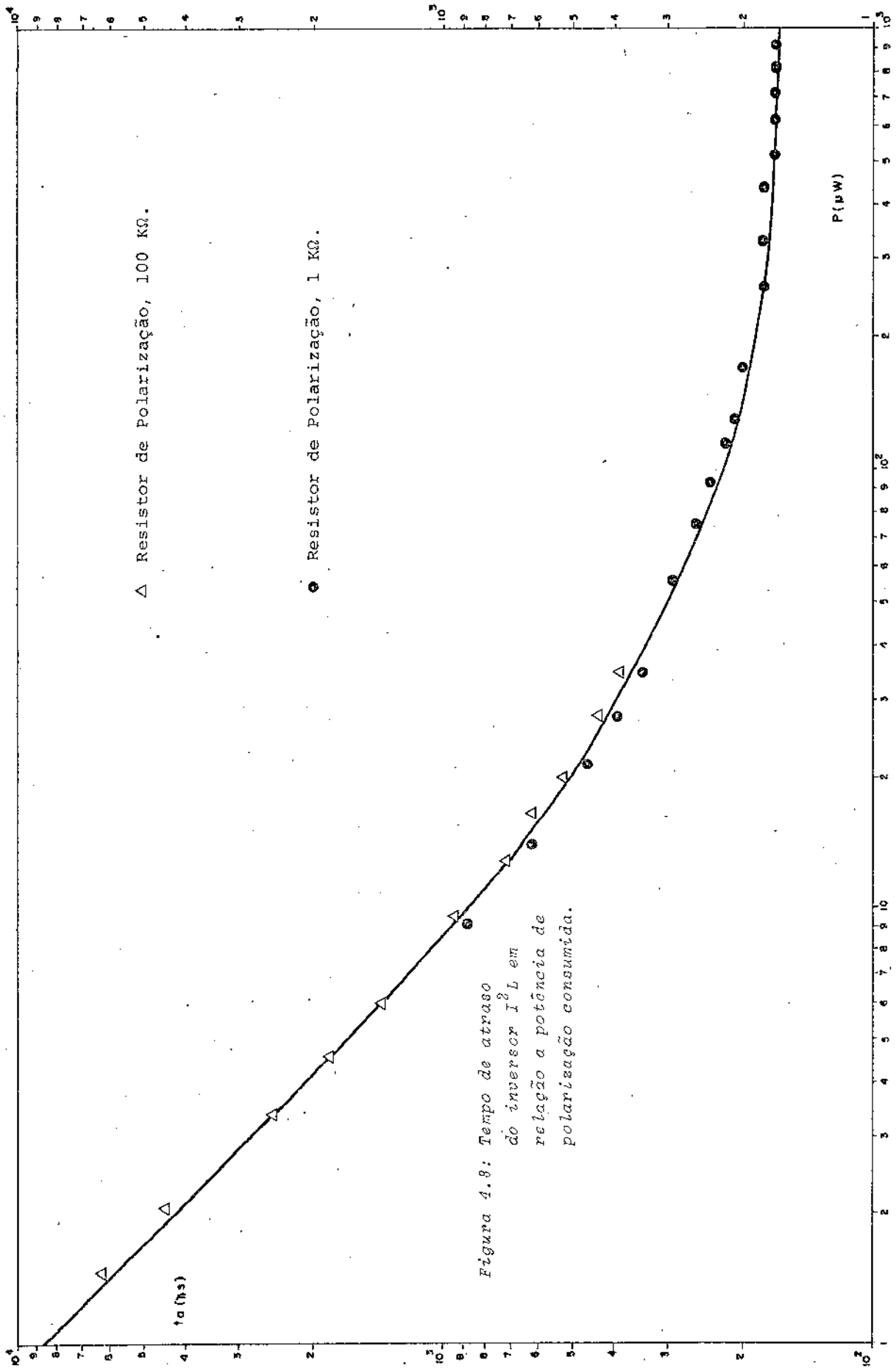


Figura 4.8: Tempo de atraso
 do inversor I^2L em
 relação a potência de
 polarização consumida.

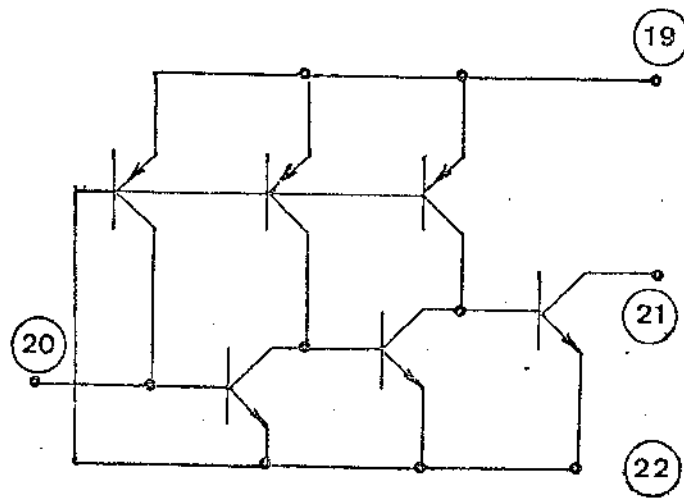


Figura 4.9: Encapsulamento do inversor de 3 estágios.

po D. Falta a ligação de realimentação entre a porta que compõe o ciclo intermediário de processamento (o bloco central, superior, na figura 1.6(a)) e a porta que processa o sinal D de entrada. Isso pode ser verificado pela constatação das ligações do bloco de entrada (o primeiro a esquerda, na figura 2.2 (f)) com este bloco intermediário (o terceiro, a partir da esquerda, na mesma figura).

A falta dessa ligação impede o funcionamento do dispositivo. Uma análise sequencial dos estados revela que a tendência é de que os valores de Q e \bar{Q} sejam sempre 1 e 0, respectivamente, valor que não se altera qualquer que seja o sinal de entrada D. Foi feita uma análise também para o caso de ligação como divisor de frequência ("toggle switch") com a mesma conclusão. Os resultados experimentais confirmaram essas análises.

Como esta configuração é também a da célula básica do registrador de deslocamento e memória, estes circuitos tornaram-se inoperantes. Não temos, portanto, oportunidade de estudar com mais profundidade os blocos de processamento digital, a não ser no oscilador em anel e malha lógica de geração dos sinais A a G.

4.7. Gerador Binário F2

Este bloco é o que se destina a conversão dos pulsos de B_5 e B_8 , acrescido do discriminador B^+ , no valor analógico de corrente F2, que dá o nível linear de corrente dentro de cada segmento (capítulo I). Neste nível de apresentação dos resultados experimentais vamos avaliar de maneira qualitativa os desempenhos das pastilhas encapsuladas para, no capítulo V, a seguir, tornar mais rigorosa a análise.

Essa avaliação pode ser feita pela verificação isolada dos valores das correntes binárias observadas na saída quando são acionadas as várias chaves de que se dispõe com acesso externo, após o encapsulamento. Neste ponto convém advertir que um problema sério surgiu na distribuição dos valores que foram medidos pela influência, que se constatou, da resistência elétrica que o injetor apresentou; influência que fez com que nos primeiros circuitos medidos, se encontrassem valores inaceitavelmente altos para as correntes dos transistores mais próximos ao acesso externo de injeção, e vice-versa para os mais distantes; problemas que ocorreram também e mais fortemente, no gerador binário F1.

Para correção desse desvio duas alterações foram introduzidas: uma na máscara de metalização exposta na figura 4.10 e outra no sistema externo de alimentação. Na máscara foi acrescentado um ponto de acesso externo no ponto extremo de cada um dos três injetores separados que alimentam os geradores binários, possibilitando a polarização também por este lado; acrescentou-se também uma possibilidade de acesso (na figura, a direita) da parcela 32 do gerador binário F1. A alteração no sistema de alimentação pode ser entendido com a ajuda da figura 4.11, que mostra o encapsulamento e circuito de polarização para medidas do gerador F2.

Na figura 4.12 está mostrada a distribuição dos resistores parasitários que dificultam a distribuição equitativa das correntes de polarização pelos transistores PNP laterais; são formadas basicamente pelos pontos nos quais a metalização de injetor foi interrompida para dar passagem a algum ramo de ligação. De acordo com o valor da resistência de folha da difusão de injetor (P^+), que é de 5Ω , temos aproximada-

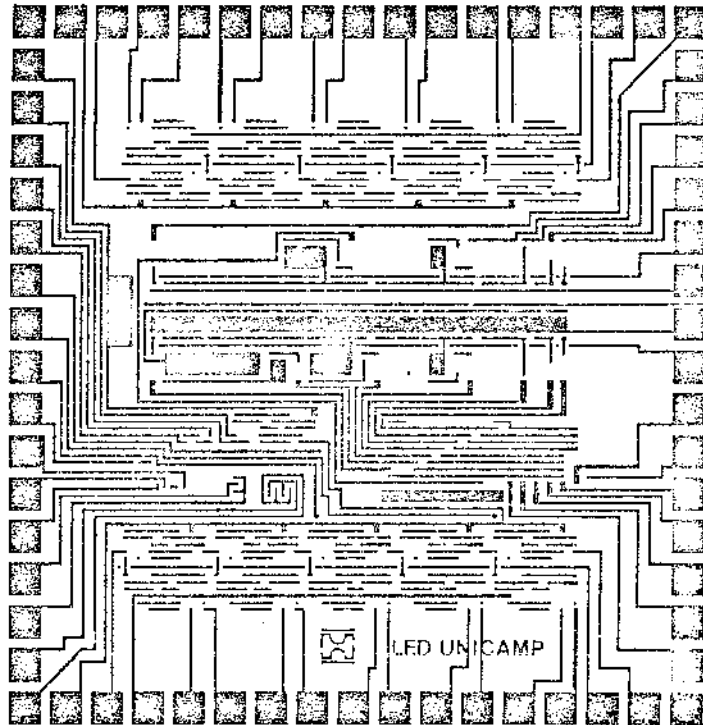


Figura 4.10: Máscara de metalização alterada.

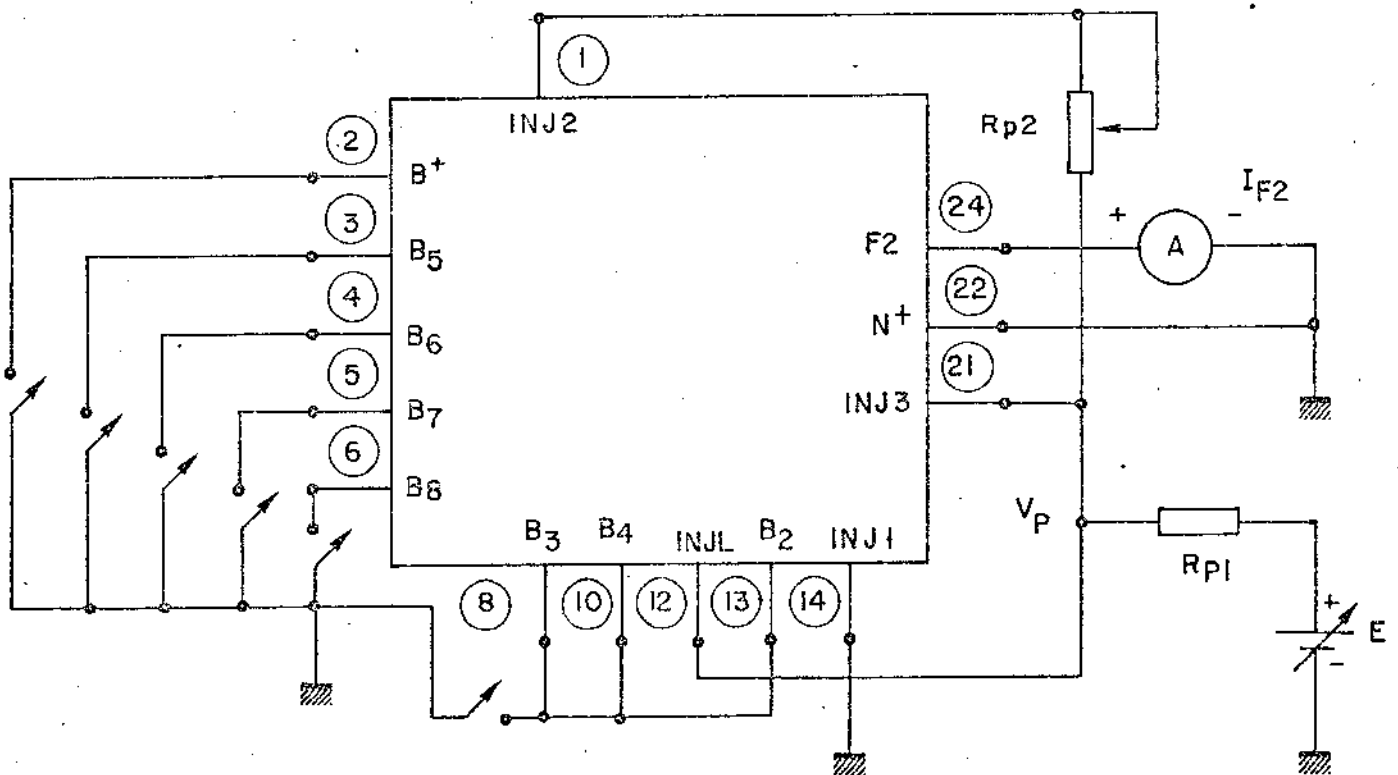


Figura 4.11: Esquema para polarização e testes.

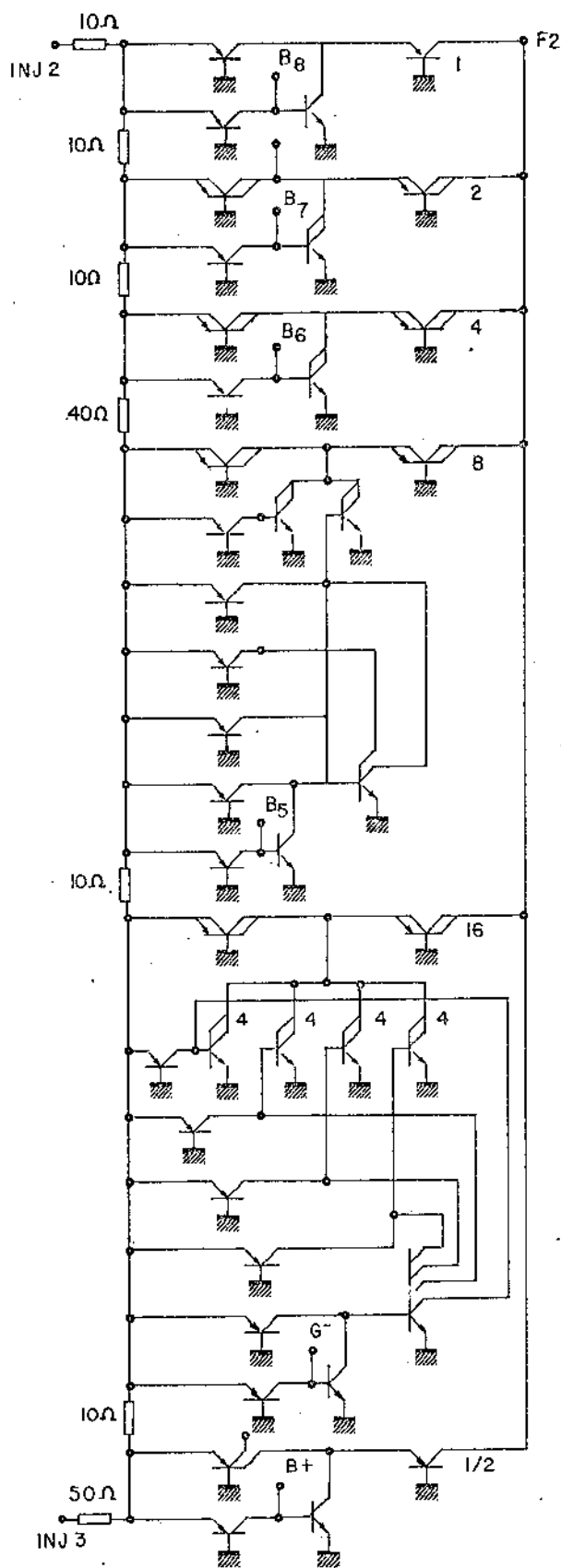


Figura 4.12: Resistores parasitários e acessos externos do gerador binário F2.

mente 10Ω para cada ponto em que ocorre aquele cruzamento (figura 2.5, a e b, capítulo II); temos ainda um resistor de 10Ω no extremo que chamamos INJ2 (por analogia com F2) e outro de 50Ω no extremo chamado INJ3.

Podemos constatar que os geradores binários comandados pelos sinais B_8 e B^+ estão em extremos opostos da camada P. injetora. Isso possibilita que a distribuição das correntes seja avaliada, nesses extremos. Pela inserção de um potenciômetro de ajuste (R_{p2}) entre os dois pontos, a polarização da fita injetora pode ser comandada para que as correntes chaveadas por B_5 e B^+ guardem uma relação de dois para um, que é o valor desejado. O valor conveniente encontrado experimentalmente para R_{p2} foi de $1 k\Omega$.

Foram encapsulados dezoito pastilhas do gerador binário; alguns circuitos foram danificados no encapsulamento e outras tantas não apresentaram funcionamento satisfatório. Apresentamos os resultados obtidos com os dois melhores circuitos da segunda fornada:

- Componente nº 54; tensão de polarização (V_p) $0,678 V$, R_{p1} com $1 k\Omega$, R_{p2} com 530Ω ; resultados na tabela 4.1;
- Componente nº 56: tensão de polarização $0,697 V$ (V_p), R_{p1} com $1 k\Omega$, R_{p2} com 220Ω , tabela 4.2.

TABELA 4.1

Comando	G^-	B_5	B_6	B_7	B_8^-	B^+
I_{F2} (μA)	10	5,7	2,8	1,4	1,2	0,6

TABELA 4.2

Comando	G^-	B_5	B_6	B_7	B_8	B^+
I_{F2} (μA)	10	4,9	3,2	2,45	1,7	0,87

Esses valores foram anotados com desconto de uma corrente de fundo da ordem de $0,5 \mu A$, presente quando nenhum comando era acionado. Trataremos com mais detalhe deste efeito no capítulo V.

Observamos que simultaneamente com o teste do gerador F2 foi feito também o teste do comando G^- , que é parte do bloco da malha lógica de geração dos comandos de F1 (entradas B_2 , B_3 , B_4 e injetor INJL).

4.8. Gerador Binário F1

O teste deste bloco é o mais complicado dos que são expostos neste capítulo. Envolve o estudo que foi feito na seção anterior, em relação aos valores de distribuição das correntes geradas, e a verificação do funcionamento dos comandos gerados

pela malha lógica a partir do acesso externo. O circuito de polarização e comandos en contra-se exposto na figura 4.13.

Um detalhe, mostrado na seção 4.5, ainda não explicado, é o fato do inje - tor que não é usado no teste ficar ligado no potencial zero (INJ2 no caso deste teste e INJ1 no anterior). Foi verificado experimentalmente que, quando o injetor que não es - tá envolvido diretamente na geração das correntes não está aterrado, observa-se uma corrente relativamente grande no terminal de saída em questão, sem que qualquer coman - do externo fosse acionado. A mesma corrente de fundo observada após o aterramento do injetor pode ser uma parcela remanescente deste efeito. Coerentes com a observação que foi feita na ocasião (seção 4.5) reservamos a análise de fenômeno para o capítulo V, ressaltando a sua aplicação tanto neste teste como no anterior.

Os resistores de polarização tem os mesmos valores e funções do teste do gerador P2. Por outro lado, os comandos são formados por chaves ligados entre zero e os pontos de acesso a entrada da malha lógica; é necessário sempre que três chaves, e não mais do que isto, sejam acionadas simultaneamente para o desempenho correto do cir - cuito lógico. Assim, no caso do comando G, que depende em princípio somente de B_2 e B_3 , é necessário acionar também a chave de B_4 ou $\overline{B_4}$, indiferentemente, o que aliás ocorre no funcionamento normal do decodificador.

O processo de ajuste do valor conveniente para o resistor de polarização R_{p2} é o mesmo que no caso anterior; os comandos usados foram então G (quando se aplica o zero, chave fechada, nas entradas B_2 , B_3 e B_4 ou $\overline{B_4}$) e o comando C (aplica-se zero a $\overline{B_2}$, B_3 e $\overline{B_4}$). O potenciômetro deve ser ajustado para que as correntes apresentem a re - lação de 1:16. A justificativa do processo é a mesma que no caso anterior, bastando pa - ra a verificação uma inspeção da disposição exposta nas figuras 2.5(a) e (b).

Apresentamos a seguir os resultados para dois dispositivos, dos quais um apresenta comportamento satisfatório e outro o melhor dos não aprovados ; signifi - cativamente não são os mesmos que na seção anterior; da mesma forma que no caso das correntes de fundo, adiamos a discussão deste fato para o capítulo seguinte.

- a) Componente nº 49: tensão de polarização 0,730 V (V_p), R_{p1} com 1 k Ω , R_{p2} com 1 k Ω , tabela 4.3;
- b) Componente nº 58: tensão de polarização 0,610 V (V_p), R_{p1} com zero, R_{p2} com 1 k Ω , tabela 4.4.

TABELA 4.3

Comando	A	B	C	D	E	F	G
I_{F1} (μ A)	330	180	80	30	14	9	5

TABELA 4.4

Comando	A	B	C	D	E	F	G
I_{F1} (μ A)	30	18	35	2,6	1,8	1,1	0,6

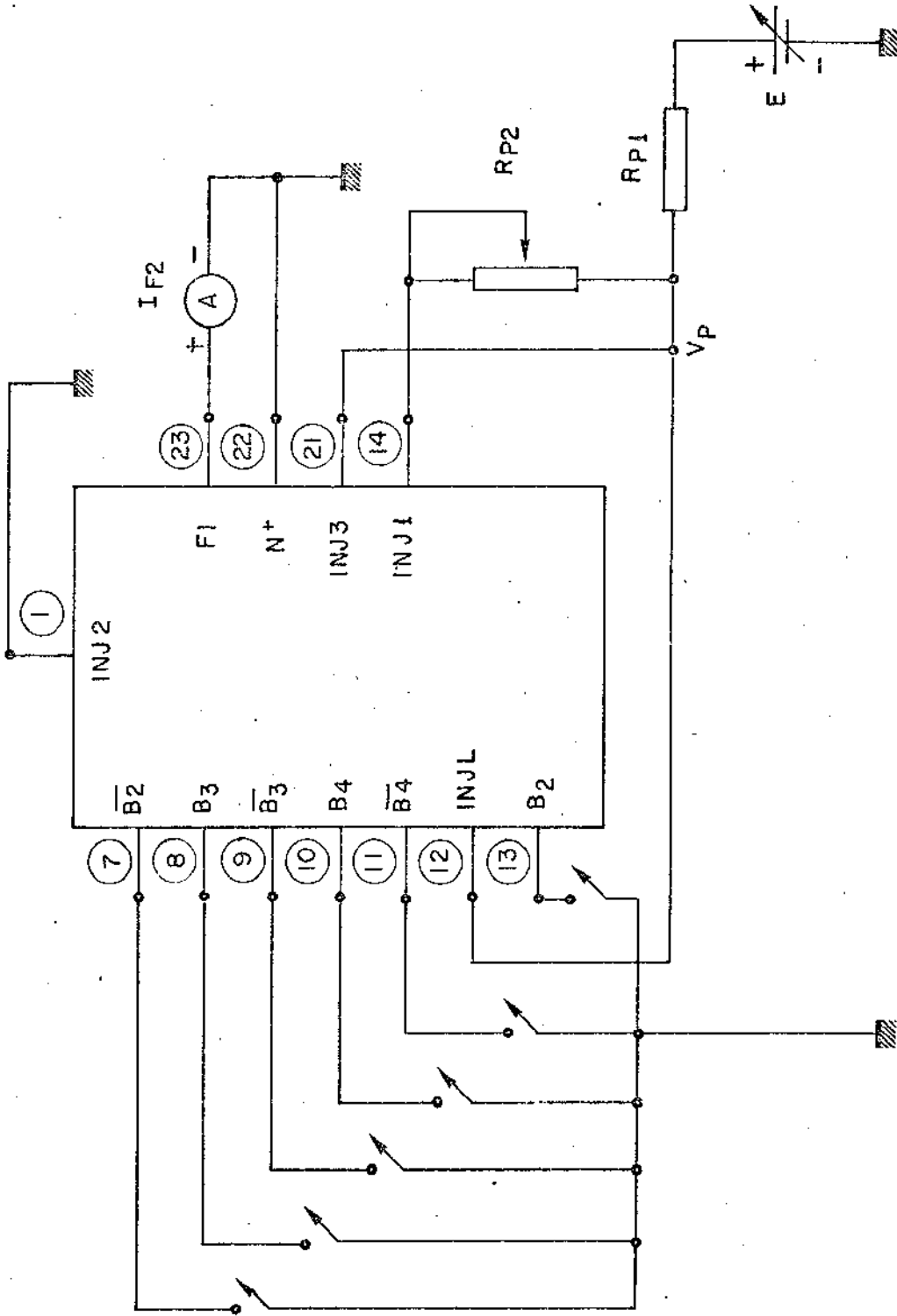


Figura 4.13: Esquema para polarização e testes do gerador binário F2.

Observamos que no caso do componente 56 não foi conseguido ajuste satisfatório para o valor da corrente gerada por C. A corrente de fuga medida, nessas condições foi de $11\mu\text{A}$ no caso de 49 e $0,7\mu\text{A}$ no 58.

Selecionados os componentes, passaremos ao estudo do desempenho em um sistema dinâmico de conversão análogo digital e vice-versa, para realização do teste funcional.

CAPÍTULO V

DESEMPENHO FUNCIONAL E COMENTÁRIOS

As medidas cujos resultados apresentamos neste capítulo foram feitas sobre os vários circuitos encapsulados que resultaram da fornada na qual se obtiveram as lâminas de números 782, 783 e 784, a última a ser realizada até este momento; após os testes de funcionamento, procedeu-se ao corte e encapsulamento da lâmina 782, que forneceu os circuitos cujo desempenho apresentamos no final do capítulo IV. Esses mesmos circuitos servirão agora para verificações sobre o comportamento dinâmico dos geradores binários F1 e F2.

O chamado teste funcional consiste, em primeiro lugar, de uma verificação rápida e de precisão satisfatória da característica de saída de cada um dos geradores binários. Essa verificação se realiza através da operação correta dos comandos sobre o sinal de saída, como foi feito no capítulo anterior, mas fazendo-se a substituição das chaves manuais por comandos eletrônicos. Em segundo lugar, temos o problema do ajuste do potenciômetro de controle na alimentação dos injetores para que seja proporcionada a máxima linearidade da conversão D/A; para que também se possa fazer com rapidez este teste, temos a necessidade de recorrer a um padrão em relação ao qual os desempenhos possam ser comparados.

Outra medida necessária é a que se refere a velocidade em comutação do circuito conversor. Reportando-nos às considerações feitas no primeiro capítulo, temos um tempo limitado a $4\mu s$ para o estabelecimento do nível analógico de cada canal na saída do sistema. Adotamos o método de comandar o chaveamento dos geradores F1 e F2 entre os níveis máximo e mínimo de saída, verificando então as características desta comutação.

Todas estas medidas devem ser feitas com facilidade e rapidez, visto que dos seus resultados depende a aceitação ou rejeição do circuito encapsulado, e é grande o número de pastilhas que são aceitas na primeira fase, ou seja, antes do encapsulamento. Tratamos da maneira de fazer estes testes e seus resultados nos parágrafos que se seguem.

5.1. Circuito Para o Teste Funcional

Na figura 5.1 apresentamos o esquema do circuito, ou seja, componentes externos, interconexões, polarização da pastilha, etc. que são necessários para a realização das medidas.

O bloco designado na figura como conversor D/A é o próprio circuito encapsulado, agora em teste. Reportando-nos ao capítulo IV, figuras 4.11 e 4.13, mostramos ser a mesma montagem usada para a polarização dos injetores INJ1, INJ2, INJ3 e INJ4, através da fonte variável E, do resistor R_{p1} e do potenciômetro R_{p2} ; a chave manual

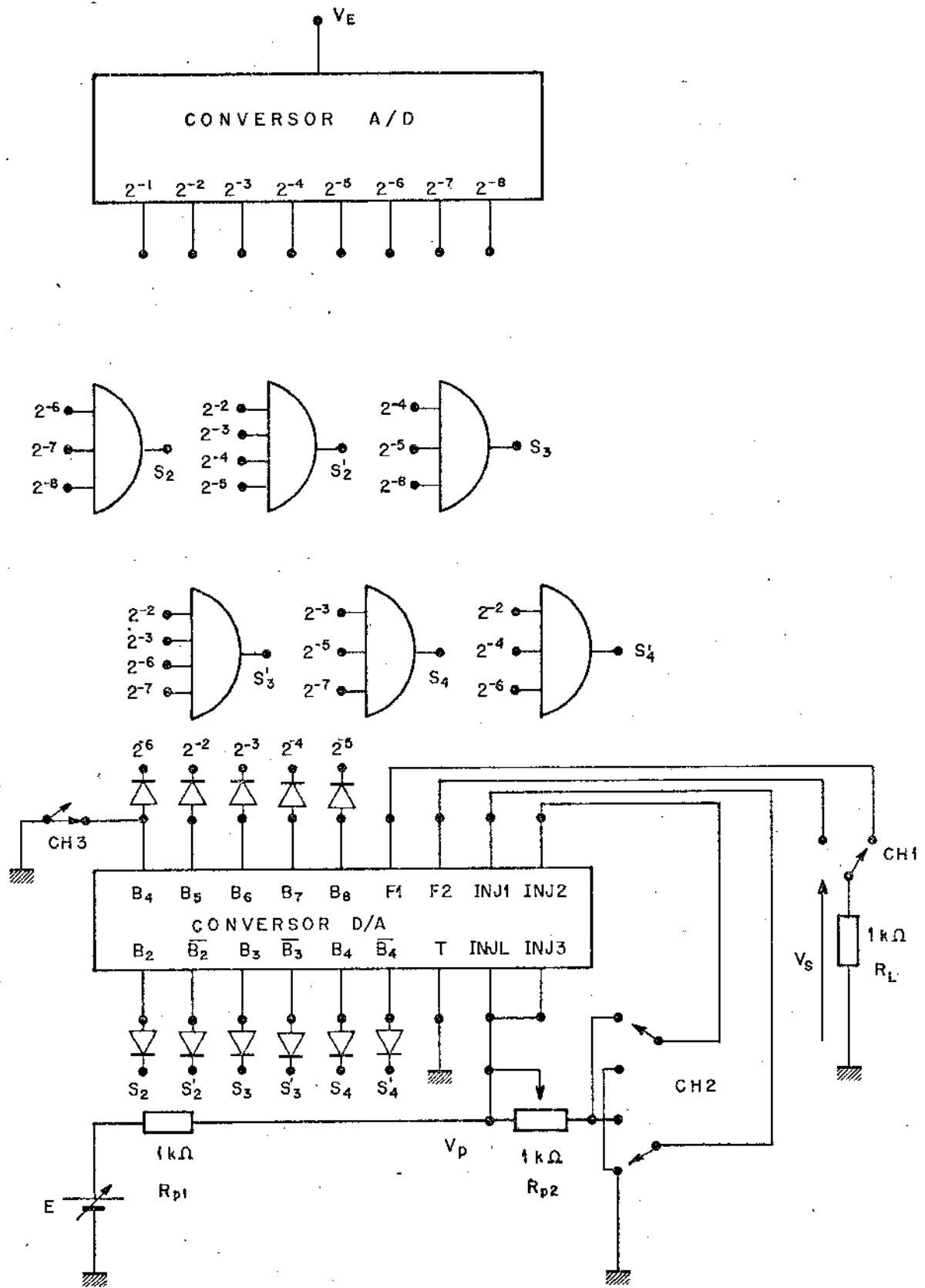


Figura 5.1: Circuito para o teste dinâmico.

CH2 tem como função aplicar a corrente de polarização ao gerador que se encontra em teste, proporcionando o aterramento do outro injetor. O resistor de carga R_L foi incluído para converter a corrente de saída em sinal de tensão para facilitar a sua leitura; o valor de $1\text{ k}\Omega$ foi escolhido para que o nível máximo de V_S não levasse os transistores PNP de saída ao limiar da saturação (ver, por exemplo, figura 4.12).

Representado pelo bloco designado conversor A/D temos efetivamente um componente que toma o sinal externo (analógico) V_E e proporciona a sua representação na forma binária de dígitos, os quais surgem nas saídas discriminadas de 2^{-1} até 2^{-8} , respectivamente. Foi usado neste caso o componente ADC-0800 (National Semiconductors), montado de maneira a fornecer sinais de 0 e 5V na saída (lógica negativa), níveis máximos e mínimos de +5 e -5V na entrada V_E , funcionando em forma recorrente ("free-running"). Não incluímos, para simplificação do desenho, os circuitos de polarização e comando de sincronismo (relógio), que foram realizados da forma convencional.

As chaves do gerador F2 podem ser comandadas diretamente pelos pulsos gerados pelo conversor A/D, visto como F2 é um conversor linear. Foi necessário somente incluir diodos de germânio entre as saídas do primeiro e as entradas do segundo para que os níveis TTL (do primeiro) e I²L (do segundo) ficassem compatibilizados.

Para fazer o teste do comando G^- do gerador F2 (parcela 16, ver capítulo I) temos que acionar os comandos B_i ($i = 2, 3$ e 4) da malha lógica. O sinal usado para este comando é o que corresponde a 2^{-1} , coerente portanto com a distribuição usada para B_5 , etc.

No caso do teste do gerador F1 os comandos digitais que resultam da saída do conversor A/D linear não podem comandar diretamente as parcelas de 1 a 64 pois estas são dadas pelos comandos G até A, respectivamente. Os comandos de A a G do gerador F1 são produzidos pela malha lógica I²L que existe na pastilha, através dos dígitos B_i e \overline{B}_i , conforme as equações da tabela 1.1 (capítulo I).

Fazendo uma pequena recapitulação, lembramos que o objetivo no momento é comparar as saídas de F1 e F2, representados pelo sinal V_S , com o sinal de entrada do conversor D/A, dado pelo valor V_E , quando o sinal digital que resulta de V_E comanda V_S . Essa comparação tem como objetivo medir a linearidade das saídas de F1 e F2, respectivamente. O gerador F2 é linear em relação aos comandos G^- , B_5 , B_6 , B_7 , B_8 e B^+ . O gerador F1 não é linear em relação a B_i e \overline{B}_i , que são os acessos externos, mas em relação a A, B, etc., os quais são gerados pela malha lógica interna a partir dos valores daquelas entradas. Assim sendo, só é possível a comparação de V_E com V_S se os sinais 2^{-j} forem convenientemente processados, de maneira que forneçam os valores para que as entradas B_i e \overline{B}_i produzam os valores de V_S que correspondam aos de V_E .

Dito em outras palavras; temos então que:

- os comandos G^- , B_5 , B_6 , B_7 , B_8 e B^+ de F2 podem ser associados diretamente aos valores dos dígitos 2^{-1} até 2^{-6} da saída do conversor A/D;
- os comandos A, B ... G de F1 podem ser associados diretamente aos valores dos dígitos 2^{-2} até 2^{-8} da saída do conversor A/D;
- os valores das entradas B_i e \overline{B}_i só podem ser associados indiretamente aos valores de 2^{-2} até 2^{-8} , conforme os valores que devem ser assumidos por A até G.

Essa associação indireta é fornecida no circuito de teste da figura 5.1 pe

las portas lógicas E cujas entradas são os dígitos de saída do conversor A/D e cujas saídas S_1 e S_1' comandam as entradas B_i e \overline{B}_i ($i = 2 \dots 4$).

Uma análise simples revela que o equacionamento de B_i e \overline{B}_i ($i = 2 \dots 4$) a partir dos valores de 2^{-j} ($j = 2 \dots 8$) é o inverso do que deriva A, B...G a partir de B_i e \overline{B}_i . Ou seja, os valores de A, B...G são os mesmos que os de 2^{-j} .

Pode-se exemplificar com o equacionamento de S_2' , que dá o comando a entrada \overline{B}_2 através do diodo de germânio. Para isso, vamos em primeiro lugar lembrar que a saída do conversor A/D é em lógica negativa; assim, a associação desses dígitos com os sinais A ... G produz: $2^{-2} = \overline{A}$, $2^{-3} = \overline{B}$, etc. As quatro primeiras equações da tabela 1.1, adaptadas ao caso, dão:

$$\begin{aligned}\overline{A} &= \overline{B}_2 + \overline{B}_3 + \overline{B}_4 = 2^{-2} \\ \overline{B} &= \overline{B}_2 + \overline{B}_3 + B_4 = 2^{-3} \\ \overline{C} &= \overline{B}_2 + B_3 + \overline{B}_4 = 2^{-4} \\ \overline{D} &= \overline{B}_2 + B_3 + B_4 = 2^{-5}\end{aligned}\tag{5.1}$$

Pelas equações 5.1, \overline{B}_2 valendo 1 implica em que $2^{-2} = 2^{-3} \dots = 1$. A inversão desta implicação dá:

$$\overline{B}_2 = 2^{-2} \cdot 2^{-3} \cdot 2^{-4} \cdot 2^{-5} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}\tag{5.2}$$

que é a expressão do valor de S_2' na figura 5.1. O mesmo processo de síntese pode ser aplicado a B_2 , B_3 , etc. O resultado final está expresso nas equações 5.3, a seguir:

$$\begin{aligned}B_2 &= \overline{E} \cdot \overline{F} \cdot \overline{G} = 2^{-6} \cdot 2^{-7} \cdot 2^{-8} \\ \overline{B}_2 &= \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} = 2^{-2} \cdot 2^{-3} \cdot 2^{-4} \cdot 2^{-5} \\ B_3 &= \overline{C} \cdot \overline{D} \cdot \overline{G} = 2^{-4} \cdot 2^{-5} \cdot 2^{-8} \\ \overline{B}_3 &= \overline{A} \cdot \overline{B} \cdot \overline{E} \cdot \overline{F} = 2^{-2} \cdot 2^{-3} \cdot 2^{-6} \cdot 2^{-7} \\ B_4 &= \overline{B} \cdot \overline{D} \cdot \overline{F} = 2^{-3} \cdot 2^{-5} \cdot 2^{-7} \\ \overline{B}_4 &= \overline{A} \cdot \overline{C} \cdot \overline{E} = 2^{-2} \cdot 2^{-4} \cdot 2^{-6}\end{aligned}\tag{5.3}$$

Os blocos que correspondem a este processamento são as portas lógicas E da figura 5.1.

A chave manual CH3 é usada para, quando fechada, proporcionar o acréscimo

da parcela chamada b no capítulo I, seção 1.2, equação 1.8. Quando a chave está aberta, o comando 2^{-6} pode ser incluído na verificação da linearidade.

5.2. Médidas de Linearidade do Gerador F2

O teste de funcionamento do gerador binário F2 foi feito através da comparação entre as tensões V_E e V_S quando as chaves manuais se encontravam nas posições correspondentes da figura 5.1. Tendo como sinal aplicado a V_E uma tensão variável com o tempo (usamos uma rampa, com frequência de 10^{-2} Hz) obtivemos num traçador XY resultados semelhantes ao exposto na figura 5.2.

O ajuste do potenciômetro R_{p2} foi feito por meio de um osciloscópio, no qual os sinais V_E e V_S foram inseridos no modo diferencial, ou seja, obtivemos a exposição do sinal correspondente ao erro de quantização. O ajuste então foi feito de forma a que o erro se tornasse o menos variável possível, em todos os pontos de transição de níveis. Constatamos haver pouca sensibilidade do componente, ou seja, poucas variações da linearidade para valores de R_{p2} entre 500Ω e $1k\Omega$.

Na figura 5.2 apresentamos o desempenho do circuito nº 54, sendo aplicada uma corrente de polarização tal que a tensão medida em INJ3 (V_p) foi de 700 mV e o potenciômetro R_{p2} com o valor máximo, correspondente a $1k\Omega$. Consideramos satisfatório esse desempenho, que é aliás coerente com os resultados obtidos no capítulo IV.

Observamos que também foi feita, no resultado deste gerador, a comprovação do bom funcionamento da malha lógica que gera o pulso G^- , o qual fornece o nível 16 quando $B_2 = B_3 = B_4 = 0$.

5.3. Medida de Linearidade do Gerador F1

Na verdade, o gerador F1 deve ter, além do teste de linearidade, o teste dinâmico do funcionamento da malha lógica que processa os pulsos nas entradas B_i e $\overline{B_i}$. Esse teste foi iniciado no caso da aplicação de 2^{-1} às entradas B_1 (2, 3 e 4) da malha, por ocasião do teste de F2. Completamos agora esta verificação com as combinações de sinais S_i e S_i' .

O princípio que norteia o processamento dos sinais designados 2^{-2} até 2^{-8} (figura 5.1) até a sua aplicação às entradas B_i e $\overline{B_i}$ é, como foi dito, a identificação dos sinais digitais que procedem do conversor A/D com as variáveis internas que comandam as parcelas de 1 a 64 do gerador F1 (por exemplo, capítulo IV, tabelas 4.3 e 4.4). Como temos sete variáveis (A até G) podemos identificar com estas os sinais de 2^{-2} até 2^{-8} ; excluímos 2^{-1} , visto como este deve ser usado no teste de F2, em outra configuração.

O equacionamento de B_i e $\overline{B_i}$ em função de A, B, etc. (2^{-2} , 2^{-3} etc., portanto) fornece as funções lógicas expostas nas equações 5.3; lembramos que as saídas do conversor A/D estão na forma de lógica negativa.

O resultado da verificação, feito para o circuito nº 49, com tensão de alimentação E com o valor de 688 mV, encontra-se representada na figura 5.3. A posição do

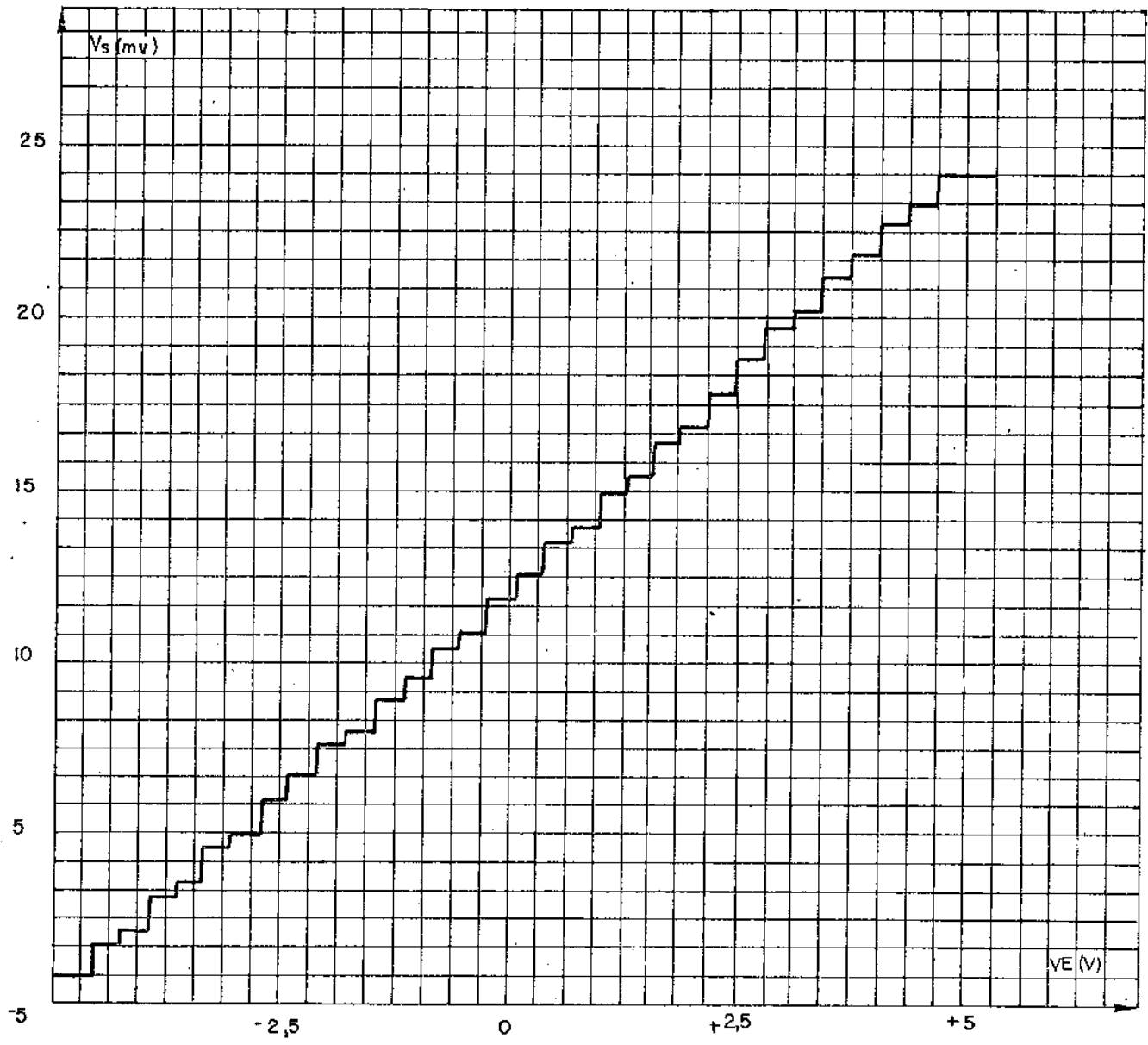


Figura 5.2: Característica VE x VS, circuito nº 54, polarização de 700 mV (VP).

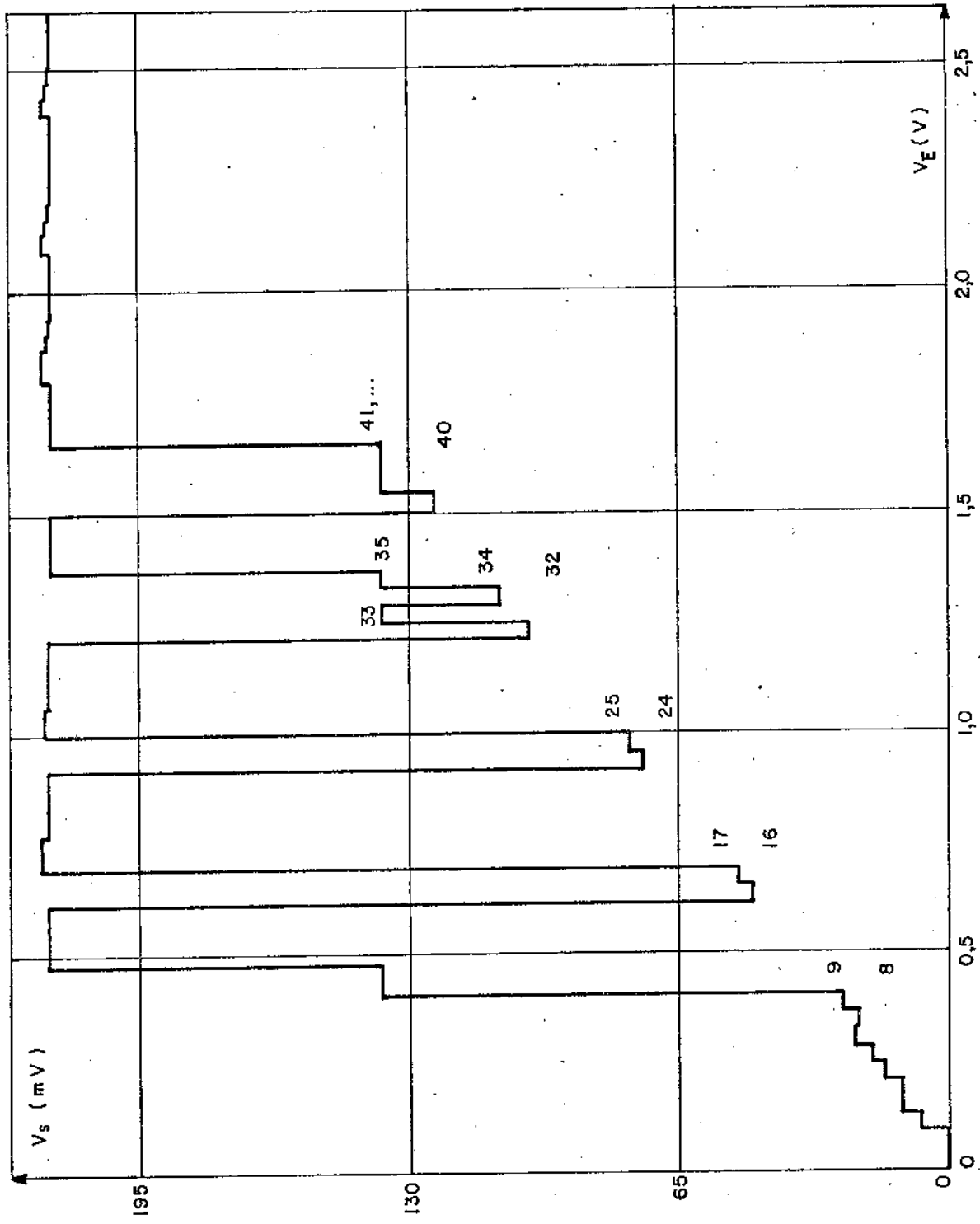


Figura 5.3: Caracterização V_E x V_S , circuito nº 49, polarização de 688 mV (VP).

potenciômetro R_{p2} foi acertada experimentalmente para que a linearidade fosse máxima, ou o que dá na mesma, o erro de quantização se tornasse constante. Os valores convenientes variaram de circuito para circuito, ao redor do ponto médio de 500Ω .

Através da análise do resultado obtido, verificamos que os sinais correspondentes ao acionamento dos níveis 16, 32 e 64 dão aproximadamente os valores corretos. Os sinais correspondentes a 4 e 8 dão um valor muito baixo para a corrente de saída o que novamente comprova os resultados do capítulo IV, no que se refere às medidas sobre Fl.

Alguns dos pontos de V_S tem uma correspondência linear com os de V_E . Além dos já citados, temos 9, 17, 24, 25 etc.; esses valores estão assinalados no gráfico de $V_S \times V_E$. Outras não apresentam esta linearidade. A razão de ser deste fato é que algumas combinações de valores de B_1 e $\overline{B_1}$ não dão as combinações corretas de A...G. Por exemplo: o nível 26 de V_E dá na realidade o nível 64 de V_S , incorreto portanto. Isto porque V_E no nível 26 dá o valor 0 para 2^{-3} (nível 16), 2^{-4} (nível 8) e 2^{-7} (nível 2); isto dá o valor 0 para $B_2, \overline{B_2}, B_3, \overline{B_3}, B_4$ e $\overline{B_4}$; a saída só pode ser então 64. Uma análise semelhante pode ser feita para outros valores cuja saída possa ser interpretada diretamente.

O tipo de processamento usado para os 2^{-j} faz com que também o nível 1 de V_E não dê o valor correto, dando o nível 0 para V_S . Essa parcela 1, que é comandada pelo sinal G aparece no gráfico como a diferença entre os níveis 2 e 3, 4 e 5, 8 e 9, etc., do sinal V_E . É possível mudar o processamento de tal forma que a parcela 1 apareça no lugar adequado; mas nesse caso os valores 5, 7 etc. de V_E não dariam o valor correto em V_S .

Esse comportamento de Fl em relação aos comandos comprova o funcionamento correto da malha lógica e a possibilidade de obter os valores binários 2^n ($n = 0, \dots, 6$) que são os únicos que o gerador Fl deve fornecer em funcionamento normal como decodificador (capítulo I).

5.4. Tempos de Comutação dos Geradores

Estas medidas foram realizadas pela aplicação direta de sinais de chaveamento nas entradas correspondentes do gerador F2, no circuito nº 54; usamos a entrada B_5 , que é a entrada direta que maior variação de amplitude ocasiona na saída. Outro teste foi feito com a função G^- no gerador F2, neste caso acionando diretamente as entradas de B_1, B_2 e B_3 simultaneamente. Os resultados destas medidas, estão especificados na tabela 5.1.

TABELA 5.1

	$t_s(\mu s)$	$t_q(\mu s)$	$t_a(\mu s)$
Gerador F2, comando B_5	1,5	1,0	2,5
Gerador F2, comando G^-	3,0	0,5	8,0
Gerador F1, comando A	4,0	3,0	3,3

Da mesma forma realizamos o teste de comutação do gerador F1. Neste caso foi acionada a função A através dos comandos $\overline{B_1}$, $\overline{B_2}$ e $\overline{B_3}$. O resultado destas medidas estão igualmente expostos na tabela 5.1. Especificamos que os parâmetros medidos que constam nesta tabela o foram para uma onda quadrada na frequência de 50 KHz.

5.5. Avaliação dos Resultados

Como foi estabelecido nos capítulos I e II, os geradores binários têm necessidade de satisfazer certas especificações de rapidez e precisão nos níveis analógicos de sinal na saída para que se possa utilizá-los num sistema de decodificação para os 32 canais telefônicos. Essas exigências são em parte cumpridas pelo gerador F2; somente a velocidade do comando correspondente ao sinal G^- deixa a desejar, em relação às especificações apresentadas.

Temos, por outro lado, menor precisão no gerador F1, principalmente no que se refere às entradas cujo nível é mais baixo. Nesse caso a explicação do fato se liga, logicamente, ao fato das correntes chaveadas correspondentes a esses valores serem geradas no ponto mais distante do local onde as correntes de injeção são introduzidas: ou seja, na região central da barra injetora da corrente. É natural que este efeito seja mais sensível no gerador binário F1, onde o número de transistores que deve ser alimentado é maior (ver figura 2.5a e b). Os valores encontrados para o gerador F1 não satisfazem a exigência exposta no capítulo I.

No que se refere aos tempos de comutação, verificamos que somente o gerador F2 satisfaz, em relação à entrada B5, o pre-requisito de velocidade para trabalhar com 32 canais. Os outros comandos, A e G^- , um de F1 e outro de F2, sofrem do problema de terem uma etapa a mais no processamento do sinal, qual seja a malha lógica que gera esses sinais. Mesmo quando esta resposta ainda possua velocidade de transição no nível conveniente, que é o caso de G^- , tem-se ainda o problema da sincronização com os outros comandos (B5 a B8), quando o tempo de atraso destes é bastante menor.

5.6. Comentários Finais

A limitação mais séria encontrada nesta técnica de geração de correntes binárias para conversão D/A foi o fato dos geradores F1 e F2 não poderem ser usados de maneira simultânea. Atribuímos este defeito ao fato dos injetores de corrente de cada um se posicionarem muito próximos um do outro, de tal forma a causar uma ação ponderável de um transistor PNP lateral do tipo parasitário: a corrente gerada pelo injetor INJ1 se refletindo no terminal de saída F2 (sem controle, portanto) e vice-versa. Essa hipótese é perfeitamente verossímil quando se compara a pequena distância entre os respectivos injetores do gerador de F2 e da parcela 32 do gerador F1 com as saídas correspondentes, que é da ordem de 50µm, com o comprimento de difusão de lacunas na camada epitaxial, que é de 60µm, segundo a tabela 3.1. A eliminação deste problema em caráter definitivo é obviamente obtida por modificações na disposição dos componentes na máscara ("lay out").

O segundo ponto negativo é a necessidade da polarização balanceada para se

obter a maior precisão. Trata-se novamente de um problema de disposição: os injetores têm que ser feitos com uma largura maior do que aquela com que foram construídos neste caso, sendo que a solução ótima pode ser uma técnica de interconexão que propicie as fitas condutoras de alumínio não serem interrompidas pela conexão dos comandos, como aliás ocorre no injetor da parcela 32 do gerador F1. Essa equalização pode se tornar ainda melhor, aumentando-se o número de acessos para polarização. Esse é um problema atualmente sob enfoque no caso de circuitos I²L comerciais.

No que se refere a velocidade, a limitação maior da resposta do circuito conversor está na malha lógica, como se vê pela comparação dos testes de F2 nos comandos B₅ e G⁻. Uma solução óbvia, que foi aplicada por ocasião do teste dos comandos, é aumentar a corrente dos injetores de forma a diminuir os tempos de comutação. Infelizmente essa circunstância leva o gerador binário (F1 ou F2) para regiões nas quais a compensação por meio do potenciômetro já não se torna mais efetiva, ficando a saída completamente distorcida em relação aos valores das figuras 5.2 e 5.3. É possível que a melhora da linearidade "própria", ou seja, sem o efeito compensatório de balanceamento externo do alinhamento, proporcione a possibilidade de aumentar as correntes de polarização de forma a aumentar a velocidade.

A solução radical seria diminuir o produto potência x tempo de atraso pela redução no tamanho do circuito para 5µm de menor dimensão e trabalhar com camadas epitaxiais da menor espessura; este último requisito pode ser talvez atingido trabalhando-se com a mesma camada epitaxial e profundidades de base (camada P) maiores, da ordem de 4µm, por exemplo. É claro que neste último caso o processo de obter transistores verticais de alto ganho se torna um pouco mais difícil (ref. 27). No caso da primeira solução é necessário um investimento no setor de fotolitografia, visto como no momento, com 10µm, estamos no limite de confiabilidade do processo em nosso laboratório.

Vistos os problemas e avaliadas as soluções, consideramos o ensaio como promissor no sentido do emprego maior desta técnica em circuitos de conversão digital analógica cujas exigências sejam semelhantes às que foram apresentadas. Vale ressaltar a grande simplicidade do dispositivo em termos de processo e componentes, que com pouco acréscimo de dificuldades pode ser estendido para incluir blocos lineares para as operações de multiplicação e amplificação dos sinais de saída.

BIBLIOGRAFIA

- 1) Bonatti, I.S.: "Projeto de um Decodificador Não-Linear com 8 Dígitos para 30 Canais Telefônicos"; Tese de Mestrado, UNICAMP, 1976.
- 2) Norton, L., Englade, J. e McGee, G.: "I²L Takes Bipolar Integration a Significant Step Forward"; Electronics, V.48, nº 3, pp. 83-90, 6 de fevereiro de 1975.
- 3) Hart, C.M., Slob, A. e Wulms, H.E.: "Bipolar LSI Takes a New Direction with Integrated Injection Logic"; Electronics, V.47, nº 20, pp.111-118, 3 de outubro de 1974.
- 4) Yin, K.K. e Scarabucci, R.: "Projeto de um CODEC Não-Linear para o Sistema Multi-plex MCP de 30 Canais Telefônicos"; relatório interno do contrato 680/73-TCJ-TELEBRAS/UNICAMP, março de 1974.
- 5) Kaneko, H.: "A Unified Formulation of Segment Companding Laws and Synthesis of CODECS in Digital Companders"; "The Bell System Technical Journal", Vol.49, nº 7, pp.1555-1588, setembro de 1970.
- 6) Vanhecke, C.: "Sur la Modélisation des Structures a Injection en Régime Statique"; Tese de Doutorado, Universidade Paul Sabatier, Toulouse, 1975.
- 7) Jorge, A.M., Mammana, C.I.Z. e Bailbê, J.P.: "Conversor D/A, I²L: Simulação e Fixação do Processo de Construção"; relatório interno do convênio UNICAMP/TELEBRAS, FTPT-143/76, Codex RP-005, 10.08.79.
- 8) Jorge, A.M. e Mammana, C.I.Z.: "Anteprojeto de um Amplificador, Conversor de Tensão em Corrente, para Uso em Microcircuito Conversor D/A em Técnica Bipolar"; relatório interno do Convênio UNICAMP/TELEBRAS/FTPT-143/76, Codex RP-003, 04.04.77.
- 9) Cohen, E. e Pederson, D.O.: "User's Guide for SPICE2"; Universidade da Califórnia, 15.10.75.
- 10) Bailbê, J.P.: "Contribution a l'Étude Physique des Transistors Bipolaires"; Tese de Doutorado de Estado, Universidade Paul Sabatier, Toulouse, 1977.
- 11) Klaassen, F.M.: "Device Physics of Integrated Injection Logic"; "IEEE Transactions on Electron Devices", Vol. ED-22, nº 3, pp. 145-151, março de 1975.
- 12) Rey, G. e Leturcq, P.: "Théorie Approfondie du Transistor Bipolaire"; Masson, Paris, 1972.
- 13) Berger, H.H.: "The Injection Model - Structured Oriented Model for Merged Transistor Logic (MTL)"; "IEEE Journal of Solid State Circuits", Vol. SC-9, nº 5, pp. 218-227, outubro de 1974.
- 14) Marty, A., Vanhecke, C., Rey, G. e Bailbê, J.P.: "Modelisation des Structures I²L Elementaires"; publicação nº 1537, Laboratório de Automática e Análise de Sistemas (LAAS), Universidade Paul Sabatier, Toulouse, dezembro de 1976.
- 15) Wolf, H.F.: "Silicon Semiconductor Data"; Pergamon Press, Londres, 1969.
- 16) Brito, A.S.: "Desenvolvimento de uma Fotorrepetidora para a Confecção de Máscaras para Circuitos Integrados", Tese de Mestrado, UNICAMP, 1982.

- 17) Jorge, A.M., Mammana, C.I.Z., Bezerra, P.C. e Moraes, W.B.: "Interconexão de Circuitos Integrados com Cruzamentos em Dois Níveis"; relatório interno do Convênio UNICAMP/TELEBRAS/FTPT-143/76, Codex RP-004, março de 1977.
- 18) Hart, K. e Slob, A.: "Integrated Injection Logic: a New Approach to Bipolar LSI"; "IEEE Journal of Solid State Circuits", Vol. SC-7, pp. 346-351, outubro de 1972.
- 19) Jorge, A.M., e Mammana, C.I.Z.: "Conversor D/A, I²L: Projeto e Desenho de Máscaras"; relatório interno do Convênio UNICAMP/TELEBRAS/FTPT-143/76, Codex RP-004, abril de 1979.
- 20) Ross, I.M., e Moll, J.L.: "The Dependence of Transistor Parameters on the Distribution of the Base Layer Resistivity"; "Proceedings of the IRE", Vol.44, pp. 72-78, janeiro de 1956.
- 21) Irvin, J.C.: "Resistivity of Bulk Silicon and of Diffused Layers in Silicon", "The Bell System Technical Journal"; Vol.34, pp.105-128, março de 1962.
- 22) Warner Jr., R.M. e Fordemwalt, J.N.: "Integrated Circuits: Design, Principles and Fabrication"; McGraw Hill, Nova York, 1965.
- 23) Grove, A.S.: "Physics and Technology of Semiconductor Devices"; John Wiley, Nova York, 1967.
- 24) Warner Jr., R.M. e Lawrence, H.: "Diffused Junction Depletion Layer Calculations"; "The Bell System Technical Journal", Vol.39, pp.389-404, março de 1960.
- 25) Hansen, S.E., Antoniadis, D.A. e Datton, R.W.: "SUPREM II User's Manual"; Universidade de Stanford, junho de 1978.
- 26) Steslow, J., Rapp, J.E. e White, P.L.: "Advances in Solid Planar Dopant Sources for Silicon"; "Solid State Technology", Vol. 16, nº 1, pp. 31-34, janeiro de 1975.
- 27) Siqueira Dias, J.A.: "Obtenção de um Processo para a Confecção de Circuitos Digitais I²L e Circuitos Analógicos de Alta Voltagem na Mesma Pastilha"; Tese de Mestrado, UNICAMP, 1982.
- 28) Müller, R., Pfeiderer, H.J., e Stein, K.U. "Energy per Logic Operation"; "IEEE Journal of Solid State Circuits", Vol. SC-11, nº 5, pp. 657-661, outubro de 1976.