



UNICAMP

**UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO**

ANDRESSA MACEDO ROSA

**O SILÍCIO AMORFO HIDROGENADO DEPOSITADO POR ECR-CVD PARA A
DEFINIÇÃO DE NANOFIOS DE SEMICONDUTORES**

***HYDROGENATED AMORPHOUS SILICON DEPOSITED BY ECR-CVD FOR THE
DEFINITION OF SEMICONDUCTORS NANOWIRES***

**CAMPINAS
2017**



**UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO**

ANDRESSA MACEDO ROSA

**O SILÍCIO AMORFO HIDROGENADO DEPOSITADO POR
ECR-CVD PARA A DEFINIÇÃO DE NANOFIOS SEMICONDUTORES**

Orientador: Prof. Dr. José Alexandre Diniz

***HYDROGENATED AMORPHOUS SILICON DEPOSITED BY ECR-CVD FOR THE
DEFINITION OF SEMICONDUCTORS NANOWIRES***

Tese de Doutorado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas para obtenção do título de Doutora em Engenharia Elétrica, na área de Eletrônica, Microeletrônica e Optoeletrônica.

Ph.D. thesis presented to the Electrical Engineering Graduate Programm of the School of Electrical and Computing Engineering of the University of Campinas to obtain the Ph.D. grade in Electrical Engineering, in the field of Electronics, Microelectronics and Optoelectronics.

ESTE EXEMPLAR CORRESPONDE À VERSÃO FINAL DA TESE
DEFENDIDA PELA ALUNA ANDRESSA MACEDO ROSA
E ORIENTADO PELO PROF. DR. JOSÉ ALEXANDRE DINIZ

**CAMPINAS
2017**

Agência(s) de fomento e nº(s) de processo(s): CAPES

ORCID: <https://orcid.org/0000-0003-1290-8182>

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Luciana Pietrosanto Milla - CRB 8/8129

Rosa, Andressa Macedo, 1988-
R71s O silício amorfo hidrogenado depositado por ECR-CVD para a definição de nanofios semicondutores / Andressa Macedo Rosa. – Campinas, SP : [s.n.], 2017.

Orientador: José Alexandre Diniz.
Tese (doutorado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Nanofios semicondutores. 2. Silício. 3. Litografia. 4. Feixes de íons focalizados. I. Diniz, José Alexandre, 1964-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Hydrogenated amorphous silicon deposited by ECR-CVD for the definition of semiconductors nanowires

Palavras-chave em inglês:

Semiconductors nanowires

Silicon

Lithography

Focused ion beams

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Doutora em Engenharia Elétrica

Banca examinadora:

José Alexandre Diniz [Orientador]

Antônio Carlos Seabra

Ricardo Cotrin Teixeira

Stanislav Moshakalev

Leandro Tiago Manera

Data de defesa: 15-12-2017

Programa de Pós-Graduação: Engenharia Elétrica

COMISSÃO JULGADORA – TESE DE DOUTORADO

Candidata: Andressa Macedo Rosa RA: 142355

Data da Defesa: 15 de dezembro de 2017

Título da Tese: “O Silício Amorfo Hidrogenado Depositado por ECR -CVD para a Definição de Nanofios Semicondutores”

Prof. Dr. José Alexandre Diniz (Presidente, FEEC/UNICAMP)

Prof. Dr. Antônio Carlos Seabra (POLI-USP)

Dr. Ricardo CotrinTeixeira (CTI Renato Archer)

Dr. Stanislav Moshkalev (CCSNano/UNICAMP)

Prof. Dr. Leandro Tiago Manera (FEEC/UNICAMP)

A ata de defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no processo de vida acadêmica do aluno.

**Dedico este trabalho:
Ao meu pai Benedito,
A minha mãe Sandra,
A minha irmã Daniela e
Ao meu esposo João Paulo
com muito amor e carinho.**

*“Ter somente um título pode torná-lo um tolo erudito;
aprender somente com a vida pode torná-lo um inculto sábio.
Tornar-se um sábio erudito requer não só conhecimento com os livros,
mas também aula prática com a vida.
Assim, tire proveito de cada instante virtuoso ou perverso que tenha passado;
escute cada palavra de um mestre e cada conselho de um ancião,
pois a maior herança que podemos deixar nesta vida é o conhecimento.”*

(Everson Thiago S. G. da Silva)

Agradecimentos

Primeiramente, agradeço a Deus por tudo que tem me concedido.

Aos meus pais Benedito e Sandra pelo amor incondicional, paciência, confiança, dedicação e apoio em todos esses anos de trabalho, que sem eles nada disso seria possível.

Ao meu esposo João Paulo pelo companheirismo, amor, carinho, paciência e compreensão nos momentos mais difíceis e por muitos momentos de alegria durante essa jornada.

À minha irmã Daniela pelo incentivo, apoio e todos os momentos de descontração.

Ao meu orientador Prof. Dr. José Alexandre Diniz pela oportunidade, aprendizado, paciência e incentivo durante a realização desse trabalho.

Aos funcionários do Centro de Componentes Semicondutores e Nanotecnologias (CCSNano), do Laboratório de Pesquisa em Dispositivos (LPD) e do Laboratório de Multiusuários (LA-MULT) pelos processos realizados para minha pesquisa.

Aos amigos que fiz nesse período, que muito me ajudaram nessa jornada, com momentos de descontração e aprendizados: Aline Pascon, Rodrigo Reigota, Luana Espíndola, Melissa Mederos e Hugo Alvarez.

À todos àqueles que aqui não estão citados, mas contribuíram de forma direta ou indireta, não somente para a realização deste trabalho, mas também pela superação das dificuldades encontradas para chegar até aqui.

À CAPES, INCT – Namitec, CNPq, FAPESP e SISNANO – MCTI pelo apoio financeiro.

À UNICAMP e a FEEC pela oportunidade.

*“Uns confiam em carros e outros em cavalos, mas nós faremos menção do nome do Senhor
nosso Deus”*

(Salmos 20:7)

RESUMO

Os nanofios semicondutores são primordiais para a obtenção dos atuais e futuros dispositivos eletrônicos (transistores) e circuitos integrados (microprocessadores), que exigem tecnologias com dimensões menores que 50 nm e 10 nm, respectivamente. Nesse contexto, esse trabalho desenvolveu métodos alternativos para a definição de nanofios semicondutores (silício e arseneto de gálio (III-V)), tendo como base filmes de silício amorfo hidrogenado (Si-a:H) depositado por ECR-CVD (*Electron Cyclotron Resonance (ECR) - Chemical Vapor Deposition (CVD)*), em temperatura ambiente. Assim, foram obtidos:

- (i) Filmes de Si-a:H depositado por ECR-CVD, em temperatura ambiente, com espessuras de 60 e 150 nm;
- (ii) Nanofios de silício (*Silicon Nanowires – SiNWs*), que são estruturas tridimensionais (3D) com dimensões críticas menores que 150 nm, sobre substratos de Si e SOI (*Silicon On Insulator*) utilizando as técnicas sequenciais de fotolitografia (*Photolithography – PL*) e de litografia por espaçador (*Spacer Lithography – SL* ou *Self Aligned Double Pattern - SADP*) de filme de Si-a:H. Assim, foram obtidos SiNWs com larguras entre 16 nm e 143 nm, com diferentes tipos de camada sacrificial (alumínio (Al), nitreto de silício (SiN_x) e fotorresiste), e foram fabricados dispositivos MOS (*Metal-Oxide-Semiconductor*) 3D, capacitores e transistores JNTs (*Junctionless Nanowire Transistors*), que indicaram o bom funcionamento dos SiNWs como canal de condução de corrente elétrica;
- (iii) SiNWs utilizando as etapas sequenciais de litografias PL, de *milling* (remoção de material) com feixe de íons focalizados de gálio (Ga⁺) (*Gallium Focused Ion Beam – FIB Milling (FIB_M)*) e de SL (espaçador de filme de Si-a:H). Dessa forma, foram obtidos SiNWs de 35 nm de largura e espaçamento de 170 nm, dimensões estas que podem ser usadas em nós tecnológicos entre 45 e 65 nm;
- (iv) SiNWs-*n*⁺ e III-VNWs-*n*⁺ (Nanofios de semicondutores III-V – em inglês, *III-V Nanowires*) utilizando a técnica de litografia por feixe de íons focalizados de gálio (Ga⁺) (*Gallium Focused Ion Beam – FIB Lithography (FIB_L)*), tendo como máscara o filme de Si-a:H, sobre substratos de Si e de semicondutor III-V. Assim, foram obtidos SiNWs-*n*⁺, com larguras entre 318 e 365 nm, e espaçamentos entre 227 nm e 250 nm. Com esses SiNWs-*n*⁺, usados como canal de condução de corrente elétrica

entre fonte e dreno, foram fabricados transistores pseudo-MOS. Os resultados elétricos indicam que esses nanofios estão funcionando corretamente, pois os dispositivos apresentam as regiões triodo e de saturação, que são características de transistores MOS. Além disso, com o processo de FIB_L, foi possível obter III-VNWs- n^+ com larguras de 75 nm e 115 nm e espaçamentos entre 350 e 370 nm, respectivamente, que serão usados na fabricação de transistores JNTs baseados em semicondutores III-V.

Por fim, salienta-se que: (i) o filme de Si-a:H depositado por ECR-CVD, em temperatura ambiente, utilizado como espaçador para a tecnologia SL (método barato e alternativo na definição dos nanofios), usando diferentes camadas sacrificiais (Al, SiN_x e fotorresiste(FR)), e como camada protetora (máscara) nas técnicas FIB_M e FIB_L, são inovações dessa tese, para a obtenção de nanofios semicondutores, pois não foram encontrados trabalhos similares na literatura; (ii) esse trabalho consegue mostrar que os nossos processos são viáveis para a prototipagem de atuais dispositivos 3D. Portanto, trata-se de um importante resultado, para o desenvolvimento da nanotecnologia baseada em SiNWs no Brasil.

Palavras-chave: Nanofios de Silício. Litografia por espaçador. Feixe de Íons Focalizados. Filmes Finos. Silício Amorfo Hidrogenado. Alumínio. Nitreto de Silício. Fotorresiste. ECR-CVD.

ABSTRACT

Semiconductors nanowires are essential for obtaining present and future electronic devices (transistors) and integrated circuits (microprocessors), which require technologies with dimensions smaller than 50 nm and 10 nm, respectively. In this context, this work developed alternative methods for the definition of semiconductors nanowires (silicon and gallium arsenide (III-V)) based on hydrogenated amorphous silicon (a-Si:H) films deposited by ECR-CVD (Electron Cyclotron Resonance (ECR) - Chemical Vapor Deposition (CVD) at room temperature. Thus, the obtained results were:

- (i) a-Si:H films deposited by ECR-CVD, at room temperature, with thicknesses values of 60 and 150 nm;*
- (ii) Silicon nanowires (SiNWs), which are three-dimensional (3D) structures with critical dimensions smaller than 150 nm, on Si and SOI (Silicon On Insulator) substrates were obtained using Photolithography (PL) and Spacer Lithography (SL or Self Aligned Double Pattern - SADP) of a-Si:H film. Like this, SiNWs were obtained with widths between 16 nm and 143 nm, with different types of sacrificial layers (Al, SiN_x and photoresist), and MOS (Metal-Oxide-Semiconductor) 3D devices were fabricated, capacitors and JNTs (Junctionless Nanowire Transistors) transistors, which indicated the good operation of the SiNWs as electrical current conduction channel;*
- (iii) SiNWs were obtained using the sequential steps of PL, milling with Gallium Focused Ion Beam (FIB Milling - FIB_M) and SL (a-Si:H films as spacer). In this way, SiNWs were obtained with values of width and spacing of 35 nm and 170 nm respectively. These dimensions can be used in technological nodes between 45 and 65 nm;*
- (iv) SiNWs-n⁺ and III-VNWs-n⁺ (III-V Nanowires) were obtained using the Gallium Focused Ion Beam Lithography (FIB Lithography - FIB_L) technique, with mask of the a-Si:H film mask, on Si and III-V semiconductor substrates. Thus, SiNWs-n⁺ were fabricated with widths between 318 and 365 nm, and spacings between 227 nm and 250 nm. With these SiNWs-n⁺, which were used as the channel of electrical current conduction between source and drain, pseudo-MOS transistors were fabricated the extracted. Electrical results indicate that these nanowires are working correctly. In addition, with the FIB_L process, it was possible to obtain III-VNWs-*

n^+ with widths of 75 nm and 115 nm and spacings of 350 and 370 nm, respectively. These III-VNWs- n^+ will be used in the fabrication of JNTs transistors.

Finally, it is important to mention that: (i) the a -Si:H film deposited by ECR-CVD, at room temperature, used as a spacer for SL technology (alternative and cheaper method for the nanowires definition), using different sacrificial layers (Al, SiN_x and photoresist), and as protective layer (mask) in the FIB_M and FIB_L techniques, are innovations of this thesis, to obtain semiconductors nanowires, because similar works were not found in literature; (ii) this work suggests that our processes are feasible for a prototyping of novel 3D devices. Therefore, there are important result in this thesis for the development of nanoelectronics in Brazil.

Keywords: Silicon Nanowires. Spacer Lithography. Focused Ion Beam. Thin Films. Hydrogenated Amorphous Silicon. Aluminium. Nitride Silicon. Photoresist. ECR-CVD.

LISTA DE ILUSTRAÇÕES

Figura 1.1 – Desenho esquemático adaptado da sequência básica de etapas do processo de fotolitografia na indústria de semicondutor.....	33
Figura 1.2 – Esquema adaptado da evolução da fotolitografia baseada nos comprimentos de ondas (entre 365 nm e 157 nm) das fontes de luz UV em relação às dimensões dos dispositivos (entre 350 nm e 32 nm) nos nós tecnológicos da indústria de semicondutores.....	35
Figura 1.3 – Desenho esquemático adaptado da sequência das etapas de processo da técnica LELE.	37
Figura 1.4 – Desenho esquemático adaptado das etapas de processo para a obtenção de nanofios através da técnica SL, que é também utilizada nessa tese.	38
Figura 1.5 – A comparação da eficiência entre as técnicas SL e EBL na formação das estruturas com dimensões críticas nanométricas.....	39
Figura 1.6 – Desenho esquemático do caminho óptico do sistema de projeção da litografia EUV.....	40
Figura 1.7 – Desenho esquemático adaptado apresentando as etapas de processo para a formação das nanoestruturas na técnica de nanoimpressão	40
Figura 1.8 – Desenho esquemático adaptado das etapas de processo da técnica de FIB_M. Nota: Essa técnica pode ser empregada tanto sobre lâminas SOI quanto em lâmina de Si convencional.	42
Figura 1.9 – Desenho esquemático adaptado da sequência de processo da FIB_L. Nota: Essa técnica pode ser empregada tanto sobre lâminas SOI quanto em lâmina de Si convencional.	43
Figura 2.1 – Desenho esquemático da estrutura atômica do Si-a com seus defeitos, tais como as ligações insaturadas (em linhas em vermelho) e as variações de vacâncias (2), (3), (4) e (5).	47
Figura 2.2 – Desenho esquemático adaptado da cinética do processo de deposição de filme fino pela técnica CVD.....	50
Figura 2.3 – Desenho esquemático em detalhes do sistema ECR-CVD empregado neste trabalho na deposição de filmes de Si-a:H, SiO ₂ e SiN _x	52
Figura 3.1 – Resumo dos procedimentos experimentais realizados ao longo desse trabalho. A coluna (a) é referente aos processos realizados com as técnicas PL e SL, a coluna (b) com as técnicas PL, FIB_M e SL, e a coluna (c) com as técnicas PL e FIB_L.....	54

Figura 3.2 – A imagem óptica da fotomáscara de linhas com dimensões de 2 μm de largura e espaçamento de 8 μm utilizada para a transferência de traçado para a definição das mesas de Al. Nota: Na máscara, a parte escura (espaçamento) não permite a passagem da luz UV, enquanto que a clara (linhas) permite.	58
Figura 3.3 – Desenho esquemático da sequência das etapas de processo para a formação dos SiNWs sobre o substrato de Si desde a limpeza padrão completa (a) até a corrosão por plasma (RIE, ICP ou ECR) dos filmes finos de Si-a:H, SiO ₂ e a lâmina de Si (f) das amostras entre 1 e 7, e 9.	59
Figura 3.4 – Desenho esquemático das etapas sequenciais de fabricação dos capacitores MOS 3D sobre os SiNWs.	62
Figura 3.5 – A imagem óptica da fotomáscara utilizada para a formação dos eletrodos na fabricação dos capacitores MOS 3D. Nota: Na máscara, a parte escura (eletrodos) permite a passagem da luz UV, enquanto que a clara não permite.	63
Figura 3.6 – Desenho esquemático resumindo as etapas sequenciais de processo para a formação de nanofios de Si com <i>pitch</i> na ordem de centenas de nanômetros utilizando as técnicas de PL, FIB_M e SL com espaçador de filme de Si-a:H.	68
Figura 3.7 – As micrografias de MEV da superfície da amostra com as mesas nanométricas de Al, que foram aplicadas como mandril na técnica SL, de 50, 100 e 200 nm de largura (a). (b) Em detalhe, as mesas feitas com 50 nm de largura e espaçamento entre elas de ~ 800 nm. (c) Em detalhe, as mesas de 200 nm de largura.	70
Figura 3.8 – A imagem óptica da fotomáscara <i>REGAT</i> – <i>região ativa</i> utilizada para a transferência de traçado, definindo as mesas de Al sobre a lâmina SOI. Nota: Na máscara, a parte escura não permite a passagem da luz UV, enquanto que a clara (dispositivos) permite.	71
Figura 3.9 – Desenho esquemático adaptado dos procedimentos para afinar a camada superior de Si da lâmina SOI com oxidação térmica úmida e corrosão química com BHF do óxido formado.	72
Figura 3.10 – Desenho esquemático para a ilustração da (a) vista superior e de (b) seção em corte após a formação dos SiNWs- <i>n</i> ⁺ com aproximadamente 15 nm de altura sobre a lâmina SOI.	73
Figura 3.11 – As imagens do microscópio óptico das fotomáscaras do conjunto CMOS sendo (a) <i>SI_POLI</i> , (b) <i>CONT</i> e (c) <i>METAL</i>	74
Figura 3.12 – Desenho esquemático de seção em corte do transistor JNT após todas as etapas de processo.	76

Figura 3.13 – Desenho esquemático de seção em corte da camada sacrificial de SiN _x , entre dois espaçadores de Si-a:H, que são utilizados na tecnologia SL.....	77
Figura 3.14 – A sequência das etapas de processo para a formação dos SiNWs, utilizando a litografia SL com a camada sacrificial de SiN _x . As novas etapas estão em destaque na cor verde.	78
Figura 3.15 – Desenho esquemático de seção em corte da tecnologia de litografia por espaçador utilizando o fotorresiste como camada sacrificial entre os dois espaçadores de Si-a:H.....	80
Figura 3.16 – Desenho esquemático da nova sequência das etapas de processo para a formação dos nanofios de Si, utilizando as tecnologias de PL e de SL com o mandril de fotorresiste AZ5206®. As etapas em verde são as novas etapas realizadas para a formação dos SiNWs. ..	81
Figura 3.17 – Desenho esquemático da sequência de etapas de processo das técnicas PL (b) e FIB_L (c)-(e) para a formação dos SiNWS- <i>n</i> ⁺ nas amostras 17 e 18.....	85
Figura 3.18 – As micrografias de MEV da superfície da amostra 18 feita sobre a lâmina SOI, com os eletrodos de Al (técnica PL) e as linhas paralelas, formadas por feixe de íons focalizados de Ga ⁺ (técnica FIB_L), sobre o filme de Si-a:H. (a) 50 linhas de 50 nm de largura com espaço de 500 nm e (b) 30 linhas de 100 nm de largura com espaçamento de 500 nm.....	86
Figura 3.19 – Imagem óptica da fotomáscara – <i>região ativa</i> , do conjunto de máscara FinFET desenvolvido pela Leonhardt (2016) utilizada na definição dos eletrodos de fonte e dreno. Nota: Na máscara, a parte escura (eletrodos) permite a passagem da luz UV, enquanto que a clara não permite.....	88
Figura 3.20 - Desenho esquemático da sequência de etapas de processo das técnicas PL (b) e FIB_L (c)-(e) para a formação dos III-VNWs- <i>n</i> ⁺	89
Figura 3.21 – As imagens de microscópio óptico da superfície da amostra com a camada protetora de filme de Si-a:H, os eletrodos de Pt, (a) o conjunto de 30 linhas de 10 nm de profundidade e (b) o conjunto de 20 linhas de 20 nm de profundidade. Nota: alguns resíduos da etapa de litografia na formação dos eletrodos.	90
Figura 4.1 – (a) Desenhos esquemáticos adaptado, com as dimensões, e as micrografias dos SiNWs usados nos tecnológicos atuais de 14 nm (com <i>pitch</i> de 42 nm) e 22 nm (com <i>pitch</i> de 60 nm) para a fabricação dos transistores 3D da Intel. (b) Na micrografia adaptada, os valores de largura dos SiNWs de 8 nm e o <i>pitch</i> de 42 nm para o transistor 3D do nó tecnológico de 14 nm.	92
Figura 4.2 – O espectro FTIR dos filmes de Si-a:H depositados pelo sistema ECR-CVD com vales em 2100 cm ⁻¹ , indicando a formação de um filme de silício hidrogenado.	93

Figura 4.3 - Imagens ópticas da superfície da amostra 1 durante as etapas de processo para a formação dos SiNWs. (a) As mesas de Al (faixas amarelas) definidas pela técnica PL e formadas por corrosão química, ficando exposta a fina camada inferior de SiO₂ (~ 10 nm de espessura). As mesas tinham ~ 100 nm de altura e 2 μm de largura com o espaçamento entre elas de 8 μm. (b) A superfície da amostra após a corrosão por plasma RIE do filme fino de Si-a:H, formando os espaçadores nas paredes laterais das mesas. (c) A superfície da amostra com os SiNWs formados, após a corrosão por plasma no sistema RIE, que corroeu os espaçadores, o filme fino de SiO₂ e o substrato de Si.97

Figura 4.4 - As micrografias de MEV da superfície da amostra 1 com os SiNWs formados, após todas as etapas de processo, sobre o substrato de Si. (a) Os nanofios formados na superfície, ficando evidente a formação de um traçado duplicado; (b) SiNWs com a distância entre eles de ~ 2 μm (região da mesa de Al) e intervalo de ~ 8 μm. (c) Em detalhe, uma dupla de nanofios, sendo possível verificar a continuidade deles. (d) A largura de um SiNWs de 15,6 nm.....99

Figura 4.5 - As micrografias de AFM da superfície da amostra 1 em 2D, em 3D e perfis de alturas das nanoestruturas de Si sobre o substrato de Si da amostra 1. (a) A superfície bidimensional de 4 SiNWs bem definidos com comprimento de 25 μm. (b) Em detalhes, a superfície da amostra com 2 nanofios de Si, mostrando a qualidade dos mesmos. (c) e (d) As micrografias em 3D da superfície das amostras com 4 nanofios e 2 nanofios, respectivamente. (e) e (f) Os perfis de alturas dos nanofios de Si traçados a partir das micrografias (a) e (b)..100

Figura 4.6 – O resumo das dimensões dos SiNWs obtidos pelas técnicas PL e SL com dois desenhos esquemáticos, em 3D (em azul) e em 2D (em cinza), indicando como ficaram as nanoestruturas na amostra 1, com 16 nm de largura e 18 nm de altura, com *pitch* de 2 μm, extraídos respectivamente, das análises de MEV e de AFM.101

Figura 4.7 – (a) e (b) As micrografias do MEV da superfície da amostra 1 com os capacitores MOS 3D fabricados, indicando a presença dos nanofios de Si e, sobre eles, os eletrodos de porta de Al.....102

Figura 4.8 – O gráfico da curva C-V de um capacitor MOS 3D fabricado sobre os SiNWs da amostra 1.....102

Figura 4.9 – As imagens ópticas da superfície da amostra 2 após as etapas de processo, sendo (a) após a etapa de corrosão química do Al, para a formação das mesas de Al (faixas em azul claro) sobre a fina camada de SiO₂ (faixa em azul escuro) e (b) após a etapa de corrosão química do Al, para a formação dos espaçadores de filme de Si-a:H.....104

Figura 4.10 – As micrografias de AFM da superfície da amostra 2 em 2D, 3D e os perfis de altura, sendo (a) em 2D com diferentes alturas da lâmina de Si (faixas claras e escuras) e (b) a mesma superfície em 3D. (c) Detalhes da região do patamar em 3D, indicando a formação dos SiNWs nas bordas. (d) Os perfis de altura das nanoestruturas confirmando a formação dos nanofios nas bordas do patamar.....	104
Figura 4.11 – Desenhos esquemáticos das seções transversais da (a) amostra 1 e da (b) amostra 2, durante o processo de corrosão por RIE em etapas e direto, respectivamente, indicando a formação dos patamares formados entre os SiNWs.	105
Figura 4.12 – As micrografias de MEV da superfície da amostra 2 para a medida das dimensões das nanoestruturas. (a) A superfície da amostra com dois SiNWs, nas bordas da região onde estavam o mandril de Al, e, em detalhe, parte do nanofio. (b) O corte transversal da superfície da amostra com uma saliência nas bordas. (c) As dimensões do SiNW de 28 nm de altura e 30 nm de largura.	106
Figura 4.13 – As micrografias de MEV após a formação dos capacitores MOS 3D sobre os SiNWs da lâmina de Si da amostra 2. (a), (b) e (c) A superfície da amostra com os eletrodos de Al sobre os nanofios de Si em diferentes direções. (d) O corte transversal do eletrodo de Al para visualizar a saliência nas bordas da estrutura, sendo identificado SiNWs.	107
Figura 4.14 - O gráfico da curva C-V de um capacitor MOS 3D fabricado sobre os SiNWs com patamar da amostra 2.....	108
Figura 4.15 – As imagens ópticas da superfície da amostra 3 durante as etapas de processo para a formação dos nanofios de Si sobre lâmina de Si. (a) A superfície da amostra com as dimensões das mesas de Al sobre a fina camada de SiO ₂ . (b) A superfície da amostra após a formação dos espaçadores de filme de Si-a:H pela corrosão por plasma ECR.....	110
Figura 4.16 – As micrografias de MEV da superfície da amostra 3 após a corrosão por plasma ECR para a formação dos SiNWs de 48 nm de largura e 67 nm de altura.....	110
Figura 4.17 – As micrografias de MEV da superfície da amostra 4, após as corrosões por plasma ECR, sendo em (a) a superfície após a formação dos espaçadores. (b) As dimensões de um nanofio com as larguras na base de 147 nm, no meio de 49 nm e no topo 43 nm.	111
Figura 4.18 – As micrografias da superfície da amostra 5 após todas as etapas de processo, para a formação dos nanofios de Si, utilizando a corrosão por plasma RIE. (a) A superfície da amostra com um SiNWs sobre uma superfície granular. (b) Dois SiNWs e, sobre eles, uma camada de platina para auxiliar nos cortes transversais. (c) As dimensões de um nanofio de 41 nm de altura, na base 80 nm de largura e no topo 42 nm de largura. (d) Um SiNW de 140 nm de largura (base), 39 nm de largura (topo) e 135 nm de altura.....	112

Figura 4.19 – As micrografias de MEV da superfície da amostra 6 sobre a lâmina de Si com a presença dos SiNWs formados, após a corrosão por plasma ICP. (a) A presença de dois nanofios definidos entre o polímero residual na superfície da amostra, formando os pontos brancos. (b) Em destaque, a superfície da amostra com um SiNWs. (c) e (d) As dimensões dos SiNWs de ~ 124 nm de altura e ~ 62 nm de largura, respectivamente.....114

Figura 4.20 – As micrografias de MEV das superfícies da amostra 7 feita sobre a lâmina SOI através das técnicas de PL e SL. (a) Dois SiNWs bem definidos obtidos sobre a lâmina com suas dimensões de (b) ~ 65 nm de largura e (c) ~ 108 nm de altura.....115

Figura 4.21 – As micrografias de MEV da superfície da amostra 8, após os procedimentos realizados das etapas da técnica FIB_M para a gravação das mesas de Al. (a) O corte para a formação das mesas de Al e, sobre elas, a camada protetora de filme de Si-a:H. (b) O corte das estruturas, sendo possível observar as diferentes camadas de filme de Si-a:H e de filme de Al. (c) Para verificar se ocorreu corretamente o corte, foi depositado a Pt, que preencheu as regiões.116

Figura 4.22 – As micrografias de MEV da superfície da amostra 8, após a corrosão por plasma ICP da camada protetora de filme de Si-a:H. (a) A superfície sem a presença da camada protetora, que foi removida por plasma, com as mesas de Al gravadas pela técnica FIB_M. (b) As mesas de Al (100 nm de espessura) de ~ 746 nm de largura com espaçamento entre elas de ~ 160 nm de largura.117

Figura 4.23 – As micrografias de MEV da superfície da amostra 8 , após a formação dos espaçadores de filme de Si-a:H, aplicando a técnica SL. (a) A presença das mesas de Al e, em suas bordas, a formação dos espaçadores de Si-a:H, de ~ 50 nm de largura. (b) O mandril de Al de 725 nm de largura, com os espaçadores de Si-a:H, distante dos demais a 140 nm.118

Figura 4.24 – As micrografias de MEV da superfície da amostra 8 ao longo das etapas de processo. (a) e (b) A superfície da amostra com os espaçadores de filme de Si-a:H, após a corrosão química das mesas de Al. (c) e (d) A formação dos SiNWs, após a corrosão por plasma ICP.119

Figura 4.25 – As micrografias de MEV do corte transversal da superfície da amostra 8. (a) A presença de quatro SiNWs, sendo os pares distantes de ~ 800 nm, valor próximo da largura dos mandris de Al. (b) e (c) A formação dos nanofios de Si e suas dimensões de altura, largura e o *pitch*, resultando em nanoestruturas 3D com dimensões menores que 50 nm e o *pitch* na ordem de centenas de nm.120

Figura 4.26 – As imagens ópticas da superfície da amostra 9 durante as etapas de processo na formação dos nanofios de Si- n^+ pelas técnicas PL e SL. (a) As mesas de Al expostas e, em suas

laterais, os espaçadores de Si-a:H sobre a fina camada de SiO₂, após a etapa de corrosão por plasma RIE. (b) Os resíduos de Al entre as estruturas e em suas bordas, após a corrosão química das mesas. (c) A superfície da amostra, após a limpeza RCA completa, para a remoção dos resíduos de Al_xO_x. (d) A formação dos SiNWs-*n*⁺ após a segunda etapa de corrosão por plasma RIE..... 122

Figura 4.27 – As micrografias de MEV da superfície da amostra 9 para identificar os resíduos encontrados, após a corrosão química do Al. (a) A superfície da amostra com os resíduos de Al_xO_x entre as estruturas e nas bordas em detalhes. (b) O espectro de EDS da borda das estruturas com os picos de O, F, Al, Si e P. (c) Após a limpeza RCA completa, a micrografia de MEV da superfície da amostra sem a presença dos resíduos. Isso pode ser comprovado com o espectro de EDS em (d). 123

Figura 4.28 – (a) A micrografia de MEV da superfície da amostra 9, após a finalização das etapas de processo, com a presença de um SiNW-*n*⁺ de ~ 45 nm largura sobre o BOX da lâmina SOI. (b) O espectro de EDS do SiNWs, indicando a remoção total dos resíduos de Al_xO_x. . 124

Figura 4.29 - As micrografias de MEV e a imagem óptica da superfície da amostra 9 dos transistores JNTs, após o processo de plasma *ashing*. (a) As micrografias do transistor antes de realizar a corrosão por plasma *ashing*, destacando o FR remanescente. (b) A imagem óptica após a limpeza por plasma *ashing* da superfície da amostra, indicando que ocorreu a remoção total do FR. 125

Figura 4.30 – A micrografia de MEV de dois transistores JNTs com seus terminais de porta, fonte e dreno, após a realização das medidas elétricas da amostra 9. 125

Figura 4.31 – As curvas das medidas da corrente I_{DS} *versus* tensão V_{DS} com a tensão V_{GS} variando de 0 a 20 V, com passo de 4 V, após 5 min de sinterização dos contatos elétricos da amostra 9. 127

Figura 4.32 – Gráfico dos valores das larguras dos SiNWs para cada amostra (entre 1 e 9), levando em conta: as espessuras dos filmes de Si-a:H (espaçadores) (150 nm e 60 nm), os processos de corrosão por plasma (RIE, ECR e ICP) e os traçados gravados em linhas paralelas e retangulares. Nota: a barra de erro de ± 10 nm está relacionada com a mínima dimensão que o sistema MEV do FIB consegue obter. 128

Figura 4.33 – As imagens ópticas da superfície da amostra 10 durante as etapas de processo, (a) após a corrosão por plasma ECR, para a formação das mesas de SiN_x junto com o FR AZ3312[®], como máscara no sistema ECR, e (b) após o plasma *ashing*, com a superfície limpa com as mesas de SiN_x. 131

Figura 4.34 – As micrografias de MEV da superfície da amostra 10 com a presença dos SiNWs. (a) A superfície com seis nanofios de Si, (b) o detalhe de um SiNWs com 57 nm de largura, (c) o corte transversal de uma nanoestrutura com 150 nm de largura em sua base e o topo mais estreito de 50 nm.	131
Figura 4.35 – Desenho esquemático da sequência de etapas, que resulta na formação de SiNWs nas bordas, da estrutura com patamar na amostra 10.	132
Figura 4.36 – As micrografias de MEV da superfície da amostra 11, após a corrosão por plasma pelo sistema RIE. (a) A formação dos SiNWs ao longo da superfície da amostra. (b) O corte transversal da superfície da amostra para visualizar o nanofio de Si. (c) Em destaque, o SiNWs com suas dimensões de 197 nm de altura e as larguras da base de 427 nm, do meio de 301 nm e o topo de 92 nm.	133
Figura 4.37 – A micrografia de AFM da superfície da amostra 11 em 2D.	134
Figura 4.38 – As micrografias de MEV da superfície da amostra 12 para comprovar a repetitividade do processo na formação dos SiNWs. (a) A superfície da amostra com 3 SiNWs; (b), (c) e (d) um SiNW em diferentes direções com uma rugosidade superficial inesperada.	135
Figura 4.39 – As micrografias de AFM da superfície da amostra 12 para verificar a repetitividade dos resultados da amostra 12. (a) A superfície da amostra em 3D com cinco SiNWs. (b) No detalhe, a superfície em 3D de dois nanofios nas bordas das estruturas, formando um patamar. (c) O gráfico dos perfis de altura dos dois SiNWs com 100 nm de largura e 80 nm de altura.	136
Figura 4.40 – As micrografias de MEV da superfície da amostra 13, após todas as etapas de processo. (a) A presença de dois SiNWs obtidos com comprimento maior do que 5 μm . (b) Em destaque, um SiNWs com 114 nm de largura.	139
Figura 4.41 – A micrografia de MEV da superfície da amostra 14 com dois SiNWs, de 117 nm de largura e 231 nm de altura, seguindo as imperfeições, provenientes da definição dos mandris de FR.	140
Figura 4.42 – As micrografias de MEV da superfície da amostra 15, após a corrosão por plasma ICP. (a) A presença de cinco SiNWs com, pelo menos, 5 μm de comprimento e, no destaque, dois SiNWs bem definidos. (b) Dois SiNWs com ~ 330 nm de altura e (c) ~ 143 nm de largura.	141
Figura 4.43 – A superfície da amostra 16 em diferentes etapas de processo. (a) A imagem óptica da superfície após a definição das estruturas de FR sobre a fina camada de SiO_2 . (b)-(c) As micrografias de MEV da superfície da amostra, indicando a presença de FR entre as nanoestruturas de Si.	143

Figura 4.44 – As micrografias de AFM da superfície da amostra 16, sendo (a) análise 2 D, com a estrutura retangular de SiNWs bem definidos e (b) análise 3D da superfície.	144
Figura 4.45 – As micrografias de MEV da superfície da amostra 17, após a corrosão por plasma ICP para a formação de (a) 1 SiNW- n^+ e (b) 10 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 100 nm. (c) e (d) Os cortes transversais da superfície ((a) e (b), respectivamente) com 1 SiNW- n^+ com patamar de 375 nm de largura e 3 SiNW- n^+ com patamar de 365 nm no topo e na base, de 610 nm, com espaçamento de 238 nm, respectivamente. (e) 1 SiNW- n^+ e (f) 10 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 50 nm. (g) e (h) Os cortes transversais da superfície ((e) e (f), respectivamente) com 1 SiNW- n^+ com patamar de 240 nm de largura e 5 SiNW- n^+ com patamar de 318 nm no topo, com espaçamento de 227 nm, respectivamente.	148
Figura 4.46 - As micrografias de MEV da superfície da amostra 18, após a corrosão por plasma ICP para a formação de (a) 30 SiNWs- n^+ e (b) 50 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 100 nm. (c) e (d) Os cortes transversais da superfície ((a) e (b), respectivamente) com 1 SiNW- n^+ com patamar de 375 nm de largura e 3 SiNW- n^+ com patamar de 365 nm no topo e na base, de 610 nm, com espaçamento de 238 nm, respectivamente.	150
Figura 4.47 – Desenhos esquemáticos da seção transversal das amostras (a) 17 e (b) 18, que apresentam a influência do espalhamento lateral dos íons focalizados de Ga ⁺ na formação das estruturas (com patamar (a) e segmentada “oscilante” (b)), conforme a intensidade da I_{feixe} de 0,30 nA e 30 pA, respectivamente.	151
Figura 4.48 – Desenho esquemático do corte transversal de um transistor pseudo-MOS na amostra 17, com seus contatos de fonte, dreno e porta na parte inferior (<i>back gate</i>), para as medidas elétricas.	152
Figura 4.49 - Desenho esquemático do corte transversal de um pseudo-MOS na amostra 18, com seus contatos de fonte, dreno e porta na parte inferior (<i>back gate</i>), para as medidas elétricas.	155
Figura 4.50 – As micrografias de MEV da superfície da amostra 19 após a corrosão por ICP da camada protetora de Si-:H. (a) Os eletrodos de Pt e a estrutura de 30 linhas paralelas de Si-a:H, preparadas pelo corte raso (FIB_L) de 5 nm de profundidade, 50 nm de largura nominal e espaçamento de largura nominal de 500 nm. Em destaque, as linhas com espaçamento de 370 nm e o substrato III-V. (b) Os eletrodos de Pt e a estrutura 20 linhas de Si-a:H, após a corrosão por plasma, de 115 nm de largura e espaçamento, entre elas, de 350 nm sobre o substrato III-	

V, preparadas com profundidade de corte de 20 nm, 50 nm de largura nominal e espaçamento de 500 nm de largura.....160

Figura 4.51 – As micrografias de MEV da superfície da amostra 19 com os III-VNWs, após a corrosão por ICP, em atmosfera de Cl₂:Ar. (a) 5 III-VNWs formados, pela máscara de Si-a:H gravadas com linhas de 5 nm de profundidade, com 75 nm de largura e espaçamento de 370 nm. (b) 6 III-VNWs com 115 nm de largura e espaçamento de 350 nm, provenientes do mascaramento de Si-a:H, gravado por linhas de 20 nm de profundidade. (c) A formação de nanofios com estrutura em patamar semelhante a amostra 17.....161

LISTA DE QUADROS

Quadro 3.1 – Descrição em detalhes das etapas sequenciais da limpeza padrão completa (<i>Piranha</i> + HF + limpeza padrão RCA).	55
Quadro 3.2 – Os parâmetros utilizados pelo sistema ECR-CVD para a deposição do filme de Si-a:H.....	56
Quadro 3.3 - Os parâmetros de oxidação térmica seca em forno convencional.	59
Quadro 3.4 – Os parâmetros utilizados pelo <i>sputtering</i> DC para a deposição do filme de Al.	59
Quadro 3.5 – A descrição das etapas e parâmetros da litografia para definir as mesas de Al.	60
Quadro 3.6 – Os parâmetros utilizados pelo sistema RIE para a corrosão seca do filme de Si-a:H.	60
Quadro 3.7 – Os parâmetros utilizados pelo sistema ECR para a corrosão do filme de Si-a:H, na formação dos espaçadores, da camada fina de SiO ₂ e da lâmina de Si, para a formação dos SiNWs.....	65
Quadro 3.8 – Os parâmetros utilizados pelo <i>sputtering</i> DC para a deposição do filme de Al de ~ 50 nm.	66
Quadro 3.9 - Os parâmetros utilizados na corrosão por plasma no sistema ICP.	66
Quadro 3.10 – A descrição das etapas e dos parâmetros da litografia para o processo <i>lift-off</i> para definir as mesas de Al com dimensões micrométricas.	69
Quadro 3.11 – Os parâmetros utilizados pelo sistema ECR-CVD para o crescimento de filme de SiO _x N _y	73
Quadro 3.12 – A descrição das etapas e parâmetros da litografia para definir a porta do transistor JNT.	74
Quadro 3.13 – Os parâmetros utilizados pelo sistema ECR-CVD para a deposição de SiO ₂ .	75
Quadro 3.14 – A descrição das etapas e parâmetros da litografia para definir as vias do transistor JNT.	75
Quadro 3.15 – A descrição das etapas e parâmetros da litografia para definir os contatos do transistor JNT.	76
Quadro 3.16 – Os parâmetros utilizados no sistema ECR-CVD para a deposição do filme de SiO ₂	79
Quadro 3.17 – Os parâmetros utilizados no sistema ECR-CVD para a deposição do filme de SiN _x	79

Quadro 3.18 – Os parâmetros utilizados no sistema ECR para a corrosão do filme de SiN _x na definição das mesas.....	79
Quadro 3.19 – Descrição das etapas e dos parâmetros para a aplicação do fotorresiste AZ5206 [®] como a fotomáscara <i>região ativa</i>	82
Quadro 3.20 – Os parâmetros utilizados no sistema barril para a remoção do fotorresiste formando os espaçadores.	82
Quadro 3.21 - A descrição das etapas e dos parâmetros da litografia para o processo <i>lift-off</i> para definir a região onde será a formação dos eletrodos	86
Quadro 3.22 - Os parâmetros utilizados na corrosão por plasma de Cl ₂ no sistema ICP, para a formação dos III-VNWs- <i>n</i> ⁺	90

LISTA DE TABELAS

Tabela 1.1 – Técnicas de litografia utilizadas na indústria de semicondutores e suas perspectivas em relação aos nós tecnológicos futuros (tabela adaptada - ITRS, 2013).	36
Tabela 4.1 - Resumo das amostras obtidas, pela técnica SL, com mandril de Al e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (<i>pitch</i>). Como também, as nanoestruturas com <i>pitch</i> menores que 200 nm obtidas por mandril de Al, gravado pela técnica FIB_M.	95
Tabela 4.2 – Resultados encontrados a partir da curva C-V apresentada na Figura 4.8.	103
Tabela 4.3 – Resultados encontrados a partir da curva C-V apresentada na Figura 4.14.	108
Tabela 4.4 - Resumo da amostra 9 obtida, pelas técnicas PL e SL, com mandril de Al e estruturas retangulares, espaçadas com dimensões de 2 μm (<i>pitch</i>).	121
Tabela 4.5 - Resumo das amostras obtidas, pelas técnicas LP e SL, com mandril de SiN_x e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (<i>pitch</i>).	129
Tabela 4.6 - Resumo das amostras obtidas, pelas técnicas PL e SL, com mandril de FR e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (<i>pitch</i>).	137
Tabela 4.7 - Resumo da amostra 16 obtida, pelas técnicas PL e SL, com mandril de FR e estruturas retangulares, espaçadas com dimensões de 2 μm (<i>pitch</i>).	142
Tabela 4.8 - Resumo das amostras obtidas, sobre substrato SOI, pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas.....	145
Tabela 4.9 – As descrições dos parâmetros, os gráficos de I_{DS} vs. V_{DS} e de g_{D} vs. V_{DS} dos transistores pseudo-MOS, formados por $\text{SiNWs-}n^+$, produzidos por linhas paralelas como valores nominais de 100 nm de largura e de 50 nm de largura.	153
Tabela 4.10 - As descrições dos parâmetros, os gráficos de I_{DS} vs. V_{DS} e de condutância vs. V_{DS} dos pseudo-MOS, formados por $\text{SiNWs-}n^+$, produzidos por linhas paralelas como valores nominais de 100 nm de largura e de 50 nm de largura.....	156
Tabela 4.11 - Resumo da amostra 19 obtida pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas (de largura nominal de 50 nm e profundidades diferentes de 5 nm e 20 nm) e sobre substrato III-V.	157
Tabela 5.1 – Resumo dos resultados de todas as amostras (entre 1 e 19) obtidas nessa tese.	163

LISTA DE ABREVIATURAS E SIGLAS

μm	micrômetro
193i	<i>Immersion Lithography</i> (Litografia por imersão)
3D	Tridimensional
AACVD	<i>Aerosol-assisted CVD</i>
AFM	<i>Atomic Force Microscopy</i> (microscopia de força atômica)
Al	Alumínio
APCVD	<i>Atmospheric Pressure CVD</i> (CVD de Pressão Atmosférica)
Ar	Argônio
ArF	Fluoreto de argônio
B ⁺	íons de boro
B ₂ H ₆	Diborano
BHF	<i>buffer</i> de HF (solução tampão)
BOX	<i>Buried Silicon Dioxide</i> (Dióxido de Silício Enterrado)
C ₄ F ₈	Octa-fluoro-ciclobutano
CCSNano	Centro de Componentes Semicondutores e Nanotecnologias
CD	<i>Critical Dimension</i> (Mínima dimensão)
CI	Circuito Integrado
Cl ₂	Cloro
C _{MÁX}	Capacitância máxima
C _{MIN}	Capacitância mínima
CMOS	<i>Complementary MOS</i> (Semicondutor-Metal-Óxido Complementar)
C-V	Capacitância <i>versus</i> Tensão
CVD	<i>Chemical Vapor Deposition</i> (Deposição Química em Fase Vapor)
DC	Direct Current (corrente contínua)
DI	Água Deionizada
DSIF	Departamento de Semicondutores, Instrumentos e Fotônica
DUV	<i>Deep UV</i> (Ultravioleta profundo)
EBL	<i>Electron Beam Lithography</i> (Litografia por Feixe de Elétrons)
ECR	<i>Electron Cyclotron Resonance</i> (Ressonância Ciclotrônica do Elétron)
EUV	<i>Extreme UV</i> (Ultravioleta Extremo)
FEEC	Faculdade de Engenharia Elétrica e de Computação
FIB	<i>Focused Ion Beam</i> (Litografia por Feixe Focalizado de Íons)

FIB_L	<i>Gallium Focused Ion Beam – FIB Lithography</i> (litografia por feixe focalizado de íons de gálio)
FIB_M	<i>Gallium Focused Ion Beam – FIB Milling</i> (<i>milling</i> (remoção de material) com feixe de íons focalizados de gálio)
FinFETs	<i>Fin Field-Effect Transistor</i> (Transistor 3D)
FR	Fotorresiste
FTIR	<i>Fourier Transformed Infra-Red</i> (Espectrometria de Infravermelho por transformada de Fourier)
Ga ⁺	íons de gálio
GaAs	Arseneto de gálio
g _D	Condutância do canal
g _{Dmáx}	Condutância máxima
H	Hidrogênio
H ₂ O ₂	Água Oxigenada
H ₂ SO ₄	Ácido sulfúrico
H ₃ PO ₄	ácido ortofosfórico
HCl	Ácido Clorídrico
HF	Ácido Fluorídrico
Hg	Mercúrio
HMDS	<i>Hexamethyldisilazane</i> (Promovedor de aderência entre o fotorresiste e o substrato)
HNO ₃	Ácido Nítrico
ICP	<i>Inductively Coupled Plasma</i> (Plasma Acoplado Indutivamente)
I _{DS}	Corrente elétrica entre fonte e dreno
I _{feixe}	Corrente do feixe de íons focalizados
IFGW	Instituto de Física “Gleb Wataghin”
III-VNWs	III-V <i>Nanowires</i> (Nanofios de semicondutores III-V)
ITRS	<i>International Technology Roadmap of Semiconductors</i> (Roteiro Internacional de Tecnologia de Semicondutores)
I-V	corrente <i>versus</i> tensão
JNT	<i>Junctionless Nanowire Transistor</i> (Transistor sem junção baseado em nanofio)
KeV	mil elétrons-volts
KrF	Fluoreto de criptônio
LAMULT	Laboratório de Multiusuários
LELE	<i>Litho-Etch-Litho-Etch</i> (lito-corrosão-lito-corrosão)
LER	<i>Line Edge Roughness</i> (Rugosidade)

LPCVD	<i>Low Pressure CVD</i> (Deposição Química em Fase Vapor a Baixa Pressão)
LPD	Laboratório de Pesquisa em Dispositivos
MEV	Microscopia Eletrônica de Varredura
MIF	<i>Metal Ion Free</i> (livre de íons metálicos)
MOCVD	<i>Metalorganic CVD</i> (Deposição Metalorgânica em Fase Vapor)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor)
N ₂	Nitrogênio
nA	nano Ampere
NH ₄ OH	Hidróxido de amônia
NIL	<i>Nano-Imprint Lithography</i> (Litografia por Nanoimpressão)
nm	nanômetro
O ₂	Oxigênio
P ⁺	Íons de Fósforo
pA	pico Ampere
PECVD	<i>Plasma Enhanced</i> – CVD (Deposição Química em Fase Vapor assistida por Plasma)
pF	pico Farad
PH ₃	Fosfina
PL	<i>Photolithography</i> (Fotolitografia)
pS	pico Siemens
Pt	Platina
Q _o /q	Densidade de carga efetiva
RF	<i>Radio-Frequency</i> (Radio-Frequência)
RIE	<i>Reactive Ion Etching</i> (Corrosão por Íons Reativos)
RMS	<i>Root Mean Square</i>
RPECVD	CVD com Plasma Remoto
RTA	<i>Rapid Thermal Annealing</i> (Tratamento Térmico Rápido)
SADP	<i>Self Aligned Double Pattern</i> (Duplo Traçado Autoalinhado)
SAQP	<i>Self-Aligned Quadruple Pattern</i> (Traçado Quadrúplo Autoalinhado)
SEM	<i>Scanning Electron Microscopy</i>
SF ₆	Hexafluoreto de enxofre
Si	Silício
Si-a	Silício Amorfo
Si-a:H	Silício amorfo hidrogenado
Si-c	Silício Monocristalino

SiH ₄	Silana
SiNW _s	<i>Silicon Nanowires</i> (Nanofios de silício)
SiN _x	Nitreto de silício
SiO ₂	Dióxido de silício
SiO _x N _y	Oxinitreto de silício
Si-poli	Silício policristalino
SL	<i>Spacer Lithography</i> (Litografia por Espaçador)
SOI	<i>Silicon On Insulator</i> (Silício sobre Isolante)
t _{ox}	Espessura física do óxido
UHVCVD	<i>Ultra High Vacuum CVD</i>
UV	Ultravioleta
VUV	<i>Vacuum UV</i> (Ultravioleta de Vácuo)
V _{BGS}	Tensão entre porta da parte inferior da lâmina e fonte
V _{DS}	Tensão entre fonte e dreno
V _{FB}	<i>Flat band voltage</i> (tensão de banda plana)
V _{GS}	Tensão entre porta e fonte

SUMÁRIO

1 INTRODUÇÃO.....	32
1.1 OBJETIVO.....	32
1.2 LITOGRAFIA: HISTÓRICO, DEFINIÇÃO E EVOLUÇÃO.....	32
1.3 NOVA ALTERNATIVA: LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO	41
1.4 MOTIVAÇÃO E CONTRIBUIÇÃO.....	44
1.5 ORGANIZAÇÃO DA TESE.....	46
2 O SÍLCIO AMORFO, TÉCNICAS DE OBTENÇÃO E SISTEMA ECR-CVD....	47
2.1 FILME DE SÍLCIO AMORFO HIDROGENADO: DEFINIÇÃO, HISTÓRICO E APLICAÇÕES	47
2.1.1 Técnica de deposição: ECR-CVD.....	49
3 PROCEDIMENTO EXPERIMENTAL	53
3.1 PREPARAÇÃO DOS SUBSTRATOS DE SI E SOI.....	54
3.2 CARACTERIZAÇÃO ESTRUTURAL DO FILME DE SILÍCIO AMORFO HIDROGENADO	55
3.3 TÉCNICA DE LITOGRAFIA POR ESPAÇADOR - SL.....	56
3.3.1 Nanofios de silício (SiNWs) obtidos com camada sacrificial (mesa ou mandril) de alumínio	57
3.3.1.1 Estruturas em linhas paralelas.....	58
3.3.1.2 Estruturas retangulares.....	71
3.3.2 Nanofios de Si obtidos com camada sacrificial de nitreto de silício e estruturas em linhas paralelas	76
3.3.3 Nanofios de Si obtidos camada sacrificial (mesa ou mandril) de fotorresiste	80
3.3.3.1 Estruturas em linhas paralelas	81
3.3.3.2 Estruturas retangulares.....	83
3.4 LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO (FIB_L) COM CAMADA PROTETORA DE SILÍCIO AMORFO HIDROGENADO	83
3.4.1 Amostras 17 e 18	84
3.3.1.1 Caracterização elétrica dos transistores pseudo-MOS	87
3.4.2 Amostra 19	87
4 RESULTADOS E DISCUSSÕES	91
4.1 CARACTERIZAÇÃO FÍSICA DOS FILMES DE SILÍCIO AMORFO HIDROGENADO	92
4.2 TÉCNICA DE LITOGRAFIA POR ESPAÇADOR (SL)	93

4.2.1 Nanofios de Silício (SiNWs) Obtidas com Camada Sacrificial (Mesa ou Mandril) de Alumínio	94
4.2.1.1 Estruturas em Linhas Paralelas.....	94
4.2.1.2 Estruturas Retangulares.....	120
4.2.1.3 Conclusões Parciais das Amostras com Mandril de Al.....	127
4.2.2 Nanofios de silício (SiNWs) Obtidos com Camada Sacrificial (Mesa ou Mandril) de Nitreto de Si e Estruturas em Linhas Paralelas	128
4.2.2.4 Conclusões Parciais das Amostras com Mandril de SiN _x	136
4.2.3 Nanofios de Silício (SiNWs) Obtidos com Camada Sacrificial (Mesa ou Mandril) de Fotorresiste.....	137
4.2.3.1 Estruturas em Linhas Paralelas.....	137
4.2.3.2 Estruturas Retangulares.....	141
4.2.3.3 Conclusões Parciais das Amostras com Mandril de Fotorresiste	144
4.3 LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO (FIB_L) COM CAMADA PROTETORA DE SILÍCIO AMORFO HIDROGENADO.....	144
4.3.1 SiNWs-<i>n</i>⁺ sobre lâmina SOI	145
4.3.1.1 Amostras 17 e 18	146
4.3.2 Nanofios de III-V-<i>n</i>⁺ sobre substrato semiconductor III-V	157
4.3.2.1 Amostra 19.....	158
5 CONCLUSÕES E TRABALHOS FUTUROS	162
5.1 CONCLUSÕES	162
5.1 A) APRESENTAÇÕES DE TRABALHO EM CONFERÊNCIAS NACIONAIS E INTERNACIONAIS	168
5.2 TRABALHOS FUTUROS	168
REFERÊNCIAS.....	170

1 INTRODUÇÃO

1.1 OBJETIVO

O objetivo dessa tese é desenvolver métodos alternativos para a definição de nanofios semicondutores (silício e arseneto de gálio (III-V)), tendo como base filmes de silício amorfo hidrogenado (Si-a:H) depositado por ECR-CVD (*Electron Cyclotron Resonance* (ECR) - *Chemical Vapor Deposition* (CVD)), em temperatura ambiente. Para isso, são obtidos:

- (i) Filmes de Si-a:H depositado por ECR-CVD em temperatura ambiente;
- (ii) Nanofios de silício (*Silicon Nanowires* – SiNWs), que são estruturas tridimensionais (3D) com dimensões críticas menores que 150 nm, sobre os substratos de Si e SOI utilizando as técnicas sequenciais de fotolitografia (*Photolithography* – PL) e de litografia por espaçador (*Spacer Lithography* – SL ou *Self Aligned Double Pattern* - SADP) de filme de Si-a:H;
- (iii) SiNWs utilizando as etapas sequenciais de litografias PL, de *milling* (remoção de material) com feixe de íons focalizados de gálio (Ga^+) (*Gallium Focused Ion Beam* – *FIB Milling* (FIB_M)) e de SL (espaçador de filme de Si-a:H);
- (iv) SiNWs- n^+ e III-VNWs- n^+ , utilizando a técnica de litografia por feixe de íons focalizados de gálio (Ga^+) (*Gallium Focused Ion Beam* – *FIB Lithography* (FIB_L)), tendo como máscara o filme de Si-a:H.

Vale salientar que, o filme de Si-a:H depositado por ECR-CVD, em temperatura ambiente, utilizado como espaçador para a tecnologia SL e como máscara nas técnicas FIB_M e FIB_L são inovações dessa tese, pois não foram encontrados trabalhos similares na literatura.

1.2 LITOGRAFIA: HISTÓRICO, DEFINIÇÃO E EVOLUÇÃO

A litografia é a etapa de processo exigida para transferir traçados de uma máscara para o substrato, sobre o qual é fabricado o circuito integrado (CI). A expressão litografia significa "escrita (grafia) na pedra (lito)". Quando se trata da fotolitografia, tem-se "a escrita" (transferência de traçado) "na pedra" (normalmente, o substrato de Si) usando a luz. Assim, a invenção da litografia foi em 1798 e da fotolitografia em 1826 (OKOROANYANWU, 2010). A evolução da litografia acompanha a história da indústria de semicondutores baseada no ITRS

(*Internacional Technology Roadmap of Semiconductors*), que é iniciada pelas invenções dos transistores em 1947 e, após 12 anos, dos CIs (OKOROANYANWU, 2010). Basicamente, nessa indústria, a litografia é a técnica que transfere um traçado de uma máscara para uma camada de resiste (resina polimérica) que é aplicada sobre uma lâmina de Si ou sobre outros substratos como apresenta a Figura 1.1. A partir dessa figura, observa-se que a fotolitografia utiliza uma fonte de luz ultravioleta (UV) e uma fotomáscara para seletivamente expor e definir os traçados em um fotorresiste (resina sensível à luz) (VEENDRICK, 2008). Nesse caso, o fotorresiste, após a exposição à luz UV através da fotomáscara e revelação do traçado exposto, é usado como camada protetora (máscara) para a definição das estruturas no Si, utilizando os processos de corrosões seca (corrosão por íons reativos – *Reactive Ion Etching* - RIE) ou úmida (soluções ácidas ou básicas) como apresenta a Figura 1.1.

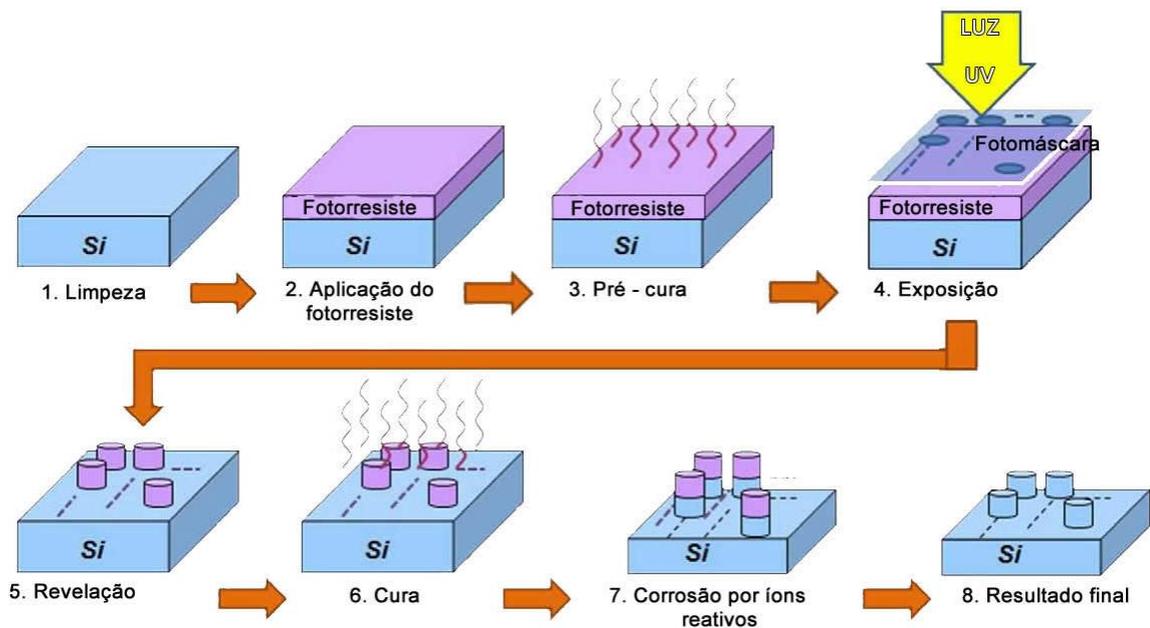


Figura 1.1 – Desenho esquemático adaptado da sequência básica de etapas do processo de fotolitografia na indústria de semicondutor (YONGJOON *et al.*, 2010).

Inicialmente, no processo de fotolitografia, utilizava-se a fonte de luz na região do visível *g-line* (comprimento de onda $\lambda = 436$ nm) e, posteriormente, na região do UV *i-line* ($\lambda = 365$ nm), que é produzida com uma lâmpada de mercúrio (Hg), para transferir os traçados da fotomáscara para a lâmina de Si (WU E KUMAR, 2009). Vale salientar que, a luz UV tem um espectro de comprimento de onda entre 10 nm (*Extreme UV*) e 400 nm (UV), passando por um intervalo conhecido como VUV (*Vacuum UV*) entre 10 nm e 200 nm, que compreende as faixas de EUV (10 nm – 121 nm) e *Deep UV* (DUV) (122 nm – 200 nm). Dentro do DUV está o comprimento em 193 nm, muito utilizado nas tecnologias nanométricas (dimensões menores

que 100 nm) como será comentado posteriormente. A Figura 1.2 apresenta o esquema da evolução da fotolitografia baseada nos comprimentos de ondas (entre 365 nm e 157 nm) das fontes de luz UV em relação aos nós tecnológicos (entre 350 nm e 32 nm) da indústria de semicondutores (MALIK *et al.*, 2007). Dessa maneira, os nós tecnológicos são uma métrica desenvolvida pela indústria e utilizados para classificar o desenvolvimento dos dispositivos nos CIs. Nesse caso, os dispositivos são definidos pelo *pitch*, que é a menor dimensão entre duas estruturas repetidas, formadas por uma linha gravada, ocupada por um transistor, e um espaço entre as linhas, ocupado por uma camada de isolamento. Desde o ano 2000, a medida de $\frac{1}{2}$ -*pitch* (*half-pitch*) passou a ser conhecida pelo termo ‘nó tecnológico’ e representa a metade da menor distância que distingue duas estruturas repetidas em um *chip*, sobre o qual se pode construir um transistor (ITRS, 2001). Dessa forma, ocorre que, as mínimas dimensões (dimensões críticas, *critical dimension* - CD) exigidos nos nós atuais são da ordem de 10 nm. Em tese, quanto menor for o comprimento de onda da luz mais facilmente consegue-se obter as dimensões nanométricas (SCHNEIDER, 2011; WU E KUMAR, 2009). Dessa forma, o termo usado para obtenção da mínima CD através de uma técnica litográfica é denominado por resolução que, por sua vez, é proporcional ao comprimento de onda da fonte de luz. Portanto, quanto menor o valor de CD, maior deve ser a resolução do sistema litográfico. Logo, quando a CD do CI foi reduzida praticamente a um quarto de um micrômetro (próximo dos 250 nm), as resoluções dos sistemas com comprimentos de onda *g-line* e *i-line* não alcançavam mais essa dimensão (SCHNEIDER, 2011; WU E KUMAR, 2009; VEENDRICK, 2008; MALIK *et al.*, 2007). Assim, outras fontes de luz foram aplicadas para suprimir essa necessidade (Figura 1.2). A técnica baseada no ultravioleta profundo (DUV), que utiliza lasers excímeros, tais como os de fluoretos de argônio (ArF) e de criptônio (KrF), foi a solução empregada por um determinado período de tempo, até se alcançar os nós tecnológicos com dimensões menores que 60 nm, como apresenta a Figura 1.2 (SCHNEIDER, 2011; OKOROANYANWU, 2010). Dessa forma, os sistemas com fonte do laser de KrF ($\lambda = 248$ nm) foram empregados para o desenvolvimento de dispositivos no nó tecnológico de 90 nm. Já a litografia DUV, que utilizava os sistemas com laser de ArF, com λ de 193 nm, conseguiu definir traçados de até 60 nm (SCHNEIDER, 2011; WU E KUMAR, 2009; VEENDRICK, 2008).

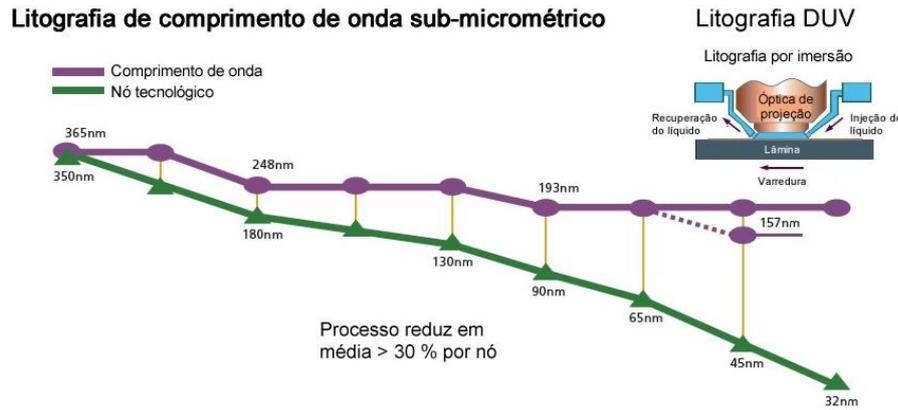


Figura 1.2 – Esquema adaptado da evolução da fotolitografia baseada nos comprimentos de ondas (entre 365 nm e 157 nm) das fontes de luz UV em relação às dimensões dos dispositivos (entre 350 nm e 32 nm) nos nós tecnológicos da indústria de semicondutores (MALIK *et al.*, 2007).

Com a redução das dimensões dos nós tecnológicos, foi desenvolvida a litografia por imersão (193i) (*immersion lithography*) para definir traçados de até 40 nm (ver Figura 1.2). Nessa técnica, a lâmina com o fotorresiste depositado, antes da exposição à luz com λ de 193 nm, é imersa em líquido, com o índice de refração $n > 1$, normalmente água ($n = 1,43$), para diminuir o λ efetivo da fonte de luz UV (VEENDRICK, 2008). Com isso, ocorre o aumento da resolução, permitindo definir a CD de até 40 nm (VEENDRICK, 2008). Ainda, foi desenvolvida a técnica com DUV que utiliza a fonte de laser de F₂ (flúor), com λ de 157 nm, para tentar aumentar a vida útil da fotolitografia para mais de um nó tecnológico (ver Figura 1.2). Entretanto, essa técnica não conseguiu consolidar-se, pois apresenta uma baixa relação custo-benefício para a indústria (VEENDRICK, 2008). Atualmente, para fabricar os dispositivos do nó tecnológico sub-22 nm (Tabela 1.1 – ITRS, 2013), as indústrias de semicondutores vêm trabalhando intensamente para tornar viável a litografia com fonte de luz EUV ($\lambda = 13,4$ nm) (GOLDA, 2016; LAPEDUS, 2016; COURTLAND, 2016), pois com o comprimento de onda menor, maior é a resolução e menor a CD obtida. A técnica EUV será posteriormente discutida nessa seção.

A Tabela 1.1 do ITRS (2013) apresenta as técnicas de litografia utilizadas na indústria de semicondutores e suas perspectivas em relação aos nós tecnológicos futuros. As dimensões dos dispositivos eletrônicos (com os seus respectivos nós tecnológicos) continuam reduzindo (RALEY *et al.*, 2016; NEISSER E WURM, 2015; ITRS, 2013). A litografia 193i pela simples exposição atingiu o seu limite no nó tecnológico de 40 nm como apresentam a Figura 1.2 e a Tabela 1.1. Logo, são necessárias soluções alternativas para a litografia nos nós tecnológicos sub-40 nm, tais como a junção da litografia 193i com as técnicas de duplo traçado: (i)

lito-corrosão-lito-corrosão (*Litho-Etch-Litho-Etch* – LELE) (ITRS, 2013; ZIMMERMAN, 2009) e (ii) a litografia por espaçador (*Spacer Lithography* – SL) ou também conhecida como duplo traçado autoalinhado (*Self Aligned Double Pattern* - SADP) (HUYNH-BAO, 2017; ITRS, 2013; VEENDRICK, 2008) conforme apresenta a Tabela 1.1 (ITRS, 2013). A técnica SL é usada nesta tese para a formação dos nanofios semicondutores (SiNWs e III-VNWs).

Tabela 1.1 – Técnicas de litografia utilizadas na indústria de semicondutores e suas perspectivas em relação aos nós tecnológicos futuros (tabela adaptada - ITRS, 2013).

		Técnicas de padrão de linha/espaco paralelo e uni-direcional																							
Nós tecnológicos →		CD	40	38	36	34	32	30	28	26	24	22	20	18	16	14	12	10	8	6	4	2			
Ferramenta exposição	Técnica Transferência de Padrão	Pitch	80	76	72	68	64	60	56	52	48	44	40	36	32	28	24	20	16	12	8	4	2		
Imersão	Single patterning	→																							
Imersão	LELE	→											19												
Imersão	SADP	→											2												
Imersão	SAQP	→												5			1								
EUV	Single patterning	→															18								
EUV	SADP	→													4						6				
Imersão	DSA [ps-b-PMMA]	→															3				12				
ArF, EUV, E-beam	High chi-DSA	→																				11			
Nanoimprint	Nanoimprint	→																				13		14	
High NA EUV	Single patterning	→																					17		
E-beam	Single patterning*	→		7								8											15	16	
E-beam	DSA [ps-b-PMMA]**	→																					9	10	12

Técnica aplicada na indústria
 Publicações de trabalhos indicando uma possibilidade da técnica ser aplicada na indústria
 Simulações, imagens de superfície ou demonstração de pesquisa sugerem potencial de extensão

A tecnologia LELE é baseada em dupla exposições de traçados como mostra a Figura 1.3 (ZIMMERMAN, 2009). Essa técnica exige uma estrutura composta por duas camadas de *hard-mask* sobre o substrato de Si. Vale salientar que a *hard-mask* é definida como uma camada protetora de difícil corrosão (baixa taxa de corrosão) e, no caso, da estrutura com duas *hard-masks*, uma deve ter alta seletividade de corrosão seca em relação à outra e ao fotorresiste utilizado na litografia. Assim, o primeiro traçado é transferido por litografia, corrosão da *hard-mask*#1 (camada superior, normalmente nitreto de Si - SiN_x), mantendo-se a *hard-mask*#2 (usualmente, dióxido de Si – SiO₂) sem gravação, e remoção do fotorresiste sobre a *hard-mask*#1, como ilustra a Figura 1.3 (BAER *et al.*, 2016; ZIMMERMAN, 2009). Posteriormente, o segundo traçado é transferido por litografia sobre a *hard-mask*#2, mantendo-se o traçado anterior com a *hard-mask*#1. Finalmente, é realizada a transferência dos duplos traçados para o *hard-mask*#2 através da corrosão deste material e a remoção do *hard-mask*#1 e do fotorresiste por solução ácida (possivelmente, se for SiN_x a *hard-mask*#1, utiliza-se solução com H₃PO₄ (ácido

ortofosfórico), que não corrói nem SiO_2 , nem Si. Assim, o maior desafio neste caso é a precisão dos alinhamentos durante a segunda exposição (ZIMMERMAN, 2009). Essa tecnologia é largamente utilizada em associação à litografia 193i até o nó tecnológico de 32 nm, conforme apresenta a Tabela 1.1.

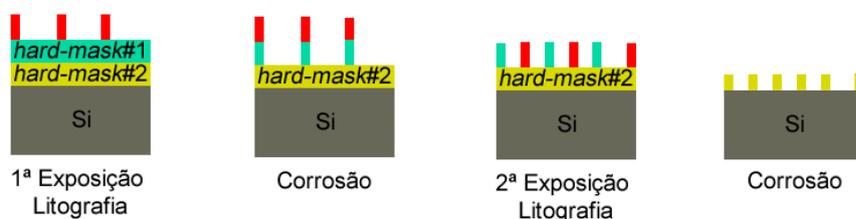


Figura 1.3 – Desenho esquemático adaptado da sequência das etapas de processo da técnica LELE (ZIMMERMAN, 2009).

A técnica SL, também denominada SADP (MA *et al.*, 2010), que é utilizada nessa tese, baseia-se na sequência da Figura 1.4, que mostra em: (a) deposição da camada sacrificial, que pela literatura pode ser os filmes de óxido de silício (SiO_2), de SiN_x ou de silício policristalino (Si-poli) depositado por CVD (*Chemical Vapor Deposition*) (WANDELL *et al.*, 2014; JOVANOVIĆ, 2008; CHOI *et al.*, 2003); (b) litografia óptica (conforme mostra a Tabela 1.1, pode ser usada as técnicas 193i e EUV, para obter os nós de até 10 nm) (HUYNH-BAO *et al.*, 2017; RALEY *et al.*, 2016; WANDELL *et al.*, 2014) e corrosões seca ou úmida para definir uma estrutura de mesa na camada sacrificial (CHOI, 2003). Essa estrutura na forma de mesa também é conhecida como mandril¹; (c) deposição de filme fino para ser usado como espaçador, normalmente SiO_2 ou SiN_x (JOVANOVIĆ, 2008; CHOI *et al.*, 2003). O espaçador é a camada, que após a corrosão seca (*Reactive Ion Etching* - RIE), localiza-se na lateral da mesa (mandril) e que, posteriormente, após o processo de corrosão da camada sacrificial, torna-se o *hard-mask* para ser transferido ao substrato; (d) corrosão seca para remover o filme usado como espaçador na parte superior da mesa (camada sacrificial) e do substrato (CHOI *et al.*, 2003); (e) remoção total da mesa pelas corrosões (com seletividade em relação ao espaçador e ao substrato) seca ou úmida, resultando na formação de um duplo traçado de espaçadores; e (f) corrosão seca para obter o duplo traçado no substrato com remoção do espaçador. Dessa maneira, o traçado transferido para o substrato depende da espessura do espaçador (CHOI *et al.*, 2003). Assim, quando se exige dimensões nanométricas para obter nanofios de Si, devem ser depositados espaçadores também com espessuras nanométricas. A litografia SL sempre forma duplos traçados (RALEY

¹ Mandril: vem do inglês *mandrel*, largamente empregada nos artigos científicos da área (DESAI *et al.*, 2016, RALEY *et al.*, 2016, KODAMA *et al.*, 2015, HYATT *et al.*, 2014, BENCHER *et al.*, 2011), que é a camada sacrificial na técnica SL.

et al., 2016; ITRS, 2013; MA *et al.*, 2010; JOVANOVIĆ, 2008; VEENDRICK, 2008; CHOI *et al.*, 2003). Dessa forma, se as etapas de processo forem repetidas por várias vezes, pode resultar-se em múltiplos traçados, tais como traçado quadruplo autoalinhado (*Self-Aligned Quadruple Pattern - SAQP*), obtendo-se estruturas de até 5 nm de largura (Tabela 1.1 - ITRS, 2013; CHOI *et al.*, 2003). Portanto, essa tecnologia associada com as técnicas de fotolitografia 193i ou EUV podem produzir valores de CD menores do que os alcançados pela simples exposição com fotolitografia EUV (Tabela 1.1) ou pela litografia por feixe de elétrons (*Electron Beam Lithography – EBL*), como mostra a Figura 1.5 (HUYNH-BAO *et al.*, 2017; ITRS, 2013; CHOI *et al.*, 2003). A litografia EBL baseia-se numa escrita direta do feixe de elétrons sobre uma resina sensível a elétrons (eletrorresiste) para a definição do traçado sobre um substrato. Os sistemas litográficos por feixe de elétrons permitem resoluções, com consequentes definições de CDs, de até 10 nm (Tabela 1.1) (NEISSER, 2013; ITRS, 2013). Como não é um processo fotolitográfico, não se exige o uso de máscaras para a definição dos traçados. Nos sistemas EBL, os traçados estão armazenados no programa (*software*) do computador desses sistemas, e são transferidos pela varredura do feixe de elétrons sobre o eletrorresiste. Assim, a varredura pode ser necessária por toda área do substrato, o que pode ser muito mais demorado do que o processo simultâneo fotolitográfico. Logo, a técnica SL pode ser mais eficiente do que a litografia EBL (NEISSER, 2013; ITRS, 2013; WU E KUMAR, 2009; JONCKHEERE *et al.*, 2009; VEENDRICK, 2008; CHOI *et al.*, 2003).

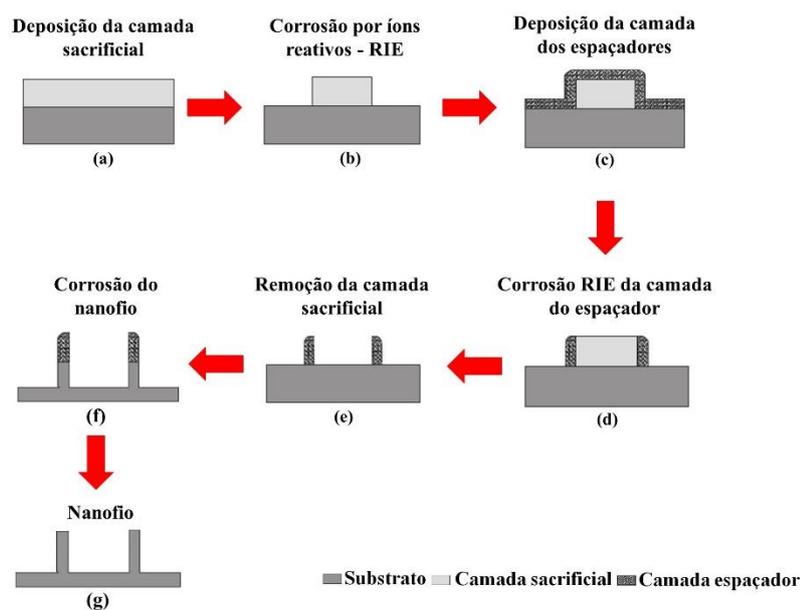


Figura 1.4 – Desenho esquemático adaptado das etapas de processo para a obtenção de nanofios através da técnica SL, que é também utilizada nessa tese (JOVANOVIĆ, 2008).



Figura 1.5 – A comparação da eficiência entre as técnicas SL e EBL na formação das estruturas com dimensões críticas nanométricas (gráfico adaptado, CHOI *et al.*, 2003).

Por outro lado, existem as litografias com comprimento de onda ainda menor tais como a litografia UV extremo (EUV), com λ de 13,4 nm, a litografia EBL, como descrita anteriormente, com λ de até 5 nm; e a litografia por nanoimpressão (nano-imprint lithography – NIL), que não utiliza fonte de luz, mas é promissora na fabricação de nanoestruturas (RALEY *et al.*, 2016; NEISSER E WURM, 2015; ITRS, 2013; SEABRA, 2006).

Como mencionando anteriormente, atualmente, para fabricar os dispositivos do nó tecnológico sub-22 nm (Tabela 1.1 – ITRS (2013)), as indústrias de semicondutores vêm intensivamente trabalhando para tornar viável a litografia com fonte de luz EUV ($\lambda = 13,4$ nm) (GOLDA, 2016; LAPEDUS, 2016; COURTLAND, 2016), pois com o comprimento de onda menor, maior é a resolução e menor a CD obtida (HUYNH-BAO *et al.*, 2017; RALEY *et al.*, 2016; NEISSER E WURM, 2015; ITRS, 2013). As indústrias de semicondutores previam que a técnica EUV estaria produzindo dispositivos em larga escala em 2013 (COURTLAND, 2016). Entretanto, várias dificuldades foram encontradas e continuamente, até hoje, as indústrias vêm pesquisando as soluções. A luz, com λ de 13,4 nm, pode ser absorvida por todos os materiais, inclusive o ar. Portanto, os sistemas litográficos com EUV processam a transferência de traçados por reflexão para o substrato em uma câmara de vácuo, contendo a máscara com o traçado e um conjunto de espelhos especiais, conforme mostra a Figura 1.6 (RONSE *et al.*, 2012; VE-ENDORICK, 2008). Estes detalhes são desafios desta técnica que tem como fonte de luz o plasma de estanho ou de xenônio (SCHNEIDER, 2013). Outro desafio, e atualmente crucial, é a eficiência da fonte de luz na produção em larga escala (LAPEDUS, 2016; COURTLAND, 2016). Até o momento, o custo de pesquisa e desenvolvimento da tecnologia EUV custou dezenas de

bilhões de dólares em todo mundo (LAPEDUS, 2016; COURTLAND, 2016; ITRS, 2013). Atualmente, a Intel e a Samsung anunciaram que irão utilizar EUV para produzir no nó tecnológico de 7 nm em 2018 ou 2019 (LAPEDUS, 2016).

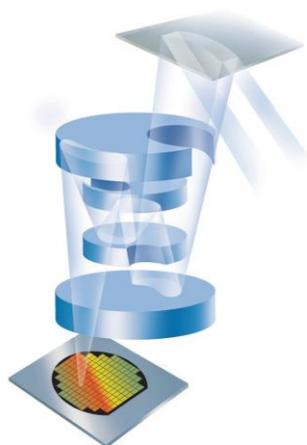


Figura 1.6 – Desenho esquemático do caminho óptico do sistema de projeção da litografia EUV (RONSE *et al.*, 2012).

Outra alternativa para o nó tecnológico de sub-32 nm é a litografia por nanoimpressão (ITRS, 2015; VEENDRICK, 2008; SEABRA, 2006). Esta tecnologia de 1:1, baseia-se na pressão física de um molde resistente com traçado para nanoestruturas numa camada fina de resiste (termoplástico) sobre o substrato, onde a estrutura precisa ser replicada como mostra a Figura 1.7. Este processo é feito com resiste quente, que é um líquido, que pode ser deformado pelo traçado do molde. Após esfriar, o molde é removido da amostra. A principal vantagem desta tecnologia é poder ser replicada as características com dimensões nanométricas (VEENDRICK, 2008). Entretanto, ainda não se obtém elevada produtividade para ser usada na indústria de semicondutor (Tabela 1.1 – ITRS, 2013).

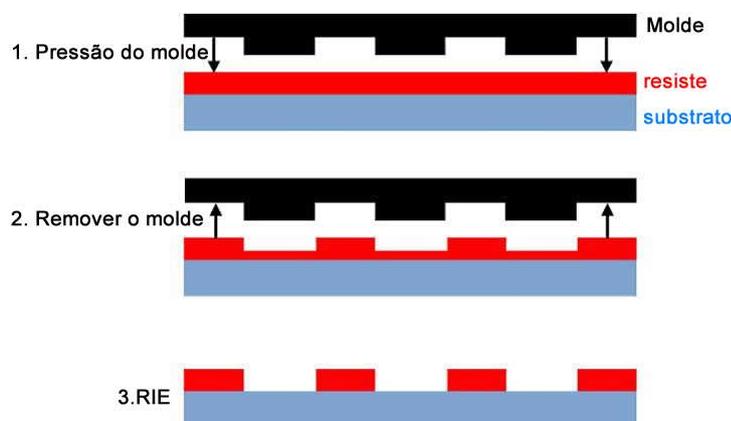


Figura 1.7 – Desenho esquemático adaptado apresentando as etapas de processo para a formação das nanoestruturas na técnica de nanoimpressão (VEENDRICK, 2008).

1.3 NOVA ALTERNATIVA: LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO

Nos últimos anos, a litografia por feixe de íons focalizados (FIB) vem ganhando a atenção devido à sua versatilidade em diversas áreas de aplicação, e ao maior controle do feixe de íons, quando comparado a litografia EBL, comentada na seção 1.2 (LEONHARDT *et al.*, 2016; ROGOV *et al.*, 2015; ROMMEL *et al.*, 2013). Esse maior controle ocorre, pois, os íons são mais pesados do que os elétrons, em algumas ordens de grandeza, resultando na redução do espalhamento lateral do feixe (SEABRA, 2006). Com isso, há uma maior precisão do feixe iônico possibilitando a fabricação de dispositivos com resolução em escala nanométrica de até 10 nm dependendo da energia e corrente do feixe de íons aplicado (SEABRA, 2006; WU e LIU, 2005; CABRINI *et al.*, 2004).

A litografia por FIB é uma técnica de escrita direta, assim como a litografia EBL, que não necessita da realização das etapas de litografia, nem com máscara, e nem com resiste para a transferência de traçado num substrato (ROGOV *et al.*, 2015; ROMMEL *et al.*, 2013; CHEKUROV *et al.*, 2010; WU e LIU, 2005). Entretanto, a técnica EBL necessita de resiste. Quando comparado com a litografia óptica, a por FIB tem uma vantagem que é a transferência de traçados com formatos arbitrários sem utilizar máscaras e resiste (CHEKUROV *et al.*, 2010). Conforme o processo, principalmente para a prototipagem de dispositivos 3D baseados em SiNWs, tais como *FinFETs* (*Fin Field-Effect Transistor*) e transistor MOS sem junção baseado em nanofios - JNTs (*Junctionless Nanowires Transistor*) (LEONHARDT, 2016; LIMA, 2015; SANTOS, 2013), economiza-se tempo e etapas (QIAN *et al.*, 2008).

De modo geral, a técnica de FIB possui duas abordagens: (i) a remoção de material, denominada FIB *milling* (FIB_M), e a litografia por FIB, conhecida como FIB *lithography* (FIB_L) (LEONHARDT, 2016; ROGOV *et al.*, 2015; WU e LIU, 2005; CABRINI *et al.*, 2004). A primeira abordagem é a remoção de camadas de qualquer tipo de material por íons pesados (*milling*), tais como os íons de gálio (Ga^+). Vale salientar que essa remoção ocorre sem a necessidade de reações químicas. A Figura 1.8 apresenta esquematicamente essa técnica. Assim, uma fina camada de filme de Al (20 nm de espessura) é definida por litografia óptica e empregada como *hard mask* na corrosão por plasma RIE para transferir o traçado para o substrato de Si como ilustra a Figura 1.8 (LEONHARDT, 2016; LIMA, 2015). Posteriormente, a região ativa do dispositivo é definida com a remoção da camada de Al e do substrato de Si com a incidência do feixe de Ga^+ (FIB_M) como mostra a Figura 1.8. Dessa forma, a máscara de Al serve para reduzir a incorporação de íons de Ga^+ no substrato provenientes do feixe. Como o

Ga é dopante do tipo-*p* para o Si, a incorporação desse elemento no Si deve ser evitada. Para finalizar, é feita uma corrosão úmida para remover a fina camada de Al e, assim, ter a estrutura de Si. A desvantagem dessa técnica é a interação do feixe com a amostra, mesmo com a fina camada de Al, não somente corroendo os átomos da superfície, mas também a implantação dos íons provenientes do feixe. Além disso, é uma técnica relativamente demorada quando se compara com a FIB_L, pois depende das dimensões das estruturas que serão processadas (LEONHARDT, 2016).

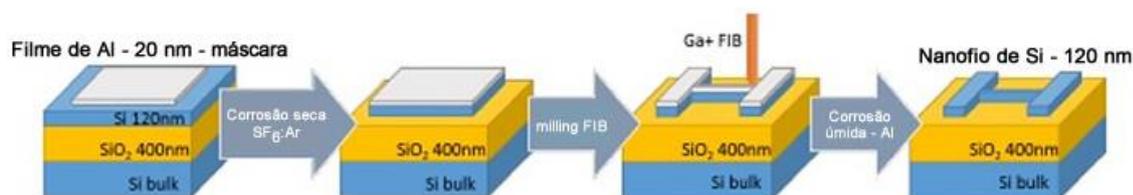


Figura 1.8 – Desenho esquemático adaptado das etapas de processo da técnica de FIB_M (LEONHARDT, 2016). Nota: Essa técnica pode ser empregada tanto sobre lâminas SOI quanto em lâmina de Si convencional.

Por outro lado, a litografia por íons focalizados de Ga (FIB_L) é baseada na implantação local de Ga⁺ pelo FIB com baixas doses, quando comparado a técnica de FIB_M (QIAN *et al.*, 2008). Nesse caso, a irradiação do feixe de Ga⁺ sobre o substrato acarreta na formação de uma camada não volátil da região afetada, normalmente de alguns nanômetros, que atua como *hard mask* durante os processos de corrosões úmida ou seca (LEONHARDT, 2016; ROMMEL *et al.*, 2013; CHEKUROV, 2009). Isso ocorre, pois, a região afetada passa a ter uma taxa de corrosão mais baixa do que o restante da amostra. Dessa forma, permitindo a transferência de traçado da região mascarada (camada não volátil) para o substrato como ilustra a Figura 1.9. Ainda há incertezas para os motivos desse mascaramento, mas acredita-se que possa ocorrer por: (i) amorfização da região afetada, (ii) formação de uma camada de GaO_x, em atmosfera de O₂ (oxigênio), (iii) formação de uma camada de GaF_x, em atmosfera de SF₆ (hexafluoreto de enxofre) e (iv) tensão na rede cristalina do Si gerada pelo Ga, similar ao que ocorre com as camadas altamente dopadas de B⁺ (boro) e P⁺ (fósforo), retardando a corrosão dessa região (QIAN *et al.*, 2008).

Muitos trabalhos relatam o uso dessa técnica para a micro e nanofabricação de dispositivos, na formação de nanoestruturas empregadas nas áreas de fotônica e sensores; na preparação de amostras para a microscopia eletrônica de transmissão (ROGOV *et al.*, 2015, ROMMEL *et al.*, 2013; CHEKUROV, 2009). Entretanto, Leonhardt *et al.* (2016) relatou a fabricação de protótipos de transistores *FinFETs* de forma inédita. Para isso, utilizou-se uma lâmina SOI (*Silicon On Insulator*) e o feixe de íons Ga⁺ com determinada dose para formar o mascaramento

da região que, posteriormente, na corrosão por plasma RIE (gases SF₆:Ar), acarretou na formação da região ativa de canal 3D (*fin*) do dispositivo como é apresentado na Figura 1.9. Nesse caso, é possível definir simultaneamente múltiplas nanoestruturas diferente da técnica de FIB_M. Além disso, quando se compara os tempos de etapas da FIB_L (~ segundos) e da FIB_M (~ dezenas de minutos), verifica-se que o tempo para a FIB_L é drasticamente menor, resultando em menos íons implantados na superfície da amostra (LEONHARDT, 2016).

Nessa tese de doutorado é proposto uma evolução da técnica FIB_L apresentada na dissertação da Leonhardt (2016) e ilustrada na Figura 1.9. Nesse caso, para a definição dos SiNWs, o substrato de Si (tanto SOI quanto Si convencional) é protegido por uma fina camada de filme de Si-a:H (~ 50 nm de espessura), que atua como uma camada protetora durante a litografia por íons, para a redução do bombardeamento e da incorporação do Ga no substrato. Conforme o ajuste do feixe de Ga (energia e corrente), nanoestruturas com baixa rugosidade lateral (*line edge roughness* – LER) podem ser definidas na superfície do substrato (SANTOS, 2013). Essa característica é um fator crucial na aplicação de SiNWs em dispositivos 3D (JOVANOVIĆ, 2008). Assim, a irradiação de baixa dose dos íons de Ga⁺ ocorrerá sobre a fina camada de Si-a:H, que servirá como *hard mask* durante o processo de corrosão por plasma RIE, permitindo a transferência de traçado para o substrato de Si, formando os SiNWs. Vale salientar que, a técnica FIB_L, com o Si-a:H de camada protetora, foi usada também para a fabricação de nanofios sobre substratos de semicondutores III-V.

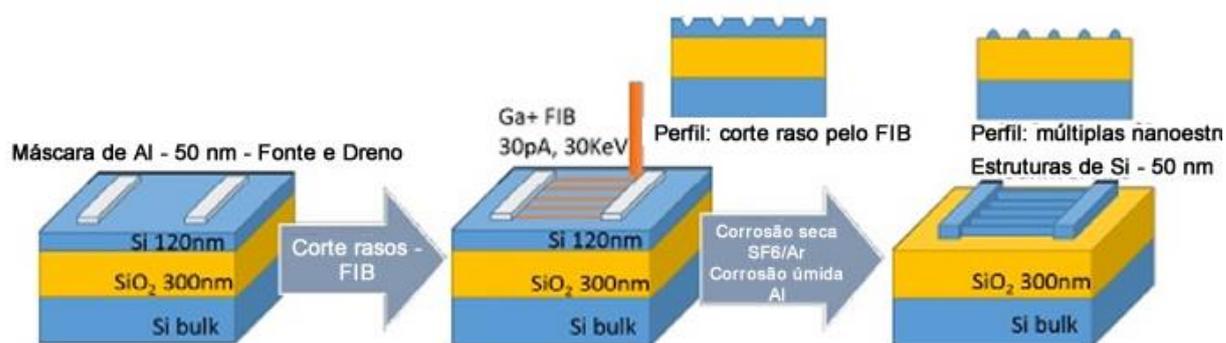


Figura 1.9 – Desenho esquemático adaptado da sequência de processo da FIB_L (LEONHARDT, 2016). Nota: Essa técnica pode ser empregada tanto sobre lâminas SOI quanto em lâmina de Si convencional.

Nesse trabalho de tese também se utilizou a técnica de FIB_M. Conforme a Figura 1.4, no nosso processo SL, que será apresentado na seção 1.4, a mesa é transferida por litografia óptica mais corrosão úmida, obtendo-se estruturas com dimensões micrométricas. Dessa maneira, as distâncias entre os espaçadores, resultantes da remoção da mesa, são também micrométricas. Os espaçadores podem ter larguras nanométricas, mas as distâncias entre eles são

micrométricas. Isso dificulta a obtenção de *pitchs* nanométricos (ver seção 1.2) como exigido pela indústria de semicondutores (ITRS, 2013). O FIB_M pode definir a mesa de Al, com dimensões nanométricas, como usado na fabricação de *FinFETs* (LIMA, 2015). Nesse caso, tendo, tanto a mesa, quanto os espaçadores, com dimensões nanométricos, pretende-se obter *pitchs* nanométricos com a nossa litografia SL.

Todas as etapas de processo realizadas utilizando as técnicas de FIB_M e FIB_L serão descritas em detalhes nas seções 3.3.1.1.7 e 3.4, respectivamente.

1.4 MOTIVAÇÃO E CONTRIBUIÇÃO

Como discutido na seção anterior, a litografia SL ou SADP é uma técnica promissora para obter nanoestruturas, sendo uma alternativa mais barata ao processo de litografia óptica EUV e mais eficiente do que a litografia EBL (ver Figura 1.5) (RALEY *et al.*, 2016; NEISER E WURM, 2015; ITRS, 2013; ITRS, 2011; CHOI *et al.*, 2002). Por isso, nesse trabalho, os SiNWs serão obtidos por essa técnica.

A técnica de litografia SL desenvolvida nesse trabalho, baseou-se na utilização de filmes de alumínio (Al), para camada sacrificial (mesa ou mandril), e de silício amorfo hidrogenado (Si-a:H), para espaçador, depositados em temperatura ambiente por pulverização catódica (DC *magnetron sputtering*) e por ECR-CVD (*Electron Cyclotron Resonance – Chemical Vapor Deposition*), respectivamente. Esses materiais não são usados pela técnica SL e nem os filmes de espaçadores (SiO₂, SiN_x ou Si-poli) são depositados por PECVD (*Plasma Enhanced – CVD*) em temperatura ambiente, normalmente são em 300 °C. Portanto, trata-se de uma novidade desta tese. A escolha desses materiais para serem empregados na técnica foi baseada em suas características descritas a seguir:

- (i) O filme de Al, que é depositado por pulverização catódica DC em temperatura ambiente, aplicado como mesa (camada sacrificial) (Figura 1.4) é um *hard-mask* no processo de corrosão de íons reativos (RIE). Assim, consegue-se remover o filme espaçador sobre a mesa, sem removê-la. Além disso, apresenta uma elevada taxa de corrosão química, maior que 1 µm/min, quando é usada a solução de ácido ortofosfórico (H₃PO₄) e ácido nítrico (HNO₃). Essa elevada taxa é característica importante para filmes usados como camadas sacrificiais (JOVANOVIĆ, 2008). Vale salientar que a solução ácida não corrói o SiO₂ e nem o Si, que pode ser do substrato ou do espaçador de Si-a:H;

(ii) O filme de Si-a:H, por sua vez, apresenta uma baixa taxa de corrosão por RIE de 40 nm/min, o que permite a permanência do espaçador na lateral da mesa, e não reage, ou seja, nem oxida e nem nitreta a superfície de Al (mesa). Isso ocorre, pois, o processo de deposição do filme de Si-a:H é executado em temperatura ambiente. Assim, outros tipos de camada sacrificial podem ser usados, tais como fotorresiste, que não suporta temperaturas maiores que 150 °C, e SiN_x. Se for usado fotorresiste (polímero), não ocorrerá nem remoção, nem endurecimento do mesmo, uma vez que, não se tem oxigênio ou nitrogênio na mistura gasosa usada na deposição de Si-a:H. Nessa tese também serão apresentados os resultados usando mesas de fotorresiste e de filme de SiN_x. A baixa taxa de corrosão por plasma permite melhor controle na finalização do processo (*etching stop*), sendo requisito crucial para ser empregado como camada de espaçador (JOVANOVIĆ, 2008). Além disso, no sistema ECR-CVD, o bombardeamento iônico no substrato é controlado por acoplamento capacitivo no porta-amostra obtido por um gerador de RF (*radio-frequency* de 13,56 MHz). Isto pode resultar em baixa rugosidade (menor que 100 nm *rms* – *root mean square*) na superfície do substrato (NAKAYAMA, 1990).

Os detalhes sobre o sistema ECR-CVD e os filmes de Si-a:H serão apresentados no capítulo 2.

O Centro de Componentes Semicondutores e Nanotecnologias (CCSNano) da UNICAMP, onde foi executada a parte experimental dessa tese, tem um sistema de fotolitografia, *Karl Suss* MJB3, com fontes de luz UV com valores de λ de 400 nm, com resoluções de 1 μ m. Como primeira contribuição, o que se pretende nessa tese é utilizar a fotolitografia, para definir as estruturas da mesa (mandril) com dimensões micrométricas, associada com a técnica SL, para obtenção de SiNWs menores que 150 nm de largura. Além desse sistema, o CCSNano possui um sistema FIB em que o feixe focalizado de íons de Ga⁺ consegue gravar estruturas com resolução de até 35 nm (SANTOS, 2013) e permite a fabricação de transistores 3D usando as técnicas FIB_M e FIB_L, anteriormente apresentadas na seção 1.3 (LEONHARDT, 2016; LIMA, 2015; SANTOS, 2013). Essas técnicas com o sistema FIB também serão usadas na obtenção das nanoestruturas em substrato de Si (com larguras menores que 400 nm) e semicondutor III-V (com larguras menores que 120 nm) dessa tese, sendo mais três contribuições desse trabalho.

1.5 ORGANIZAÇÃO DA TESE

Essa tese foi dividida em cinco capítulos:

- ✓ Capítulo 1: a introdução desse trabalho composta pelo objetivo, pela litografia, apresentada resumidamente com sua história, definição e aplicação, pela litografia por feixe de íons focalizados de gálio e, para finalizar, pela motivação e contribuição;
- ✓ Capítulo 2: as propriedades e características do silício amorfo, das técnicas de obtenção e do sistema ECR-CVD, são apresentados de forma sucinta;
- ✓ Capítulo 3, são descritos em detalhes os procedimentos experimentais realizados para a formação dos SiNWs e III-VNWs- n^+ , em diferentes técnicas: (i) PL e SL, (ii) PL, FIB_M e SL e (iii) PL e FIB_L;
- ✓ Capítulo 4: os resultados das caracterizações estruturais dos SiNWs, através das imagens ópticas e as micrografias de MEV e AFM. Além das caracterizações elétricas realizadas sobre os capacitores MOS 3D, os transistores JNTs e os pseudo-MOS.
- ✓ Capítulo 5: o resumo dos principais resultados e suas conclusões, junto com as perspectivas de trabalhos futuros.

2 O SÍLÍCIO AMORFO, TÉCNICAS DE OBTENÇÃO E SISTEMA ECR-CVD

Ao longo desse capítulo, serão descritos a definição, o histórico e as aplicações do filme de silício amorfo hidrogenado (Si-a:H), que, nessa tese, é utilizado como espaçador na técnica de SL e, também, como camada protetora nas técnicas de FIB_M e FIB_L. Além disso, os detalhes da técnica de obtenção de filmes CVD e o sistema ECR-CVD serão descritos.

2.1 FILME DE SÍLÍCIO AMORFO HIDROGENADO: DEFINIÇÃO, HISTÓRICO E APLICAÇÕES

O silício amorfo (Si-a) se diferencia do silício monocristalino (Si-c) e policristalino (Si-poli) devido à falta de periodicidade no posicionamento de seus átomos ao longo de sua estrutura. Diante disso, as ligações de Si-Si possuem os ângulos e as distâncias distorcidos, o que resulta na formação de uma estrutura amorfa. Conforme mostra a Figura 2.1, a estrutura amorfa apresenta alguns defeitos, tais como vacâncias e ligações insaturadas (*dangling bonds*) (WANK, 2011).

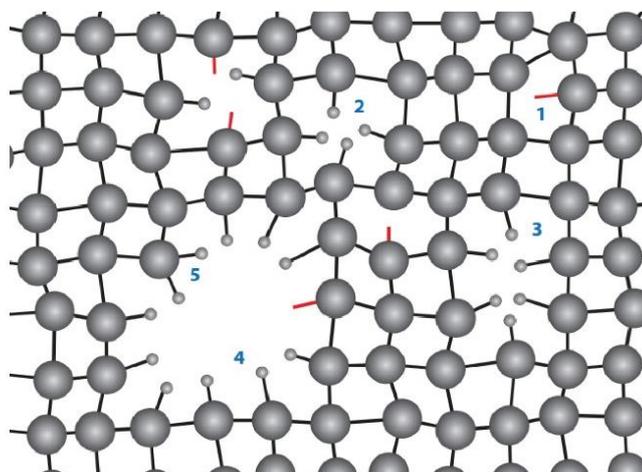


Figura 2.1 – Desenho esquemático da estrutura atômica do Si-a com seus defeitos, tais como as ligações insaturadas (em linhas em vermelho) e as variações de vacâncias (2), (3), (4) e (5) (WANK, 2011).

Essas ligações insaturadas podem ser passivadas (completadas) pela incorporação de átomos de hidrogênio (H) durante a deposição do filme. Nesse caso, há a formação de um filme de silício amorfo hidrogenado (Si-a:H). Durante o processo de deposição, os átomos de H podem ser adicionados ou liberados da estrutura, podendo chegar a concentração de 4 a 40

%. Assim, em baixa concentração de incorporação de átomos de H (< 10 %), ocorre a passivação das ligações incompletas (WINTERLING E MÜLLER, 1986). Já a alta concentração de incorporação de átomos de H (> 10%) leva a formação de filmes porosos com muitos defeitos e de baixa densidade (CHO *et al.*, 2013).

O filme de Si-a:H pode ser depositado por várias técnicas, tais como: CVD, pulverização catódica reativa (*sputtering reativo*), CVD assistido por plasma (*Plasma Enhanced CVD - PECVD*) e ECR-CVD. Historicamente, o filme de Si-a:H foi desenvolvido pela primeira vez em 1960 por R. C. Chittick, J. H. Alexander e H. F. Sterling (STREET, 1991; CHITTICK *et al.*, 1969). Nesse caso, foi utilizado a técnica de plasma assistido (*glow discharge*) por rádio frequência (RF) e gás de silana (SiH₄) como fonte de Si. Antes disso, o filme de Si-a era depositado sem H por evaporação térmica ou por redução química. A técnica de deposição por plasma assistido, reduziu a resistividade do Si de 10¹⁴ Ω.cm em 21 °C para 10¹⁰ Ω.cm (CHITTICK *et al.*, 1969). A dopagem do filme de Si-a:H por Spear e Lecomber (1975) demorou cerca de 10 anos. Eles doparam o filme tornando-o do tipo *n* ou *p* ao adicionar os gases fosfina (PH₃) ou diborano (B₂H₆) na mistura com o gás de SiH₄, respectivamente, utilizando a técnica de plasma assistido. Nesse caso, os filmes de Si-a:H dopados começaram a ter grandes destaques em pesquisas, levando ao seu uso em aplicações em muitos dispositivos, tais como os transistores de filmes finos (LIN *et al.*, 2014), os memistores (KUO E MONINANDA, 2006), as telas e displays de LCD (KATOH *et al.*, 1983), os sensores luminosos (ALPUIM *et al.*, 1999) e as células fotovoltaicas (CARLSON, 1976). Tudo isso foi possível, pois as técnicas de PECVD ou RF-PECVD permitiram a deposição desse filme em grandes áreas (ZIMMERMAN, 2013). Além disso, a baixa temperatura na deposição (< 250 °C) possibilitou o uso de substratos mais baratos e maleáveis como polímeros, vidros e folhas metálicas (ALPUIM *et al.*, 1999; BAE *et al.*, 1998).

Nessa tese, o filme de Si-a:H será depositado por ECR-CVD em temperatura ambiente. Nesse caso, é utilizado como espaçador na técnica SL para a formação dos SiNWs e como máscara durante os processos de FIB_M e FIB_L para proteger o substrato de Si ou de semicondutor III-V. Vale salientar que, nos dois tipos de aplicação (espaçador e máscara) utilizando o Si-a:H depositado por ECR-CVD são inovações dessa tese, pois não foram encontrados trabalhos similares na literatura.

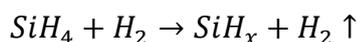
2.1.1 Técnica de deposição: ECR-CVD

2.1.1.1 Deposição química a partir da fase vapor (CVD - *Chemical Vapour Deposition*)

O processo de deposição química a partir da fase vapor (CVD - *Chemical Vapour Deposition*) consiste em reações químicas que transformam as moléculas dos gases (precursores) em material sólido na forma de filme sobre o substrato (SWART, 2008). Isso tudo acontece dentro de uma câmara (reator) normalmente em vácuo através da dissociação das moléculas dos gases precursores de duas formas, tais como (i) a dissociação térmica (*hot wire CVD* – HWCVD) ou a dissociação por ionização (plasma) com altas energias induzidas eletronicamente (PECVD, RPECVD, ECR-CVD) (ZIMMERMAN, 2013). Dessa forma, os filmes depositados por essa técnica possuem alta qualidade e alto desempenho (WANG *et al.*, 2017; CHO *et al.*, 2013).

Esse método é largamente utilizado na deposição de filmes finos na fabricação de CIs. Nesse caso, essa técnica permite a deposição de filmes finos isolantes (dielétricos), condutores e semicondutores (SWART, 2008). Normalmente, para a deposição de filme de Si-a:H, utiliza-se como precursores os gases de SiH₄ e H₂. Durante o processo dentro do reator, as reações químicas entre esses gases são apresentadas pela Equação 2.1 (FAHRENBRUCH e BUBE, 1983). Dessa forma, a concentração de átomos de H incorporados no filme e a taxa de deposição variam conforme alguns parâmetros de deposição, tais como:

- (i) A pressão do reator;
- (ii) A concentração e o fluxo dos gases precursores;
- (iii) A temperatura e a taxa de reação no substrato;
- (iv) A potência utilizada na ionização dos gases.



Equação 2.1

Dessa forma, a Figura 2.2 ilustra a cinética do processo CVD que ocorre durante a deposição do filme fino (WOLF e TAUBER, 1986). Assim, esse processo inicia-se com a introdução na câmara dos gases reagentes e diluentes (transporte) numa dada composição e fluxo. Logo, as espécies reativas são levadas a superfície do substrato utilizando um sistema de bombeamento. Nesse caso, essas espécies são adsorvidas pela superfície e começam a ocorrer as migrações das mesmas. Na sequência, as reações químicas iniciam e há a perda de energia das espécies

devido às forças atrativas, tais como: (i) a de Van der Waals, (ii) as ligações metálicas e (iii) as ligações covalentes. Com essa redução na energia, o processo de nucleação começa num equilíbrio entre a energia de superfície e de volume dos núcleos iniciando a formação das ilhas. Logo, essas ilhas coalescem, formando um filme contínuo por todo o substrato. Além disso, durante o processo de formação do filme, ocorre a dessorção dos subprodutos da reação e, na sequência, o transporte desses subprodutos para o fluxo principal. Para finalizar, esses subprodutos são removidos junto com os gases não consumidos no processo por um sistema de vácuo da câmara.

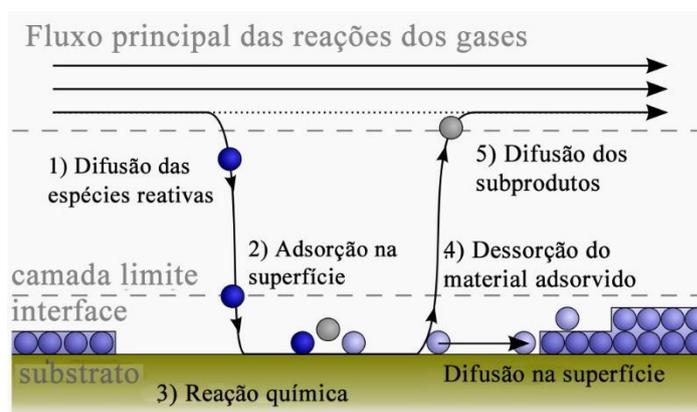


Figura 2.2 – Desenho esquemático adaptado da cinética do processo de deposição de filme fino pela técnica CVD (WIKIMEDIA, 2010).

Essa técnica pode ser classificada em três categorias, tais como:

- (i) Pressões de processo: atmosférica (*Atmospheric Pressure CVD - APCVD*), baixa pressão (50 mTorr - 500 mTorr) (*Low Pressure CVD - LPCVD*) e ultra baixa pressão (< 1 mTorr) (*Ultra High Vacuum CVD - UHVCVD*) (AZO, 2002);
- (ii) Técnicas de excitação (Térmica, Luz ou Enriquecida por plasma PECVD, ECR-CVD e ICP-CVD) (AZO, 2002);
- (iii) Tipo de gás precursor e procedimento de alimentação (*Aerosol-assisted CVD - AACVD*, *Metalorganic CVD - MOCVD*) (SWART, 2008).

Como nesse trabalho os filmes de Si-a:H, de nitreto de Si (SiN_x) e de óxido de Si (SiO_2) serão depositados pelo sistema ECR-CVD, esses processos serão descritos em detalhes no capítulo 3.

2.1.1.2 Sistema ECR-CVD

No sistema de ECR-CVD usado neste trabalho (Figura 2.3), o plasma de alta densidade é gerado por um campo elétrico com frequência de micro-ondas (2,45 GHz), geradas por uma válvula magnetron, ionizando a mistura gasosa injetada dentro da câmara, através de um guia de onda. A câmara também contém bobinas magnéticas, que fornecem um campo magnético estático (≈ 875 Gauss) aplicado ao plasma (DINIZ *et al.*, 2003; NAKAYAMA, 1990). Em volta de linhas de campo magnético, os elétrons livres giram em trajetórias helicoidais e com frequência dependente da intensidade do campo. Assim, a ressonância ocorre quando as frequências de giro (ciclotrônica) dos elétrons, provenientes do campo magnético das bobinas, e do micro-ondas, provenientes do campo elétrico da válvula magnetron, se igualam, fornecendo máxima energia para os elétrons livres (DOBKIN, 2013). Estes, ao serem liberados na câmara onde os filmes serão depositados, fornecem máxima energia às moléculas dos gases da mistura através de colisões. Essas colisões geram os efeitos de ionização (formando íons positivos), dissociação (em que moléculas podem se separar em fragmentos menores, com ou sem ionização) e excitação (em que molécula ou átomo não se separa, mas absorve energia, resultando em um estado eletrônico excitado) (DOBKIN, 2013). Assim, o movimento ordenado dos elétrons acelerados pela ressonância ciclotrônica aumenta as colisões entre os elétrons e as moléculas e/ou átomos dos gases, estabelecendo-se um plasma mais denso (densidades entre 10^{11} e 10^{12} cm^{-3}) do que plasmas formados em reatores convencionais do tipo planar (placas paralelas) e barril (DINIZ *et al.*, 2003). Conseqüentemente, o plasma ECR pode ser estabelecido em baixas pressões entre 0,1 mTorr e 50 mTorr e as deposições serem executadas em temperatura ambiente (em torno de 20°C). A interação da micro-onda com o plasma torna-se relativamente fraca fora da zona de campo magnético. Os elétrons gerados na região de plasma denso difundem-se ao longo das linhas de campo magnético em direção à câmara de processo (parte inferior onde se localiza o substrato) para a formação dos filmes. A difusão de elétrons é mais rápida do que a dos íons, gerando um campo elétrico que promove a extração de íons da região de plasma para a de processo (NAKAYAMA, 1990). O sistema ECR utilizado é um reator com plasma remoto, ou seja, a descarga, que produz o plasma, é estabelecida em uma região distante da região de processo como apresenta a Figura 2.3 (DINIZ *et al.*, 2003). Essa distância entre as regiões reduz o bombardeamento iônico sobre a amostra, ionizando somente parte dos reagentes, na câmara de plasma, que são misturados com outros gases do processo e transportados

para a região do substrato. Além do plasma remoto, o sistema ECR possui acoplado capacitivamente ao eletrodo (que serve como porta-amostra) uma fonte RF (13,56 MHz), que polariza o substrato, controlando a energia do bombardeamento de íons (DINIZ *et al.*, 2003). Dessa forma, o sistema ECR (Figura 2.3) com plasma remoto favorece (i) a eliminação dos íons de alta energia, minimizando a quantidade de defeitos produzidos nas superfícies do substrato, (ii) a produção de alta densidade de espécies reativas, (iii) permite a oxidação/nitretação de superfícies, (iv) a alta taxa de deposição (> 10 nm/min) e (v) a alta taxa de corrosão (> 100 nm/min) (DINIZ *et al.*, 2003, NAKAYAMA, 1990).

O sistema ECR-CVD (ver Figura 2.3), SLR-770 da *Plasm Therm*, foi utilizado para as deposições em temperatura ambiente dos filmes de Si-a:H, SiO_x e SiN_x usados nessa tese, como serão apresentados no capítulo 3.

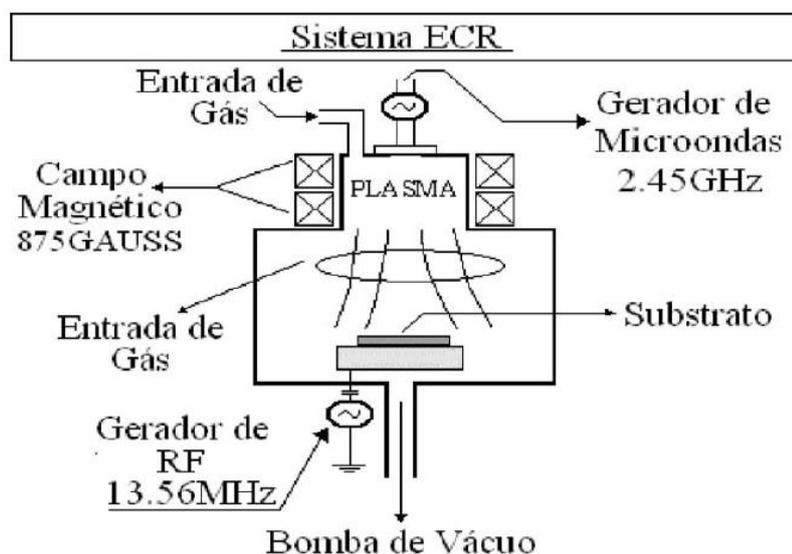


Figura 2.3 – Desenho esquemático em detalhes do sistema ECR-CVD empregado neste trabalho na deposição de filmes de Si-a:H, SiO₂ e SiN_x (DINIZ *et al.*, 2003).

3 PROCEDIMENTO EXPERIMENTAL

Neste capítulo, serão descritos em detalhes os procedimentos experimentais realizados para a deposição dos filmes de Si-a:H depositados no sistema ECR-CVD. Na sequência, os procedimentos experimentais, para a formação dos SiNWs, sobre os substratos de Si e SOI, através das técnicas de PL e de SL. Dessa forma, foram utilizados três diferentes tipos de camada sacrificial (mandril):

- a) Filme de alumínio (Al) (camada metálica) – seção 3.3.1;
- b) Filme de nitreto de Si (SiN_x) (camada isolante) – seção 3.3.2;
- c) Filme de fotorresiste (FR) (camada polimérica) – seção 3.3.3.

Para a definição dos mandris, foram utilizados dois conjuntos de fotomáscaras com estruturas diferentes, tais como:

- a) Linhas paralelas (linhas de 2 μm de largura com espaçamento de 8 μm) - Figura 3.2;
- b) Retangulares, para a definição de região ativa de transistores (dimensão crítica (CD) de 2 μm) - Figura 3.8.

Além disso, as sequências das etapas de processo para a fabricação dos dispositivos baseados em nanofios, tais como os capacitores MOS 3D (estrutura de porta) e os transistores JNTs, serão descritas. Como também, na seção 3.3.1.1.7, as etapas de processo das técnicas de PL, de FIB_M (máscara de filme de Si-a:H para a formação das mesas de Al) e de SL (espaçador de filme de Si-a:H), para a formação de SiNWs, com valores de CD menores que 150 nm, serão descritas. Para finalizar, na seção 3.4, as etapas de processo para a formação de nanofios, sobre os substratos de Si e de semicondutor III-V, pela evolução da técnica FIB_L, com camada protetora de filme de Si-a:H, serão descritas em detalhes.

Para facilitar o entendimento dos experimentos, com as sequências das etapas de processo para a formação dos SiNWs, utilizando diferentes técnicas e materiais, foi feito o gráfico da Figura 3.1. Conforme a necessidade, para uma sequência lógica e compreensão dos fatos, alguns resultados preliminares, tais como análises de microscopia eletrônica (MEV), serão apresentados neste capítulo. Entretanto, os detalhes dos resultados das amostras e suas discussões serão apresentados ao longo capítulo 4.

Todos os equipamentos utilizados nessa tese pertencem ao grupo de pesquisa formado pelas seguintes instituições da UNICAMP:

- Centro de Componentes Semicondutores e Nanotecnologias – CCSNano;

- Instituto de Física “Gleb Wataghin” (IFGW): Laboratório de Pesquisa em Dispositivos – LPD e Laboratório de Multiusuários - LAMULT;
- Faculdade de Engenharia Elétrica e de Computação (Feec) – Departamento de Semicondutores, Instrumentos e Fotônica – DSIF.

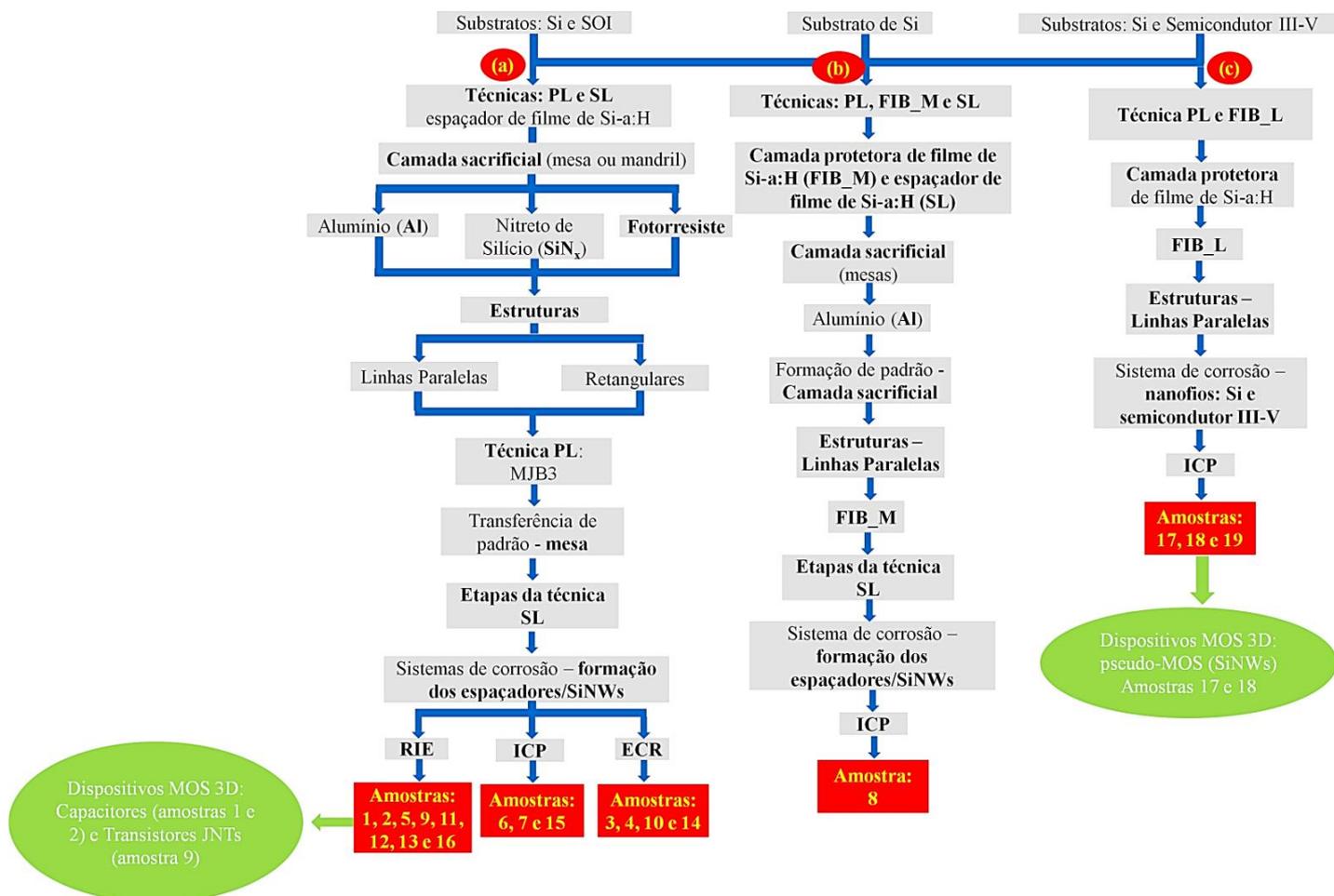


Figura 3.1 – Resumo dos procedimentos experimentais realizados ao longo desse trabalho. A coluna (a) é referente aos processos realizados com as técnicas PL e SL, a coluna (b) com as técnicas PL, FIB_M e SL, e a coluna (c) com as técnicas PL e FIB_L.

3.1 PREPARAÇÃO DOS SUBSTRATOS DE SI E SOI

Para a obtenção dos SiNWs foram utilizados dois tipos de substratos de Si. O primeiro substrato: lâmina de Si de 2” de diâmetro, com orientação cristalina $\langle 100 \rangle$, do tipo-*p*, com resistividade nominal de 1-10 $\Omega \cdot \text{cm}$ e espessura de $350 \pm 25 \mu\text{m}$. O segundo substrato utilizado foi a lâmina SOI de 4” de diâmetro, com orientação cristalina $\langle 100 \rangle$, do tipo-*p*, com resistividade nominal maior que 10 $\Omega \cdot \text{cm}$ e polida em uma das faces. Esse substrato é composto

de três camadas: substrato de Si (*Bulk*) – camada inferior, dióxido de Si enterrado (*buried silicon dioxide* - BOX) – camada do meio com valor nominal de 400 nm de espessura, e camada superior de Si de valor nominal de 340 nm de espessura.

Inicialmente, antes de qualquer etapa de processo, os substratos foram limpos, utilizando a limpeza padrão completa composta pela limpeza *Piranha*, ácido fluorídrico (HF) e a limpeza padrão RCA como é descrita em detalhes no Quadro 3.1 (KERN, 1990). Entre uma solução e outra, as lâminas são submetidas a um enxágue com água deionizada (DI) de resistividade de 18 M Ω .cm por cerca de 3min. Após a limpeza padrão completa, as lâminas de Si foram secas com jato de nitrogênio. Todos os agentes químicos utilizados nesse trabalho possuem grau de pureza CMOS (99,999 %). Após todas as etapas de limpezas, as lâminas estão prontas para seguirem as etapas de processo conforme serão descritos a seguir.

Quadro 3.1 – Descrição em detalhes das etapas sequenciais da limpeza padrão completa (*Piranha* + HF + limpeza padrão RCA).

Reagentes	Proporção	T (°C)	Tempo	Descrição
Ácido sulfúrico (H ₂ SO ₄) e água oxigenada (H ₂ O ₂)	4:1	80	10 min	Esta solução é conhecida como solução “ <i>Piranha</i> ”, pois é responsável pelo consumo dos compostos orgânicos depositados na superfície da lâmina. O resultado da reação é a formação de óxido de silício (SiO _x) sobre a superfície da lâmina, tornando-a mais rugosa.
Ácido fluorídrico (HF) e água deionizada (H ₂ O)	1:10	Ambiente	10 s	O ácido fluorídrico é responsável pela eliminação do óxido de silício formado na etapa anterior.
Hidróxido de amônia (NH ₄ OH), H ₂ O ₂ e H ₂ O	1:1:5	80	10 min	Essa é a etapa I da limpeza RCA responsável por remover os compostos orgânicos e os metais do grupo IB e IIIB (Cu, Ag, Zn, Cd) da tabela periódica.
Ácido clorídrico (HCl), H ₂ O ₂ e H ₂ O	1:1:5	80	10 min	Essa é a etapa II da limpeza RCA responsável pela remoção de resíduos íons alcalinos (sódio e potássio) e hidróxidos de Fe ³⁺ , Al ³⁺ e Mg ³⁺ que possam existir na superfície da lâmina e, simultaneamente, faz um polimento químico na superfície da lâmina de Si.

3.2 CARACTERIZAÇÃO ESTRUTURAL DO FILME DE SILÍCIO AMORFO HIDROGENADO

O filme de Si-a:H, depositado pela técnica de deposição química em fase vapor (*Chemical Vapor Deposition* – CVD) com plasma remoto de ressonância ciclotrônica do elétron (*Electron Cyclotron Resonance* – ECR), é empregado como espaçador, na técnica SL, e como camada protetora (máscara), nos processos de FIB_M e FIB_L. Na técnica SL, os traçados dos

espaçadores são transferidos para o substrato utilizando a corrosão por plasma, conforme foi mencionado anteriormente na seção 1.2 e mostrado na Figura 1.4. Já nas técnicas FIB_M e FIB_L, o filme de Si-a:H protege os substratos da incorporação indesejável de íons focalizados de Ga^+ , que podem danificá-los. Dessa forma, ao longo desse trabalho, os filmes de Si-a:H foram depositados em temperatura ambiente, conforme os parâmetros descritos no Quadro 3.2. Isso possibilita usar diferentes mandris, tais como Al (metal), SiN_x (isolante) e fotorresiste (polímero), como é mostrado na Figura 3.1 (coluna (a)). Os filmes depositados durante 5 minutos, foram aplicados nas técnicas FIB_M e FIB_L, como também, em algumas aplicações com a técnica SL, como serão descritos a seguir.

Quadro 3.2 – Os parâmetros utilizados pelo sistema ECR-CVD para a deposição do filme de Si-a:H.

Fluxo de Si-a:H ₄ (sccm)	Fluxo de Ar (sccm)	Pressão de base (mTorr)	Potência (W)	Tempo de deposição (min.)	Temperatura do substrato
200	20	4	500	15 ou 5	Ambiente

As caracterizações estruturais dos filmes depositados em diferentes dias foram feitas. Dessa maneira, foi feita a análise das ligações químicas, através da técnica de espectroscopia por emissão do infravermelho (*Fourier Transformed Infra-Red* – FTIR), no espectrômetro FTIR-6100. As medidas de espessura e do índice de refração foram feitas no elipsômetro (Auto-EL Technologies da *Rudolph*), que utiliza um comprimento de onda de 633 nm e um ângulo de incidência de 70°, e confirmadas pelo interferômetro (FTM-STD da *Rudolph*). Vale salientar que nenhuma medida de resistividade foi realizada, pois os filmes de Si-a:H não foram empregados como material ativo em componentes eletrônicos e nem foram dopados. Todos os resultados da caracterização física dos filmes serão apresentados na seção 4.1.

3.3 TÉCNICA DE LITOGRAFIA POR ESPAÇADOR - SL

Conforme apresentado na Figura 3.1(a), para a definição dos SiNWs, sobre os substratos de Si e SOI, foi realizada a litografia óptica convencional (PL) e a litografia por espaçador (SL), composta pela deposição de filmes finos de silício amorfo hidrogenado (Si-a:H) (espaçadores) e a corrosão por plasma em diferentes sistemas que são: i) sistema de corrosão por íons reativos (*Reactive Ion Etching* - RIE), ii) sistema de plasma acoplado indutivamente (*Inductively Coupled Plasma* – ICP) e iii) sistema de plasma de ressonância ciclotrônica do elétron (*Electron Cyclotron Resonance* – ECR). Nesse caso, a técnica PL foi realizada utilizando a

fotoalinhadora MJB3 (*Karl Suss* – fonte de luz ultravioleta (UV) – 400 nm) com dois conjuntos de fotomáscaras (estruturas em linhas paralelas e retangulares); e a corrosão por plasma foi realizada no sistema RIE (modelo PE 8300 da *Applied Materials*), no sistema ICP (modelo Plasmalab System 100 da *Oxford Instruments*) ou no sistema ECR (modelo SLR-770 da *Plasma Therm*).

A deposição de filmes finos de Si-a:H, de SiN_x e de SiO_x foram realizadas pelo sistema ECR-CVD. Esse sistema também permite corrosão seca por plasma ECR. Assim, algumas amostras serão corroídas nesse sistema. As deposições dos filmes de alumínio (Al) foram realizadas no sistema de *sputtering magnetron* reativo DC (modelo ICOT9000 da *ULVAC*); a implantação de íons de fósforo (³¹P⁺) foi realizada no implantador de íons (modelo GA 4204 da *EATON*).

Após a formação dos SiNWs, foram realizadas as etapas de processo para a fabricação dos dispositivos MOS baseados em nanofios, tais como os capacitores MOS 3D e os transistores JNTs, como mostra a Figura 3.1(a). Na sequência, com os dispositivos prontos, análises da superfície foram realizadas para verificar a qualidade e a integridade das nanoestruturas 3D, dos capacitores e dos transistores pela microscopia de força atômica (*Atomic Force Microscopy* - AFM), usando dois sistemas diferentes (*Easyscan2* da *Nanosurf* e *NTEGRA Spectra* da *NT-MDT Spectrum Instruments*); pela microscopia eletrônica de varredura (MEV) (*Scanning Electron Microscopy* – SEM) do sistema FIB/SEM (FEI NOVA 200 da *Nanolab*) e pelo microscópio óptico (modelo MX51 da *Olympus*). Após a formação dos dispositivos, foram feitas suas caracterizações elétricas a partir das medidas das curvas de capacitância *versus* tensão (C-V) e de corrente *versus* tensão (I-V), utilizando um capacitômetro (590 CV da *Keithley*) e um analisador de parâmetros (*HP 4145B – semiconductor parameter analyzer*), respectivamente. Todos os resultados encontrados a partir dessas análises serão apresentados e discutidos em detalhes no capítulo 4.

3.3.1 Nanofios de silício (SiNWs) obtidos com camada sacrificial (mesa ou mandril) de alumínio

A seguir serão descritos em detalhes, as etapas e os procedimentos experimentais realizados ao longo desse trabalho, para a obtenção dos SiNWs, utilizando as técnicas PL e SL com a camada sacrificial (mesa) de filme de Al, com estruturas em linhas paralelas ou retangulares, como apresenta resumidamente a Figura 3.1(a). Sobre os SiNWs, foram fabricados os

dispositivos MOS 3D, que também serão descritos nessa seção. Além disso, as etapas de processo para a formação dos SiNWs, utilizando as técnicas PL, FIB_M e SL, como apresenta resumidamente a Figura 3.1(b), serão descritas.

3.3.1.1 Estruturas em linhas paralelas

A Figura 3.2 apresenta a fotomáscara de linhas paralelas (linhas de 2 μm de largura com espaçamento de 8 μm) utilizada para a transferência de traçado na definição das mesas de Al das amostras entre 1 e 8, utilizando a fotoalinhadora MJB3.

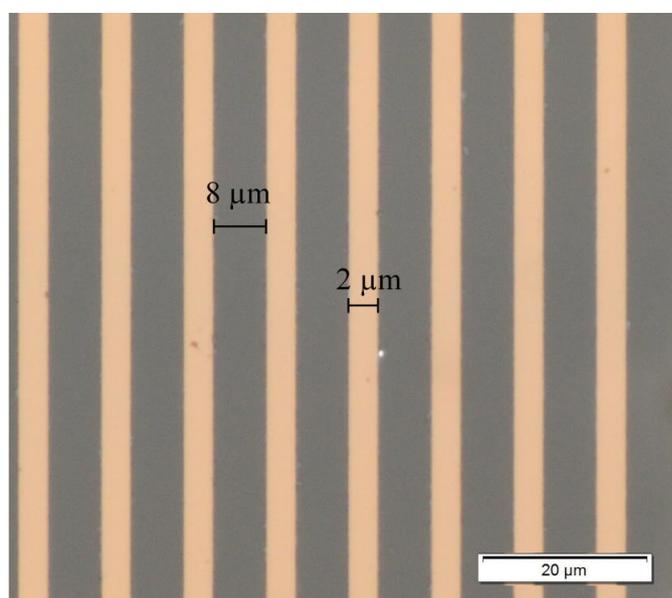


Figura 3.2 – A imagem óptica da fotomáscara de linhas com dimensões de 2 μm de largura e espaçamento de 8 μm utilizada para a transferência de traçado para a definição das mesas de Al. Nota: Na máscara, a parte escura (espaçamento) não permite a passagem da luz UV, enquanto que a clara (linhas) permite.

3.3.1.1.1 Amostra 1

a) Formação dos SiNWs

A Figura 3.3 ilustra todas as etapas de processo, descritas posteriormente em detalhes, para a formação dos SiNWs. Após a limpeza padrão completa, as lâminas de Si-*p* foram submetidas ao processo de oxidação térmica seca em forno convencional, para o crescimento de uma camada de aproximadamente 100 Å de espessura de dióxido de silício (SiO_2) como

ilustra a Figura 3.3(a). Os parâmetros desse processo estão descritos no Quadro 3.3. Essa fina camada de SiO₂ foi crescida para servir como camada de *etch-stop* (camada de menor taxa de corrosão) na corrosão por plasma, em etapas posteriores.

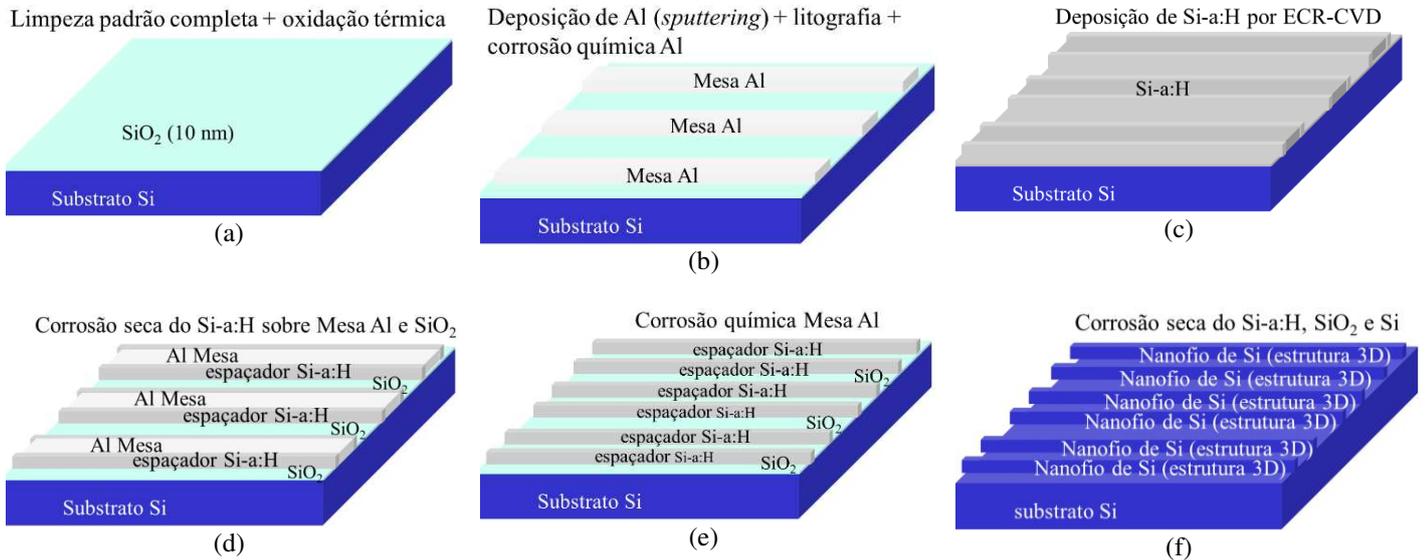


Figura 3.3 – Desenho esquemático da sequência das etapas de processo para a formação dos SiNWs sobre o substrato de Si desde a limpeza padrão completa (a) até a corrosão por plasma (RIE, ICP ou ECR) dos filmes finos de Si-a:H, SiO₂ e a lâmina de Si (f) das amostras entre 1 e 7, e 9.

Quadro 3.3 - Os parâmetros de oxidação térmica seca em forno convencional.

Gás	Fluxo (l/min)	T (°C)	Tempo (min)
N ₂			> 3
O ₂	1	1000	2

Posteriormente, foi realizada a deposição para formação do filme de Al, com aproximadamente 1000 Å de espessura, utilizando o sistema de *sputtering magnetron* reativo DC a partir de um alvo de Al puro. Para isto, foram utilizados os parâmetros listados no Quadro 3.4.

Quadro 3.4 – Os parâmetros utilizados pelo *sputtering* DC para a deposição do filme de Al.

Pressão (mbarr)	Gás	Pressão de base (mbarr)	Potência (W)	Tempo de deposição	Alvo de Al (φ)	Espessura (Å)
1 x 10 ⁻²	100 % Ar	3,6 x 10 ⁻⁶	400	1'10''	10''	~ 1000

Esse filme de Al foi utilizado como camada sacrificial (mesa ou mandril) e, em suas laterais, a formação dos espaçadores de filme de Si-a:H. Para a definição da mesa de Al, foi realizada a litografia óptica, utilizando a fotoalinhadora MJB3 e o fotorresiste AZ1518[®]. Logo, para a transferência de traçado, a fotomáscara de linhas (2 μm x 8 μm) foi utilizada, como mostra a Figura

3.2. Os detalhes das etapas da litografia para definir as mesas de Al estão descritos no Quadro 3.5.

Quadro 3.5 – A descrição das etapas e parâmetros da litografia para definir as mesas de Al.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>)	Centrífuga Rotação: 5000 rpm Tempo: 30 s Repouso: > 1 min
2	Aplicação do fotorresiste AZ1518®	Centrífuga Rotação: 5000 rpm Tempo: 30 s
3	Pré -cura do fotorresiste em placa quente	90 °C em 1 min
4	Exposição à luz UV (189 mW/cm ²) com fotomáscara	21 s
5	Revelação com revelador MIF 300®	18 s
6	Cura do fotorresiste em placa quente	110 °C em 20 min.

Após a transferência de traçado da fotomáscara, foi realizada a corrosão química do Al, com ácido ortofosfórico (H₃PO₄) e ácido nítrico (HNO₃), na proporção de 9,5:0,5 durante 35 s à 80 °C, para a formação das mesas como mostra a Figura 3.3(b). Posteriormente, o fotorresiste (FR) foi removido com uma limpeza orgânica, que consiste na submersão das amostras em acetona fervente à 60 °C por 10 min., e, sequencialmente, em álcool isopropanol aquecido à mesma temperatura, por 10 min. Para finalizar, um enxágue das lâminas com água DI de resistividade de 18 MΩ.cm.

Para a formação dos espaçadores, foi realizada a deposição de filme fino de Si-a:H (Figura 3.3(c)), utilizando o sistema ECR-CVD, seguindo os parâmetros citados no Quadro 3.2. Neste caso, ocorreu a formação de um filme com espessura de aproximadamente 1500 Å de excelente cobertura de degraus (*conformal structures*).

Na sequência, foi realizada a corrosão seca no sistema RIE para a retirada do filme fino de Si-a:H sobre a mesa de Al, em atmosfera de hexafluoreto de enxofre (SF₆), em etapas de 2 min + 1 min + 2 min, totalizando 5 min de processo. Os parâmetros dessa corrosão estão citados no Quadro 3.6.

Quadro 3.6 – Os parâmetros utilizados pelo sistema RIE para a corrosão seca do filme de Si-a:H.

Fluxo de Ar (sccm)	Fluxo de SF ₆ (sccm)	Pressão de base (mTorr)	Potência (W)	Tempo de corrosão (min.)	Taxa de corrosão (Å/min.)
35	12	50	500	2'+1'+2' (1 ^a)/ 5 (2 ^a)	360

Neste caso, somente o filme de Si-a:H na parte superior, sobre as mesas de Al e sobre a camada fina de SiO₂, é corroído, como ilustra a Figura 3.3(d). Isso acontece, pois, a

corrosão por plasma no sistema RIE é direcional, deixando uma camada não corroída de filme de Si-a:H nas paredes laterais da mesa, formando os espaçadores. Para os espaçadores atuarem como máscara na corrosão por plasma, é necessário remover a camada sacrificial de Al, como mostra a Figura 3.3(e). Dessa forma, novamente, as amostras foram submersas em solução ácida de $\text{H}_3\text{PO}_4:\text{HNO}_3$ na proporção de 9,5:0,5 durante 35 s aquecida à 80 °C.

Para finalizar a formação dos nanofios de Si, usando os traçados dos espaçadores, novamente, foi realizada a corrosão por plasma RIE, com os mesmos parâmetros citados no Quadro 3.6. Dessa forma, ocorreu a corrosão dos espaçadores de Si-a:H, da camada fina de SiO_2 e do substrato formando as nanoestruturas 3D como apresenta a Figura 3.3(f). Assim, após a formação das nanoestruturas na superfície da amostra, foi feita a caracterização estrutural utilizando as imagens ópticas e as micrografias de MEV e AFM. Os resultados dessa caracterização serão apresentados na seção 4.2.1.1.1a).

b) Formação dos Capacitores MOS 3D

Os capacitores MOS 3D foram fabricados sobre os SiNWs, que foram descritos na seção 3.3.1.1.1a) (ver Figura 3.3), conforme apresentam as etapas na Figura 3.4. Nesse caso, a Figura 3.4 é uma continuidade da Figura 3.3 para a formação dos dispositivos.

Antes de iniciar as etapas de fabricação dos capacitores, foi realizada a limpeza orgânica da amostra para remover possíveis impurezas. Posteriormente, cresceu-se em forno convencional uma camada fina de SiO_2 , com cerca de 100 Å de espessura (ver Quadro 3.3), como ilustra a Figura 3.4(a), sendo a camada isolante do capacitor MOS (MIYOSHI, 2008).

Para a formação dos eletrodos superiores dos capacitores, um filme de Al foi depositado por *sputtering* DC, de aproximadamente 5000 Å de espessura, com os mesmos parâmetros que estão citados no Quadro 3.4, porém com tempo de deposição de 5:50 min. Em seguida, para a definição dos mesmos, foi realizada a fotogração na fotoalinhadora MJB3, com a fotomáscara apresentada na Figura 3.5 e o fotorresiste AZ1518[®], com as mesmas sequências de processo e de parâmetros descritas no Quadro 3.5. Posteriormente, foi realizada a corrosão química do Al com $\text{H}_3\text{PO}_4:\text{HNO}_3$ como mostra a Figura 3.4(b). Na sequência, foi realizada uma limpeza orgânica para a remoção do fotorresiste.

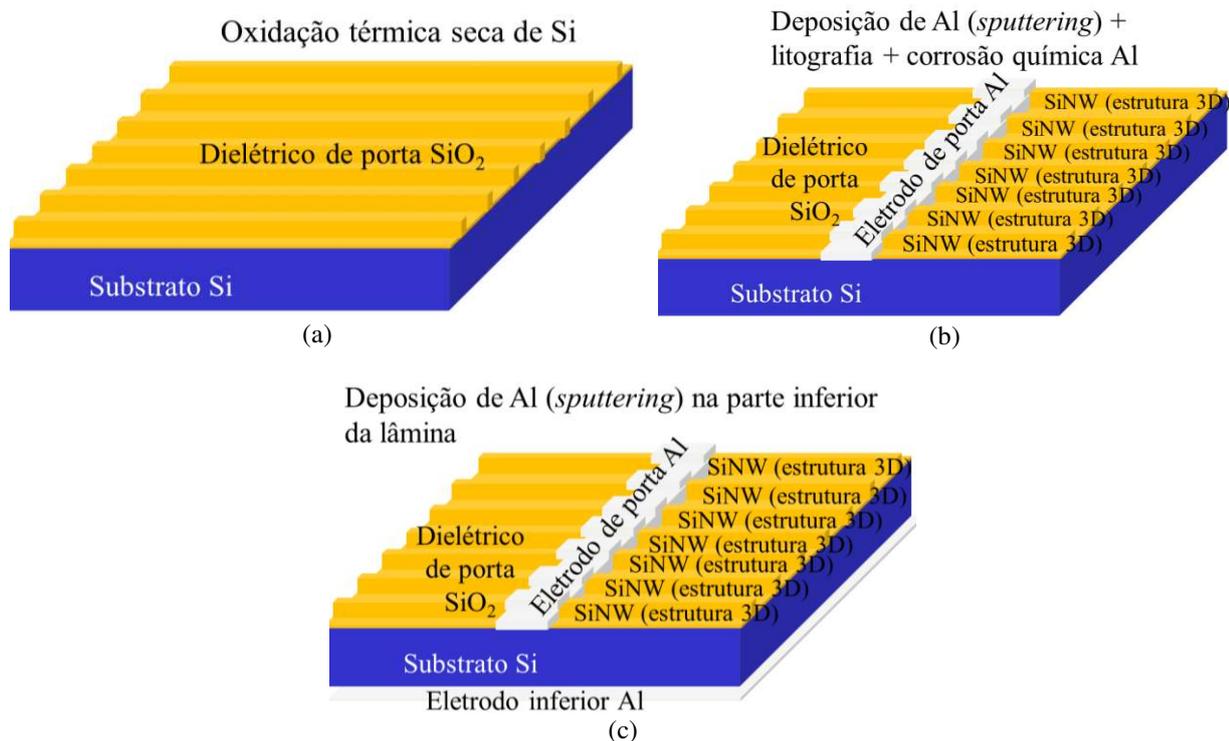


Figura 3.4 – Desenho esquemático das etapas sequenciais de fabricação dos capacitores MOS 3D sobre os SiNWs.

Para finalizar os processos de fabricação, foi realizada a remoção do SiO₂, de aproximadamente 100 Å, na parte inferior da lâmina, utilizando a solução tampão (*buffer*) de HF (BHF). Após essa etapa, o eletrodo inferior dos capacitores (ver Figura 3.4(c)) foi formado pela deposição de um filme de Al depositado por *sputtering* DC com os parâmetros descritos no Quadro 3.4.

Após o dispositivo pronto, foi realizada a sinterização dos contatos metálicos, que consiste no recozimento das estruturas metal/óxido/semicondutor em baixa temperatura, e em ambiente de N₂ e H⁺ (gás verde: 92% N₂ + 8% H₂), em forno convencional, a 450 °C durante 30 minutos (SWART, 2008). Essa etapa foi realizada gradualmente, sendo dividida em processos que duraram 5 min totalizando os 30 min. Antes de cada etapa de sinterização, a amostra passou por limpeza orgânica para evitar a contaminação do forno de recozimento. Após essas etapas de sinterização, foram realizadas as medidas elétricas para averiguar a necessidade de mais processos térmicos. Dessa maneira, após os 30 min de sinterização, foi feita a caracterização elétrica para verificar o funcionamento dos capacitores MOS 3D sobre as nanoestruturas 3D através do analisador de parâmetros *HP 4145B* e o capacitômetro *Keithley 590 CV*. Assim, foi gerada a curva de capacitância *versus* tensão (C-V) em alta frequência (1 MHz). A partir dela, os valores de capacitância máxima (C_{MÁX}), capacitância mínima (C_{MÍN}) e o valor de tensão de banda plana (V_{FB}) (*flat band voltage*) são identificados. Esses valores são utilizados pelo

*software CxV New*² para obtenção dos valores de espessura física do óxido (t_{ox}) e da densidade de carga efetiva (Q_0/q). Dessa maneira, esses resultados encontrados serão apresentados e discutidos na seção 4.2.1.1.1b).

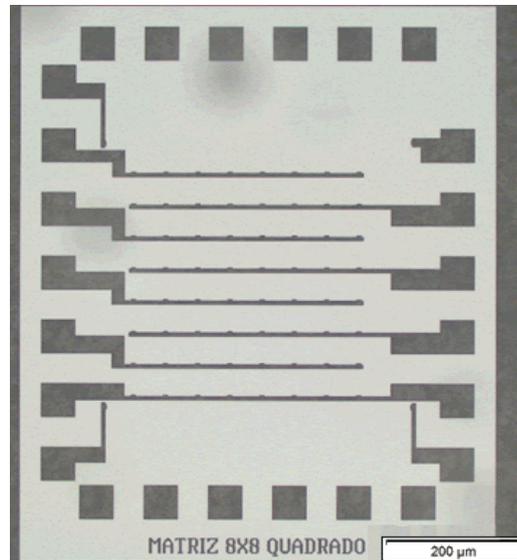


Figura 3.5 – A imagem óptica da fotomáscara utilizada para a formação dos eletrodos na fabricação dos capacitores MOS 3D. Nota: Na máscara, a parte escura (eletrodos) permite a passagem da luz UV, enquanto que a clara não permite.

3.3.1.1.2 Amostra 2

a) Formação dos SiNWs

Com os bons resultados encontrados na amostra 1, a amostra 2, sobre lâmina de Si (descrição na seção 3.1), foi preparada com as mesmas etapas de processo descritas na seção 3.3.1.1.1 (ver Figura 3.3), com exceção da 1ª etapa de corrosão por RIE, para a formação dos espaçadores nas paredes laterais das mesas de Al. Nesse caso, para a amostra 2, essa etapa foi realizada na forma direta durante 5 min, sem interrupção, diferente do processo realizado para a amostra 1 (ver Quadro 3.6). Após todas as etapas de processo terem sido realizadas, foi feita a caracterização estrutural, utilizando as micrografias de MEV, conforme será apresentada na seção 4.2.1.1.2a).

² O *software CxV New* foi desenvolvido por Rosana Santarosa (estagiária no CCSNano) em fevereiro de 2000.

b) Formação dos Capacitores MOS 3D

Com a formação dos SiNWs obtidos sobre a lâmina de Si, foram realizadas as etapas de processo para a fabricação dos capacitores MOS 3D, como mencionado na seção 3.3.1.1.1b) e esquematizado na Figura 3.4. Assim, com todas as etapas realizadas para a formação dos capacitores (Figura 3.4), também foi executada a sinterização dos contatos metálicos, em ambiente de N_2 e H^+ (gás verde: 92% N_2 + 8% H_2), em forno convencional, a 450 °C durante 30 minutos direto (SWART, 2008), como foi mencionado para a amostra 1. Após essa etapa, foi feita a caracterização elétrica dos capacitores MOS 3D sobre as nanoestruturas 3D através do analisador de parâmetros *HP 4145B* e o capacitômetro *Keithley 590 CV*, tal como a amostra 1. Dessa forma, foi gerada a curva de C-V em alta frequência (1 MHz). A partir dela, os valores de $C_{MÁX}$, C_{MIN} e o valor de V_{FB} são identificados. Esses valores geram os valores de espessura física do óxido (t_{ox}) e da densidade de carga efetiva (Q_o/q). Esses resultados encontrados serão apresentados e discutidos na seção 4.2.1.1.2b).

3.3.1.1.3 Amostras 3 e 4

a) Formação dos SiNWs

Na técnica SL, as dimensões esperadas das nanoestruturas são semelhantes as espessuras dos espaçadores (filme de Si-a:H) (CHOI *et al.*, 2003). Entretanto, serão apresentados na seção 4.2.1, os nanofios com dimensões menores, com cerca de dezenas de nm, indicando que ocorreu a corrosão lateral (corrosão isotrópica) no sistema RIE (BETANZO, 2003). Logo, o processo ECR apresenta as seguintes vantagens em relação ao RIE: (i) plasma de maior densidade, devido à fonte ECR, que gera o plasma, (ii) menor bombardeamento da superfície e maior orientação do íon sobre a superfície, devido ao gerador de RF acoplado capacitivamente sob o porta-amostra (BETANZO, 2003). Assim, nessa amostra 3, o sistema ECR foi utilizado para tentar reduzir a corrosão lateral, observada nas duas primeiras amostras, para a formação dos espaçadores de Si-a:H e dos SiNWs sobre o substrato de Si. O Quadro 3.7 apresenta os parâmetros utilizados na corrosão por ECR aplicado na amostra 3. Essa amostra foi preparada seguindo as mesmas etapas das amostras 1 e 2, com exceção do sistema de corrosão seca, con-

forme a Figura 3.3 e a seção 3.3.1.1.1. Após todas as etapas de processo, a caracterização estrutural da superfície da amostra foi realizada, utilizando as imagens ópticas e as micrografias de MEV, como serão apresentados e discutidos na seção 4.2.1.1.3.

Com a formação de estruturas tortas na superfície da amostra 3, como serão apresentados na seção 4.2.1.1.3, e, conseqüentemente, SiNWs tortos, a amostra 4 foi preparada, seguindo as mesmas etapas da amostra 3, para verificar a etapa de litografia óptica. Após todas as etapas de processo, a caracterização estrutural da superfície da amostra foi realizada, utilizando as micrografias de MEV, como serão apresentados e discutidos na seção 4.2.1.1.4.

Quadro 3.7 – Os parâmetros utilizados pelo sistema ECR para a corrosão do filme de Si-a:H, na formação dos espaçadores, da camada fina de SiO₂ e da lâmina de Si, para a formação dos SiNWs.

Fluxo de O ₂ (sccm)	Fluxo de Ar (sccm)	Potência RF (W)	Potência (W)	Tempo de processo (min.)	Pressão de base (mTorr)	Taxa de corrosão (nm/min)
5	10	5	500	2,5 (1 ^a)/ 5 (2 ^a)	4	~ 36

3.3.1.1.4 Amostra 5

a) Formação dos SiNWs

Para verificar a repetitividade do processo da amostra 1, a amostra 5 foi preparada, seguindo as etapas da amostra 1 e 2, que foram esquematizadas na Figura 3.3. A diferença é que, na 2^a etapa do processo de corrosão por RIE, o tempo foi de 10 min. Após as etapas serem finalizadas, foi realizada a caracterização estrutural da superfície da amostra pelas micrografias de MEV, que será apresentada e discutida na seção 4.2.1.1.5.

3.3.1.1.5 Amostra 6

A amostra 6 foi preparada com o mandril de Al menos espesso, de 500 Å, conforme os parâmetros descritos no Quadro 3.8. O filme de Si-a:H, aplicado como espaçador, também foi depositado com menos tempo de processo, de 5 min, resultando em filmes de 60 nm de espessura (ver Quadro 3.2). Outra mudança realizada em relação às amostras anteriores (1 a 5), foi a utilização nas etapas de corrosão por plasma, o sistema ICP. Esse processo foi realizado

conforme os parâmetros citados no Quadro 3.9. Esse processo apresenta as principais características do processo ECR: (i) plasma de maior densidade, devido à fonte ICP, que gera o plasma, (ii) menor bombardeamento da superfície e maior orientação do íon sobre a superfície, devido ao gerador de RF acoplado capacitivamente sob o porta-amostra. Além disso, foi utilizado o gás de C_4F_8 (octa-fluoro-ciclobutano), que forma um polímero de passivação a base de carbono, impedindo a corrosão lateral (PARK *et al.*, 2010; HENRY *et al.*, 2009). Apesar dessas alterações, a amostra 6 seguiu a sequência das etapas de processo do esquema da Figura 3.3. Com a amostra pronta, foi feita a caracterização estrutural que será apresentada e discutida na seção 4.2.1.1.6.

Quadro 3.8 – Os parâmetros utilizados pelo *sputtering* DC para a deposição do filme de Al de ~ 50 nm.

Pressão (mbarr)	Gás	Pressão de base (mbarr)	Potência (W)	Tempo de deposição	Alvo de Al (ϕ)	Espessura (Å)
1×10^{-2}	100 % Ar	$3,6 \times 10^{-6}$	400	40''	10''	~ 500

Quadro 3.9 - Os parâmetros utilizados na corrosão por plasma no sistema ICP.

Fluxo de SF_6 (sccm)	Fluxo de C_4F_8 (sccm)	Potência ICP (W)	Potência RF (W)	Pressão (mTorr)	Tempo de processo
12	26	1200	12	15	1 ^a : 1' / 2 ^a : 3'

3.3.1.1.6 Amostra 7

A amostra 7 foi preparada com as mesmas alterações citadas na seção 3.3.1.1.5 para amostra 6, com exceção do substrato. Nesse caso, a amostra 7 foi feita sobre o substrato SOI (ver a seção 3.1). Apesar disso, a sequência das etapas de processo foi seguida conforme o esquema da Figura 3.3. O processo de corrosão por ICP foi realizado, seguindo os parâmetros citados no Quadro 3.9. A 1^a etapa foi feita em 1 min e a 2^a foi durante 5 min. Após todas as etapas terem sido realizadas, a superfície foi analisada para verificar a formação das nanoestruturas através das micrografias de MEV, que serão apresentadas na seção 4.2.1.1.7.

3.3.1.1.7 Amostra 8

No nosso processo SL, que foi apresentado na Figura 3.3, a mesa é transferida por litografia óptica (fotomáscaras com estruturas em linhas paralelas e estruturas retangulares) mais corrosão úmida, obtendo-se estruturas com dimensões micrométricas. Dessa maneira, as distâncias entre os espaçadores, resultantes da remoção da mesa, são também micrométricas. Os espaçadores podem ter larguras nanométricas, mas as distâncias entre eles são micrométricas. Isso dificulta a obtenção de *pitchs*³ nanométricos (ver seção 1.2) como exigido pela indústria de semicondutores (ITRS, 2013). O FIB_M pode definir a mesa de Al, com dimensões nanométricas, como usado na fabricação de FinFETs (LIMA, 2015). Nesse caso, tendo, tanto a mesa, quanto os espaçadores, com dimensões nanométricas, pretende-se obter *pitchs* nanométricos com a nossa litografia SL. Portanto, foi preparada a amostra 8 (ver Figura 3.1(b)) com junção das técnicas: (i) litografia óptica (PL), (ii) *milling* (remoção de material) com feixe de íons focalizados de gálio (Ga⁺) (FIB_M) e (iii) litografia SL com espaçador de filme de Si-a:H. A preparação dessa amostra, feita sobre a lâmina de Si (Quadro 3.1), segue a sequência das etapas de processo esquematizadas na Figura 3.6. A partir desse esquema, observa-se todas as etapas de processo, que serão descritas a seguir, para a formação dos SiNWs.

O sistema empregado para a técnica FIB_M foi o sistema FIB/SEM (FEI NOVA 200 da *Nanolab*), a técnica PL foi realizada na fotoalinhadora MJB3 (*Karl Suss* – fonte de luz ultravioleta (UV) – 400 nm), o filme de Al foram depositados no sistema de *sputtering magnetron* reativo DC (modelo ICOT9000 da *ULVAC*) (ver Quadro 3.8) e os filmes de Si-a:H depositados pelo sistema ECR-CVD (ver Quadro 3.2) com tempo de 5 min de deposição.

A técnica FIB_M foi proposta por Santos (2013) e Lima (2015) para a formação da região ativa de canal (SiNWs) dos dispositivos JNTs e *FinFETs*, respectivamente, como mencionando na seção 1.3. Entretanto, eles observaram desvantagens dessa técnica, tais como: a criação de defeitos e/ou incorporação de íons na superfície do substrato, que podem alterar as propriedades elétricas e ópticas dos dispositivos (LIMA, 2015). Diante disso, nessa tese, propõe-se a adição de uma fina camada protetora de filme de Si-a:H, depositada em temperatura ambiente, sobre a fina camada de Al, que está sobre a lâmina de Si, como apresenta a Figura 3.6(b). Nesse caso, o filme de Al e o substrato de Si ficam protegidos pela fina camada de filme de Si-a:H durante o corte (FIB_M), evitando a incorporação indesejada de íons de Ga⁺. Assim,

³ *Pitch*: a menor dimensão entre duas estruturas repetidas, formadas por uma linha gravada, ocupada por um transistor, e um espaço entre as linhas, ocupado por uma camada de isolação.

de traçado utilizando a fotoalinhadora MJB3, a fotomáscara de linhas ($2\ \mu\text{m} \times 8\ \mu\text{m}$) (ver Figura 3.2) e o fotorresiste AZ5214[®] pelo processo de *lift-off*. Esse procedimento foi descrito em detalhes no Quadro 3.10. Um filme de Al ($\sim 50\ \text{nm}$ de espessura) foi depositado por pulverização catódica, conforme os parâmetros descritos no Quadro 3.8, para a formação das mesas com dimensões micrométricas ($2\ \mu\text{m} \times 8\ \mu\text{m}$ – fotomáscara Figura 3.2), como ilustra a Figura 3.6(a). Nesse caso, as etapas de PL foram finalizadas, dando início as etapas da técnica de FIB_M.

Quadro 3.10 – A descrição das etapas e dos parâmetros da litografia para o processo *lift-off* para definir as mesas de Al com dimensões micrométricas.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>)	Centrífuga rotação: 5000 rpm tempo: 30 s repouso: > 1 min
2	Aplicação do fotorresiste AZ5214 [®]	Centrífuga rotação: 5000 rpm tempo: 30 s
3	Pré -cura do fotorresiste em placa quente	90 °C em 1 min
4	Exposição à luz UV ($189\ \text{mW}/\text{cm}^2$) sem fotomáscara (<i>flood</i>)	1 s
5	Cura do fotorresiste em placa quente	110 °C em 45 s
6	Exposição à luz UV ($189\ \text{mW}/\text{cm}^2$) com fotomáscara	40 s
7	Revelação com revelador MIF 300 [®]	15 s

Posteriormente, sobre as mesas de Al (com dimensões micrométricas), foi depositada uma fina camada de filme de Si-a:H ($\sim 60\ \text{nm}$) por ECR-CVD, como apresenta a Figura 3.6(b), com os parâmetros utilizados citados no Quadro 3.2. Essa fina camada é aplicada como máscara para proteger o filme de Al, durante o processo de corte com os íons de Ga^+ , como mostra a Figura 3.6(c) e (d), para a formação das mesas com dimensões nanométricas, caracterizando a técnica FIB_M. Para isso, os parâmetros do feixe de íons focalizados de Ga^+ são: 30 KeV de energia e corrente de 30 pA (LEONHARDT *et al.*, 2016). Os cortes foram feitos como uma profundidade de 200 nm com 15 linhas de 50, 100 e 200 nm de largura e a distância entre elas de $1\ \mu\text{m}$, como mostra a Figura 3.6(d), durante 5 minutos. A Figura 3.7 apresenta as micrografias de MEV da superfície da amostra, após os cortes de 50, 100 e 200 nm com 15 estruturas cada um. Além disso, no detalhe, as estruturas de 50 nm, com espaçamento de aproximadamente 800 nm, e as estruturas de 200 nm de largura. Para as mesas nanométricas de Al serem empregadas como mandril na técnica SL, foi feita a remoção total do filme de Si-a:H no sistema ICP com $\text{C}_4\text{F}_8:\text{SF}_6$ (ver Quadro 3.9), como mostra a Figura 3.6(e). Após esse processo, as etapas da técnica SL foi desenvolvida.

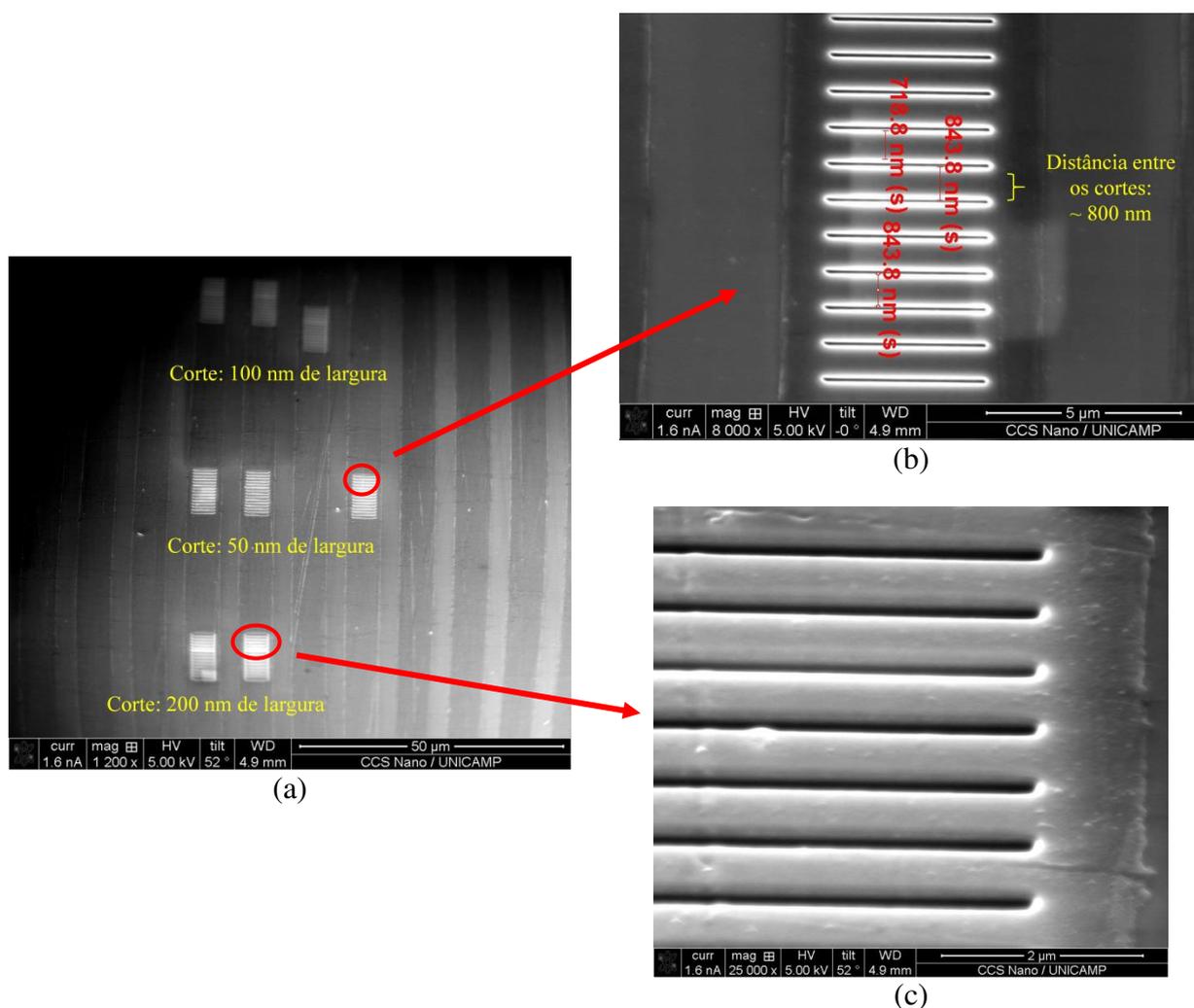


Figura 3.7 – As micrografias de MEV da superfície da amostra com as mesas nanométricas de Al, que foram aplicadas como mandril na técnica SL, de 50, 100 e 200 nm de largura (a). (b) Em detalhe, as mesas feitas com 50 nm de largura e espaçamento entre elas de ~ 800 nm. (c) Em detalhe, as mesas de 200 nm de largura.

Novamente, é depositado um filme de Si-a:H de aproximadamente 60 nm pelo sistema ECR-CVD (ver Quadro 3.2), como ilustra a Figura 3.6(f). Essa camada preenche os vazios entre as mesas nanométricas de Al, pois os filmes depositados no sistema ECR apresentam excelente cobertura de degraus (*conformal structures*). Na sequência, para a formação dos espaçadores, foi feito novamente a corrosão seca do filme de Si-a:H, que estava sobre as mesas nanométricas de Al, no sistema ICP (Figura 3.6(g)), com os parâmetros citados no Quadro 3.9. Após esse procedimento, as mesas nanométricas de Al ficaram expostas e, em suas laterais, os espaçadores de Si-a:H. Dessa maneira, foi feito a corrosão química das mesas de Al, com a solução aquecida de $\text{H}_3\text{PO}_4:\text{HNO}_3$ em 80 °C, por 2 minutos, como apresenta a Figura 3.6(h).

Finalmente, para a formação dos SiNWs com os valores dos *pitchs* em centenas de nanômetros (ver a Figura 3.6(j)), a corrosão por plasma foi realizada novamente por 5 minutos

pelo sistema ICP (Quadro 3.9), como apresenta a Figura 3.6(i). Após todas as etapas de processo terem sido realizadas, foi feita a caracterização estrutural da superfície da amostra utilizando as micrografias de MEV, como será apresentada e discutida na seção 4.2.1.1.8.

3.3.1.2 Estruturas retangulares

Para a formação da amostra 9, que será apresentada posteriormente, a fotomáscara utilizada, para a transferência de traçado e, conseqüentemente, a formação da camada sacrificial (mesa de Al), foi a fotomáscara *REGAT* – *região ativa* do conjunto de máscaras da tecnologia CMOS educacional do CCSNano (GRADOS, 2003), como apresenta a imagem óptica da Figura 3.8.

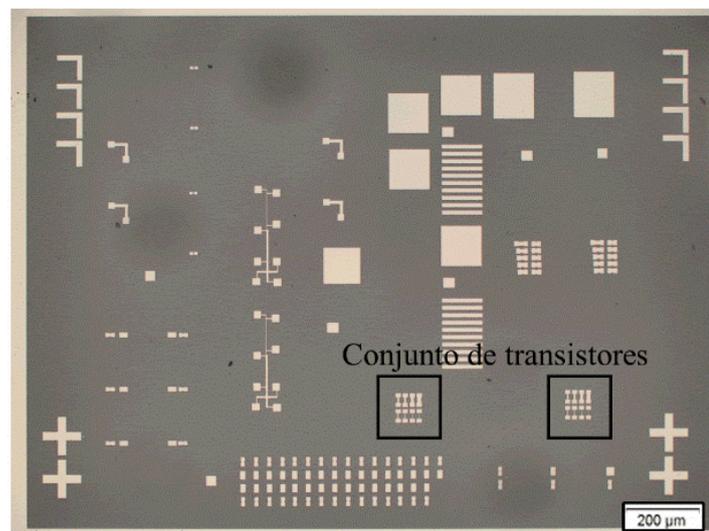


Figura 3.8 – A imagem óptica da fotomáscara *REGAT* – *região ativa* utilizada para a transferência de traçado, definindo as mesas de Al sobre a lâmina SOI (GRADOS, 2003). Nota: Na máscara, a parte escura não permite a passagem da luz UV, enquanto que a clara (dispositivos) permite.

3.3.1.2.1 Amostra 9

a) Caracterização estrutural

A amostra 9 foi preparada paralelamente com a amostra 1, sendo assim, as primeiras a serem realizadas. Para a fabricação dos transistores sem junção baseados em nanofios (JNT), foi utilizado a lâmina SOI com a camada superior de Si afinada em aproximadamente 15 nm de

espessura. Para isso, foi feita a oxidação térmica úmida de 180 min em forno convencional e, posteriormente, a corrosão úmida da camada oxidada com BHF, como foi descrito no trabalho de mestrado de Santos (2013). Todo esse procedimento de afinamento do substrato é apresentado na Figura 3.9 (SANTOS, 2013). Na sequência, a lâmina SOI, citada na seção 3.1, passou pelo processo de limpeza padrão completa, como descrito no Quadro 3.1, e foi submetida a implantação iônica de íons de fósforo ($^{31}\text{P}^+$). Nesse procedimento, a energia utilizada foi de 20 KeV e a dose 1×10^{16} átomos/cm². Após a implantação, outra limpeza padrão completa (ver Quadro 3.1) foi realizada para remover possíveis impurezas. Posteriormente, foi realizado o recozimento para a ativação dos íons de fósforo na rede cristalina do Si pelo processo de tratamento térmico rápido (*Rapid Thermal Annealing* - RTA), em ambiente de N₂ à 1000 °C, por 1 min, com fluxo de 1000 sccm (SWART, 2008).

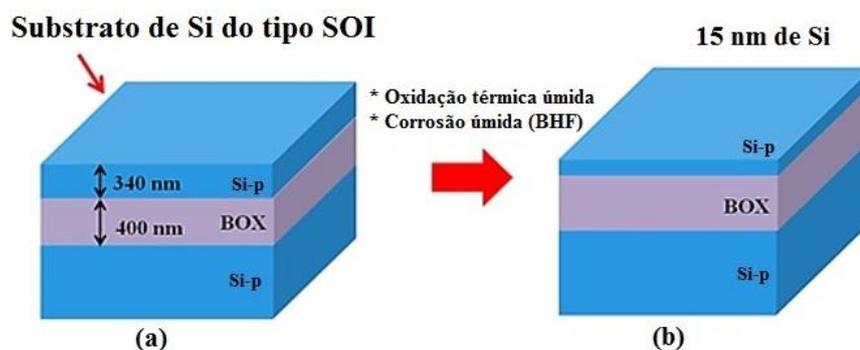


Figura 3.9 – Desenho esquemático adaptado dos procedimentos para afinar a camada superior de Si da lâmina SOI com oxidação térmica úmida e corrosão química com BHF do óxido formado (SANTOS, 2013).

Com a lâmina SOI afinada e dopada, iniciou-se o processo de obtenção dos SiNWs- n^+ com a mesma sequência das etapas de processo descrita em detalhes na seção 3.3.1.1.1 e apresentada pela Figura 3.3. Dessa maneira, na fotolitografia, para a transferência de traçado (ver Quadro 3.5), definindo as mesas de Al, a fotomáscara *REGAT* – *região ativa*, apresentada na Figura 3.8, foram utilizadas. Na sequência, foi depositado o filme de Si-a:H, que foi corroído por plasma RIE (ver Quadro 3.6), por 6 min, para a formação dos espaçadores. Assim, após a etapa de corrosão seca, as mesas de Al foram removidas por corrosão úmida, formando os espaçadores de filme de Si:a-H. Para finalizar o processo, a segunda etapa de corrosão por plasma RIE (Quadro 3.6) foi realizada durante 10 min, para a corrosão dos espaçadores de Si-a:H, a fina camada de SiO₂ e o substrato de Si. Após todas as etapas de processo realizadas, foi obtido a formação dos SiNWs- n^+ , como apresenta o esquema da Figura 3.10. A Figura 3.10 (a) ilustra a vista superior dos SiNWs- n^+ sobre o óxido enterrado (*buried silicon dioxide* - BOX). Já a Figura 3.10 (b) ilustra a vista lateral da amostra com os nanofios de ~ 15 nm de altura. Dessa

forma, sobre esses $\text{SiNWs-}n^+$, os transistores JNTs foram produzidos como serão descritos a seguir.

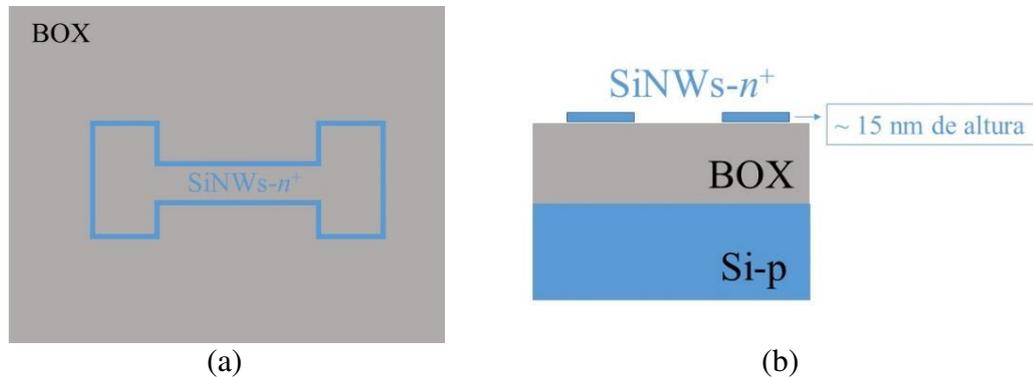


Figura 3.10 – Desenho esquemático para a ilustração da (a) vista superior e de (b) seção em corte após a formação dos $\text{SiNWs-}n^+$ com aproximadamente 15 nm de altura sobre a lâmina SOI.

b) Caracterização elétrica

Com os $\text{SiNWs-}n^+$ sobre a lâmina SOI, os transistores MOS 3D sem junção baseado em nanofios (JNTs) foram fabricados. Dessa forma, para a formação do dielétrico de porta, um filme de oxinitreto de Si (SiO_xN_y) foi crescido pelo sistema ECR-CVD, com a receita mencionada no Quadro 3.11 (MIYOSHI, 2008; SANTOS, 2013). Após a formação do dielétrico foi realizada a limpeza orgânica composta por acetona e álcool isopropílico mencionada anteriormente.

Quadro 3.11 – Os parâmetros utilizados pelo sistema ECR-CVD para o crescimento de filme de SiO_xN_y .

Fluxo de O_2 (sccm)	Fluxo de Ar (sccm)	Fluxo de N_2 (sccm)	Potência (W)	Tempo de processo (min.)	Temperatura do substrato ($^\circ\text{C}$)	Pressão de base (mTorr)
3	20	7	500	20	20	4

Na sequência, foram realizados os processos para a definição da porta, fonte, dreno, das vias e dos contatos. Para isso, as fotomáscaras utilizadas pertencentes ao do conjunto de máscaras da tecnologia CMOS educacional do CCSNano, conforme estão apresentadas nas imagens ópticas da Figura 3.11 (GRADOS, 2003). Assim, primeiramente, foi depositado 1000 Å de filme de Al por *sputtering* DC com as mesmas condições descritas no Quadro 3.4. Para a definição da porta de Al, foi realizada uma fotogração utilizando a fotoalinhadora MJB3, a fotomáscara *SI_POLI* (ver Figura 3.11(a)) e o fotorresiste *AZ5214*[®]. Esse procedimento está

detalhado no Quadro 3.12. Posteriormente, para a formação da porta, foi realizada a corrosão química do Al com a solução $H_3PO_4:HNO_3$ na proporção de 9,5:0,5 durante 35 s. Para a remoção total do fotorresiste, foi feita uma limpeza orgânica e, posteriormente, uma queima por plasma (plasma *ashing*) com potência de 350 W e fluxo de oxigênio (O_2) de 50 sccm durante 30 min. Esse procedimento de queima por plasma é realizado para garantir a remoção do fotorresiste remanescente após a limpeza orgânica (SWART, 2008).

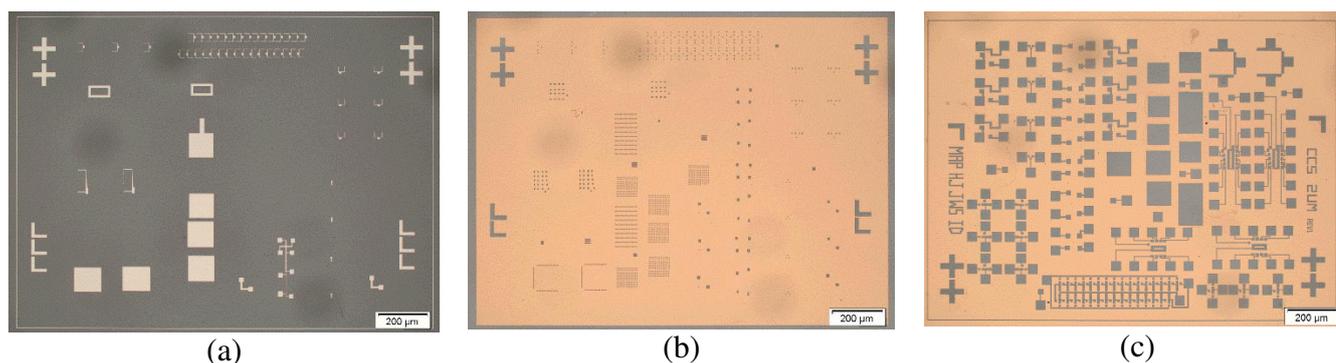


Figura 3.11 – As imagens do microscópio óptico das fotomáscaras do conjunto CMOS sendo (a) *SI_POLI*, (b) *CONT* e (c) *METAL* (GRADOS, 2003).

Para a formação do óxido de isolamento, foi depositado um filme de SiO_2 de 370 nm de espessura pelo sistema ECR-CVD, com os parâmetros apresentados no Quadro 3.13. Posteriormente, foi realizada a definição da via através da fotolitografia utilizando a MBJ3, a fotomáscara *CONT* (ver Figura 3.11(b)) e o fotorresiste *AZ5214*[®] (ver Quadro 3.14). Para a abertura de via foi feito a corrosão química da camada de SiO_2 , utilizando o BHF durante 3 min. Na sequência, foi realizada a limpeza orgânica para a remoção do fotorresiste e, para a remoção total do mesmo, um plasma *ashing* com os mesmos parâmetros citados anteriormente.

Quadro 3.12 – A descrição das etapas e parâmetros da litografia para definir a porta do transistor JNT.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>)	Centrífuga rotação: 5000 rpm tempo: 30 s repouso: > 1 min
2	Aplicação do fotorresiste <i>AZ5214</i> [®]	Centrífuga rotação: 5000 rpm tempo: 30 s
3	Pré -cura do fotorresiste em placa quente	90 °C em 1 min
4	Exposição à luz UV (189 mW/cm ²) com fotomáscara	21 s
5	Revelação com revelador <i>MIF 300</i> [®]	18 s
6	Cura do fotorresiste em placa quente	110 °C em 20 min.

Quadro 3.13 – Os parâmetros utilizados pelo sistema ECR-CVD para a deposição de SiO₂.

Fluxo de O ₂ (sccm)	Fluxo de Ar (sccm)	Fluxo de SiH ₄ (sccm)	Potência (W)	Tempo de processo (min.)	Temperatura do substrato (°C)	Pressão de base (mTorr)
10	20	200	500	30	20	5

Para a definição dos contatos foi feita uma deposição de filme de Al de 3000 Å de espessura utilizando o sistema *sputtering* DC, com os mesmos parâmetros citados no Quadro 3.4, exceto pelo tempo de deposição de 3:30 min. Para a definição dos contatos, foi realizada uma fotolitografia de inversão utilizando a fotoalinhadora MJB3, a fotomáscara *METAL* (Figura 3.11(c)) e o fotorresiste *AZ5214*[®]. Esse processo de litografia é descrito em detalhes no Quadro 3.15. Após isso, foi realizada a corrosão química do Al com a mesma solução citada anteriormente e, na sequência, limpeza orgânica e plasma *ashing* para a remoção do fotorresiste.

Para finalizar o processo de fabricação dos transistores JNTs, foi realizada a retirada do SiO₂ de aproximadamente 100 Å das costas da lâmina, formado durante a oxidação térmica seca e a interação com o ambiente, para a formação do eletrodo inferior. Dessa maneira, foi feito uma imersão da lâmina em solução BHF, como descrito na seção 3.3.1.1.1, e, posteriormente, um filme de Al foi depositado por *sputtering* DC, como os parâmetros descritos no Quadro 3.4, porém com tempo de deposição de 5:50 min. A Figura 3.12 apresenta o transistor JNT após todas as etapas de processo.

Quadro 3.14 – A descrição das etapas e parâmetros da litografia para definir as vias do transistor JNT.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação do fotorresiste <i>AZ5214</i> [®]	Centrífuga rotação: 5000 rpm tempo: 30 s
2	Pré -cura do fotorresiste em placa quente	90 °C em 1 min
3	Exposição à luz UV (189 mW/cm ²) com fotomáscara	40 s
4	Revelação com revelador <i>MIF 300</i> [®]	30 s
5	Cura do fotorresiste em placa quente	110 °C em 30 min.

Após o dispositivo pronto, foi realizada a sinterização dos contatos metálicos em baixa temperatura no ambiente de N₂ e H⁺ (gás verde: 92% N₂ + 8% H₂), em forno convencional à 450 °C durante 25 min (SWART, 2008), como descrito anteriormente na seção 3.3.1.1.1. Essa etapa foi realizada gradualmente, sendo dividida em processos que duraram 5 min, totalizando os 25 min. Antes de cada etapa de sinterização, a amostra passou por limpeza orgânica. Após cada etapa de sinterização, eram feitas as curvas de I-V para averiguar o funcionamento do

dispositivo e, conseqüentemente, a necessidade de outras sinterizações. Assim, a medida elétrica foi realizada para verificar se a condução da corrente elétrica entre fonte e dreno (I_{DS}), através dos SiNWs- n^+ , é controlada pela tensão entre porta e fonte (V_{GS}), sendo este o princípio de funcionamento de um transistor JNT (COLINGE, 2012; LEE *et al.*, 2009; DORIA, 2011). Dessa forma, o analisador de parâmetros (4200 SCS da *Keithley*) foi utilizado para obter-se as curvas de corrente elétrica I_{DS} versus a tensão entre fonte e dreno (V_{DS}) variando os valores (0, 4, 8, 12, 16 e 20 V) da tensão V_{GS} . Todos os resultados encontrados serão descritos e discutidos em detalhes na seção 4.2.1.2.1b).

Quadro 3.15 – A descrição das etapas e parâmetros da litografia para definir os contatos do transistor JNT.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação do fotorresiste AZ5214®	Centrífuga rotação: 5000 rpm tempo: 30 s
2	Pré -cura do fotorresiste em placa quente	90 °C em 4 min
3	Exposição à luz UV (189 mW/cm ²) com fotomáscara	16 s
4	Cura do fotorresiste em placa quente	110 °C em 1 min 4 s.
5	Exposição à luz UV (189 mW/cm ²) sem fotomáscara	40 s
6	Revelação com revelador MIF 300®	15 s
7	Cura do fotorresiste em placa quente	110 °C em 30 min.

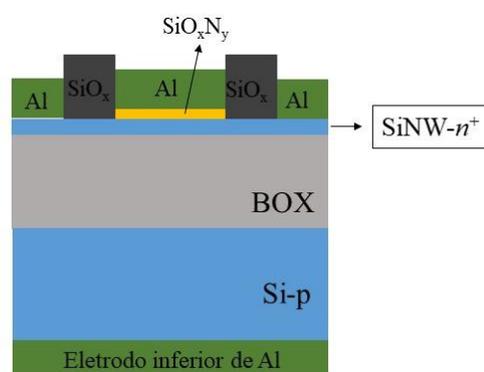


Figura 3.12 – Desenho esquemático de seção em corte do transistor JNT após todas as etapas de processo.

3.3.2 Nanofios de Si obtidos com camada sacrificial de nitreto de silício e estruturas em linhas paralelas

Na literatura, encontram-se muitos trabalhos, que empregam o filme de nitreto de silício (SiN_x) como camada sacrificial na tecnologia SL, para a formação de nanoestruturas menores que 100 nm (WANDELL *et al.*, 2014; JOVANOVIĆ, 2008; ROOYACKERS *et al.*,

2006; CHOI *et al.*, 2002). Assim, nesse trabalho, também foi aplicada a camada sacrificial de SiN_x depositado por ECR-CVD, em temperatura ambiente, assim como a fina camada de SiO_2 e o filme de Si-a:H. A Figura 3.13 apresenta a seção em corte transversal das amostras feitas com mandril de SiN_x , os espaçadores de Si-a:H e a fina camada de SiO_x . Dessa forma, a amostra é mantida em vácuo durante as etapas de deposição, entre a camada fina de SiO_x e a camada sacrificial de SiN_x , caracterizando uma deposição *in-situ*. Isso é uma característica importante e também inovadora, pois não se encontram na literatura deposição e corrosão de filmes no mesmo sistema para a técnica SL.

Conforme apresenta a Figura 3.1(a), durante todos os experimentos realizados com a camada sacrificial de SiN_x , o substrato utilizado foi a lâmina de Si de 2'' de diâmetro, com orientação cristalina $\langle 100 \rangle$, do tipo-*p*, com resistividade nominal de 1-10 $\Omega\cdot\text{cm}$ e espessura de $350 \pm 25 \mu\text{m}$ (ver seção 3.1). Inicialmente, antes das etapas de processo para a formação dos SiNWs, as lâminas foram submetidas ao processo de limpeza padrão completa descrito em detalhes no Quadro 3.1. Na sequência, foram realizadas as etapas de processo apresentadas resumidamente na Figura 3.14. Assim, a partir das Figura 3.1(a) e Figura 3.14, observa-se que nos processos de corrosão seca, dois sistemas (RIE e ECR), citados nesse trabalho, foram empregados. Além disso, nesse caso, as mesas de SiN_x foram definidas pela fotolitografia MJB3, para a transferência de traçado, utilizando a fotomáscara de linhas ($2 \mu\text{m} \times 8 \mu\text{m}$) (ver Figura 3.2), o fotorresiste AZ3312[®] e pela corrosão por plasma em atmosfera de $\text{SF}_6:\text{Ar}$. A corrosão química do mandril de SiN_x , para a formação dos espaçadores, foi realizada por BHF, em temperatura ambiente. Assim, essas etapas são diferentes das apresentadas pelas amostras com camada sacrificial de Al apresentadas ao longo da seção 3.3.1.

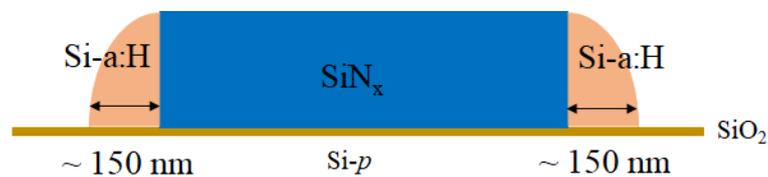


Figura 3.13 – Desenho esquemático de seção em corte da camada sacrificial de SiN_x , entre dois espaçadores de Si-a:H, que são utilizados na tecnologia SL.

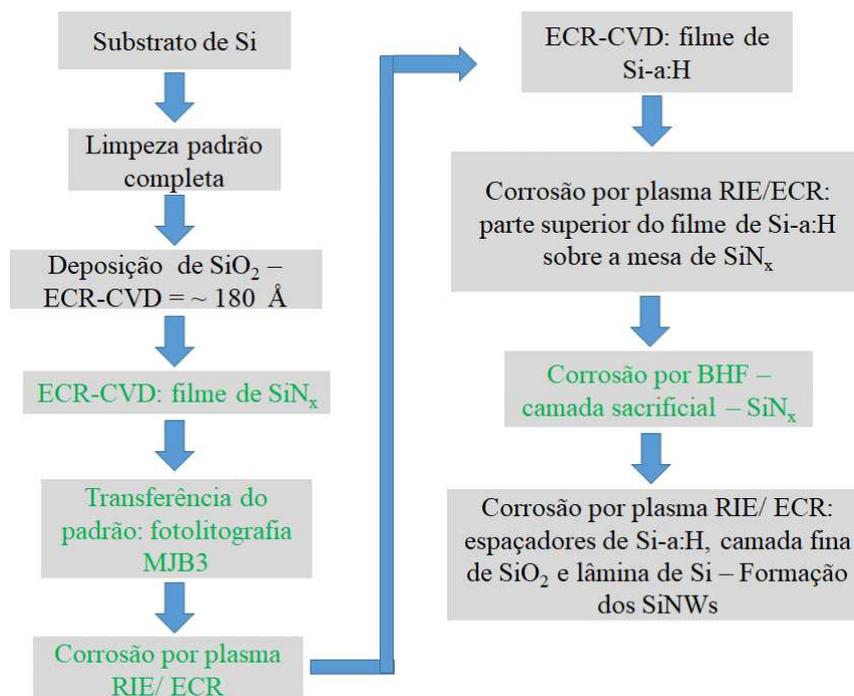


Figura 3.14 – A sequência das etapas de processo para a formação dos SiNWs, utilizando a litografia SL com a camada sacrificial de SiN_x. As novas etapas estão em destaque na cor verde.

3.3.2.1 Amostra 10

A amostra 10 foi totalmente preparada no sistema ECR, pois foram feitas as deposições dos filmes de SiO₂, SiN_x e Si-a:H, como também, a corrosão por plasma. Assim, a sequência de processo realizada (ver Figura 3.14), inicia-se com a limpeza padrão completa e, posteriormente, a deposição de SiO₂ por ECR-CVD. Os parâmetros desse processo são citados no Quadro 3.16. Em seguida, um filme de SiN_x de 140 nm de espessura foi depositado por ECR-CVD e os parâmetros de deposição são citados no Quadro 3.17. Após isso, foi realizada a fotolitografia na MJB3, com o fotorresiste AZ3312[®] e fotomáscara de linhas (2 μm x 8 μm) (Figura 3.2). Logo, a corrosão por plasma no sistema ECR, foi realizada com os gases de SF₆:Ar, como apresentada os parâmetros no Quadro 3.18. Com os traçados formados (mesa de SiN_x), foi feita a deposição de Si-a:H (~ 1500 Å de espessura) pelo mesmo sistema ECR-CVD, utilizando os parâmetros do Quadro 3.2. Para a corrosão e formação dos espaçadores, foi realizada a corrosão por plasma no sistema ECR do filme de Si-a:H durante 3 minutos. A corrosão total da camada sacrificial (filme de SiN_x), foi por solução BHF, em temperatura ambiente, durante 30 s. Para finalizar o processo, a corrosão por plasma dos espaçadores de Si-a:H, a fina camada de SiO₂ e a lâmina de Si foi realizado no sistema ECR durante 15 minutos. Após todas

as etapas de processo terem sido realizadas, a análise da superfície foi realizada, utilizando as imagens ópticas e as micrografias de MEV, que será apresentada na seção 4.2.2.1.

Quadro 3.16 – Os parâmetros utilizados no sistema ECR-CVD para a deposição do filme de SiO₂.

Fluxo de O ₂ (sccm)	Fluxo de SiH ₄ (sccm)	Fluxo de Ar (sccm)	Potência RF (W)	Potência (W)	Tempo de processo (min.)	Pressão de base (mTorr)
2,5	125	5	8	250	10	4

Quadro 3.17 – Os parâmetros utilizados no sistema ECR-CVD para a deposição do filme de SiN_x.

Fluxo de N ₂ (sccm)	Fluxo de SiH ₄ (sccm)	Fluxo de Ar (sccm)	Potência RF (W)	Potência (W)	Tempo de processo (min.)	Pressão de base (mTorr)
20	200	20	5	500	10	4

Quadro 3.18 – Os parâmetros utilizados no sistema ECR para a corrosão do filme de SiN_x na definição das mesas.

Fluxo de SF ₆ (sccm)	Fluxo de Ar (sccm)	Potência RF (W)	Potência (W)	Tempo de processo (min.)	Pressão de base (mTorr)	Taxa de corrosão (nm/min)
5	10	5	500	6	4	~ 23

3.3.2.2 Amostra 11

A amostra 11 foi preparada, seguindo a sequência das etapas de processo apresentada na Figura 3.14, com a exceção da formação da fina camada de SiO₂, por ECR-CVD. Essa etapa não foi realizada, para evitar a formação de uma estrutura com patamar (amostra 10), como será apresentado e discutido na seção 4.2.2.1 (amostra 10). Dessa forma, o filme de SiN_x foi depositado diretamente no substrato de Si. Outra diferença em relação a amostra 10, foi a corrosão por plasma RIE. Esse sistema foi empregado, pois é o padrão da indústria de microeletrônica. Os parâmetros utilizados na corrosão RIE é apresentado no Quadro 3.6. Nessa amostra, a 1^a etapa, para a formação dos espaçadores nas paredes laterais do mandril, foi realizada durante 5 min, a 2^a etapa, para a formação dos SiNWs, foi feita durante 7 min. Esses tempos foram usados para evitar a corrosão lateral apresentadas em resultados anteriores tal como a amostra 1. Após todas as etapas de processo terem sido realizadas, foi feita a caracterização estrutural da amostra, que será apresentada na seção 4.2.2.2

3.3.2.3 Amostra 12

A amostra 12 foi preparada com as etapas de processo esquematizada na Figura 3.14. Essa amostra tem a finalidade de reproduzir os resultados encontrados da amostra 11. Portanto, foi fabricada com as mesmas etapas de processo descritos na seção 3.3.2.2, com exceção do tempo de processo RIE (2ª etapa) de 5 min, para a formação dos SiNWs, tentando reduzir a rugosidade da superfície. Após todos os processos terem sido realizados, foi feita a caracterização estrutural das nanoestruturas através das micrografias de MEV, que será apresentada e discutida na seção 4.2.2.3.

3.3.3 Nanofios de Si obtidos camada sacrificial (mesa ou mandril) de fotorresiste

Conforme encontra-se na literatura, o resiste (material polimérico) é empregado como camada sacrificial na técnica de SL, resultando em nanoestruturas 3D com CD menores que 100 nm (RALEY, *et al.*, 2016; CHONG *et al.*, 2015; SINGH *et al.*, 2012; CHIU *et al.*, 2008). Diante disso, foram realizados os experimentos, utilizando o mandril de fotorresiste (FR), como apresenta a Figura 3.1(a). A Figura 3.15 apresenta a seção em corte transversal da amostra com o mandril de fotorresiste e, em suas laterais, os espaçadores de filme de Si-a:H. O plasma de O₂, no sistema barril, durante 15 min, foi utilizado para a remoção da camada de FR, após a corrosão do filme de Si-a:H, para a formação dos espaçadores (Quadro 3.20). A sequência das etapas de processo realizada é apresentada no esquema da Figura 3.16. Assim, todos os substratos utilizados foram de Si (seção 3.1). Os três sistemas de corrosão foram empregados para a formação dos espaçadores e dos SiNWs.



Figura 3.15 – Desenho esquemático de seção em corte da tecnologia de litografia por espaçador utilizando o fotorresiste como camada sacrificial entre os dois espaçadores de Si-a:H.

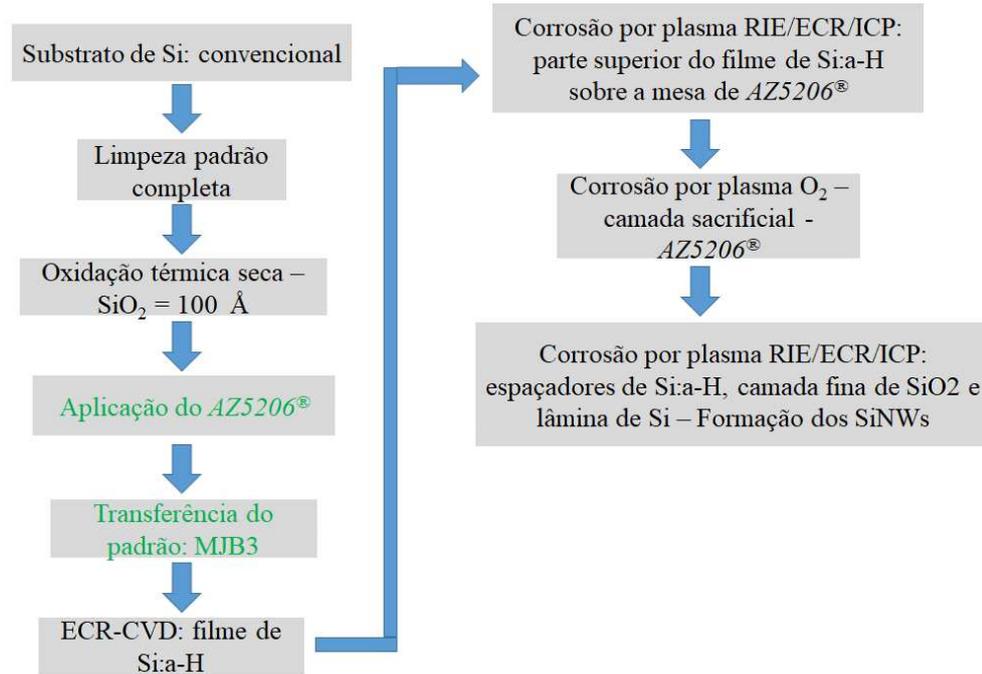


Figura 3.16 – Desenho esquemático da nova sequência das etapas de processo para a formação dos nanofios de Si, utilizando as tecnologias de PL e de SL com o mandril de fotorresiste AZ5206®. As etapas em verde são as novas etapas realizadas para a formação dos SiNWs.

3.3.3.1 Estruturas em linhas paralelas

3.3.3.1.1 Amostra 13

A amostra 13 foi preparada para verificar a obtenção dos SiNWs, utilizando a nossa técnica de SL, com mandril de FR e a corrosão por plasma RIE (sistema padrão na indústria de microeletrônica). Toda a sequência de processo segue o esquema da Figura 3.16. Para a definição das estruturas do mandril de FR, foi utilizada a fotolitografia MJB3, a fotomáscara de linhas (Figura 3.2) e o FR AZ5206®, conforme a sequência descrita em detalhes no Quadro 3.19. Para a formação dos espaçadores de filme de Si:a:H, a corrosão por plasma RIE (Quadro 3.6) foi realizada durante 2,5 min. A remoção do mandril de FR foi pelo plasma *ashing*, conforme os parâmetros citados no Quadro 3.20. Novamente, o plasma RIE foi executado para a formação dos SiNWs durante 5 min. Após todas as etapas, foi feita a caracterização estrutural da amostra, que será apresentada e discutida na seção 4.2.3.1.1.

Quadro 3.19 – Descrição das etapas e dos parâmetros para a aplicação do fotorresiste AZ5206[®] como a fotomáscara *região ativa*.

Etapa #	Descrição do processo	Parâmetros
1	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>)	Centrífuga rotação: 5000 rpm tempo: 30 s repouso: > 1 min
2	Aplicação do fotorresiste AZ5206 [®]	Centrífuga rotação: 5000 rpm tempo: 30 s
3	Pré –cura do fotorresiste em placa quente	90 °C em 1 min
4	Exposição à luz UV (189 mW/cm ²) com fotomáscara	20 s
5	Revelação com revelador <i>MIF 300</i> [®]	15 s
6	Cura do fotorresiste em placa quente	118 °C em 30 min.

Quadro 3.20 – Os parâmetros utilizados no sistema barril para a remoção do fotorresiste formando os espaçadores.

Fluxo de O ₂ (sccm)	Potência RF (W)	Tempo de processo (min.)	Pressão de base (mTorr)
50	350	15	100

3.3.3.1.2 Amostra 14

A amostra 14 foi preparada para verificar a formação dos SiNWs, sobre substrato de Si, utilizando a nossa técnica de SL, com mandril de FR e corrosão por plasma ECR. Dessa forma, a sequência apresentada pela amostra 13, foi seguida por essa amostra 14, com exceção do sistema de corrosão. A corrosão ECR na 1^a etapa (formação dos espaçadores) foi realizada durante 2,5 min, e a 2^a etapa, para a formação dos SiNWs, foi realizada durante 10 min, com os parâmetros citados no Quadro 3.7. Após todas as etapas de processo realizadas, as amostras foram caracterizadas estruturalmente, utilizando as micrografias de MEV, que serão apresentadas na seção 4.2.3.1.2.

3.3.3.1.3 Amostra 15

A amostra 15 foi feita sobre a lâmina SOI (ver seção 3.1), e o plasma ICP foi utilizado para a corrosão, tanto para a formação dos espaçadores nas paredes laterais do mandril de FR, durante 1,5 min, quanto para a definição dos SiNWs, por 5 min. Os parâmetros utilizados,

para essa corrosão por plasma ICP, foram descritos em detalhes no Quadro 3.9. Toda a sequência das etapas de processo foi executada, conforme foi apresentada no esquema da Figura 3.16. Após todas as etapas de processo finalizadas, a amostra foi submetida a caracterização estrutural, utilizando as micrografias de MEV, como será apresentada e discutida na seção 4.2.3.1.3.

3.3.3.2 Estruturas retangulares

3.3.3.2.1 Amostra 16

A amostra 16 foi preparada, utilizando a fotomáscara *Regat – região ativa* (ver Figura 3.8) e a corrosão por plasma RIE, em atmosfera de SF₆:Ar, para observar a formação de SiNWs em estruturas retangulares. A sequência das etapas de processo seguiu o esquema da Figura 3.16. O processo de corrosão RIE (ver Quadro 3.6) foi executado durante 1,5 min (1ª etapa), para a formação dos espaçadores de Si-a:H, e por 5 min (2ª etapa), para a formação dos SiNWs. Após todas as etapas de processo finalizadas, a amostra foi submetida a caracterização estrutural, utilizando as imagens ópticas, as micrografias de MEV e de AFM, como será apresentada e discutida na seção 4.2.3.2.1.

3.4 LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO (FIB_L) COM CAMADA PROTETORA DE SILÍCIO AMORFO HIDROGENADO

Como mencionado na seção 1.3, nessa tese é proposto uma evolução da técnica de FIB_L apresentada na dissertação da Leonhardt (2016), como ilustra a Figura 3.1(c). Essa evolução consiste na aplicação de uma camada protetora de filme de Si-a:H, de 60 nm de espessura, sobre o substrato SOI no processo de FIB_L. Essa máscara permite a redução do bombardeamento e da incorporação dos íons de Ga⁺ no substrato. Além disso, ela serve como *hard mask* durante o processo de corrosão por plasma, permitindo a transferência de traçado para o substrato, formando os nanofios. Dessa forma, através das técnicas de PL e de FIB_L (Figura 3.1(c)), foram obtidos nanofios sobre os substratos de Si (SiNWs-*n*⁺) nas amostras 17 e 18, e de semicondutor III-V (III-VNW-*n*⁺) na amostra 19. Posteriormente, sobre os SiNWs-*n*⁺, foi realizada a caracterização elétrica dos transistores pseudo-MOS, a partir das medidas das curvas

de corrente *versus* tensão (I-V), utilizando um analisador de parâmetros (4200 SCS da *Keithley*), para verificar a qualidade dos nanofios de 2 μm e 9 μm de comprimento.

3.4.1 Amostras 17 e 18

Conforme a Figura 3.1(c) e a Figura 3.17, para a formação dos SiNWs- n^+ nas amostras 17 e 18, foi utilizada a lâmina SOI de 4'' de diâmetro, com orientação cristalina $\langle 100 \rangle$, do tipo-*p*, com resistividade nominal maior que 10 $\Omega\cdot\text{cm}$ e polida em uma das faces (seção 3.1). Inicialmente, o substrato passou pelo processo de limpeza padrão completa composta pela limpeza *Piranha*, ácido fluorídrico (HF) e limpeza padrão RCA, como é descrita em detalhes no Quadro 3.1 e apresentada na Figura 3.17(a). Após a limpeza, a lâmina foi submetida a implantação iônica de íons de fósforo ($^{31}\text{P}^+$). Nesse procedimento, a energia utilizada foi de 20 KeV e a dose $6,5 \times 10^{15}$ átomos/ cm^2 . Após a implantação, outra limpeza padrão completa (ver Quadro 3.1) foi realizada para remover possíveis impurezas. Posteriormente, foi realizado o recozimento para a ativação dos íons de fósforo, na rede cristalina do Si, pelo processo de tratamento térmico rápido (*Rapid Thermal Annealing* - RTA), em ambiente de N_2 à 1000 °C, com fluxo de 1000 sccm, por 1 min, (SWART, 2008), como é apresentado na Figura 3.17.

Após as etapas iniciais, foram feitas as etapas da técnica PL, para a definição dos eletrodos (fonte, porta e dreno) do dispositivo a ser formado. Assim, foi feito a fotolitografia (ver Quadro 3.21) utilizando a fotoalinhadora MJB3, o fotorresiste AZ5206[®], para processo de *lift-off*, com a fotomáscara METAL (ver Figura 3.11(c)) do conjunto de máscaras da tecnologia CMOS educacional do CCSNano (GRADOS, 2003). Após essa etapa, foi realizada a deposição de filme de Al de aproximadamente 500 Å de espessura por *sputtering* DC (ver Figura 3.17(b)), conforme os parâmetros citados no Quadro 3.8. Sobre a superfície da amostra, foi depositado o filme fino de Si-a:H de aproximadamente 60 nm, por ECR-CVD, em temperatura ambiente, conforme os parâmetros citados no Quadro 3.2 e conforme apresenta a Figura 3.17(c).

Após a formação da camada protetora, iniciou-se as etapas da técnica FIB_L com os cortes rasos de 30 nm de profundidade, usando feixe de íons focalizados de Ga^+ , em linhas paralelas, que interligavam os eletrodos de fonte e dreno, conforme apresenta o esquema da Figura 3.17(d) e as micrografias da Figura 3.18. As linhas paralelas foram gravadas por FIB_L, com larguras de 50 nm ou 100 nm e com espaçamento entre elas de 500 nm. Dessa maneira, foram obtidas estruturas com 1, 10, 30 e 50 linhas paralelas, conforme apresenta as micrografias

da superfície da amostra 18 da Figura 3.18. A Figura 3.18(a) apresenta os eletrodos de Al (técnica PL) e 50 linhas de 50 nm de largura, formadas com o corte de íons focalizados de Ga⁺ (técnica FIB_L) sobre o filme de Si-a:H. Já a Figura 3.18(b) apresenta 30 linhas de 100 nm de largura formadas pela técnica FIB_L sobre o filme de Si-a:H. As correntes dos feixes dos íons focalizados para as amostras 17 e 18, foram de 0,30 nA e 30 pA, respectivamente. A energia dos feixes foi mantida constante em 30 KeV para ambas as amostras. O valor de corrente de 30 pA, foi utilizado também no trabalho de Leonhardt *et al.* (2016), que não utilizou máscara de Si-a:H, pois a FIB_L foi direta sobre o substrato de Si.

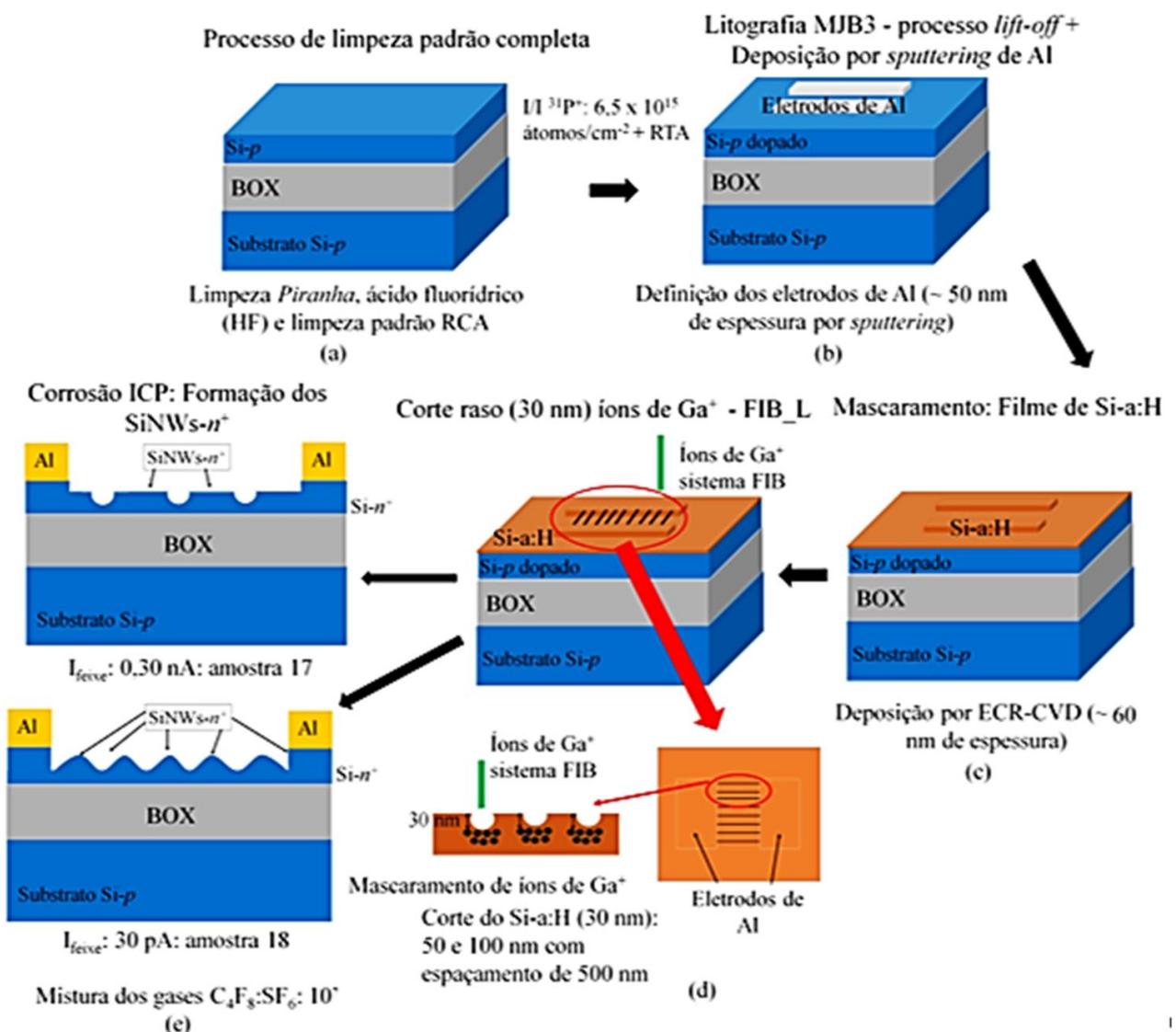


Figura 3.17 – Desenho esquemático da sequência de etapas de processo das técnicas PL (b) e FIB_L (c)-(e) para a formação dos SiNWS-*n*⁺ nas amostras 17 e 18.

Na sequência, para transferir o traçado formado sobre a superfície do filme de Si-a:H para o substrato, foi realizado o processo de corrosão por plasma ICP, em atmosfera de

$C_4F_8:SF_6$ por 10 min, com a receita apresentada no Quadro 3.9. Após essa etapa, os $SiNWs-n^+$ foram formados na superfície da lâmina SOI e o filme de Si-a:H foi removido, conforme apresenta a Figura 3.17(e). Nessa figura, observa-se que, na amostra 17 (I_{feixe} de 0,30 nA), ocorreu a formação de uma estrutura com patamares, enquanto que na amostra 18 (I_{feixe} de 30 pA), ocorreu a formação de estruturas segmentadas “oscilantes”, similar à uma função senoidal. Maiores detalhes das amostras, das formações, das dimensões e da qualidade dos nanofios serão apresentados na seção 4.3.1.1a).

Quadro 3.21 - A descrição das etapas e dos parâmetros da litografia para o processo *lift-off* para definir a região onde será a formação dos eletrodos

Etapa #	Descrição do processo	Parâmetros
1	Aplicação de HMDS (<i>Hexamethyl Disilazane</i>)	Centrífuga rotação: 6000 rpm tempo: 40 s repouso: > 1 min
2	Aplicação do fotorresiste AZ5206®	Centrífuga rotação: 6000 rpm tempo: 40 s
3	Pré -cura do fotorresiste em placa quente	90 °C em 1 min
4	Exposição à luz UV (189 mW/cm ²) sem fotomáscara	0,7 s
5	Cura do fotorresiste em placa quente	110 °C em 45 s
6	Exposição à luz UV (189 mW/cm ²) com fotomáscara	20 s
7	Revelação com revelador MIF 300®	30 s

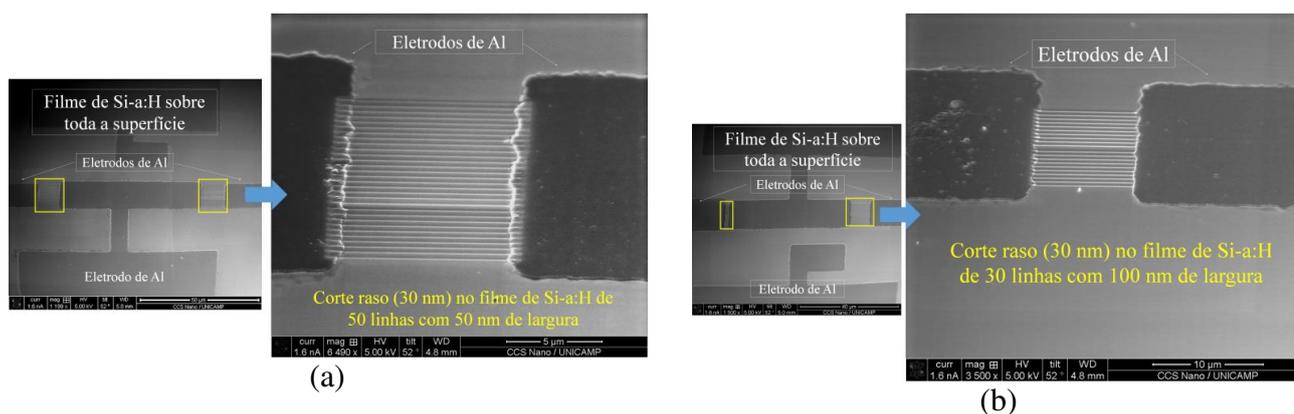


Figura 3.18 – As micrografias de MEV da superfície da amostra 18 feita sobre a lâmina SOI, com os eletrodos de Al (técnica PL) e as linhas paralelas, formadas por feixe de íons focalizados de Ga^+ (técnica FIB_L), sobre o filme de Si-a:H. (a) 50 linhas de 50 nm de largura com espaçamento de 500 nm e (b) 30 linhas de 100 nm de largura com espaçamento de 500 nm.

3.3.1.1 Caracterização elétrica dos transistores pseudo-MOS

Para averiguar a qualidade e a integridade dos SiNWs- n^+ nas amostras 17 e 18, foi realizado o estudo da condução de corrente elétrica nos SiNWs- n^+ pelas medidas elétricas dos transistores pseudo-MOS. A estrutura pseudo-MOS consiste em:

- a) Terminal de porta, que é composto pelo eletrodo inferior de Al, conectado ao substrato de Si (*back gate*);
- b) Dielétrico de porta, que é a camada de dióxido de Si enterrada (BOX) da lâmina SOI;
- c) Os SiNWs- n^+ , que são os canais de condução de corrente elétrica entre os terminais de fonte e dreno (eletrodos de Al) (SANTOS, 2013).

Assim, as curvas de corrente entre fonte e dreno (I_{DS}) *versus* a tensão entre fonte e dreno (V_{DS}) para a tensão da porta da parte inferior da lâmina e fonte (V_{BGS}) variando entre -6 V e 6 V, com passo de 1 V, foram obtidas, utilizando um analisador de parâmetros (4200 SCS Keithley). Além disso, foram plotadas as curvas dos valores de condutância do canal (g_D) *vs.* V_{DS} , determinando a condutância máxima $g_{Dmáx}$ dos transistores pseudo-MOS. Os resultados dessas análises serão apresentados na seção 4.3.1.1 em b) e c).

3.4.2 Amostra 19

Conforme a Figura 3.1(c), a amostra 19 foi preparada sobre substrato de semicondutor III-V (GaAs- n^+ (10 nm)/ GaAs *Buffer* (300 nm)/ GaAs semi-isolante) e limpa por método orgânico, como descrito na seção 3.3.1.1.1. A sequência das etapas de processo foi esquematizada na Figura 3.20. Para a definição dos eletrodos (com espaçamento de 3 μm e 5 μm) de fonte e dreno, foi realizada a sequência das etapas de processo da técnica de PL para o processo de *lift-off*, com a fotoalinhadora MJB3, o FR AZ5206[®] e a fotomáscara – *região ativa*, do conjunto de máscara *FinFET* desenvolvido pela Leonhardt (2016) (Figura 3.19), conforme os parâmetros descritos no Quadro 3.21, e a evaporação do filme de platina (Pt).

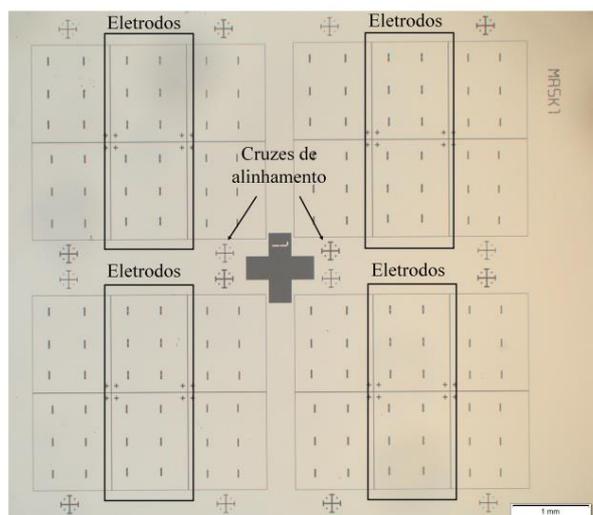


Figura 3.19 – Imagem óptica da fotomáscara – *região ativa*, do conjunto de máscara *FinFET* desenvolvido pela Leonhardt (2016) utilizada na definição dos eletrodos de fonte e dreno. Nota: Na máscara, a parte escura (eletrodos) permite a passagem da luz UV, enquanto que a clara não permite.

Com os eletrodos de fonte e dreno formados, foi realizada a deposição da camada protetora de 60 nm de filme de Si-a:H por ECR-CVD, em temperatura ambiente, utilizando os parâmetros citados no Quadro 3.2, como apresenta a Figura 3.20(c). Na sequência, iniciou-se as etapas da técnica FIB_L com o corte raso pelo feixe de íons focalizados de Ga^+ , de 30 KV e corrente de 30 pA, levando algumas dezenas de segundos, das nanoestruturas com dimensões nanométricas (LEONHARDT *et al.*, 2016), conforme apresenta a Figura 3.20(d). Nesse caso, foram feitos cortes com 5 nm, 10 nm e 20 nm de profundidade sobre o filme de Si-a:H, resultando na implantação local de íons de Ga^+ , como apresenta a Figura 3.20(d). Essas regiões durante o processo de corrosão por plasma serviram como camada protetora, possibilitando a corrosão das regiões não irradiadas pelo feixe. Assim, foram feitos conjuntos de 30 linhas de 50 nm de largura nominal e 500 nm de espaçamento entre elas e 5 nm de profundidade, durante 11 segundos de processo FIB_L, e outro conjunto de 20 linhas com 20 nm de profundidade, durante 22 segundos de processo. A Figura 3.21 apresenta as imagens ópticas dessas linhas gravadas sobre o filme de Si-a:H, antes do processo de corrosão por plasma no sistema ICP, junto com os eletrodos de Pt. A Figura 3.21(a) apresenta o conjunto de 30 linhas de 10 nm de profundidade, pois as linhas gravadas por 5 nm de profundidade não apresentaram contraste nessa etapa. Já a Figura 3.21(b) apresenta as imagens óptica do conjunto de 20 linhas de 20 nm de profundidade. Posteriormente, foi feito o processo de corrosão no ICP, em atmosfera de $\text{C}_4\text{F}_8:\text{SF}_6$ por 1,5 minuto, com a receita apresentada no Quadro 3.9, para remover totalmente a camada protetora da amostra nas regiões não irradiadas pelo feixe, mantendo o mascaramento das regiões afetadas, como apresenta a Figura 3.20(e). Dessa forma, observou-se que, essas

regiões mascaradas serviram como *hard mask*, durante o processo de corrosão por plasma ICP, para a transferência desse traçado para o substrato de semiconductor III-V, como apresenta a Figura 3.20(f). Esse processo foi executado em atmosfera de $\text{Cl}_2:\text{Ar}$, por 3 minutos, com os parâmetros descritos no Quadro 3.22. Na seção 4.3.2.1, será apresentada a caracterização estrutural dessa amostra, com os III-VNWS- n^+ , através das micrografias de MEV.

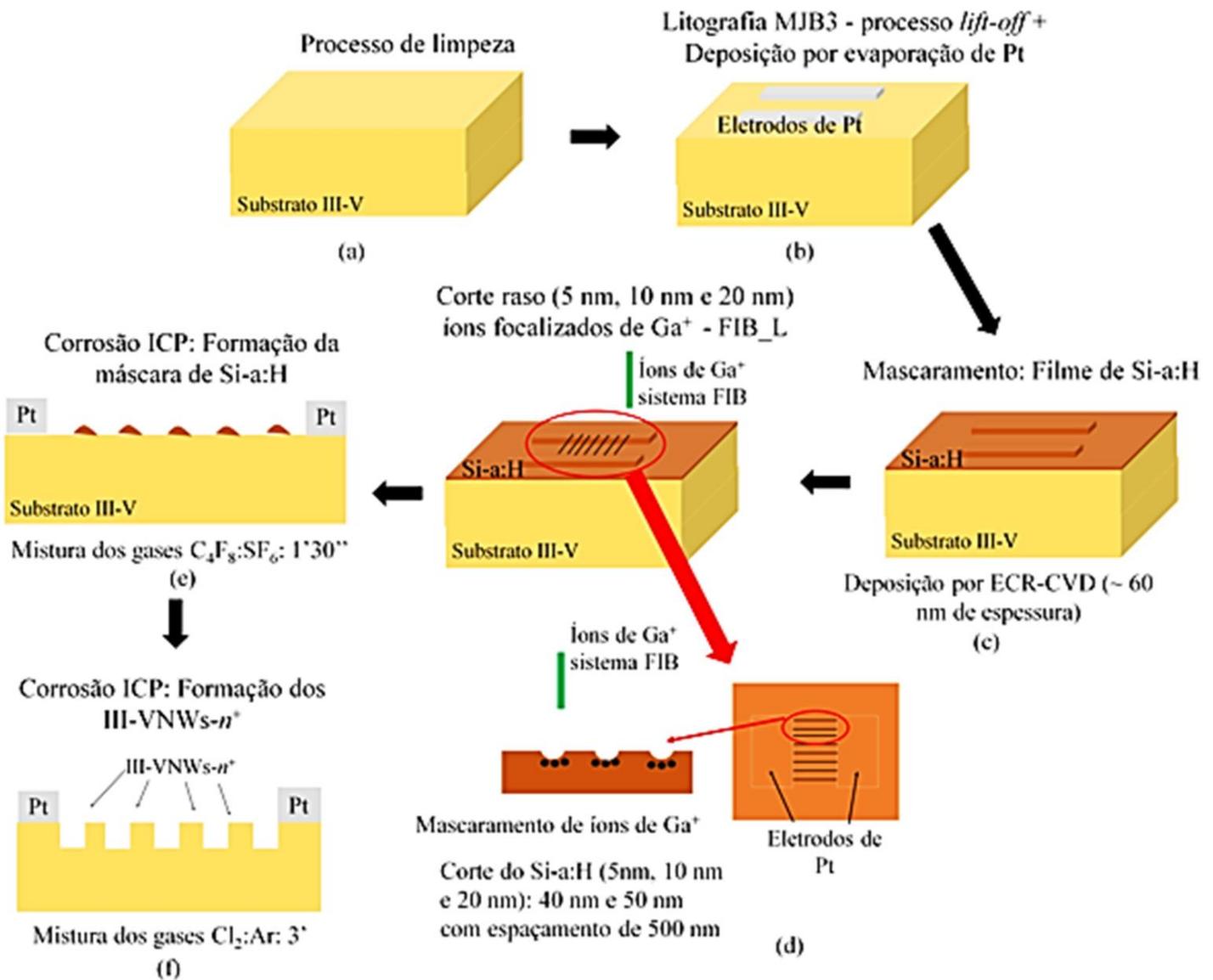


Figura 3.20 - Desenho esquemático da sequência de etapas de processo das técnicas PL (b) e FIB_L (c)-(e) para a formação dos III-VNWS- n^+ .

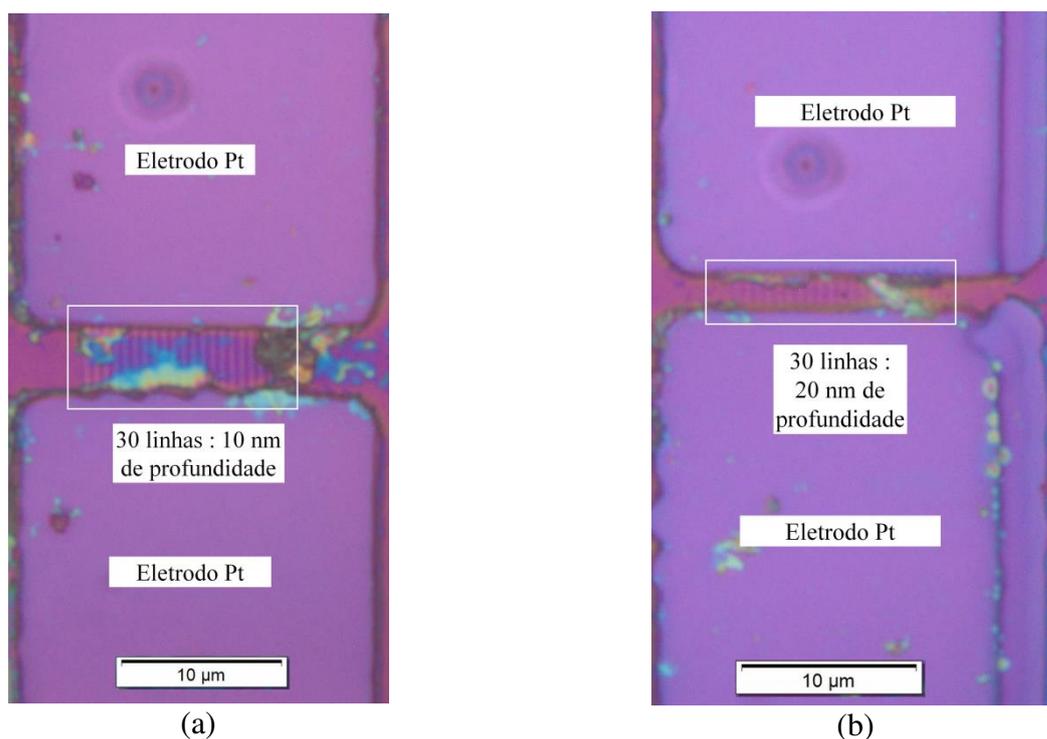


Figura 3.21 – As imagens de microscópio óptico da superfície da amostra com a camada protetora de filme de Si-a:H, os eletrodos de Pt, (a) o conjunto de 30 linhas de 10 nm de profundidade e (b) o conjunto de 20 linhas de 20 nm de profundidade. Nota: alguns resíduos da etapa de litografia na formação dos eletrodos.

Quadro 3.22 - Os parâmetros utilizados na corrosão por plasma de Cl_2 no sistema ICP, para a formação dos III-VNWS- n^+ .

Fluxo de Cl_2 (sccm)	Fluxo de Ar (sccm)	Potência ICP (W)	Potência RF (W)	Tempo de pro- cesso (min)	Pressão (mTorr)
12	26	225	85	3	5,5

4 RESULTADOS E DISCUSSÕES

Nesse capítulo, inicialmente, serão apresentadas as características físicas dos filmes de Si-a:H depositados por ECR-CVD que são: (i) ligações químicas, (ii) índice de refração e (iii) espessura.

Posteriormente, serão apresentadas as análises estruturais (microscopias óptica, MEV e AFM) das nanoestruturas obtidas pelas técnicas de PL e de SL (espaçador de filme de Si-a:H), utilizando diferentes camadas sacrificiais (Al, SiN_x e fotorresiste) e os conjuntos de fotomáscaras com diferentes estruturas (linhas paralelas e retangulares) com valores de CD igual 2 µm. Para valores de CD menores que 150 nm, serão apresentados os resultados das nanoestruturas formadas pelo procedimento sequencial das técnicas de PL, de FIB_M (máscara de filme de Si-a:H para a formação das mesas de Al) e de SL (espaçador de filme de Si-a:H). Os resultados com diferentes valores de CD serão comparados através das larguras dos SiNWs e dos *pitchs*. Na sequência, as medidas elétricas dos dispositivos MOS 3D (capacitores e transistores JNTs) fabricados sobre os SiNWs em substratos de Si e SOI, respectivamente, também serão apresentadas.

Finalmente, serão apresentados os resultados das micrografias de MEV dos SiNWs-*n*⁺ e dos III-IVNWs-*n*⁺ obtidos através da sequência das técnicas de PL e de FIB_L com máscara de filme de Si-a:H. Os dispositivos pseudo-MOS, baseados nos SiNWs-*n*⁺ obtidos pela técnica FIB_L, foram fabricados e caracterizados eletricamente.

A Figura 4.1(a) apresenta os desenhos esquemáticos, com as dimensões, e as micrografias dos SiNWs usados nós tecnológicos atuais de 14 nm (com *pitch* de 42 nm) e 22 nm (com *pitch* de 60 nm) para a fabricação dos transistores 3D da Intel (SMITH, 2014). Em detalhe, na micrografia da Figura 4.1(b), para o transistor 3D do nó tecnológico de 14 nm, são apresentados os valores de largura dos SiNWs de 8 nm e o *pitch* de 42 nm. Nesse capítulo, essa figura será usada como referência e comparação com os nossos resultados. Vale ressaltar que na Figura 4.1(a), quando se comparam os esquemas com as micrografias, verifica-se na parte interna, entre os SiNWs, que existe uma altura maior (patamar) do que a da parte externa. A formação desse patamar deve ter ocorrido por diferença de corrosões.

Evolução do *Fin* (SiNWs) do Transistor

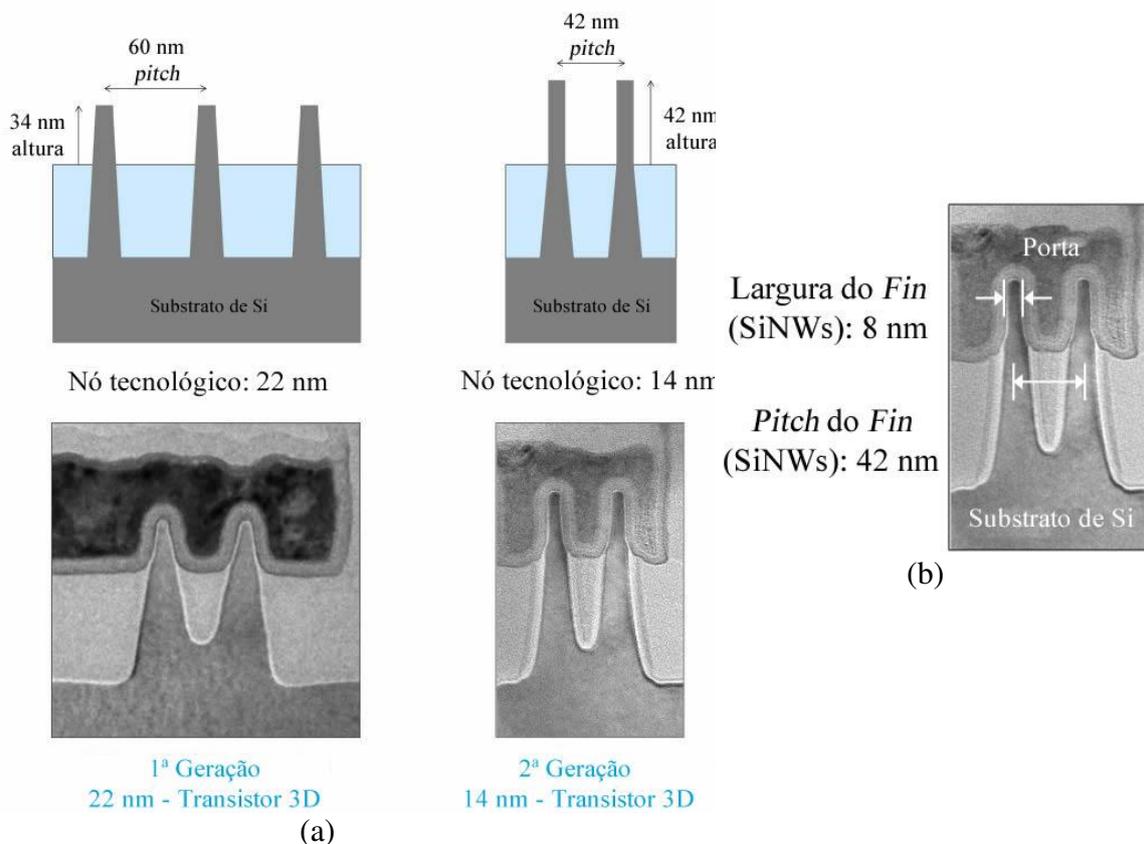


Figura 4.1 – (a) Desenhos esquemáticos adaptado, com as dimensões, e as micrografias dos SiNWs usados nos nós tecnológicos atuais de 14 nm (com *pitch* de 42 nm) e 22 nm (com *pitch* de 60 nm) para a fabricação dos transistores 3D da Intel. (b) Na micrografia adaptada, os valores de largura dos SiNWs de 8 nm e o *pitch* de 42 nm para o transistor 3D do nó tecnológico de 14 nm (SMITH, 2014).

4.1 CARACTERIZAÇÃO FÍSICA DOS FILMES DE SILÍCIO AMORFO HIDROGENADO

O filme de silício amorfo hidrogenado (Si-a:H) depositado por ECR-CVD é aplicado como espaçador na técnica SL e como camada protetora (máscara) nos processos de FIB_M e FIB_L. Assim, foram depositados filmes, em temperatura ambiente, por 5 minutos e 15 minutos, respectivamente, com espessuras em torno de 60 nm e 150 nm, conforme serão apresentados a seguir.

A Figura 4.2 apresenta as medidas de FTIR realizadas nas amostras depositadas com as mesmas condições de processo, em dias diferentes. Observa-se, nas três amostras, vales de transmitância em 2100 cm^{-1} devido às ligações de Si-H. Isto confirma a formação de filme de silício hidrogenado (ZANZUCCHI *et al.*, 1977; GHOSH *et al.*, 1979).

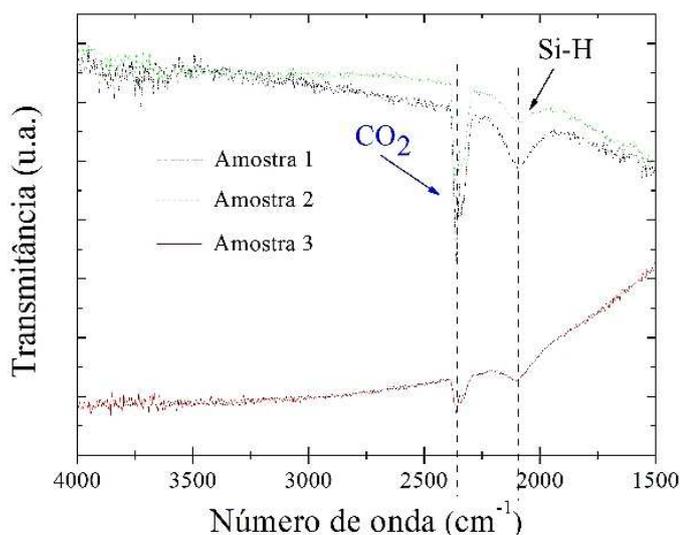


Figura 4.2 – O espectro FTIR dos filmes de Si-a:H depositados pelo sistema ECR-CVD com vales em 2100 cm^{-1} , indicando a formação de um filme de silício hidrogenado.

Os valores de índice de refração medidos por elipsometria para os filmes foram entre 4,19 e 4,14. Esses valores indicam a formação de filmes de silício amorfo, pois estão próximos do valor de 4,2 extraído da literatura (ZHU *et al.*, 2009). As espessuras medidas por elipsometria foram em torno de 150 nm e 60 nm. Para as amostras com os filmes de 150 nm, foi possível confirmar esse resultado, utilizando-se da técnica de interferometria.

4.2 TÉCNICA DE LITOGRAFIA POR ESPAÇADOR (SL)

Os nanofios de Si foram obtidos, utilizando a técnica de PL e de SL, com três diferentes camadas sacrificiais:

- (i) Filme fino de alumínio (Al) (ver seção 4.2.1 – amostras entre 1 e 9);
- (ii) Filme de nitreto de silício (SiN_x) (ver seção 4.2.2 – amostras entre 10 e 12);
- (iii) Filme de fotorresiste (FR), (ver seção 4.2.3 – amostras entre 13 e 16).

Além disso, foram utilizados dois conjuntos de fotomáscaras com estruturas diferentes, tais como:

- a) Linhas paralelas (linhas de $2\ \mu\text{m}$ de largura com espaçamento de $8\ \mu\text{m}$);
- b) Retangulares para a definição de região ativa de transistores (dimensão crítica de $2\ \mu\text{m}$).

Para obter valores de CD menores que 150 nm, foi realizado o procedimento sequencial das técnicas de PL, de FIB_M (máscara de filme de Si-a:H para a formação das mesas de Al) e de SL (espaçador de filme de Si-a:H), conforme mostra a seção 4.2.1 (amostra 8).

Como foi mencionando na seção 3.3 e apresentado na Figura 3.1, três diferentes sistemas (RIE, ECR e ICP) foram utilizados na corrosão por plasma, para a formação dos espaçadores e, posteriormente, para a obtenção dos SiNWs.

4.2.1 Nanofios de Silício (SiNWs) Obtidas com Camada Sacrificial (Mesa ou Mandril) de Alumínio

Primeiramente, serão apresentados e discutidos os resultados obtidos das amostras preparadas com mesa de Al, com estruturas em linhas paralelas (amostras entre 1 e 8). Na sequência, a amostra 9 fabricada com estruturas retangulares. Além disso, os resultados da caracterização elétrica dos capacitores MOS 3D (amostras 1 e 2) e dos transistores JNTs (amostra 9).

4.2.1.1 Estruturas em Linhas Paralelas

A Tabela 4.1 apresenta o resumo das amostras obtidas com camada sacrificial (mesa ou mandril) de Al e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (*pitch*), tendo as seguintes descrições:

- (i) Tipos de substratos, corrosões secas e dispositivos;
- (ii) Principais análises de MEV ou de AFM, que indicam a formação do SiNWs;
- (iii) Os valores de largura (*W*) dos SiNWs e os *pitchs* obtidos.
- (iv) Os valores da média das larguras e do desvio padrão.

Nessa mesma tabela, na última linha, são apresentados os resultados das mesas de Al gravadas através da técnica FIB_M, que resultaram em nanoestruturas em linhas paralelas, espaçadas com dimensões menores que 200 nm (*pitch*).

Tabela 4.1 - Resumo das amostras obtidas, pela técnica SL, com mandril de Al e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (*pitch*). Como também, as nanoestruturas com *pitch* menores que 200 nm obtidas por mandril de Al, gravado pela técnica FIB_M.

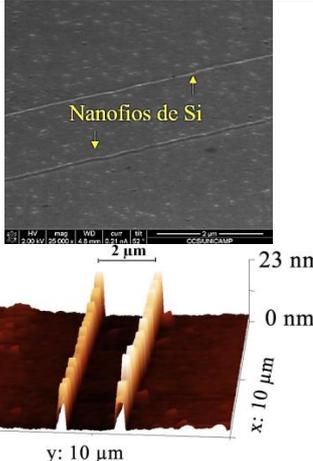
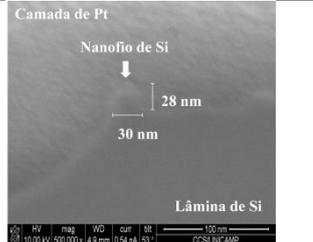
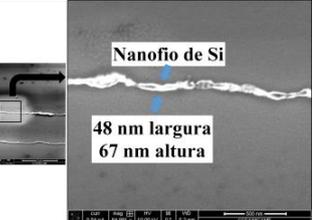
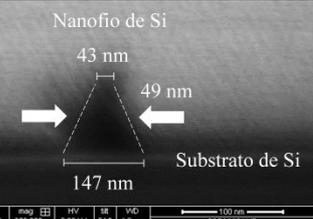
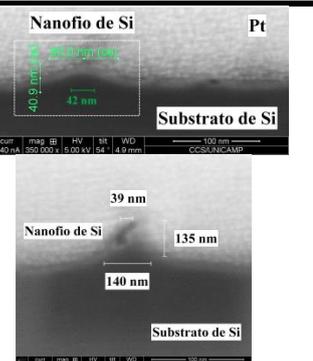
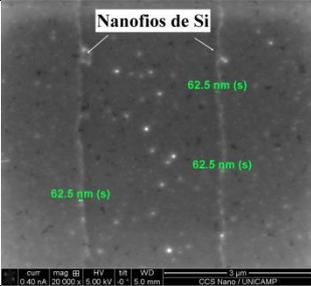
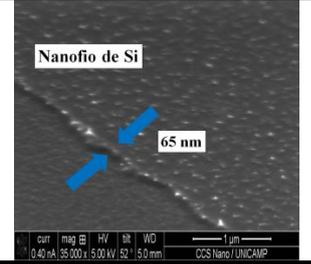
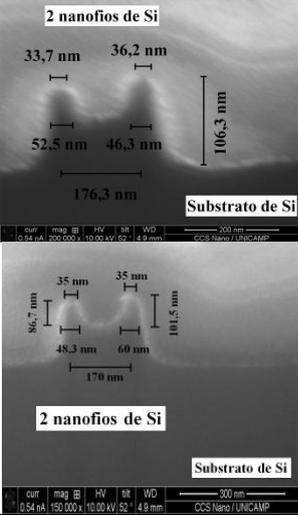
Amostras	Tipos de substratos, corrosões secas e dispositivos	Análises MEV ou AFM	Larguras (W) dos SiNWs e <i>pitchs</i>
1	Si-p RIE (1 ^a : 2'+1'+2'/ 2 ^a : 5') Capacitores 3D		~ 16 nm 2 μm
2	Si-p RIE (1 ^a : 5'/ 2 ^a : 5') Capacitores 3D		30 nm 2 μm
3	Si-p ECR (1 ^a : 2'30''/ 2 ^a : 5') Sem dispositivo		~ 48 nm 2 μm
4	Si-p ECR (1 ^a : 2'30''/ 2 ^a : 5') Sem dispositivo		~ 43 nm 2 μm
5	Si-p RIE (1 ^a : 5'/ 2 ^a : 10') Sem dispositivo		~ 40 nm 2 μm

Tabela 4.1 (continuação)

6	Si-p ICP (1 ^a : 1' / 2 ^a : 3') Sem dispositivo	 <p>Nanofios de Si</p> <p>62,5 nm (s)</p> <p>62,5 nm (s)</p> <p>62,5 nm (s)</p> <p>3 μm</p> <p>0,40 nA 20.000 x 5,00 kV 0 5,0 mm</p> <p>CCS Nano / UNICAMP</p>	~ 62 nm 2 μm
7	SOI sem camada do- pada ICP (1 ^a : 1' / 2 ^a : 5') Sem dispositivo	 <p>Nanofio de Si</p> <p>65 nm</p> <p>1 μm</p> <p>0,40 nA 95.000 x 9,00 kV 52 5,0 mm</p> <p>CCS Nano / UNICAMP</p>	~ 65 nm 2 μm
Média e desvio padrão das larguras (W) dos SiNWs			~ 48 nm ± 13 nm ⁴
8	Si-p ICP (1 ^a : 2'40''; 2 ^a : 2'40''; 3 ^a : 5') Sem dispositivo	 <p>2 nanofios de Si</p> <p>33,7 nm 36,2 nm</p> <p>52,5 nm 46,3 nm</p> <p>106,3 nm</p> <p>176,3 nm</p> <p>Substrato de Si</p> <p>200 nm</p> <p>0,14 nA 200.000 x 10,00 kV 52 4,9 mm</p> <p>CCS Nano / UNICAMP</p> <p>2 nanofios de Si</p> <p>35 nm 35 nm</p> <p>86,7 nm 48,3 nm 60 nm 101,5 nm</p> <p>170 nm</p> <p>Substrato de Si</p> <p>300 nm</p> <p>0,54 nA 150.000 x 10,00 kV 52 4,9 mm</p> <p>CCS Nano / UNICAMP</p>	~ 35 nm Pitch: 170 nm

4.2.1.1.1 Amostra 1

a) Caracterização estrutural

A descrição da amostra 1 foi apresentada na seção 3.3.1.1.1 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.3. Resumidamente, os

⁴ Esses valores foram calculados desconsiderando o valor mínimo obtido (16 nm).

nanofios de Si foram obtidos utilizando as técnicas PL e SL, sobre o substrato de Si. A fotomáscara de linhas paralelas (ver Figura 3.2) foi utilizada para a transferência de traçado sobre o filme fino de Al (100 nm de espessura) através da técnica PL. Posteriormente, este filme foi corroído quimicamente (solução $\text{H}_3\text{PO}_4:\text{HNO}_3$ em $80\text{ }^\circ\text{C}$), resultando na formação das mesas de Al (camada sacrificial), como mostra a Figura 4.3(a). Nessa figura, é possível verificar a formação da mesa de Al, com uma largura de aproximadamente $2\text{ }\mu\text{m}$ (faixa amarela), e, com o filme de Al corroído, ficou exposta a fina camada de SiO_2 ($\sim 10\text{ nm}$ de espessura – faixa marrom), com uma largura de $8\text{ }\mu\text{m}$, logo abaixo do mesmo. Assim, as mesas de Al ficaram com 100 nm de altura e $2\text{ }\mu\text{m}$ de largura, com o espaçamento entre elas de $8\text{ }\mu\text{m}$.

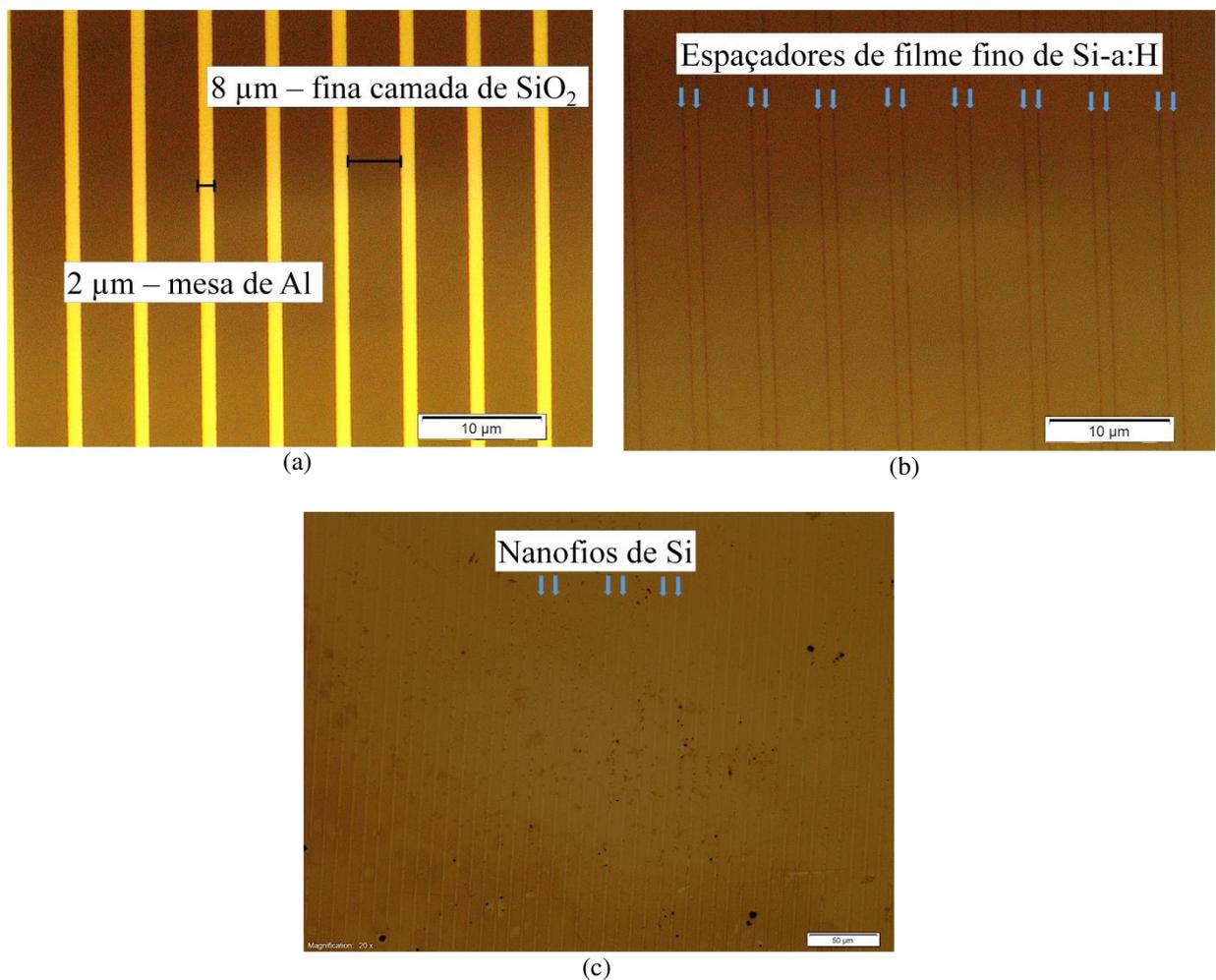


Figura 4.3 - Imagens ópticas da superfície da amostra 1 durante as etapas de processo para a formação dos SiNWs. (a) As mesas de Al (faixas amarelas) definidas pela técnica PL e formadas por corrosão química, ficando exposta a fina camada inferior de SiO_2 ($\sim 10\text{ nm}$ de espessura). As mesas tinham $\sim 100\text{ nm}$ de altura e $2\text{ }\mu\text{m}$ de largura com o espaçamento entre elas de $8\text{ }\mu\text{m}$. (b) A superfície da amostra após a corrosão por plasma RIE do filme fino de Si-a:H, formando os espaçadores nas paredes laterais das mesas. (c) A superfície da amostra com os SiNWs formados, após a corrosão por plasma no sistema RIE, que corroeu os espaçadores, o filme fino de SiO_2 e o substrato de Si.

Com as mesas definidas, foi depositado sobre elas, o filme fino de Si-a:H de 150 nm de espessura. Para a formação dos espaçadores, foi realizada a corrosão por plasma pelo sistema RIE em etapas, em atmosfera de SF₆:Ar, levando a remoção total do filme de Si-a:H, que estava sobre as mesas de Al e a fina camada de SiO₂. Esse procedimento possibilitou que o filme de Si-a:H ficasse na amostra somente nas paredes laterais das mesas. Na sequência, a corrosão total das mesas de Al (corrosão química) resultou na obtenção dos espaçadores de Si-a:H, como pode ser visto na Figura 4.3(b). Dessa forma, os espaçadores de Si-a:H atuaram como máscara sobre a fina camada de SiO₂ que, por sua vez, foi máscara sobre o substrato de Si na corrosão por plasma pelo sistema RIE, realizada posteriormente. Logo, esses procedimentos resultaram na formação dos nanofios de Si, como pode ser visualizada na Figura 4.3(c).

Somente com as imagens obtidas do microscópio óptico (ver Figura 4.3(c)), que tem aumento de 2.000x, não foi possível verificar detalhes dos nanofios obtidos após todas as etapas de fabricação. Com isso, para averiguar maiores detalhes, tais como: as dimensões e a qualidade dos SiNWs, foram realizadas as micrografias de MEV (do sistema FIB/SEM) como podem ser vistas na Figura 4.4. Nessa figura, é possível verificar a presença de 5 nanofios de Si que aparentemente apresentam boa qualidade e integridade, uma vez que, esses apresentam comprimentos maiores que 10 µm. A Figura 4.4(b) mostra 4 nanofios de Si com distância entre eles de aproximadamente 2 µm, que é a medida da largura da mesa de Al, e o intervalo de 8 µm, sendo as mesmas medidas encontradas na Figura 4.3(a). Isso indica que o traçado impresso (máscara) foi seguido e ocorreu a formação de um traçado duplo como previsto na seção 1.2 (MA *et al.*, 2010; CHOI *et al.*, 2003; VEENDRICK *et al.*, 2008; JOVANOVIĆ *et al.*, 2008). A Figura 4.4(c) traz os detalhes de 2 SiNWs com espaçamento de 2 µm. Assim, pode-se adotar que o *pitch* é a dimensão desse espaçamento de 2 µm para todas as amostras fabricadas a partir dessa estrutura de linhas paralelas (amostras 1 a 8 - Tabela 4.1). A Figura 4.4(d) apresenta a medida da largura de um nanofio que é de aproximadamente 16 nm. Portanto, essa amostra apresentou nanofios de 16 nm de largura com *pitch* de 2 µm. A largura de 16 nm trata-se de uma dimensão usada nos atuais nós tecnológicos de 14 e 22 nm (Figura 4.1). Uma nota importante de ressaltar é que o traçado do espaçador tinha espessura de 150 nm, que resultou no nanofio de 16 nm, com redução de dimensão de uma ordem de grandeza. Essa redução provavelmente se deve a corrosão lateral do espaçador durante o processo de corrosão por plasma RIE. Assim, todas as sequências de processo dessa amostra foram repetidas para a obtenção das amostras 2 e 5, conforme apresenta a Tabela 4.1

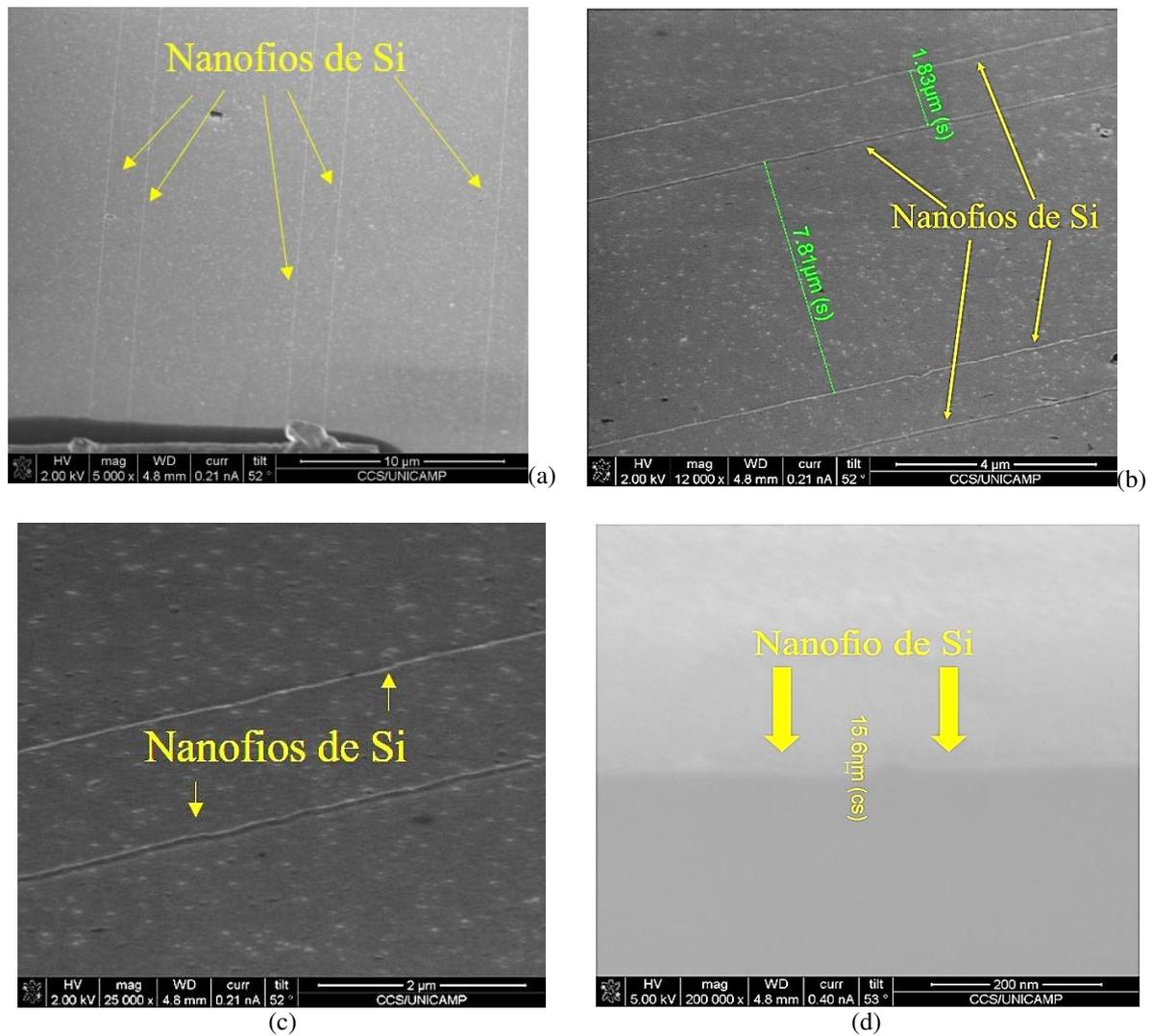


Figura 4.4 - As micrografias de MEV da superfície da amostra 1 com os SiNWs formados, após todas as etapas de processo, sobre o substrato de Si. (a) Os nanofios formados na superfície, ficando evidente a formação de um traçado duplicado; (b) SiNWs com a distância entre eles de $\sim 2 \mu\text{m}$ (região da mesa de Al) e intervalo de $\sim 8 \mu\text{m}$. (c) Em detalhe, uma dupla de nanofios, sendo possível verificar a continuidade deles. (d) A largura de um SiNWs de 15,6 nm.

Os bons resultados apresentados pelas micrografias de MEV induziram mais análises das nanoestruturas, tais como: verificar a sua topografia. Para isso, foram realizadas as micrografias de AFM como ilustra a Figura 4.5. Assim, essa figura apresenta as micrografias de AFM dos SiNWs em duas dimensões (2D) (em (a) e (b)), em três dimensões (3D) (em (c) e (d)) e os perfis (em (e) e (f)) dos nanofios formados.

A Figura 4.5(a) mostra a superfície bidimensional da amostra com 4 nanofios de Si bem definidos, com comprimentos de, pelo menos, $25 \mu\text{m}$ (tamanho da micrografia). O mesmo comportamento pode ser observado na Figura 4.5(b), em destaque, 2 nanofios com comprimento de $10 \mu\text{m}$. Já a Figura 4.5 (em (c) e (d)) é possível observar, em três dimensões, os

nanofios de Si, sendo 4 nanofios e 2 nanofios, respectivamente. As distâncias entre as nanoestruturas e os intervalos entre elas condizem com as medidas das micrografias de MEV (ver Figura 4.4(b)) e das imagens ópticas (ver Figura 4.3(a)). Através da Figura 4.5, em (a) e (b), foram traçados os perfis de altura dos SiNWs, como podem ser vistos na Figura 4.5, em (e) e (f), respectivamente. A Figura 4.5(e) mostra 4 nanofios com valores de altura entre 12 e 20 nm. Enquanto que, a Figura 4.5(f) mostra 2 nanofios de Si que estão com altura entre 10 e 15 nm.

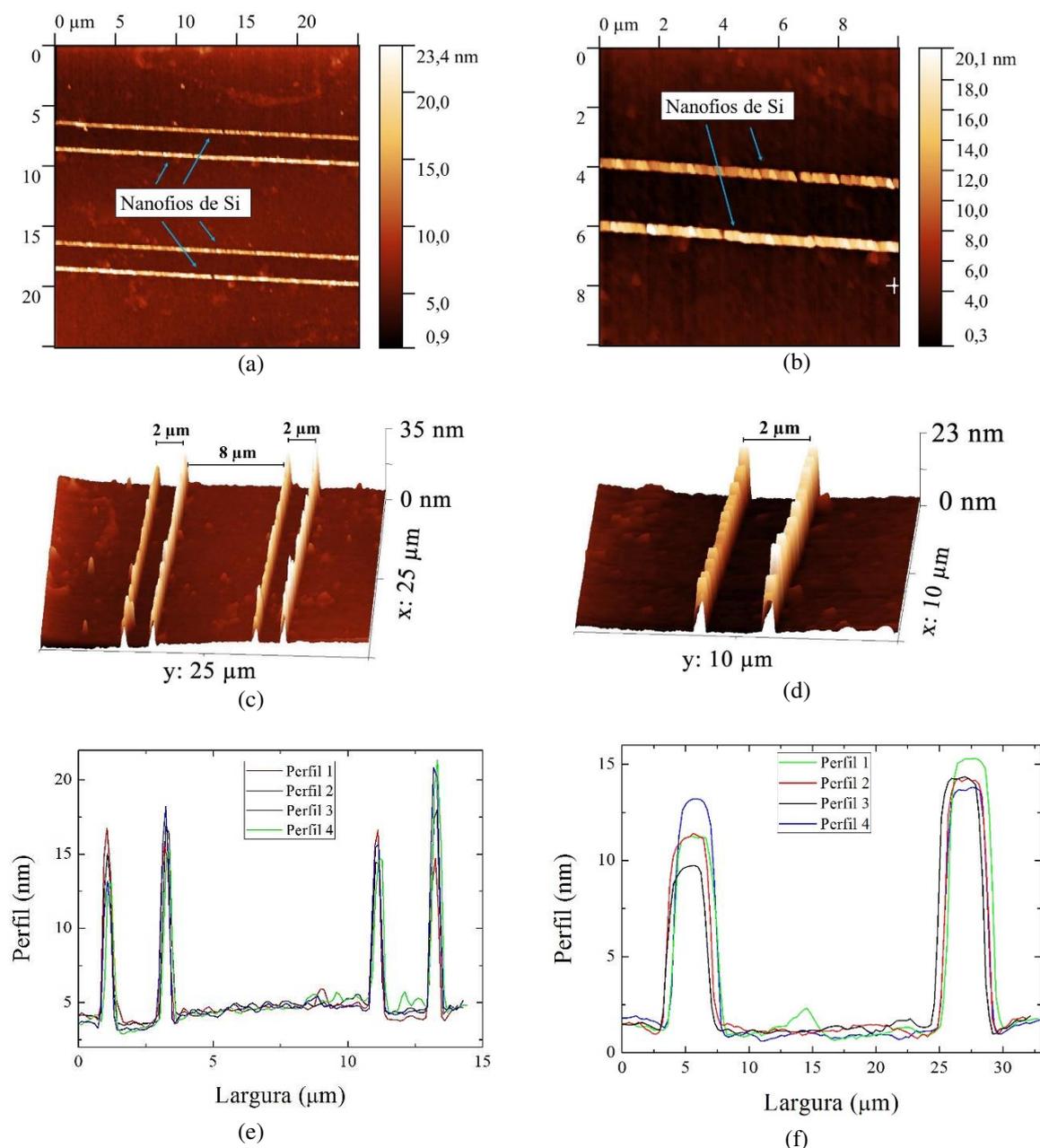


Figura 4.5 - As micrografias de AFM da superfície da amostra 1 em 2D, em 3D e perfis de alturas das nanoestruturas de Si sobre o substrato de Si da amostra 1. (a) A superfície bidimensional de 4 SiNWs bem definidos com comprimento de 25 μm . (b) Em detalhes, a superfície da amostra com 2 nanofios de Si, mostrando a qualidade dos mesmos. (c) e (d) As micrografias em 3D da superfície das amostras com 4 nanofios e 2 nanofios, respectivamente. (e) e (f) Os perfis de alturas dos nanofios de Si traçados a partir das micrografias (a) e (b).

A Figura 4.6 mostra dois esquemas, 3D (em azul) e 2D (em cinza), indicando como ficaram as nanoestruturas, com os valores de ~ 16 nm de largura e ~ 18 nm de altura, com *pitch* de $2 \mu\text{m}$, extraídos respectivamente, das análises de MEV (Figura 4.4(d)) e de AFM (da própria Figura 4.6).

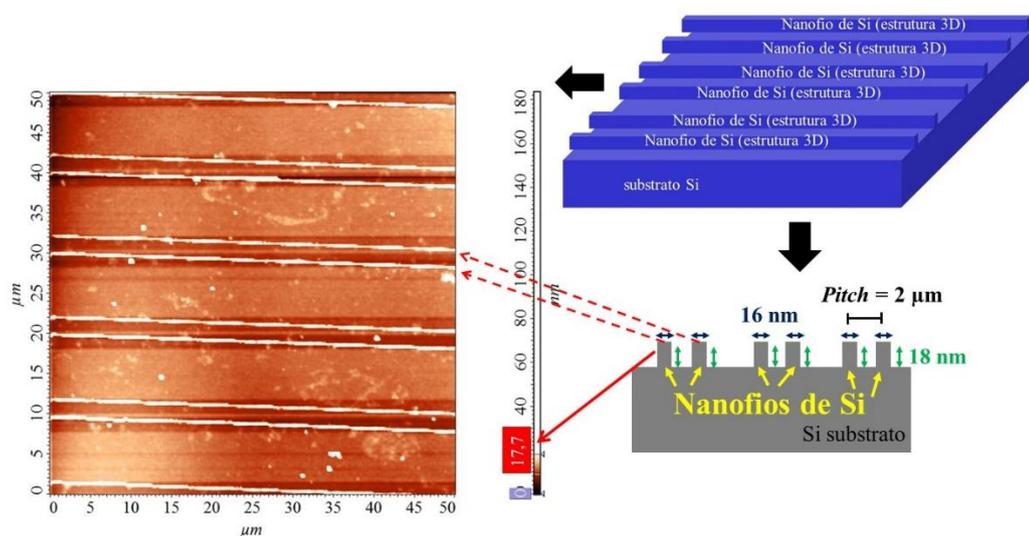


Figura 4.6 – O resumo das dimensões dos SiNWs obtidos pelas técnicas PL e SL com dois desenhos esquemáticos, em 3D (em azul) e em 2D (em cinza), indicando como ficaram as nanoestruturas na amostra 1, com 16 nm de largura e 18 nm de altura, com *pitch* de $2 \mu\text{m}$, extraídos respectivamente, das análises de MEV e de AFM.

b) Caracterização elétrica

As etapas de processo para a fabricação dos capacitores MOS 3D (estrutura de porta) foram realizadas sobre os SiNWs da amostra 1, como foi descrito em detalhes na seção 3.3.1.1.1. Após todas as etapas de processo, as micrografias de MEV foram feitas e estão apresentadas na Figura 4.7 (em (a) e (b)). Essas figuras ilustram os eletrodos de porta de Al sobre os SiNWs obtidos a partir da técnica SL.

Após a análise da superfície da amostra 1, a caracterização elétrica foi realizada para verificar o funcionamento dos capacitores MOS 3D e, conseqüentemente, a condução de corrente no SiNWs. Essa medida resultou na curva de capacitância x tensão (curva C-V), como mostra a Figura 4.8. Esse procedimento foi realizado após a amostra ser submetida a 30 minutos de recozimento, em forno convencional, como mencionado na seção 3.3.1.1.1. Assim, a partir da curva C-V, os valores de capacitância máxima ($C_{MÁX}$), capacitância mínima ($C_{MÍN}$) e o valor de tensão de banda plana (V_{FB}) são identificados e podem ser observados na Tabela 4.2. Além disso, a partir desses valores, determina-se os valores da espessura física do óxido (t_{ox}) e da

densidade de carga efetiva (Q_o/q), que também estão citados na Tabela 4.2. Dessa forma, o valor da espessura do óxido (t_{ox}) foi determinado de aproximadamente 7 nm, sendo próximo do esperado de 10 nm (medido por elipsometria), como foi mencionado na seção 3.3.1.1.1.

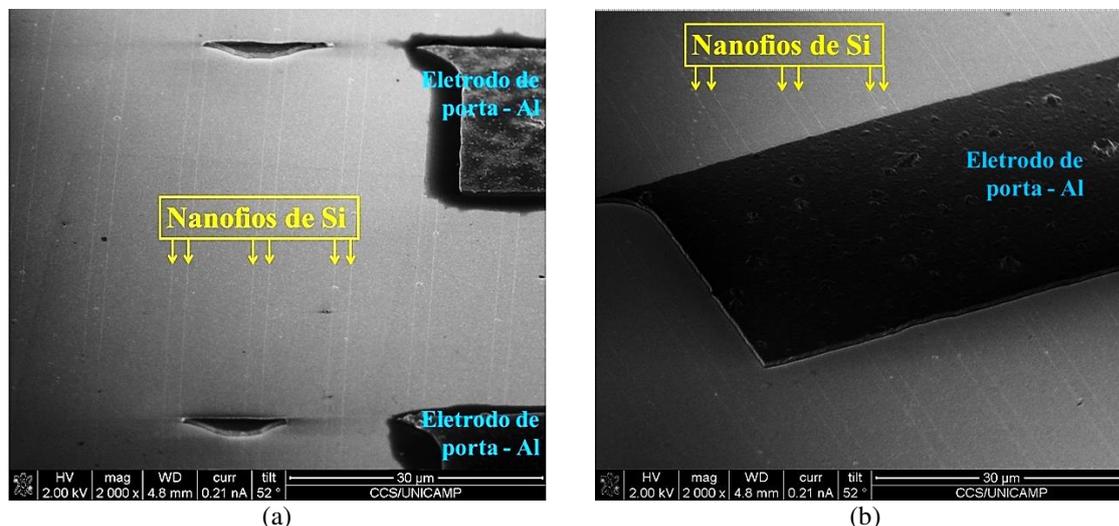


Figura 4.7 – (a) e (b) As micrografias do MEV da superfície da amostra 1 com os capacitores MOS 3D fabricados, indicando a presença dos nanofios de Si e, sobre eles, os eletrodos de porta de Al.

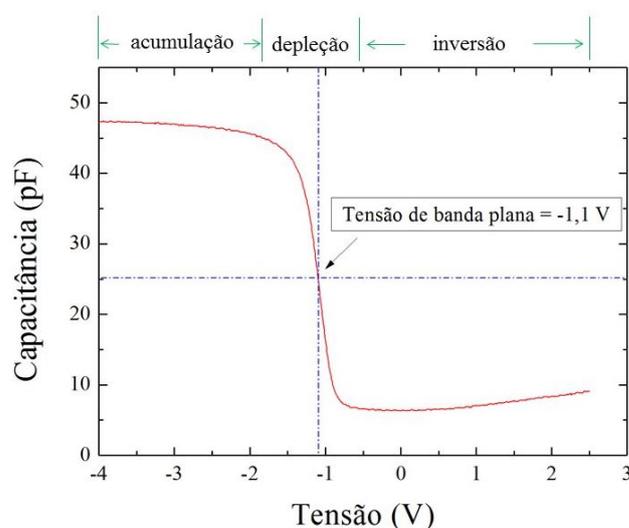


Figura 4.8 – O gráfico da curva C-V de um capacitor MOS 3D fabricado sobre os SiNWs da amostra 1.

A partir da Figura 4.8, observa-se o pleno funcionamento do capacitor, uma vez que as regiões de acumulação, depleção e inversão estão bem definidas. Conforme encontra-se na literatura, a estrutura MOS com eletrodo de Al, sobre substrato de Si do tipo-*p*, apresenta o valor de tensão V_{FB} ideal de aproximadamente - 0,9 V (HUANG, 2006). Esse valor implica num mínimo valor de densidade de carga Q_o/q , em torno de 10^{11} cm^{-2} , na estrutura MOS. Dessa maneira, a partir da curva C-V do capacitor MOS 3D, o valor de V_{FB} é de - 1,1 V, que é próximo do ideal, com o mesmo valor de densidade de carga de 10^{11} cm^{-2} . Assim, esses parâmetros

confirmam o pleno funcionamento do capacitor, com valores aceitáveis, para dispositivos MOS 3D.

Tabela 4.2 – Resultados encontrados a partir da curva C-V apresentada na Figura 4.8.

$C_{MAX.}$ (pF)	$C_{MIN.}$ (pF)	V_{FB} (V)	Q_0/q (cm ⁻²)	t_{OX} (nm)
47,4	6,3	- 1,1	$3,4 \times 10^{11}$	6,92

4.2.1.1.2 Amostra 2

a) Caracterização estrutural

A descrição da amostra 2 foi apresentada na seção 3.3.1.1.2 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.3. Essa amostra tem a finalidade de reproduzir os resultados encontrados até o momento. Portanto, foi fabricada com as mesmas etapas de processo descritos na seção 3.3.1.1.1, com exceção do processo RIE para a formação dos espaçadores nas paredes laterais das mesas de Al, que para a amostra 2 foi realizado na forma direita, sem interrupção. Enquanto, para amostra 1, esse processo foi executado em etapas até a retirada do Si-a:H sobre a mesa de Al. O tempo total das etapas resultou em 5 minutos. Esse tempo foi usado na amostra 2 sem interrupção do processo.

As imagens ópticas da superfície da amostra 2 foram feitas durante as etapas de processo na formação das mesas de Al, após a corrosão química, e nos espaçadores de filme de Si-a:H, como mostra a Figura 4.9(a)-(b), respectivamente. A partir da Figura 4.9(a), observam-se as mesas, que são as faixas em azul claro, com 2 μ m de largura e as faixas em azul escuro, a fina camada de SiO₂ de 8 μ m de largura. Já a Figura 4.9(b) apresenta a superfície da amostra após a corrosão total das mesas de Al para a formação dos espaçadores de filme de Si-a:H, que ficaram nas paredes laterais das mesas de Al na corrosão por plasma no sistema RIE.

Após a finalização das etapas de processo, acarretando na formação dos SiNWs, a superfície da amostra foi analisada pela microscopia de AFM, como pode ser vista na Figura 4.10, para verificar os detalhes das nanoestruturas. A Figura 4.10(a) apresenta a superfície da amostra em 2D, a qual é possível observar as faixas em diferentes cores, indicando variação de altura com a formação de um patamar na região onde estava a mesa de Al. A Figura 4.10(b), que é análise 3D, confirma a formação do patamar. Para verificar maiores detalhes dessa região do patamar, a Figura 4.10(c) mostra a análise 3D, indicando que nas bordas do patamar há a

formação de nanofios de Si. Isso é confirmado através da análise de perfis de altura mostrada na Figura 4.10(d).



Figura 4.9 – As imagens ópticas da superfície da amostra 2 após as etapas de processo, sendo (a) após a etapa de corrosão química do Al, para a formação das mesas de Al (faixas em azul claro) sobre a fina camada de SiO_2 (faixa em azul escuro) e (b) após a etapa de corrosão química do Al, para a formação dos espaçadores de filme de Si-a:H.

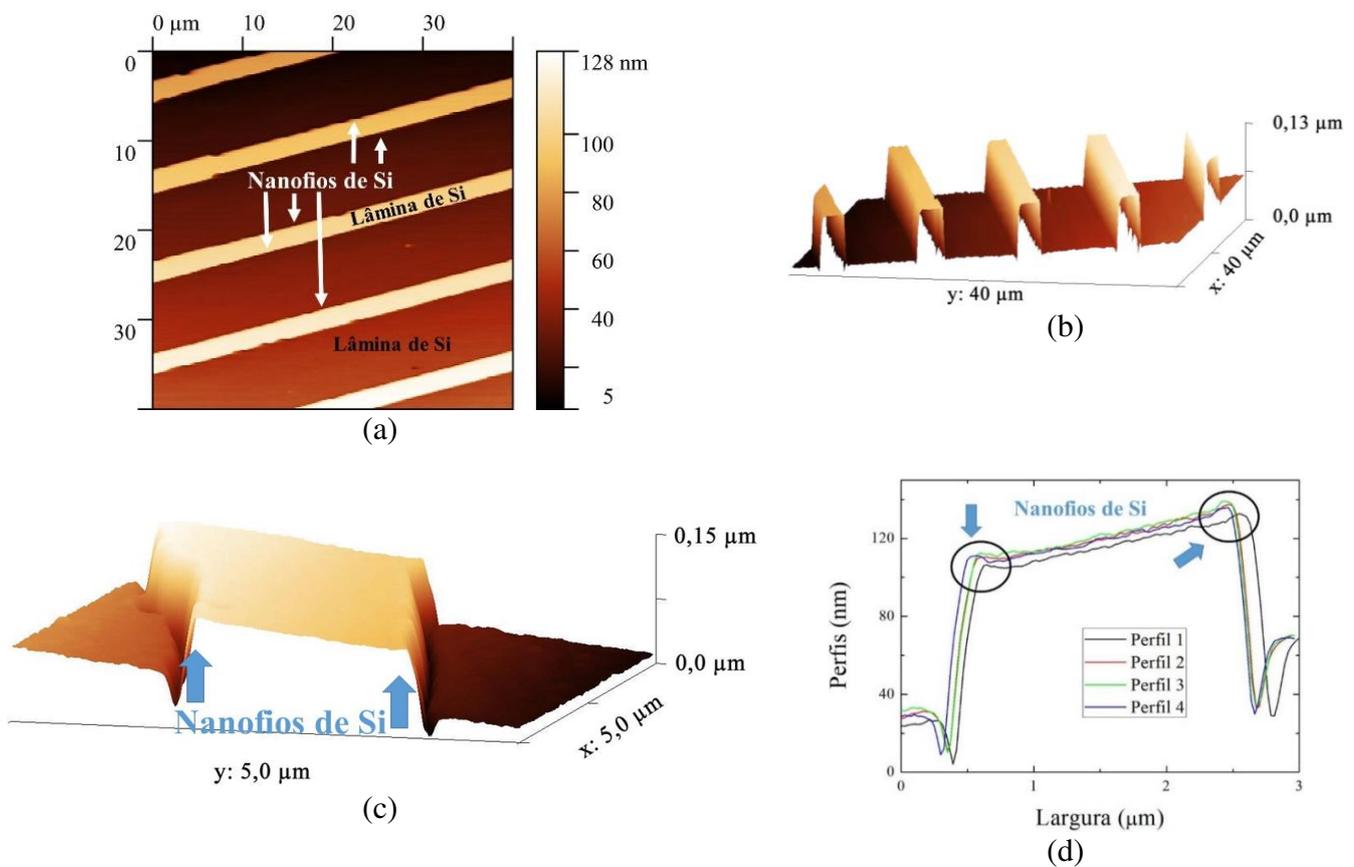


Figura 4.10 – As micrografias de AFM da superfície da amostra 2 em 2D, 3D e os perfis de altura, sendo (a) em 2D com diferentes alturas da lâmina de Si (faixas claras e escuras) e (b) a mesma superfície em 3D. (c) Detalhes da região do patamar em 3D, indicando a formação dos SiNWs nas bordas. (d) Os perfis de altura das nanoestruturas confirmando a formação dos nanofios nas bordas do patamar.

Na amostra 2, o patamar formado ocorreu, provavelmente, devido ao processo de corrosão por RIE (para a formação dos espaçadores nas paredes laterais das mesas de Al), executado da forma direta, ao invés de ser executado em etapas como ocorrido para amostra 1. Importante ressaltar que os tempos de processo foram iguais, mas com resultados diferentes. O esquema da Figura 4.11 mostra que no processo em etapas, na amostra 1, a corrosão não removeu, nem a fina camada de SiO_2 e, nem o Si, na parte externa da região da mesa. Enquanto, que no processo direto, supõe-se que na parte externa à mesa, foram removidos tanto o SiO_2 quanto uma parte do substrato de Si. Vale ressaltar que o patamar também ocorre na fabricação dos nanofios usados nos transistores 3D na Intel, conforme mostra a Figura 4.1.

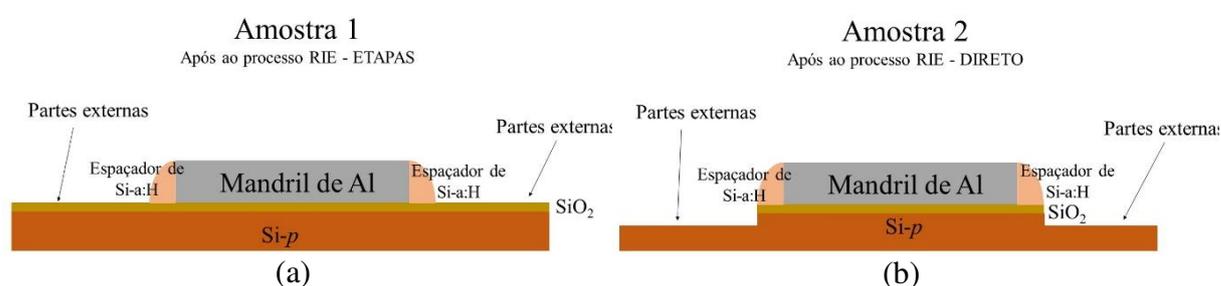


Figura 4.11 – Desenhos esquemáticos das seções transversais da (a) amostra 1 e da (b) amostra 2, durante o processo de corrosão por RIE em etapas e direto, respectivamente, indicando a formação dos patamares formados entre os SiNWs.

Para confirmar os resultados discutidos anteriormente, foram realizadas as micrografias de MEV, como ilustra a Figura 4.12. Na Figura 4.12(a), observa-se a superfície da amostra, indicando a formação de nanofios nas extremidades, onde estava o mandril de Al. No detalhe aproximado da mesma figura, é apresentado o nanofio resultante. A Figura 4.12(b) apresenta a seção transversal da superfície da amostra, a qual observa-se a presença do nanofio na borda, que está em destaque com um retângulo branco, também mostrada pelas micrografias de AFM (Figura 4.10). Para maiores detalhes do nanofio obtido, a micrografia da Figura 4.12(c) indica suas dimensões de 28 nm de altura com 30 nm de largura.

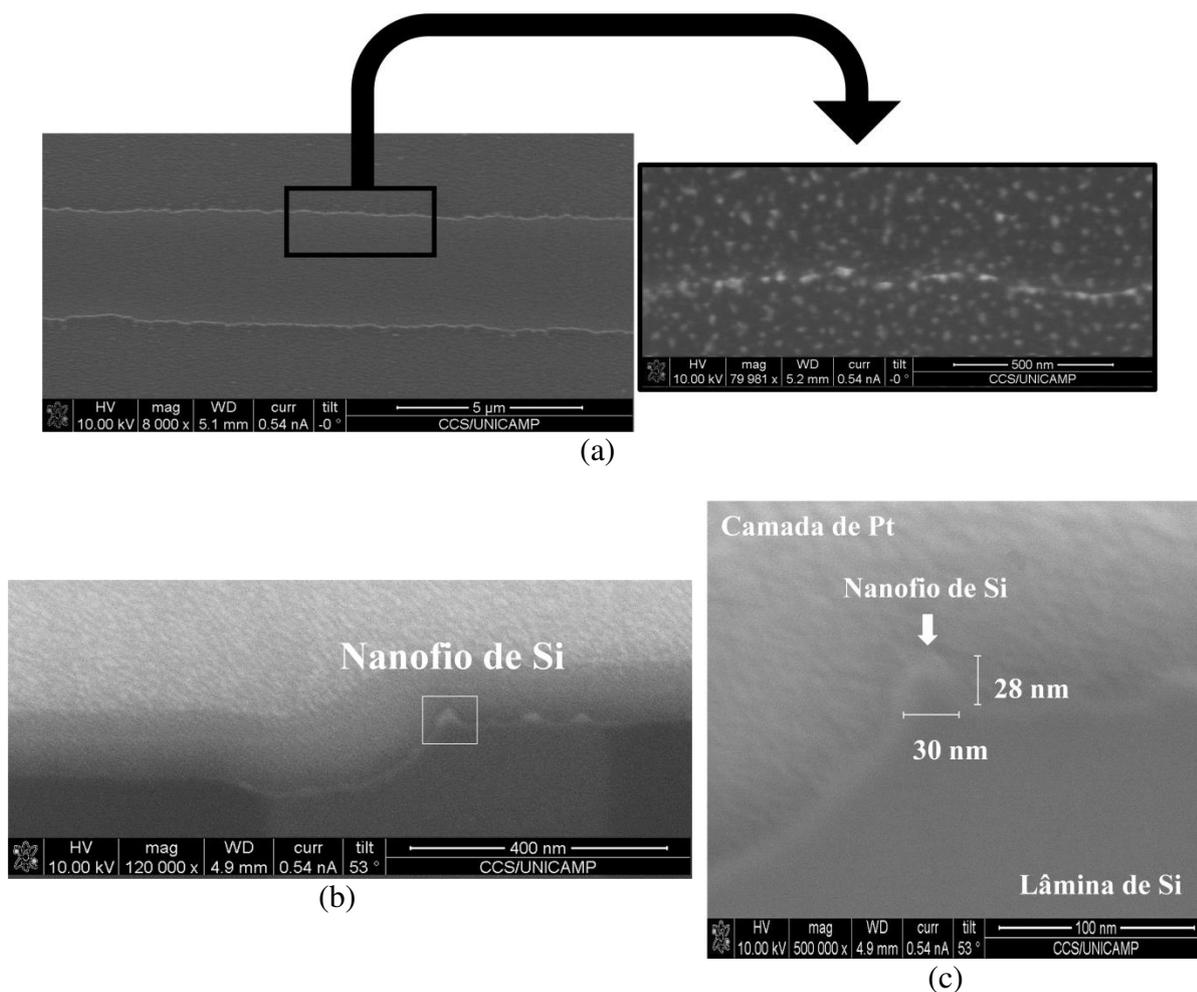


Figura 4.12 – As micrografias de MEV da superfície da amostra 2 para a medida das dimensões das nanoestruturas. (a) A superfície da amostra com dois SiNWs, nas bordas da região onde estavam o mandril de Al, e, em detalhe, parte do nanofio. (b) O corte transversal da superfície da amostra com uma saliência nas bordas. (c) As dimensões do SiNW de 28 nm de altura e 30 nm de largura.

b) Caracterização elétrica

Com a formação dos SiNWs com patamar sobre a lâmina de Si, os capacitores foram produzidos. As micrografias da Figura 4.13 mostram o capacitor MOS 3D com vários nanofios e área estimada de $9.500 \mu\text{m}^2$, como é apresentada na Figura 4.13. A Figura 4.13 (em (a) e (c)) ilustra a presença dos eletrodos de porta de filme de Al, sobre os nanofios de Si formados na superfície da amostra, em diferentes direções. Já a Figura 4.13(d) apresenta o corte transversal do eletrodo de Al, destacando a formação dos SiNWs na borda de um patamar.

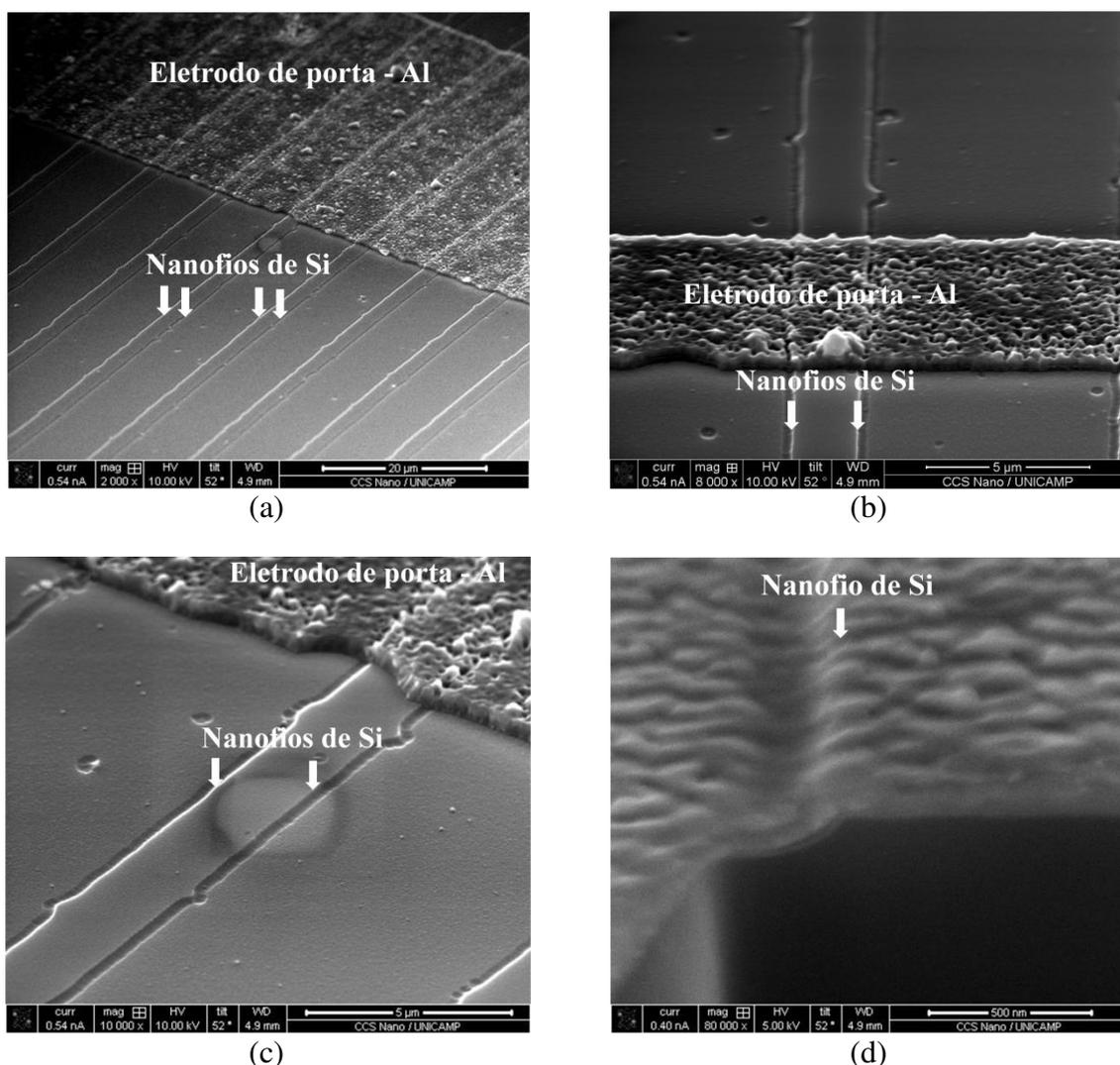


Figura 4.13 – As micrografias de MEV após a formação dos capacitores MOS 3D sobre os SiNWs da lâmina de Si da amostra 2. (a), (b) e (c) A superfície da amostra com os eletrodos de Al sobre os nanofios de Si em diferentes direções. (d) O corte transversal do eletrodo de Al para visualizar a saliência nas bordas da estrutura, sendo identificado SiNWs.

Para verificar a condução de corrente elétrica pelos SiNWs com patamares, as medidas elétricas foram realizadas, após o processo de recozimento, em forno convencional, como mencionado na seção 3.3.1.1.2b), e analisadas, utilizando a curva de capacitância vs. tensão (curva C-V), como ilustra a Figura 4.14. A partir da curva C-V, os valores de capacitância máxima ($C_{MÁX}$), capacitância mínima ($C_{MÍN}$) e o valor de tensão de banda plana (V_{FB}) são identificados e podem ser observados na Tabela 4.3. Além disso, a partir desses valores, determinou-se os valores da espessura física do óxido (t_{ox}) e da densidade de carga efetiva (Q_0/q), que também estão citados na Tabela 4.3. Dessa forma, o valor da espessura do óxido (t_{ox}) foi determinado de aproximadamente 14 nm, sendo próximo do esperado de 10 nm (medido por elipso-metria), como foi mencionado na seção 3.3.1.1.1.

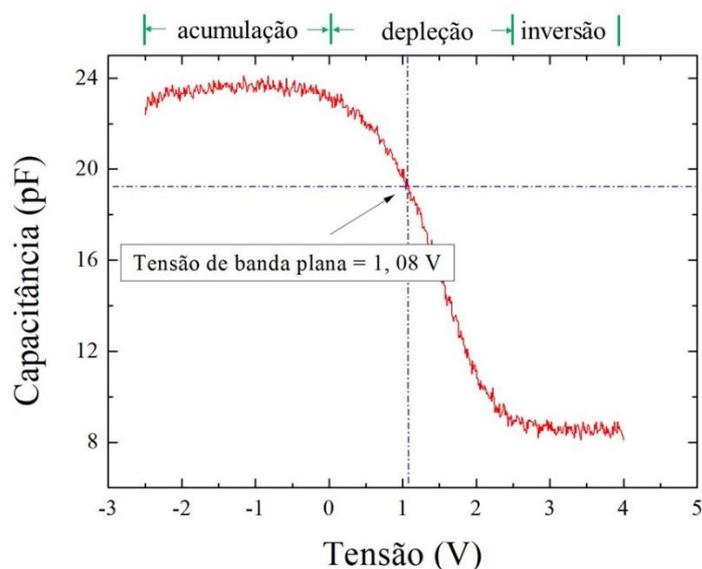


Figura 4.14 - O gráfico da curva C-V de um capacitor MOS 3D fabricado sobre os SiNWs com patamar da amostra 2.

A curva C-V (Figura 4.14) apresenta o funcionamento correto dos capacitores MOS (sobre as nanoestruturas com patamar da amostra 2), pois as regiões de acumulação, depleção e inversão estão definidas. Entretanto, quando se compara essa curva C-V com a apresentada pela amostra 1 (Figura 4.8), observa-se que a região de depleção está mais alongada, entre 0 V e 2,5 V ($\Delta V = 2,5$ V). Enquanto que para a amostra 1, a região de depleção é curta, entre -1,5 V e -1,0 V ($\Delta V = 0,5$ V). Quando ocorre esse comportamento da curva na região de depleção, identifica-se a maior densidade de carga de interface entre o SiO₂ de porta e o substrato de Si, que no caso da amostra 2 é formada por nanoestruturas com patamar. Realmente é o que ocorre, pois quando se compara os valores da densidade de carga de ambas as amostras: para a amostra 2, o valor é de $-3,3 \times 10^{12} \text{ cm}^{-2}$ (Tabela 4.3), enquanto que, para a amostra 1, tem-se uma densidade de carga com uma ordem de grandeza menor de $3,4 \times 10^{11} \text{ cm}^{-2}$ (Tabela 4.2). Dessa maneira, observando os perfis das duas amostras, a da amostra 2 apresenta o patamar com paredes laterais inclinadas (Figura 4.12(b)), enquanto para a amostra 1 não se identifica esse patamar (Figura 4.5). Assim, as paredes inclinadas do patamar devem estar com ligações insaturadas de Si (*dangling bonds*), o que acarreta o aumento da densidade de carga.

Tabela 4.3 – Resultados encontrados a partir da curva C-V apresentada na Figura 4.14.

$C_{\text{MAX.}}$ (pF)	$C_{\text{MIN.}}$ (pF)	V_{FB} (V)	Q_0/q (cm ⁻²)	t_{OX} (nm)
24,1	8,1	1,08	$-3,3 \times 10^{12}$	13,6

4.2.1.1.3 Amostra 3

As etapas de processo realizadas para a formação dos SiNWs da amostra 3 foram descritas na seção 3.3.1.1.3, como também na Tabela 4.1, e esquematizadas na Figura 3.3. Essa amostra foi feita com as mesmas etapas de processo citados nas amostras 1 e 2, com exceção do processo de corrosão, que dessa vez foi executado no sistema por plasma ECR, para a formação dos espaçadores nas paredes laterais das mesas de Al. Nesse caso, o processo ECR apresenta as seguintes vantagens em relação ao RIE: (i) plasma de maior densidade, devido à fonte ECR, que gera o plasma, (ii) menor bombardeamento da superfície e maior orientação do íon sobre a superfície, devido ao gerador de RF acoplado capacitivamente sob o porta-amostra (BETTANZO, 2003). Assim, foi utilizado para tentar reduzir a corrosão lateral observada nas duas primeiras amostras. Como será visto posteriormente, o gerador de RF do ECR está funcionando com potência máxima de 5 W (ver Quadro 3.7). Esse valor permite bem baixo bombardeamento sobre a amostra, porém a orientação do íon sobre o substrato não é tão efetiva. As larguras dos nanofios obtidos nessa amostra 3 estão em torno 50 nm (Tabela 4.1), que é maior do que os valores obtidos pelas amostras 1 e 2, de 16 nm e de 30 nm, respectivamente. Dessa forma, mesmo com valor de RF de 5 W, foi possível reduzir a corrosão lateral em pelo menos 20 nm para a obtenção dos nanofios.

As imagens da superfície da amostra 3 extraídas por microscopia óptica, para diferentes etapas de processo, podem ser vistas na Figura 4.15. A Figura 4.15(a) mostra a superfície da amostra, após a formação das mesas de Al (em linhas paralelas), com largura de 8 μm , expondo as regiões de linhas laterais de 2 μm com a fina camada de SiO_2 (~ 10 nm). Já a Figura 4.15(b) apresenta a superfície com os espaçadores de filme de Si-a:H, após a remoção das mesas de Al por solução ácida ($\text{H}_3\text{PO}_4:\text{HNO}_3$) aquecida. Na sequência, foi realizada a corrosão por plasma ECR para corroer os espaçadores, a fina camada de SiO_2 e o substrato de Si, formando os SiNWs. A imagem resultante dessa sequência está na micrografia MEV da Figura 4.16. A partir dessa micrografia, observa-se os nanofios de Si formados na superfície da lâmina com dimensões de 48 nm de largura e 67 nm de altura. Além disso, não se observa a formação de um patamar entre as nanoestruturas, conforme ocorreu na amostra 2 (seção 4.2.1.1.2). Isso indica que a corrosão por plasma ECR, durante a formação dos espaçadores, não ultrapassou as camadas de SiO_2 e do substrato de Si, como ocorreu na amostra 1 e indicado no esquema da Figura 4.11(a). Vale salientar que, pelas micrografias da Figura 4.16, os nanofios obtidos seguiram os traçados gravados pela etapa anterior de litografia óptica, resultando em linhas tortas.

Isto é uma característica importante, pois os nanofios seguem traçados gravados mesmo que sejam retos, curvos ou tortuosos. A formação das linhas tortas está relacionada com a limpeza da fotomáscara (Figura 3.2) utilizada. Se nessa fotomáscara tiver alguns resíduos de fotorresiste de litografias anteriores, pode transferir erroneamente o traçado para o substrato. Diante disso, a fotomáscara passou por um processo de limpeza orgânica e, posteriormente, foi utilizada para produzir a amostra 4. Os resultados da amostra 4 serão apresentados a seguir.

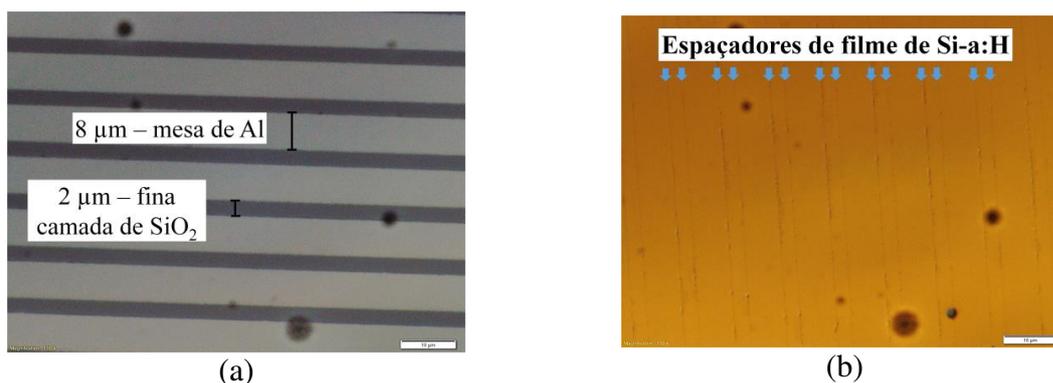


Figura 4.15 – As imagens ópticas da superfície da amostra 3 durante as etapas de processo para a formação dos nanofios de Si sobre lâmina de Si. (a) A superfície da amostra com as dimensões das mesas de Al sobre a fina camada de SiO₂. (b) A superfície da amostra após a formação dos espaçadores de filme de Si-a:H pela corrosão por plasma ECR.

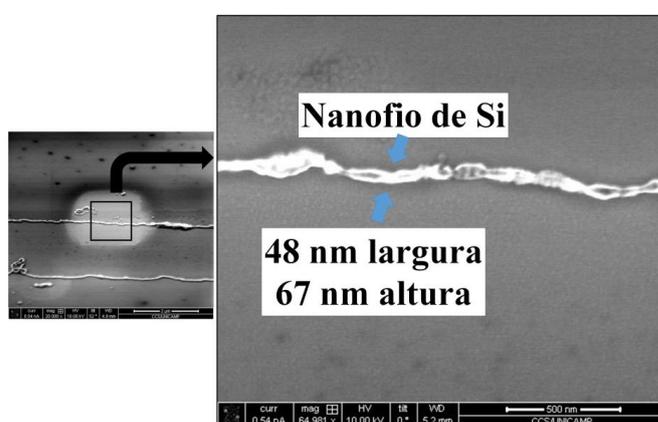


Figura 4.16 – As micrografias de MEV da superfície da amostra 3 após a corrosão por plasma ECR para a formação dos SiNWs de 48 nm de largura e 67 nm de altura.

4.2.1.1.4 Amostra 4

A descrição da amostra 4 foi realizada na seção 3.3.1.1.3 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.3. Essa amostra tem a

finalidade de averiguar a etapa de litografia óptica, que formou linhas tortas e, conseqüentemente, resultou na formação de SiNWs tortos na superfície da amostra 3. Portanto, essa amostra foi fabricada com a mesma seqüência das etapas de processo da amostra 3.

Após as etapas de processo terem sido realizadas, as micrografias de MEV da superfície dessa amostra foram feitas e estão apresentadas na Figura 4.17. A Figura 4.17(a) mostra a superfície da amostra, após a corrosão por plasma, com a formação dos espaçadores de filme de Si-a:H. Na seqüência, após o término das etapas de processo, foram feitas as micrografias de MEV da Figura 4.17 (b). Essa micrografia apresenta o corte transversal da superfície da amostra, para analisar as nanoestruturas formadas e, conseqüentemente, dimensioná-las. Nesse caso, os SiNWs formados possuem as larguras da base de 147 nm, do meio de 49 nm e do topo de 43 nm, repetindo as dimensões obtidas na amostra 3, na ordem de 50 nm.

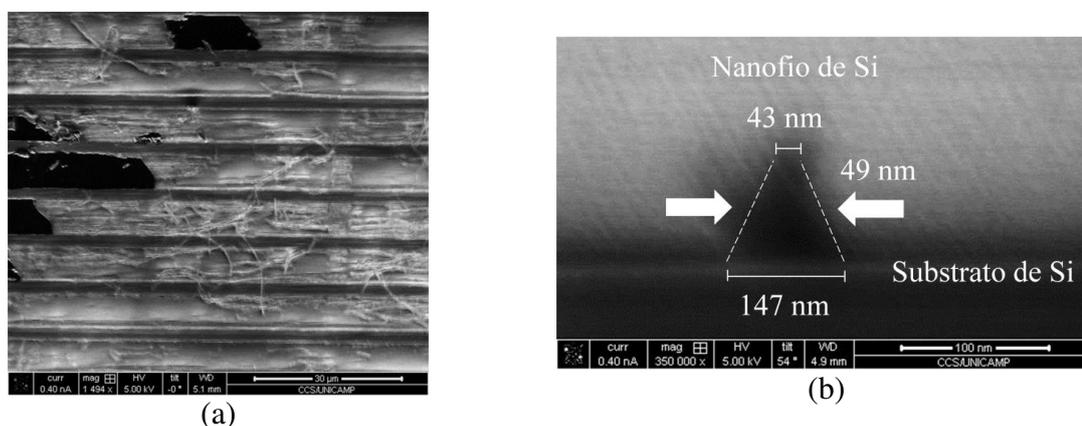


Figura 4.17 – As micrografias de MEV da superfície da amostra 4, após as corrosões por plasma ECR, sendo em (a) a superfície após a formação dos espaçadores. (b) As dimensões de um nanofio com as larguras na base de 147 nm, no meio de 49 nm e no topo 43 nm.

A partir dessas micrografias, observa-se que, não ocorreu a formação dos patamares (apresentados na amostra 2) similar a amostra 3. Entretanto, nessa amostra não se observa a formação de linhas tortuosas, como ocorreu com a amostra 3 (Figura 4.16), pois dessa vez, a fotomáscara utilizada na etapa de litografia estava totalmente limpa.

4.2.1.1.5 Amostra 5

A amostra 5 foi preparada seguindo as seqüências de processo descritos na seção 3.3.1.1.4 e na Tabela 4.1 e esquematizada na Figura 3.3. Essa amostra tem a finalidade de reproduzir os resultados encontrados nas amostras 1 e 2, pois foi utilizado as mesmas etapas,

inclusive o processo RIE. A diferença é que, na 2ª etapa do processo de corrosão, o tempo foi de 10 min.

As micrografias de MEV da superfície da amostra podem ser vistas na Figura 4.18. Na Figura 4.18(a), observa-se um nanofio de Si sobre uma superfície granular, indicando o elevado tempo de corrosão (10 min). Isso aconteceu, pois, as camadas mais internas da lâmina de Si ficou exposta, apresentando seus defeitos. A Figura 4.18(b) mostra a superfície com dois SiNWs e, sobre eles, uma camada de platina depositada pelo sistema FIB, para preservar o formato das nanoestruturas durante corte transversal e, assim, fazer as medidas de suas dimensões. Logo, isso pode ser observado na Figura 4.18(c) que apresenta um nanofio com aproximadamente 41 nm de altura, 80 nm de largura na base e no topo de 42 nm de largura. Na Figura 4.18(d) é possível observar um SiNWs de 140 nm de largura na parte inferior e 39 nm de largura no topo com altura de 135 nm. Não repetiu as dimensões da amostra 1 (com largura de nanofio de 16 nm), ficando próximo dos valores da largura dos SiNWs da amostra 2 (com largura de nanofio de 30 nm) e sem patamar.

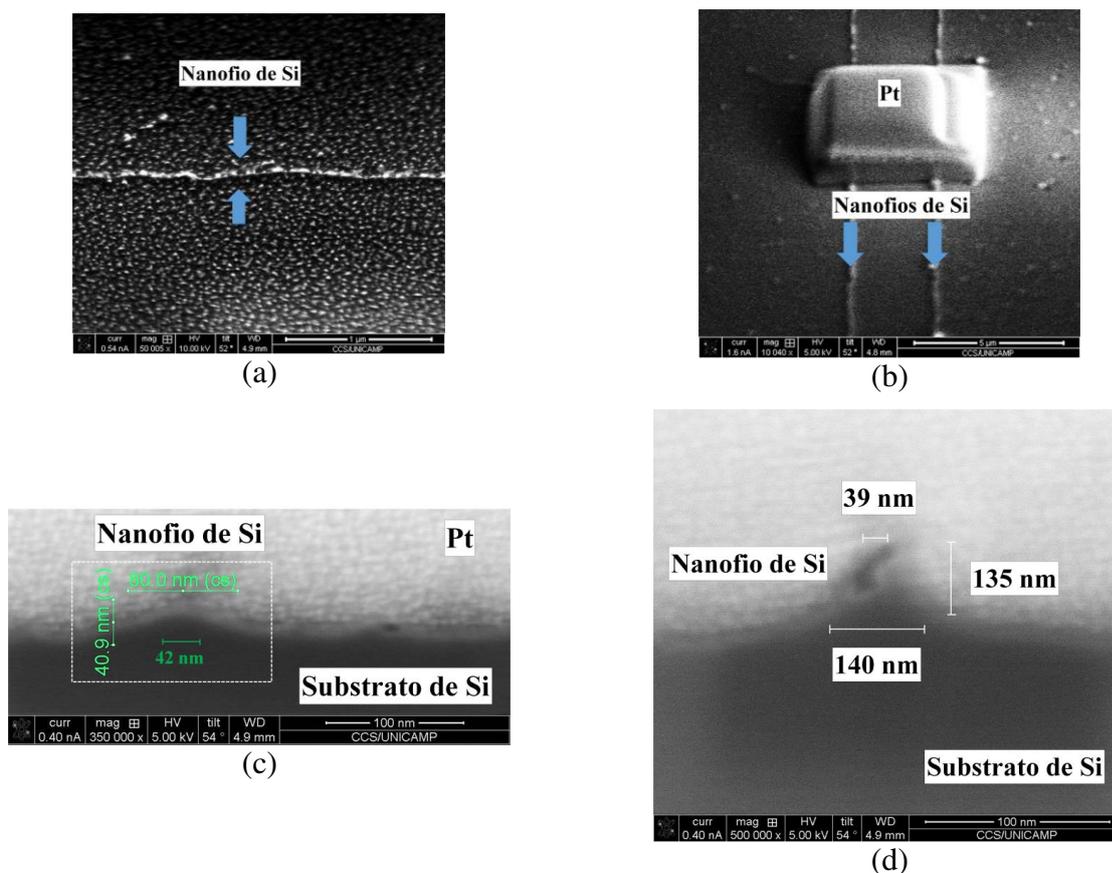


Figura 4.18 – As micrografias da superfície da amostra 5 após todas as etapas de processo, para a formação dos nanofios de Si, utilizando a corrosão por plasma RIE. (a) A superfície da amostra com um SiNWs sobre uma superfície granular. (b) Dois SiNWs e, sobre eles, uma camada de platina para auxiliar nos cortes transversais. (c) As dimensões de um nanofio de 41 nm de altura, na base 80 nm de largura e no topo 42 nm de largura. (d) Um SiNW de 140 nm de largura (base), 39 nm de largura (topo) e 135 nm de altura.

4.2.1.1.6 Amostra 6

A descrição da amostra 6 foi apresentada na seção 3.3.1.1.5 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.3. Resumidamente, os nanofios de Si foram obtidos utilizando as técnicas de PL e de SL, sobre o substrato de Si. Nessa amostra, o mandril de Al e os espaçadores de Si-a:H foram menos espessos, de aproximadamente 50 nm e 60 nm, respectivamente. Os processos de corrosão por plasma foram realizados no sistema ICP com os gases de $C_4F_8:SF_6$. O processo ICP apresenta as principais características do processo ECR: (i) plasma de maior densidade, devido à fonte ICP, que gera o plasma, (ii) menor bombardeamento da superfície e maior orientação do íon sobre a superfície, devido ao gerador de RF acoplado capacitivamente sob o porta-amostra. Além disso, foi utilizado a gás de C_4F_8 para evitar a corrosão lateral através da polimerização. Isso é bom, pois conforme a espessura do espaçador obtém-se a largura do nanofio (CHOI *et al.*, 2003). Entretanto, a polimerização pode deixar resíduos sobre as amostras, conforme será apresentado a seguir. Então, após a etapa de ICP, foram feitas as micrografias de MEV, que estão apresentadas na Figura 4.19. A Figura 4.19(a) ilustra a superfície da amostra com dois SiNWs bem definidos. No entanto, entre as nanoestruturas e ao redor delas estão os resíduos de polímero, proveniente da corrosão com C_4F_8 (pontos brancos). Em destaque na Figura 4.19(b), a superfície da amostra com um nanofio de Si e alguns resíduos de polímero. Mesmo dessa forma, foram realizadas as medidas dos SiNWs, de aproximadamente 124 nm de altura e a largura de 62 nm, como pode ser vista na Figura 4.19 (em (c) e (d)).

Essa medida de largura (~ 62 nm) está próxima da esperada, uma vez que o filme de Si-a:H foi depositado com espessura aproximada de 60 nm. Isso indica que nesse processo ICP (formação dos espaçadores: 1 min e formação dos SiNWs: 3 min) não ocorreu a corrosão lateral das nanoestruturas diferente do que foi observado nas amostras, entre 1 e 5, fabricadas usando as corrosões no plasma RIE e ECR, com tempos de processos de no mínimo 5 min. Além disso, também não foi identificada a formação de um patamar, indicando que a corrosão dos espaçadores não ultrapassou nem as camadas de óxido e, nem o substrato de Si.

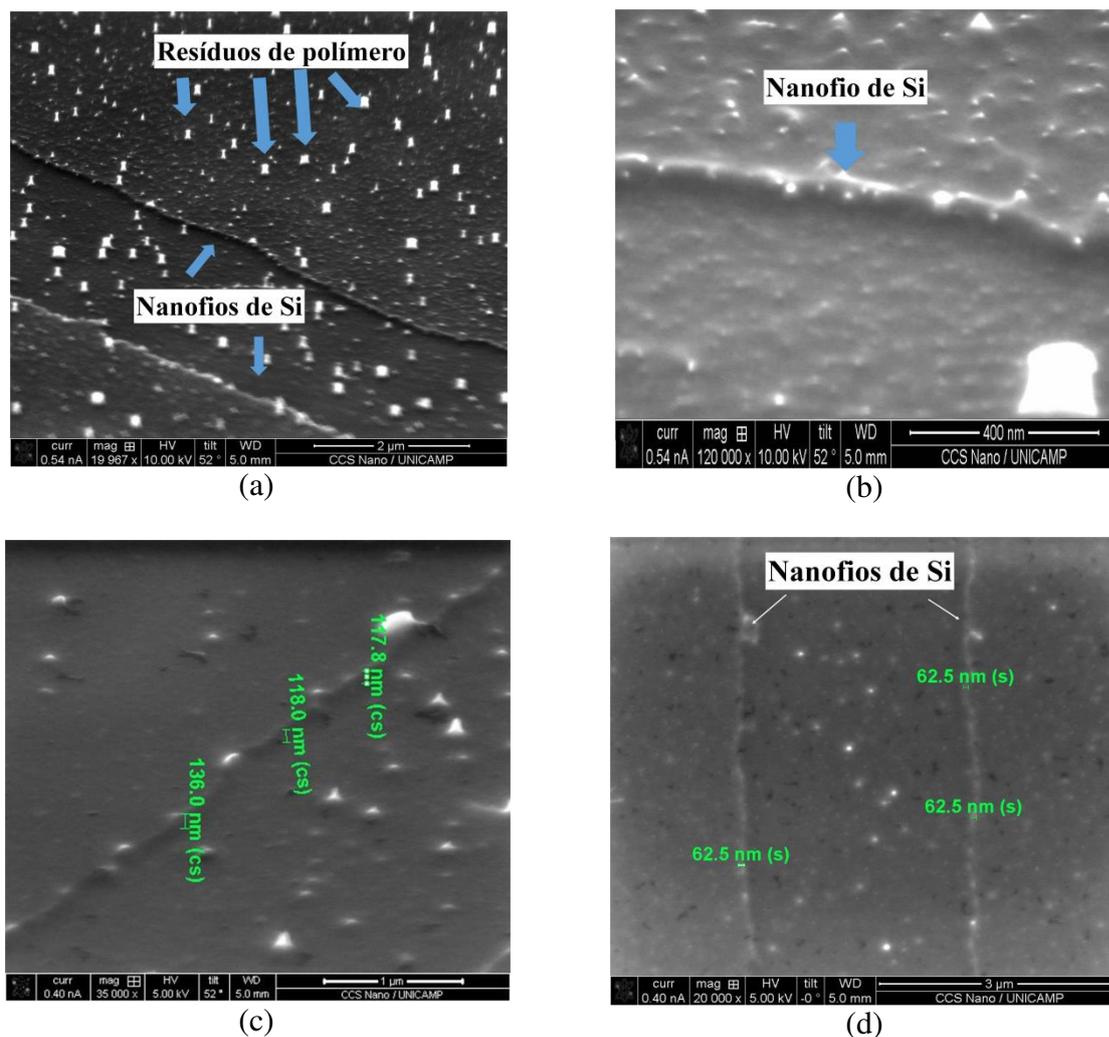


Figura 4.19 – As micrografias de MEV da superfície da amostra 6 sobre a lâmina de Si com a presença dos SiNWs formados, após a corrosão por plasma ICP. (a) A presença de dois nanofios definidos entre o polímero residual na superfície da amostra, formando os pontos brancos. (b) Em destaque, a superfície da amostra com um SiNWs. (c) e (d) As dimensões dos SiNWs de ~ 124 nm de altura e ~ 62 nm de largura, respectivamente.

4.2.1.1.7 Amostra 7

Os procedimentos experimentais descritos em detalhes da amostra 7 foram apresentados na seção 3.3.1.1.6 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.3. Essa amostra foi produzida sobre o substrato SOI e a corrosão por plasma ICP, com os gases de $C_4F_8:SF_6$. Nesse caso, o mandril de Al e os espaçadores de Si-a:H foram mantidos em 50 nm e 60 nm de espessura, respectivamente. Assim, espera-se que os resultados apresentados pela amostra 6 se repitam na amostra 7.

A superfície da amostra foi analisada pelas micrografias de MEV, como mostra a Figura 4.20, após todas as etapas de processo terem sido realizadas. Na Figura 4.20(a), observa-se a presença de dois SiNWs bem definidos. No detalhe, um SiNW de aproximadamente 65 nm de largura é observado na Figura 4.20(b). A Figura 4.20(c) apresenta a altura do nanofio de aproximadamente 108 nm de altura. A medida da largura (~ 65 nm) do SiNWs está próxima da esperada, uma vez que o filme de Si-a:H foi depositado com espessura aproximada entre 50 e 60 nm. Isso indica que o processo ICP, com os gases de $C_4F_8:SF_6$, não promove a corrosão lateral das nanoestruturas diferente do que foi observado nas amostras, entre 1 e 5, fabricadas no plasma RIE e ECR, com tempo de processo de no mínimo 5 min.

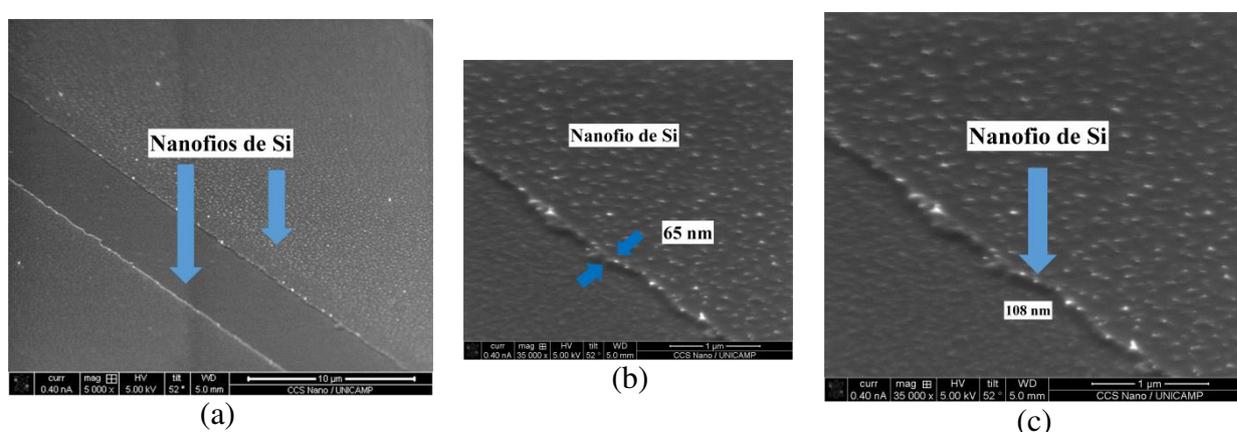


Figura 4.20 – As micrografias de MEV das superfícies da amostra 7 feita sobre a lâmina SOI através das técnicas de PL e SL. (a) Dois SiNWs bem definidos obtidos sobre a lâmina com suas dimensões de (b) ~ 65 nm de largura e (c) ~ 108 nm de altura.

4.2.1.1.8 Amostra 8

Os procedimentos experimentais da amostra 8 foram apresentados na seção 3.3.1.1.7 (e na Tabela 4.1) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.6. Resumidamente, os nanofios de Si foram obtidos utilizando as técnicas de PL, de FIB_M, com camada protetora de filme de Si-a:H sobre as mesas de Al, para o FIB_M nessas regiões, e de SL, com espaçadores de filme de Si-a:H. Até o momento, foram apresentados os resultados dos SiNWs obtidos (nas amostras de 1 até 7) com *pitch*s de 2 µm, provenientes da dimensão crítica da fotomáscara de linhas paralelas. Essa amostra 8 foi fabricada para obter-se SiNWs com *pitch* na ordem de centenas de nm.

Após cada etapa de processo, foram realizadas as micrografias de MEV da superfície da amostra. A Figura 4.21 apresenta as micrografias de MEV durante a etapa de gravação

das mesas de Al com dimensões nanométricas, aplicando a técnica FIB_M. Dessa maneira, a Figura 4.21(a) ilustra a superfície da amostra, com a camada protetora de filme de Si-a:H e o filme de Al, após o corte feito com os íons de Ga^+ , para a gravação das mesas de Al, resultando em linhas paralelas. Para um destaque na região do corte, foi feita a micrografia da Figura 4.21(b), a qual mostra a superfície com o filme de Si-a:H, embaixo, a camada do filme de Al e o corte na região. Assim, para verificar se foi realizado o corte total do filme de Al, foi feito o corte transversal de uma das estruturas, como mostra a Figura 4.21(c). A partir dessa micrografia, observa-se que foi feita a deposição de uma camada de platina (Pt) para proteger a região e essa camada preencheu as regiões, onde o corte foi feito. Dessa forma, foi possível verificar que o procedimento foi realizado corretamente.

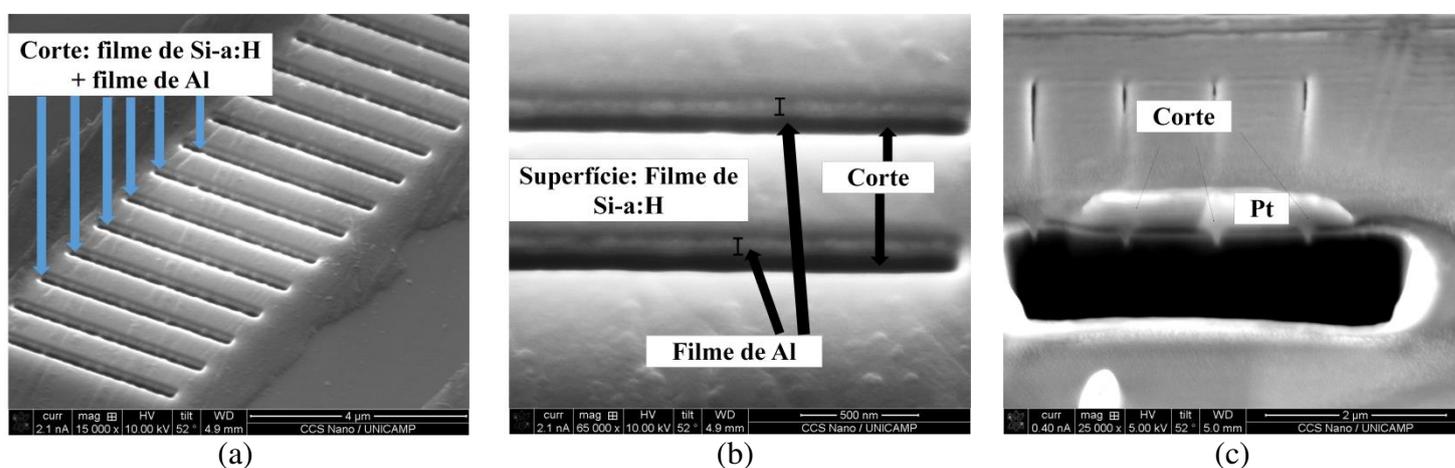


Figura 4.21 – As micrografias de MEV da superfície da amostra 8, após os procedimentos realizados das etapas da técnica FIB_M para a gravação das mesas de Al. (a) O corte para a formação das mesas de Al e, sobre elas, a camada protetora de filme de Si-a:H. (b) O corte das estruturas, sendo possível observar as diferentes camadas de filme de Si-a:H e de filme de Al. (c) Para verificar se ocorreu corretamente o corte, foi depositado a Pt, que preencheu as regiões.

Na sequência, para as mesas de Al, que foram gravadas pela técnica FIB_M, atuarem como camada sacrificial na técnica SL, foi realizada a corrosão por plasma ICP, com gases de $\text{C}_4\text{F}_8:\text{SF}_6$. Após essa etapa, as micrografias de MEV foram realizadas, como apresenta a Figura 4.22. A Figura 4.22(a) ilustra a superfície da amostra, após a corrosão, indicando que o filme de Si-a:H foi totalmente removido da superfície. Na Figura 4.22(b) é possível determinar as espessuras do filme de Al de aproximadamente 100 nm e a espessura da fina camada de SiO_2 de aproximadamente 20 nm. Nesse caso, as espessuras estão próximas das esperadas. Além disso, a partir da Figura 4.22(b), observa-se as distâncias entre os mandris de Al de aproximadamente 160 nm e suas larguras de aproximadamente 740 nm.

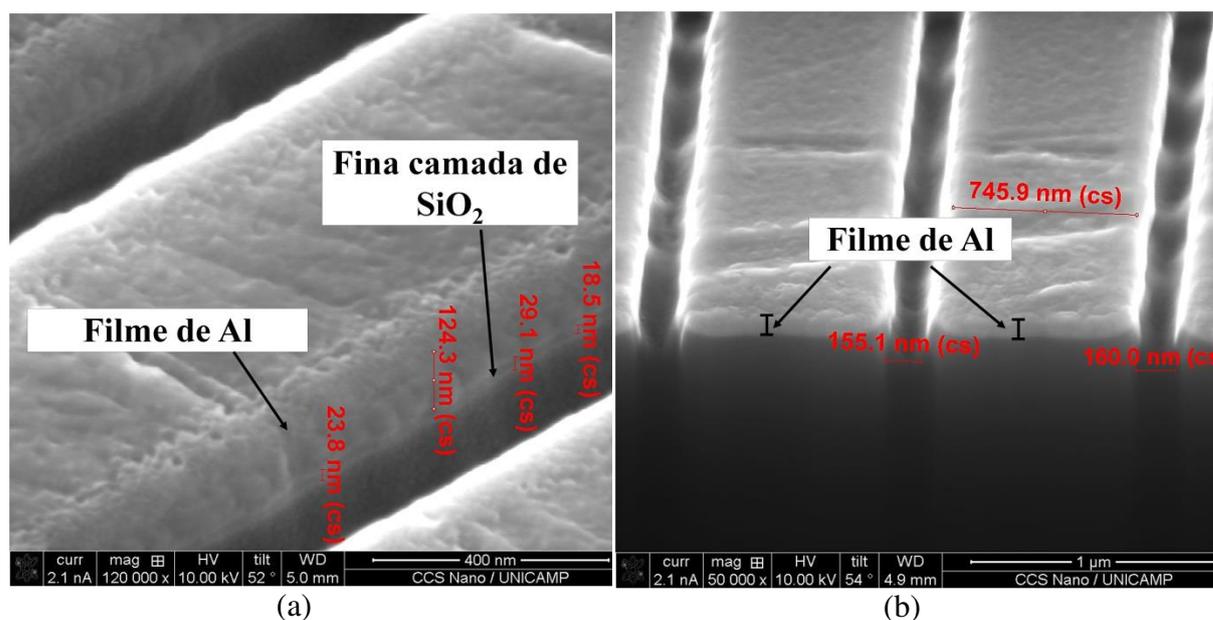


Figura 4.22 – As micrografias de MEV da superfície da amostra 8, após a corrosão por plasma ICP da camada protetora de filme de Si-a:H. (a) A superfície sem a presença da camada protetora, que foi removida por plasma, com as mesas de Al gravadas pela técnica FIB_M. (b) As mesas de Al (100 nm de espessura) de ~ 746 nm de largura com espaçamento entre elas de ~ 160 nm de largura.

Após a corrosão por plasma da máscara de filme de Si-a:H e, conseqüentemente, a definição das mesas de Al, foi feita novamente a deposição de filme de Si-a:H (~ 60 nm de espessura), para ser utilizado como espaçadores na técnica SL. Dessa forma, o filme de Si-a:H foi corroído pelo mesmo sistema de plasma e o resultado é apresentado pelas micrografias de MEV na Figura 4.23. A partir da Figura 4.23(a), observa-se as mesas de Al, o corte feito pelo íons de Ga⁺ e a formação dos espaçadores de Si-a:H, com espessura de aproximadamente 60 nm, conforme o esperado. Já a Figura 4.23(b) mostra um mandril de Al, de 725 nm de largura, com os espaçadores de Si-a:H, em suas bordas. Além disso, observa-se também a distância entre as mesas de Al de 140 nm.

Com a formação dos espaçadores de Si-a:H nas laterais das estruturas de Al, foi dado a continuidade nas etapas de processo, tais como: (i) corrosão química dos mandris e (ii) corrosão por plasma ICP, para a formação dos SiNWs. O resultado dessa sequência pode ser visto na Figura 4.24. A partir dessa micrografia, é possível verificar a formação dos nanofios, como também, as dimensões dos mesmos. A Figura 4.24(a) apresenta a superfície da amostra, após a corrosão química dos mandris de Al, restando os espaçadores de filme de Si-a:H, com cerca de 50 nm de largura, e a distância entre eles de ~ 150 nm. Essa mesma superfície é vista em detalhes junto com um corte, para auxiliar na análise do formato da estrutura, como mostra

a Figura 4.24(b). Em seguida, novamente, foi realizada a corrosão no sistema ICP, para a formação dos SiNWs. Após essa etapa, as micrografias de MEV foram feitas, como mostra a Figura 4.24 (em (c) e (d)), sendo possível observar a formação das nanoestruturas 3D sobre a lâmina de Si.

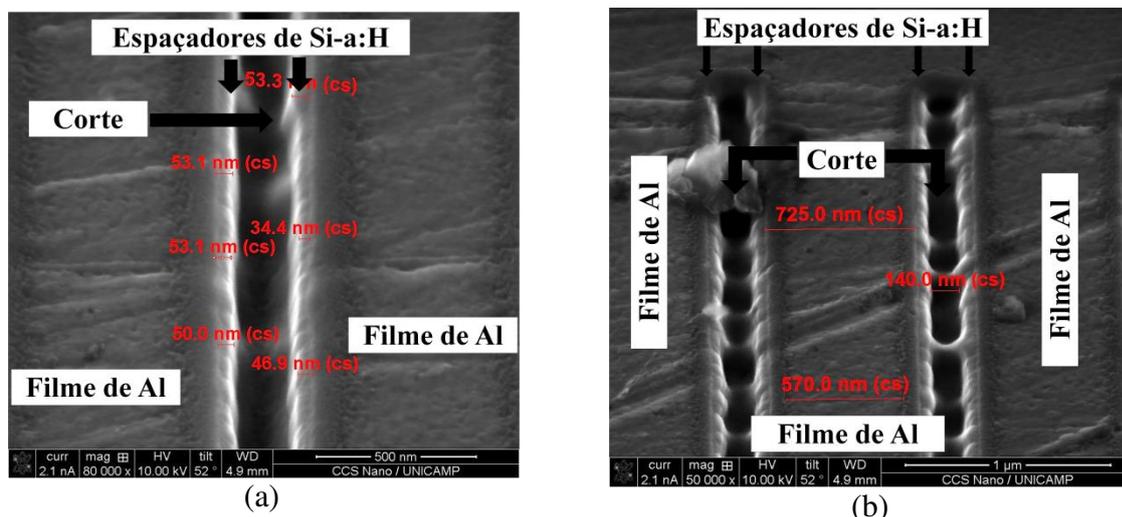


Figura 4.23 – As micrografias de MEV da superfície da amostra 8, após a formação dos espaçadores de filme de Si-a:H, aplicando a técnica SL. (a) A presença das mesas de Al e, em suas bordas, a formação dos espaçadores de Si-a:H, de ~ 50 nm de largura. (b) O mandril de Al de 725 nm de largura, com os espaçadores de Si-a:H, distante dos demais a 140 nm.

Após a formação dos SiNWs, foram feitos os cortes transversais na superfície da amostra, como apresenta a Figura 4.25, para facilitar a visualização e a medição das dimensões das nanoestruturas. A Figura 4.25(a) mostra quatro SiNWs sobre o substrato de Si, com uma distância entre os pares de aproximadamente 800 nm, sendo esse valor próximo ao valor da largura das mesas de Al, conforme foram apresentados nas Figura 4.22(b) e Figura 4.23(b). Em detalhes, a Figura 4.25(b) apresenta a micrografia de dois nanofios com a base de ~ 50 nm de largura, o topo ~ 35 nm de largura e o pitch de ~ 176 nm. Já a Figura 4.25(c) ilustra a formação de dois nanofios com a base de ~ 50 nm de largura, o topo de 35 nm de largura e o pitch de 170 nm.

Os valores das larguras dos SiNWs (a base de ~ 50 nm) ficaram próximos aos valores da espessura dos espaçadores de Si-a:H, indicando que o traçado dos espaçadores foi transferido por corrosão por plasma para o substrato de Si, sem ocorrer a corrosão lateral das nanoestruturas. O valor do *pitch* ficou próximo ao valor da distância entre os espaçadores, como foi apresentado na Figura 4.24(a), sendo de ~ 170 nm.

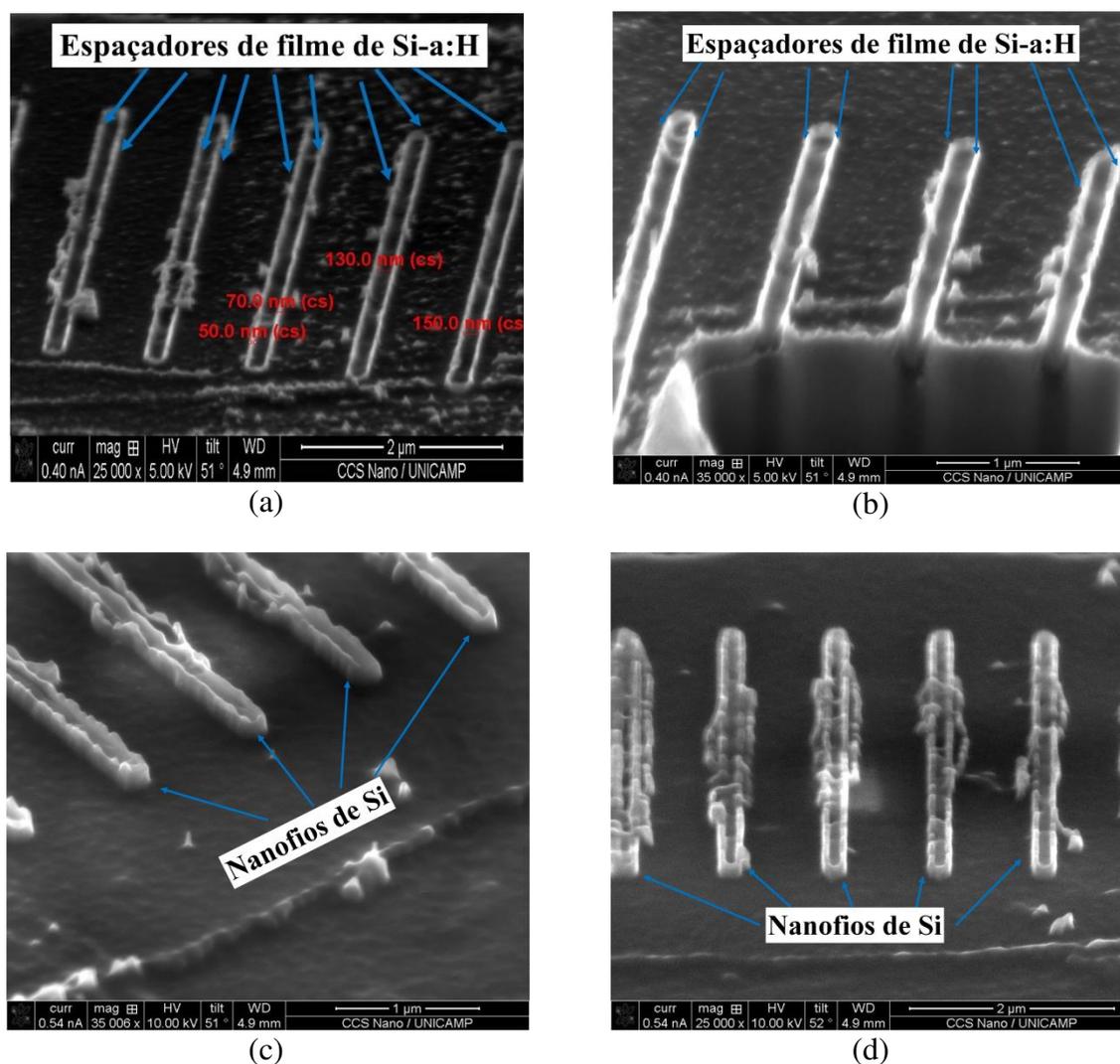
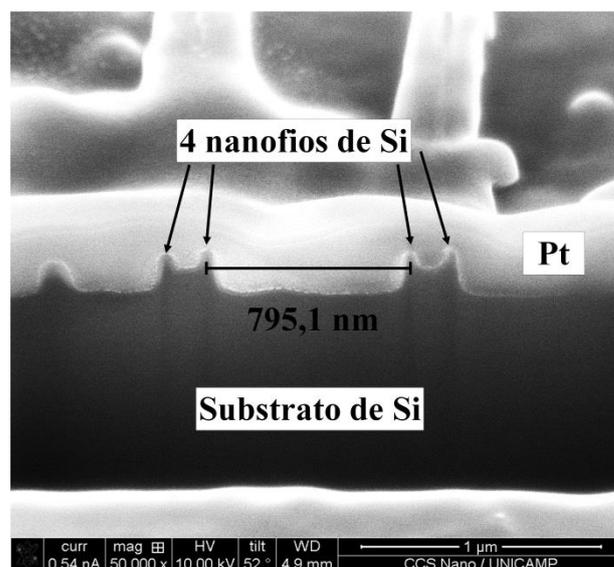
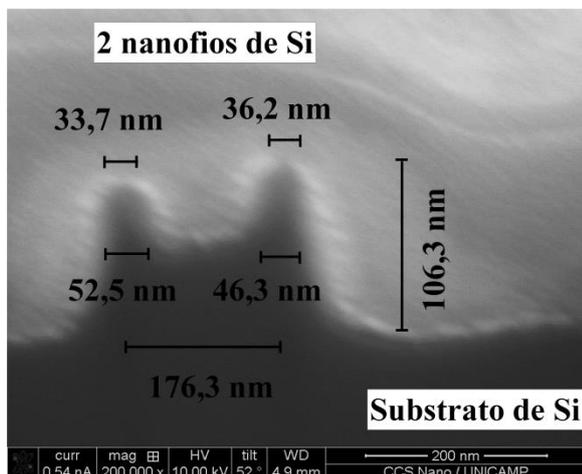


Figura 4.24 – As micrografias de MEV da superfície da amostra 8 ao longo das etapas de processo. (a) e (b) A superfície da amostra com os espaçadores de filme de Si-a:H, após a corrosão química das mesas de Al. (c) e (d) A formação dos SiNWs, após a corrosão por plasma ICP.

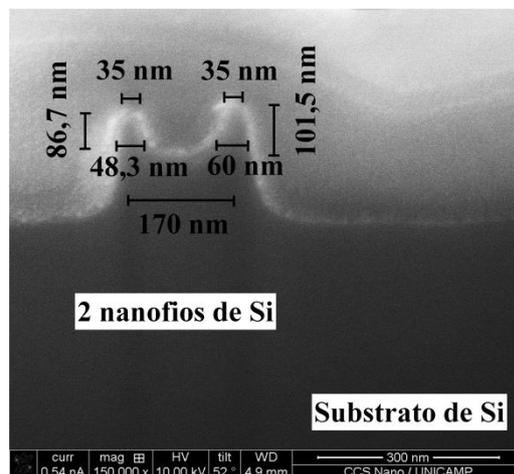
Entre as nanoestruturas, observa-se a formação de um patamar, como também foi identificado na amostra 2, e também apresentado nas micrografias de MEV dos SiNWS fabricados pela Intel na Figura 4.1 (SMITH, 2014). Nesse caso, a corrosão na parte externa ocorreu, como foi apresentado na Figura 4.11(b), favorecendo a formação do patamar entre as nanoestruturas 3D. Trata-se de um resultado muito bom com nanofios de largura de 40 nm e *pitch* de 170 nm, pois não é usado nem litografia óptica 193i, nem EUV, e, nem EBL para obter esses valores. Vale salientar que esse tipo de processo é inovador, pois não foi encontrado na literatura.



(a)



(b)



(c)

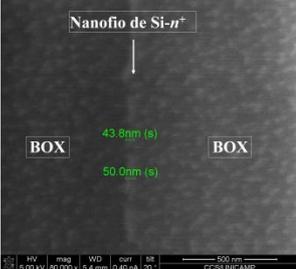
Figura 4.25 – As micrografias de MEV do corte transversal da superfície da amostra 8. (a) A presença de quatro SiNWs, sendo os pares distantes de ~ 800 nm, valor próximo da largura dos mandris de Al. (b) e (c) A formação dos nanofios de Si e suas dimensões de altura, largura e o *pitch*, resultando em nanoestruturas 3D com dimensões menores que 50 nm e o *pitch* na ordem de centenas de nm.

4.2.1.2 Estruturas Retangulares

A Tabela 4.4 apresenta o resumo da amostra obtida com camada sacrificial (mesa ou mandril) de Al e estruturas retangulares, espaçadas com dimensões de $2 \mu\text{m}$ (*pitch*), tendo as seguintes descrições:

- (i) Tipo de substrato, corrosões secas e dispositivo;
- (ii) Principal análise de MEV, que indicam a formação do SiNW;
- (iii) O valor de largura (W) dos SiNWs e o *pitch* obtido.

Tabela 4.4 - Resumo da amostra 9 obtida, pelas técnicas PL e SL, com mandril de Al e estruturas retangulares, espaçadas com dimensões de 2 μm (*pitch*).

Amostra	Tipo de substrato, corrosões secas e dispositivo	Análises MEV	Larguras (W) dos SiNWs e <i>pitch</i>
9	SOI – camada dopada n^+ RIE (1 ^a : 6’/ 2 ^a : 10’) Transistores JNTs		~ 45 nm 2 μm

4.2.1.2.1 Amostra 9

a) Caracterização estrutural

A amostra 9 foi preparada paralelamente com a amostra 1, sendo assim, as primeiras a serem realizadas. Dessa maneira, na amostra 9, os nanofios de Si dopados com íons de fósforo (^{31}P) (SiNWs- n^+), com alturas de 15 nm (região ativa do Si), sobre a lâmina SOI, foram produzidos pelas etapas de processo de fabricação descritas na seção 3.3.1.2.1. A fotomáscara utilizada para a transferência de traçado e, conseqüentemente, a formação da camada sacrificial (mesa de Al) foi a fotomáscara *REGAT* – *região ativa* do conjunto de máscaras da tecnologia CMOS educacional do CCSNano (Figura 3.8), como mencionada na seção 3.3.1.2.1, com estruturas retangulares.

As imagens ópticas de algumas etapas de processo, que foram feitas para a formação das nanoestruturas 3D, estão apresentadas na Figura 4.26. A Figura 4.26(a) mostra as mesas de Al expostas e, em suas laterais, os espaçadores de filme de Si-a:H, sobre a fina camada de SiO_2 (10 nm de espessura), após a corrosão por plasma RIE, em atmosfera de $\text{SF}_6:\text{Ar}$. Na seqüência, foi realizada a corrosão química das mesas de Al, como pode ser vista na Figura 4.26(b). Observa-se que a mesa de Al não foi totalmente corroída, deixando os seus resíduos entre as estruturas. Esse resíduo é totalmente prejudicial na formação dos nanofios, pois pode atuar como micromascaramento no processo de corrosão por plasma, sendo assim, necessária sua total remoção (BETANZO, 2003).

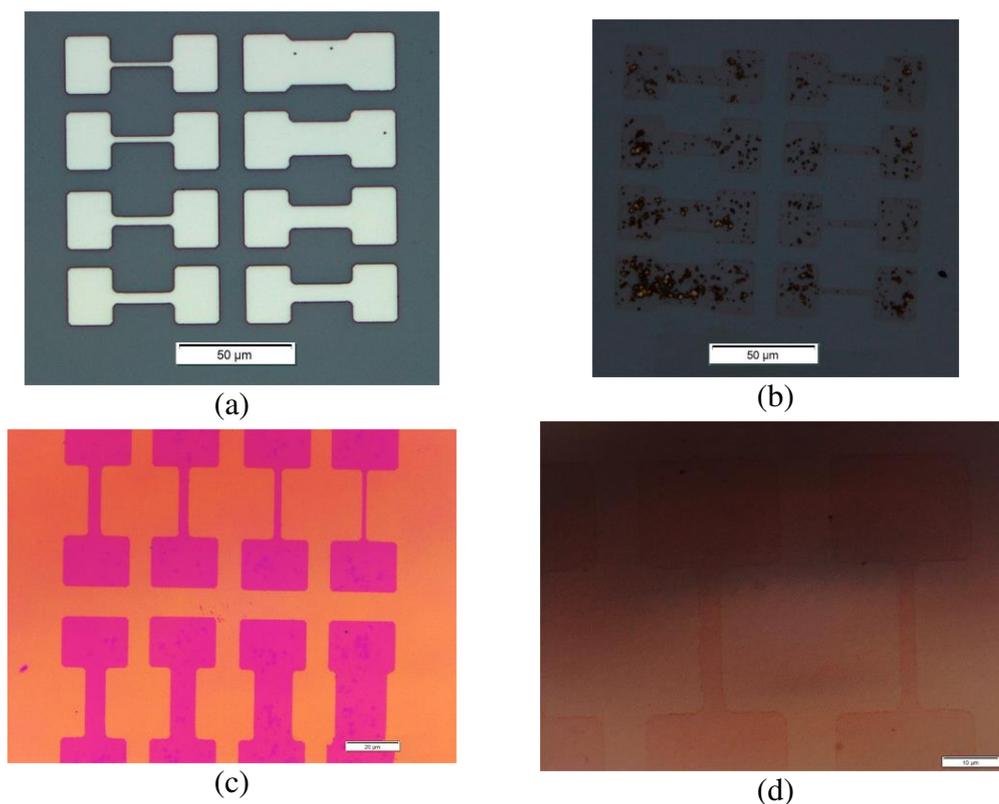


Figura 4.26 – As imagens ópticas da superfície da amostra 9 durante as etapas de processo na formação dos nanofios de $\text{Si-}n^+$ pelas técnicas PL e SL. (a) As mesas de Al expostas e, em suas laterais, os espaçadores de Si-a:H sobre a fina camada de SiO_2 , após a etapa de corrosão por plasma RIE. (b) Os resíduos de Al entre as estruturas e em suas bordas, após a corrosão química das mesas. (c) A superfície da amostra, após a limpeza RCA completa, para a remoção dos resíduos de Al_xO_x . (d) A formação dos $\text{SiNWs-}n^+$ após a segunda etapa de corrosão por plasma RIE.

Para a remoção dos resíduos de Al, foi feito mais 5 min de corrosão, com a solução de $\text{H}_3\text{PO}_4:\text{HNO}_3$ aquecida em $80\text{ }^\circ\text{C}$. Após esse procedimento, foram feitas as micrografias de MEV, para averiguar a superfície da amostra e a remoção dos resíduos, como mostra a Figura 4.27(a). Observa-se que, após o procedimento de corrosão, os resíduos não foram removidos, nem entre as estruturas (região da mesa de Al), e, nem em suas bordas. Isso indica que esses resíduos não são somente formados por Al. Diante disso, foi realizada a medida de espectrometria da energia dispersiva dos raios-x (EDS), instalada no sistema FIB/SEM, nas bordas da estrutura, para identificar de forma qualitativa, quais os elementos químicos, que estavam presentes ali, como apresenta a Figura 4.27(b). A partir desse espectro, observa-se a presença dos picos de O, F, Al, Si e P, relacionados à emissão $K\alpha$. Assim, a presença desses picos é esperada, com exceção, do pico de flúor. Entretanto, provavelmente, sua presença é devido aos resíduos da solução tampão de HF pelo o enxágue insuficiente com água D.I. Nesse caso, os resíduos foram identificados como óxido de alumínio (Al_xO_x), uma vez que não se identificou outros elementos a partir do espectro de EDS. Com isso, foram feitas as limpezas de RCA completa

(etapas I e II – ver Quadro 3.1), que removem Al_xO_x (BYU CLEANROOM). Com as limpezas realizadas na amostra, a observação no MEV foi feita e as micrografias estão apresentadas na Figura 4.27(c). A partir dessa figura, verifica-se que os resíduos foram totalmente removidos. Assim, foi possível dar continuidade nas etapas de processo para a formação dos $\text{SiNWs-}n^+$. Essa remoção foi comprovada com as medidas de EDS, como pode ser vista na Figura 4.27(d). O espectro, após a limpeza RCA completa, não possui os picos de Al, comprovando a total remoção dos resíduos ou a presença de uma quantidade inferior ao limite do equipamento. A Figura 4.26(c) apresenta a superfície da amostra, após a limpeza RCA completa realizada, para a remoção dos resíduos de Al_xO_x . Com a realização de um segundo plasma de SF_6 :Ar pelo sistema RIE, a superfície da amostra foi analisada pela imagem óptica como mostra a Figura 4.26(d).

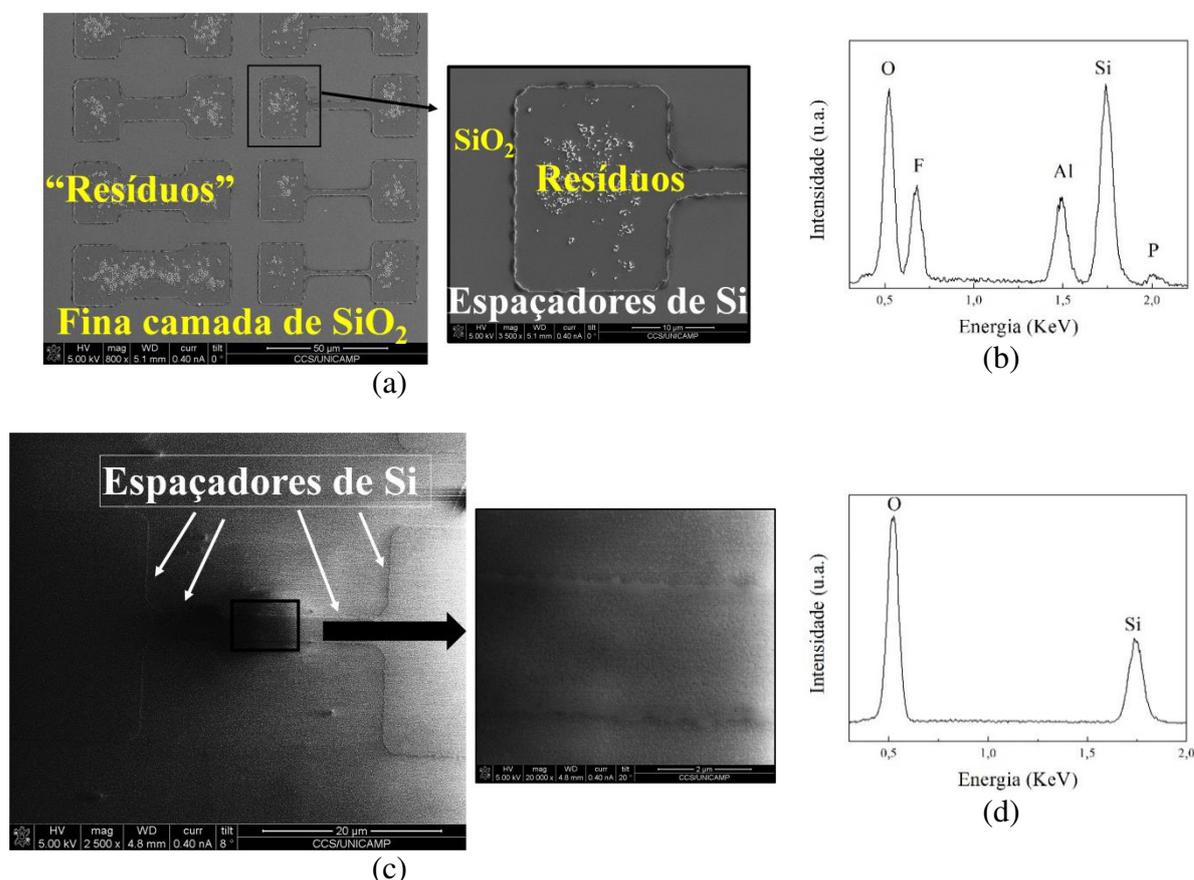


Figura 4.27 – As micrografias de MEV da superfície da amostra 9 para identificar os resíduos encontrados, após a corrosão química do Al. (a) A superfície da amostra com os resíduos de Al_xO_x entre as estruturas e nas bordas em detalhes. (b) O espectro de EDS da borda das estruturas com os picos de O, F, Al, Si e P. (c) Após a limpeza RCA completa, a micrografia de MEV da superfície da amostra sem a presença dos resíduos. Isso pode ser comprovado com o espectro de EDS em (d).

A fim de averiguar com maiores detalhes os $\text{SiNWs-}n^+$ obtidos, após todas as etapas de processo serem realizadas, foi feita a micrografia de MEV, como mostra a Figura 4.28(a). A

partir dessa micrografia, visualiza-se a camada do BOX e, na parte central, o SiNW de 45 nm de largura. Ainda, foi realizada a medida de EDS em cima da nanoestrutura, para verificar de forma qualitativa os elementos químicos que estavam presentes, como também, verificar a remoção total dos resíduos comentados anteriormente. Dessa forma, na Figura 4.28(b), somente os picos de Si e O foram identificados, indicando que as etapas de limpeza RCA foram eficientes.

Nessa amostra 9, também não foi identificado a formação de um patamar entre os SiNWs- n^+ , indicando que a corrosão por plasma ocorreu de forma correta, com a remoção uniforme (com mesma altura) das partes internas e externas aos nanofios, como foi apresentado na Figura 4.11. Além disso, a corrosão lateral também atuou nessa amostra com estruturas retangulares, resultando em SiNWs- n^+ com 45 nm de largura, sendo esse valor próximo ao valor apresentado pela amostra 5 (Tabela 4.1).

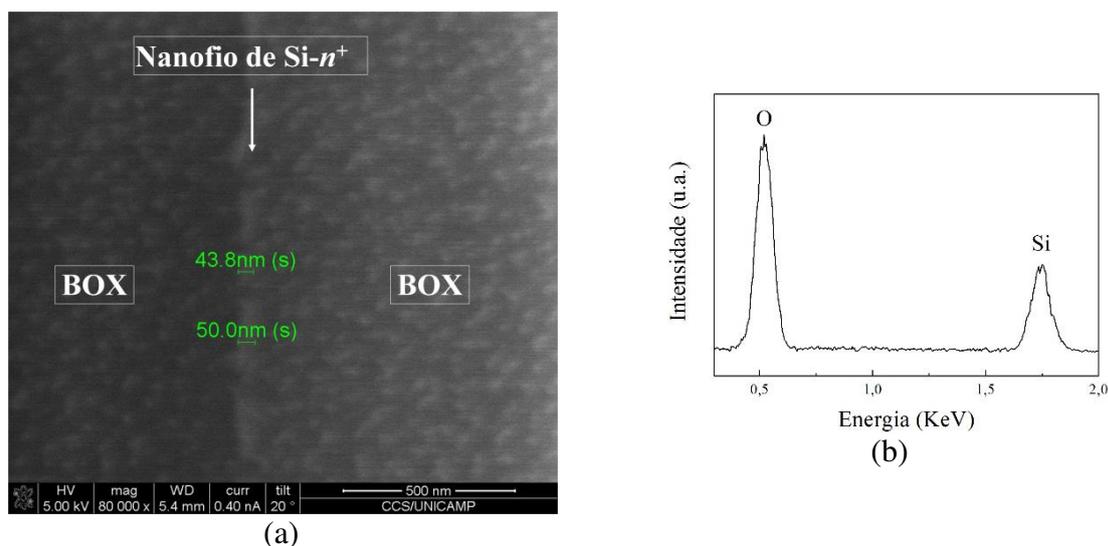


Figura 4.28 – (a) A micrografia de MEV da superfície da amostra 9, após a finalização das etapas de processo, com a presença de um SiNW- n^+ de ~ 45 nm largura sobre o BOX da lâmina SOI. (b) O espectro de EDS do SiNWs, indicando a remoção total dos resíduos de Al_xO_x .

b) Caracterização elétrica

Com os SiNWs- n^+ sobre a lâmina SOI da amostra 9, os transistores 3D JNTs foram fabricados, conforme descrito na seção 3.3.1.2.1. A caracterização estrutural da amostra foi realizada, a partir das imagens ópticas e das micrografias de MEV da Figura 4.29, entre as etapas de fabricação. Na Figura 4.29(a), observa-se a presença de resíduos de FR sobre o arranjo

de transistores, mesmo após ao processo de plasma *ashing* de O₂. Então, essa amostra foi novamente submetida ao processo de plasma *ashing*, e sua superfície foi analisada pela imagem óptica, como mostra a Figura 4.29(b). Com isso, é possível perceber que o tempo de processo foi suficiente, uma vez que não se identificou a presença de FR remanescente de etapas anteriores.

Após todas as etapas de processo terem sido realizadas para a formação dos transistores JNTs, foram feitas as micrografias de MEV para a visualização da superfície, como mostra a Figura 4.30. Nessa micrografia, observa-se a presença de dois transistores JNTs (retângulos tracejados em branco) e seus terminais de fonte, porta e dreno. Além disso, ocorre a presença de círculos, em torno dos contatos, causados pelo excesso de corrosão (*underetching*) do SiO₂ de isolamento, durante a abertura de via, com a solução tampão de HF.

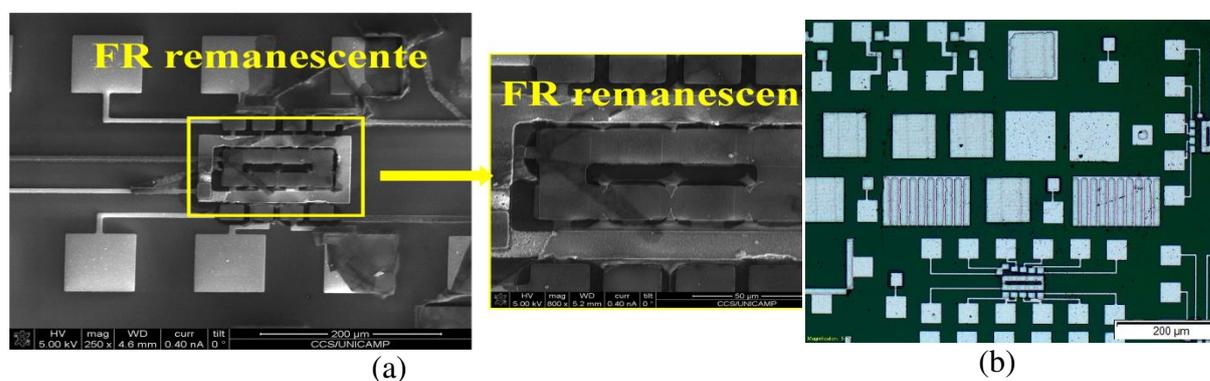


Figura 4.29 - As micrografias de MEV e a imagem óptica da superfície da amostra 9 dos transistores JNTs, após o processo de plasma *ashing*. (a) As micrografias do transistor antes de realizar a corrosão por plasma *ashing*, destacando o FR remanescente. (b) A imagem óptica após a limpeza por plasma *ashing* da superfície da amostra, indicando que ocorreu a remoção total do FR.

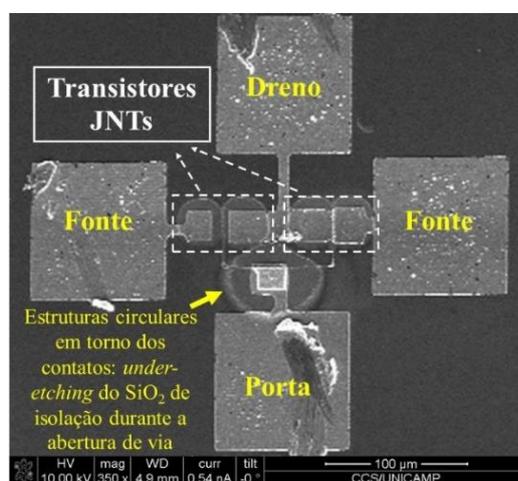


Figura 4.30 – A micrografia de MEV de dois transistores JNTs com seus terminais de porta, fonte e dreno, após a realização das medidas elétricas da amostra 9.

Anterior a análise estrutural dos dispositivos, a medida elétrica foi realizada para averiguar se a condução da corrente elétrica entre fonte e dreno (I_{DS}), através do nanofio de $Si-n^+$, é controlada pela tensão entre porta e fonte (V_{GS}), como um resistor controlado pela porta ou um transistor JNT (COLINGE, 2012; LEE *et al.*, 2009; DORIA, 2011). Dessa forma, foi utilizado um analisador de parâmetros para obter as curvas da corrente elétrica I_{DS} versus a tensão entre fonte e dreno (V_{DS}), variando os valores (0, 4, 8, 12, 16 e 20 V) da tensão V_{GS} , como mostra a Figura 4.31. A partir dessas curvas, observa-se uma pequena variação na corrente I_{DS} , conforme a variação na tensão V_{GS} aplicada na porta, indicando que a tensão na porta V_{GS} controla a corrente I_{DS} no canal de $SiNWs-n^+$ (SANTOS, 2013). Além disso, observa-se uma alta resistência de contato de $\sim 1 M\Omega$, que pode resultar nas distorções elétricas como, por exemplo, o comportamento não ôhmico na região entre $1 < V_{DS} < 3$ V (DORIA, 2011). Tudo isso implica que os transistores JNTs estavam funcionando, ou seja, uma pequena variação na corrente I_{DS} , através dos $SiNWs-n^+$, conforme a variação na tensão da porta V_{GS} . Vale salientar que, esses dispositivos foram feitos para verificar se os $SiNWs-n^+$ estavam funcionando como canal de condução entre fonte e dreno. O que realmente ocorre, como mostra as curvas da Figura 4.31. Os transistores não fecharam totalmente, ou seja, não ficaram em corte (I_{DS} próximo de 0 A), pois não foram usadas nem a espessura do nanofio, nem o eletrodo de porta com a função trabalho corretas para esse fim, pois a fabricação de transistores não é o escopo desse trabalho. Entretanto, foi determinado que seria necessário mais tempo de sinterização para diminuir a resistência de contato e, conseqüentemente, obter-se maior controle da tensão V_{GS} sobre a corrente I_{DS} . No entanto, após as etapas de limpeza orgânica e sinterização dos contatos, por mais 5 min, não foi possível fazer as medidas, pois o dispositivo parou de responder aos estímulos elétricos. Diante disso, verificou-se por análise de MEV que os $SiNWs-n^+$ não suportaram os enxágues de água DI corrente, após a limpeza orgânica, ou o jato de nitrogênio sobre a amostra para secar. A partir disso, todas as amostras preparadas nessa tese passaram a serem enxaguadas em um béquer, com água DI, sem muita agitação e o processo de secagem no sistema CPD (*Critical Point Dryer*).

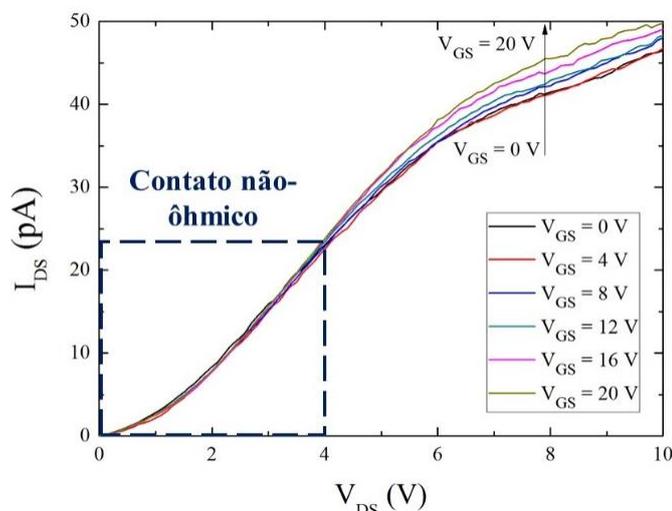


Figura 4.31 – As curvas das medidas da corrente I_{DS} versus tensão V_{DS} com a tensão V_{GS} variando de 0 a 20 V, com passo de 4 V, após 5 min de sinterização dos contatos elétricos da amostra 9.

4.2.1.3 Conclusões Parciais das Amostras com Mandril de Al

A Figura 4.32 apresenta o gráfico dos valores das larguras dos SiNWs para cada amostra (entre 1 e 9), levando em conta: as espessuras dos filmes de Si-a:H (espaçadores) (150 nm e 60 nm), os processos de corrosão por plasma (RIE, ECR e ICP) e os traçados gravados em linhas paralelas e retangulares. De forma geral, não considerando o resultado da amostra 1, com largura do nanofio de 16 nm, o valor médio da largura dos nanofios foi de 48 nm com desvio padrão de 13 nm. Estes valores também estão indicados na Tabela 4.1. Baseado nesses resultados concluímos que, o processo com mandril de Al consegue obter nanofios em torno de 50 nm e com valores de *pitchs* de 2 μm , se forem gravadas as estruturas com litografia óptica, e de 170 nm, se forem gravadas por FIB_M. Em relação aos processos de corrosão por plasma, quando se usa os sistemas RIE e ECR, obtêm-se nanofios mais finos, entre 16 e 50 nm (amostras entre 1 e 5, com traçado de linhas paralelas, e 9, retangulares), mesmo tendo como referência a espessura do espaçador de 150 nm. Nesses dois sistemas a orientação do íon sobre o substrato não é tão efetiva quanto a do sistema ICP, obtendo-se uma corrosão lateral dos espaçadores, com conseqüente redução da largura dos nanofios. Já para o sistema ICP, as amostras 6 e 7 foram fabricadas com espaçadores com 60 nm de espessura. Esse valor foi transferido para os SiNWs dessas amostras, que estão com larguras de 62 nm e 65 nm, respectivamente. Esses dois foram os melhores resultados obtidos. Por isso, na amostra 8, que foi fabricada utilizando o FIB_M, foram também empregados o processo ICP e o espaçador de 60 nm de espessura, resultando em SiNWs com 35 nm de largura e *pitch* de 170 nm. Portanto:

- (i) O processo ICP é bem efetivo para transferir para o substrato a espessura original do espaçador;
- (ii) A utilização da litografia óptica UV ou do FIB_M, do mandril de Al e o espaçador de Si-a:H permitem a obtenção de SiNWs de 50 nm de largura, dimensão essa que pode ser usada nos nós tecnológicos entre 65 e 45 nm (Figura 1.2). Vale salientar que não foram usados os métodos tradicionais de litografias 193i, EUV e EBL, para a obtenção das nanoestruturas. Além disso, esse trabalho consegue mostrar que os nossos processos são viáveis para a prototipagem de atuais dispositivos 3D. Trata-se de um importante resultado, para o desenvolvimento da tecnologia CMOS baseada em SiNWs no Brasil.

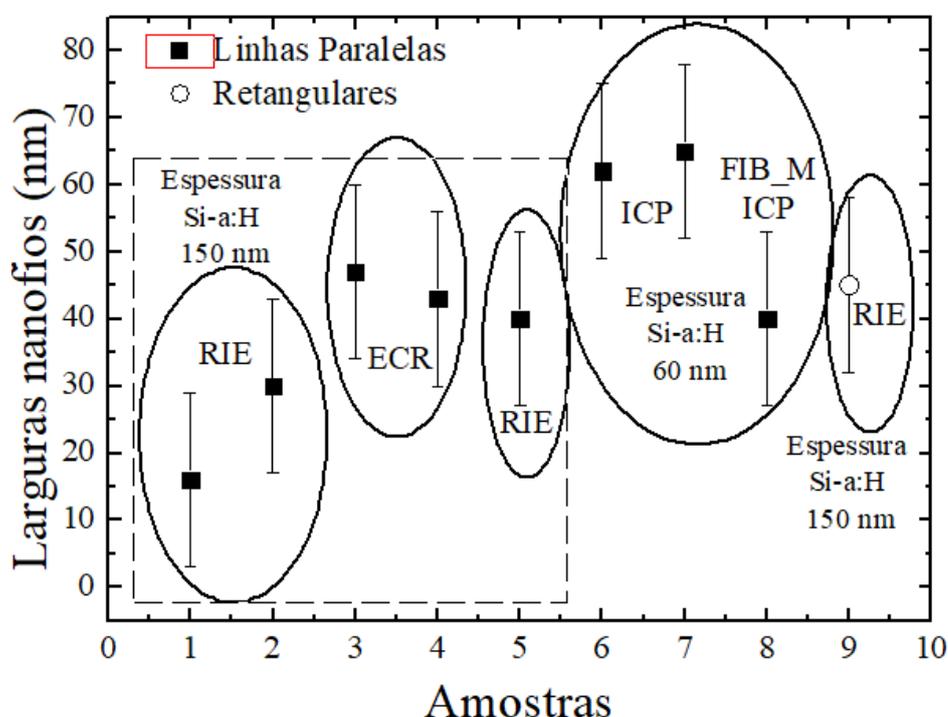


Figura 4.32 – Gráfico dos valores das larguras dos SiNWs para cada amostra (entre 1 e 9), levando em conta: as espessuras dos filmes de Si-a:H (espaçadores) (150 nm e 60 nm), os processos de corrosão por plasma (RIE, ECR e ICP) e os traçados gravados em linhas paralelas e retangulares. Nota: a barra de erro de ± 10 nm está relacionada com a mínima dimensão que o sistema MEV do FIB consegue obter.

4.2.2 Nanofios de silício (SiNWs) Obtidos com Camada Sacrificial (Mesa ou Mandril) de Nitreto de Si e Estruturas em Linhas Paralelas

A Tabela 4.5 apresenta o resumo das amostras obtidas com mandril de nitreto de Si (SiN_x) e estruturas em linhas paralelas, espaçadas com dimensões de $2 \mu\text{m}$ (*pitch*), tendo as seguintes descrições:

- (i) Tipos de substratos, corrosões secas e dispositivos;
- (ii) Principais análises de MEV ou de AFM, que indicam a formação dos SiNWs;
- (iii) Os valores de largura (W) dos SiNWs e os *pitchs* obtidos;

Na última linha, os valores da média das larguras e do desvio padrão serão apresentados.

Tabela 4.5 - Resumo das amostras obtidas, pelas técnicas LP e SL, com mandril de SiN_x e estruturas em linhas paralelas, espaçadas com dimensões de 2 μm (*pitch*).

Amostras	Tipos de substratos, corrosões secas e dispositivos	Análises MEV ou AFM	Larguras (W) dos SiNWs e <i>pitchs</i>
10	Si-p ECR (1 ^a : 3'/2 ^a : 15')	Sem dispositivo	
			~ 50 nm 2 μm
11	Si-p RIE (1 ^a : 5' /2 ^a : 7')	Sem dispositivo	
			~ 92 nm 2 μm
12	Si-p RIE (1 ^a : 5' /2 ^a : 5')	Sem dispositivo	
			100 nm 2 μm
Média e desvio padrão das larguras (W) dos SiNWs			~ 80 nm ± 27 nm

4.2.2.1 Amostra 10

A amostra 10 foi preparada seguindo as etapas de processo descritas na seção 3.3.2.1, esquematizada na Figura 3.14 e resumida na Tabela 4.5. Essa amostra 10 foi fabricada baseada nas deposições, dos filmes de SiO₂ (10 nm), SiN_x (140 nm) e Si-a:H (150 nm), e nas corrosões, para as definições dos mandris de SiN_x, espaçadores de Si-a:H e dos SiNWs, usando um único sistema, que foi o ECR. Inicialmente, sobre o substrato de Si, com o filme depositado de SiO₂, foi feita a definição das mesas de SiN_x, como mostra a Figura 4.33.

A Figura 4.33(a) apresenta a formação das mesas de SiN_x, sem a retirada do FR AZ3312[®], que foi aplicado como máscara na corrosão por plasma ECR. Já a Figura 4.33(b) apresenta a superfície da amostra com as linhas de SiN_x formadas sem a presença do FR, removido pelo processo de plasma *ashing*. Com as mesas de SiN_x finalizadas, foram realizadas as etapas de processo para a obtenção dos SiNWs, como apresenta a Figura 4.34. A Figura 4.34(a) apresenta seis nanoestruturas 3D sobre uma superfície lisa. Em detalhe, a Figura 4.34(b) mostra o SiNW formado com aproximadamente 57 nm de largura. Para verificar o formato da nanoestrutura foi feito o corte transversal da superfície da amostra, como ilustra a Figura 4.34(c). A partir dessa micrografia, observa-se a formação do nanofio com a base de 150 nm de largura e o topo mais estreito de 50 nm. Nota-se ainda, a formação de um patamar. Os esquemas da Figura 4.11 mostram o que deve ter ocorrido: na Figura 4.35 é o esquema da amostra após a definição do espaçador nas paredes laterais do mandril de SiN_x. A seguir foi usado BHF, para remover o mandril de SiN_x, com consequente remoção do SiO₂ das partes externas, fora da região onde se localizava o mandril. Após a corrosão final, no ECR, se tem a estrutura com patamar, similar a estrutura da amostra 2. Salienta-se que a possibilidade de executar tanto as deposições quanto as corrosões no mesmo sistema e ainda obter dimensões de nanofios de 50 nm, trata-se de um resultado muito interessante e inovador, pois não foi encontrado na literatura. Necessita de repetições desse método para verificar o quanto é efetivo e repetitivo. Isso ficará para trabalhos futuros conforme será citado na seção 5.2.

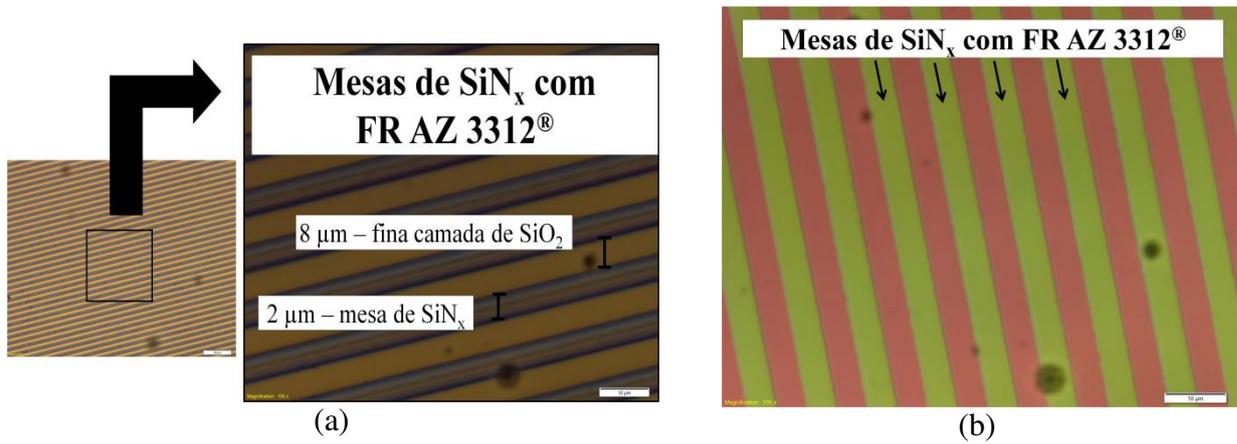


Figura 4.33 – As imagens ópticas da superfície da amostra 10 durante as etapas de processo, (a) após a corrosão por plasma ECR, para a formação das mesas de SiN_x junto com o FR AZ3312®, como máscara no sistema ECR, e (b) após o plasma *ashing*, com a superfície limpa com as mesas de SiN_x.

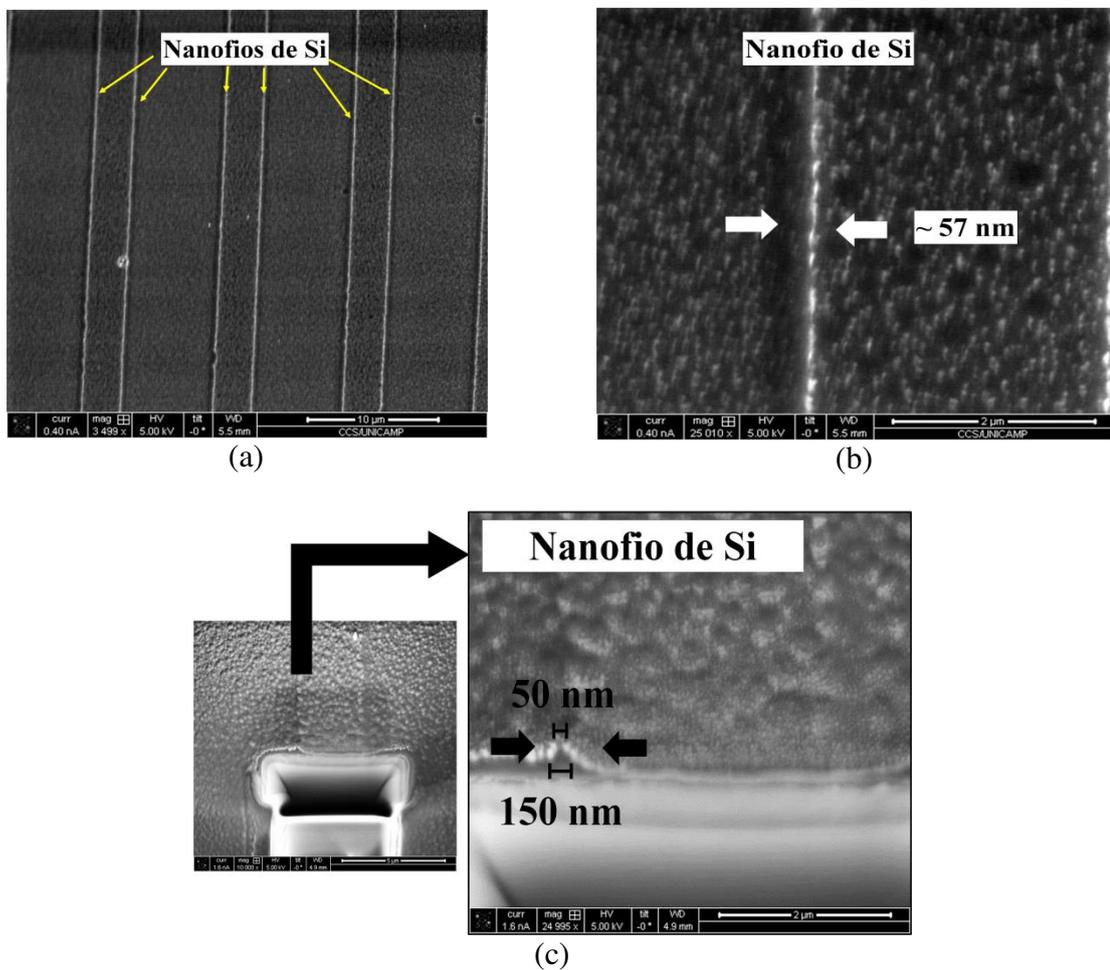


Figura 4.34 – As micrografias de MEV da superfície da amostra 10 com a presença dos SiNWs. (a) A superfície com seis nanofios de Si, (b) o detalhe de um SiNWs com 57 nm de largura, (c) o corte transversal de uma nanoestrutura com 150 nm de largura em sua base e o topo mais estreito de 50 nm.

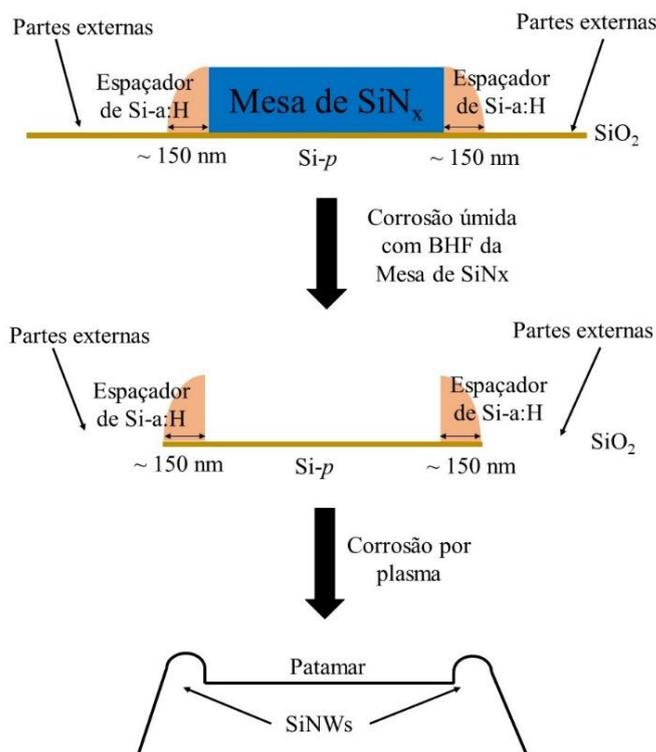


Figura 4.35 – Desenho esquemático da sequência de etapas, que resulta na formação de SiNWs nas bordas, da estrutura com patamar na amostra 10.

4.2.2.2 Amostra 11

A amostra 11 foi preparada com as etapas de processo apresentadas na seção 3.3.2.2, esquematizada na Figura 3.14 e resumida na Tabela 4.5. Essa amostra foi feita para repetir os resultados da amostra 10. Dessa vez, essa amostra 11 foi feita sem óxido de proteção sobre o substrato, para evitar a formação do patamar, como indicado nos esquemas da Figura 4.35 para a amostra 10. Assim, o mandril de SiNx foi depositado diretamente sobre o substrato de Si. Além disso, ao invés de ser usado o plasma ECR para a corrosão, foi usado o RIE, que é o padrão da indústria de microeletrônica. Os SiNWs, com larguras de 92 nm, foram obtidos na superfície da amostra, após todas as etapas de processo, como apresenta as micrografias da Figura 4.36. A Figura 4.36(a) apresenta a superfície da amostra com os SiNWs. Além disso, nessa micrografia, observa-se também, que há faixas de diferentes texturas, sendo a faixa maior e mais clara (8 μm de largura), com maior rugosidade, e a faixa estreita, de 2 μm de largura, de menor rugosidade. Nessa faixa estreita (região onde estavam as mesas de SiNx), o bombardeamento dos íons foi menor, pois, durante o processo de corrosão por plasma para remover e formar os espaçadores de Si-a:H, tinham os mandris, que protegeram a região. Isso não ocorreu

para a região externa aos espaçadores, região do substrato de Si, recebendo mais interação com os íons e, conseqüentemente, criando maior rugosidade. A Figura 4.36(b) mostra o corte transversal da superfície da amostra, exibindo o formato do SiNWs com elevada rugosidade superficial. No detalhe, a Figura 4.36(c) apresenta o nanofio da Figura 4.36(b), com suas dimensões de 197 nm de altura e as larguras na base, de 427 nm, no meio, de 301 nm e no topo, de 92 nm.

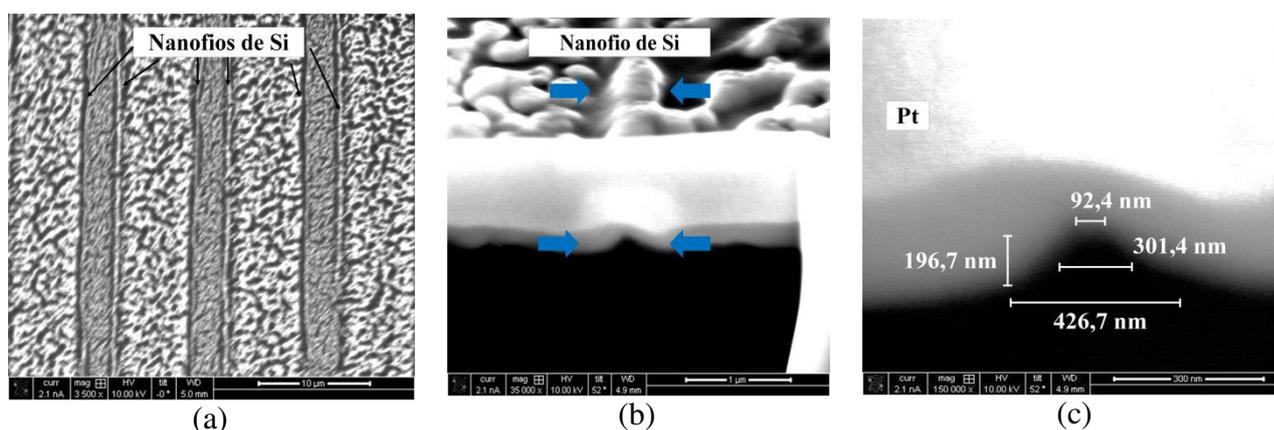


Figura 4.36 – As micrografias de MEV da superfície da amostra 11, após a corrosão por plasma pelo sistema RIE. (a) A formação dos SiNWs ao longo da superfície da amostra. (b) O corte transversal da superfície da amostra para visualizar o nanofio de Si. (c) Em destaque, o SiNWs com suas dimensões de 197 nm de altura e as larguras da base de 427 nm, do meio de 301 nm e o topo de 92 nm.

Após a caracterização estrutural com as micrografias de MEV, foi feita análise 2D da superfície da amostra através da microscopia de AFM, como apresenta a Figura 4.37. A partir dessa micrografia, observa-se que os SiNWs foram formados, com o pitch de 2 µm. Entretanto, os nanofios ficaram na mesma ordem de grandeza da rugosidade superficial, dificultando a visualização da análise 3D e a projeção dos perfis de altura.

A partir das micrografias de MEV e AFM, observa-se a rugosidade superficial, que, provavelmente, é resultado da ausência da fina camada de SiO₂ entre o substrato e a camada sacrificial. Essa fina camada, por ter uma baixa taxa de corrosão no plasma RIE com os gases de SF₆:Ar, atua como barreira no processo de corrosão. Com isso, sem essa camada, o substrato de Si é diretamente bombardeado pelos íons, permitindo ou a formação dos defeitos sobre a superfície ou a corrosão das camadas mais internas, exposto seus defeitos.

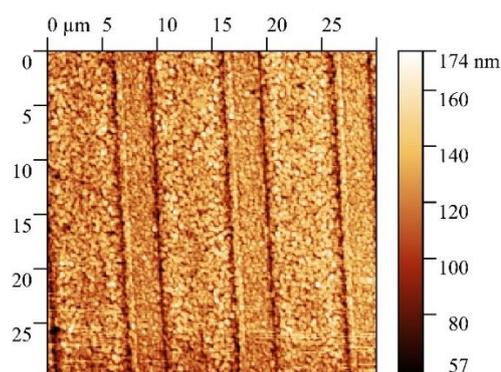


Figura 4.37 – A micrografia de AFM da superfície da amostra 11 em 2D.

4.2.2.3 Amostra 12

A amostra 12 foi preparada com as etapas de processo apresentadas na seção 3.3.2.3 e esquematizada na Figura 3.14, sendo resumida na Tabela 4.5. Essa amostra tem a finalidade de reproduzir os resultados encontrados da amostra 11. Portanto, foi fabricada com as mesmas etapas de processo descritos na seção 3.3.2.2, com exceção do tempo menor de 5 min de processo RIE, para a formação dos SiNWs, conforme apresenta a Tabela 4.5, tentando reduzir a rugosidade da superfície, pois o tempo de bombardeamento será menor. Após todos os processos terem sido realizados, foi feita a caracterização estrutural das nanoestruturas através das micrografias de MEV, conforme estão apresentadas na Figura 4.38. A Figura 4.38(a) apresenta a superfície da amostra, após a formação dos SiNWs. A partir dessa micrografia, identifica-se a mesma formação de faixas com diferentes texturas, como apresentou a amostra 11 (Figura 4.36(a)). Isso deve ter ocorrido pela ausência da fina camada de SiO₂ nos processos de corrosão por plasma. As micrografias da Figura 4.38(em (b) e (c)) apresentam detalhadamente a superfície da amostra com um nanofio, sendo possível observar as diferentes texturas. A Figura 4.38(d) ilustra a dimensão do SiNW de 100 nm de largura e 149 nm de altura. O valor de largura indica que a corrosão lateral ocorreu, porém, em menor escala quando se compara com a amostras 1 e 2, com mandril de Al e mesmo tempo de corrosão RIE, com 16 nm e 30 nm de largura dos SiNWs.

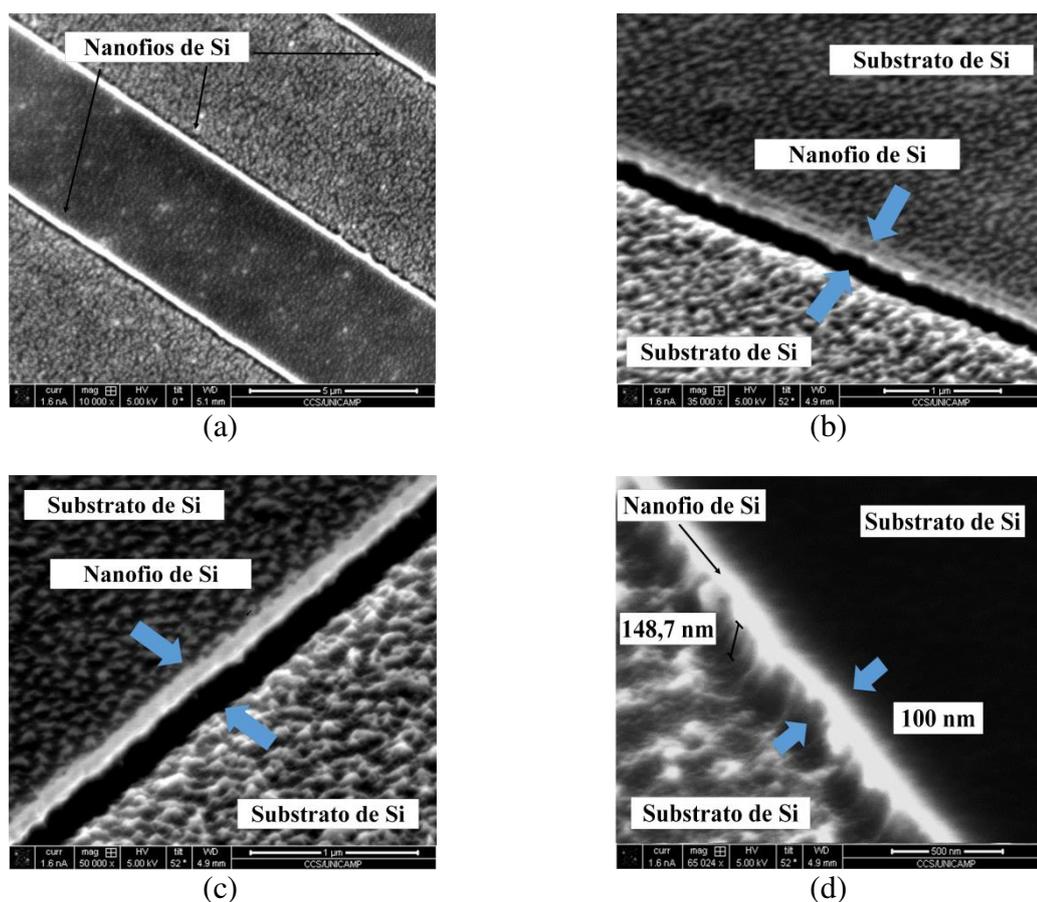


Figura 4.38 – As micrografias de MEV da superfície da amostra 12 para comprovar a repetitividade do processo na formação dos SiNWs. (a) A superfície da amostra com 3 SiNWs; (b), (c) e (d) um SiNW em diferentes direções com uma rugosidade superficial inesperada.

Para maiores detalhes na caracterização estrutural dos SiNWs formados na superfície da amostra 12, foram realizadas as micrografias de AFM em análise 3D, como mostra a Figura 4.39. A Figura 4.39 (a) apresenta a superfície da amostra em 3D com cinco SiNWs nas bordas das estruturas bem definidos e contínuos, formando um patamar, conforme foi encontrado nas amostras 3, 8 e 13. No detalhe, dois SiNWs nas bordas da estrutura são apresentados na análise 3D da Figura 4.39(b). A partir dessa micrografia, observar-se a continuidade e qualidade desses SiNWs. Já a Figura 4.39(c) apresenta os perfis de altura das estruturas, sendo possível visualizar os SiNWs contínuos nas bordas. Nesse caso, os SiNWs são mais visíveis dos que os SiNWs das amostras 2 e 11, devido às suas dimensões de 100 nm de largura e 80 nm de altura. O importante frisar que, tanto a amostra 11 quanto a amostra 12, apresentaram SiNWs em torno de 100 nm. Entretanto, ocorreu a rugosidade, sendo um resultado não satisfatório.

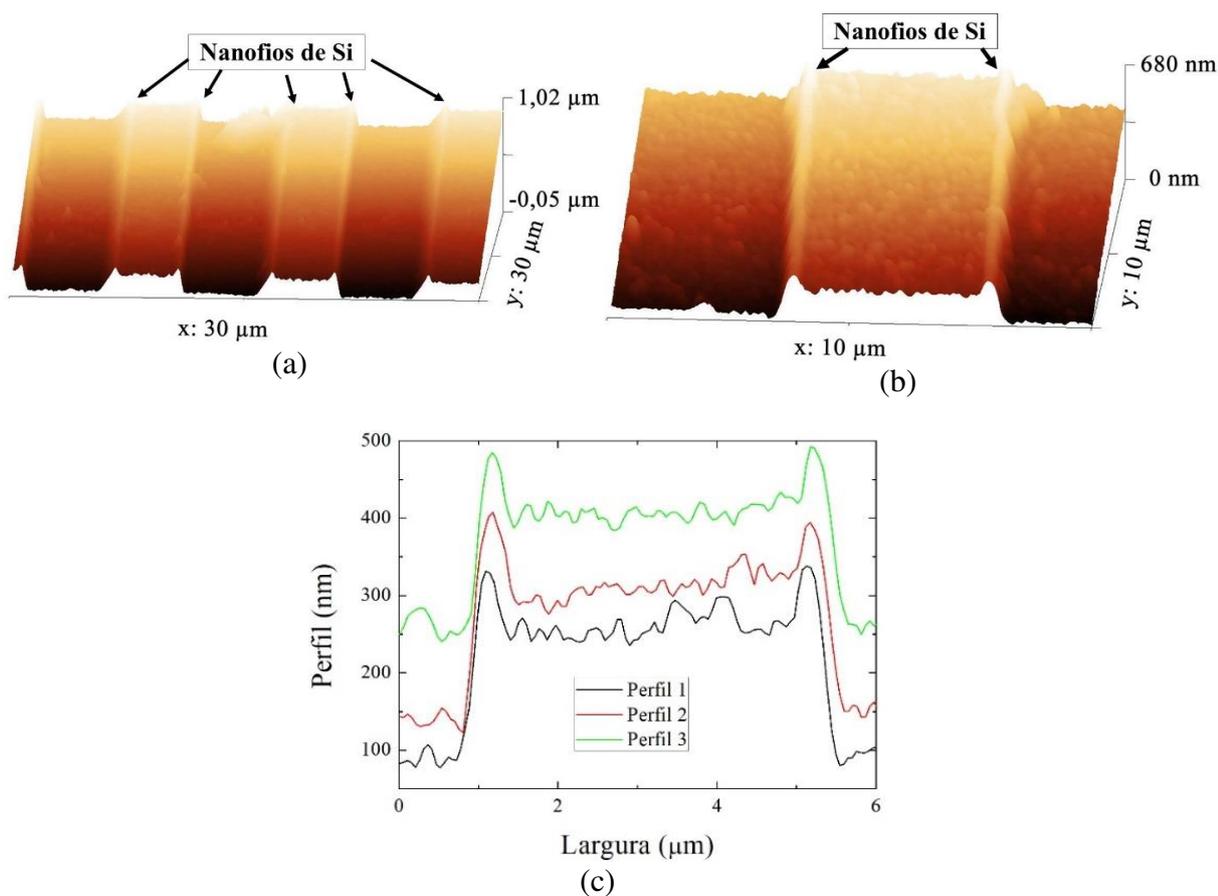


Figura 4.39 – As micrografias de AFM da superfície da amostra 12 para verificar a repetitividade dos resultados da amostra 12. (a) A superfície da amostra em 3D com cinco SiNWs. (b) No detalhe, a superfície em 3D de dois nanofios nas bordas das estruturas, formando um patamar. (c) O gráfico dos perfis de altura dos dois SiNWs com 100 nm de largura e 80 nm de altura.

4.2.2.4 Conclusões Parciais das Amostras com Mandril de SiN_x

Baseado na amostra 10, verifica-se que o método de usar, tanto as deposições quanto as corrosões no mesmo sistema ECR, resultam em SiNWs com larguras de 50 nm. Isso, trata-se de um resultado muito interessante e inovador, pois não foi encontrado na literatura. Dessa maneira, necessita de repetições desse método para verificar o quanto é efetivo. Isso ficará para trabalhos futuros na seção 5.2. Entretanto, quando as corrosões foram feitas por RIE, sem o filme de proteção do SiO_2 , como ocorreram para as amostras 11 e 12, os SiNWs resultantes tiveram largura de 100 nm, com alta rugosidade da superfície do substrato. De forma geral, os espaçadores de Si-a:H conseguem ser definidos, com dimensões menores que 100 nm, quando se utiliza mandril de SiN_x .

4.2.3 Nanofios de Silício (SiNWs) Obtidos com Camada Sacrificial (Mesa ou Mandril) de Fotorresiste

A seguir serão apresentados os resultados obtidos, da caracterização estrutural das superfícies das amostras, fabricadas pelas técnicas PL e SL, com mandril de FR e estruturas em linhas paralelas.

4.2.3.1 Estruturas em Linhas Paralelas

A Tabela 4.6 apresenta o resumo das amostras obtidas com camada sacrificial (mesa ou mandril) de fotorresiste e estruturas em linhas paralelas, espaçadas com dimensões de $2\ \mu\text{m}$ (*pitch*), tendo as seguintes descrições:

- (i) Tipos de substratos, corrosões secas e dispositivos;
- (ii) Principais análises de MEV, que indicam a formação do SiNWs;
- (iii) Os valores de largura (*W*) dos SiNWs e o *pitch* obtidos.

Nessa mesma tabela, na última linha, são apresentados a média dos valores de largura e o desvio padrão.

Tabela 4.6 - Resumo das amostras obtidas, pelas técnicas PL e SL, com mandril de FR e estruturas em linhas paralelas, espaçadas com dimensões de $2\ \mu\text{m}$ (*pitch*).

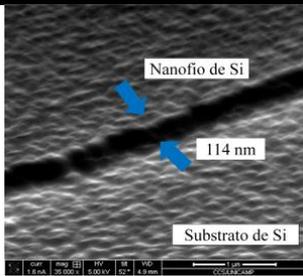
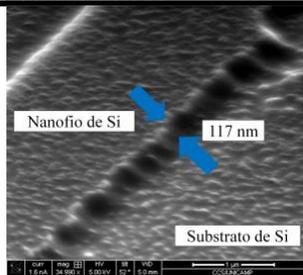
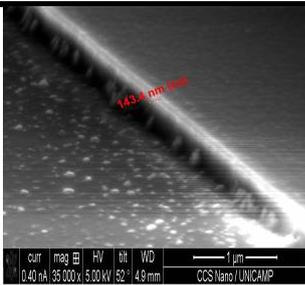
Amostras	Tipos de substratos, corrosões secas e dispositivo	Análises MEV	Larguras (<i>W</i>) dos SiNWs e <i>pitchs</i>
13	Si-p RIE (1ª: 2'30'' / 2ª: 5') Sem dispositivo		~ 114 nm $2\ \mu\text{m}$
14	Si-p ECR (1ª: 2'30'' / 2ª: 10') Sem dispositivo		117 nm $2\ \mu\text{m}$

Tabela 4.6 (continuação)

15	SOI ICP (1ª: 1'30''/ 2ª: 5') Sem dispositivo		~ 143 nm 2 μm
Média e desvio padrão das larguras (W) dos SiNWs			~ 125 nm ± 16 nm

4.2.3.1.1 Amostra 13

A descrição da amostra 13 foi apresentada na seção 3.3.3.1.1 (e na Tabela 4.6) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.16. Essa amostra foi preparada para verificar a obtenção dos SiNWs, utilizando a nossa técnica de SL, com mandril de FR e a corrosão por plasma RIE. A análise da superfície da amostra foi realizada, utilizando as micrografias de MEV, após todas as etapas de processo terem sido realizadas, como apresenta a Figura 4.40. A Figura 4.40(a) apresenta a obtenção de dois SiNWs, com mais de 5 μm de comprimento. Além disso, visualiza-se que, os SiNWs seguem as imperfeições, oriundas da etapa de litografia óptica, ficando tortuosos na superfície. No detalhe, a Figura 4.40(b) apresenta um SiNWs com 114 nm de largura. Nessa amostra 13, os SiNWs não apresentam a formação de uma estrutura com patamar, indicando que a corrosão por plasma RIE, ocorreu de forma correta, sem remover as partes externas aos espaçadores, como foi explicado nos esquemas da Figura 4.11. Assim, observa-se que, foram obtidos SiNWs com largura de 114 nm, indicando que ocorreu a corrosão lateral dos espaçadores, uma vez que, o filme de Si-a:H foi depositado com uma espessura de 150 nm.

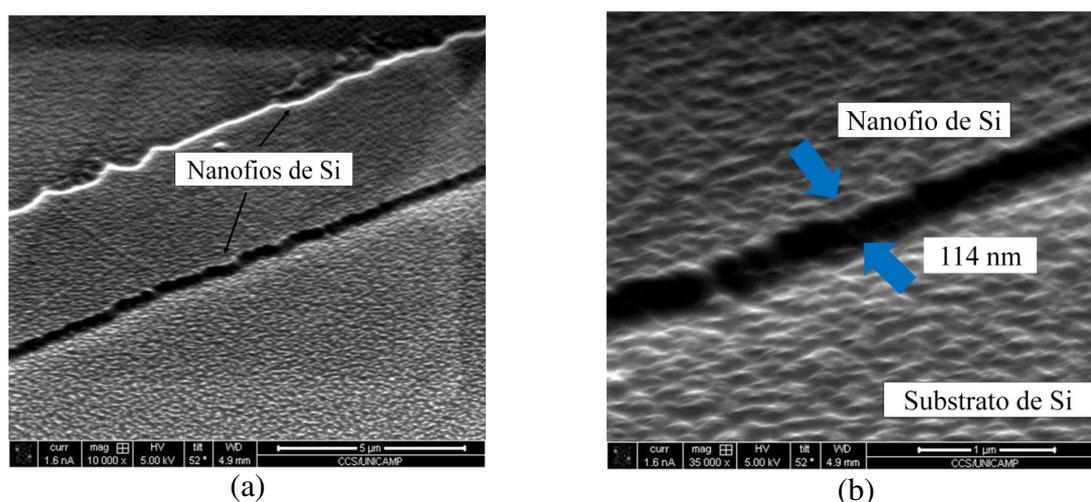


Figura 4.40 – As micrografias de MEV da superfície da amostra 13, após todas as etapas de processo. (a) A presença de dois SiNWs obtidos com comprimento maior do que 5 μm . (b) Em destaque, um SiNWs com 114 nm de largura.

4.2.3.1.2 Amostra 14

A descrição da amostra 14 foi apresentada na seção 3.3.3.1.2 (e na Tabela 4.6) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.16. Essa amostra foi preparada para verificar a formação dos SiNWs, sobre substrato de Si, utilizando a nossa técnica de SL, com mandril de FR e corrosão por plasma ECR. Todas as etapas de processo foram executadas, e após o termino, foram feitas as micrografias de MEV, para analisar a superfície da amostra, como apresenta a Figura 4.41. A partir dessa micrografia, observa-se a superfície da amostra com dois SiNWs, com 117 nm de largura e 231 nm de altura. Além disso, observa-se que, as nanoestruturas 3D seguem as imperfeições dos mandris de FR, definidos por litografia óptica convencional, como também foi constatado na amostra 13. Nesse caso, observa-se que não ocorreu a formação de uma estrutura com patamar, similar a amostra 13, que foi preparada por corrosão por plasma RIE. Além disso, no plasma ECR, também ocorreu a corrosão lateral dos espaçadores, resultando em SiNWs de 117 nm.

As amostras entre 1 e 5, e 9, com mandril de Al, entre 10 e 12, com mandril de SiN_x , e 13 e 14, com mandril de FR, utilizaram espaçadores com espessura de 150 nm, cujo o SiNW resultante deveria ter a sua largura próxima a esse padrão de espessura, se não ocorresse corrosão lateral dos espaçadores. Vale salientar que, as amostras 13 e 14 (com larguras dos SiNWs: 114 nm e 117 nm, respectivamente) apresentaram corrosão lateral dos espaçadores bem menor do que a corrosão lateral das amostras entre 1 e 5, e 9 (Tabela 4.1 na seção 4.2.1.1, com

larguras dos SiNWs: entre 16 e 47 nm), entre 10 e 12 (Tabela 4.5 na seção 4.2.2, com larguras dos SiNWs: ~ 100 nm), devido à redução do tempo da 1ª etapa do processo de corrosão (definição dos espaçadores nas paredes laterais dos mandris), de pelo menos 2 min. Portanto, consegue-se com esse novo tempo de processo, obter melhor transferência de traçado do espaçador para o substrato na formação dos nanofios.

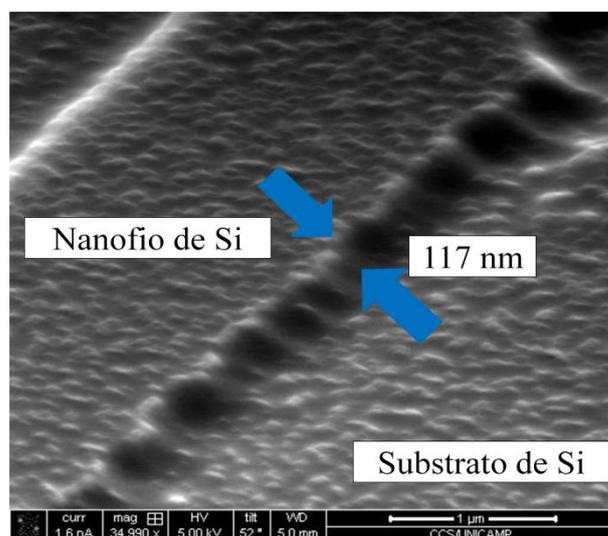


Figura 4.41 – A micrografia de MEV da superfície da amostra 14 com dois SiNWs, de 117 nm de largura e 231 nm de altura, seguindo as imperfeições, provenientes da definição dos mandris de FR.

4.2.3.1.3 Amostra 15

A descrição da amostra 15 foi apresentada na seção 3.3.3.1.3 (e na Tabela 4.6) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.16. Essa amostra foi preparada sobre lâmina SOI, e o plasma ICP foi utilizado para a corrosão, tanto para a formação dos espaçadores nas paredes laterais do mandril de FR, quanto para a definição dos SiNWs. A superfície da amostra 15 foi analisada, pelas micrografias de MEV, após todas as etapas de processo, como mostra a Figura 4.42. A Figura 4.42(a) mostra a superfície da amostra com cinco SiNWs de, pelo menos, 5 μm de comprimento. Além disso, no destaque, estão dois SiNWs bem definidos. Já a Figura 4.42(b) apresenta a altura do SiNWs de aproximadamente 330 nm. A Figura 4.42(c) mostra a largura do SiNW de aproximadamente 143 nm. Nesse caso, a amostra 15 apresentou em sua superfície a formação de SiNWs bem definidos, com 330 nm de altura e 143 nm de largura. Além disso, não se observou a formação de estrutura com patamar, indicando a correta corrosão no processo ICP. Com essa largura de 143 nm, pode-se concluir que, o plasma ICP favorece a transferência de traçado de espessura do espaçador (150 nm)

para o nanofio formado no substrato (143 nm), sem praticamente, ocorrer a corrosão lateral dos espaçadores de Si-a:H. Esse processo de correta transferência também foi observado nas amostras 6 e 7, com mandril de Al e espaçadores de 60 nm, que após a corrosão por plasma ICP, foram obtidos SiNWs com larguras de 62 e 65 nm, respectivamente. Portanto, o processo ICP, para as formações dos espaçadores e dos SiNWs, é o melhor quando comparado com os processos RIE e ECR.

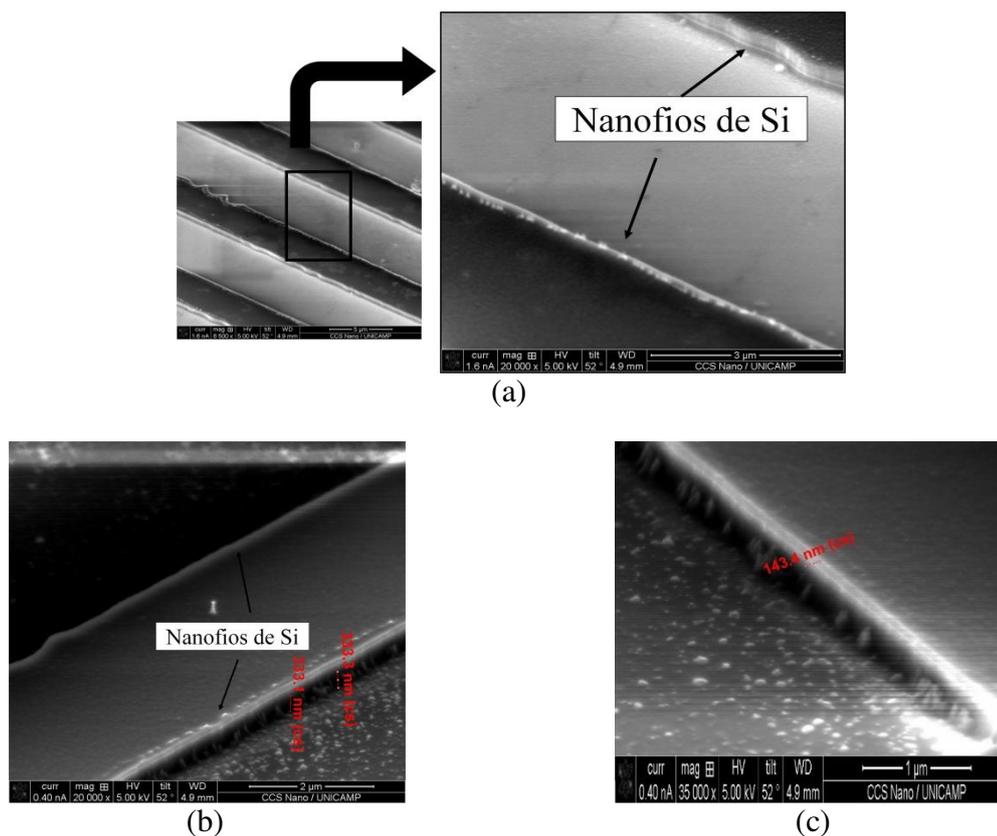


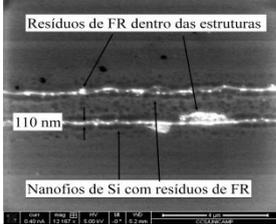
Figura 4.42 – As micrografias de MEV da superfície da amostra 15, após a corrosão por plasma ICP. (a) A presença de cinco SiNWs com, pelo menos, 5 μm de comprimento e, no destaque, dois SiNWs bem definidos. (b) Dois SiNWs com ~ 330 nm de altura e (c) ~ 143 nm de largura.

4.2.3.2 Estruturas Retangulares

A Tabela 4.7 apresenta o resumo da amostra obtida com camada sacrificial (mesa ou mandril) de FR e estruturas retangulares, espaçadas com dimensões de 2 μm (*pitch*), tendo as seguintes descrições:

- (i) Tipo de substratos, corrosão seca e dispositivo;
- (ii) Principais análises de MEV, que indicam a formação dos SiNWs;
- (iii) O valor de largura (*W*) do SiNW e o *pitch* obtido.

Tabela 4.7 - Resumo da amostra 16 obtida, pelas técnicas PL e SL, com mandril de FR e estruturas retangulares, espaçadas com dimensões de 2 μm (*pitch*).

Amostra	Tipo de substrato, corrosões secas e dispositivo	Análises MEV	Larguras (W) dos SiNWs e <i>pitch</i>
16	Si-p RIE (1ª: 1'30''/ 2ª: 5'') Sem dispositivo		~ 110 nm 2 μm

4.2.3.2.1 Amostra 16

A descrição da amostra 16 foi apresentada na seção 3.3.3.2.1 (e na Tabela 4.7) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.16. Essa amostra foi preparada, utilizando a fotomáscara *Regat – região ativa* (ver Figura 3.8 – página 71) e a corrosão por plasma RIE, em atmosfera de $\text{SF}_6:\text{Ar}$, para verificar a formação de SiNWs em estruturas retangulares. Durante as etapas de processo, a superfície da amostra foi analisada pela imagem óptica e as micrografias de MEV, que estão apresentadas na Figura 4.43. A Figura 4.43(a) apresenta a superfície da amostra, após a definição das mesas de FR *AZ5206*[®], sobre a fina camada de SiO_2 . Na sequência, todas as etapas de processo foram realizadas, e as micrografias de MEV feitas, como apresenta a Figura 4.43 (em (b) e (c)). A Figura 4.43(b) apresenta a formação dos SiNWs, seguindo perfeitamente os mandris de FR, que foram removidos com plasma de O_2 . Na Figura 4.43(c), observa-se que ocorreu a formação de SiNWs com 110 nm de largura, porém a remoção do mandril de FR, não foi efetivo, restando uma camada de FR remanescente.

As micrografias de AFM foram realizadas, tanto em análise 2D quanto em 3D, como mostra a Figura 4.44. Na análise 2D, a Figura 4.44(a) apresenta a superfície da amostra com a estrutura retangular de SiNWs. A partir dessa micrografia, observa-se que os SiNWs seguem perfeitamente a estrutura definida, na região onde estavam os mandris de FR. Isso é confirmado pela na análise 3D da Figura 4.44(b), apesar da existência de FR remanescente na superfície da amostra. Após as análises de AFM, a amostra foi novamente submetida ao processo de limpeza por plasma O_2 , para a total remoção do FR.

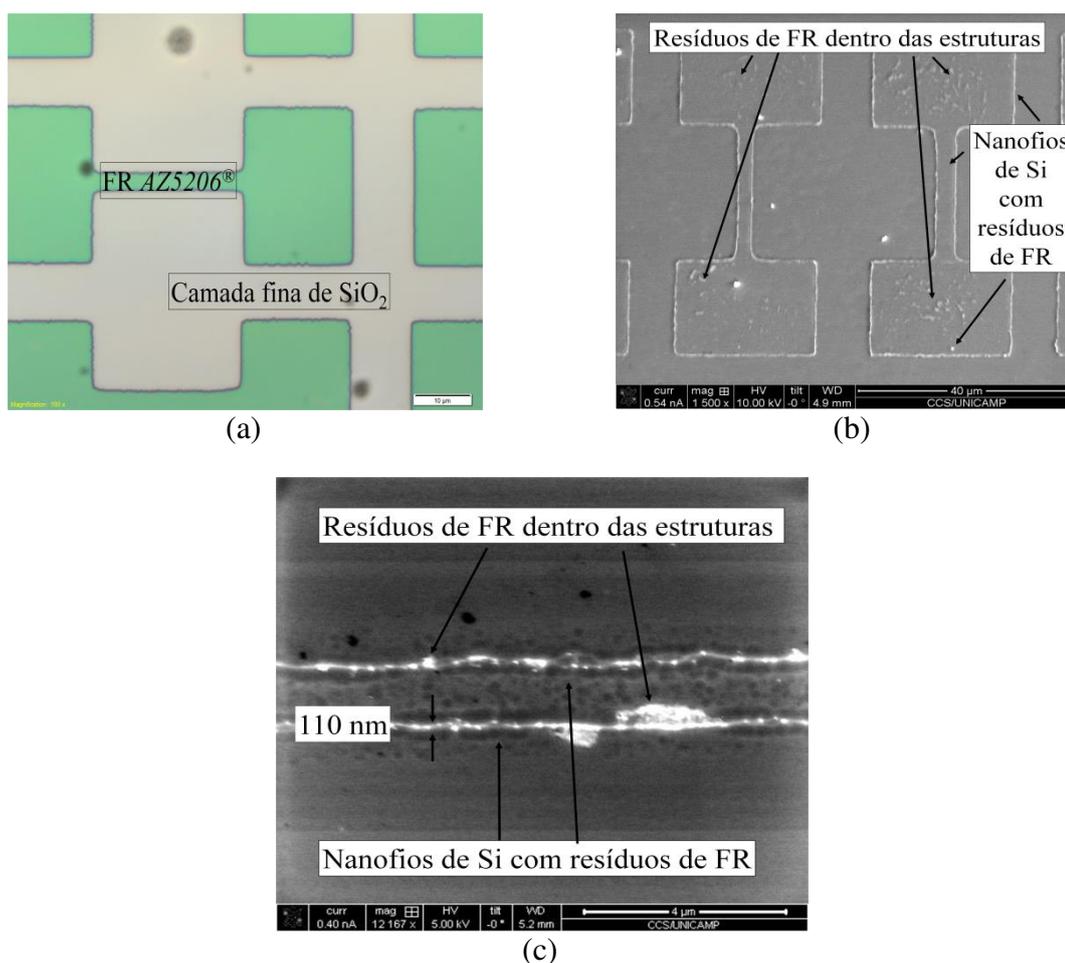


Figura 4.43 – A superfície da amostra 16 em diferentes etapas de processo. (a) A imagem óptica da superfície após a definição das estruturas de FR sobre a fina camada de SiO₂. (b)-(c) As micrografias de MEV da superfície da amostra, indicando a presença de FR entre as nanoestruturas de Si.

Nessa amostra 16, foi observada a formação de SiNWs, que seguem perfeitamente a estrutura retangular, região ativa do transistor CMOS, com 110 nm de largura. O plasma RIE foi utilizado para a definição dos espaçadores e, também, dos SiNWs, que apresentaram um pouco de corrosão lateral, uma vez que, os filmes de Si-a:H foram depositados com 150 nm de espessura. A partir das micrografias da Figura 4.44, não se identifica a formação da estrutura com patamar, indicando que a corrosão por plasma ocorreu de forma correta. O valor de largura de 110 nm da nanoestrutura dessa amostra 16 foi similar aos valores encontrados na amostra 13, indicando que esse processo é repetitivo.

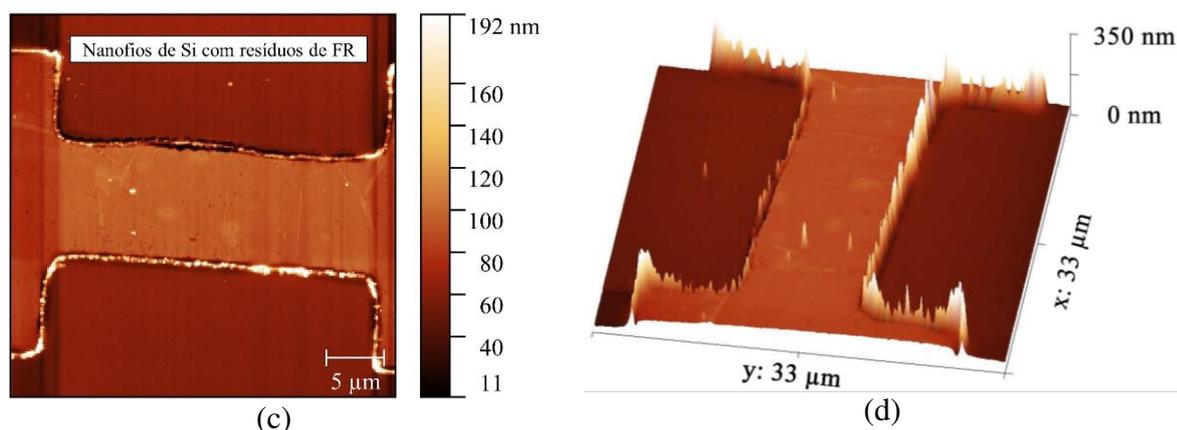


Figura 4.44 – As micrografias de AFM da superfície da amostra 16, sendo (a) análise 2 D, com a estrutura retangular de SiNWs bem definidos e (b) análise 3D da superfície.

4.2.3.3 Conclusões Parciais das Amostras com Mandril de Fotorresiste

Baseado nos resultados das quatro amostras feitas com o nosso método SL, utilizando mandril de FR, verifica-se que, é efetivo na formação dos SiNWs com larguras de ~ 100 nm, nos três sistemas de corrosão (RIE, ECR e ICP):

- (i) Como verificado anteriormente, nas amostras feitas de mandris de Al e de SiN_x, os SiNWs fabricados pela corrosão por plasma ICP, com mistura gasosa de C₄F₈:SF₆, apresentam os valores de largura próximos à espessura dos espaçadores;
- (ii) Uma elevada rugosidade superficial foi observada nas amostras 13, 14 e 16, feitas sobre o substrato de Si, devido ao bombardeamento iônico, especialmente do Ar⁺, de cada superfície com o uso de plasmas RIE ou ECR com mistura gasosa de SF₆:Ar;
- (iii) De modo geral, o nosso método SL com mandril de FR é efetivo na formação de nanofios de Si, de 100 nm de largura.

4.3 LITOGRAFIA POR FEIXE DE ÍONS FOCALIZADOS DE GÁLIO (FIB_L) COM CAMADA PROTETORA DE SILÍCIO AMORFO HIDROGENADO

Ao longo dessa seção, serão apresentados os resultados (as micrografias de MEV) das nanoestruturas obtidas utilizando a técnica FIB_L com a camada protetora de filme de Si-a:H, sobre os substratos SOI e de semicondutor III-V. Sobre o substrato SOI com SiNWs-n⁺

obtidos, foram feitas as medidas elétricas dos transistores pseudo-MOS para verificar a qualidade dos nanofios.

4.3.1 SiNWs- n^+ sobre lâmina SOI

A Tabela 4.8 apresenta o resumo das descrições, das micrografias de MEV e as larguras dos SiNWs- n^+ formados, pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas, sobre as superfícies das amostras 17 e 18. A seguir, serão apresentados os resultados das caracterizações estrutural e elétrica das amostras 17 e 18.

Tabela 4.8 - Resumo das amostras obtidas, sobre substrato SOI, pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas.

Amostras	Tipos de substratos, corrosões secas e dispositivo	Análises MEV	Larguras (W) dos SiNWs e o espaçamento
17	SOI com camada dopada n^+ FIB_L/ $I_{\text{feixe}} = 0,30 \text{ nA}$ ICP (10')	Transistores Pseudo-MOS	~ 365 nm (linha gravada de 100 nm) 238 nm (espaçamento nominal de 500 nm)
17	SOI com camada dopada n^+ FIB_L/ $I_{\text{feixe}} = 30 \text{ pA}$ ICP (10')	Transistores Pseudo-MOS	~ 235 nm (linha gravada de 100 nm) 250 nm (espaçamento nominal de 500 nm)
18	SOI com camada dopada n^+ FIB_L/ $I_{\text{feixe}} = 30 \text{ pA}$ ICP (10')	Transistores Pseudo-MOS	~ 235 nm (linha gravada de 100 nm) 250 nm (espaçamento nominal de 500 nm)

4.3.1.1 Amostras 17 e 18

a) Caracterização estrutural

As descrições das amostras 17 e 18 foram apresentadas na seção 3.4.1 (e na Tabela 4.8) e suas fabricações seguiram as etapas de processos esquematizadas na Figura 3.17. Resumidamente, os nanofios de Si foram obtidos utilizando as técnicas de PL e de FIB_L, sobre o substrato SOI com a camada ativa do Si- n^+ (340 nm de espessura) dopada, obtida com implantação de íons de $^{31}\text{P}^+$ e recozimento.

Conforme o esquema da Figura 3.17, sobre a camada protetora (máscara) de filme de Si-a:H (de 60 nm), foram realizados os cortes rasos de 30 nm de profundidade, usando o feixe de íons focalizados de Ga^+ (FIB_L), em linhas paralelas, que interligavam os eletrodos de fonte e dreno (ver Figura 3.18). As linhas paralelas foram gravadas por FIB_L, com larguras de 50 nm ou 100 nm e espaçamento entre elas de 500 nm. Assim, foram obtidas estruturas com 1, 10, 30 e 50 linhas paralelas, conforme apresenta as micrografias da Figura 3.18. As correntes dos feixes de íons focalizados (I_{feixe}) para as amostras 17 e 18, foram de 0,30 nA e 30 pA, respectivamente. A energia dos feixes foi mantida constante em 30 KeV para ambas as amostras. O valor de corrente de 30 pA, foi utilizado também no trabalho de Leonhardt (2016), que não utilizou a camada protetora de filme de Si-a:H, pois a FIB_L foi direta sobre o substrato de Si.

Após a definição das linhas por FIB_L, as amostras foram submetidas ao processo de plasma ICP durante 10 min, em ambiente de $\text{C}_4\text{F}_8:\text{SF}_6$, para a formação dos SiNWs- n^+ , que seguiram os traçados das linhas gravadas, como mostram as micrografias da Figura 4.45 (a) (linha única – largura nominal da linha de 100 nm), (b) (10 linhas – largura nominal da linha de 100 nm), (e) (linha única – largura nominal da linha de 50 nm) e (f) (10 linhas – largura nominal da linha de 50 nm); e as micrografias da Figura 4.46 (a) (30 linhas – largura nominal da linha de 100 nm) e (b) (50 linhas – largura nominal da linha de 100 nm), para as amostras 17 e 18, respectivamente. Isso ocorre, pois, nas linhas gravadas (na camada de Si-a:H) tem excesso de Ga, que reduz a taxa de corrosão nessas regiões, quando comparadas com as regiões sem incorporação dos íons de Ga^+ , conforme apresenta os esquemas da Figura 4.47. Esse método de linhas gravadas por feixe de íons focalizados de Ga^+ (FIB_L) em camada de Si-a:H, usada como máscara, é uma inovação. Dessa maneira, no trabalho de mestrado de Leonhardt (2016), SiNWs foram obtidos com linhas gravadas por feixe de íons focalizados de Ga^+ (FIB_L)

diretamente no substrato de Si, o que acarreta a incorporação de Ga nos SiNWs, sendo um problema para controlar a dopagem do canal de condução do *FinFET* fabricado. No nosso caso, a linha gravada na camada de Si-a:H incorpora os íons de Ga^+ proveniente do feixe, que será retirada durante a corrosão seca, para a definição dos SiNWs. Isso resulta em nanofios sem incorporação de Ga^+ . Portanto, o nosso método melhora o método desenvolvido por Leonhardt (2016).

As micrografias da Figura 4.45 (c) e (d), para as linhas com largura nominal de 100 nm, (g) e (h), linhas com largura nominal de 50 nm, apresentam os cortes transversais da superfície da amostra 17, após a corrosão por plasma ICP, respectivamente, para as estruturas de uma linha única (com 1 SiNW- n^+) e de um conjunto de 10 SiNWs- n^+ , preparadas com corrente do feixe de 0,30 nA. Nas micrografias da Figura 4.45 (c) e (d), respectivamente, observam-se 1 e 3 SiNWs- n^+ , obtidos a partir das linhas com largura nominal de 100 nm, com os valores de largura no topo de aproximadamente 365 nm e na base de 610 nm, e o espaçamento entre eles de 238 nm. Nas micrografias da Figura 4.45 (g) e (h), respectivamente, observam-se 1 e 5 SiNWs- n^+ , obtidos a partir das linhas com largura nominal de 50 nm, com os valores de largura no topo de aproximadamente 318 nm e na base de 500 nm, e o espaçamento entre eles de 227 nm. Além disso, visualizam-se em todas as micrografias, em corte transversal, patamares nos topos dos SiNWs- n^+ . Diante desses resultados, é importante ressaltar que, as linhas foram inicialmente gravadas no Si-a:H com larguras de 100 nm e 50 nm, e com espaçamento de 500 nm. Portanto:

- Para linhas com largura nominal de 100 nm, ocorreram um aumento na largura de 100 nm para 365 nm (aumento de 3,6 x) e uma redução no espaçamento de 500 nm para 238 nm (redução de 52 %);
- Para linhas com largura nominal de 50 nm, ocorreram um aumento na largura de 50 nm para 318 nm (aumento de 6,4 x) e uma redução no espaçamento de 500 nm para 227 nm (redução de 54,6 %).

Pelos valores acima citados, pode-se prever que:

- a) A formação de patamar foi obtida em ambas condições (linhas com larguras nominais de 50 nm e 100 nm). Isso pode estar relacionado com a intensidade de corrente do feixe de íons focalizados de Ga^+ (Leonhardt, 2016). O feixe com mais alta corrente tem maior dose, com conseqüente, maior espalhamento lateral durante a implantação do Ga no Si-a:H na FIB_L, resultando em um traçado mais largo do que o estabelecido pela linha inicialmente gravada, como apresenta a Figura 4.47;

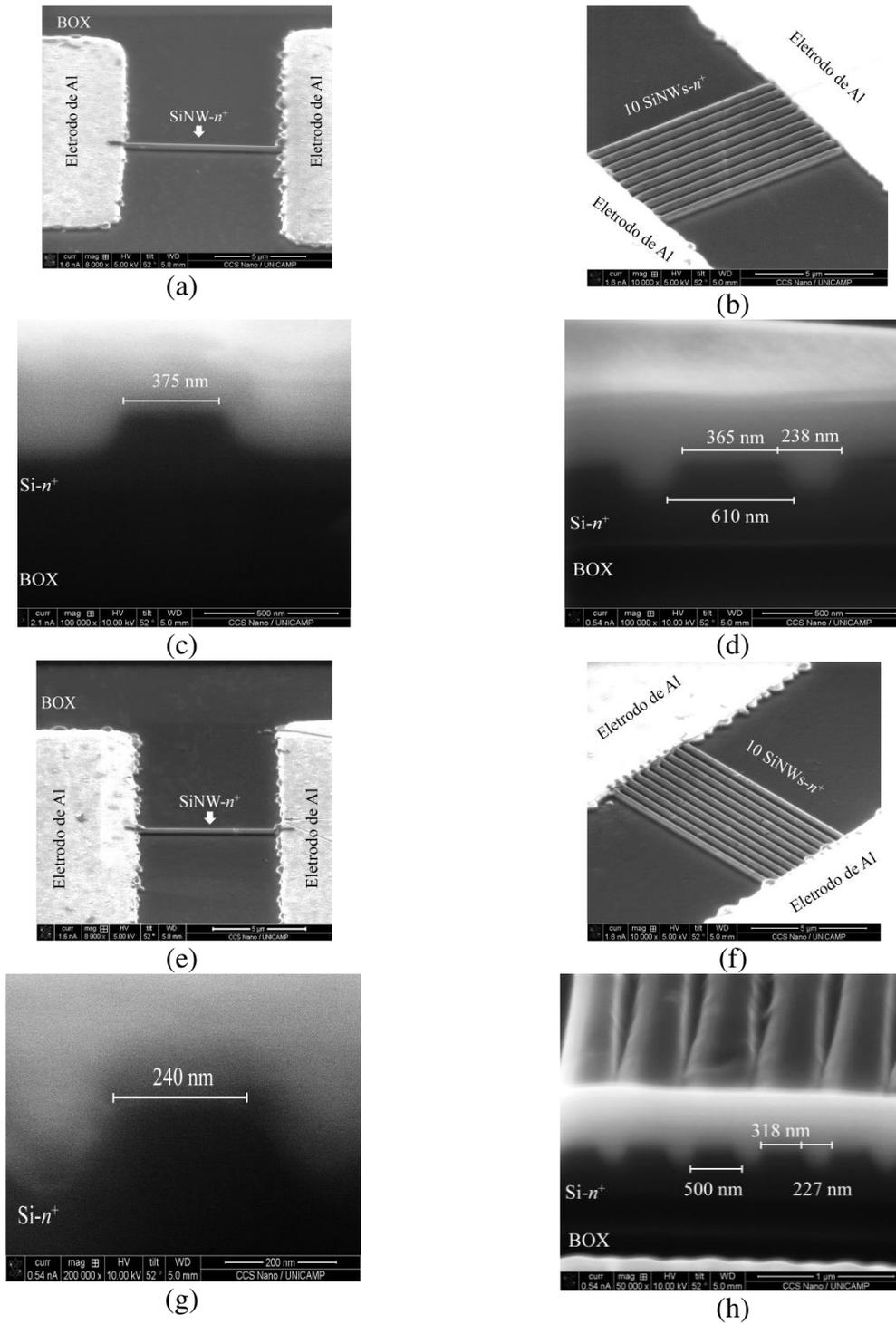


Figura 4.45 – As micrografias de MEV da superfície da amostra 17, após a corrosão por plasma ICP para a formação de (a) 1 SiNW- n^+ e (b) 10 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 100 nm. (c) e (d) Os cortes transversais da superfície ((a) e (b), respectivamente) com 1 SiNW- n^+ com patamar de 375 nm de largura e 3 SiNW- n^+ com patamar de 365 nm no topo e na base, de 610 nm, com espaçamento de 238 nm, respectivamente. (e) 1 SiNW- n^+ e (f) 10 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 50 nm. (g) e (h) Os cortes transversais da superfície ((e) e (f), respectivamente) com 1 SiNW- n^+ com patamar de 240 nm de largura e 5 SiNW- n^+ com patamar de 318 nm no topo, com espaçamento de 227 nm, respectivamente.

- b) Para as estruturas feitas com linhas nominais de 50 nm, quando comparadas com as de 100 nm, verifica-se que o espalhamento lateral durante o FIB_L é maior. Vale salientar que, para definir a linha nominal de 50 nm, exige-se um tempo menor do que para se obter a de 100 nm. Como a corrente do feixe é constante (0,30 nA) para os dois casos, quem necessita de tempo menor, que é o caso das estruturas definidas com linhas de 50 nm, irá apresentar maior dose de implantação, resultando em um maior espalhamento lateral (Leonhardt, 2016);
- c) As estruturas formadas por linhas de largura nominal de 100 nm e 50 nm resultaram em SiNWs com patamar de 365 nm e 318 nm, respectivamente. Dessa forma, linearizando esses resultados, pode-se prever que, para gravação da linha com largura nominal de 10 nm (limite mínimo da resolução do sistema FIB), o patamar da estrutura resultante será de ~ 280 nm de largura;
- d) As estruturas formadas por linhas de 100 nm e 50 nm resultaram nos espaçamentos, entre os SiNWs, de 238 nm e 227 nm, respectivamente. Dessa maneira, extrapolando esses resultados, pode-se prever que, para a gravação da linha com largura nominal de 10 nm com espaçamento de 500 nm, o espaçamento resultante será de ~ 218 nm.

As micrografias da Figura 4.46 (c) e (d) apresentam os cortes transversais da superfície da amostra 18, após a corrosão por plasma ICP, respectivamente, para as estruturas de conjunto com 30 e 50 SiNWs- n^+ , preparados com linhas gravadas nominalmente com 100 nm de largura e corrente do feixe de 30 pA. Assim, trata-se de um valor de corrente com 1 ordem de grandeza menor do que o utilizado para a amostra 17 (I_{feixe} : 0,30 nA) e que foi utilizado na formação dos protótipos de transistores *Fin*FETs no trabalho da Leonhardt (2016). Nas micrografias da Figura 4.46 (c) e (d), respectivamente, observam-se 6 e 2 SiNWs- n^+ com os valores de largura no topo de 235 nm e na base de 350 nm, e o espaçamento entre eles de 250 nm. Nas superfícies, visualizam-se estruturas segmentadas “oscilantes”, similar à uma função senoidal, diferentes das estruturas observadas com patamares na amostra 17 (Figura 4.45 - micrografias (c), (d), (g) e (h)). Importante ressaltar que a linha inicialmente gravada no Si-a:H foi de 100 nm de largura com espaçamento de 500 nm. Portanto, ocorreram um aumento na largura de 100 nm para 235 nm (aumento de 2,35 x) e uma redução no espaçamento de 500 nm para 250 nm (redução de 50 %). Nessa amostra 18, a FIB_L foi feita com I_{feixe} de 30 pA. Dessa maneira, com menor corrente, tem-se menor dose, com conseqüente menor espalhamento lateral durante a implantação do Ga no Si-a:H na técnica de FIB_L. Isso resulta em um traçado menos largo do que obtido na amostra 17, que foi feita com I_{feixe} de 0,30 nA. Dessa forma, os esquemas da

Figura 4.47 explicam como o espalhamento lateral de íons implantados no Si-a:H pode influenciar nos traçados (patamar ou segmentado “oscilante”) de SiNWs gravados no substrato de Si, conforme a intensidade da corrente do feixe utilizado. Vale salientar que, a estrutura segmentada “oscilante” (Figura 4.46(c) e (d)) formada na amostra 18 é similar à que foi obtida no trabalho de Leonhardt (2016). Pelos esquemas da Figura 4.47, em (a) e (b), verifica-se que para traçados gravados com I_{feixe} de 0,30 nA e de 30 pA, resultam em estruturas com patamar e superfície segmentada “oscilante”, respectivamente. Vale salientar que, para ambas condições foram fixadas a profundidade do corte de 30 nm e a energia do feixe de 30 KeV. Dos resultados obtidos, é desejável:

- a) A estrutura com patamar, o que exige alta corrente, com consequente, maior espalhamento lateral;

Uma mais baixa corrente, resultando em um menor espalhamento lateral. Entretanto, a superfície resultante é do tipo segmentada “oscilante”.

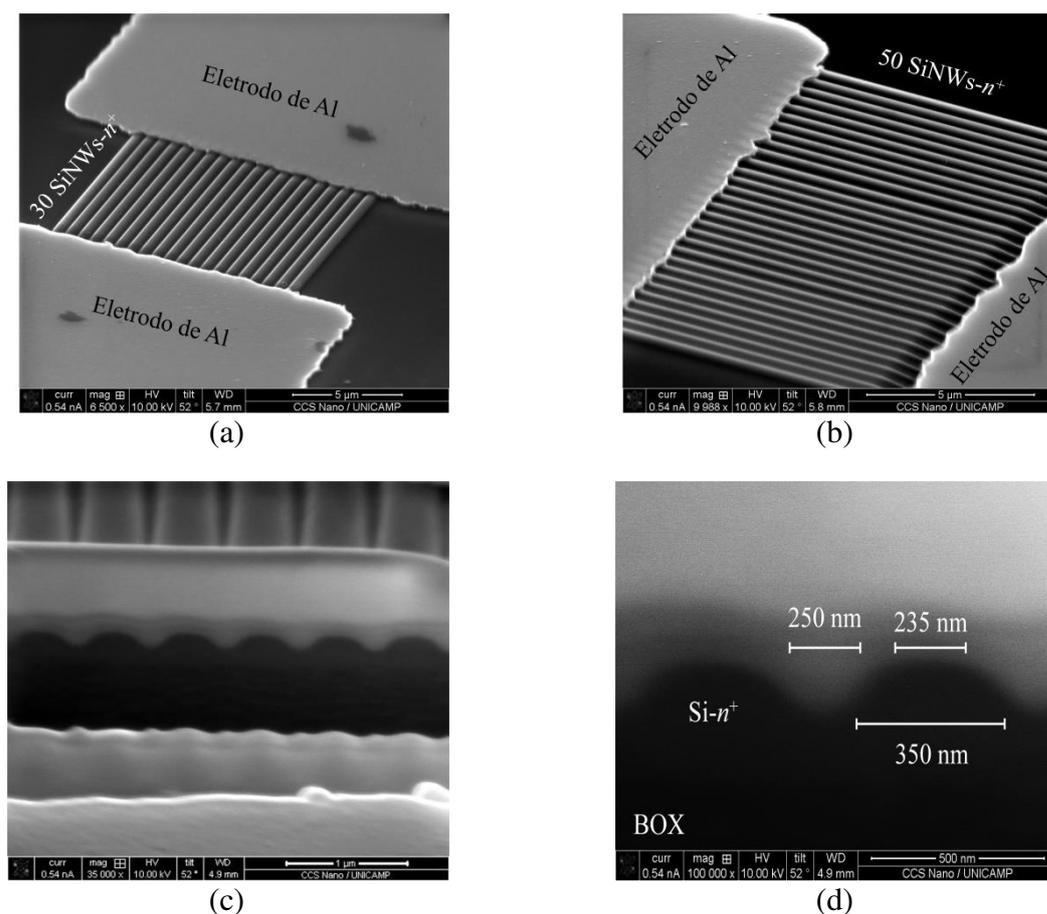


Figura 4.46 - As micrografias de MEV da superfície da amostra 18, após a corrosão por plasma ICP para a formação de (a) 30 SiNWs- n^+ e (b) 50 SiNWs- n^+ , com os eletrodos de Al, através das linhas gravadas de largura nominal de 100 nm. (c) e (d) Os cortes transversais da superfície ((a) e (b), respectivamente) com 1 SiNW- n^+ com patamar de 375 nm de largura e 3 SiNW- n^+ com patamar de 365 nm no topo e na base, de 610 nm, com espaçamento de 238 nm, respectivamente.

Baseado nos argumentos anteriores, serão apresentados os resultados na seção 4.3.2 com cortes mais rasos (de 5 nm e 20 nm de profundidade) do que 30 nm, usados nas amostras 17 e 18. Com menor profundidade, pretende-se verificar se o espalhamento lateral será reduzido, com conseqüente melhor transferência do traçado gerado pela linha nominal para o substrato.

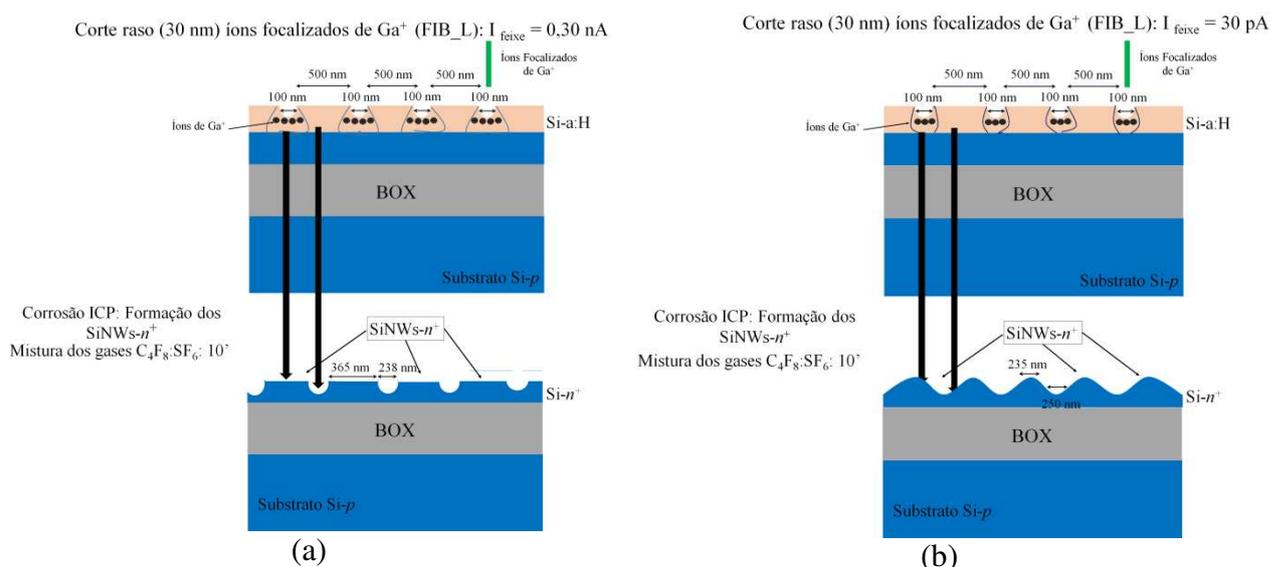


Figura 4.47 – Desenhos esquemáticos da seção transversal das amostras (a) 17 e (b) 18, que apresentam a influência do espalhamento lateral dos íons focalizados de Ga^+ na formação das estruturas (com patamar (a) e segmentada “oscilante” (b)), conforme a intensidade da I_{feixe} de 0,30 nA e 30 pA, respectivamente.

b) Caracterização elétrica da amostra 17

Com os $\text{SiNWs-}n^+$ de estrutura com patamares sobre a superfície da amostra 17, foram fabricados os transistores pseudo-MOS, tal como apresenta o esquema da Figura 4.48 e as micrografias das Figura 4.45(a), (b), (e) e (f), e realizadas as suas medidas elétricas. Essas medidas foram executadas para verificar a qualidade e a integridade dos nanofios. A Tabela 4.9 apresenta as descrições dos parâmetros, as curvas de I_{DS} vs. V_{DS} (com variação de V_{BGS} entre -6 e 6V, com passo de 1 V) e de g_{D} vs. V_{DS} (para $V_{\text{BGS}} = 6$ V) dos pseudo-MOS, formados por $\text{SiNWs-}n^+$, produzidos por linhas paralelas como valores nominais de largura de 100 nm e de 50 nm. Os comprimentos dos $\text{SiNWs-}n^+$ entre os eletrodos foram de 2 μm e 9 μm . As curvas de I_{DS} vs. V_{DS} de todos os dispositivos mostram que todos estão funcionando de forma correta, pois apresentam as regiões trípode e de saturação, características de transistores MOS. Isso trata-se de um importante resultado, que mostra que os nanofios obtidos estão íntegros e o pseudo-MOS é um importante dispositivo para a verificação dessa integridade (SANTOS, 2013). Os

valores de I_{DS} obtidos na faixa de dezenas de pA são devidos ao valor de espessura do óxido enterrado (BOX) da lâmina SOI ser de 400 nm, como apresenta o esquema da Figura 4.48. Vale salientar que, o óxido enterrado é o dielétrico de porta dos transistores pseudo-MOS. Desse modo, com maior espessura, menor a capacitância da porta, com conseqüente redução da corrente I_{DS} . Tal como, os valores de corrente, os de condutância de canal (g_D) estão também na faixa de pico Siemens (pS). Quando se compara as curvas (1b e 2b) de g_D dos dispositivos obtidos com gravação de linhas de 100 nm, mas com o comprimento diferente dos SiNWs- n^+ de 2 μm e 9 μm , verifica-se que, o de maior comprimento (9 μm) apresenta a maior condutividade máxima (11 pS). Esse mesmo comportamento é observado nas curvas (3b e 4b) de g_D , para os dispositivos com 10 SiNWs n^+ obtidos pelas linhas gravadas de 50 nm, com os mesmos comprimentos de 2 μm e 9 μm . Novamente, o de maior comprimento (9 μm) apresenta a maior condutividade máxima ($g_{D \text{ máx.}}$) de 14 pS. Esses resultados indicam que os nanofios com comprimentos menores (2 μm) são mais resistivos do que os maiores (9 μm). Isso trata-se de um comportamento contrário ao esperado pois, se o comprimento é menor, a resistência do nanofio deveria ser menor.

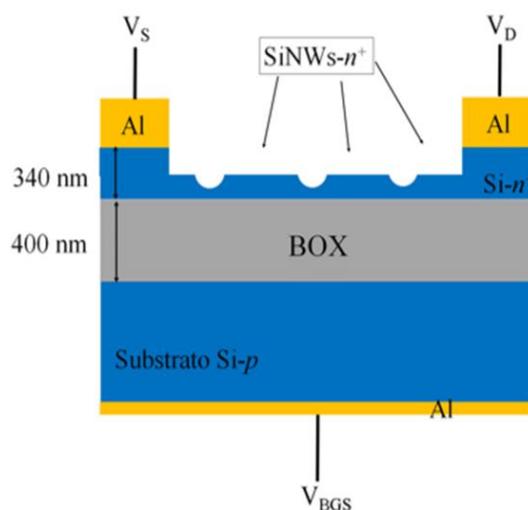


Figura 4.48 – Desenho esquemático do corte transversal de um transistor pseudo-MOS na amostra 17, com seus contatos de fonte, dreno e porta na parte inferior (*back gate*), para as medidas elétricas.

Outro fato discordante, ocorre para o pseudo-MOS formado por linhas gravadas de 50 nm, com 30 nanofios de 9 μm de comprimento (curva 5b), que apresenta menor valor de condutância máxima ($g_{D \text{ máx.}} = 7 \text{ pS}$) do que o dispositivo de 10 nanofios (curva 4b - valor de $g_{D \text{ máx.}} = 14 \text{ pS}$). Dessa maneira, se existe mais nanofios em paralelos, maior deveria ser a corrente, com maior valor de condutância. Para obter maiores esclarecimentos, sobre esses valores de g_D , serão necessárias medidas de Raman e microscopia eletrônica de transmissão para verificar a

crystalinity e integridade dos nanofios, quando apresentam comprimento menores. Essas análises serão listadas em trabalhos futuros.

Tabela 4.9 – As descrições dos parâmetros, os gráficos de I_{DS} vs. V_{DS} e de g_D vs. V_{DS} dos transistores pseudo-MOS, formados por SiNWs- n^+ , produzidos por linhas paralelas como valores nominais de 100 nm de largura e de 50 nm de largura.

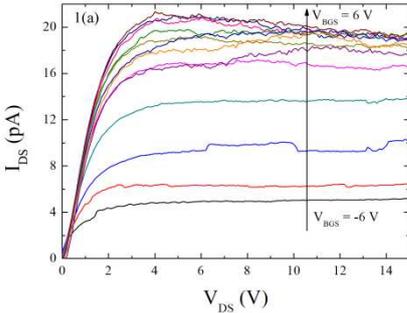
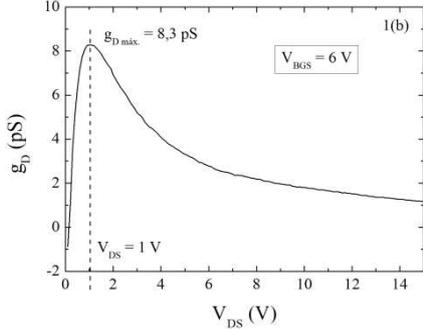
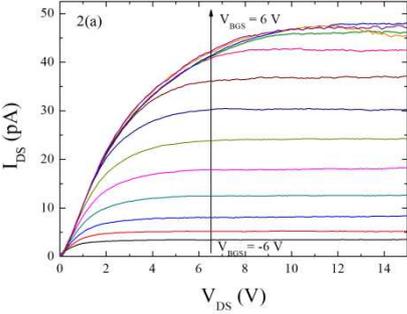
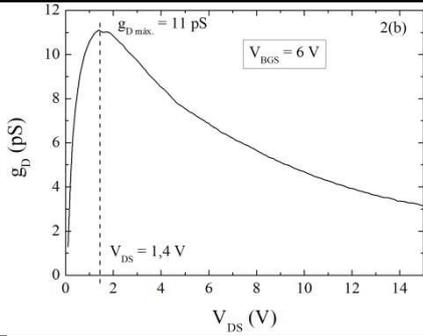
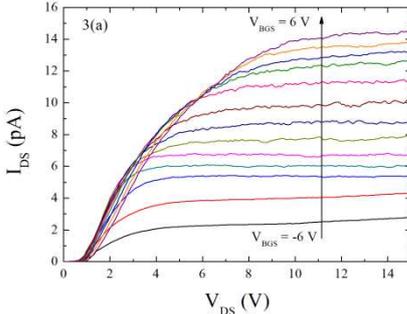
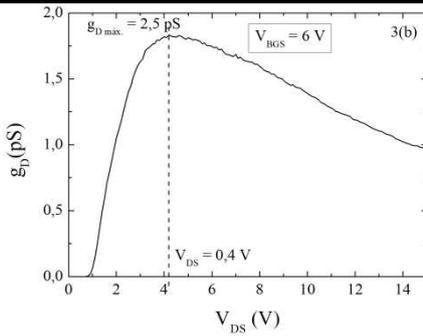
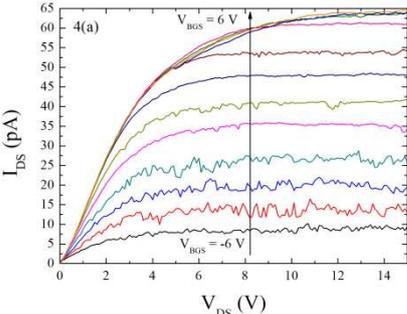
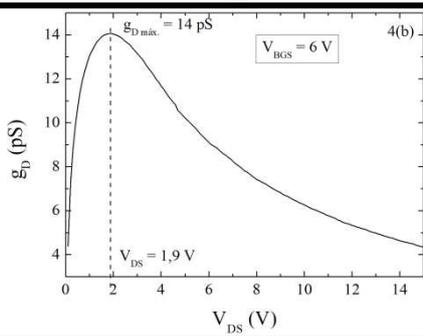
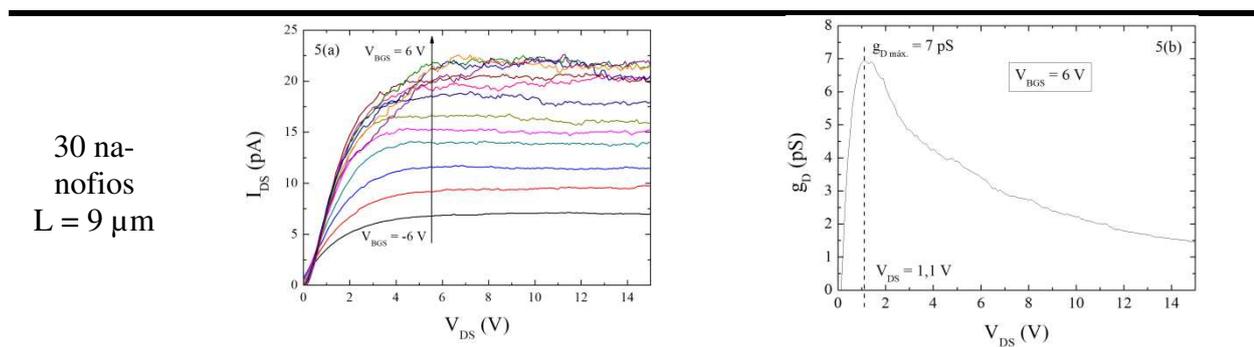
Transistores Pseudo-MOS		
Descrições	Curvas de I_{DS} vs. V_{DS}	Curvas de g_D vs. V_{DS}
Linhas gravadas com largura nominal de 100 nm		
1 nanofio $L = 2 \mu\text{m}$		
		
Linhas gravadas com largura nominal de 50 nm		
10 nanofios $L = 2 \mu\text{m}$		
		

Tabela 4.9 (continuação)



c) Caracterização elétrica da amostra 18

Com os SiNWs- n^+ de estrutura com superfície segmentada “oscilante” da amostra 18, foram fabricados os transistores pseudo-MOS, tal como apresenta o esquema da Figura 4.49 e as micrografias das Figura 4.46(a) e (b), e realizadas as suas medidas elétricas. Tal como mostra a Tabela 4.9 para a amostra 17, a Tabela 4.10 para a amostra 18 apresenta, por sua vez, as descrições dos parâmetros, as curvas de I_{DS} vs. V_{DS} (com variação de V_{BGS} entre -6 e 6 V, com passo de 1 V) e de g_D vs. V_{DS} (para $V_{BGS} = 6$ V) dos pseudo-MOS, formados por SiNWs- n^+ , produzidos por linhas paralelas como valores nominais de largura de 100 nm e de 50 nm. Os comprimentos dos SiNWs- n^+ entre os eletrodos também foram de $2 \mu\text{m}$ e $9 \mu\text{m}$. As curvas de I_{DS} vs. V_{DS} de todos os dispositivos mostram que todos estão funcionando de forma correta, tal como os dispositivos da amostra 17, pois apresentam as regiões tródo e de saturação, características de transistores MOS. Novamente, pode se dizer que, trata-se de um importante resultado, que mostra que os nanofios obtidos estão íntegros (SANTOS, 2013). Os valores de I_{DS} obtidos também estão na faixa de dezenas de pA, tal como o ocorrido para os dispositivos da amostra 17, e são devidos ao valor de espessura do óxido enterrado (BOX) da lâmina SOI, como pode ser observado no esquema da Figura 4.49. Tal como os valores de corrente, os de g_D estão também na faixa de pico Siemens (pS). Quando se compara as curvas (Tabela 4.10 em 1b e 3b) de condutância dos dispositivos obtidos com gravação de linhas de 100 nm e 50 nm, respectivamente, com o comprimento dos SiNWs de $9 \mu\text{m}$, verifica-se que, o dispositivo fabricado com linha de 100 nm, em tese apresenta uma largura maior do que o dispositivo de 50 nm, com conseqüente valor de condutância máxima de 16 pS, que é maior do que o apresentado pelo transistor de 50 nm (valor de $g_{D \text{ máx.}} = 7,9$ pS). Esse comportamento é o esperado, pois quanto maior a largura do dispositivo, maior é sua corrente elétrica e maior será a sua condutividade.

Dentre os dispositivos fabricados com linhas de 50 nm, com 1 nanofio (Tabela 4.10 em 2b e 3b) e com 50 nanofios (Tabela 4.10 em 4b e 5b), com comprimentos de 2 μm e 9 μm , verifica-se que:

- Os transistores formados, tanto por 1 nanofio, quanto por 50 nanofios, com comprimentos de 9 μm , apresentam valores de condutância máxima de 7,9 pS e 9 pS, respectivamente, que são maiores do que os apresentados, 2,5 pS e 6,1 pS, pelos dispositivos de 2 μm . Trata-se de um comportamento similar ao ocorrido com a amostra 17 e que deve ser melhor explicado, pois não é coerente. Como previamente discutido, serão necessárias análises de Raman e microscopia eletrônica de transmissão para melhor entender esse efeito contrário;
- Para os dispositivos comprimento de 2 μm , os transistores de 1 nanofio e 50 nanofios apresentam os valores de condutância máxima de 2,5 pS e 6,1 pS, respectivamente, indicando que quem tem mais nanofios, maior deve ser a condutância, que é o esperado. Esse comportamento também ocorre para os transistores com 1 nanofio e 50 nanofios com comprimento de 9 μm , com valores de condutância máxima de 7,9 pS e 9 pS. Entretanto, as condutâncias dos transistores com 50 nanofios não são 50 vezes maiores do que a dos transistores com 1 nanofio. Novamente, exige-se mais análises para entender esses efeitos, como descrito acima.

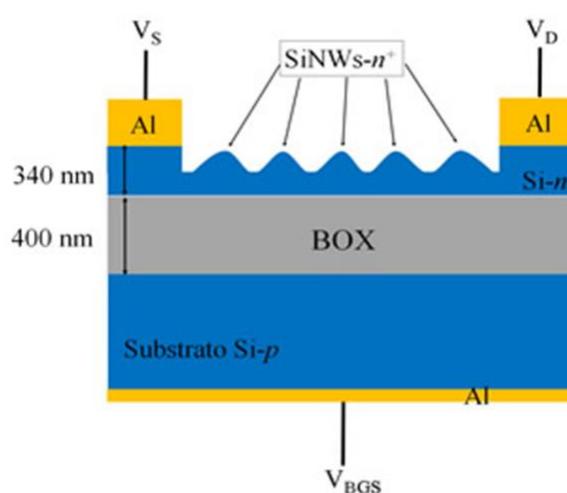
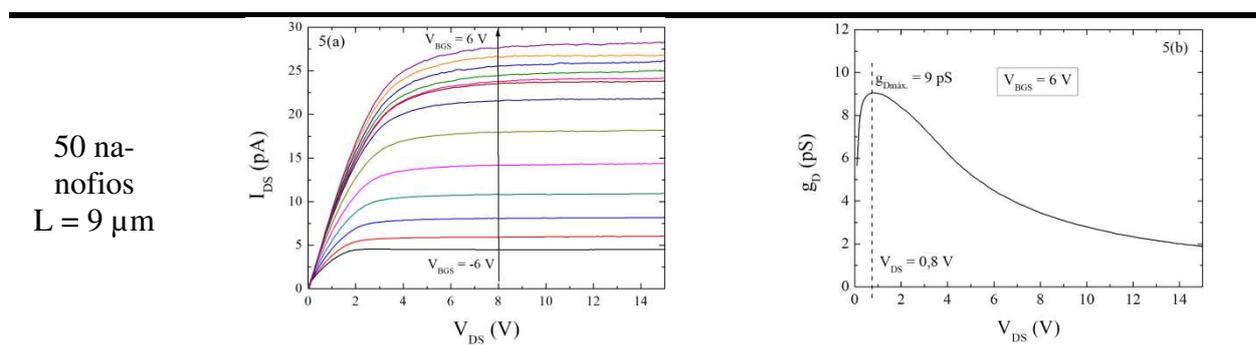


Figura 4.49 - Desenho esquemático do corte transversal de um pseudo-MOS na amostra 18, com seus contatos de fonte, dreno e porta na parte inferior (*back gate*), para as medidas elétricas.

Tabela 4.10 - As descrições dos parâmetros, os gráficos de I_{DS} vs. V_{DS} e de condutância vs. V_{DS} dos pseudo-MOS, formados por SiNWs- n^+ , produzidos por linhas paralelas como valores nominais de 100 nm de largura e de 50 nm de largura.

Transistores Pseudo-MOS		
Descrições	curvas de I_{DS} vs. V_{DS}	curvas de g_D vs. V_{DS}
Linhas gravadas com largura nominal de 100 nm		
1 nanofio $L = 9 \mu\text{m}$	<p>1(a)</p>	<p>1(b)</p>
Linhas gravadas com largura nominal de 50 nm		
1 nanofio $L = 2 \mu\text{m}$	<p>2(a)</p>	<p>2(b)</p>
1 nanofio $L = 9 \mu\text{m}$	<p>3(a)</p>	<p>3(b)</p>
50 nanofios $L = 2 \mu\text{m}$	<p>4(a)</p>	<p>4(b)</p>

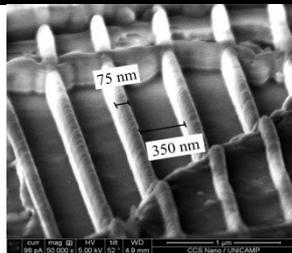
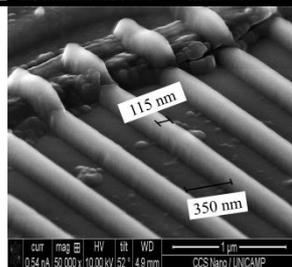
Tabela 4.10 (continuação)



4.3.2 Nanofios de III-V- n^+ sobre substrato semiconductor III-V

A Tabela 4.11 apresenta o resumo da descrição da amostra 19, da micrografia de MEV e a largura dos III-VNWs- n^+ formados, pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas (de largura nominal de 50 nm e profundidades diferentes de 5 nm e 20 nm) e sobre substrato de semiconductor III-V (GaAs- n^+ (10 nm)/ GaAs *Buffer* (300 nm)/ GaAs semi-isolante). A seguir, serão apresentados os resultados das caracterizações estruturais da amostra 19.

Tabela 4.11 - Resumo da amostra 19 obtida pelas técnicas de PL e de FIB_L, com camada protetora de Si-a:H, com estruturas em linhas paralelas (de largura nominal de 50 nm e profundidades diferentes de 5 nm e 20 nm) e sobre substrato III-V.

Amostra	Tipo de substrato, corrosões secas e dispositivo	Análises MEV	Larguras (W) dos SiNWs e o espaçamento
19	Semicondutores III-V FIB_L/ $I_{\text{fixe}} = 30 \text{ pA}$ ICP (1ª: 1'30''/ 2ª: 3') Sem dispositivo		75 nm 370 nm
19	Semicondutores III-V FIB_L/ $I_{\text{fixe}} = 30 \text{ pA}$ ICP (1ª: 1'30''/ 2ª: 3') Sem dispositivo		115 nm 350 nm

4.3.2.1 Amostra 19

A descrição da amostra 19 foi apresentada na seção 3.4.2 (e na Tabela 4.11) e sua fabricação seguiu as etapas de processos esquematizadas na Figura 3.20. Resumidamente, os III-VNWS- n^+ foram obtidos utilizando as técnicas de PL e de FIB_L (com camada protetora de Si-a:H), sobre o substrato III-V, seguindo as mesmas etapas de processo das amostras 17 e 18, com exceção da 2ª etapa de corrosão por plasma, que ocorreu pelos gases de Cl₂:Ar, para a remoção dos semicondutores III-V. É importante salientar que:

- O substrato utilizado é formado por uma camada epitaxial do tipo n^+ sobre lâmina semi-isolante. O que se deseja é a formação dos III-VNWS- n^+ , usando o método FIB_L, com camada protetora de Si-a:H. Para as corrosões das camadas de Si-a:H e de III-VNWS- n^+ são usados plasmas ICP com misturas gasosas de C₄F₈:SF₆ e Cl₂:Ar, respectivamente.
- Esse método de linhas gravadas por feixe de íons focalizados de Ga⁺ (FIB_L) em camada de Si-a:H, usada como máscara, é uma inovação, tanto sobre o substrato de Si, quanto sobre o de semicondutor III-V.

Conforme o esquema da Figura 3.20, sobre a camada protetora (máscara) de filme de Si-a:H (de 60 nm), foram realizados os cortes rasos de 5 nm, 10 nm (Figura 3.21(a)) e 20 nm (Figura 3.21(b)) de profundidade, usando o feixe de íons focalizados de Ga⁺ (FIB_L), em linhas paralelas, que interligavam os eletrodos de platina (Pt) (ver Figura 3.18 e Figura 3.21). As linhas paralelas foram gravadas por FIB_L, com largura nominal de 50 nm e espaçamento, entre elas, de 500 nm. Assim, foram obtidas estruturas com 20 e 30 linhas paralelas, conforme apresenta as micrografias ópticas da Figura 3.18, em (a) e (b), respectivamente. Para essa amostra 19, o feixe de íons focalizados foi aplicado com a corrente (I_{feixe}) de 30 pA e a energia de 30 KeV, similar às condições do feixe utilizado na formação dos SiNWs- n^+ da amostra 18 e dos transistores *Fin*FETs fabricados por Leonhardt (2016).

Após a definição das linhas por FIB_L, as amostras foram submetidas ao processo de plasma ICP durante 1,5 min, em ambiente de C₄F₈:SF₆, que não corrói o substrato III-V, para serem obtidos:

- (i) A formação da máscara de Si-a:H com os íons de Ga⁺ implantados, seguindo os traçados das linhas gravadas; e

- (ii) A remoção do filme de Si-a:H das regiões, que não foram irradiadas pelo feixe de íons focalizados (FIB_L), permitindo a corrosão seca do substrato, conforme apresentam as micrografias da Figura 4.50.

A Figura 4.50(a) apresenta a superfície da amostra, após a corrosão seca por ICP do filme de Si-a:H, mostrando os eletrodos de Pt e a estrutura de 30 linhas paralelas de Si-a:H, preparadas pelo corte raso (FIB_L) de linhas de 5 nm de profundidade, largura nominal de 50 nm e espaçamento de 500 nm. Em destaque, as linhas resultantes de Si-a:H após a corrosão seca com espaçamento de 370 nm. Não foi possível medir a largura dessas linhas por serem estreitas. Entre elas, verifica-se o substrato III-V, que não foi corroído ainda. A Figura 4.50(b) ilustra a superfície da amostra com 20 linhas de Si-a:H, após a corrosão por plasma, resultando em largura de 115 nm e espaçamento de 350 nm sobre o substrato III-V. Vale lembrar que, essas estruturas foram preparadas com profundidade de corte de 20 nm, largura nominal de 50 nm e espaçamento de 500 nm. A partir desses resultados, observa-se que, as linhas preparadas com corte mais raso (5 nm de profundidade) (Figura 4.50(a)), quando comparadas com as de 20 nm, resultaram em estruturas mais finas, apesar de não terem sido extraídas as suas larguras, pois visualmente são muito mais finas do que os valores de largura de 115 nm (Figura 4.50(b)). Isso deve estar relacionado com o menor espalhamento lateral dos íons de Ga⁺ para corte mais rasos, conforme foi discutido na seção 4.3.1.1. Dessa maneira, quanto se faz as linhas com corte raso de 5 nm de profundidade, tem-se um tempo mais curto de processo (11 e 22 segundos para cortes de 5 nm e 20 nm, respectivamente) e a interação do feixe com a região irradiada é menor, permitindo que menos íons sejam implantados e, conseqüentemente, menor espalhamento lateral. Dessa maneira, comprova-se que a profundidade do corte (FIB_L) na formação das linhas está diretamente relacionado com o espalhamento lateral.

Na seqüência, a amostra foi submetida ao processo de corrosão por plasma ICP, em ambiente de Cl₂:Ar, para a formação dos III-VNW-*n*⁺, como apresenta as micrografias da Figura 4.51. A Figura 4.51(a) apresenta a superfície das estruturas, preparadas com cortes de 5 nm de profundidade, com 5 III-VNWs-*n*⁺ de 75 nm de largura e espaçamento de 370 nm. Salienta-se que, comparando com a Figura 4.50(a), esse espaçamento de 370 nm foi mantido da estrutura de linhas de Si-a:H, anteriormente definidas como traçado. A Figura 4.51(b) apresenta a superfície das estruturas, preparadas com cortes de 20 nm de profundidade, com 6 III-VNWs de 115 nm de largura e espaçamento de 350 nm. Novamente, salienta-se que, comparando com a Figura 4.50(b), tanto a largura de 115 nm e espaçamento de 350 nm foram mantidos da estrutura de linhas de Si-a:H, anteriormente definidas como traçado. Esses resultados indicam que:

- A máscara formada por Si-a:H foi efetiva na corrosão por plasma ICP de Cl₂:Ar, pois transferiu exatamente suas dimensões para o substrato;
- Para as linhas de 5 nm de profundidade, ocorreu um aumento na largura de 50 nm para 75 nm (aumento de 1,5 x) e uma redução no espaçamento de 500 nm para 370 nm (redução de 26 %);
- Para as linhas de 20 nm de profundidade, ocorreu um aumento na largura de 50 nm para 115 nm (aumento de 2,3 x) e uma redução no espaçamento de 500 nm para 350 nm (redução de 30 %).

Com menor profundidade, verificar-se que, o espalhamento lateral é reduzido, com consequente, melhor transferência do traçado gerado pela linha nominal para o substrato.

A micrografia da Figura 4.51(c) apresenta a formação de III-VNWs- n^+ com estrutura 3D retangular, com patamar definido, e paredes verticais. Isso indica que realmente o processo FIB_L, a máscara de Si-a:H e o plasma ICP de Cl₂:Ar podem formar tais estruturas que são importantes para a obtenção de futuros transistores baseados em semicondutores III-V. Trata-se de mais uma inovação desse trabalho de tese. Entretanto, não se pôde executar o corte transversal das estruturas, para a verificação mais detalhada, pois nessa amostra estão sendo fabricados transistores 3D do tipo JNT para a tese de doutorado de Cássio Roberto Almeida.

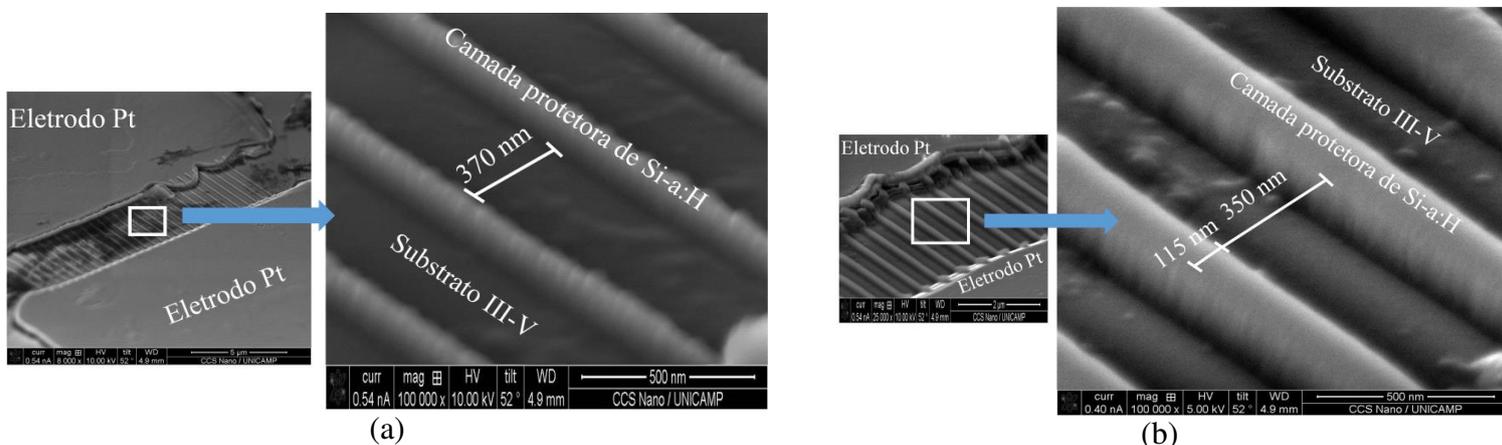


Figura 4.50 – As micrografias de MEV da superfície da amostra 19 após a corrosão por ICP da camada protetora de Si-a:H. (a) Os eletrodos de Pt e a estrutura de 30 linhas paralelas de Si-a:H, preparadas pelo corte raso (FIB_L) de 5 nm de profundidade, 50 nm de largura nominal e espaçamento de largura nominal de 500 nm. Em destaque, as linhas com espaçamento de 370 nm e o substrato III-V. (b) Os eletrodos de Pt e a estrutura 20 linhas de Si-a:H, após a corrosão por plasma, de 115 nm de largura e espaçamento, entre elas, de 350 nm sobre o substrato III-V, preparadas com profundidade de corte de 20 nm, 50 nm de largura nominal e espaçamento de 500 nm de largura.

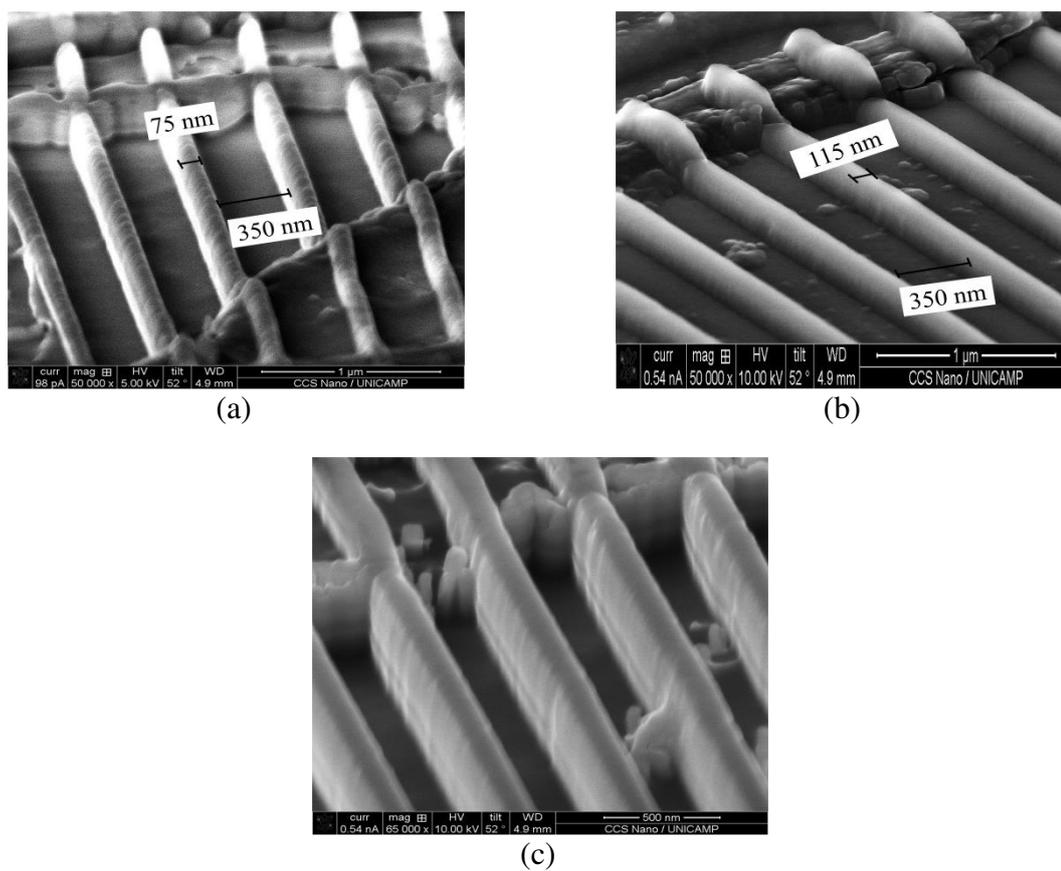


Figura 4.51 – As micrografias de MEV da superfície da amostra 19 com os III-VNWs, após a corrosão por ICP, em atmosfera de $\text{Cl}_2:\text{Ar}$. (a) 5 III-VNWs formados, pela máscara de Si-a:H gravadas com linhas de 5 nm de profundidade, com 75 nm de largura e espaçamento de 370 nm. (b) 6 III-VNWs com 115 nm de largura e espaçamento de 350 nm, provenientes do mascaramento de Si-a:H, gravado por linhas de 20 nm de profundidade. (c) A formação de nanofios com estrutura em patamar semelhante a amostra 17.

5 CONCLUSÕES E TRABALHOS FUTUROS

5.1 CONCLUSÕES

Os objetivos (seção 1.1) propostos para esse trabalho de tese foram cumpridos com êxito, pois foram obtidos:

- (i) Filmes de silício amorfo hidrogenado (Si-a:H) depositado por ECR-CVD (*Electron Cyclotron Resonance* (ECR) - *Chemical Vapor Deposition* (CVD)) em temperatura ambiente. Esses filmes tiveram espessuras de 60 e 150 nm;
- (ii) Nanofios de silício (*Silicon Nanowires* – SiNWs), que são estruturas tridimensionais (3D) com dimensões críticas menores que 150 nm, sobre substratos de Si e SOI utilizando as técnicas sequenciais de fotolitografia (*Photolithography* – PL) e de litografia por espaçador (*Spacer Lithography* – SL ou *Self Aligned Double Pattern* - SADP) de filme de Si-a:H. Assim, foram obtidos SiNWs com larguras entre 16 nm e 143 nm, com diferentes tipos de camada sacrificial (Al, SiN_x e fotorresiste), e foram fabricados dispositivos MOS 3D, capacitores e transistores JNTs, que indicaram o bom funcionamento dos SiNWs-*n*⁺ como canal de condução de corrente elétrica. Os resultados (de forma resumida) das amostras, entre 1 e 7, e entre 9 e 16, obtidas pelos métodos desse item, estão apresentados na Tabela 5.1. Verifica-se que são comparáveis com alguns resultados da literatura a partir de 2014;
- (iii) SiNWs-*n*⁺ utilizando as etapas sequenciais de litografias PL, de *milling* (remoção de material) com feixe de íons focalizados de gálio (Ga⁺) (*Gallium Focused Ion Beam* – *FIB Milling* (FIB_M)) e de SL (espaçador de filme de Si-a:H). Nesse caso, foram obtidos SiNWs-*n*⁺ de 35 nm de largura e espaçamento de 170 nm, dimensões estas que podem ser usadas em nós tecnológicos entre 45 e 65 nm. O resumo dos resultados da amostra 8 (obtida pelos métodos desse item) é apresentado na Tabela 5.1. Verifica-se que são comparáveis com alguns resultados de Leonhardt (2016);
- (iv) SiNWs-*n*⁺ e III-VNWs-*n*⁺ utilizando a técnica de litografia por feixe de íons focalizados de gálio (Ga⁺) (*Gallium Focused Ion Beam* – *FIB Lithography* (FIB_L)), tendo como máscara o filme de Si-a:H, sobre substratos de Si e de semicondutor III-V. Dessa forma, foram obtidos SiNWs-*n*⁺, com larguras entre 318 e 365 nm, e espaçamentos entre 227 nm e 250 nm. Com esses SiNWs-*n*⁺, usados como canal de condução de corrente elétrica entre fonte e dreno, foram fabricados transistores pseudo-

MOS. Os resultados elétricos indicam que esses nanofios estão funcionando corretamente. O resumo dos resultados da amostra 17 e 18 (obtidas pelos métodos desse item) é apresentado na Tabela 5.1. Verifica-se que são comparáveis com alguns resultados de Leonhardt (2016). Além disso, com o processo de FIB_L, foi possível na amostra 19 (Tabela 5.1) obter III-VNWS- n^+ com larguras de 75 nm e 115 nm e espaçamentos entre 350 e 370 nm, que serão usados na fabricação de transistores JNTs baseados em semicondutores III-V, para a tese de doutorado de Cássio Roberto Almeida. Vale salientar que não tem como comparar esses resultados com os da literatura, pois se trata de uma inovação.

Tabela 5.1 – Resumo dos resultados de todas as amostras (entre 1 e 19) obtidas nessa tese.

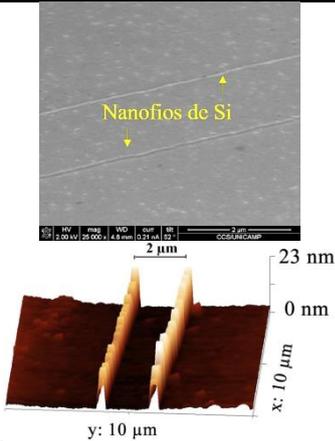
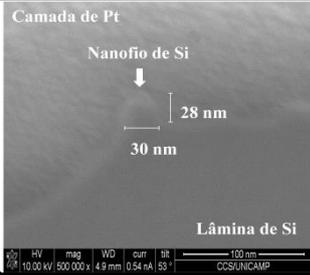
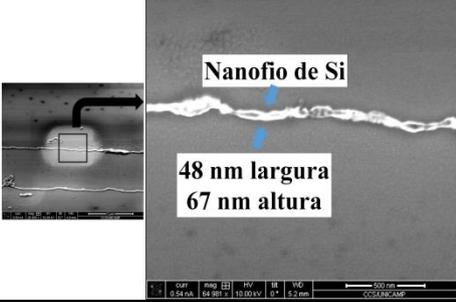
Amostras	Tipos de substratos, mandris, corrosões secas, e dispositivos	Análises MEV ou AFM	Larguras (W) dos SiNWs e <i>pitchs</i>
1	Si-p Al RIE Capacitores 3D		~ 16 nm* 2 μm *dimensão similar à referência (RALEY <i>et al.</i> , 2016)
2	Si-p Al RIE Capacitores 3D		30 nm* 2 μm *dimensão similar à referência (BENCHER <i>et al.</i> , 2011)
3	Si-p Al ECR ---		~ 48 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i> , 2016)

Tabela 5.1 (continuação)

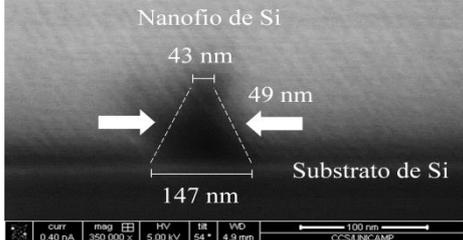
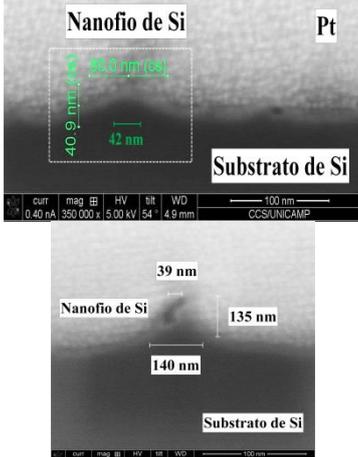
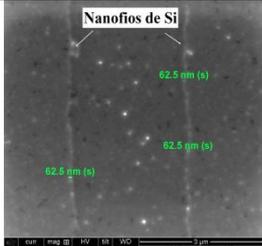
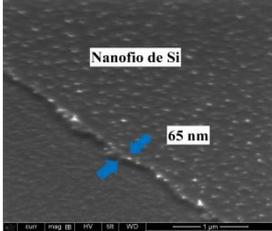
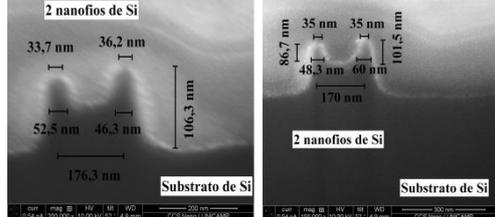
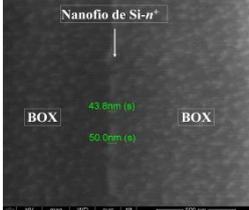
<p>4</p>	<p>Si-p Al ECR ---</p>		<p>~ 43 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>
<p>5</p>	<p>Si-p Al RIE ---</p>		<p>~ 40 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>
<p>6</p>	<p>Si-p Al ICP ---</p>		<p>~ 62 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>
<p>7</p>	<p>SOI Al ICP ---</p>		<p>~ 65 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>
<p>Média e desvio padrão das larguras (W) dos SiNWs</p>			<p>~ 48 nm ± 13 nm</p>
<p>8</p>	<p>Si-p Al ICP ---</p>		<p>~ 34 nm e 35 nm* Pitch: 170 nm *dimensão similar à referência (LEONHARDT, 2016)</p>
<p>9</p>	<p>SOI Al RIE JNTs</p>		<p>~ 45 nm* 2 μm *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>

Tabela 5.1 (continuação)

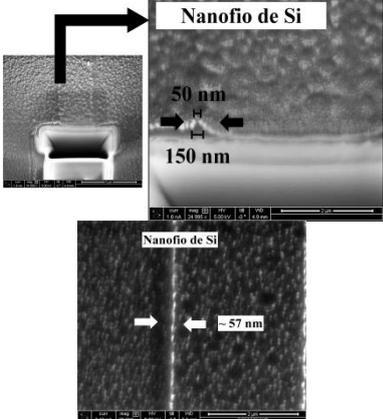
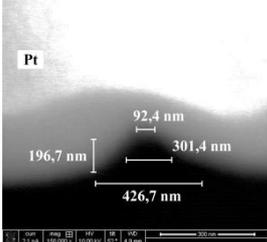
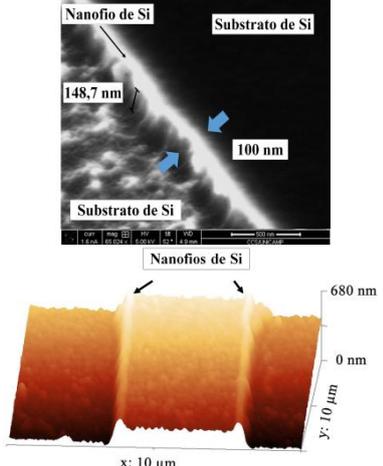
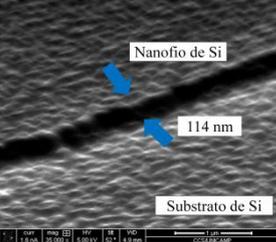
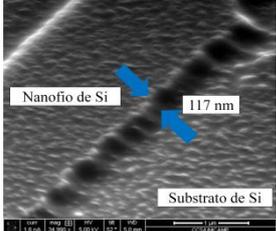
<p>10</p>	<p>Si-p SiN_x ECR ---</p>		<p>~ 50 nm* *dimensão similar à referência (DESAI <i>et al.</i>, 2016)</p>
<p>11</p>	<p>Si-p SiN_x RIE ---</p>		<p>~ 92 nm</p>
<p>12</p>	<p>Si-p SiN_x RIE ---</p>		<p>100 nm</p>
<p>Média e desvio padrão das larguras (W) dos SiNWs</p>			<p>~ 80 nm ± 27 nm</p>
<p>13</p>	<p>Si-p fotorresiste RIE ---</p>		<p>~ 114 nm</p>
<p>14</p>	<p>Si-p Fotorresiste ECR ---</p>		<p>117 nm</p>

Tabela 5.1 (continuação)

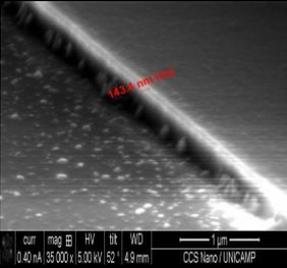
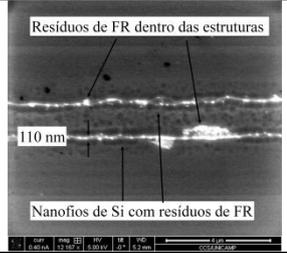
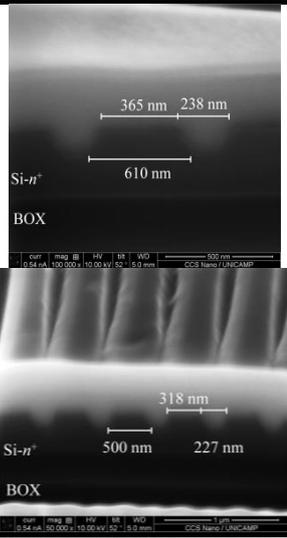
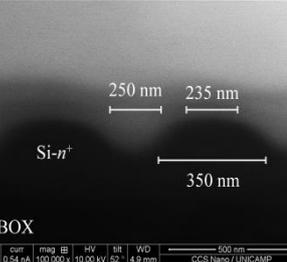
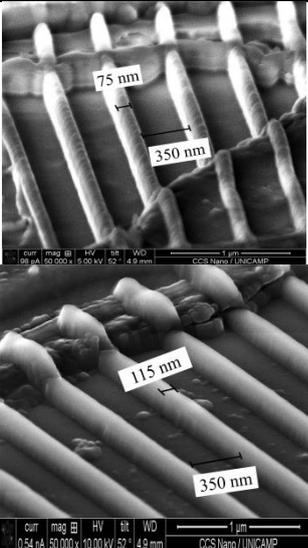
15	SOI Fotorresiste ICP ---		~ 143 nm
Média e desvio padrão das larguras (W) dos SiNWs			~ 125 nm ± 16 nm
16	Si-p Fotorresiste RIE ---		~ 110 nm 2 µm
17	SOI --- FIB_L/I _{feixe} = 0,30 nA ICP Transistores Pseudo-MOS		~ 365 nm (linha gravada de 100 nm)/ 238 nm (espaçamento nominal de 500 nm) 318 nm* (linha gravada de 50 nm)/ 227 nm (espaçamento nominal de 500 nm) *dimensão similar à referência (LEONHARDT, 2016)
18	SOI ----- FIB_L/I _{feixe} = 30 pA ICP Transistores Pseudo-MOS		~ 235 nm* (linha gravada de 100 nm)/ 250 nm (espaçamento nominal de 500 nm) *dimensão similar à referência (LEONHARDT, 2016)

Tabela 5.1 (continuação)

19	<p style="text-align: center;">III-V ----- FIB_L/I_{feixe} = 30 pA ICP -----</p>		<p style="text-align: center;">75 nm Espaçamento: 370 nm</p> <p style="text-align: center;">115 nm Espaçamento: 350 nm</p>
----	--	--	--

Por fim, salienta-se que:

- (i) O filme de Si-a:H depositado por ECR-CVD, em temperatura ambiente, utilizado como espaçador para a tecnologia SL (método barato e alternativo na definição dos nanofios), usando diferentes camadas sacrificiais (Al, SiN_x e fotorresiste), e como camada protetora (máscara) nas técnicas FIB_M e FIB_L, são inovações dessa tese, pois não foram encontrados trabalhos similares na literatura;
- (ii) a utilização da litografia óptica UV ou do FIB_M, do mandril de Al e o espaçador de Si-a:H (amostras entre 1 e 8 - Tabela 5.1 e Figura 4.32) permitem a obtenção de SiNWs de 50 nm de largura, dimensão essa que pode ser usada nos tecnológicos entre 65 e 45 nm (Figura 1.2). Vale salientar que, não foram usados os métodos tradicionais de litografias 193i, EUV e EBL, para a obtenção das nanoestruturas. Além disso, esse trabalho consegue mostrar que os nossos processos são viáveis para a prototipagem de atuais dispositivos 3D. Trata-se de um importante resultado, para o desenvolvimento da tecnologia CMOS baseada em SiNWs no Brasil.

A seguir são mostradas as listas de apresentações e de artigos provenientes desse trabalho de tese.

5.1 A) APRESENTAÇÕES DE TRABALHO EM CONFERÊNCIAS NACIONAIS E INTERNACIONAIS

- 1) Workshop on Semiconductors and Micro & Nano Technology - Seminatec 2014– Universidade de São Paulo, São Paulo, Brasil (abril/2014)
 - ✓ Apresentação em painel: “Spacer lithography for 3D MOS devices using amorphous silicon deposited by ECR-CVD”

- 2) 58th INTERNATIONAL CONFERENCE ON ELECTRON, ION, AND PHOTON BEAM TECHNOLOGY AND NANOFABRICATION - EIPBN 2014 – Washington DC, Estados Unidos (maio/2014)
 - ✓ Apresentação em painel: “Spacer lithography for 3D MOS devices using amorphous silicon deposited by ECR-CVD”

- 3) 30 th Symposium on Microelectronics Technology and Devices - SBMicro 2015, Chip In Bahia, Salvador –BA
 - ✓ Apresentação oral: “Spacer lithography for 3D MOS devices using amorphous silicon deposited by ECR-CVD”

B) ARTIGO PUBLICADO EM ANAIS DE CONGRESSO

Título do artigo: **Spacer lithography for 3D MOS devices using amorphous silicon deposited by ECR-CVD**

Andressa M. Rosa, José A. Diniz, Ioshiaki Doi, Mara A. Canesqui, Marcos V.P. dos Santos, Alfredo R. Vaz – IEEE Proceedings - Microelectronics Technology and Devices (SBMicro), 2015 30th Symposium on (doi: 10.1109/SBMicro.2015.7298128) – Capes/ Qualis 1A.

C) ARTIGO COMPLETO PUBLICADO EM PERIÓDICO INTERNACIONAL (RELACIONADO COM A ÀREA DE FILMES FINOS, TAIS COMO: SILÍCIO AMORFO E ÓXIDO DE ZINCO (ZnO))

Applied Surface Science (Volume 334, 15 April 2015, Pages 210-215; <https://doi.org/10.1016/j.apsusc.2014.10.015>)

Título do artigo: **Growth evolution of self-textured ZnO films deposited by magnetron sputtering at low temperatures**

J.R.R.Bortoleto, M.Chaves, A.M.Rosa, E.P.da Silva, S.F.Durrant, L.D.Trino, P.N.Lisboa-Filho

5.2 TRABALHOS FUTUROS

a) Formação de SiNWs usando deposições e corrosões no mesmo sistema ECR

Baseado nos resultados da amostra 10 (Tabela 5.1) feita com mandril de SiN_x, verifica-se que o método de usar tanto as deposições quanto as corrosões no mesmo sistema ECR,

resultam em SiNWs com larguras de 50 nm. Trata-se de um resultado muito interessante e inovador, pois não foi encontrado na literatura. Necessita de repetições desse método para verificar o quanto é efetivo.

b) Análises estruturais dos transistores pseudo-MOS fabricados

Os transistores pseudo-MOS obtidos através do método FIB_L apresentaram um fato discordante nos valores de condutância, que precisam ser melhor esclarecidos. Dessa forma, serão necessárias medidas de Raman e microscopia eletrônica de transmissão para verificar a cristalinidade e integridade dos nanofios (canal de condução de corrente elétrica entre fonte e dreno dos transistores), quando apresentam comprimentos menores.

c) Desenvolvimento de FIB_L para estruturas menores que 20 nm de largura

Com o método FIB_L, usando a máscara de filme de Si-a:H, quando se faz as linhas de 50 nm de largura, com corte raso de 5 nm de profundidade, obtêm-se um tempo curto de processo de 11 segundos, e nanofios de 75 nm de largura. Pode se estimar que, se forem gravadas linhas de 10 nm de largura, com corte de 5 nm de profundidade, com tempos curtos de alguns segundos, obtêm-se nanofios com 15 nm de largura. Trata-se de uma proposta que deve ser desenvolvida, por ser um método alternativo e inovador.

d) Fabricação de transistores FinFETs

Com os métodos desenvolvidos nessa tese, pretende-se fabricar transistores FinFETs, com SiNWs menores que 50 nm.

REFERÊNCIAS

ALPUIM, P.; CHU, V.; CONDE, J. P. **Amorphous and microcrystalline silicon films grown at low temperatures by radio-frequency and hot-wire chemical vapor deposition.** Journal of Applied Physics, v. 86, n. 7, p. 3812-3821, 1999.

AMIN, S. I.; SARIN, R. K. **Junctionless Transistor: A Review.** 2014. Disponível em: <ieeexplore.ieee.org/iel7/6897630/6897631/06950909.pdf>. Acessado em: 05 set. 2015.

AZO MATERIALS. **Chemical Vapour Deposition (CVD) - An Introduction,** 2002. Disponível em: <<https://www.azom.com/article.aspx?ArticleID=1552>>. Acessado em: 30 jun 2017.

BAE, S.; KALKAN, A. K.; CHENG, S.; FONASH, S. J. **Characteristics of amorphous and polycrystalline silicon films deposited at at 120 °C by electron cyclotron resonance plasma-enhanced chemical vapor deposition.** Journal of Vacuum Science & Technology A, v. 16, n. 3, p. 1912-1915, 1998.

BAER, E.; BURENKOV, A.; EVANSCHITZKY, P.; LORENZ, J. **Simulation of Process Variations in FinFET Transistor Patterning.** Simulation of Semiconductor Processes and Devices, IEEE, p. 299 – 302, 2016.

BENCHER, C.; DAI, H.; MIAO, L.; CHEN, Y.; XU, P.; CHEN, Y.; OEMARDANI, S.; SWEIS, J.; WIAUX, V.; HERMANS, J.; CHANG, L.-W.; BAO, X.; YI, H.; WONG, H.-S. P. **Mandrel Based Patterning: Density multiplication techniques for 15nm nodes.** Optical Microlithography XXIV, edited by Mircea V. Dusa, Proc. of SPIE Vol. 7973, 2011.

BETANZO, C. R. **Corrosão por plasma para tecnologias CMOS e microssistemas.** 2003. 179 f. Tese (Doutorado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2003. Disponível em: <<http://repositorio.unicamp.br/handle/REPOSIP/260536>>. Acessado em: 25 fev. 2015.

BYU CLEANROOM. **Wet Chemical Etching of Metals and Semiconductors.** Department of Electrical & Computer Engineering, Brigham Young University. Disponível em: <http://cleanroom.byu.edu/wet_etch>. Acessado em: 16 jun. 2013.

CABRINI, S.; CARPENTIERO, A.; BUSINARO, L.; CANDELORO, P.; ROMANATO, F.; FABRIZIO, E. D. **Dual Beam Lithography (FIB + EBL) for nanometric structures.** Microprocesses and Nanotechnology Conference, 2004. Digest of Papers. 2004 International, 2004.

CARLSON, D. ; WRONSKI, C. **Amorphous silicon solar cell.** Applied Physics Letters, v. 28, p. 671-673, 1976.

CHEKUROV, N.; GRIGORAS, K.; PELTONEN, A.; FRANSSILA, S.; TITTONEN, I. **The fabrication of silicon nanostructures by local gallium implantation and cryogenic deep reactive ion etching.** Nanotechnology, v. 20, n. 065307, 2009.

CHEKUROV, N.; GRIGORAS, K.; SAINIEMI, L.; PELTONEN, A.; TITTONEN, I.; FRANSSILA, S. **Dry fabrication of microdevices by the combination of focused ion beam and cryogenic deep reactive ion etching.** Journal of Micromechanics and Microengineering, v. 20, n. 085009, 2010.

CHITTICK, R. C.; ALEXANDER, J. H.; STERLING, H. F. **The Preparation and Properties of Amorphous Silicon**. Journal of The Electrochemical Society: SOLID STATE SCIENCE, v. 116, n. 1, p. 77-81, jan 1969.

CHIU, M. C.; LIN, B. S.-M.; TSAI, M. F.; CHANG, Y. S.; YEH, M. H.; YING, T. H.; NGAI, C.; JIN, J.; YUEN, S.; HUANG, S.; CHEN, Y.; MIAO, L.; TAI, K.; CONLEY, A.; LIU, I. **Challenges of 29nm half-pitch NAND Flash STI patterning with 193nm dry lithography and self-aligned double patterning**. Proceedings of SPIE, v. 7140, 2008.

CHO, Y.-S. HSU, C.-H.; LIEN, S.-Y.; WUU, D.-S.; HSIEH, I.-C. **Effect of Hydrogen Content in Intrinsic a-Si:H on Performances of Heterojunction Solar Cells**. International Journal of Photoenergy, v. 2013, 2013.

CHOI, Y.-K.; KING, T.-J.; HU, C. **A Spacer Patterning Technology for Nanoscale CMOS**. IEEE Transactions on Electron Devices, v. 49, n. 03, p. 436-441, 2002.

CHOI, Y.-K.; GRUNES, J.; LEE, J. S.; ZHU, J.; SOMORJAI, G. A.; LEE, L. P.; BOKOR, J. **Sub-lithographic patterning technology for nanowire model catalysts and DNA label-free hybridization detection**. Proceedings of SPIE: Nanofabrication Technologies, E. A. Dobisz, Ed., v. 5220, p. 10-19, 2003.

CHONG, E.; ZHU, Y.; YI, C.Y.; DONG, X.; ZHANG, L.; LI, Q.; HUANG, L.; ZHANG, Y. **Hard Mask profile and loading issue study in SADP process**. Semiconductor Technology International Conference (CSTIC), 2015 China, 2015.

CHUDZIK, M. **Fins And Wires – How Do We Get To 5nm?**. 2016. Disponível em: <<http://semiengineering.com/fins-and-wires-how-do-we-get-to-5nm/>> . Acessado em: 22 ago. 2016

COLINGE, J. P. **Junctionless Nanowire Transistor (JNT): Properties and design guidelines**. Solid-State Electronics, v. 65–66, p. 33–37, 2011.

COLINGE, J. P. **Junctionless Transistors**. 2012. Disponível em: <ieeexplore.ieee.org/iel5/6212670/6218554/06218561.pdf>. Acessado em: 05 set. 2015.

COLINGE, J. P. **Silicon-on-Insulator Technology: Materials to VLSI, 3rd Edition**. Springer Science+Business Media New York, 2004. Disponível em: DOI 10.1007/978-1-4419-9106-5. Acessado em: 05 abr. 2013.

COLINGE, J.-P. **Junctionless Transistors**. IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2012.

COURTLAND, R. **Leading Chipmakers Eye EUV Lithography to Save Moore's Law**. 2016. Disponível em: <<https://spectrum.ieee.org/semiconductors/devices/leading-chipmakers-eye-euv-lithography-to-save-moores-law>>. Acessado em: 25 nov. 2017.

DESAI, V. U.; HARTLEY, J. G.; CADYA, N. C. **Electron beam lithography patterned hydrogen silsesquioxane resist as a mandrel for self-aligned double patterning application**. Journal Vacuum Science & Technology B, v. 34, n. 6, nov/dez 2016.

DINIZ, J. A. **Versão Brasileira do Transistor 3D**. Revista Ciência Hoje, v. 51, n. 304, p. 53, 2013.

DINIZ, J.A.; DOI, I.; SWART, J.W. **Insulators obtained by electron cyclotron resonance plasmas on Si or GaAs**. *Materials Characterization*, v. 50, p. 135– 147, 2003.

DOBKIN, D. M. **Other Discharge Types**. Disponível em: <http://www.enigmatic-consulting.com/semiconductor_processing/CVD_Fundamentals/plasmas/Other_plasmas.html>. Acessado em: 28 fev. 2013.

DORIA, R. T. **Operação e Modelagem de Transistores MOS sem Junções**. 2013. tese de doutorado, Universidade de São Paulo, 2013. 196 f. Tese (Doutorado em Engenharia Elétrica) – Escola Politécnica, Universidade de São Paulo, 2013. Disponível em: <http://www.teses.usp.br/teses/disponiveis/3/...01082013.../Tese_RenanDoria_unprotected.pdf>. Acesso em: 30 jun. 2014.

DORIA, R. T.; PAVANELLO, M. A.; TREVISOLI, R. D.; SOUZA, M. DE; LEE, C.-W.; FERAIN, I.; AKHAVAN, N. D.; YAN, R.; RAZAVI, P.; YU, R.; KRANTI, A.; COLINGE, J.-P. **Junctionless Multiple-Gate Transistors for Analog Applications**. *IEEE Transactions On Electron Devices*, v, 58, n. 8, agosto 2011.

FAHRENBRUCH, A. L.; BUBE, R. H. *Fundamentals of Solar Cells*. [S.l.]: Academic Press, 1983. ISBN 0-12-247680-8.

GHOSH, A. K.; MCMAHON, T.; ROCK, E.; WIESMANN, H. **Optical and electrical properties of evaporated amorphous silicon with hydrogen**. *Journal of Applied Physics*, v. 50, n. 5, p. 3407-3413, maio 1979.

GOLDA, J. M. **EUV Lithography – Progress on the Journey to Manufacturing Magic**. 2016. Disponível em: <<http://blogs.intel.com/technology/2016/02/euv-progress/>>. Acessado em: 22 jul. 2017.

GOTTSCHO, R. Greater process control essential to enable future scaling. *Solid State Technology – insights for electronics manufacturing*, 2016. Disponível em: < <http://electroi.com/blog/2016/01/viewpoints-2016-outlook/3/>>. Acesso em: 16 ago. 2016.

GRADOS, H. R. J. **Desenvolvimento de um processo CMOS (2 μ m): fabricação do chip teste CMOS, células APS e chips didáticos**. 2003. 294 f. Tese (Doutorado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2013. Disponível em: <<http://repositorio.unicamp.br/handle/REPOSIP/260265>>. Acessado em: 11 fev. 2013.

HENRY, M. D.; WALAVALKAR, S.; HOMYK, A.; SCHERER, A. **Alumina etch masks for fabrication of high-aspect-ratio silicon micropillars and nanopillars**. *Nanotechnology*, v. 20, 255305 (4pp), 2009.

HÖFLICH, K.; JURCZYK, J.; ZHANG, Y.; SANTOS, M. V. P.; GÖTZ, M.; GUERRA-NUÑEZ, C.; BEST, J. P.; KAPUSTA, C.; UTKE, I. **Direct Electron Beam Writing of Silver-Based Nanostructures**. *ACS Applied Materials Interfaces*, v. 9, p. 24071–24077, 2017.

HUANG, S. – W.; HWU, J. – G. **Lateral Nonuniformity of Effective Oxide Charges in MOS Capacitors With Al₂O₃ Gate Dielectrics**. *IEEE Transactions on Electron Devices*, v. 53, n. 7, p. 1608- 1614, julho 2006.

HUYNH-BAO, T.; RYCKAERT, J.; T'OKEL, Z.; MERCHA, A.; VERKEST, D.; THEAN, A. V.-Y.; WAMBACQ, P. **Statistical Timing Analysis Considering Device and Interconnect Variability for BEOL Requirements in the 5-nm Node and Beyond**. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, v. 25, n. 5, maio 2017.

HYATT, M.; HUANG, K.; DEVILLIERS, A.; SLEZAK, M.; LIU, Z. **Anti-Spacer Double Patterning**. Proceedings of SPIE: Advances in Patterning Materials and Processes XXXI, edited by Thomas I. Wallow, Christoph K. Hohle, v. 9051, n. 905118, 2014.

ITRS: THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. **Executive Summary**, 2011. Disponível em: <https://www.semiconductors.org/clientuploads/Research_Technology/ITRS/2001/1_Executive%20Summary.pdf>. Acessado em: 25 de jul. 2017.

ITRS: THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. **Lithography**, 2013. Disponível em: <http://www.itrs.net/Links/2013ITRS/2013Chapters/2013Litho_Summary.pdf>. Acessado em: 23 abr. 2014.

ITRS: THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. **Lithography**, 2011. Disponível em: <<http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Lithography.pdf>>. Acessado em: 23 de abr. 2014.

JONCKHEERE, R.; HEUVEL, D. V. D.; IWAMOTO, F.; STEPANENKO, N.; MYERS, A.; LAMANTIA, M.; GOETHALS, A.-M.; HENDRICKX, E.; RONSE, K. **Investigation of EUV mask defectivity via full-field printing and inspection on wafer**. Proceedings of SPIE, Photomask and Next-Generation Lithography Mask Technology XVI, 73790R, v. 7379, 2009.

JOVANOVIĆ, V. **Fin technology for wide-channel FET structures**. 2008. 116 f. Doctoral Thesis – Faculty of Electrical Engineering and Computing, University of Zagreb, Zagreb, 2008.

KATOH, K.; YASUI, M.; KUNIYASU, S.; WATANABE, H. **Amorphous-silicon FET array for LCD panel**. Electronics Letters, v. 19, n. 14, p. 506-507, 1983.

KERN, W. The evolution of silicon wafer cleaning technology. Journal of The Electrochemical Society, v. 137, n. 6, p. 1887–1892, 1990.

KODAMA, C.; ICHIKAWA, H.; NAKAYAMA, K.; NAKAJIMA, F.; NOJIMA, S.; KOTANI, T.; IHARA, T.; TAKAHASHI A. **Self-Aligned Double and Quadruple Patterning Aware Grid Routing Methods**. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, v. 34, n. 5, maio 2015.

KUO, Y.; NOMINANDA, H. **Nonvolatile hydrogenated-amorphous-silicon thin-film-transistor memory devices**. Applied Physics Letters, v. 89, n. 17, out. 2006.

LAPEDUS, M. **Why EUV Is So Difficult**. 2016. Disponível em: <<https://semiengineering.com/why-euv-is-so-difficult/>>. Acessado em: 25 nov. 2017.

LEE, C.-W.; AFZALIAN, A.; AKHAVAN, N. D.; YAN, R.; FERAIN, I.; COLINGE, J.-P. **Junctionless multigate field-effect transistor**. Applied Physics Letters, v. 94, 053511, 2009.

LEONHARDT, A. **FinFET prototype fabrication using alternative methods**. 2016. 122 f. Dissertação (Mestrado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2016. Disponível em: <<http://repositorio.unicamp.br/handle/REPOSIP/305419>>. Acessado em: 30 jan. 2017.

LEONHARDT, A.; SANTOS, M. V. P.; DINIZ, J. A.; MANERA, L. T.; LIMA, L. P. B. **Ga⁺ focused ion beam lithography as a viable alternative for multiple fin field effect transistor prototyping**. Journal Vacuum Science Technology, v. B 34, n. 06KA03, 2016.

LIMA, L. P. B. **Metal Gate Work Function Engineering for Future CMOS Technology Nodes**. 2015. 175 f. Tese (Doutorado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2015. Disponível em: <<http://repositorio.unicamp.br/jspui/handle/REPOSIP/260859>>. Acessado em: 10 fev. 2016.

LIN, C.-I.; FAN, Y.-K.; KUO, C.-H. **Studies of the new findings in preparing a scaled amorphous silicon thin-film transistor**. Applied Physics A, v. 116, p. 1655-1660, set. 2014.

LIVI, P.; WIPF, M.; TARASOV, A.; STOOP, R.; BEDNER, K.; ROTHE, J.; CHEN, Y.; STETTLER, A.; SCHÖNENBERGER, C.; HIERLEMANN, A. **Silicon Nanowire Ion-Sensitive Field-Effect Transistor Array Integrated with a CMOS-based Readout Chip**. Proceedings of the 17th IEEE International Conference on Solid-State Sensors, Actuators & Microsystems, Transducers, Barcelona, Spain, p. 1751-1754, 2013.

MA, Y.; SWEIS, J.; BENCHER, C.; DAI, H.; CHEN, Y.; CAIN, J. P.; DENG, Y.; KYE, J.; LEVINSON, H. J. **Decomposition Strategies for Self-Aligned Double Patterning**. Proceedings of SPIE, v. 7641, p. 76410T 1-13, 2010.

MALIK, I.; HAZARI, V.; MONAHAN, K.; HANKINSON, M.; ADEL, M.; LIESCHING, M.; CHARRIER, E. **Immersion Lithography Process and Control Challenges**. Spring, 2007. Disponível em: <www.kla-tencor.com/ymsmagazine>. Acessado em: 28 mar. 2013.

MIYOSHI, J. **Isolantes de porta com altas constantes dielétricas (High k) para tecnologia MOS**. 2008. 132 f. Dissertação (Mestrado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2008. Disponível em: <<http://repositorio.unicamp.br/jspui/handle/REPOSIP/260111>>. Acessado em: 03 jul. 2013.

NAKAYAMA, S. **ECR (electron cyclotron resonance) plasma for thin film technology**. Pure and Applied Chemistry, v. 62, n. 9, p. 1751-1756, 1990.

NAKAYAMA, S. **ECR (electron cyclotron resonance) plasma for thin film technology**. Pure and Applied Chemistry, v. 62, n. 9, p. 1751-1756, 1990.

NEISSER, M. **Lithography**. 2013. Disponível em: <www.future-fab.com/documents.asp?d_ID=5009>. Acessado em: 28 mar. 2013.

NEISSER, M.; WURM, S. **ITRS lithography roadmap: 2015 challenges**. Advances in Optical Technologies, v. 4, n. 4, p. 235-240, 2015.

OKOROANYANWU, U. **Chemistry and Lithography**. Wiley, SPIE Press, 2010. Disponível em: <<http://ebooks.spiedigitallibrary.org/>>. Acessado em: 29 nov. 2016.

PARK, S.-Y.; GIACOMO, S. J. D.; ANISHA, R.; BERGERC, P. R.; THOMPSON, P. E.; ADESIDA, I. **Fabrication of nanowires with high aspect ratios utilized by dry etching with SF₆:C₄F₈ and self-limiting thermal oxidation on Si substrate.** Journal Vacuum Science & Technology B, v.28, n. 763, Jul/Aug 2010.

PLATZGUMMER, E. **Maskless lithography and nanopatterning with electron and ion multibeam projection.** Proceedings of SPIE, Alternative Lithographic Technologies II, 763703, v. 7637, 2010.

QIAN, H. X.; ZHOU, W.; MIAO, J.; LIM, L. E. N.; ZENG, X. R. **Fabrication of Si microstructures using focused ion beam implantation and reactive ion etching.** Journal of Micromechanics and Microengineering, v. 18, n. 035003, 2008.

RALEY, A.; THIBAUT, S.; MOHANTY, N.; SUBHADEEP, K.; NAKAMURA, S.; KO, A.; O'MEARA, D.; TAPILY, K.; CONSIGLIO, S.; BIOLSI, P. **A spacer-on-spacer scheme for selfaligned multiple patterning and integration.** Micro/Nano Lithography, SPIE, 2016. Disponível em: < <http://spie.org/newsroom/6583-a-spacer-on-spacer-scheme-for-self-aligned-multiple-patterning-and-integration?SSO=1>>. Acessado em: 14 out. 2016.

ROGOV, O. Y.; ARTEMOV, V. V.; GORKUNOV, M. V.; EZHOV, A. A.; PALTO, S. P. **Fabrication of complex shape 3D photonic nanostructures by FIB lithography.** Proceedings of the 15th IEEE International Conference on Nanotechnology, July 27-30, Rome, Italy, p. 136-139, 2015.

ROMMEL, M.; RUMLER, M.; HAAS, A.; BAUER, A. J.; FREY, L. **Processing of silicon nanostructures by Ga⁺ resistless lithography and reactive ion etching.** Microelectronic Engineering, v. 110, p. 177–182, 2013.

RONSE, K.; BISSCHOP, P. D.; VANDENBERGHE, G.; HENDRICKX, E.; GRONHEID, R.; PRET, A. V.; MALLIK, A.; VERKEST, D.; STEEGEN, A. **Opportunities and challenges in device scaling by the introduction of EUV lithography.** IEEE – IEDM-12, p. 435-438, 2012.

ROOYACKERS, R.; AUGENDRE, E.; DEGROOTE, B.; COLLAERT, N.; NACKAERTS, A.; DIXIT1, A.; VANDEWEYER, T.; PAWLAK, B.; ERCKEN, M.; KUNNEN, E.; DILLIWAY, G.; LEYS, F.; LOO, R.; JURCZAK, M.; BIESEMANS, S. Doubling or quadrupling MuGFET fin integration scheme with higher pattern fidelity, lower CD variation and higher layout efficiency. Electron Devices Meeting, 2006. IEDM '06. International, 2006. Disponível em: <<http://ieeexplore.ieee.org/document/4154389/>>. Acessado em: 25 jul 2015.

SANTOS, M. V. P. **Desenvolvimento de processos de obtenção nanofios de silício para dispositivos MOS 3D utilizando feixe de íons focalizados e litografia por feixe de elétrons.** 2013. 124 f. Dissertação (Mestrado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2013. Disponível em: <<http://repositorio.unicamp.br/jspui/handle/REPOSIP/259290>>. Acesso em: 30 jun. 2014.

SCHNEIDER, B. **Extreme UV (EUV) Lithography.** 2011. Disponível em: <<http://studylib.net/doc/6751492/extreme-uv--euv--lithography---electrical-engineering-and-c...>>. Acessado em: 28 mar. 2013.

SEABRA, A. C. **Fabricação de micro e nanoestruturas empregando litografia – parte II.** Disponível em: <http://www.cbpf.br/~labmag/MinicursoNano/litografia_cbpf_dia2_2006.pdf>. Acessado em: 25 de jul. 2017.

SINGH, G.; DOTAN, K.; SHABTAY, S.; CAI, M.-P.; SHACHAR, N.; NGAI, C.; BENCHER, C.; MIAO, L.; CHEN Y. **Small Particle Defect Characterization on Critical Layers of 22nm Spacer Self Aligned Double Patterning (SADP)**. Proceedings of SPIE, v. 8324, n. 83241-X, 2012.

SMITH, R. **Intel's 14 nm Technology in Detail**. 2014. Disponível em: <<https://www.anandtech.com/show/8367/intels-14nm-technology-in-detail>>. Acessado em: 30 jun 2017.

SPEAR, W. E.; LECOMBER, P. G. **Substitutional doping of amorphous silicone**. Solid State Communications, v. 17, n. 9, p. 1193-1196, 1975.

STREET, R. A. **Hydrogenated Amorphous Silicon**. [S.l.]: Cambridge University Press, 1991.

SWART, J. W. **Semicondutores: fundamentos, técnicas e aplicações**. Campinas: Editora da UNICAMP, 2008.

VEENDRICK, H. J. M. **Nanometer CMOS ICs – From basics to ASICs**, Springer, New York, 1st ed., p. 105-130, 2008.

WANDELL, J.; VILLIERS, A.; HULI, L.; BIESEMANS, S.; NAFUS, K.; CARCASI, M.; SMITH, J.; HETZER, D.; HIGGINS, C.; RASTOGI, V.; VERDUJN, E. **High speed EUV using post processing and self-aligned double patterning as a speed enhancement technique**. Proceedings of SPIE, v. 9048, p. 90483B-1-9, 2014.

WANG, et al. **pMOSFETs Featuring ALD W Filling Metal Using SiH₄ and B₂H₆ Precursors in 22 nm Node CMOS Technology**. Nanoscale Research Letters, 306, n. 12, 2017.

WANK, M. A. **Manipulating the Hydrogenated Amorphous Silicon Growing Surface**. 2011. 154f. Tese (PhD in Electrical Engineering) - Electrical Engineering, Mathematics and Computer Science, Delft University of Technology, Holanda, 2015. Disponível em: <<https://repository.tudelft.nl/islandora/object/uuid%3A8d94b97f-a44b-480e-a312-bb3686622f9a>>. Acessado em: 10 fev. 2017.

WIDMANN, D. W. Metallization for Integrated Circuits Using a Lift-Off Technique. IEEE Journal of Solid-State Circuits, v. SC-11, n. 4, ago1976.

WIKIMEDIA. 2010. Disponível em: <[https://commons.wikimedia.org/wiki/File:Sequence_during_CVD_\(de\).svg:fig.CVD,2010](https://commons.wikimedia.org/wiki/File:Sequence_during_CVD_(de).svg:fig.CVD,2010)>. Acessado em: 20 jun. 2017.

WINTERLING, G.; MÜLLER, G. **The Physical Properties of Hydrogenated Amorphous Silicon**. Physica Scripta, v. T13, p. 45-52, 1986.

WOLF, S.; TAUBER, R. N. **Silicon Processing for the VLSI Era**, v. 1: Process Technology. [S.l.]: Lattice Press, v. 1, 1986. ISBN ISBN-13: 978-0961672133.

WU, B.; KUMAR, A. **The viewpoint Extreme Ultraviolet Lithography: Towards the Next Generation of Integrated Circuits**. Optics & Photonics Focus, v.7, 2009.

WU, S.-E.; LIU, C.-P. **Direct writing of Si island arrays by focused ion beam milling**. Nanotechnology, v. 16, p 2507–2511, 2005.

YONGJOON, C.; YOURA, H.; CHANGLAE, K.; EUNSONG, O. **High-resolution Optical Lithography**. 2010. Disponível em: <npl.yonsei.ac.kr/includes/file_down.asp?name=2%20team.pdf>. Acessado em: 01 abr. 2013.

ZANZUCCHI, P. J.; WRONSKI, C. R.; CARLSON, D. E. **Optical and photoconductive properties of discharge produced amorphous silicone**. Journal of Applied Physics, v. 48, n. 12, p. 5227-5236, dezembro 1977.

ZHU, J.; YU, Z.; BURKHARD, G. F.; HSU, C.-M.; CONNOR, S. T.; XU Y.; WANG, Q.; MCGEHEE, M; FAN, S; CUI, Y. **Optical Absorption Enhancement in Amorphous Silicon Nanowire and Nanocone Arrays**. Nano Letters, v. 9, n. 1, p. 279-282, 2009.

ZIMMERMAN, P. **Double patterning lithography: double the trouble or double the fun?**. SPIE, 2009. Disponível em: <<http://spie.org/newsroom/1691-double-patterning-lithography-double-the-trouble-or-double-the-fun?SSO=1>>. Acesso em: 22 jul. 2017.

ZIMMERMANN, T. **High-rate growth of hydrogenated amorphous and microcrystalline silicon for thin-film silicon solar cells using dynamic very-high frequency plasma-enhanced chemical vapor deposition**. [S.l.]: Forschungszentrum Jülich GmbH, 2013. ISBN 1866-1793.