

JOSÉ ANTONIO SIQUEIRA DIAS

Engenheiro Elétrico, Modalidade Eletrônica - FEC/UNICAMP, 1979

Mestre em Engenharia Elétrica - FEC/UNICAMP, 1982

*Este exemplar corresponde a redação
final da Tese defendida por JOSÉ ANTÔNIO
SIQUEIRA DIAS e aprovada pela Comissão
Julgadora em 27/06/85*

*Alberto Martins Jorge
15/07/85*

PROJETO DE UM CONVERSOR D/A NÃO-LINEAR INTEGRADO.

(LEI A-128) EM TECNOLOGIA BIPOLAR

Tese apresentada à Faculdade de Engenharia de Campinas
da UNICAMP como requisito parcial para a obtenção do tí-
tulo de Doutor em Engenharia Elétrica.

043/85

Orientador: Prof.Dr. Alberto Martins Jorge

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA DE CAMPINAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
SETOR DE ELETRÔNICA E MICROELETRÔNICA
LABORATÓRIO DE ELETRÔNICA E DISPOSITIVOS

JUNHO DE 1985
UNICAMP
BIBLIOTECA CENTRAL

AGRADECIMENTOS

Gostaríamos de expressar nossos agradecimentos a todos que participaram deste trabalho, em especial

- ao Prof.Dr. Alberto Martins Jorge, professor do Departamento de Engenharia Elétrica da Faculdade de Engenharia de Campinas / UNICAMP e Coordenador Geral do Laboratório de Eletrônica e Dispositivos, pela orientação, inúmeras sugestões e constante incentivo;
- ao Prof.Dr. Carlos Alberto dos Reis Filho, professor do Departamento de Engenharia Elétrica da Faculdade de Engenharia de Campinas / UNICAMP, pelas proveitosas discussões, especialmente no que se refere às fontes de referência de tensão do tipo "bandgap";
- ao Dr. Jean-Pierre Bailbé, pesquisador do Laboratoire d'Automatique et d'Analyse des Systèmes - Toulouse, pelo auxílio na caracterização de transistores I^2L e na elaboração do Apêndice A;
- ao Sr. Luciano Szezerbaty, aluno de graduação do curso de Engenharia Elétrica da FEC / UNICAMP, pela realização de algumas das simulações em computador;
- ao Sr. Daniel R. da Silveira, técnico do Laboratório de Eletrônica e Dispositivos, pelo desenho da máscara da parte I^2L do decodificador;
- à Sra. Maria Stella Mendes, pela datilografia dos originais desta tese;
- à Srta. Maria Auxiliadora Masottini, pela elaboração dos desenhos;
- à Srta. Irene Chiqueto, pela datilografia dos apêndices A, B e C.

Este trabalho contou com o apoio financeiro das seguintes entidades:

FINEP - sob o contrato nº B/72/81/409/00/00

FAPESP - sob o contrato nº 84/2194-2

RESUMO

Neste trabalho apresentamos o projeto completo de um conversor D/A não-linear integrado (Lei A-128), em tecnologia 1^2L /Linear, que visa atender às especificações do sistema de transmissão telefônica por modulação de código de pulsos (MCP).

O projeto é dividido em duas etapas básicas: a primeira relativa ao projeto dos circuitos digitais 1^2L , e a segunda, a mais importante, relativa ao projeto dos circuitos analógicos de conversão D/A.

A parte do projeto que envolve os circuitos analógicos é discutida detalhadamente, procurando apresentar de forma clara as técnicas de projeto utilizadas.

As avaliações do projeto, realizadas com montagens em "bread-board", usando "arrays" de transistores, mostraram um bom desempenho, indicando que uma versão em circuito integrado, deverá apresentar um desempenho muito bom, atendendo facilmente as características necessárias ao conversor D/A do sistema MCP.

ABSTRACT

The design of an integrated PCM non-linear D/A converter (A-128 Law) in 1^2L /Linear technology is presented.

The work has two main parts: one concerning the design of the 1^2L digital circuits and the second, which is also the most important, dedicated to the design and analysis of the analog circuits used in the D/A converter.

The design of the analog circuits is discussed in details and all the design techniques used are explained carefully.

The circuit was evaluated in bread-board form, using kit-parts and transistors arrays. The measured data show that the circuit has a good performance; it is expected that an integrated version of the circuit will have a very good performance, meeting (or even exceeding) the specifications of the PCM D/A converter.

ÍNDICE

I. INTRODUÇÃO	8
II. CARACTERÍSTICAS DO SISTEMA MCP	
2.1 A Lei A-128	9
2.2 Requisitos do Circuito de um Decodificador Mono-Canal	14
III. TECNOLOGIA DE FABRICAÇÃO	
3.1 Escolha da Tecnologia	17
3.2 A Lógica de Injeção Integrada	17
3.3 A Tecnologia Bipolar Linear Convencional	18
3.4 A Tecnologia I ² L/Linear	19
3.5 Partição do Sistema	20
IV. CIRCUITOS DIGITAIS DE CONTROLE E COMANDO	
4.1 Interfaces de Entrada/Saída	22
4.2 Registrador de Deslocamento e Memória	23
4.3 Malha Lógica de Comando	29
V. CIRCUITOS DE CONVERSÃO D/A	
5.1 Conversores R-2R	33
5.2 Geração das Correntes de Referência	46
5.3 Chaves de Corrente	64
5.4 Interligação dos Conversores	70
5.5 Amplificador de Saída	87
VI. REFERÊNCIA DE TENSÃO	
6.1 Princípio Básico de Funcionamento	93
6.2 Correção de Curvatura	94
VII. RESULTADOS EXPERIMENTAIS E DISCUSSÕES	
7.1 Considerações Gerais	124
7.2 Caracterização dos Circuitos Analógicos	124
7.3 Avaliação do Sistema	132
7.4 Conclusões	135
Apêndice A	137
Apêndice B	144
Apêndice C	149
Apêndice D	155

CAPÍTULO I

INTRODUÇÃO

Atualmente há uma tendência de se transformar os sistemas de comunicações telefônicas MCP [1] (onde tanto a codificação/decodificação, como a distribuição do sinal, são realizadas nas centrais telefônicas) em sistemas do tipo mono-canal, onde as centrais telefônicas são responsáveis apenas pela distribuição da informação, que é transmitida sob forma de palavras digitais de 8 bits. Para que isso ocorra, cada aparelho deverá possuir a capacidade de transmitir para a central o sistema de voz já codificado (em palavras digitais de 8 bits), e de receber esses sinais digitais, transformando-os em sinais analógicos de voz.

Obviamente essa estratégia só pode ser empregada com a utilização de codificadores e decodificadores confeccionados em circuitos integrados, uma vez que o sub-sistema que realiza as funções de distribuição (chamado concentrador), normalmente abriga 32 canais completos de codificação/decodificação.

O objetivo deste trabalho é projetar um circuito integrado monolítico, para executar as funções do circuito decodificador do sistema MCP, de acordo com as especificações do sistema MCP adotado no Brasil.

CAPÍTULO II

CARACTERÍSTICAS DO SISTEMA MCP

2.1 A Lei A-128

Devido às normas internacionais da CCITT [2], para manter a relação sinal/ruído constante nas transmissões telefônicas, por modulação de código de pulso, o sinal de voz sofre uma expansão antes de ser codificado e, portanto, deve sofrer uma compressão no instante em que é decodificado. As leis de compressão e de expansão foram padronizadas internacionalmente, sendo dois os padrões utilizados: a lei μ -255 e a lei A-128 [3].

A lei A-128, cujas curvas de expansão e compressão são apresentadas nas figuras 1 e 2, foi escolhida como padrão para o sistema telefônico brasileiro.

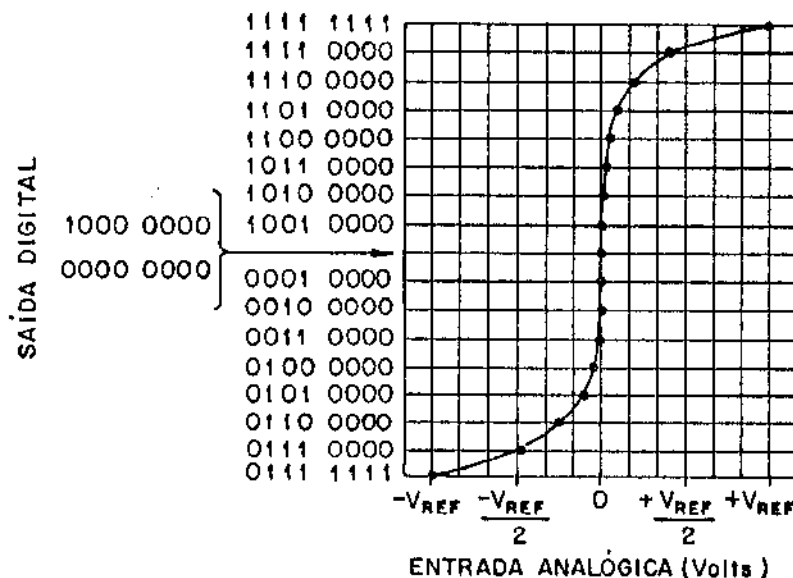


Figura 1 - Lei A-128 para Codificação

Na figura 3 apresenta-se o diagrama de blocos do sistema, proposto por Kaneko [4], para a geração da lei A-128 na decodificação do sinal. Os bits de sinal, recebidos pelo decodificador, passam por uma malha lógica e comandam um conversor D/A e um conjunto de amplificadores chaveados.

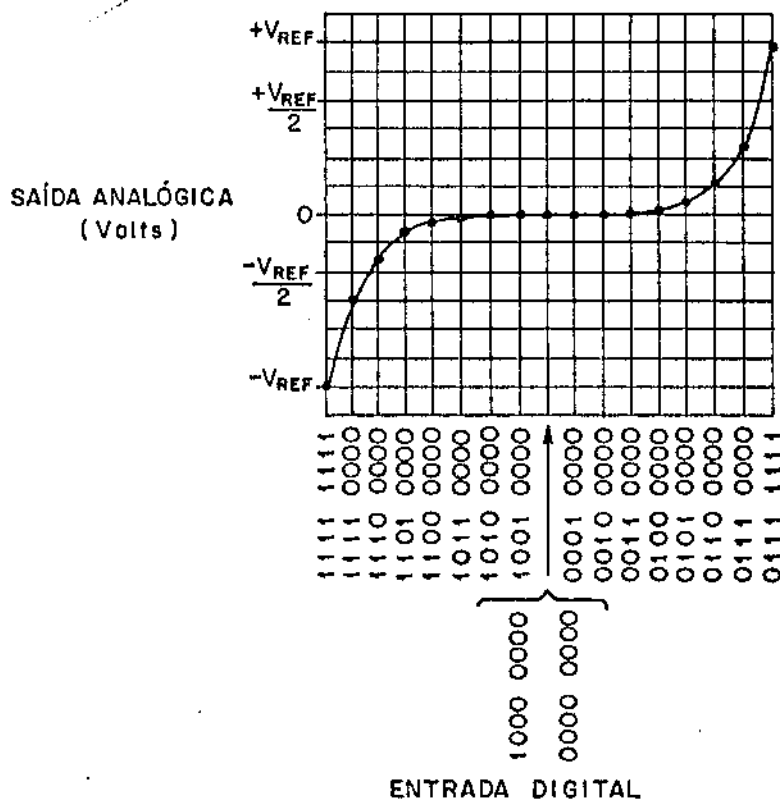


Figura 2 - Lei A-128 para Decodificação.

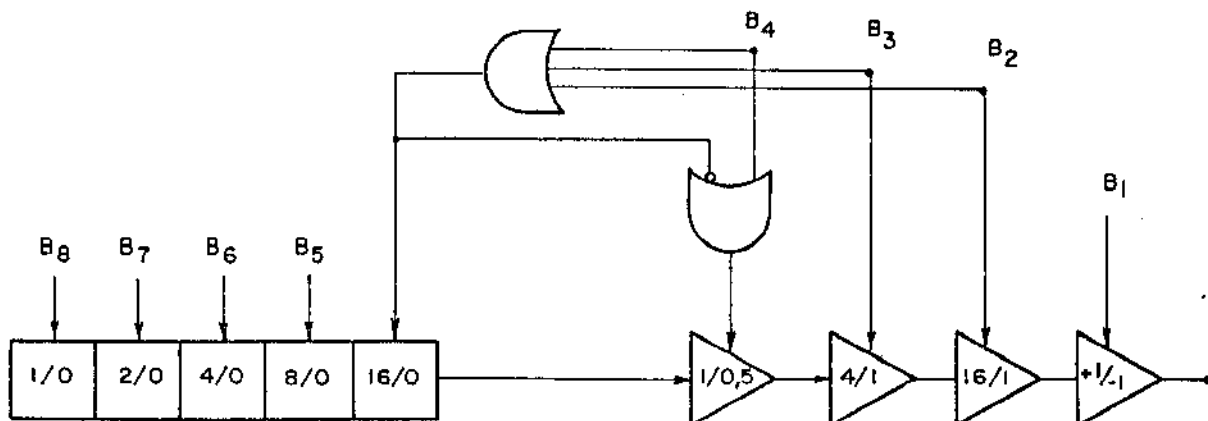


Figura 3 - Diagrama de Blocos do Sistema Decodificador para Lei A-128, 8 bits.

No entanto, vemos que o circuito pode ser bem simplificado se, no lugar do conjunto de amplificadores chaveados, utilizarmos outro conversor D/A e um multiplicador chaveado [5].

Na figura 4 temos um diagrama básico de implementação do circuito decodificador, segundo a lei A-128. A malha lógica de comando, como apresentado na referência [5], é função apenas dos bits B_2 , B_3 e B_4 (Tabela 1).

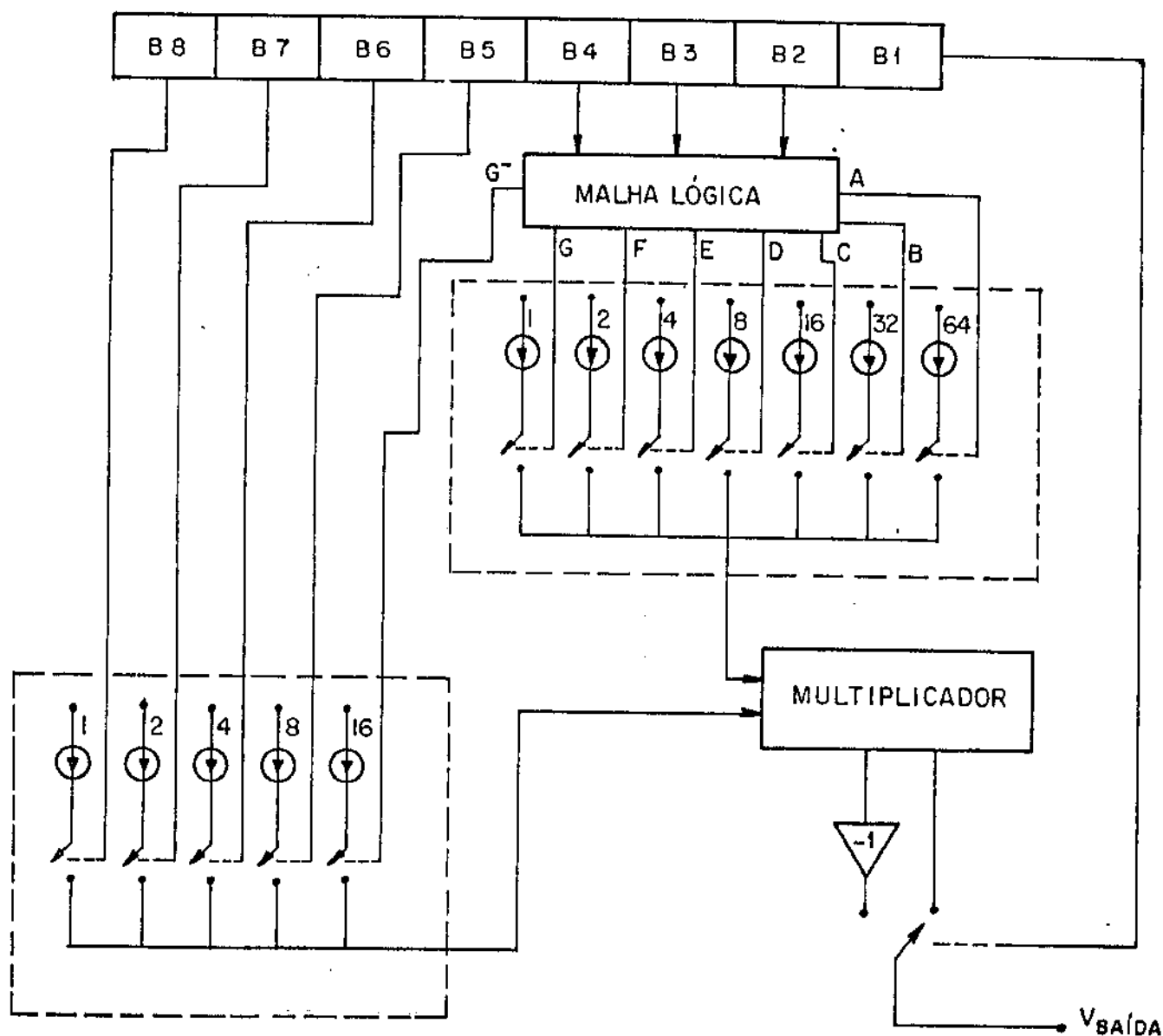


Figura 4 - Implementação do Circuito Decodificador, utilizando Multiplicador Chaveado.

$$A = B_2 \cdot B_3 \cdot B_4$$

$$B = B_2 \cdot B_3 \cdot \overline{B_4}$$

$$C = B_2 \cdot \overline{B_3} \cdot B_4$$

$$D = B_2 \cdot \overline{B_3} \cdot \overline{B_4}$$

$$E = \overline{B_2} \cdot B_3 \cdot B_4$$

$$F = \overline{B_2} \cdot B_3 \cdot \overline{B_4}$$

$$G = \overline{B_2} \cdot \overline{B_3}$$

$$G^- = \overline{\overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4}}$$

Tabela 1 - Funções Lógicas realizadas pela Malha Lógica de Comando.

Na parte analógica do decodificador, para obter o sinal de acordo com a lei A-128, é necessário realizar o produto das saídas dos dois conversores D/A. Isso normalmente implica na confecção de um multiplicador chaveado que, além de ser um bloco grande e difícil de ser implementado [6], introduz mais erros no sistema.

Neste trabalho apresentamos uma proposta para a eliminação do multiplicador. Isso é realizado através da utilização da saída de um dos conversores como referência para o outro, de forma que a saída do segundo conversor já seja o produto das duas palavras de entrada dos conversores.

Na figura 5 temos o diagrama básico de um conversor D/A. Como se pode observar, a tensão de saída do conversor depende da palavra digital de entrada e de uma tensão de referência V_{REF} , de tal forma que temos:

$$V_{S1} = K_1 \cdot V_{REF1} \cdot \left[B_0 \cdot 2^0 + B_1 \cdot 2^1 + \dots + B_N \cdot 2^N \right] \quad (2.1)$$

$$B_i \in \{ 0, 1 \}$$

Utilizando-se a tensão V_{S1} como referência para um outro conversor (figura 6), temos que a saída desse segundo conversor será dada por:

$$V_{S2} = K_2 \cdot V_{REF2} \cdot \left[A_0 \cdot 2^0 + A_1 \cdot 2^1 + \dots + A_N \cdot 2^N \right] \quad (2.2)$$

$$A_i \in \{ 0, 1 \}$$

onde

$$V_{REF2} = V_{S1} \quad (2.3)$$

logo, temos

$$V_{S2} = K_1 \cdot K_2 \cdot V_{REF1} \cdot \left[B_0 \cdot 2^0 + B_1 \cdot 2^1 + \dots + B_N \cdot 2^N \right] \cdot \left[A_0 \cdot 2^0 + A_1 \cdot 2^1 + \dots + A_N \cdot 2^N \right] \quad (2.4)$$

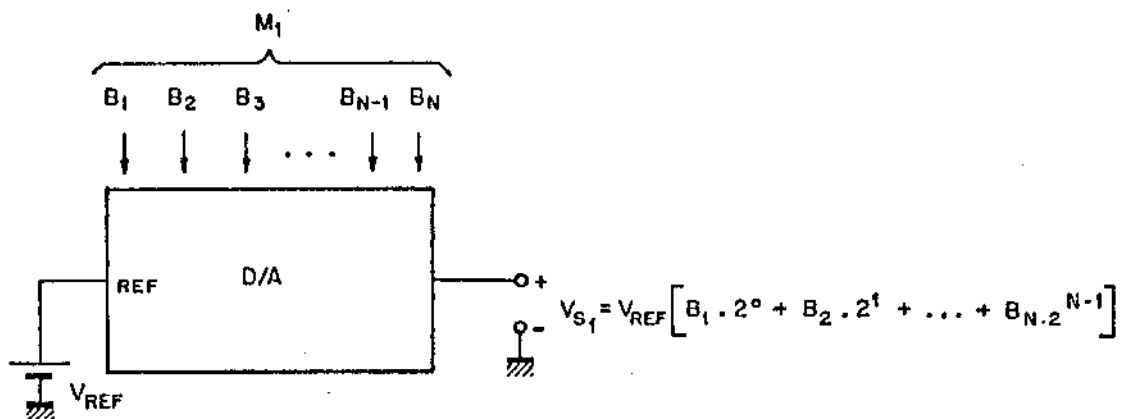
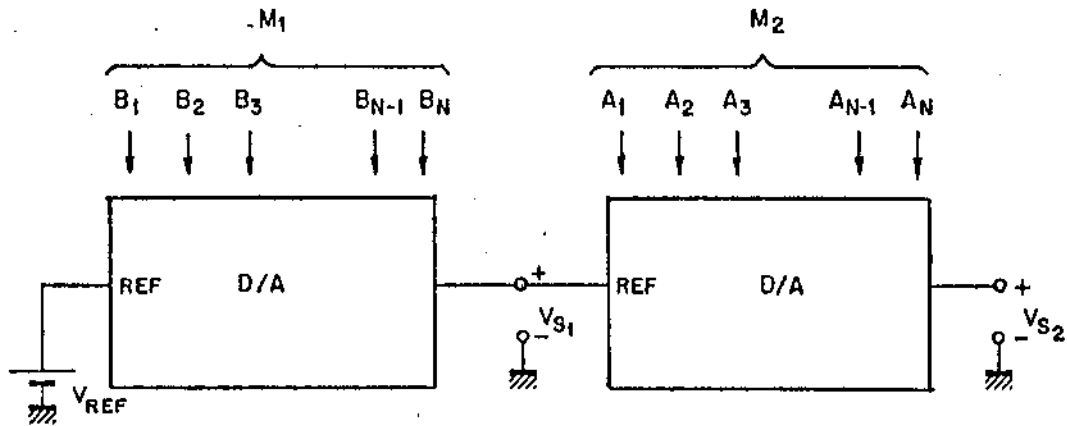


Figura 5 - Diagrama Básico de um Conversor D/A.



$$V_{S2} = V_{REF} \cdot [B_1 \cdot 2^0 + B_2 \cdot 2^1 + \dots + B_N \cdot 2^{N-1}] \cdot [A_1 \cdot 2^0 + A_2 \cdot 2^1 + \dots + A_N \cdot 2^{N-1}]$$

$$V_{S2} = V_{REF} \cdot M_1 \cdot M_2$$

Figura 6 - Utilização de dois conversores em cascata, gerando uma saída proporcional ao produto das palavras digitais de entrada.

Dessa forma, podemos realizar o produto necessário para a obtenção da Lei A-128, sem utilizarmos o bloco do multiplicador. Com a utilização dessa técnica, aumentamos a confiabilidade e o rendimento de produção do decodificador, uma vez que podemos diminuir o número de componentes utilizados no circuito, diminuir a área do "chip" e, principalmente, eliminar um bloco onde é requerida grande precisão.

2.2 Requisitos do Circuito de um Decodificador Mono-Canal

Um decodificador mono-canal para o sistema MCP tem que atender a uma série de especificações no que se refere à recepção e conversão dos sinais.

Os pulsos de entrada (B_1 a B_8) são recebidos de forma seriada, na frequência de 2048 KHZ, junto com um pulso de sincronismo de sistema, que é enviado ao final de cada palavra. Os pulsos de sincronismo para um sistema mono-canal ocorrem ao fim do recebimento da palavra de 8 bits, sendo que essa palavra chega ao decodificador cada vez que o sistema de multiplex termina de acessar a todos os canais e reinicia a varredura. No caso do MCP de 30 canais, os pulsos de sincronismo ocorrem a aproximadamente cada 125 μ s. Vamos, portanto, que o circuito decodificador deve receber o sinal digital numa frequência de 2048 KHZ, sendo que, após a chegada do oitavo bit, temos a chegada de um pulso de sincronismo que torna a informação acessível aos circuitos de decodificação. Após a informação ser transferida para os conversores D/A, o sistema tem aproximadamente 120 μ s para realizar a conversão e entregar o sinal na saída. Devido a esses requisitos, podemos elaborar o diagrama de blocos do circuito decodificador com o respectivo diagrama de tempos (fig.7).

Os bits de sinal B_1 a B_8 chegam de forma seriada e são acumulados em um registrador de deslocamento de oito estágios. Depois da chegada do último bit, o pulso de sincronismo é enviado e a palavra que se encontrava no registrador é transferida para um bloco de memória, que retém a informação até a chegada de uma nova palavra digital com o seu respectivo pulso de sincronismo.

Uma vez que a palavra digital esteja disponível no bloco de memória, essa palavra é processada através do circuito lógico de comando que, por sua vez, controla os conversores D/A. O bit B_1 , que determina a polaridade do sinal de saída, é enviado diretamente a um amplificador de saída, que controla a eventual inversão do sinal.

Quanto à parte analógica, as principais especificações a serem cumpridas se referem ao "settling-time" e à precisão dos conversores D/A. Especificou-se, para o projeto, que o erro total (soma dos erros de precisão e "settling-time") não deve ser maior do que 1 LSB, no instante em que é realizada a amostragem pelo "sample-and hold".

Note-se que o valor de 1 LSB é referente ao segmento onde o sinal se encontra e não em relação ao fundo de escala.

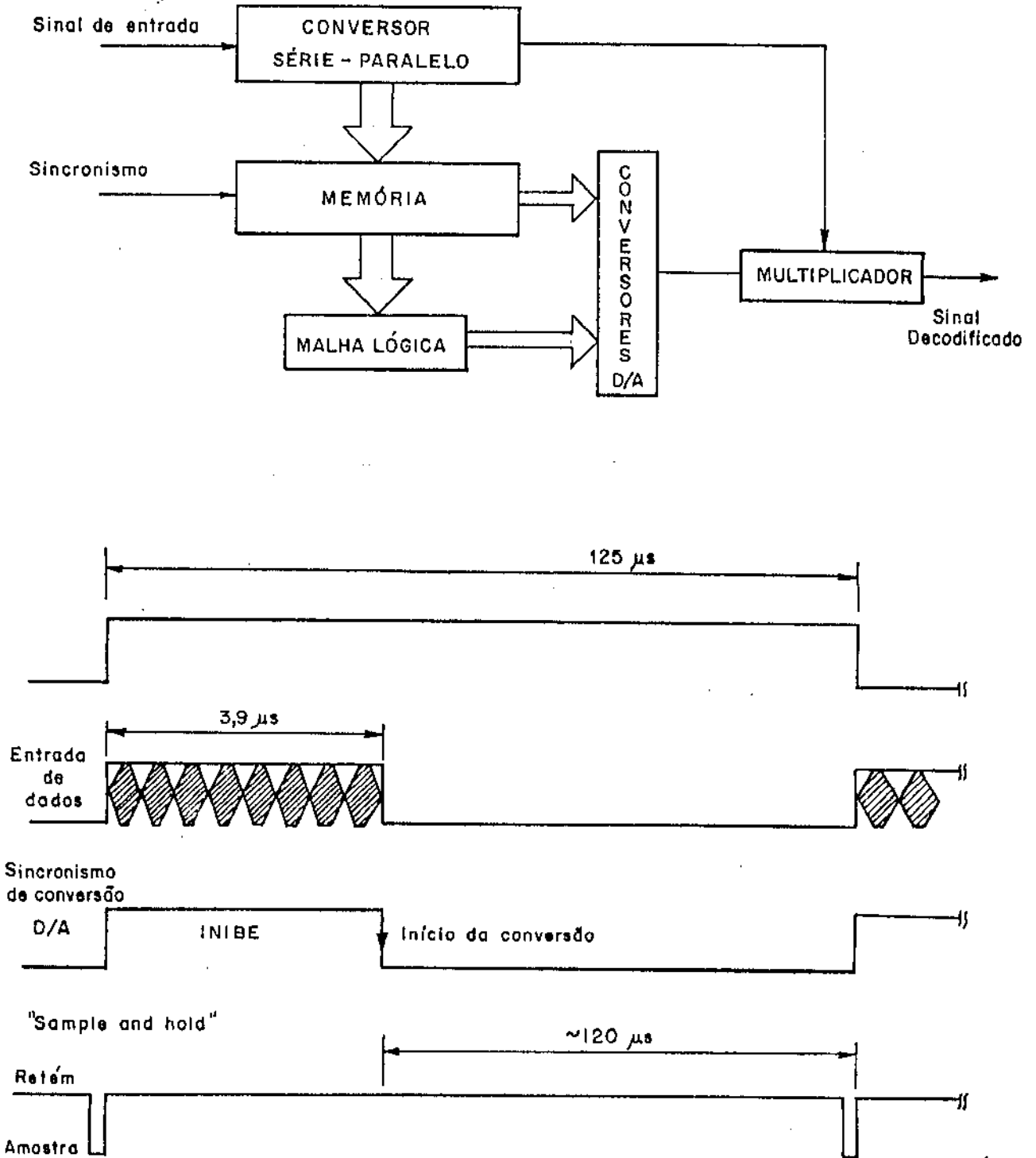


Figura 7 - a) Diagrama de Blocos do Decodificador.
b) Diagrama de Tempos.

CAPÍTULO III

TECNOLOGIA DE FABRICAÇÃO

3.1 Escolha da Tecnologia

Como vimos anteriormente, para a realização do circuito do decodificador é necessário confeccionar circuitos analógicos (conversores D/A, referência de tensão, amplificador de saída, etc.) e circuitos digitais (conversor série-paralelo, memória, malha de comando). Dessa forma é importante que possamos utilizar uma tecnologia onde seja possível fabricar os dois tipos de circuitos no mesmo chip. Nesse caso particular, devemos procurar uma tecnologia que permita a confecção de circuitos analógicos de alto desempenho (imprescindíveis nos conversores, referência de tensão, etc.) e circuitos digitais que consumam pouca potência e, principalmente, apresentem alta densidade de integração. Com base nesses requisitos, foi escolhida a tecnologia I^2L/Li near [7], que possibilita a realização de ambos os circuitos.

3.2 A Lógica de Injeção Integrada - I^2L

A Lógica de Injeção Integrada [8], [9] tem sido uma das principais opções dos projetistas de circuitos integrados quando se defrontam com a necessidade de confeccionar um sistema analógico/digital no mesmo chip [10] - [16]. Essa preferência é decorrente da simplicidade de confecção e da alta compactação que pode ser obtida com portas I^2L . Na figura 8 temos o circuito elétrico equivalente de um inversor I^2L . O transistor NPN multicoletor, que funciona como um inversor, é polarizado por um transistor PNP lateral, chamado de injetor. Na figura 9 temos a estrutura de um inversor I^2L .

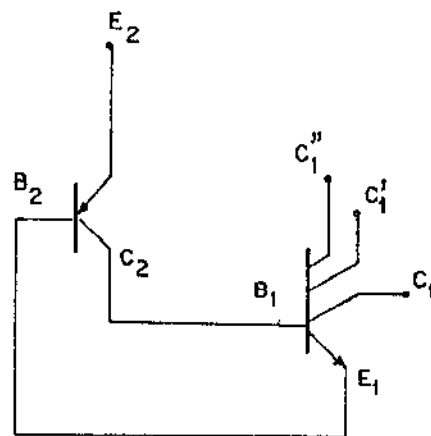


Figura 8 - Circuito equivalente de um inversor I^2L .

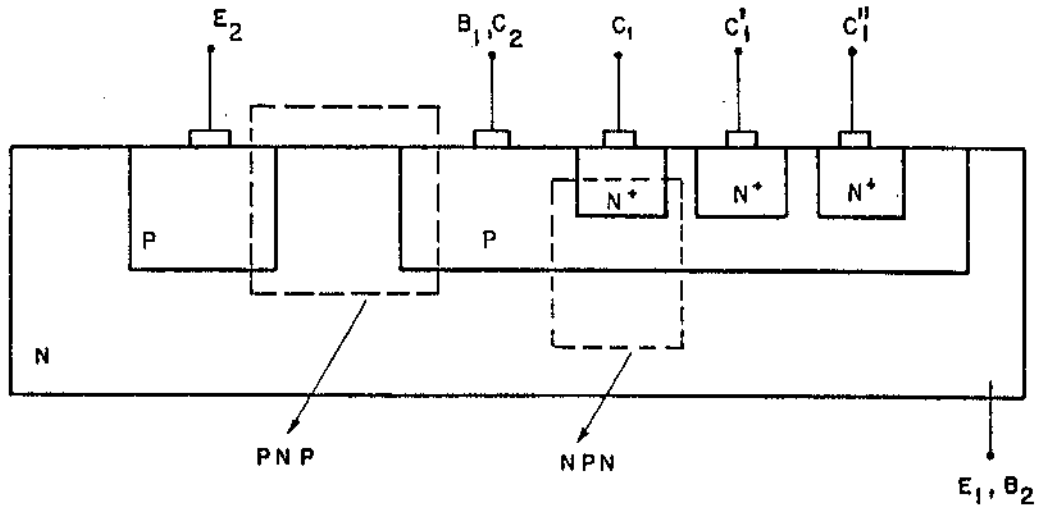


Figura 9 - Vista em corte de uma porta I^2L .

3.3 A Tecnologia Bipolar Linear Convencional

O processo planar de confecção de circuitos integrados lineares bipolares é a tecnologia mais antiga, mais estudada e, conseqüentemente, a mais simples para estabelecer um processo de confecção. Caracteriza-se por ser extremamente simples, usando apenas seis máscaras para a execução completa de um circuito integrado. O processo bipolar convencional permite a confecção de transistores NPN verticais, PNP laterais, PNP substratos, resistores difundidos (de base e emissor), resistores de corpo ("bulk resistors") e transistores JFET. Na figura 10 temos a estrutura de dois transistores (um NPN e outro PNP) confeccionados com o processo bipolar de seis máscaras. A seqüência de fabricação utilizada para esse processo é a seguinte:

Substrato tipo P

1. Difusão da camada enterrada N^+ e crescimento epitaxial N^-
2. Difusão de isolamento P^+
3. Difusão de base P
4. Difusão de emissor N^+
5. Abertura de contatos
6. Metalização

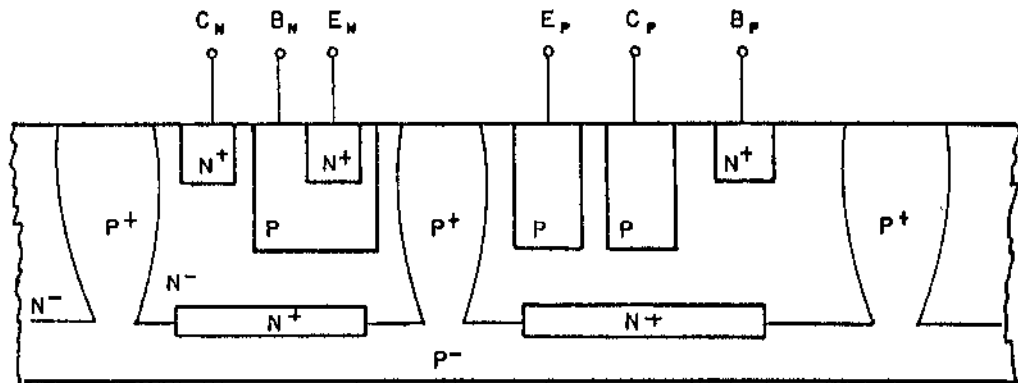


Figura 10 - Vista em corte de um transistor NPN vertical e de um transistor PNP lateral, confeccionados com o processo bipolar convencional.

3.4 A Tecnologia I^2L /Linear

Como vimos anteriormente, as tecnologias I^2L e Linear são, aparentemente, totalmente compatíveis. No entanto, devido às características especiais necessárias ao funcionamento do circuito I^2L , onde os transistores NPN trabalham de modo reverso, se ajustarmos o processo para otimizar a sua operação, as condições de dopagem na camada epitaxial e na base dos transistores NPN fazem com que esses transistores apresentem tensões de ruptura muito baixas (da ordem de 5 V), tornando impraticável a sua utilização nos circuitos lineares. Se, por outro lado, otimizarmos o funcionamento dos transistores a serem usados na parte analógica do circuito, os circuitos I^2L ficam muito prejudicados, apresentando um desempenho muito ruim, principalmente quanto à velocidade, o que inviabilizaria a sua utilização no circuito do conversor, já que a frequência máxima de operação obtida seria muito menor do que os 2048 KHZ necessários [17].

Para contornar essa dificuldade, é necessário introduzir mais uma etapa na confecção dos transistores, de forma que possamos obter perfis de do

pagens diferentes para os transistores I^2L e lineares, otimizando, dessa forma, o desempenho individual de cada um [18] - [21]. O processo a ser utilizado na confecção do decodificador foi desenvolvido na UNICAMP, e utiliza uma dupla difusão de base para obter perfis diferentes para os transistores I^2L e analógicos [22]. Na figura 11 temos a estrutura final dos transistores I^2L e analógicos, confeccionados com o processo de dupla difusão de base. No entanto, deve ser dada especial atenção às características de ganho dos transistores I^2L confeccionados com esse processo, uma vez que verificamos ser necessário um modelamento especial para os transistores NPN, como é apresentado no apêndice A.

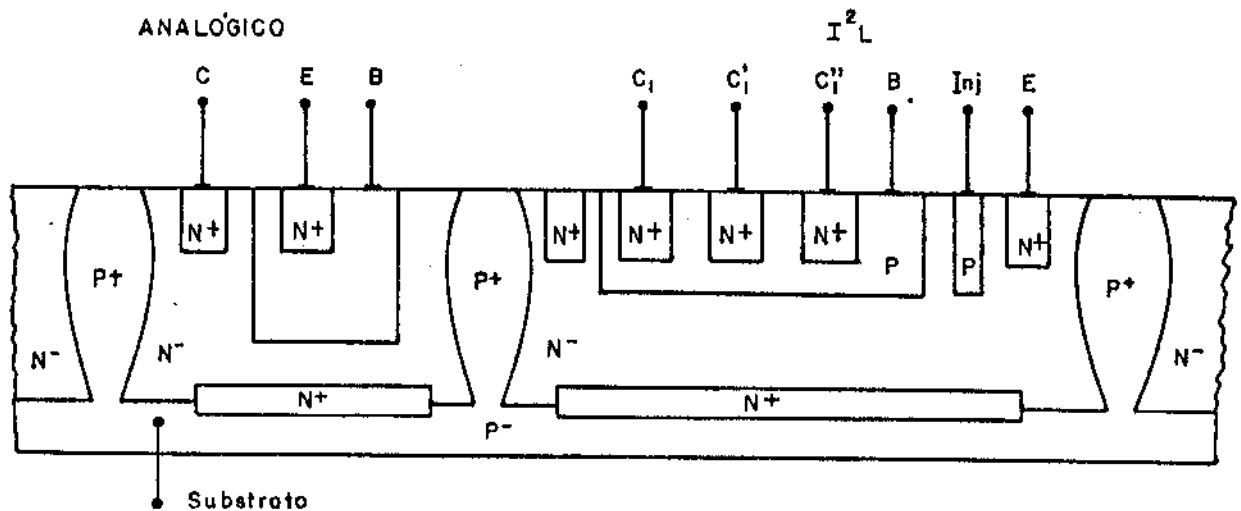


Figura 11 - Vista em corte dos transistores NPN confeccionados com o processo de dupla difusão de base.

3.5 Partição do Sistema

Como vimos no capítulo 11, o sistema a ser confeccionado apresenta um nível de complexidade elevado. Dessa forma, é muito interessante podermos dividir o sistema em blocos, e confeccioná-los em chips separados, o que, certamente, nos permitirá um melhor estudo e caracterização dos diversos circuitos envolvidos no projeto.

Optou-se por realizar uma partição do decodificador em 4 chips: um com os circuitos de recepção, memória e controle digital, outro com o conversor D/A, um terceiro com a referência de tensão e amplificadores operacionais e, finalmente, um com o conversor corrente-tensão e o amplificador de

saída.

O projeto e a análise dos circuitos acima descritos, serão apresentados nos próximos capítulos.

CAPÍTULO IV

CIRCUITOS DIGITAIS DE CONTROLE E COMANDO

4.1 Interfaces de Entrada

Para permitir a utilização do circuito do decodificador com os circuitos já existentes para a transmissão de sinais MCP, é necessário utilizar-se interfaces de entrada, uma vez que os sinais recebidos dos concentradores são sinais com níveis lógicos TTL, e todos os circuitos do decodificador usam lógica I^2L . São necessárias três interfaces de entrada: uma para o sinal de sincronismo, outra para o sinal de "clock" do sistema e uma terceira para o sinal que contém a informação digital a ser decodificada. Dessa forma é interessante que as interfaces sejam circuitos simples e que não ocupem uma área muito grande no "chip". Além disso, devemos ter circuitos confiáveis e que diminuam a sensibilidade ao ruído dos transistores I^2L , que, devido as suas características operacionais, trabalham com uma margem de ruído da ordem de 50 mV [22].

A interface que vamos utilizar é um circuito utilizado comercialmente (usado em um controlador de periféricos confeccionado com lógica I^2L), tendo sido escolhido por ser extremamente simples e apresentar ótimo desempenho [23]. Na figura 12 temos o circuito completo da interface.

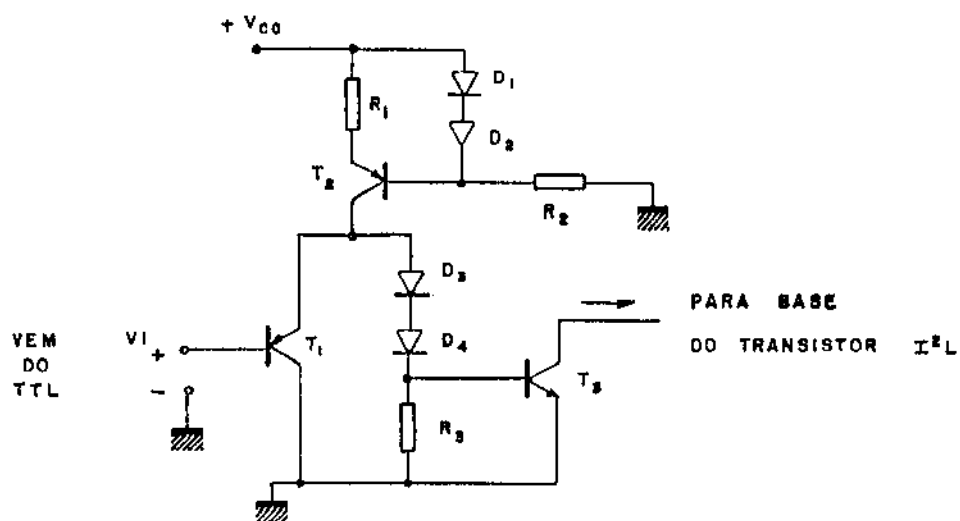


Figura 12 - Interface de entrada TTL/ I^2L .

Se a base do transistor T_1 está em nível lógico "0" TTL, este transistor conduz toda a corrente da fonte de corrente (formada por D_1 , D_2 , R_1 , R_2 e T_2), uma vez que o potencial de emissor de T_1 fica em aproximadamente 1,1 volts (a tensão de nível baixo em TTL mais V_{BE1}), não permitindo aos diodos D_3 - D_4 e ao transistor T_3 conduzirem. Para garantir a condição de corte de T_3 foi introduzido o resistor R_3 , que funciona como um "pull-down".

Para uma tensão $V_i \approx 2,1$ volts (nível "1" TTL), o transistor T_1 corta e toda a corrente da fonte de corrente é dirigida para a base do transistor T_3 , que entra na região de saturação. Como é evidente, a interface aqui apresentada inverte o sinal de entrada, fato esse que não pode ser esquecido no projeto do circuito de controle, já que teremos os complementos dos sinais vindos da linha telefônica na entrada dos circuitos I^2L .

Nesse ponto é interessante fazermos uma avaliação do tempo de resposta do circuito da interface, uma vez que o conversor deve operar com uma frequência de clock igual a 2048 KHZ. Para fazermos uma boa avaliação do desempenho do circuito realizamos, além de uma simulação em computador, um teste em bancada, com componentes I^2L fabricados pelo LED em 1981, quando no desenvolvimento do processo I^2L /Linear [22]. Nas figuras 13 e 14 vemos os resultados obtidos na simulação em computador (usando o programa SPICE 11) e os resultados medidos com os "KIT-PARTS". Vemos que, embora os resultados obtidos em ambos os casos indiquem que o circuito pode ser utilizado em 2048 KHZ, os resultados estão muito próximos do limite, sendo que, para obter uma maior margem de segurança, deveriam ser alterados alguns parâmetros de confecção dos transistores I^2L .

4.2 Registrador de Deslocamento e Memória

O diagrama de blocos do circuito de recepção do decodificador é apresentado na figura 15.

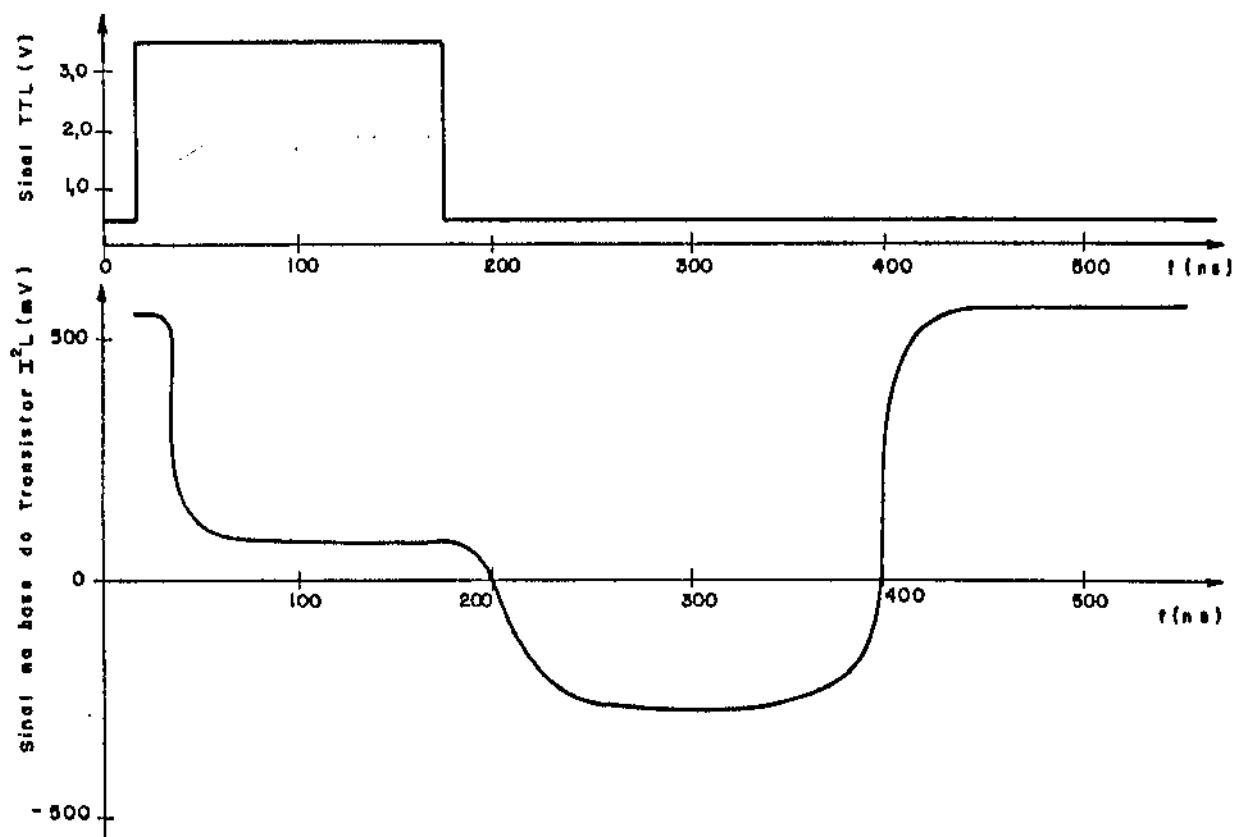


Figura 13 - Resultados obtidos na simulação por computador da interface de entrada.

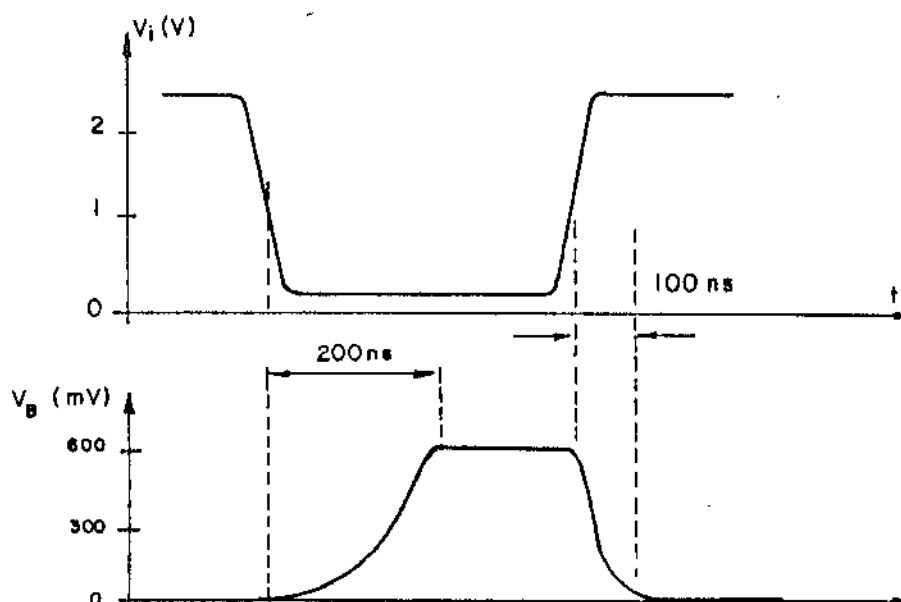


Figura 14 - Resultados das medidas realizadas no circuito da interface de entrada, elaborado com "KIT-PARTS".

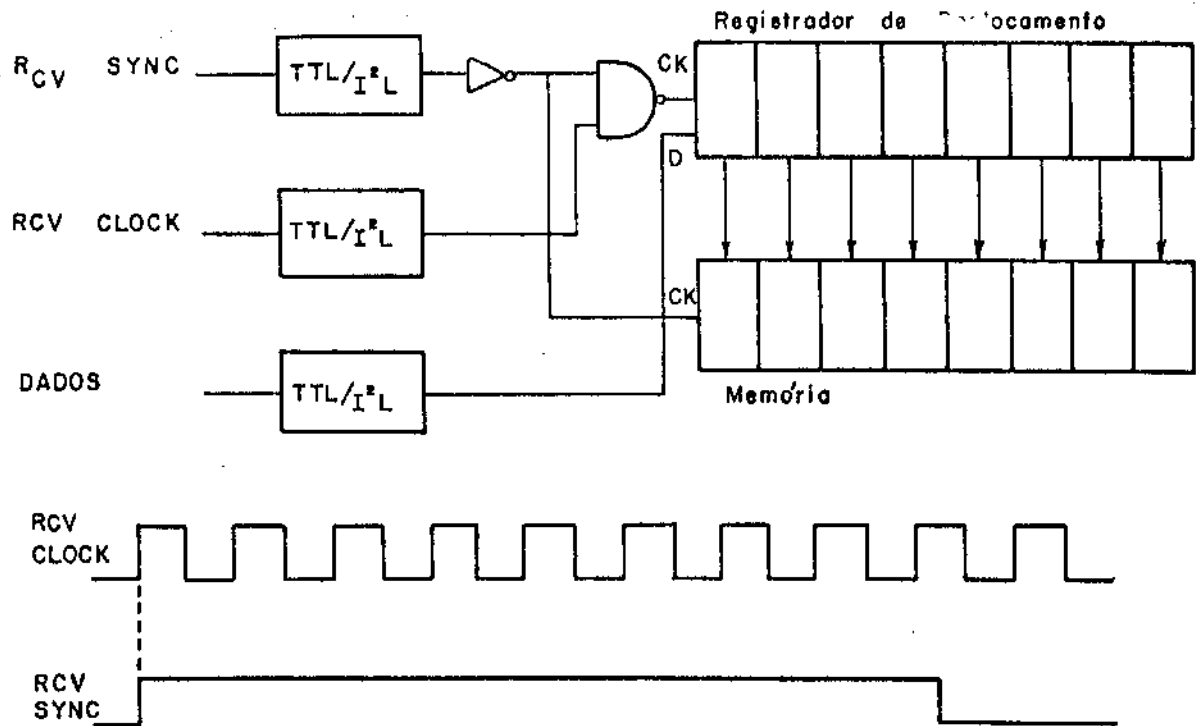


Figura 15 - Diagrama de Blocos do circuito de recepção.

O registrador de deslocamento de 8 bits é carregado com os dados provenientes da linha, sendo o seu funcionamento comandado pelo clock de recepção, que chamaremos de RCV CLOCK. Os dados a serem transferidos para dentro do registrador de deslocamento devem estar presentes na sua entrada antes da subida do RCV CLOCK, já que é na subida do RCV CLOCK que o dado é transmitido para a saída do primeiro flip-flop tipo D, usado no registrador de deslocamento.

O sinal do RCV CLOCK é sincronizado com o sinal do sincronismo de recepção, que denominaremos RCV SYNC. O pulso de RCV SYNC tem duração pouco menor do que 8 períodos do RCV CLOCK. Após a subida do pulso do RCV SYNC, os pulsos do RCV CLOCK são liberados e enviados ao clock do registrador de deslocamento. Após a chegada do oitavo pulso do RCV CLOCK, o pulso do RCV SYNC cai e, além de inibir os pulsos do RCV CLOCK para o registrador de deslocamento, também transfere o conteúdo do registrador para a memória de 8 bits, acionando os flip-flops do circuito de memória, com a sua transição de descida. Com isto termina um ciclo de recepção do sinal, que

será iniciado novamente, dentro de aproximadamente 125 μ s, com a subida do sinal de RCV SYNC.

Como se pode observar, o principal componente dos circuitos do registrador de deslocamento e da memória é o flip-flop tipo D. O circuito do registrador de deslocamento nada mais é do que 8 flip-flops D ligados em cascata; o circuito da memória também é confeccionado com 8 flip-flops D, com suas entradas ligadas às saídas dos flip-flops do registrador de deslocamento. Na figura 16 temos o diagrama do circuito do registrador de deslocamento e do circuito da memória. Deve-se observar que, para utilizarmos o mesmo flip-flop nos dois circuitos, é necessária a inclusão de um inversor no sinal RCV SYNC, já que os flip-flops do registrador de deslocamento devem ser sensíveis à subida do RCV CLOCK, enquanto que o circuito da memória deve ser sensível à descida do RCV SYNC.

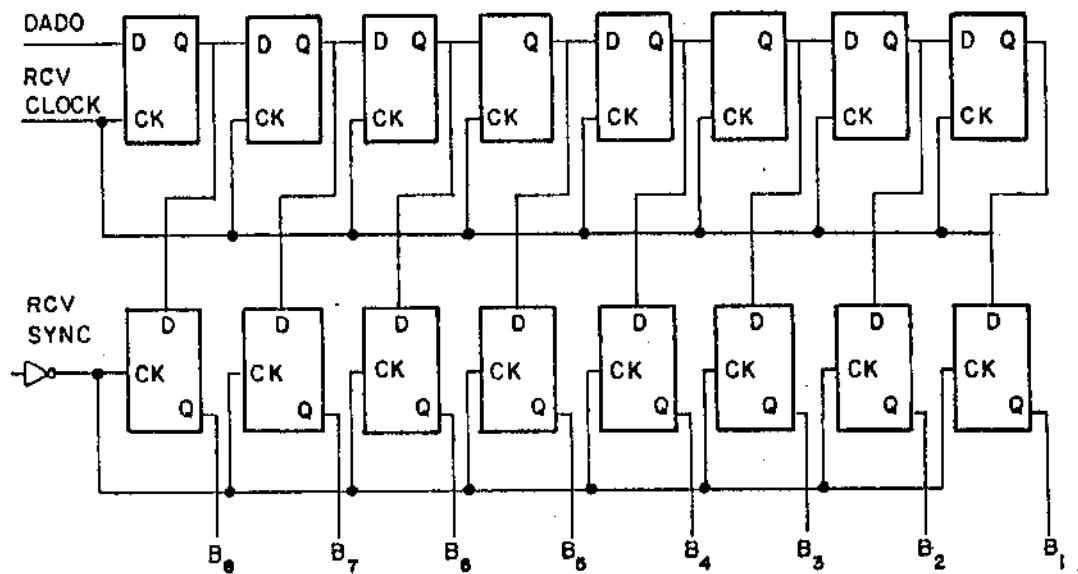


Figura 16 - Registrador de deslocamento e memória.

A seguir apresenta-se o circuito a ser utilizado para o flip-flop tipo D. Na figura 17.a temos o circuito lógico do flip-flop D implementado com portas NAND (que são portas obtidas com lógica 1^2L), enquanto que, na figura 17.b, temos este circuito traduzido em transistores 1^2L . Note-se a necessidade da inclusão de um sétimo transistor, para podermos entrar com o sinal de clock.

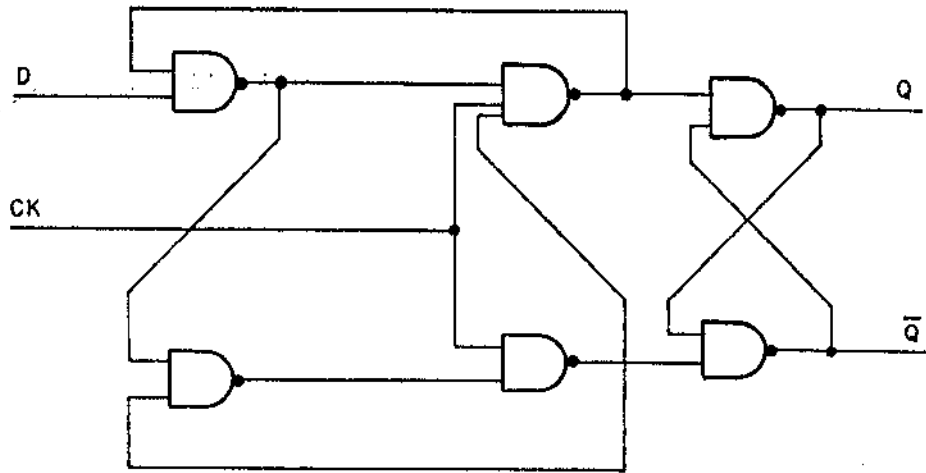


Figura 17.a - Diagrama Lógico de flip-flop D.

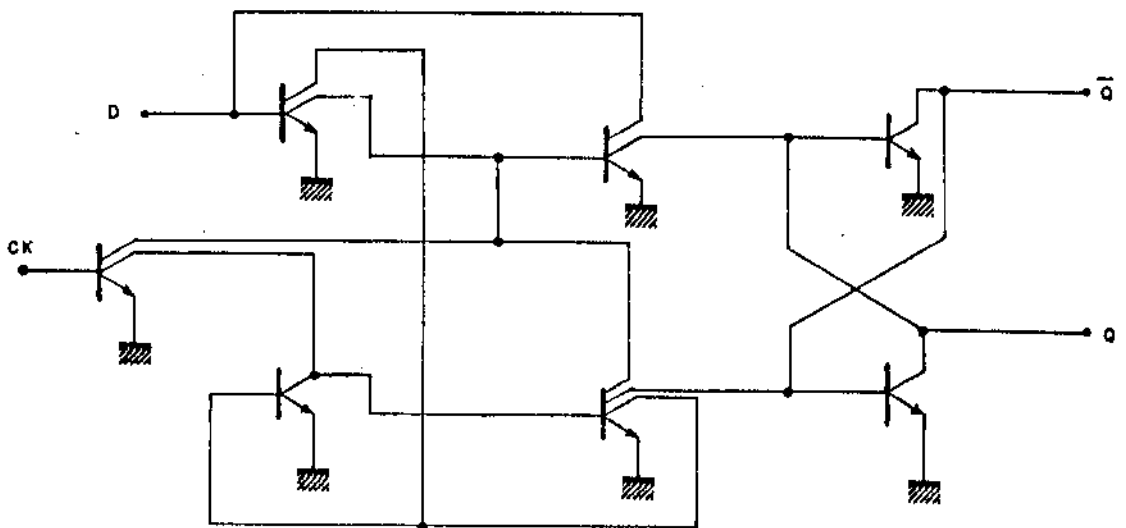


Figura 17.b - Circuito do flip-flop tipo D da figura 17.a implementado com transistores I²L.

Novamente, realizamos a simulação em computador e os testes em bancada com estes flip-flops, sendo os resultados dos testes dinâmicos apresentados nas figuras 18 e 19.

Devemos ressaltar que os resultados das medidas realizadas nos flip-flops foram obtidos em montagens feitas com portas I²L fabricadas pelo LME-USP, usando um processo convencional. Essas portas - que apresentam desempenho superior às fabricadas com o processo I²L/Linear - tiveram que

ser utilizadas, já que não dispúnhamos de componentes suficientes no LED para realizar o ensaio.

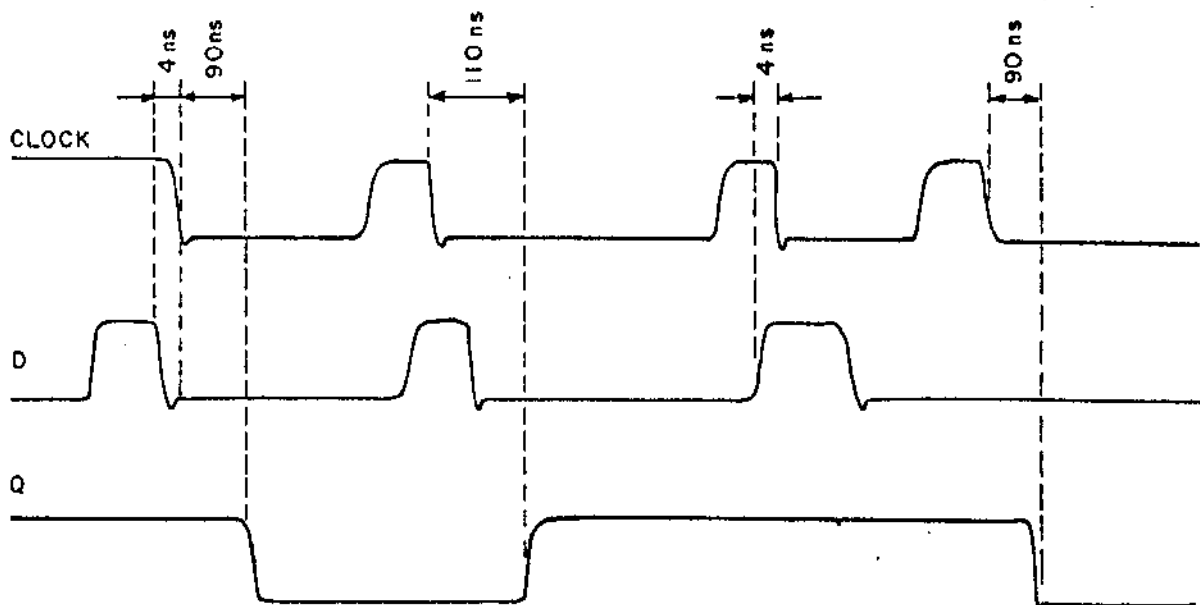


Figura 18 - Resultado obtido na simulação em computador do flip-flop da figura 17.b.

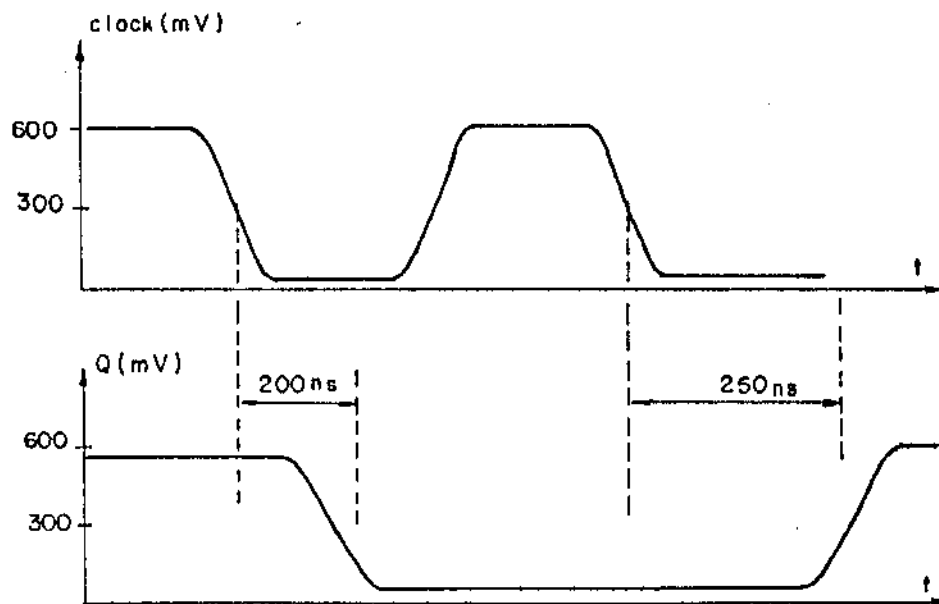


Figura 19 - Resultado medido nos flip-flops tipo D montados com portas I²L.

4.3 Malha Lógica de Comando

Como vimos anteriormente, para a obtenção da lei A-128 é necessário processar os bits de sinal recebidos da linha telefônica em uma malha lógica de comando. O circuito lógico que deve ser confeccionado para executar esse processamento é apresentado na figura 20.

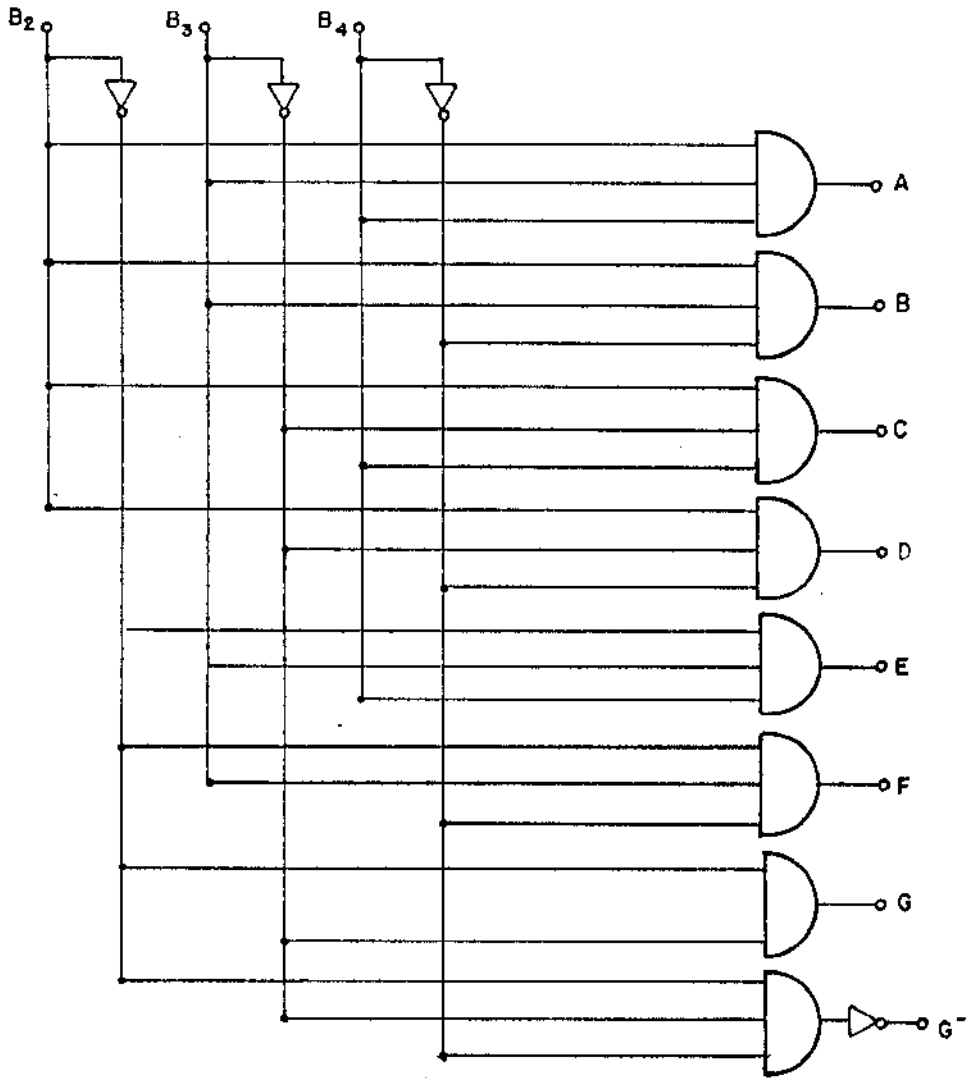


Figura 20 - Circuito Lógico da Malha Lógica de Comando.

A forma mais simples de se executar um projeto I²L é utilizar o método dos diagramas de barra ("stick diagrams") [24], onde podemos, uma vez terminada a execução do diagrama, passar diretamente ao "lay-out" do circuito integrado. A seguir descreveremos, brevemente, o procedimento usado na confecção do diagrama de barras.

A porta I^2L é representada por uma linha vertical, sendo os contatos de base e coletor (entrada e saída das portas) representado por cruces (X) e círculos (O); respectivamente. Na figura 21 temos um transistor I^2L multicoletor, com sua respectiva representação por um diagrama de barras. O posicionamento dos contatos é totalmente livre, sendo que a sua definição dar-se-á de forma a tornar o "lay-out" o mais compacto possível. Da mesma forma, a ordem de posicionamento das portas é escolhida visando a maior compactação do circuito. A disposição final é obtida por meio de tentativas.

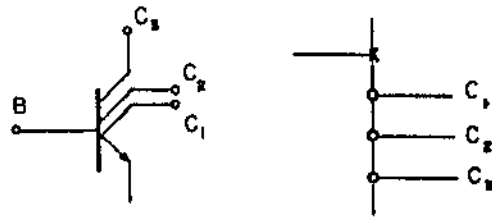


Figura 21 - Diagrama de barras de uma porta I^2L .

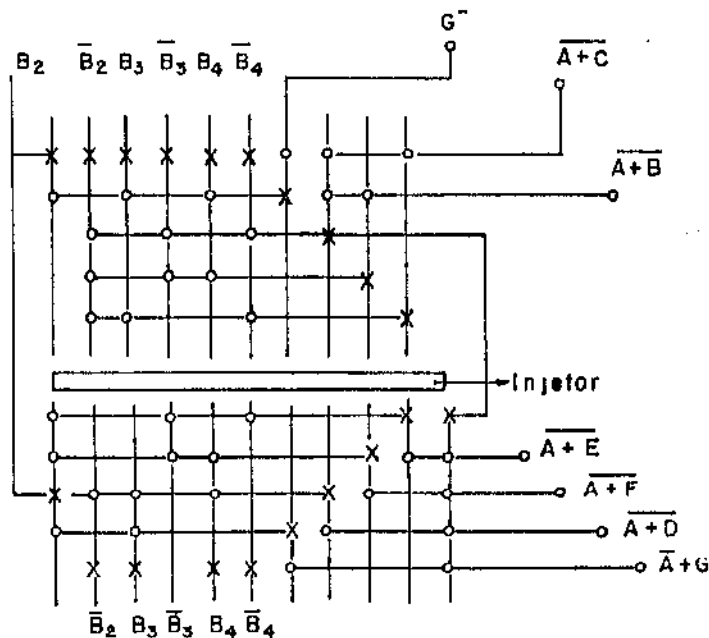


Figura 22 - Diagrama de barras da malha lógica de comando.

Na figura 22 temos o diagrama de barras final do circuito que realiza as funções lógicas apresentadas na figura 20. Deve-se observar que as conexões horizontais são realizadas através de linhas de metalização.

Com o projeto da malha lógica de comando terminamos a parte relativa aos projetos dos circuitos digitais, sendo que todos os sinais que vão comandar os conversores D/A já estão disponíveis:

- diretamente da memória temos os sinais B_1 , B_5 , B_6 , B_7 e B_8 .
- da malha lógica de comando temos os sinais A, B, C, D, E, F, G e G' .

Na figura 23 temos o desenho do "lay-out final" do circuito de recepção e controle, em um chip de $3 \times 3 \text{ mm}^2$. Na confecção deste "lay-out" foram observadas as seguintes regras de projeto:

- 1) Distância entre duas difusões: $10 \mu\text{m}$.
- 2) Distância entre duas linhas de metal: $20 \mu\text{m}$.
- 3) Distância entre um contato e a difusão na qual o contato está localizado: $10 \mu\text{m}$.
- 4) "Overlap" de linha de metalização na cobertura do contato: $5 \mu\text{m}$.
- 5) Menor dimensão possível para um contato ou uma linha de difusão: $10 \times 10 \mu\text{m}^2$.
- 6) Distância mínima entre um "PAD" de soldagem e uma linha de metalização não ligada a este "PAD": $50 \mu\text{m}$.

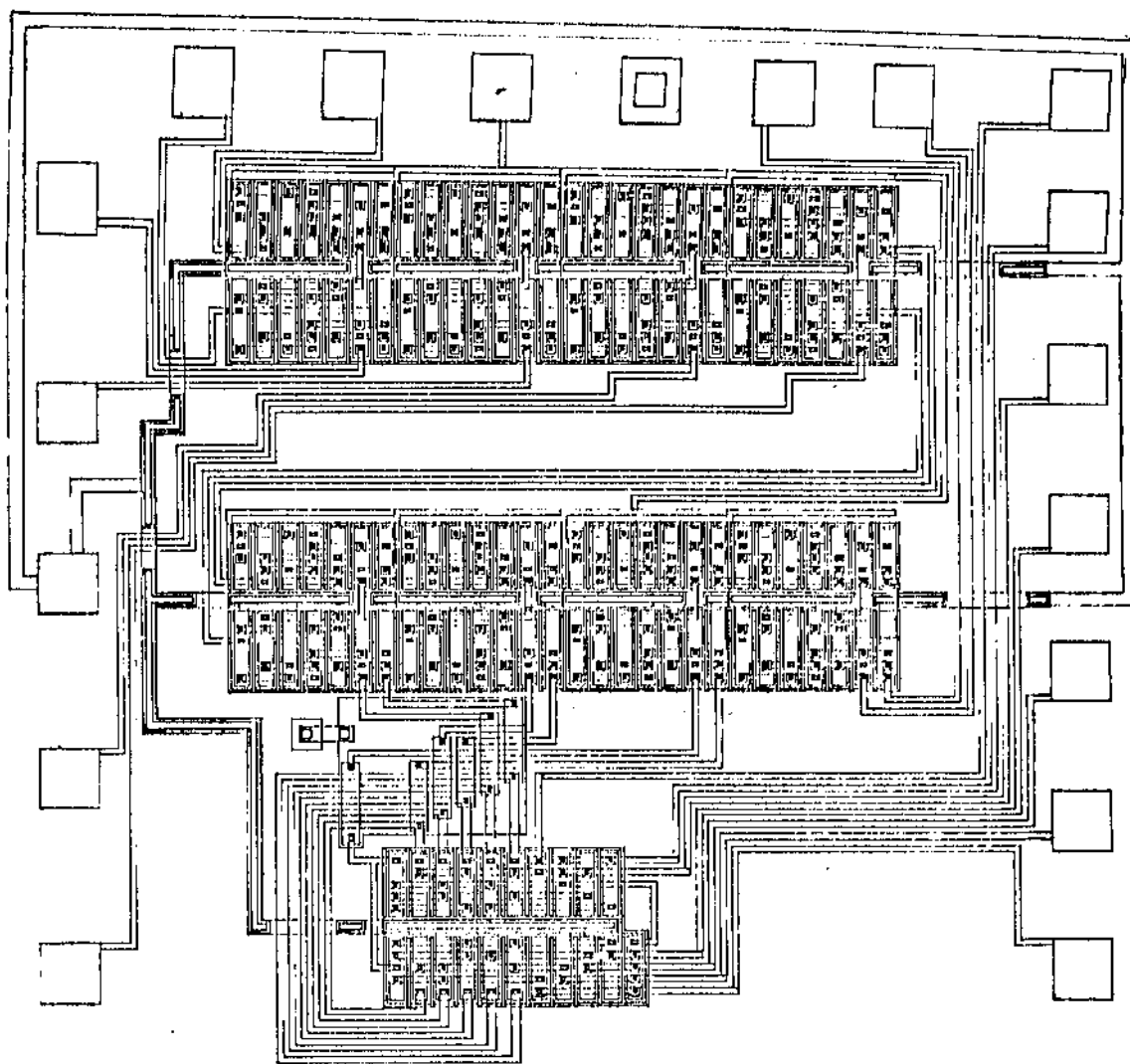


Figura 23 - "Lay-out" do "chip" que realiza as funções de recepção e controle, em tecnologia I²L.

No próximo capítulo passaremos a discutir a parte mais importante (e também a mais complexa) do circuito do decodificador, que são os circuitos analógicos que realizam a conversão D/A.

CAPÍTULO V

CIRCUITOS DE CONVERSÃO D/A

5.1 Conversores do Tipo R-2R

O esquema básico de um conversor D/A de 6 bits é apresentado na figura 24. São utilizadas 6 fontes de corrente com peso binário e seis chaves, que são usadas para ligar essas fontes de corrente ao terminal de saída do conversor, ou ao terra do circuito. Se a chave B_i (controlada pelo bit B_i) é acionada, temos uma corrente de valor 2^i sendo adicionada à corrente de saída do CDA (conversor digital/analógico) enquanto que, se a chave é desligada, a corrente de valor 2^i é retirada do terra do circuito. A saída do circuito é a soma de todas as correntes correspondentes às chaves ligadas. Dessa forma, a corrente de saída é dada por

$$I_s = I_0 (B_0 \cdot 2^0 + B_1 \cdot 2^1 + B_2 \cdot 2^2 + \dots + B_n \cdot 2^n) \quad (5.1)$$

onde I_0 - corrente no bit menos significativo (B_0)
 B_i - $\begin{cases} \text{igual a 1 se a chave está ligada} \\ \text{igual a zero se a chave está desligada} \end{cases}$

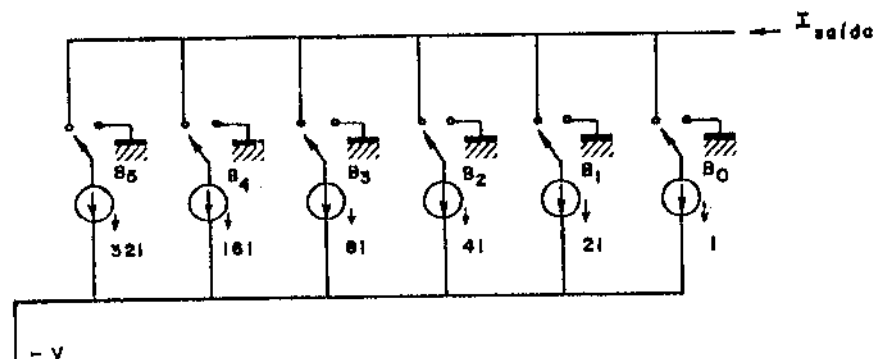


Figura 24 - Esquema básico de um conversor D/A.

Para a geração das correntes de peso binário, uma das técnicas mais eficientes e, conseqüentemente, uma das mais utilizadas pelos projetistas de

circuitos integrados monolíticos, é a confecção de malhas R-2R. Isto deve-se ao fato de que a precisão da geração das correntes de peso binário baseia-se na razão de resistores, e não nos seus valores absolutos, o que é altamente desejável na confecção de circuitos integrados [25], [26], [27] e [28].

Na figura 25 temos uma malha R-2R, com os valores das correntes em cada um dos ramos do circuito. Como podemos notar, a não ser pelos dois últimos ramos à direita (onde as correntes são de igual valor), as correntes distribuem-se nos ramos 2R de forma binária.

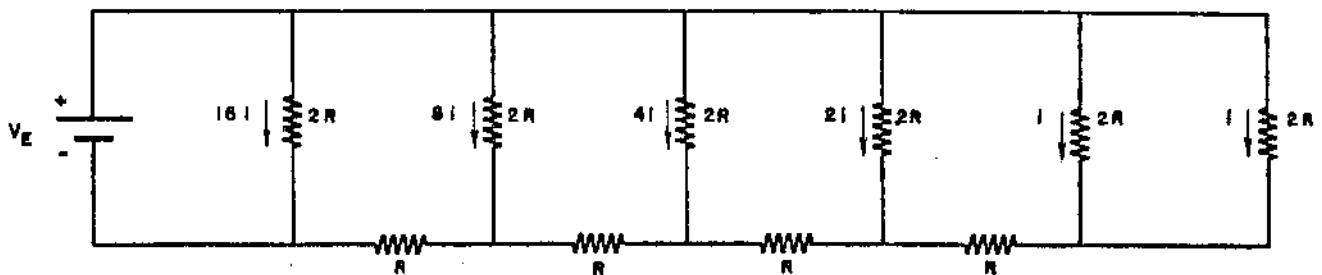


Figura 25 - Malha R-2R.

Pode-se facilmente verificar, por inspeção, que o circuito da malha R-2R pode ser aumentado para a esquerda (com a introdução de novos pares R-2R), sendo que todos os novos ramos do tipo 2R conduzirão o dobro da corrente do ramo imediatamente anterior. Entretanto, para a utilização das correntes de peso binário geradas pela malha R-2R, é necessário a introdução de um elemento que permita "retirar" a corrente binária da malha e que mantenha a mesma tensão V_E nos ramos 2R. A forma mais utilizada para resolver este problema é a utilização de transistores, como indicado na figura 26.

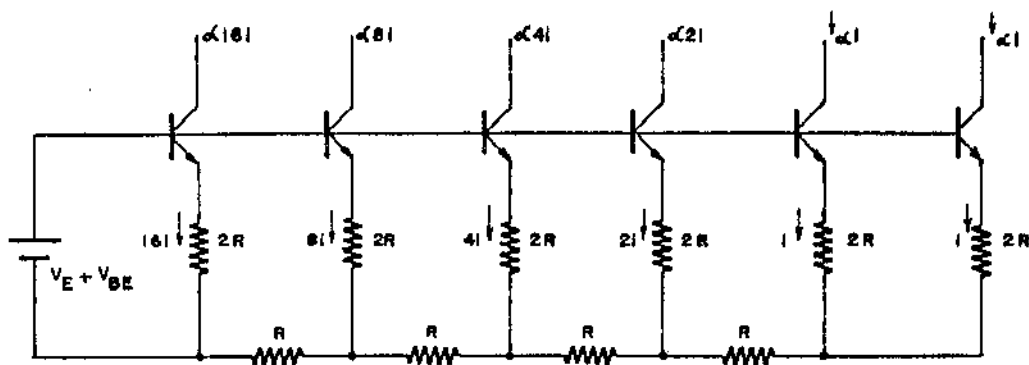


Figura 26 - Malha R-2R com Transistores.

Se tivermos todas as tensões base-emissor dos transistores iguais, teremos um circuito equivalente ao da figura 25, sendo que, no entanto, temos disponíveis, nos coletores dos transistores, as correntes de peso binário geradas nos ramos 2R multiplicadas pelo ganho em base comum dos transistores, α_F . Como os valores de α_F de transistores integrados apresentam um ótimo casamento (um descasamento de 10% em β_F causa um descasamento de apenas 0,09% em α_F), as correntes que aparecem nos coletores dos transistores praticamente mantêm as relações de peso binário.

Porém, como os transistores trabalham com correntes diferentes, as tensões V_{BE} 's também são diferentes, o que impede a utilização imediata do circuito da figura 26. Assumindo que as correntes nos ramos 2R são de peso binário, devemos procurar uma forma de compensar as variações das tensões base-emissor. A relação básica que descreve a relação entre a corrente de coletor e a tensão base-emissor de um transistor é dada por:

$$I_C = J_s \cdot \exp\left(\frac{V_{BE}}{V_T}\right) \cdot A \quad (5.2)$$

onde J_s - densidade de corrente de saturação do transistor
 V_T - tensão termodinâmica ($V_T = k \cdot T/q$)
 A - área do transistor

Logo, para dois transistores trabalhando com correntes de coletor iguais a I_{C1} e I_{C2} , podemos escrever:

$$I_{C2}/I_{C1} = (A_2/A_1) \cdot \exp\left(\frac{V_{BE2} - V_{BE1}}{V_T}\right) \quad (5.3)$$

Portanto,

$$\Delta V_{BE} = V_{BE2} - V_{BE1} \doteq V_T \ln \frac{J_2}{J_1} \quad (5.4)$$

Examinando a expressão 5.4 vemos que existe uma forma simples de fazer com que as diferenças dos V_{BE} 's entre os transistores da malha R-2R seja nula, sendo que, para isso, basta que as densidades de correntes nos transistores seja mantida constante. No caso da malha R-2R, isso implica na cons

trução de transistores com áreas de peso binário, como mostra a figura 27.

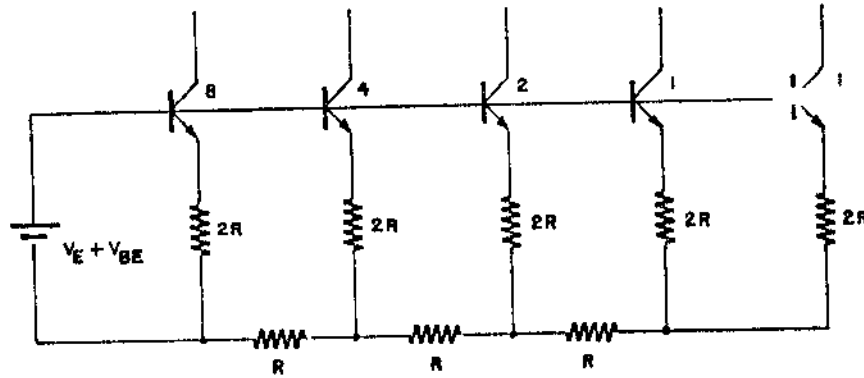


Figura 27 - Malha R-2R com transistores de área com peso binário.

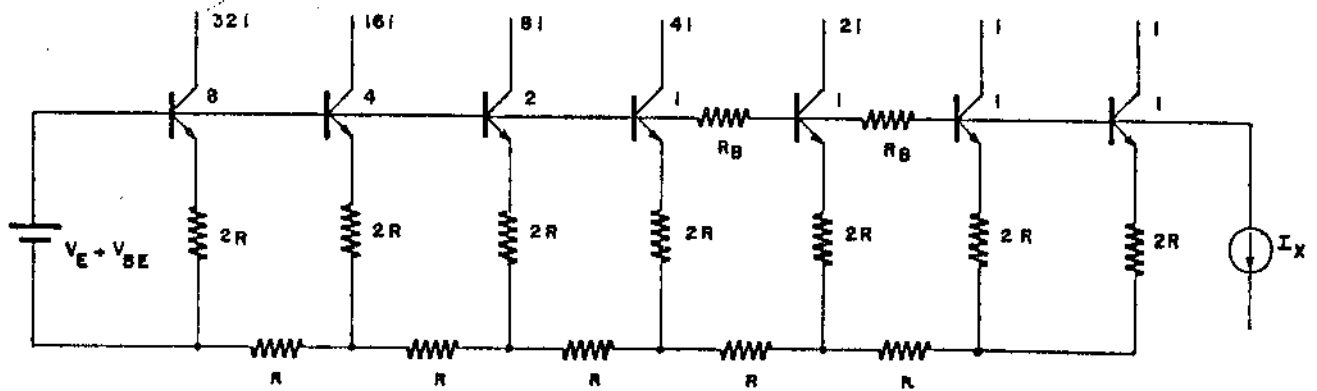
Entretanto, esta solução não se mostra viável quando na construção de conversores D/A com mais de 4 bits (onde já seria necessário confeccionar transistores com razões de área de 1:16).

No caso do decodificador que estamos projetando, são necessários conversores de 6 bits, o que nos obriga a utilizar outra técnica para a compensação do V_{BE} 's. Devemos obter um circuito que realize a compensação dos V_{BE} 's para qualquer temperatura do circuito, uma vez que o ΔV_{BE} entre dois transistores é dependente da temperatura.

Utilizando a expressão 5.4, vemos que o ΔV_{BE} de dois transistores iguais, trabalhando com correntes binárias é dado por:

$$\Delta V_{BE} = (kT/q) \ln 2 \quad (5.5)$$

Como vemos, essa tensão é proporcional à temperatura absoluta (PTAT). Logo, se gerarmos uma corrente que seja PTAT e a passarmos por um resistor de valor adequado, teremos, sobre esse resistor, uma queda de tensão igual a ΔV_{BE} , compensando a diferença entre os V_{BE} 's dos transistores, qualquer que seja a temperatura do circuito. Na figura 28 vemos um circuito que utiliza a técnica acima descrita para a correção de ΔV_{BE} .



$$I_X = \frac{V_T \ln 2}{R_B} \quad ; \quad R_B \cdot I_X = (kT/q) \ln 2$$

Figura 28 - Emprego de uma corrente PTAT para a geração de uma tensão para correção de ΔV_{BE} .

Para a geração da corrente PTAT existem vários circuitos possíveis de serem utilizados [29], [30]. O circuito por nós escolhido é o chamado "cross-quad", que se caracteriza por ser extremamente simples e altamente preciso [31]. Na figura 29 temos o circuito que gera a corrente PTAT. Os transistores T_1 , T_2 e T_3 são iguais e o transistor T_4 tem uma área p vezes maior do que a área das outras transistores. Os transistores T_2 e T_3 trabalham com a mesma corrente i , conseqüentemente, possuem V_{BE} 's iguais. Os transistores T_1 e T_4 também trabalham com a mesma corrente mas, como as suas áreas estão na relação de $1:p$, temos

$$V_{BE1} - V_{BE4} = (kT/q) \ln p \quad (5.6)$$

Aplicando a leis das malhas no circuito da figura 29 vem que:

$$-V_{BE1} + V_{BE2} + V_{BE4} - V_{BE3} + V_R = 0 \quad (5.7)$$

Como $V_{BE2} = V_{BE3}$, podemos escrever

$$V_R = V_{BE1} - V_{BE4} = (kT/q) \ln p \quad (5.8)$$

Portanto, a corrente de emissor de T_4 fica definida como:

$$I_{E4} = (kT/qR) \ln p \quad (5.9)$$

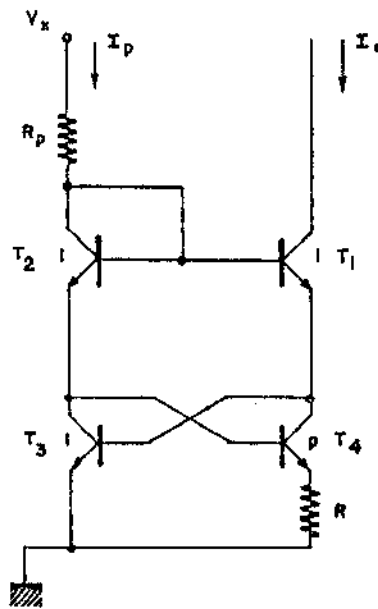


Figura 29 - Célula "cross-quad", usada para gerar correntes PTAT

Na verdade a análise feita está simplificada, já que foram desprezadas todas as correntes de base. Uma análise mais completa nos leva a:

$$I_R = I_{C4} + I_{B4} \quad (5.10)$$

Como $I_{E1} = I_{C4} + I_{B3}$, para que os transistores T_1 e T_4 trabalhem com a mesma corrente (o que força $V_R = V_T \cdot \ln p$), temos que ter $I_{C1} = I_{C4}$.

Substituindo I_{C4} vem que:

$$I_{C1} = I_{E1} - I_{B3} = I_{C1} + (I_{B1} - I_{B3}) \quad (5.11)$$

Logo, para que a tensão V_R seja perfeitamente PTAT, temos que ter $I_{B1} = I_{B3}$, ou seja, os dois ramos do circuito devem trabalhar com a mesma corrente. Para que isto ocorra, é necessário que o comportamento térmico da corrente de polarização seja PTAT, para que a compensação das correntes de base ocorra em todo o intervalo térmico de operação do circuito.

Para valores altos de β , os desvios que ocorrem na corrente PTAT devido às diferenças entre I_{B1} e I_{B3} são pequenos, praticamente não afetando o desempenho do circuito de compensação de ΔV_{BE} .

Nosso objetivo é, no entanto, tentar melhorar ainda mais o desempenho do circuito, sem que, com isso, tenhamos que torná-lo excessivamente complexo.

A seguir apresentamos uma proposta simples para melhorar o desempenho do circuito de compensação de ΔV_{BE} . Isso será realizado através de mudanças no circuito "cross-quad", com um ajuste da tensão de polarização V_x e da introdução de dois transistores no circuito original.

A corrente de polarização é dada por

$$I_p = \frac{V_x - (V_{BE1} + V_{BE3})}{R_p} \quad (5.12)$$

Como podemos fazer uma aproximação para $V_{BE}(T)$ da forma

$$V_{BE}(T) \approx V_{BE}(T_R) - \gamma (T - T_R) \quad (5.13)$$

onde γ assume o valor clássico de $\approx 2 \text{ mV}/^\circ\text{C}$

temos

$$I_p \approx \frac{V_x - 2 V_{BE}(T_R)}{R_p} + \frac{2 \cdot \gamma (T - T_R)}{R_p} \quad (5.14)$$

Para que a corrente I_p tenha o mesmo comportamento térmico que I_o , devemos fazer com que os seus coeficientes térmicos sejam iguais. Dessa forma temos que

$$\frac{2 \cdot \gamma}{R_p} = \frac{k}{q \cdot R} \ln p \quad \frac{R_p}{R} = \frac{2 \cdot \gamma \cdot q}{k \cdot \ln p} \quad (5.15)$$

Com R_p determinado, devemos fazer com que na temperatura de referência T_R os valores de I_p e I_o sejam iguais. Portanto

$$\frac{V_x - 2 \cdot V_{BE}(T_R)}{R_p} = \frac{k \cdot T_R}{q \cdot R} \ln p \quad (5.16)$$

$$V_x = \frac{R_p}{R} \cdot \frac{k \cdot T_R}{q} \ln p + 2 \cdot V_{BE}(T_R) = 2 \cdot \gamma \cdot T_R + 2 \cdot V_{BE}(T_R) \quad (5.17)$$

Para a obtenção da tensão V_x basta utilizarmos um divisor resistivo entre a fonte de alimentação e o terra, uma vez que as características dessa fonte (normalmente um regulador de tensão integrado com coeficiente térmico da tensão de saída de aproximadamente 300 ppm/°C) são mais que suficientes para a compensação desejada, que visa apenas tentar uma compensação das correntes de base, usando uma aproximação linear para as variações de V_{BE} com a temperatura. Devemos ressaltar que, apesar de melhorar muito o desempenho do circuito, a compensação utilizada está longe do ideal, já que uma série de efeitos de segunda ordem foram desprezados. Esses efeitos de segunda ordem serão tratados com detalhes numa das próximas seções, quando faremos um estudo de referências de tensão do tipo "band-gap".

Além disso, devemos lembrar que, possivelmente devido a efeitos de "stress" mecânico [32], a própria tensão ΔV_{BE} apresenta um comportamento não ideal (PTAT), sendo verificados desvios quando realizamos medidas experimentais. Na figura 30 vemos um gráfico do desvio (ΔT) para valores medidos e os calculados de $\Delta V_{BE} \times T$, em transistores NPN, trabalhando com densidades de corrente na relação de 1:8. A expressão usada para o cálculo de ΔT foi

$$\Delta T = \frac{\Delta V_{BE}(T)}{\Delta V_{BE}(T_R)} \cdot T_R - T \quad (5.18)$$

onde T_R é a temperatura de referência, no caso 40°C.

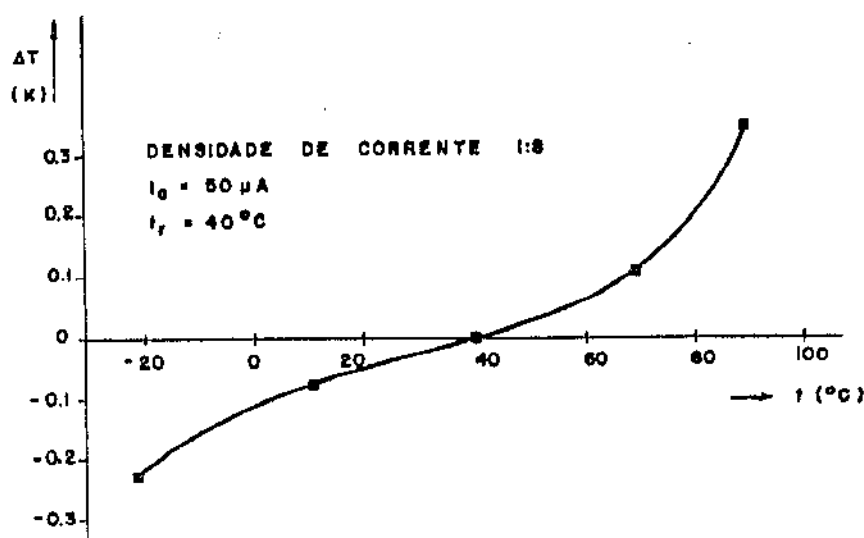


Figura 30 - Desvio medido na tensão ΔV_{BE} em relação ao comportamento PTAT ideal.

Todo o esforço até agora descrito foi no sentido de obter as correntes de coletor dos transistores T_1 e T_4 iguais, de forma a termos um comportamento PTAT na corrente de saída I_0 . No entanto, o principal objetivo do circuito para correção de ΔV_{BE} é a obtenção de uma corrente que, quando passada através de um resistor igual ao existente na célula "cross-quad", gere uma tensão igual à existente sobre esse resistor. Ora, isto implica em que a corrente de coletor de T_1 seja igual à corrente de emissor de T_4 , o que não é compatível com a exigência anterior, que impõe $I_{C1} = I_{C4}$.

Dessa forma, apesar da corrente de saída ter um comportamento térmico adequado, o seu valor não é exatamente o desejado, já que

$$I_0 = \alpha I_{C4} \quad (5.19)$$

Com isso, a queda de tensão sobre os resistores inter-bases será menor do que V_R (na verdade será igual a αV_R), provocando um erro nas correntes de peso binário. Para diminuir o erro, propomos uma modificação no circuito convencional de geração de corrente PTAT, com a introdução de dois transistores, como indicado na figura 31.

Os transistores T_5 e T_6 fornecem as correntes de base I_{B1} e I_{B2} (que devem ser iguais). O transistor T_6 é conectado de forma que seu coletor conduz uma corrente igual a $\alpha I_{B2} = \alpha I_{B1}$, fazendo com que a corrente I_0 seja dada por

$$I_0^* = I_{C1} + \alpha I_{B1} = \alpha I_{C4} + \alpha I_{B4} \quad (5.20)$$

Com esse artifício, a razão entre os erros cometidos em ambos os casos é muito significativa, uma vez que, com a introdução dos dois transistores, o erro fica dividido aproximadamente por 2β .

No circuito convencional, a diferença entre a corrente desejada (I_{E4}) e a corrente de saída I_0 é dada por:

$$\Delta I_1 = I_{E4} - I_0 = I_{C4} (1 - \alpha) + I_{B4} \quad (5.21)$$

Para o circuito com correção, desde que a relação $I_{C1} = I_{C4}$ é verificada, temos que

$$\Delta I_2 = I_{E4} - I_0^* = (1 - \alpha) (I_{C4} + I_{B4}) \quad (5.22)$$

Logo, fazendo a razão entre os erros cometidos em cada um dos casos, vem que

$$\Delta I_1 / \Delta I_2 = \frac{\beta (2\beta + 1)}{\beta + 1} \quad (5.23)$$

que, para valores de $\beta \gg 1$, pode ser aproximado para

$$\Delta I_1 / \Delta I_2 \approx 2\beta. \quad (5.24)$$

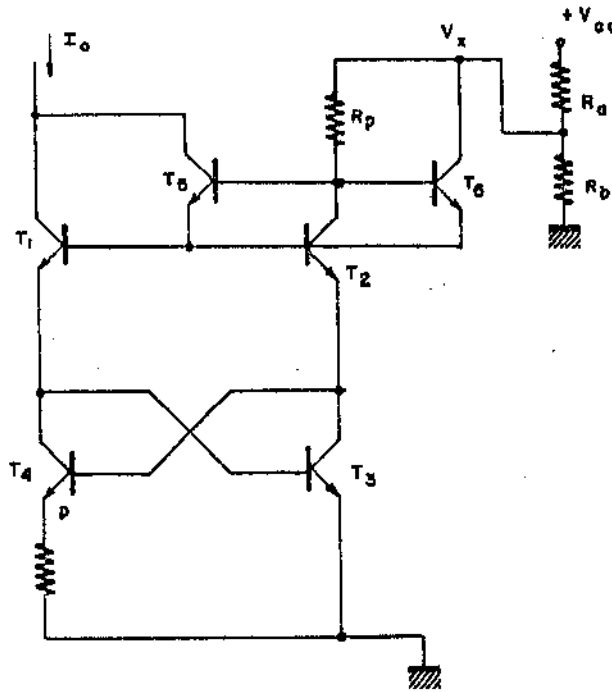


Figura 31 - Circuito "cross-quad" modificado.

Na figura 32 apresentamos uma comparação entre os resultados obtidos em simulação por computador dos dois circuitos anteriormente apresentados: o circuito convencional e o circuito da figura 31. Como podemos observar, os resultados obtidos com o circuito da figura 31 são muito melhores que os anteriores, justificando plenamente a sua utilização, já que a melhoria do desempenho foi conseguida com a introdução de apenas dois transistores e dois resistores.

Neste ponto é interessante notarmos que a precisão do circuito praticamente não é afetada pelas variações dos valores dos resistores com a temperatura, uma vez que quem determina o desempenho do circuito são as razões R_p/R e R_a/R_b que, como já havíamos anteriormente exposto, apresentam baixos coeficientes térmicos.

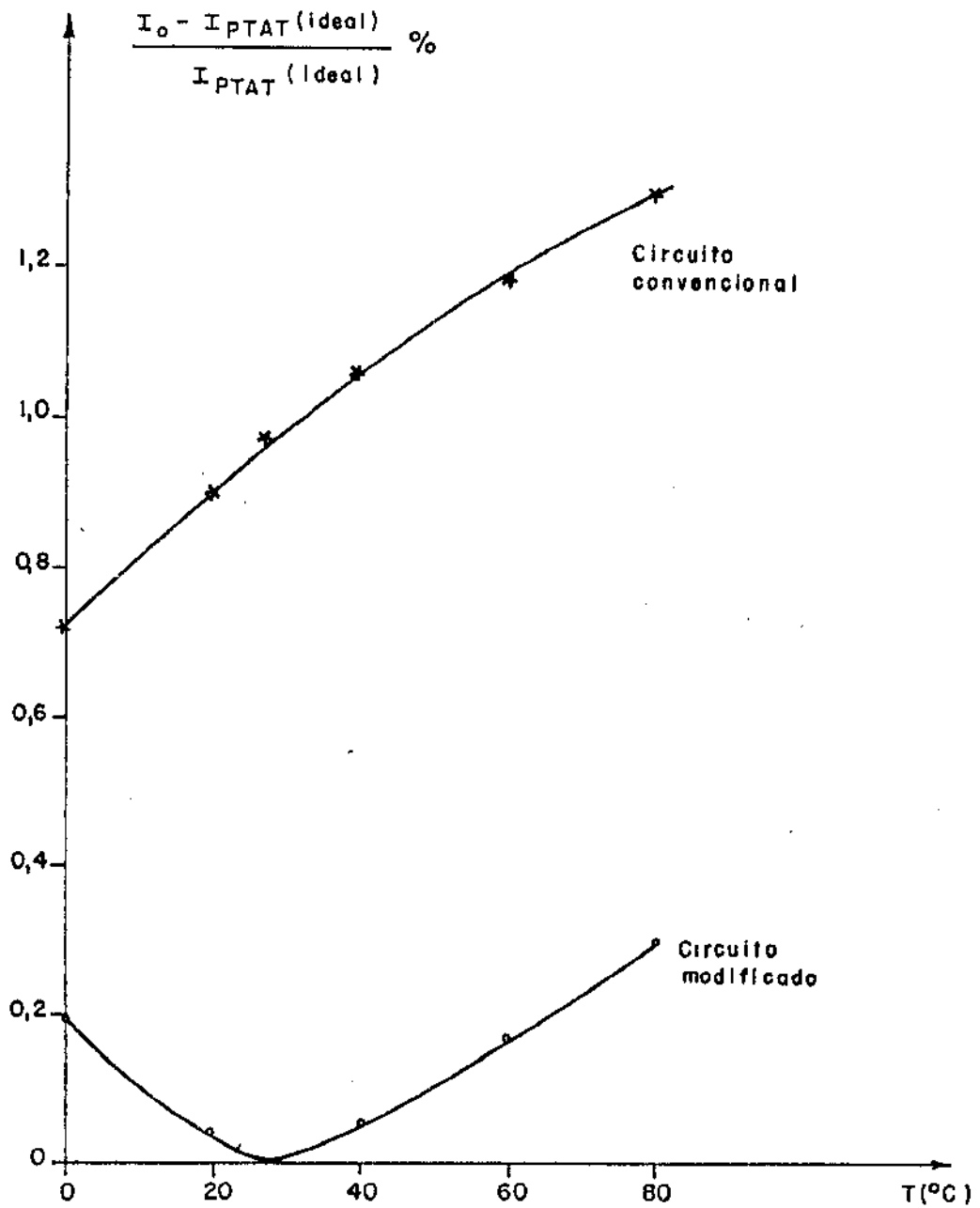


Figura 32 - Comparação entre os resultados obtidos por simulação em computador para os dois circuitos "cross-quad".

Neste ponto, com o gerador de correntes PTAT otimizado, convém analisarmos que outros tipos de erro podem ocorrer na compensação de ΔV_{BE} através de resistores inter-bases. Analisando o circuito da figura 28 vemos que a queda de tensão nos resistores inter-bases não é causada apenas pela corrente do gerador PTAT, mas também pelas correntes de base de todos os transistores que estão à direita do primeiro resistor R_B . Na verdade, a queda de tensão de um resistor colocado na base do transistor do bit B_i será dada por:

$$\Delta V_{R_i} = R_B \left[(kT/qR_B) \ln 2 + \sum_{j=1}^i I_{B_j} \right] \quad (5.25)$$

Normalmente, o fato de usarmos a corrente do gerador PTAT muito maior do que as correntes de base ($\frac{V_T}{R_B} \ln 2 \gg \sum I_{B_j}$) já reduz muito o erro, mas, sem dúvida, o fato de usarmos o menor número possível de resistores inter-bases aumentará a precisão do circuito de geração de correntes binárias, principalmente pelo fato de que os erros nos resistores se acumulam, fazendo com que a precisão na distribuição das correntes de peso binário seja menor. Com esse objetivo, podemos fazer uma alteração interessante no circuito da figura 28. Em vez de utilizarmos dois resistores inter-bases, fazemos um jogo com resistores e áreas, como indicado na figura 33.

Como se pode observar, a última divisão de correntes é feita através de transistores com razões de área 2:1, sendo que, no entanto, a queda de tensão no resistor R_B deve ser tal que compense a variação dos V_{BE} 's entre os transistores que trabalham com correntes iguais a $4i$ e $2i$ e possuem razões de área 1:2.

Logo, temos que:

$$\Delta V_{BE} = (kT/q) \ln \frac{4i/A}{2i/2A} = (kT/q) \ln 4 \quad (5.26)$$

Com base nesse resultado vemos que, para obter a correção de ΔV_{BE} para o circuito da figura 33, basta utilizarmos $p = 4$ no gerador de corrente PTAT da figura 31, construindo um transistor com o quádruplo da área dos outros.

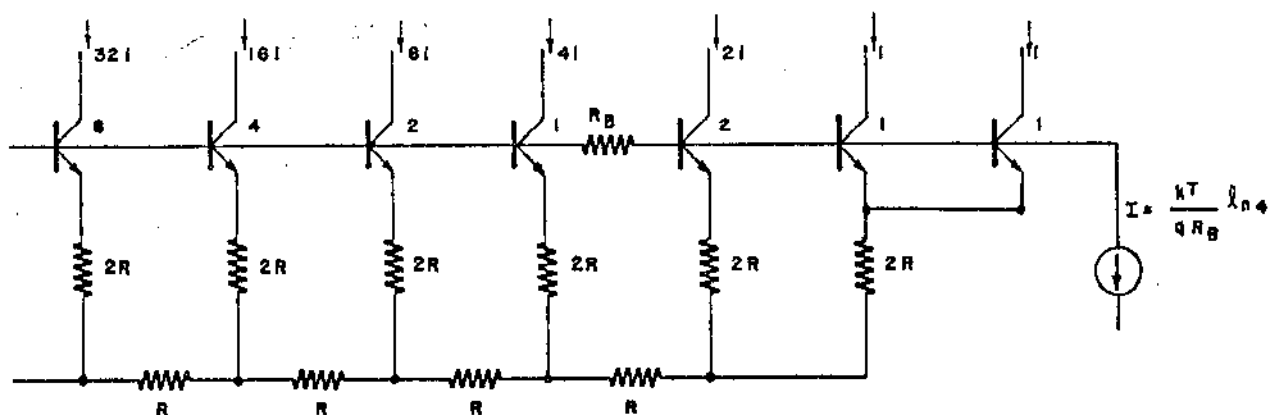


Figura 33 - Circuito com apenas 1 resistor inter-base.

Com isso terminamos o projeto do circuito básico para a geração de correntes binárias. O circuito final, que será usado nos dois conversores D/A, é o apresentado na figura 34.

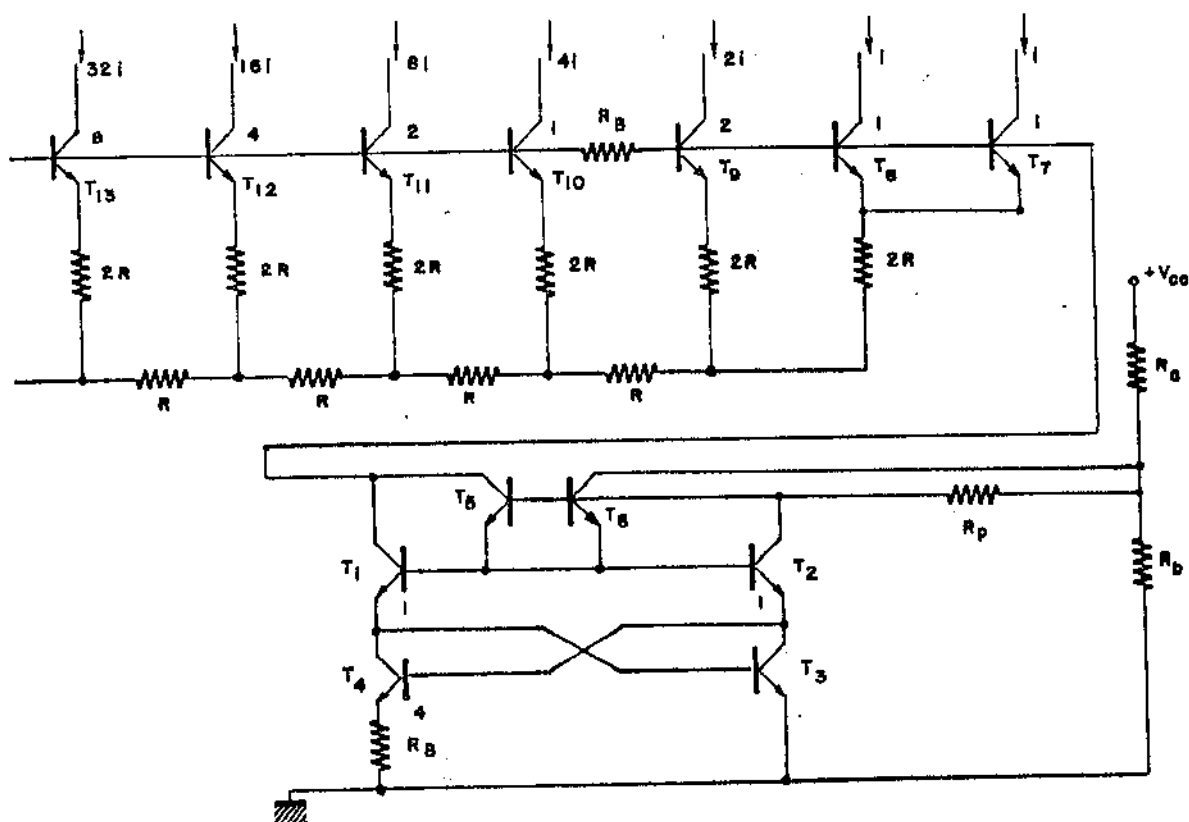


Figura 34 - Circuito completo do bloco de geração de correntes binárias.

5.2 Geração das Correntes de Referência

Nos esquemas apresentados anteriormente, para o estabelecimento das correntes de peso binário na malha R-2R com transistores, era utilizada uma fonte de tensão conectada entre a base dos transistores e o final da malha R-2R. Isso, no entanto, implica em uma série de problemas, uma vez que as variações de V_{BE} com a temperatura causariam variações na corrente de saída do conversor. O mesmo ocorreria em relação aos resistores da malha R-2R, uma vez que, embora a distribuição com peso binário das correntes em uma malha R-2R só dependa da razão dos valores de R e 2R, os seus valores absolutos podem depender dos valores dos resistores. Este é o caso dos circuitos apresentados, onde a corrente no bit mais significativo do conversor D/A é dada por

$$I = (V_E - V_{BE})/R \quad (5.27)$$

Uma técnica como essa, ainda que utilize uma fonte de tensão V_E com características que permitam compensar as variações de V_{BE} com a temperatura, inviabilizaria totalmente a utilização de resistores difundidos ou implantados na malha R-2R, devido ao alto coeficiente térmico que esses resistores apresentam. Dessa forma, vemos ser necessário empregar algum tipo de estrutura que permita obter um valor de corrente constante na malha R-2R, independentemente das variações de temperatura.

Uma das formas mais precisas e utilizadas para a geração da corrente de referência é a utilização de uma célula falsa ("dummy cell"), na qual se controla, através de uma malha de controle realimentada, a corrente no bit mais significativo da malha R-2R. Na figura 35 apresentamos o circuito que vamos usar na geração da corrente de referência do bit mais significativo.

O transistor T_{14} é igual ao primeiro transistor da malha R-2R; de forma que a corrente que circular por ele será a própria corrente do bit mais significativo. O circuito é arranjado de forma que a corrente a ser espelhada para o bit mais significativo é usada para produzir uma tensão sobre um resistor R_R . Esta tensão é comparada com V_{REF} e a diferença dessas tensões é aplicada à entrada de um amplificador operacional que, através de uma realimentação negativa, força que a corrente no bit mais significativo seja igual a V_{REF}/R_R . Dessa forma, independentemente das variações de V_{BE} ,

da tensão de polarização V_p e dos valores dos resistores da malha R-2R, desde que V_{REF} e R_R sejam constantes, a corrente no bit mais significativo também será constante e de valor igual a V_{REF}/R_R .

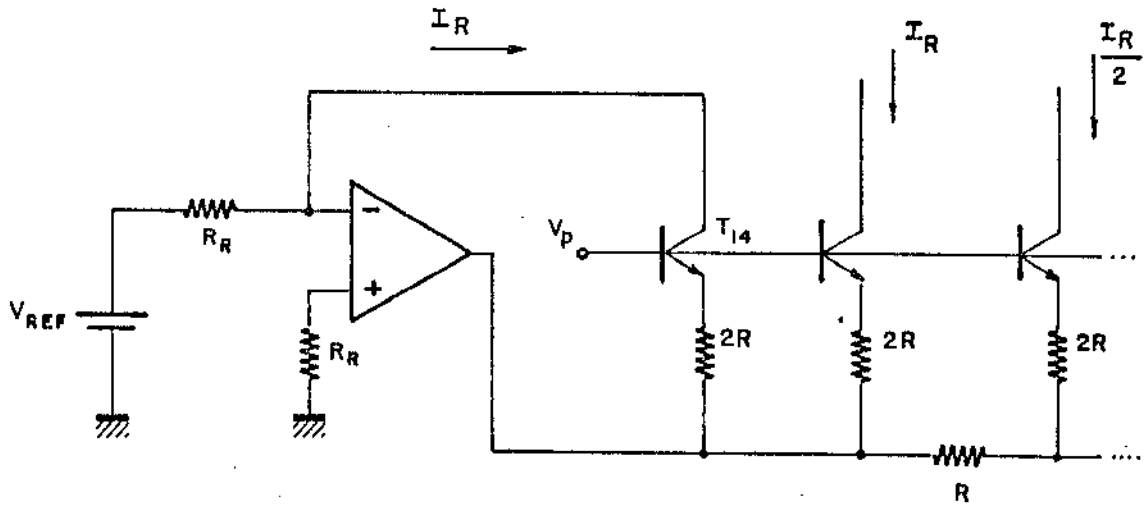


Figura 35 - Esquema utilizado na geração da corrente de referência do conversor D/A.

Assumindo que as variações de temperatura são as mesmas em todos os elementos da malha R-2R, o único parâmetro que nos interessa é a razão entre os valores dos resistores R-2R e o coeficiente térmico diferencial das tensões V_{BE} 's, sendo que, normalmente, estes parâmetros apresentam um excelente casamento em circuitos integrados monolíticos.

No entanto, ainda precisamos conseguir dois componentes com alta precisão absoluta:

- a) o resistor R_R , usado para definir a corrente de fundo de escala do conversor D/A, é externo ao circuito; com isso, basta escolhermos um resistor com baixo coeficiente de temperatura.

b) a fonte de referência V_{REF} que, devido a sua complexidade, será estudada separadamente em uma próxima seção.

Uma vez definida a forma como será realizado o controle e a geração da corrente de referência, vamos estudar o bloco responsável pelo desempenho do circuito, o amplificador operacional. No circuito da figura 35, considerando um amplificador operacional não ideal, podemos calcular a corrente I_R como:

$$I_R = (V_{REF}/R_R) + I_{OS} + (V_{OS}/R_R) - (V_O/R_R \cdot A_{VOL}) \quad (5.28)$$

onde

I_{OS} - Corrente de "off-set" na entrada do amplificador operacional

V_{OS} - Tensão de "off-set" na entrada

A_{VOL} - Ganho em malha aberta

V_O - Tensão na saída

Como vemos pela equação (5.28), temos três termos que contribuem com um erro na corrente de referência I_R que, idealmente, deveria ser igual a V_{REF}/R_R . Não devemos nos esquecer, entretanto, que não é o valor absoluto de I_R (que pode ser diferente de V_{REF}/R_R) que nos interessa, mas sim a sua estabilidade com a temperatura. Dessa forma vemos que o parâmetro que deve ser estudado é dI_R/dT .

Supondo coeficientes térmicos nulos para a tensão de referência V_{REF} e para o resistor R_R , temos que:

$$\frac{dI_R}{dT} = \frac{dI_{OS}}{dT} + \frac{1}{R_R} \cdot \frac{dV_{OS}}{dT} + \frac{1}{R_R} \frac{d}{dT} \left(\frac{V_O}{A_{VOL}} \right) \quad (5.29)$$

O último termo desta equação, que é dado por

$$\frac{1}{R_R} \cdot \frac{d}{dT} \left(\frac{V_O}{A_{VOL}} \right) = \frac{1}{R_R} \left(\frac{V_O}{A_{VOL}} \right) \cdot \left(\frac{dA_{VOL}}{dT} \right) \frac{1}{A_{VOL}} \quad (5.30)$$

é muito pequeno em relação aos demais, uma vez que o valor do ganho em malha aberta de um amplificador operacional é muito alto (da ordem de 10^5 a

10^6) e também $dA_{VOL}/dT \ll A_{VOL}$ (dA_{VOL}/dT é, tipicamente, da ordem de $-0,1 \text{ dB}/^\circ\text{C}$).

Conseqüentemente, a estabilidade da corrente de referência I_R é função dos valores das derivas térmicas da corrente I_{OS} e da tensão V_{OS} . Portanto, o amplificador operacional a ser projetado deve apresentar características muito boas no estágio de entrada, uma vez que é praticamente este estágio que determina o desempenho global do amplificador operacional no que se refere aos parâmetros acima mencionados.

O esquema básico do estágio de entrada do amplificador operacional é apresentado na figura 36. Os transistores de entrada T_{35} e T_{36} formam um par cruzado [33]. Isso minimiza os erros de casamento entre os transistores do par, além de proporcionar uma melhor distribuição geométrica destes transistores, diminuindo, dessa forma, a influência dos gradientes de temperatura, que causam o aparecimento de tensões de "off-set", devido ao desbalanceamento térmico dos transistores do par diferencial de entrada.

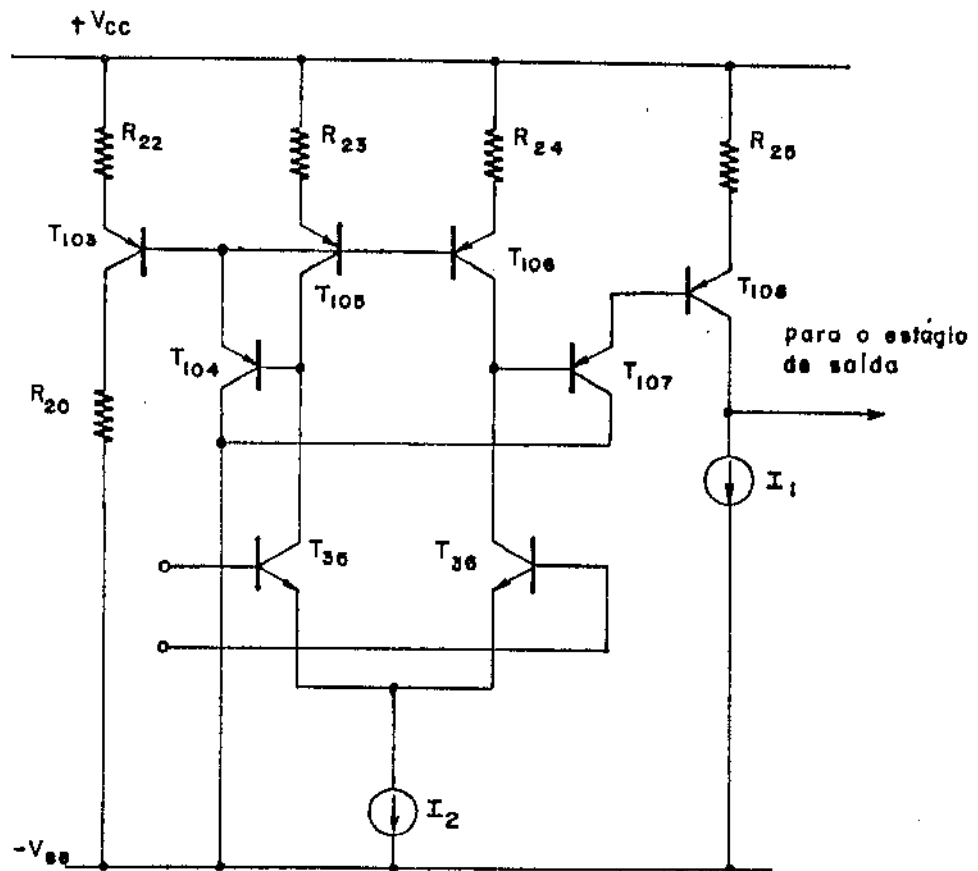


Figura 36 - Diagrama básico do estágio de entrada do amplificador operacional.

Na figura 37 vemos o resultado de medidas de $\sigma (\Delta I_C / I_C)$, realizadas em 67 "chips" no Laboratório de Eletrônica da Universidade de Delft, para vários pares de transistores convencionais (com áreas diferentes) e pares do tipo "cross-quad". Como se pode observar, os descasamentos entre os transistores diminui com o aumento da área de emissor, seguindo, de forma aproximada, a lei de que a tensão de "off-set" diminui com a raiz quadrada da razão do aumento de área [34]. Isso deve-se ao fato de que, dos vários parâmetros que contribuem para o aparecimento de tensões de "off-set" em um par diferencial, como variações dos perfis de dopagem, fugas na superfície, defeitos no cristal e alterações na geometria do dispositivo (devido à não homogeneidade dos processos de gravação fotolitográficos e dos ataques químicos) este último é, sem dúvida, o maior responsável.

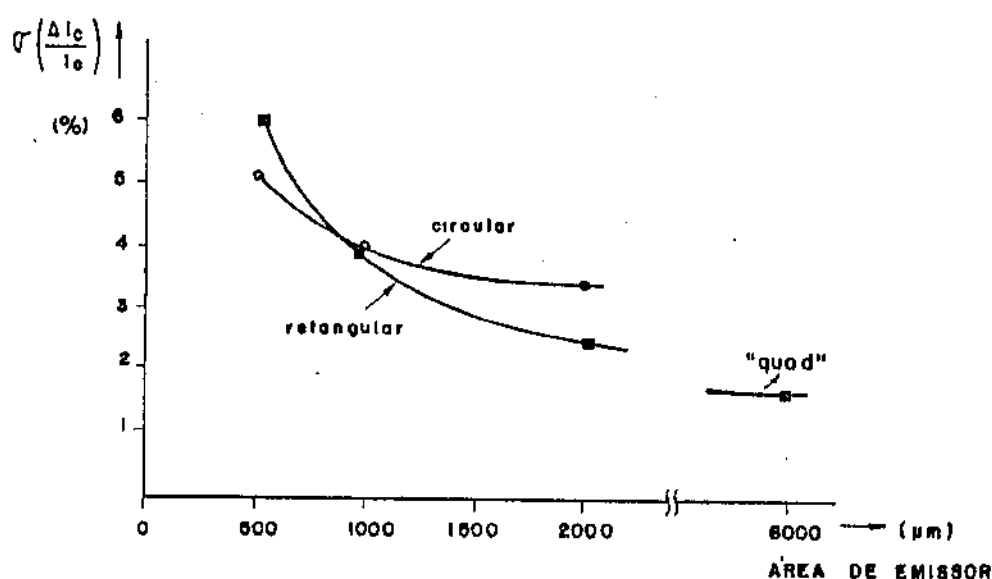


Figura 37 - Medida de $\Delta I_C / I_C$ em pares diferenciais com geometrias diversas.

Analisando os resultados das medidas, vemos que os pares cruzados apresentam um casamento de correntes de coletor apenas ligeiramente superior ao esperado em um par de transistores convencionais, com área igual à do par cruzado. Isso era esperado, pois as medidas foram realizadas em baixos níveis de corrente e, além disso, não havia outras fontes de calor no "chip", o que, certamente, possibilita uma ótima equalização de temperatura nos transistores do par. Normalmente, sob condições adversas, com a ocorrência de gradientes de temperatura ao longo do "chip", o par cruzado

apresenta um desempenho bem superior ao do par convencional.

Na figura 38 apresenta-se o resultado de um experimento realizado por nós, onde foram simulados gradientes de temperatura em um par convencional e um par cruzado, através da utilização de transistores Integrados do tipo CA 3086.

As medidas foram realizadas de acordo com o esquema da figura 39. Os "chips" 1 e 2 foram mantidos em temperaturas diferentes (a diferença de temperatura foi propositadamente alta, para que os efeitos ficassem bem evidenciados) e, através de uma chave (S_1), fazia-se com que os transistores de cada lado do par ficassem ou os dois no mesmo "chip" (par convencional), ou um em cada "chip" (par cruzado), mantendo, dessa maneira, as áreas de emissor constantes. Como podemos ver, o resultado obtido para o par cruzado é muito superior, mostrando claramente o porque da sua ampla utilização em amplificadores operacionais de precisão. Devemos ressaltar que para realizarmos as medidas, foi necessário encontrar dois "chips" que apresentassem um bom casamento entre os seus transistores, o que só foi conseguido após uma longa e tediosa escolha entre aproximadamente 40 circuitos CA 3086.

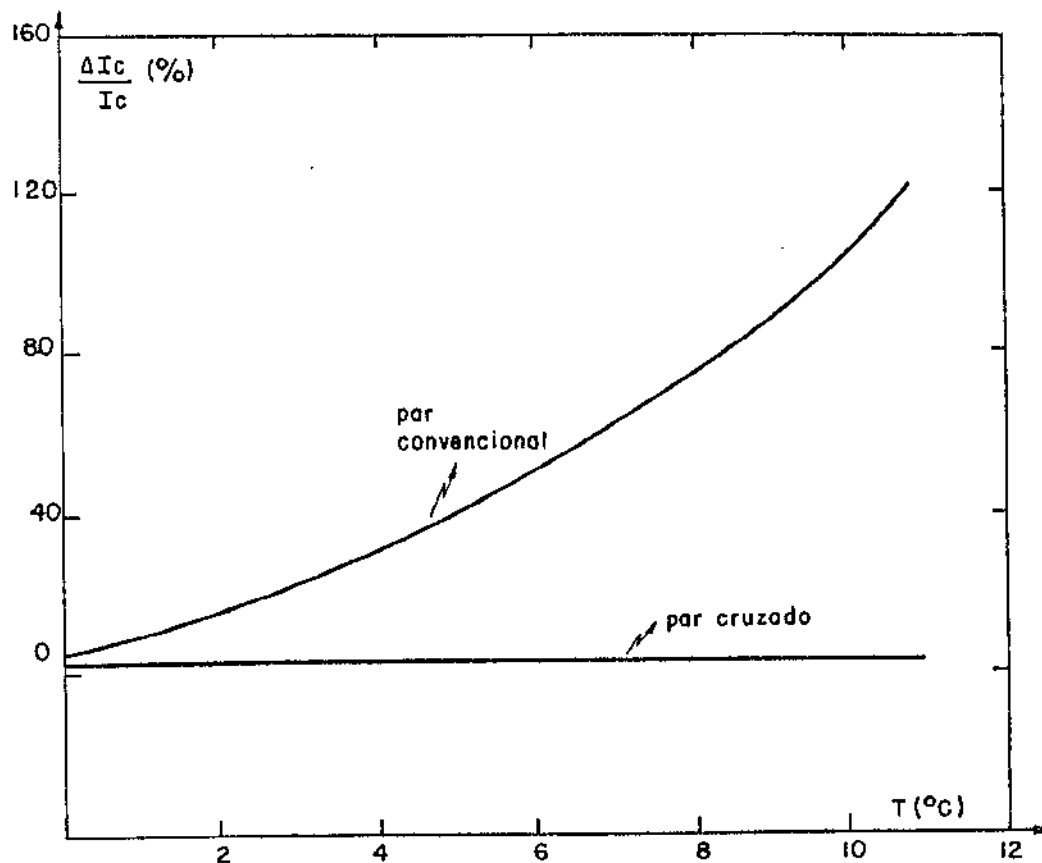


Figura 38 - Comparação das medidas de $\Delta I_C / I_C$ em transistores do tipo CA 3086 formando pares convencionais e pares cruzados.

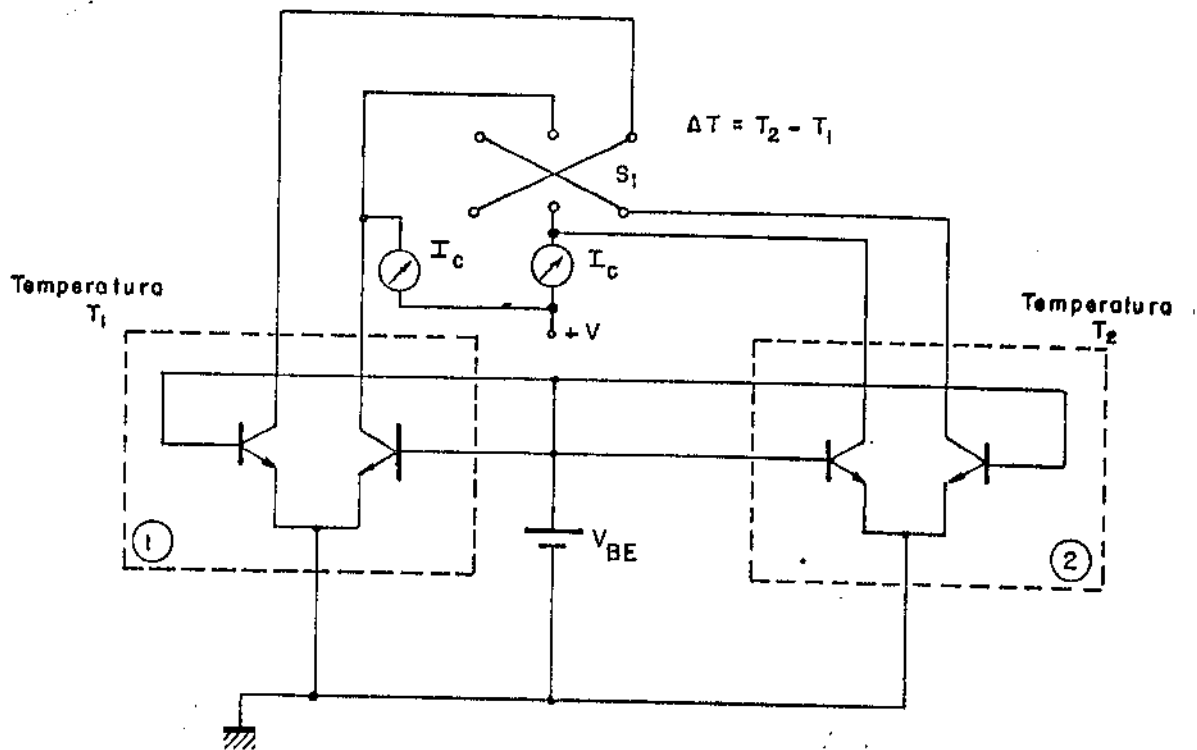


Figura 39 - Esquema usado para realizar as medidas da figura 38.

Outro detalhe interessante sobre o par cruzado é que o fato de colocarmos transistores em paralelo, faz com que a resistência de base efetiva do par de entrada seja dividida por dois, contribuindo muito para diminuir o ruído no estágio de entrada [35].

Uma outra causa do aparecimento de tensões de "off-set" em um amplificador operacional é o desbalanceamento que o segundo estágio causa no estágio de entrada, uma vez que o segundo estágio representa uma carga para um dos ramos do par diferencial de entrada [36], [37]. Essa carga, quando conectada ao coletor de um dos transistores do par de entrada, provoca um desbalanceamento nas suas correntes de coletor. Para que as correntes possam ser mantidas em valores diferentes, é necessário que os transistores do par de entrada tenham tensões V_{BE} 's diferentes, o que faz aparecer uma tensão de "off-set" dada por:

$$V_{OS} = V_T \ln (I_{C1}/I_{C2}) \quad (5.31)$$

Como a deriva térmica da tensão de "off-set" é dada por

$$dV_{OS}/dT = \frac{K}{q} \ln (I_{C1}/I_{C2}) = V_{OS}/T \quad (5.32)$$

é fundamental obter tensões de "off-set" muito baixas para obter baixo coeficiente térmico para a tensão V_{OS} . Por exemplo, um descasamento de apenas 1% nas correntes de coletor já provoca o aparecimento de uma tensão $V_{OS} = 0,25$ mV (a uma temperatura de 27°C), o que implica em um coeficiente térmico para V_{OS} da ordem de $0,83 \mu\text{V}/^{\circ}\text{C}$.

O circuito da figura 36 apresenta uma configuração especial, que tende a compensar o desbalanceamento causado pelo segundo estágio, através da colocação de uma carga idêntica à do segundo estágio, no ramo não utilizado do par diferencial.

A corrente injetada no coletor de T_{36} pelo estágio de ganho (formado por T_{107} e T_{108}) é igual a

$$I_{B107} = \frac{\alpha I_{B108}}{\beta} = \frac{I_{B108}}{\beta + 1} = \frac{I_1}{\beta(\beta + 1)} \quad (5.33)$$

A corrente injetada no coletor de T_{36} pelo estágio de compensação é dada por

$$I_{B104} = \frac{\alpha}{\beta} (I_{B105} + I_{B106} + I_{B103}) = \frac{I_{B105} + I_{B106} + I_{B103}}{\beta + 1} \quad (5.34)$$

Portanto devemos ter

$$I_{B108} = I_{B105} + I_{B106} + I_{B103} \quad (5.35)$$

ou seja,

$$I_{C108} = I_{C105} + I_{C106} + I_{C103} \quad (5.36)$$

As correntes I_{C105} e I_{C106} , que devem ser iguais, são definidas pela fonte de corrente I_2 , enquanto que a corrente I_{C103} é definida pela razão dos resistores R_{23} e R_{22} .

O espelho de corrente formado por T_{103} , T_{105} , R_{22} e R_{23} é assimétrico, para obter $I_{C103} = 2 \cdot I_{C105}$. Para tal, devemos fazer com que a área de T_{103} seja o dobro da de T_{105} e também $R_{22} = R_{23}/2$.

A corrente I_{C103} é espelhada, com ganho 2, através de $T_{30} - T_{32}$, de forma a forçarmos $I_{C108} = 2 \cdot I_{C103}$, ou seja, $I_{C108} = I_{C103} + I_{C105} + I_{C106}$.

Dessa forma, a menos dos erros introduzidos pelas imperfeições dos componentes (causados pelas limitações do processo de confecção, como descasamento entre os resistores, diferenças entre os betas dos transistores, etc.), a compensação obtida é perfeita.

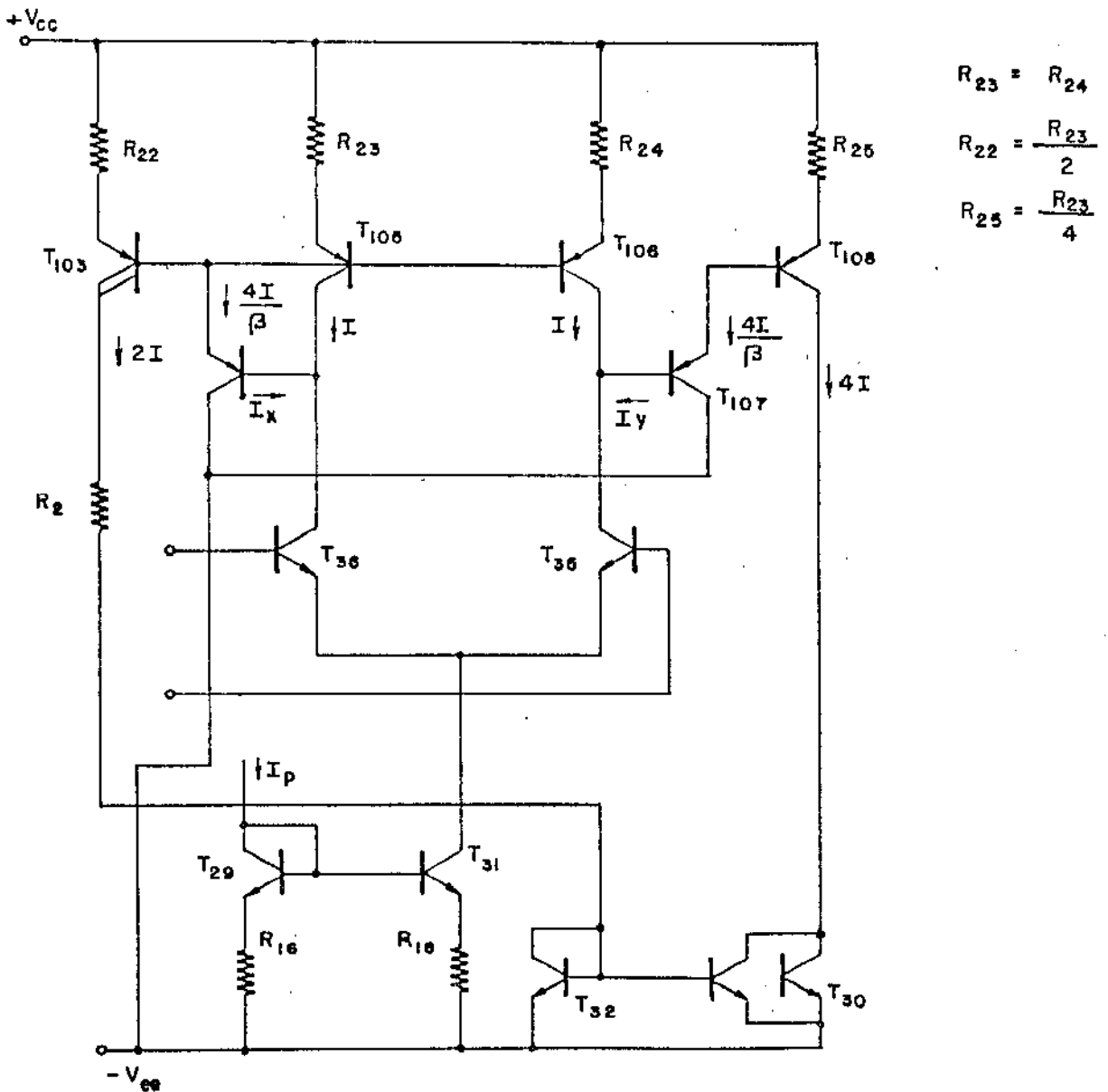


Figura 40 - Balanceamento do estágio de entrada através da utilização de estruturas simétricas.

Outro cuidado que se deve ter em uma estrutura como esta, onde a principal preocupação é balancear as correntes de polarização do estágio de entrada, é a de não permitir que os transistores sejam "descasados" pelo efeito de modulação de largura de base (efeito Early), que faz com que transistores iguais, porém trabalhando com tensões VCB diferentes, apresentem ganhos de corrente β_F diferentes [38]. Para minimizar o efeito Early, todos os transistores foram ligados de forma a terem tensões base-coletor iguais aos seus "pares" na célula de compensação. Para que isso fosse possível, fomos obrigados a introduzir resistores extras, como o resistor R_{25} , que permite que os coletores de T_{35} e T_{36} trabalhem no mesmo potencial. O resistor R_{20} é dimensionado de forma a fazer com que a tensão no coletor de T_{103} seja aproximadamente igual à tensão no coletor de T_{108} . Isso só é possível realizar se conhecermos a tensão de saída que o amplificador operacional vai entregar. No nosso caso, em que o amplificador operacional trabalha com uma tensão de saída DC e de valor praticamente constante (as suas variações dar-se-ão de forma apenas a compensar as variações dos parâmetros da malha R-2R com a temperatura), podemos determinar facilmente o valor de R_{20} para que a condição acima seja satisfeita. Na figura 41 temos o circuito completo do amplificador operacional. Sendo V_0 a tensão de saída do amplificador operacional temos que

$$V_{CE108} + V_{BE34} - (V_{BE108} + V_{BE109} + V_0) = 0 \quad (5.37)$$

Logo

$$R_{20} = \frac{V_0 + V_{BE108} + V_{BE109} - V_{BE34} - V_{BE32}}{I_{C103}} \quad (5.38)$$

Visando ainda uma equalização nas tensões VCB, e também uma melhoria no desempenho do circuito de compensação, fizemos com que os transistores T_{104} e T_{107} trabalhem com VCE's iguais e também os maiores possíveis, de forma a aumentar os seus ganhos de corrente β_F , o que diminui as correntes de base destes transistores e, conseqüentemente, os erros a elas devidos.

Ainda na figura 41, temos o estágio de saída, formado por T_{33} , T_{34} , T_{109} e T_{110} , que é constituído por dois estágios do tipo seguidor de emissor, minimizando o efeito que a carga ligada na saída do amplificador operacional pode ter no ganho do segundo estágio.

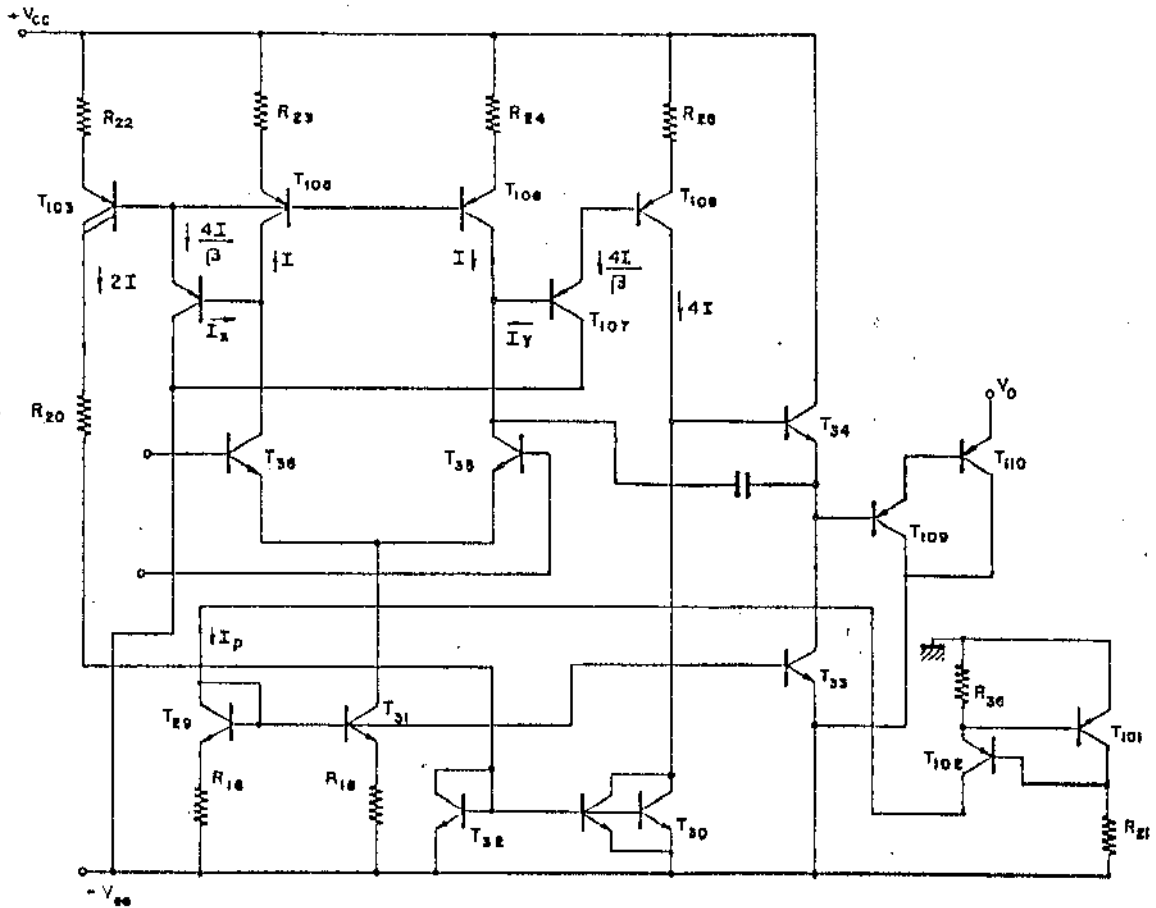


Figura 41 - Circuito completo do amplificador operacional utilizado no circuito de geração das correntes de referência.

A polarização do amplificador operacional é realizada por intermédio de R_{16} , R_{36} , R_{21} , T_{101} , T_{102} e T_{29} , enquanto que a compensação em frequência, usando a técnica do pólo dominante descrita na referência [39], é realizada através da conexão de um capacitor, dimensionado de acordo com os critérios estabelecidos na mesma referência, entre a base de T_{107} e o emissor de T_{34} .

Devemos observar que o estágio de saída do amplificador operacional tem capacidade apenas para absorver a corrente, já que a sua operação no circuito de geração das correntes de referência exige apenas este sentido de corrente de carga.

A inclusão dos resistores R_{23} e R_{24} permite um melhor casamento entre os transistores T_{105} e T_{106} , além de possibilitar uma redução da tensão de "off-set" V_{0S} através de um ajuste destes resistores (ou por uma técnica de "trimming" interno, como o "zener zap" [40], ou mesmo através de uma calibração com o auxílio de resistores externos).

Deve-se, no entanto, tomar cuidado com a sensibilidade térmica que esse tipo de estrutura apresenta. Vamos analisar qual a dependência com a temperatura do fator de transferência de corrente n ($n = I_S/IE$) de um espelho como o apresentado na figura 42b. Devido à imprecisão no processo de fabricação (principalmente no que se refere à definição da geometria dos dispositivos), teremos desvios nos valores dos resistores (ΔR) e também nos transistores, sendo que, nestes, consideraremos como efeito final, uma variação nas suas correntes de saturação (ΔI_S).

Analisando cada um dos casos separadamente, para $\Delta R/R \ll 1$ e $\Delta I_S/I_S \ll 1$, temos que:

$$a) \quad n \approx 1 - \frac{(kT/qI)}{R + (kT/qI)} \cdot \Delta I_S \quad (5.39)$$

$$b) \quad n \approx 1 - \frac{\Delta R}{R + (kT/qI)} \quad (5.40)$$

Para o caso (a), com $r_e = V_T/I$, temos

$$\frac{1}{n} \frac{dn}{dT} = \frac{R/r_e}{(1 + R/r_e)^2} \cdot \frac{\Delta I_S}{I} \quad (5.41)$$

Analogamente, para o caso (b), temos que:

$$\frac{1}{n} \frac{dn}{dT} = - \frac{R/r_e}{(1 + R/r_e)^2} \cdot \frac{\Delta R/R}{T} \quad (5.42)$$

Na figura 42.b temos o gráfico de $\frac{R/re}{(1+R/re)^2}$ em função de R/re . Como se pode observar, para que o fator de transferência de corrente não seja muito afetado pelas variações de temperatura, é necessário escolher $R \gg re$, sendo que, normalmente, escolhe-se $R \geq 10 re$.

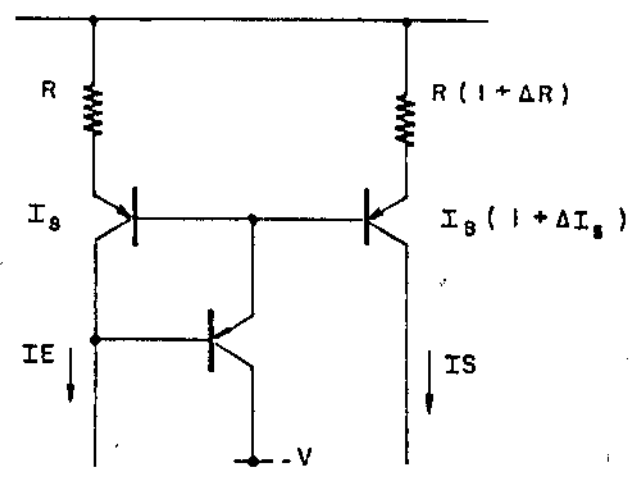


Figura 42.a - Espelho de corrente com resistores de degeneração no emissor.

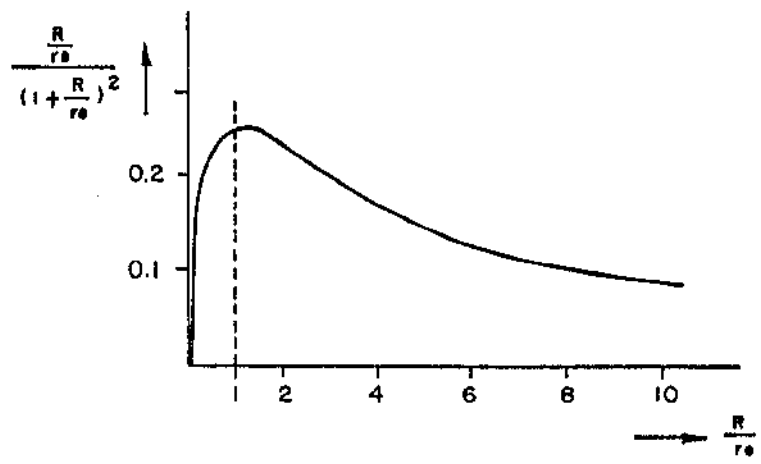


Figura 42.b - Sensibilidade térmica do fator de transferência de corrente de um espelho com degeneração nos emissores, em função de R/re .

Devemos lembrar que, como os desvios ΔR e ΔI_S são não-correlatos, para obter-se a sensibilidade térmica devido à influência de ambos os erros, basta calcularmos a raiz quadrada da soma dos quadrados de cada uma das sensibilidades.

No nosso caso, adotamos $V_{R24} \approx 10 V_T$, o que representa um bom compromisso entre a sensibilidade térmica e os valores da corrente de coletor e dos resistores de degeneração, que não precisam ser muito elevados. O objetivo a ser atingido no estágio de entrada, no que se refere à tensão de "off-set", é obter uma tensão V_{OS} da ordem de 3 mV, o que causaria um erro de aproximadamente 4 ppm/°C (na faixa de 0 a 70°C) na corrente de referência.

Quanto à corrente de "off-set" I_{OS} , o fato de utilizarmos configurações simétricas no par de entrada faz com que a corrente de "off-set" seja dada, praticamente, apenas pelo descasamento dos betas do par diferencial de entrada.

A corrente de entrada em cada um dos transistores de um par diferencial, como o apresentado na figura 43, é dada por:

$$I_{B1} = I_{C1} / \beta_1 \quad (5.43)$$

$$I_{B2} = I_{C2} / \beta_2 \quad (5.44)$$

A deriva térmica da corrente I_B é expressa por

$$dI_B/dT = -\frac{I_B}{\beta} \cdot \frac{d\beta}{dT} \quad (5.45)$$

As variações de beta com a temperatura são bem conhecidas [41], e para um transistor de silício podem ser aproximadas por:

$$\frac{1}{\beta} \cdot \frac{d\beta}{dT} = \begin{cases} 0,005/^\circ\text{C} & \text{para } T > 25^\circ\text{C} \\ 0,015/^\circ\text{C} & \text{para } T < 25^\circ\text{C} \end{cases} \quad (5.46)$$

Portanto, a variação da corrente de "off-set" com a temperatura será dada por uma diferença de correntes que obedecem a um comportamento térmico dado pela equação 5.46. Na figura 44 vemos uma comparação entre a

aproximação feita pela equação 5.46 e os dados experimentais, para um transistor de silício, onde pode-se verificar que a aproximação é muito boa.

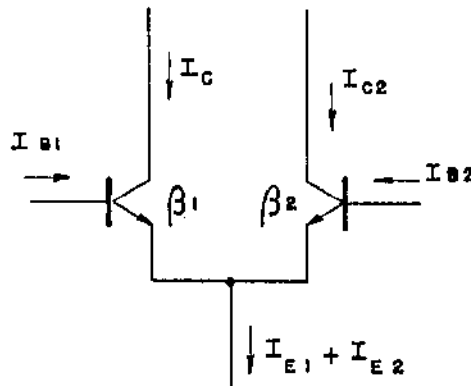


Figura 43 - Par diferencial.

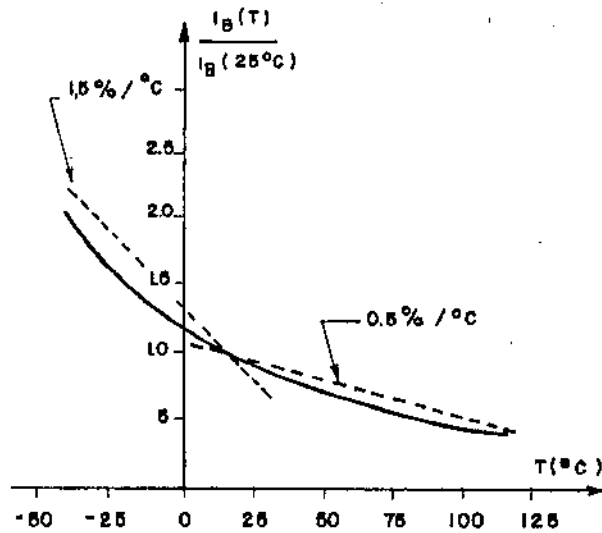


Figura 44 - Comparação entre a aproximação feita para a variação da corrente de base com a temperatura através da equação 5.46 e dados experimentais.

Definindo $I_{OS} = I_{B1} - I_{B2}$ temos

$$I_{OS} = \frac{I_C}{\beta_1} - \frac{I_C}{\beta_2} = \frac{(\beta_2 - \beta_1)}{\beta_2 \cdot \beta_1} \cdot I_C \quad (5.47)$$

Usando um valor médio para os betas dos transistores de entrada $\bar{\beta}$ e fazendo $\Delta\beta = \beta_2 - \beta_1$, vem que

$$\beta_1 = \bar{\beta} - \Delta\beta/2 \quad (5.48)$$

$$\beta_2 = \bar{\beta} + \Delta\beta/2 \quad (5.49)$$

Portanto

$$I_{OS} = \frac{\Delta\beta \cdot I_C}{\beta^2 - (\Delta\beta)^2/4} \quad (5.50)$$

Supondo $\Delta\beta \ll \beta$ temos

$$I_{OS} = \frac{\Delta\beta}{\beta} \cdot \frac{I_C}{\beta} \quad (5.51)$$

$$I_{OS} = \frac{\Delta\beta}{\beta} \cdot I_B \quad (5.52)$$

A equação 5.52 permite prever qual o casamento de betas necessário para obtermos uma determinada corrente de "off-set". Isso é necessário, uma vez que, como veremos a seguir, a deriva térmica da corrente de "off-set" é função do seu valor à temperatura ambiente.

A derivada em relação à temperatura da corrente de "off-set" I_{OS} é, de acordo com as equações 5.46 e 5.47, dada por:

$$\frac{dI_{OS}}{dT} = \left(\frac{1}{\beta_1} \cdot \frac{d\beta_1}{dT} \right) I_{B1} - \left(\frac{1}{\beta_2} \cdot \frac{d\beta_2}{dT} \right) I_{B2} \quad (5.53)$$

Entretanto, para transistores casados, em que as diferenças de beta são muito pequenas, os coeficientes de temperatura dos betas são praticamente iguais, o que nos permite escrever

$$\frac{1}{\beta_1} \cdot \frac{d\beta_1}{dT} \approx \frac{1}{\beta_2} \cdot \frac{d\beta_2}{dT} = \frac{1}{\bar{\beta}} \cdot \frac{d\bar{\beta}}{dT} \quad (5.54)$$

Logo, a equação 5.54 pode ser simplificada para

$$\frac{dI_{OS}}{dT} = \left(\frac{1}{\beta} \frac{d\beta}{dT} \right) \cdot (I_{B1} - I_{B2}) \quad (5.55)$$

Dessa forma, usando os coeficientes térmicos já apresentados para $\frac{d\beta}{dT}$ temos:

$$\frac{dI_{OS}}{dT} = \xi \cdot I_{OS} \quad (5.56)$$

onde $\xi = 0,005/^{\circ}\text{C}$ para $T > 25^{\circ}\text{C}$
 $\xi = 0,015/^{\circ}\text{C}$ para $T < 25^{\circ}\text{C}$

Portanto, para um par cruzado, onde podemos admitir um casamento de betas da ordem de 2% [42], podemos calcular a corrente de "off-set" como sendo $I_{OS} \approx 0,1 \mu\text{A}$ e, conseqüentemente, obter qual é a máxima variação da corrente I_{OS} na faixa de 0 a 70°C , usando a equação 5.56.

Como podemos observar, esta variação na corrente de "off-set" é muito pequena quando comparada com o valor da corrente de referência I_R (a variação calculada na faixa de 0 a 70°C é da ordem de 0,9 ppm/ $^{\circ}\text{C}$), sendo, conseqüentemente, dispensável maior atenção a esse problema. Caso se fizesse necessária uma redução no valor de dI_{OS}/dT , deveríamos acrescentar, ao estágio de entrada do amplificador operacional, um circuito para compensação das correntes de base do par diferencial de entrada, o que diminuiria a corrente I_{OS} . Como conseqüência dessa redução, teríamos também, de acordo com a equação 5.56, uma redução no valor de dI_{OS}/dT .

Algumas possíveis soluções para a redução das correntes de base dos transistores de entrada são apresentadas no apêndice B.

No entanto, como a configuração mais simples (sem compensação de corrente de entrada) já nos permite, ao menos teoricamente, a obtenção de derivas térmicas muito pequenas tanto para a corrente de "off-set" I_{OS} como para a tensão de "off-set" V_{OS} - principalmente com o ajuste de V_{OS} -, só lançaremos mão dessas técnicas de compensação caso o desempenho do amplificador operacional não corresponda ao esperado, quando na caracterização do protótipo já sob forma de circuito integrado.

O circuito completo a ser utilizado na geração da corrente de referência é apresentado na figura 45.

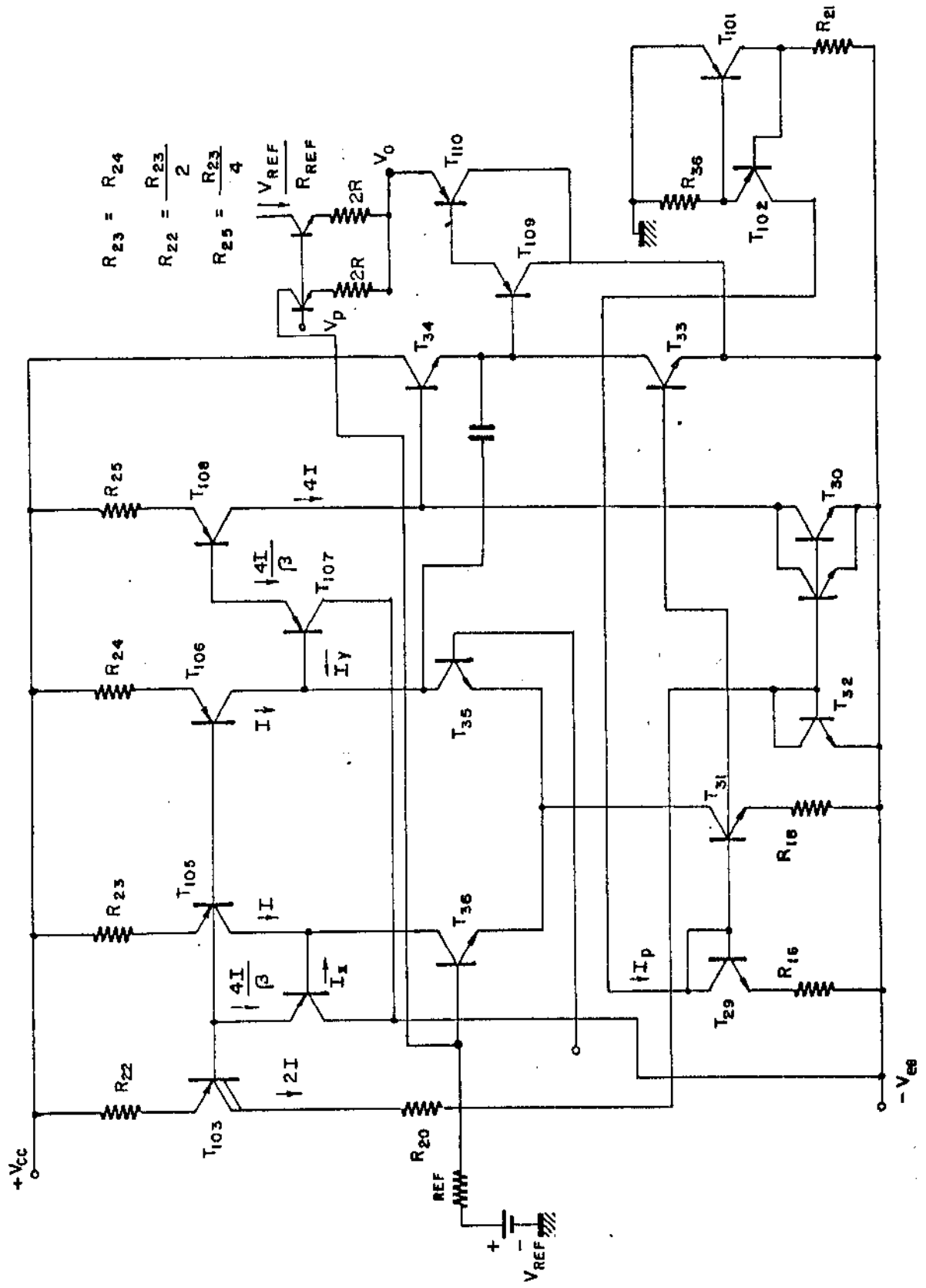


Fig. 45 - Circuito completo usado na geração da corrente de referência.

5.3 Chaves de Corrente

Como apresentado no item 5.1, o conversor D/A possui chaves que podem direcionar as correntes de peso binário para o terminal de saída do conversor ou para o terra, de acordo com o estado dos bits que controlam essas chaves.

Uma das células mais usadas no chaveamento de correntes em conversores D/A monolíticos é a célula de Craven [43]. Esta célula tem sido amplamente utilizada por ser compatível com níveis lógicos TTL e, além disso, também apresentar uma característica de velocidade de chaveamento muito boa, normalmente da ordem de 50 ns. Na figura 46 temos o diagrama básico de uma célula de Craven.

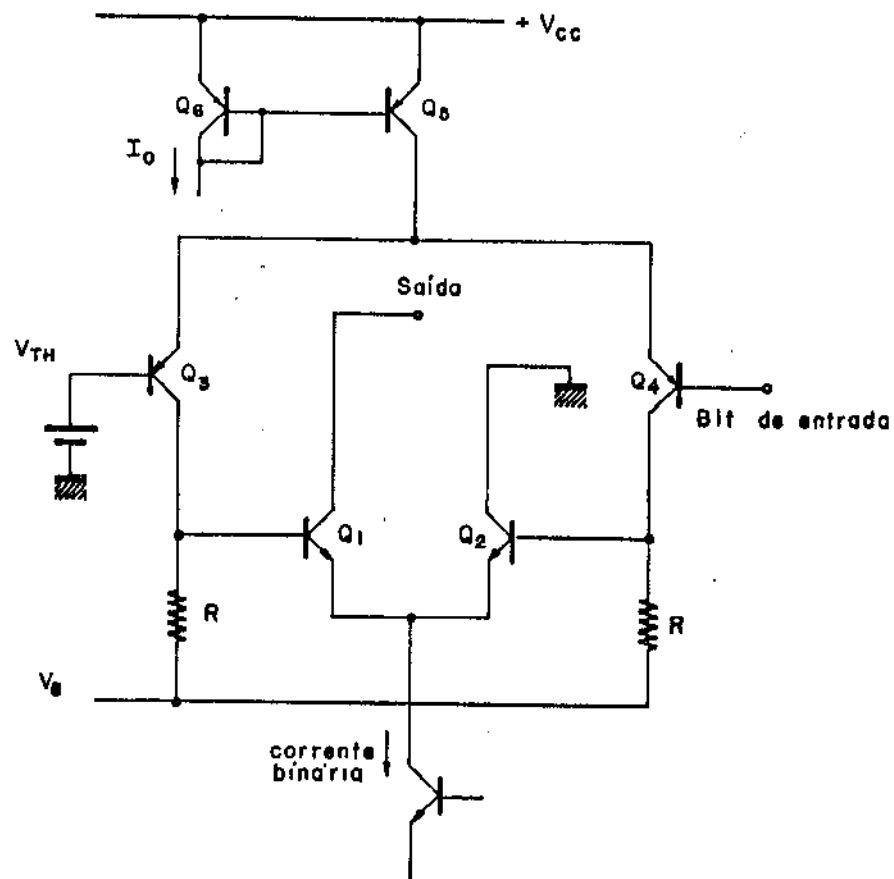


Figura 46 - Célula de Craven.

Como vemos, a corrente de peso binário a ser chaveada é conectada aos emissores de dois transistores NPN, que têm seus coletores ligados às linhas de saída e terra. Dessa forma, quando o transistor NPN da direita (Q_2) estiver conduzindo, teremos toda a corrente binária de saída sendo retirada do terra do circuito e, quando o transistor Q_1 estiver conduzindo, a corrente é retirada do terminal de saída do conversor D/A.

Para controlar o corte e a condução dos transistores NPN, são usados dois transistores PNP (Q_3 e Q_4), alimentados por um espelho de corrente formado por Q_5 e Q_6 . Controlando-se a corrente que passa por Q_3 e Q_4 , controla-se a excitação na base dos transistores NPN e, conseqüentemente, dirige-se a corrente binária para a saída do conversor ou para o terra.

A utilização da célula com uma determinada família lógica é muito simples, bastando, para isso, fixar a tensão V_{TH} no nível de limiar adequado à família lógica que se pretende usar, e aplicar o sinal de entrada diretamente à base de Q_4 .

Se o sinal aplicado pelo bit de entrada é maior do que V_{TH} (nível lógico "1"), o transistor Q_4 corta, fazendo com que a corrente fornecida pelo espelho de corrente seja toda absorvida por Q_3 . Essa corrente faz aparecer uma queda de tensão no resistor R (normalmente faz-se $R \cdot I_0 \approx V_{BE}$) e, com a condução do transistor Q_1 , a corrente de peso binário é retirada da saída do circuito. Caso o bit de entrada esteja em nível lógico "0", o procedimento se inverte e a corrente de peso binário é retirada do terra do conversor.

No nosso caso, porém, os bits de entrada do conversor são gerados por circuitos 1^2L (são os sinais de saída da malha lógica de comando e dos flip-flops da memória de 8 bits) e, portanto, apresentam níveis lógicos de 100 mV e 600 mV, tornando inadequada a técnica de fixarmos V_{TH} em aproximadamente 350 mV (principalmente devido a problemas de ruído).

Fizemos, então, algumas alterações na célula de Craven convencional, para torná-la compatível com níveis 1^2L . O circuito básico de uma célula de Craven modificada é apresentado na figura 47 [10].

O transistor PNP funciona como fonte de corrente, e o transistor NPN 1^2L (Q_3) permite ou não a excitação da base do transistor NPN convencional Q_1 .

Para a chave completa, temos que utilizar um circuito equivalente ao apresentado na figura 47, sendo necessário, no entanto, fazer com que o sinal de entrada presente no ramo direito da chave seja o complemento do sinal presente no ramo esquerdo. Para isso, é possível aproveitar uma vantagem da tecnologia I^2L e usar o próprio transistor Q_3 para gerar o sinal complementar, adicionando-se um coletor a sua estrutura (figura 48). Os transistores PNP são os injetores I^2L e, por estarem fundidos na estrutura, praticamente não ocupam espaço, reduzindo a área necessária para a confecção da célula. Os transistores Q_6 e Q_7 são conectados como diodos e servem apenas para definir a tensão nos injetores, simulando uma carga I^2L na saída da chave.

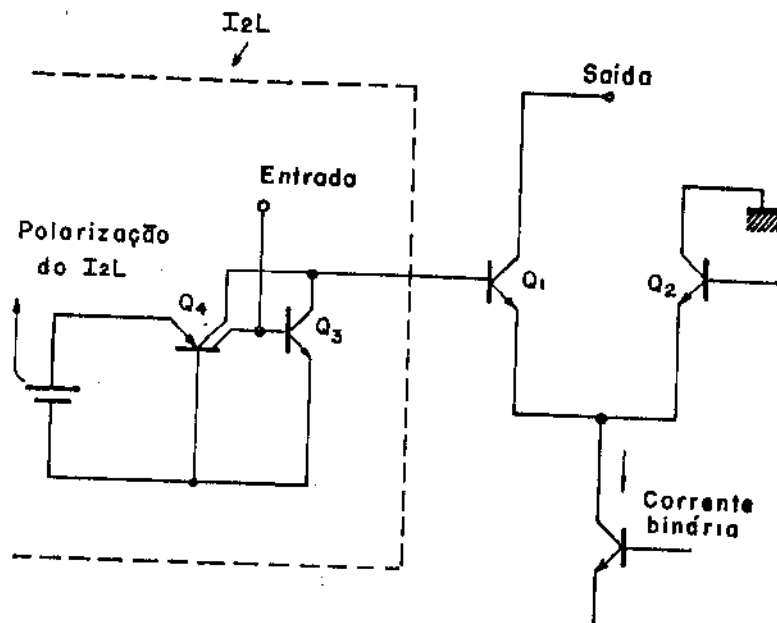


Figura 47 - Diagrama básico da célula de Craven modificada para utilização com I^2L .

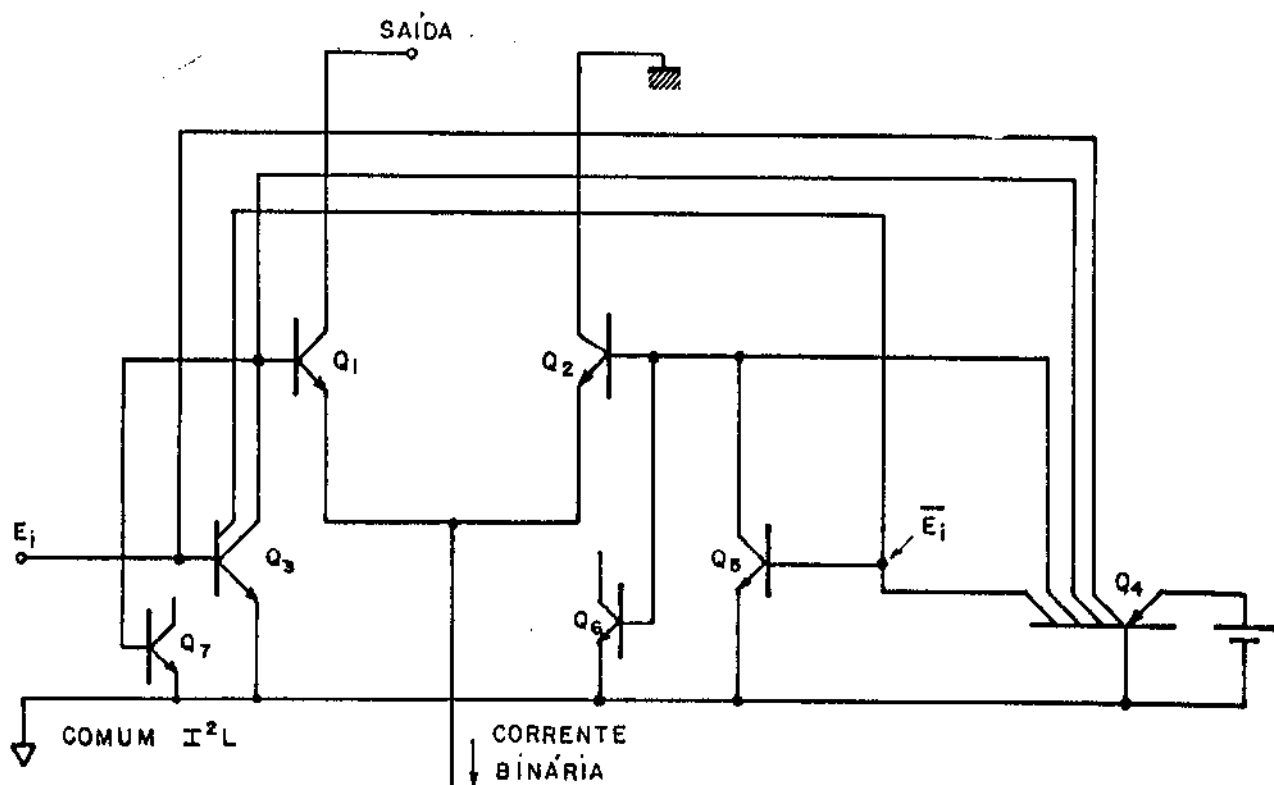


Figura 48 - Célula de chaveamento de corrente em tecnologia $I^2L/Linear$.

Na figura 49 temos o lay-out completo da parte I^2L da chave descrita anteriormente, onde pode-se observar a alta compactação conseguida, notadamente se compararmos com a célula de Craven convencional.

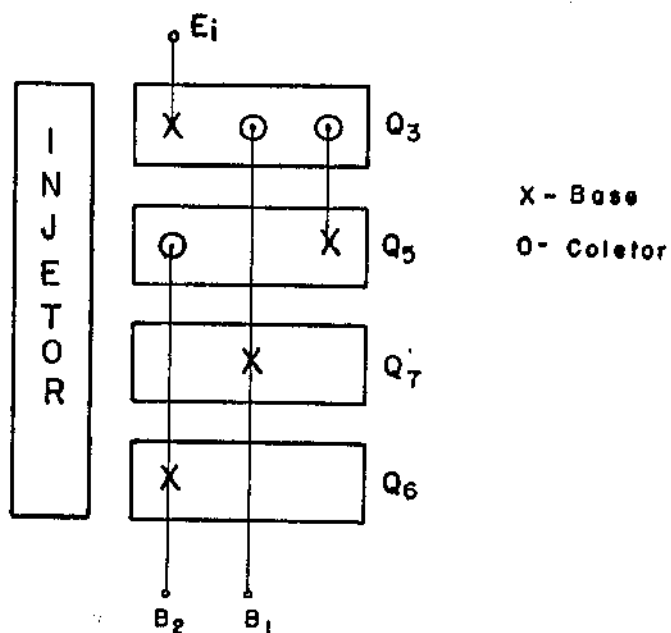


Figura 49 - Lay-out da seção I^2L da célula de chaveamento de corrente.

Quanto ao desempenho desta célula, as medidas realizadas com "kit-parts" I^2L mostram ser possível um chaveamento (com estabilização < 5%) da ordem de 250 ns (figura 50), enquanto que as medidas realizadas em uma célula de Craven convencional (figura 51) mostram que o tempo de chaveamento obtido é da ordem de 100 ns.

Porém, como o tempo que temos disponível para realizar a conversão é da ordem de 120 μ s, a diferença acima mencionada, quanto ao desempenho das células, é totalmente irrelevante.

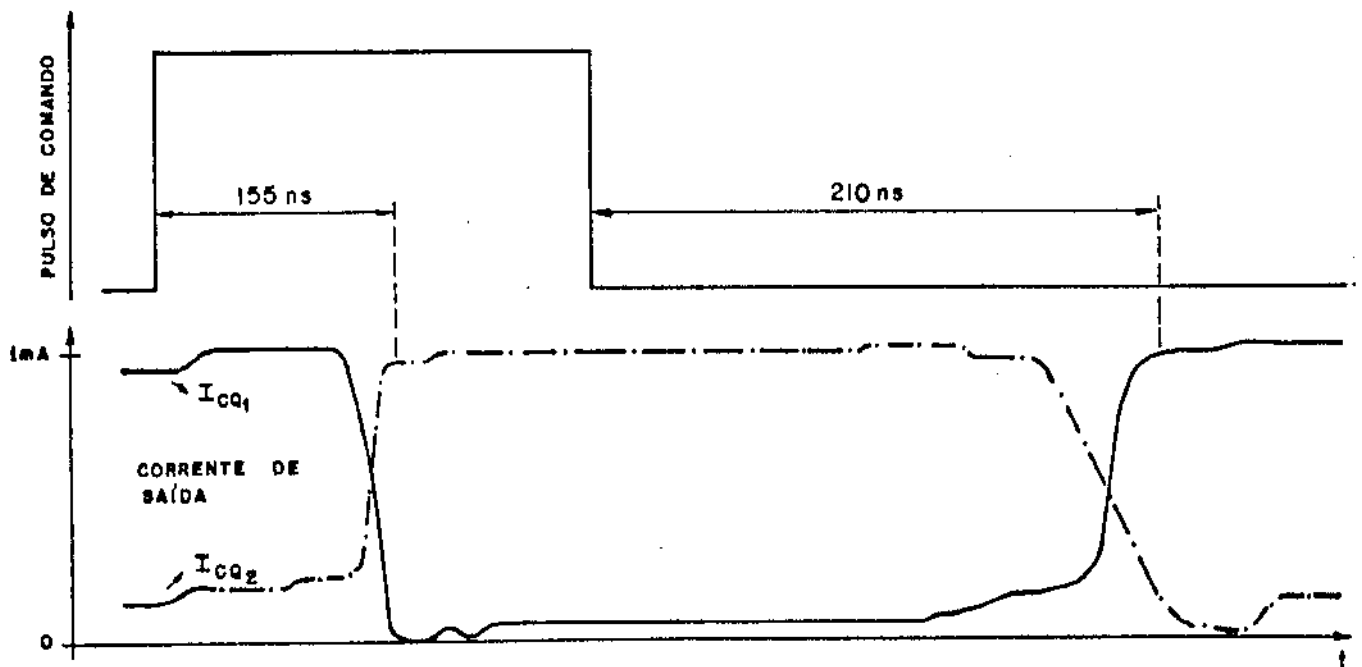


Figura 50 - Medida do tempo de chaveamento da célula $I^2L/Linear$.

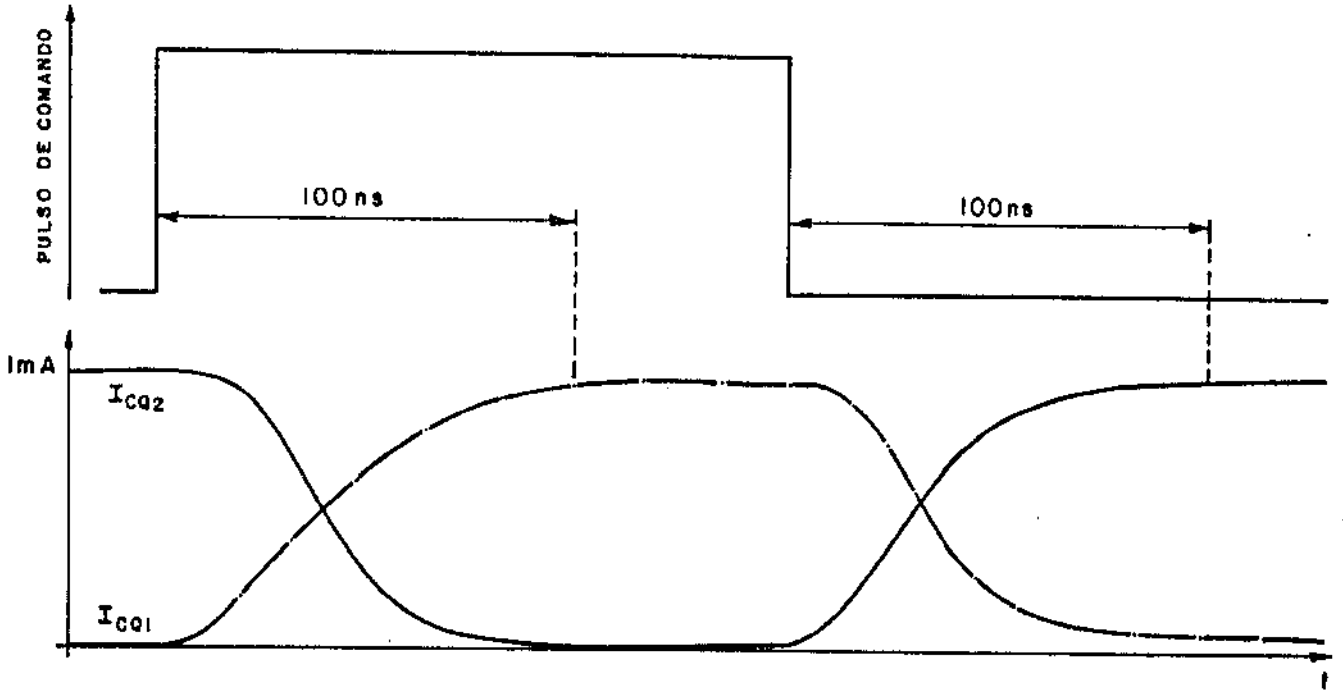


Figura 51 - Medida do tempo de chaveamento da célula de Craven.

5.4 Interligação dos Conversores

Para a implementação da idéia básica de geração da lei A-128, com a utilização de uma associação em cascata de dois conversores D/A, devemos encontrar uma configuração em que a saída de um dos conversores seja a referência do outro, como apresentado no Capítulo II.

Para isso, um dos conversores deve ser ligado de forma convencional (segundo o esquema de geração de corrente de referência apresentado no item 5.2), enquanto que o outro conversor deve gerar as suas correntes de peso binário, usando a corrente de saída do primeiro conversor como referência.

A forma mais direta para a realização desse circuito seria a utilização do mesmo sistema de controle nos dois conversores. O circuito de controle do segundo conversor seria alimentado ou por uma tensão gerada a partir da corrente de saída do primeiro conversor (figura 52), ou com a própria corrente de saída (figura 53).

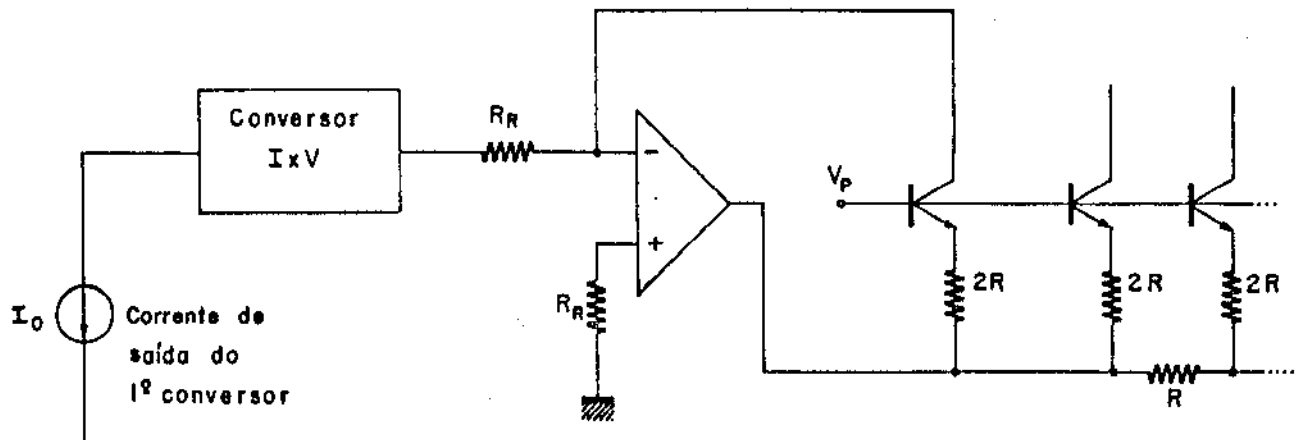


Figura 52 - Utilização de um conversor $I \times V$ no acoplamento dos dois conversores.

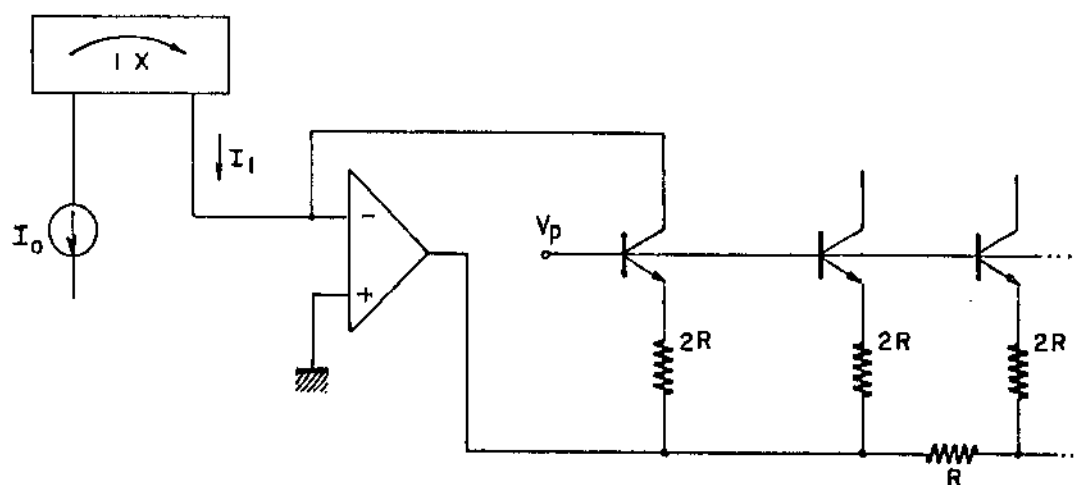


Figura 53 - Utilização de um espelho de corrente no acoplamento dos conversores.

A solução apresentada na figura 52 tem o inconveniente de necessitar de um circuito de conversão corrente-tensão, aumentando demasiadamente o número de componentes e a complexidade do circuito. A solução que emprega apenas um espelho de corrente é, obviamente, muito mais simples, podendo, no entanto, apresentar problemas quanto à precisão do circuito.

Como vemos pelo diagrama apresentado na figura 53, o espelho de corrente deve fornecer corrente à carga e, portanto, deve ser confeccionado com transistores PNP. Como já apresentamos anteriormente, o erro no fator de transferência de corrente de um espelho é função do ganho de corrente β dos transistores que o compõem, sendo que, quanto menor for β , maior é o erro de transferência.

Isso merece uma atenção especial, pois os transistores PNP laterais se caracterizam por terem valores baixos de β (devido a sua geometria [44] e ao alto valor da carga na base).

Devemos observar, no entanto, que o fato de o fator de transferência de corrente do espelho ser muito diferente de um, não seria um problema, se este fator se mantivesse constante.

Infelizmente, porém, o ganho de corrente dos transistores PNP laterais depende fortemente do nível de corrente em que os transistores operam, além de depender também, de maneira muito fraca, da temperatura.

A dependência do ganho de corrente β com a corrente de coletor de ve-se, quase que exclusivamente, ao efeito de alta injeção na base [45]. Infelizmente, devido aos valores de carga na base normalmente usados em transistores PNP laterais, a corrente crítica de alta injeção atinge valores muito baixos, sendo, tipicamente, da ordem de algumas dezenas de μA .

Através de uma variação da largura efetiva de base dos transistores PNP laterais, é possível obter variações nas tensões e correntes críticas de alta injeção, fazendo com que se torne possível evitar que os transistores entrem em alta injeção em níveis de correntes muito baixos.

No entanto, se, por um lado, as modificações introduzidas tendem a diminuir os erros causados pelo fenômeno de alta injeção, por outro lado tendem a fazer com que o erro no fator de transferência de corrente apresente uma dependência maior com a temperatura. Isso ocorre porque as modificações, a serem introduzidas na geometria dos transistores PNP laterais, para aumentarem o valor da corrente crítica de alta injeção, diminuem o valor da carga na base destes transistores, fazendo com que o coeficiente térmico do ganho de corrente seja maior. Outro inconveniente das modificações da carga na base seria que a tensão de ruptura V_{CE0} desses transistores ficaria muito baixa (já que teríamos o fenômeno de "punch-through" ocorrendo no dispositivo), tornando difícil a operação dos transistores no circuito.

Além disso, como podemos verificar pelos resultados apresentados no Apêndice C, a variação da corrente crítica de alta injeção é menor do que a prevista nos modelos clássicos e, o que é ainda pior, se reduz drasticamente para valores de carga na base muito pequenos.

Dessa forma, vemos que, mesmo tentando alterar o projeto do dispositivo, não é possível operar os transistores do espelho de corrente fora dos níveis de alta injeção, o que inviabiliza a utilização do espelho de corrente no circuito de referência do segundo conversor.

Apresentamos, então, duas estruturas que podem ser utilizadas na interligação dos dois conversores.

A primeira apresenta um consumo de potência baixo, porém alto nível de complexidade (e a possibilidade da introdução de novos erros no circuito de conversão D/A), já que utiliza um amplificador operacional adicional. A segunda, que utiliza apenas uma técnica de empilhamento dos conversores (de uma forma que lembra os conversores que utilizam duas malhas R-2R do tipo "master-slave"), paga o preço da simplicidade e precisão com o aumento do consumo de potência.

A primeira estrutura é apresentada na figura 54.

A corrente de saída do primeiro conversor é aplicada a T_A e R_A , que são idênticos a T_B e R_B (que formam o bit mais significativo do conversor D/A).

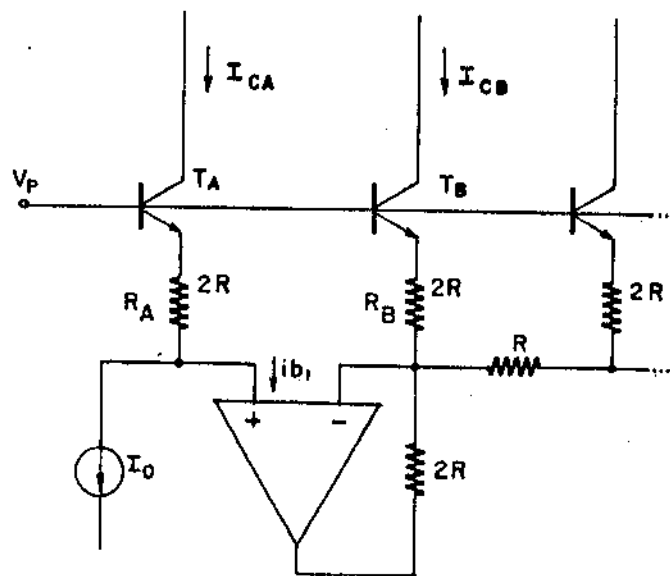


Figura 54 - Interligação dos conversores utilizando apenas um amplificador operacional.

Essa corrente passa por T_A e R_A , criando uma tensão $V_x = R_A \cdot I_0 + V_{BE}(T_A)$. Essa tensão é aplicada ao amplificador operacional, que a compara com a tensão existente no extremo do resistor R_B do bit mais significativo e, através de uma realimentação negativa, força que essas tensões fiquem iguais. Com isso, temos a mesma corrente fluindo nos transistores T_A e T_B .

Como a corrente que flui por T_A é a corrente de saída do primeiro

conversor, teremos a corrente do bit mais significativo do segundo conversor igual à corrente de saída do primeiro.

No entanto, considerando o amplificador operacional como sendo não ideal, temos que

$$V_T \ln \frac{I_{CB}}{I_S} + 2R I_{CB} = \left[\frac{A}{1+A} \right] \cdot \left[V_T \ln \left(\frac{I_0 - I_{b1}}{I_S} \right) + 2R (I_0 - I_{0S}) + V_{OS} \right] \quad (5.57)$$

Analisando a expressão 5.57, vemos que, para que a corrente no bit mais significativo do segundo conversor seja bem próxima da corrente de saída do primeiro conversor, o amplificador operacional deve ter características muito boas de tensão de "off-set", corrente de "off-set", ganho em malha aberta e suas respectivas derivas térmicas.

Uma forma de eliminar a necessidade de uma especificação muito rigorosa para a deriva da tensão de "off-set", seria forçar, na entrada do amplificador operacional, uma determinada tensão de "off-set", cujo comportamento térmico seja bem conhecido, e compensá-la no circuito.

Isso poderia ser feito simplesmente pelo desbalanceamento das áreas do par diferencial de entrada do amplificador operacional, como indicado na figura 55. Como os transistores possuem áreas iguais a A e $4A$, temos que:

$$V_{OS} = \frac{K_T}{q} \cdot \ln 4 \quad (5.58)$$

Para gerar um sinal igual a V_{OS} , podemos aproveitar o gerador de corrente PTAT usado na compensação de ΔV_{BE} , na malha R-2R. A compensação é realizada através da introdução de um resistor de valor R_B entre as bases de T_A e T_B , como indicado na figura 55.

No entanto, os outros requisitos (relativos à I_{0S} e A_{VOL}) devem ser preenchidos, o que nos impossibilita de usar um amplificador operacional bem simples, como, por exemplo, apenas um estágio diferencial com um seguidor de emissor na saída. Tal configuração não forneceria ganho em malha aberta suficiente, além de apresentar altas correntes de entrada, que, normalmente, resultam em valores altos para dI_{0S}/dT .

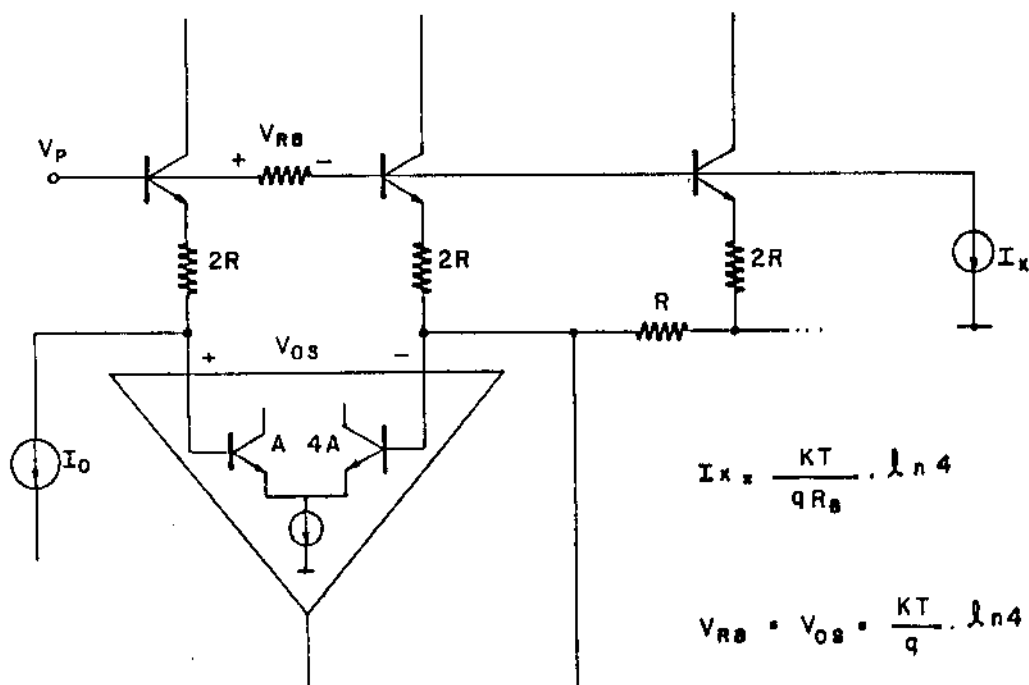


Figura 55 - A utilização de um par diferencial desbalanceado permite a compensação de dV_{0s}/dT .

Seria necessário, portanto, um amplificador operacional com estrutura semelhante ao apresentado no item 5.2, acrescido, porém, de um dos circuitos de compensação de corrente de entrada apresentados no Apêndice B.

A segunda estrutura proposta, dispensa qualquer circuito adicional, sendo que, no entanto, faz com que um dos conversores trabalhe com o dobro da corrente que seria necessária no caso anterior. Como o consumo do circuito é dado, praticamente, pela soma das correntes de peso binário dos dois conversores, isso significa um aumento de quase 50% no consumo do circuito.

Como, no entanto, o aumento de complexidade (e área), necessários à execução da primeira estrutura proposta, faria com que o rendimento de produção ("yield") fosse muito menor do que o obtido com a segunda estrutura, optamos por esta última, sacrificando o consumo de potência do circuito que, mesmo assim, está dentro de níveis perfeitamente aceitáveis.

A idéia básica da segunda estrutura é fazer um empilhamento ("stacking") dos dois conversores, como apresentado na figura 56. Dessa forma, a corrente de saída do primeiro conversor é a corrente total que flui pela malha R-2R do segundo conversor. Com isso, as correntes de peso binário do segundo conversor serão função da corrente de saída do primeiro conversor, sendo que, a corrente do bit mais significativo será sempre a metade da corrente solicitada pela saída do primeiro conversor.

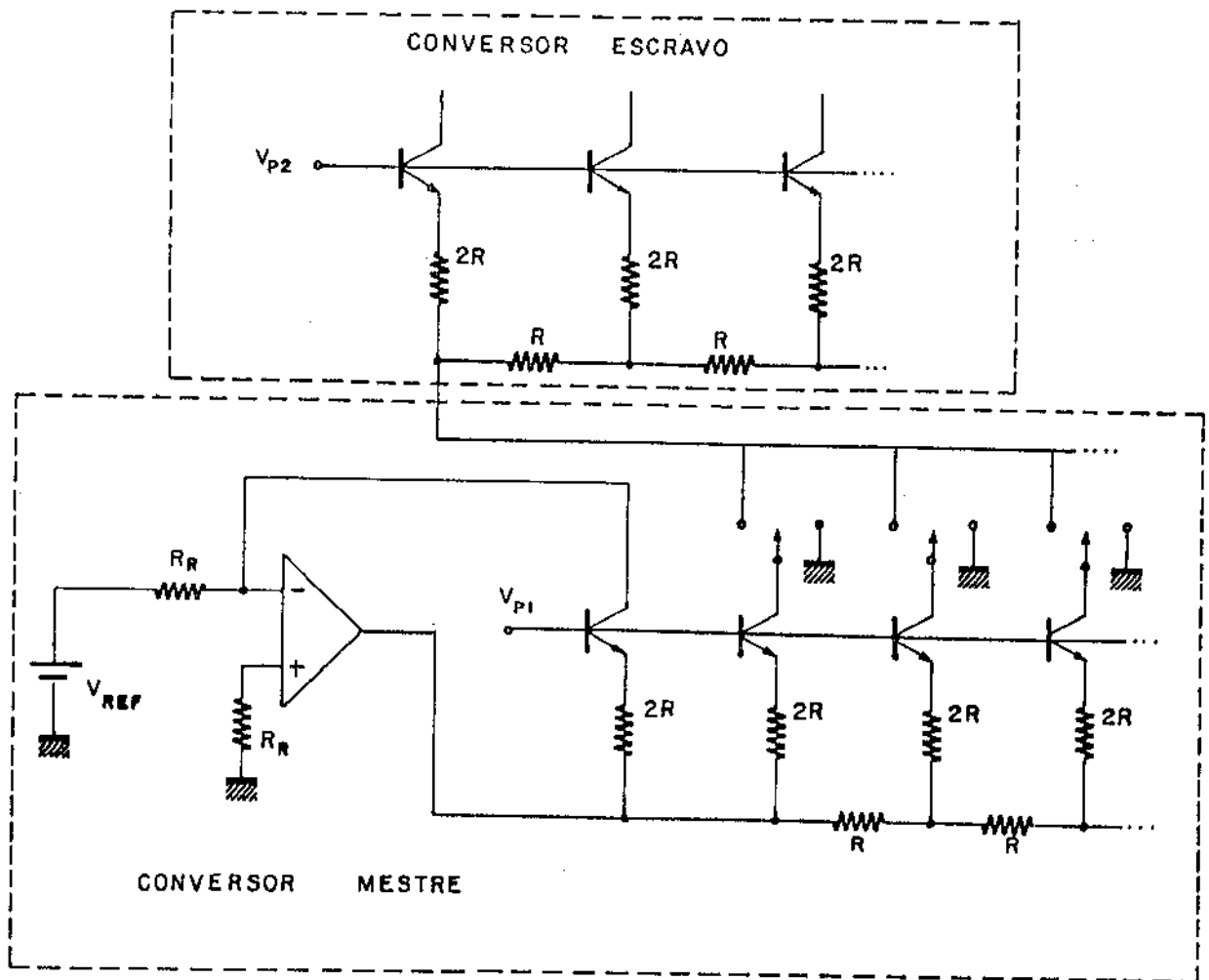


Figura 56 - Esquema utilizado na interligação dos conversores.

Com isso vemos que, para termos um determinado valor de corrente no bit mais significativo, temos que gerar o dobro dessa corrente no conversor mestre (o que não era necessário no primeiro circuito apresentado), sendo esta a razão do aumento do consumo de potência.

No entanto, como é a própria corrente de saída do primeiro conversor que comanda a malha R-2R, não temos nenhum erro associado ao processo de multiplicação, ficando todos os erros do circuito definidos pela imprecisão dos conversores D/A.

Para possibilitar este tipo de empilhamento dos conversores, é necessário um estudo cuidadoso dos potenciais em cada um dos pontos do circuito.

Para isso, vamos definir os níveis de corrente de saída, bem como realizar a escolha de qual dos conversores deve trabalhar com correntes fixas e qual deve trabalhar com referência variável.

Um dos conversores, o que define os sete segmentos da lei A-128, gera as parcelas de peso 1, 2, 4, 8, 16, 32 e 64, só admitindo estas parcelas, e apenas uma por vez, não podendo apresentar zero na saída.

O outro conversor, o que define os passos dentro de cada segmento, gera as parcelas de peso 1/2, 1, 2, 4, 8 e 16, e pode apresentar na saída valores de 0 a 31 1/2, com incremento de 1.

Dessa forma, são duas as possíveis distribuições para as correntes, dependendo de quem é utilizado como conversor mestre ou escravo.

A primeira possibilidade é a utilização do conversor mestre para definir os segmentos e do conversor escravo para definir os passos dentro de cada segmento. A segunda possibilidade é, obviamente, obtida com a inversão dos conversores.

Apesar de aparentemente iguais, existe uma diferença básica que nos fez optar pela primeira alternativa. Com tal disposição, a corrente de saída do conversor mestre nunca é zero, evitando qualquer tipo de problema na definição das correntes do conversor escravo.

Essa imposição poderia ser removida se o conversor sempre fosse usado com a parcela de peso 1/2 sempre ligada [46], procedimento esse normalmente utilizado para diminuir o ruído de quantização. Essa hipótese foi desconsiderada, uma vez que inviabiliza a utilização do conversor em outras aplicações de conversão D/A não linear, que poderiam ser implementadas com uma simples mudança da malha lógica de comando, alterando a definição dos segmentos no conver

sor mestre.

Uma vez definidas as posições dos conversores mestre e escravo, podemos calcular os níveis de corrente em cada um dos conversores.

Para uma saída mínima de $1\mu\text{A}$ (primeiro passo do primeiro segmento), temos que a corrente total da malha R-2R do conversor escravo será de $32\mu\text{A}$. Como estamos no primeiro segmento, devemos fazer com que a corrente do bit menos significativo do conversor mestre seja igual a $32\mu\text{A}$. A distribuição de todas as correntes é apresentada na figura 57.

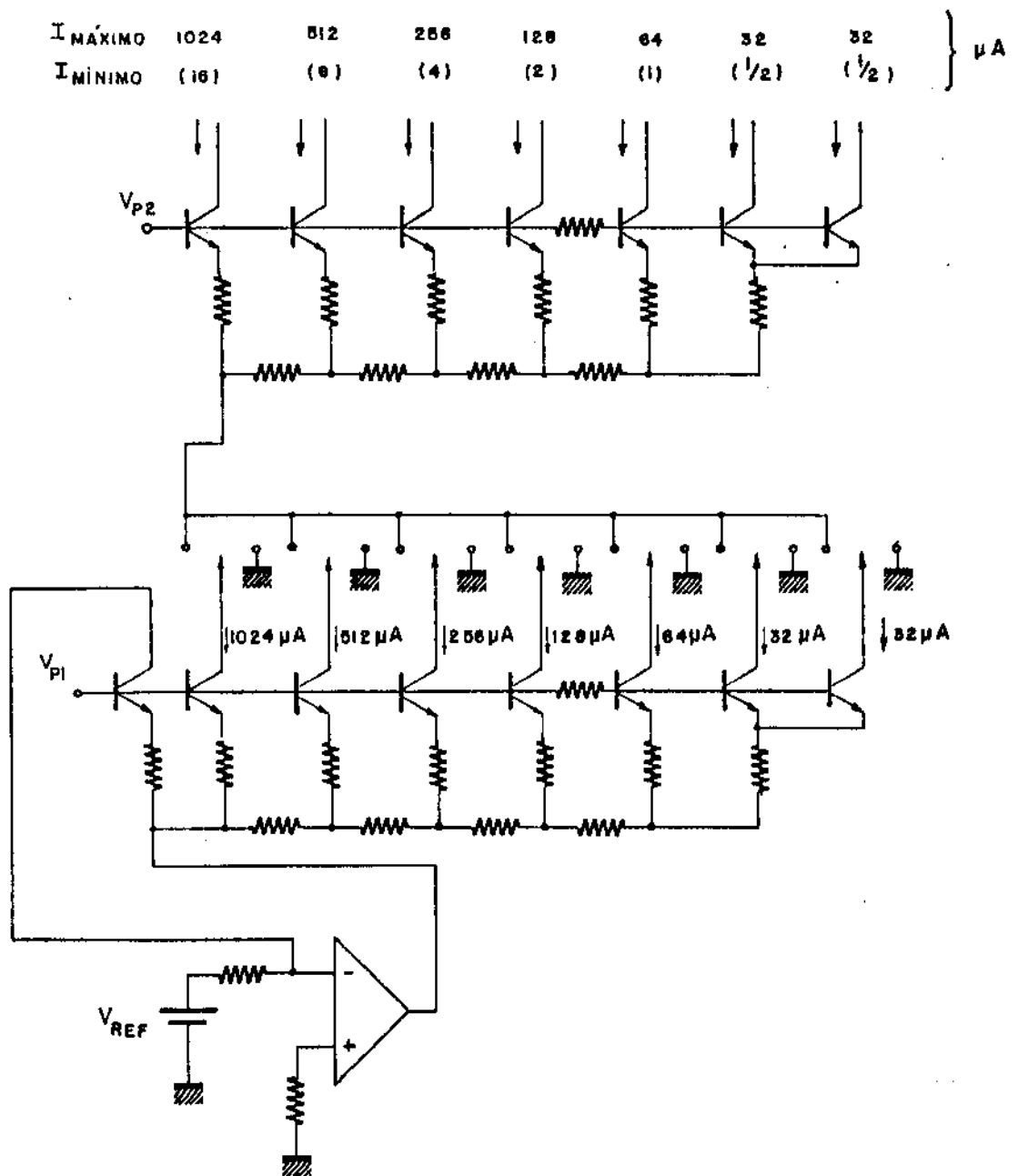


Figura 57- Distribuição das correntes nos conversores mestre e escravo.

Como se pode observar, para evitar a construção de mais um bit no conversor mestre para gerar a parcela de peso 64, usamos o artifício de comandar (através da malha lógica) todas as chaves do conversor escravo simultaneamente. Como isso nos daria apenas o valor 63, usamos o último transistor da malha R-2R (T_7), que normalmente não tem nenhuma utilidade, para gerar a parcela de valor 1 que nos faltava.

É importante notar que esse recurso nos permite operar o conversor mestre com uma corrente total de 2048 μA . Se fosse utilizado mais um bit, essa corrente seria dobrada, passando para 4096 μA .

Vamos agora passar ao cálculo dos potenciais nos dois conversores, visando definir as tensões de polarização que devem ser aplicadas ao circuito. Na figura 58 vemos o diagrama básico da interligação dos conversores, onde destacamos as chaves de corrente. Como se pode observar, precisamos definir as polarizações V_{B1} , V_{CH1} , V_{B2} e V_{CH2} , além das fontes de polarização externas, $+V_{CC}$ e $-V_{EE}$.

As tensões de polarização externas devem ser baixas, para serem compatíveis com os transistores do processo, que têm $V_{CE0} \approx 20\text{V}$. Com esse objetivo e, visando principalmente a possibilidade de utilização de reguladores de tensão integrados, escolhemos $V_{CC} = +8\text{V}$ e $-V_{EE} = -8\text{V}$.

Os resistores da malha R-2R foram escolhidos de forma a apresentar a melhor relação entre o casamento dos resistores e a área por eles ocupada [47]. Os valores escolhidos para a malha R-2R foram 500 Ω e 1000 Ω , respectivamente, sendo que, para obtenção de melhor casamento, serão construídos apenas resistores de 1000 Ω , usando-se dois resistores em paralelo para a obtenção dos resistores de 500 Ω . Isso certamente permite um casamento superior ao que seria conseguido se usássemos geometrias diferentes para confeccionar os resistores de 1000 Ω e 500 Ω .

Para a definição das fontes de polarização, vamos iniciar pela tensão V_{CH1} , que define o comum das chaves de corrente do conversor escravo.

Se observarmos o circuito da chave de corrente apresentada no item 5.3, vemos que a tensão V_{CH1} é a tensão do comum I^2L que, de acordo com o apresentado anteriormente, deve estar no terra do circuito.

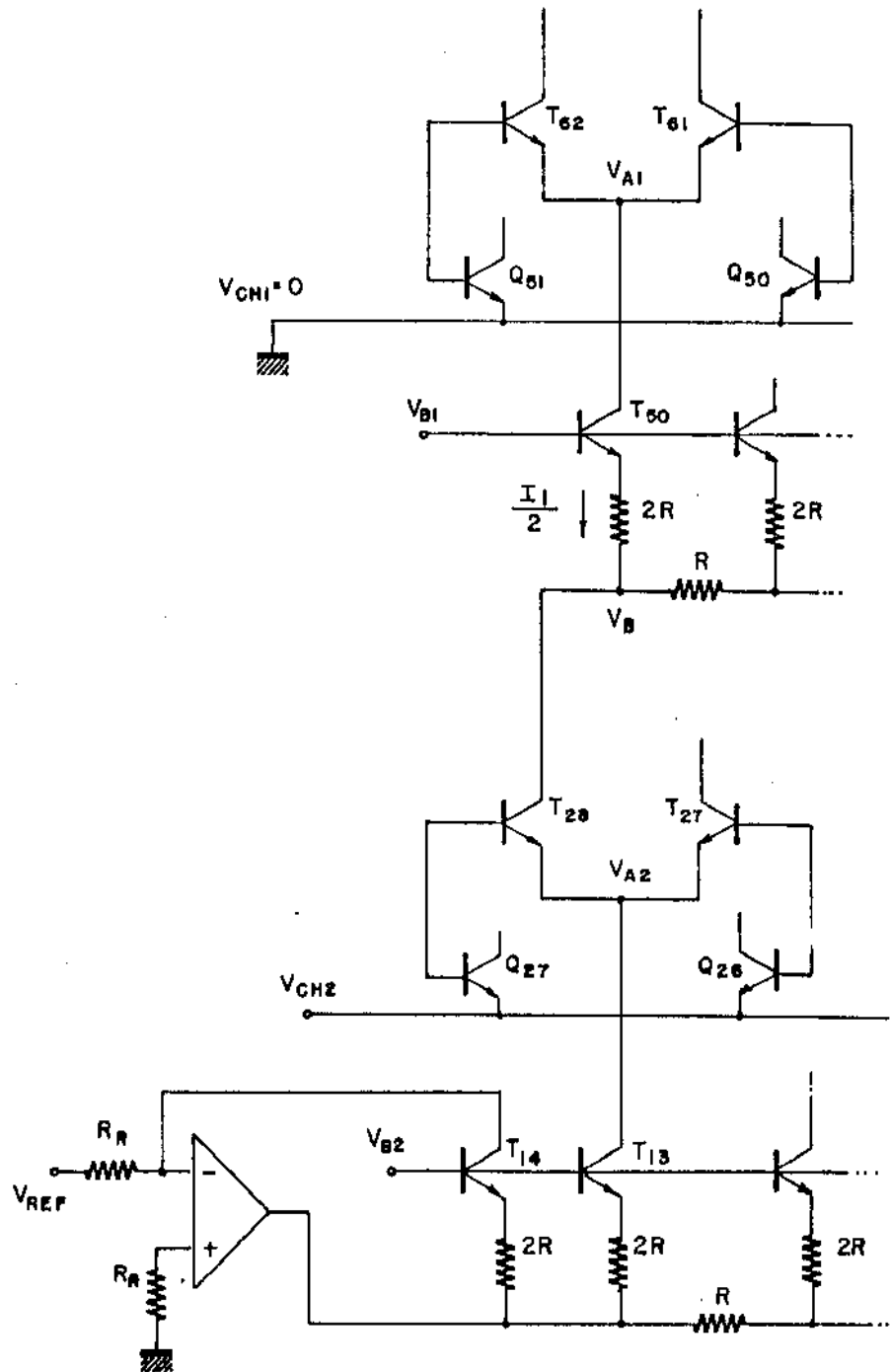


Figura 58 - Definição das tensões de polarização nas chaves de corrente, na interligação dos conversores.

Com $V_{CH1} = 0$, temos também definido o potencial V_{A1} , que estará ligeiramente abaixo do terra, já que $V_{BE}(T62) > V_{BE}(Q51)$ ($I_{T62} > I_{Q51}$). Com isso, para que o transistor T50 não entre na região de saturação, devemos fazer com que $V_{BC}(T50) \geq 0$, ou seja, $V_{B1} \leq V_{A1}$.

Para isso, vamos usar um diodo para criar a polarização V_{B1} , de forma a ter $V_{B1} \approx -0,6V$.

A tensão V_B , no extremo da malha R-2R, é calculada como

$$V_B = V_{B1} - (2R \cdot \frac{I_1}{2}) - V_{BE}(T50) \quad (5.59)$$

que, para $I_1 = 2048 \mu A$, atinge seu valor mínimo, $V_{Bmin} \approx -2,4$ volts.

Para que o transistor T28 não sature, é necessário que $V_{CH2} + V_{BE}(T28) < V_B$. Logo, devemos ter $V_{CH2} < V_B - V_{BE}(T28)$. Usando os valores calculados para V_B , temos $V_{CH2} < -3,1V$.

A tensão V_{A2} será ligeiramente menor do que V_{CH2} (de acordo com o já exposto no cálculo de V_{A1}) e, para que o transistor T13 não entre na região de saturação, devemos ter $V_{B2} < V_{A2}$.

Como é difícil prever com exatidão qual será a diferença $V_{CH2} - V_{A2}$, para que não fique problemática a definição da fonte V_{B2} , faremos, a exemplo do caso anterior, a definição de V_{B2} usando V_{CH2} como referência, de forma a termos $V_{B2} = V_{CH2} - V_{BE}$.

Assim, qualquer que seja o valor de V_{CH2} , teremos $V_{CB}(T8) \approx V_{BE}$.

Resta apenas definir V_{CH2} , que, como vimos anteriormente, devia obedecer a relação $V_{CH2} < -3,1V$. Não devemos nos esquecer, entretanto, que os valores dos resistores difundidos em circuitos integrados apresentam, tipicamente, dispersão da ordem de $\pm 30\%$, de uma fornada para outra.

Dessa forma, devemos fazer uma análise de pior caso e recalcular V_{CH2} . Supondo $R_{max} = R(1 + 0,3)$, temos que $V_{CH2} < -3,4v$.

Devemos lembrar ainda, que os resistores difundidos apresentam alto coeficiente térmico, podendo, eventualmente, invalidar os cálculos feitos para

a definição de V_{CH2} .

Seria interessante, portanto, na definição da fonte de polarização V_{CH2} , usar um circuito que tenha um comportamento térmico igual ao do circuito que ela vai alimentar. Para isso, vamos gerar a tensão V_{CH2} a partir de uma estrutura semelhante à que deve ser compensada. Na figura 59 vemos o esquema básico do circuito que será utilizado na geração de V_{CH2} . O produto da corrente I_0 por R_{13} deve ser igual a $(I_1/2) \cdot (2R)$; os diodos D_A , D_B e D_C são usados para compensar os V_{BE} 's dos transistores T_{43} , T_{50} e T_{28} .

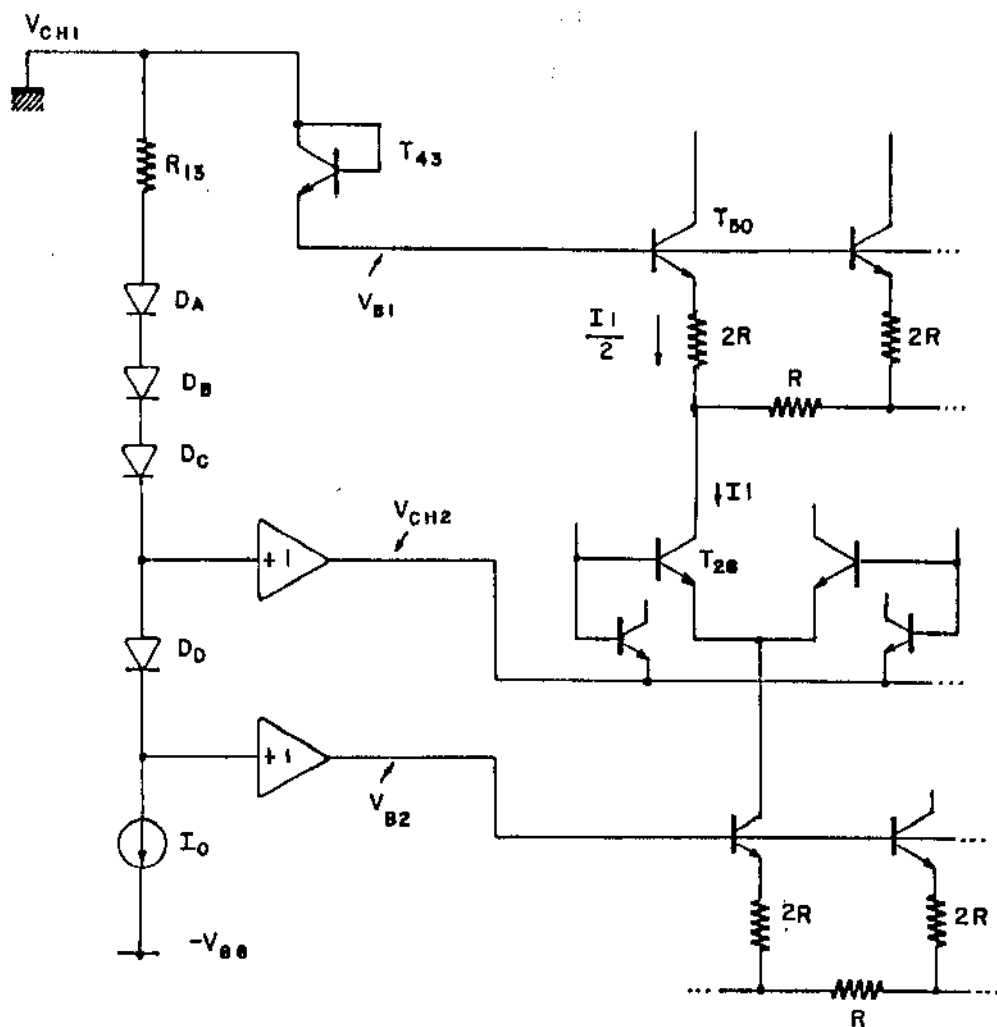


Figura 59 - Diagrama básico do circuito de geração das tensões V_{CH2} e V_{B2} .

A corrente I_0 pode ser retirada do circuito de geração da corrente de referência, de forma que o seu comportamento térmico será o mesmo de I_1 , fazendo com que tenhamos $R_{13} \cdot I_0 = R \cdot I_1$, qualquer que seja a temperatura.

Para a obtenção de I_0 , basta colocarmos uma célula idêntica à célula falsa (do circuito de controle da corrente de referência), como indicado na figura 60.

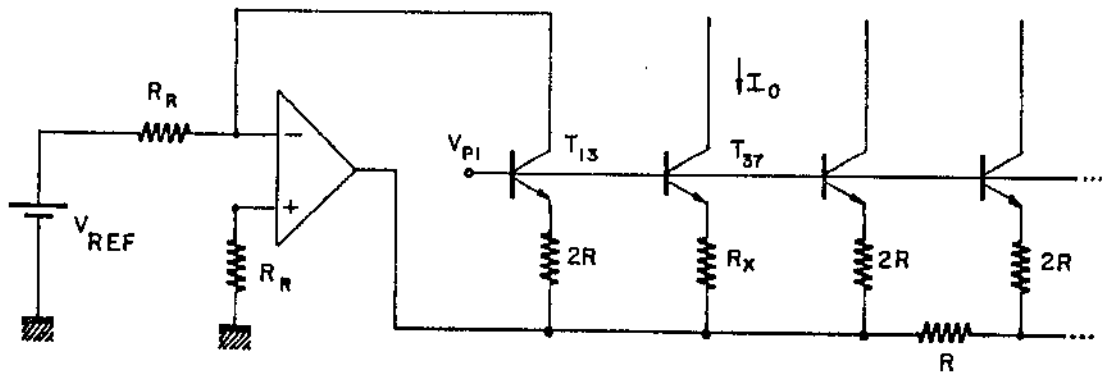


Figura 60 - Circuito para obtenção de I_0 .

Dessa forma, se $R_x = 2R$, temos uma corrente constante e de valor igual a $I_1/2$ passando por T_{37} e, portanto, bastaria fazermos $R_{13} = 2R$ para termos uma compensação perfeita.

No entanto, essa solução aumenta demasiadamente o consumo do circuito, já que teríamos $I_0 = 1024 \mu A$. A solução mais simples seria alterar o valor de R_x , de forma a diminuir I_0 .

Para a malha contendo T_{37} , T_{13} , R_x e $2R$ podemos escrever

$$R_x \cdot I_0 + V_{BE_x} - V_{BE13} - 2R \cdot (I_1/2) = 0 \quad (5.60)$$

Logo,

$$R_x = \frac{V_{BE13} - V_{BE_x} + R I_1}{I_0} \quad (5.61)$$

Como $V_{BE13} - V_{BEx} \ll R \cdot I_1$, podemos escrever

$$R_x \approx R \frac{I_1}{I_0} \quad (5.62)$$

Podemos, então, calcular o valor de R_x , para obtermos uma corrente I_0 , a partir da equação 5.62.

Lembramos ainda que, como $I_0 < I_1/2$ temos $V_{BE13} > V_{BE37}$ e, portanto, ao utilizarmos a expressão 5.62 para o cálculo de R_x , a corrente I_0^* obtida será um pouco maior do que a especificada, I_0 .

Isso é interessante, uma vez que nos proporciona uma margem de segurança, garantido que, usando $R_{13} = \frac{I_1 \cdot R}{I_0}$, teremos $R_{13} \cdot I_0^* > I_1 \cdot R$.

Além disso, vamos também acrescentar mais um diodo ao circuito, de forma a termos cerca de 600 mV a mais do que o necessário para definir V_{CH2} , proporcionando uma boa margem de segurança em relação aos problemas que poderiam advir de eventuais descasamentos dos coeficientes térmicos de R_{13} e $2R$.

O circuito a ser utilizado na geração das tensões de polarização é apresentado na figura 61.

Com a definição dos potenciais, vemos que as chaves I^2L do conversor mestre estão referenciadas a uma tensão diferente do comum I^2L (V_{CH1} , que está em terra). Com isso, somos obrigados a confeccionar algum tipo de interface que compatibilize as entradas das chaves I^2L que estão referenciadas em V_{CH2} , com as saídas I^2L da malha lógica de comando, que estão referenciadas ao terra.

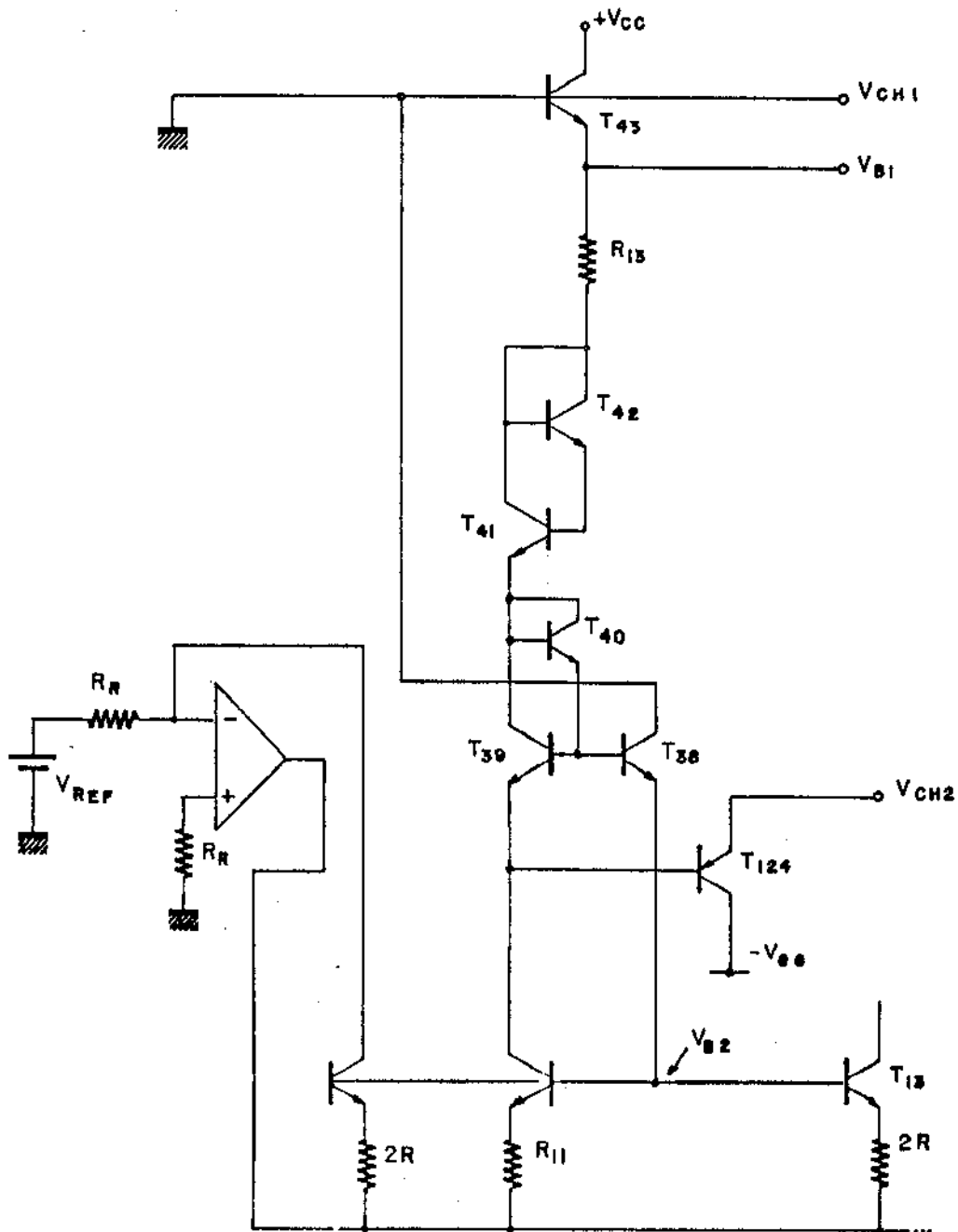


Figura 61 - Circuito para obtenção das tensões de polarização.

Na figura 62 é apresentado o circuito utilizado para realizar a adaptação de níveis entre os dois circuitos I^2L .

O transistor Q_1 é um transistor I^2L , em cujo coletor é colocada uma carga resistiva, R_A .

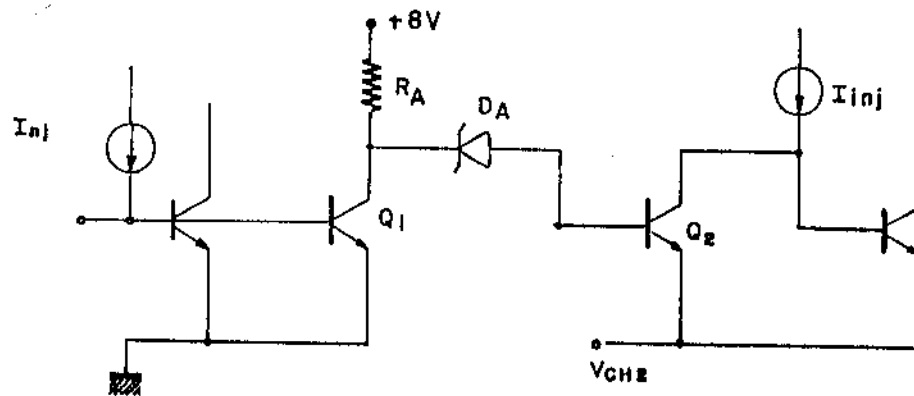


Figura 62 - Circuito de deslocamento de nível, usado para compatibilizar os níveis de tensão das chaves I^2L .

Com o transistor Q_1 saturado, devemos fazer com que o transistor Q_2 corte. Para que isso ocorra, temos que ter $V_{ZDA} - V_{CESAT} - V_{CH2} > V_{BE}$. Com os valores já calculados para V_{CH2} , temos $V_{ZDA} > 4,1V$.

O diodo Zener DA pode ser confeccionado usando uma junção base-emissor reversamente polarizada, que, normalmente, apresenta tensões de ruptura da ordem de 6 a 7 volts.

O resistor R_A é dimensionado de forma que, quando Q_1 estiver cortado, a corrente injetada na base de Q_2 seja igual à corrente de injetor, assegurando boas condições de funcionamento ao transistor Q_2 , que é um transistor operado no sentido reverso, porém sem injetor.

Outro dado interessante sobre o adaptador de nível, é que o diodo Zener DA não permite que o coletor de Q_1 ultrapasse cerca de 3 volts, impedindo, portanto, que esse transistor entre em ruptura, já que os transistores I^2L apresentam $V_{CE0} \approx 5V$.

Devemos lembrar que, como temos transistores I^2L referenciados a duas tensões diferentes, devem ser confeccionadas duas ilhas N, uma para cada conjunto de transistores.

5.5 Amplificador de Saída

Por ser um circuito dedicado, o amplificador de saída do decodificador MCP deve ter algumas características especiais, dentre as quais destacamos:

- realizar uma conversão corrente-tensão (pois o sinal disponível na entrada do amplificador é em corrente e a saída do conversor deve ser em tensão);
- possibilitar a inversão do sinal de saída, controlado por um sinal lógico com nível I^2L ;
- capacidade de fornecer uma tensão de ± 5 volts de pico;
- permitir a utilização de sinais de entrada variando em uma grande faixa (nominalmente $0,5\mu A$ a $2048\mu A$).

O esquema básico do amplificador de saída é apresentado na figura 63. A corrente de saída do conversor D/A é dirigida, através de uma chave de corrente, para a entrada inversora ou não inversora de um amplificador, que funciona como conversor corrente-tensão diferencial.

A chave de corrente é controlada por um sinal lógico I^2L - mais precisamente, o bit B1 da memória de 8 bits descrita no Capítulo 2.

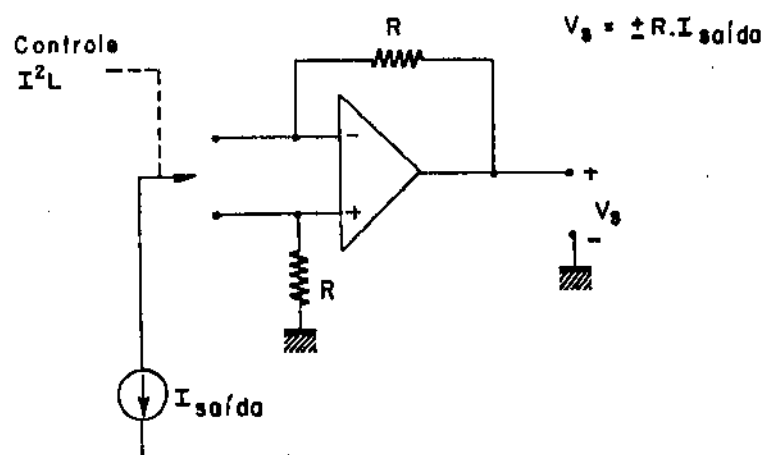


Figura 63 - Diagrama básico do amplificador de saída.

Como o sinal na saída do amplificador ainda deve ser processado por um filtro do tipo $\frac{\text{sen}x}{x}$, o seu acoplamento externo é realizado através de um capacitor e, portanto, os erros devidos ao "off-set" na entrada do amplificador operacional são eliminados. Com isso, o projeto do amplificador fica bem simplificado, não sendo necessários cuidados especiais para o estágio de entrada.

A chave de corrente será realizada de forma semelhante às células de chaveamento de corrente dos conversores. Na figura 64 temos o circuito da chave de corrente a ser utilizada, acoplada a uma das chaves de corrente do conversor escravo.

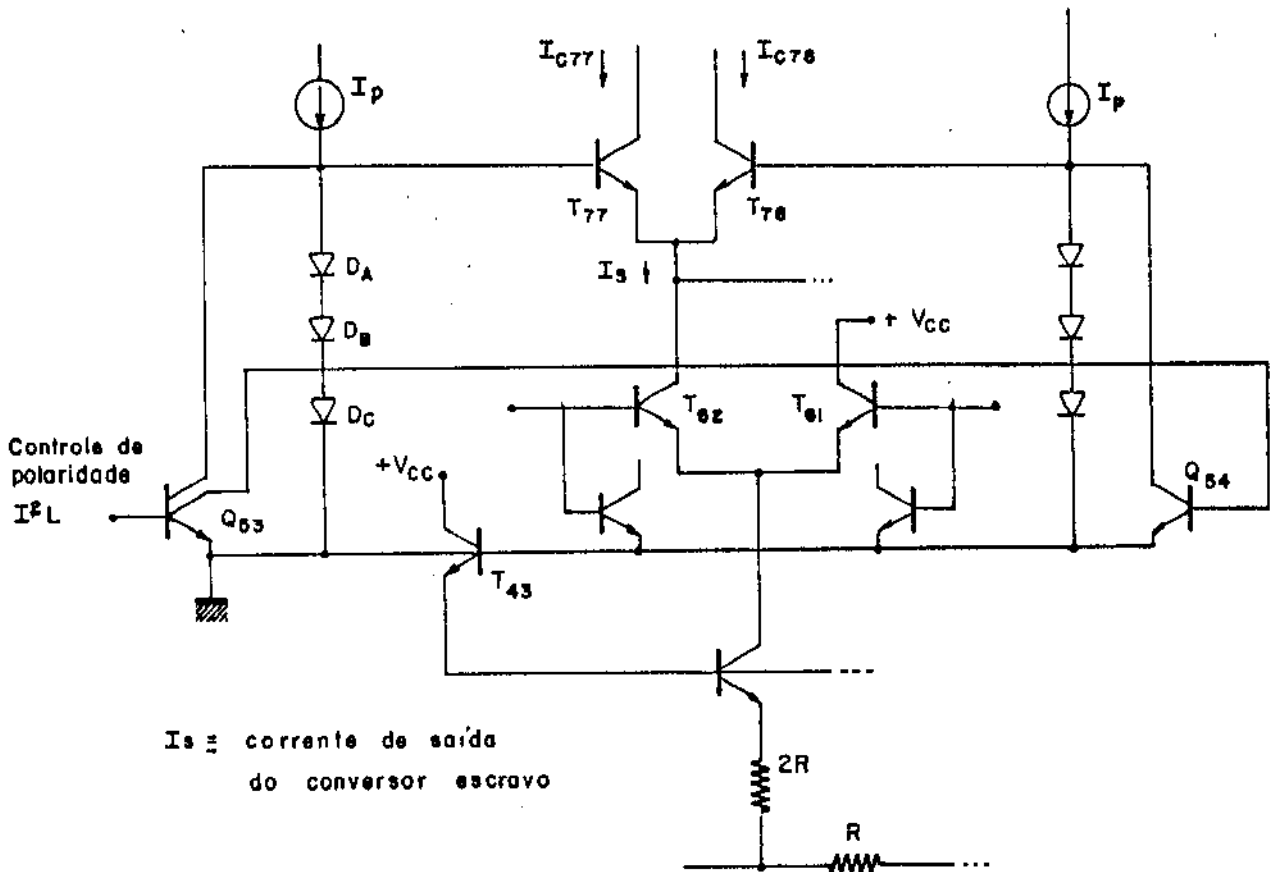


Figura 64 - Diagrama básico da chave de corrente do amplificador de saída.

O circuito é muito semelhante ao das chaves usadas nos conversores sendo que as modificações foram feitas para compatibilizar os níveis de tensão nas duas chaves.

Como as bases dos transistores T_{77} e T_{78} atingem tensões de até $3 V_{BE}$ acima do terra, as fontes de corrente I_p não podem ser injetores I^2L . Dessa forma, os transistores Q_{53} e Q_{54} devem ser transistores I^2L sem injetor. As fontes de corrente I_p são realizadas através de espelhos de corrente; os diodos D_A , D_B e D_C , além de assegurar que os transistores T_{77} , T_{78} e T_{62} não saturem, limitam a tensão VCE dos transistores I^2L , não permitindo que eles entrem em ruptura.

Se observarmos o esquema da figura 64, veremos que a conexão das correntes de saída da chave (I_{C77} e I_{C78}) ao circuito de conversão corrente-tensão apresentado na figura 63 não pode ser realizada, uma vez que os coletores dos transistores T_{77} e T_{78} devem estar com um potencial de, no mínimo, $3 V_{BE}$ acima do terra, o que não é possível obter usando a configuração proposta.

Para que possamos ligar as chaves de corrente diretamente ao conversor corrente-tensão, devemos efetuar uma mudança para elevar as tensões nas entradas do amplificador operacional.

O esquema final utilizado para a conversão $I \times V$ é apresentado na figura 65. Com a introdução de uma fonte de tensão V_Z e de dois resistores, elevamos o potencial das entradas do operacional para $V_Z \cdot R_1 / (R_1 + R_2)$ e garantimos que, para $I_{C77} = 0$ e $I_{C78} = 0$, a tensão de saída V_S também será nula.

Podemos facilmente verificar que, para uma excursão de - 5 volts na saída, a tensão na entrada do amplificador operacional atinge seu valor mínimo $(\frac{V_Z \cdot R_1}{R_1 + R_2} - \frac{5 \cdot R_2}{R_1 + R_2})$, não trazendo nenhum problema à operação de T_{77} e T_{78} , se fizermos:

$$\frac{V_Z \cdot R_1}{R_1 + R_2} - \frac{5 \cdot R_2}{R_1 + R_2} > 3 V_{BE} \quad (5.63)$$

Basta, portanto, escolher:

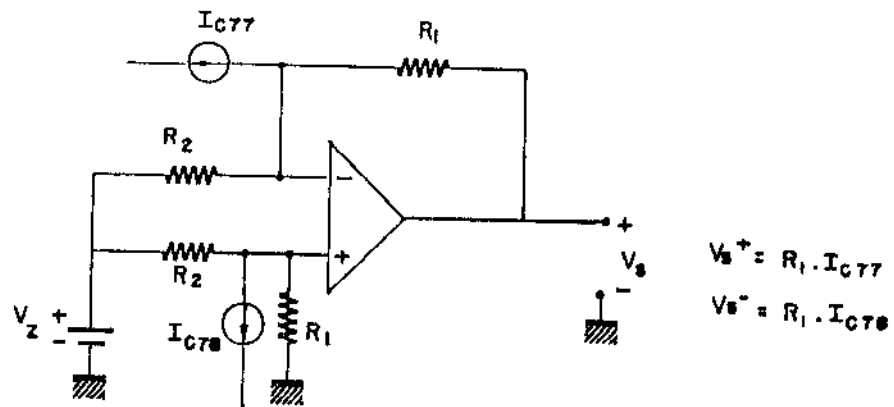


Figura 65 - Conversor corrente-tensão.

$$\frac{R_2}{R_1} > \frac{V_Z - 3 V_{BE}}{5 + V_{BE}} \quad (5.64)$$

para que o conversor corrente-tensão possa ser ligado diretamente à chave de corrente de comando de polaridade.

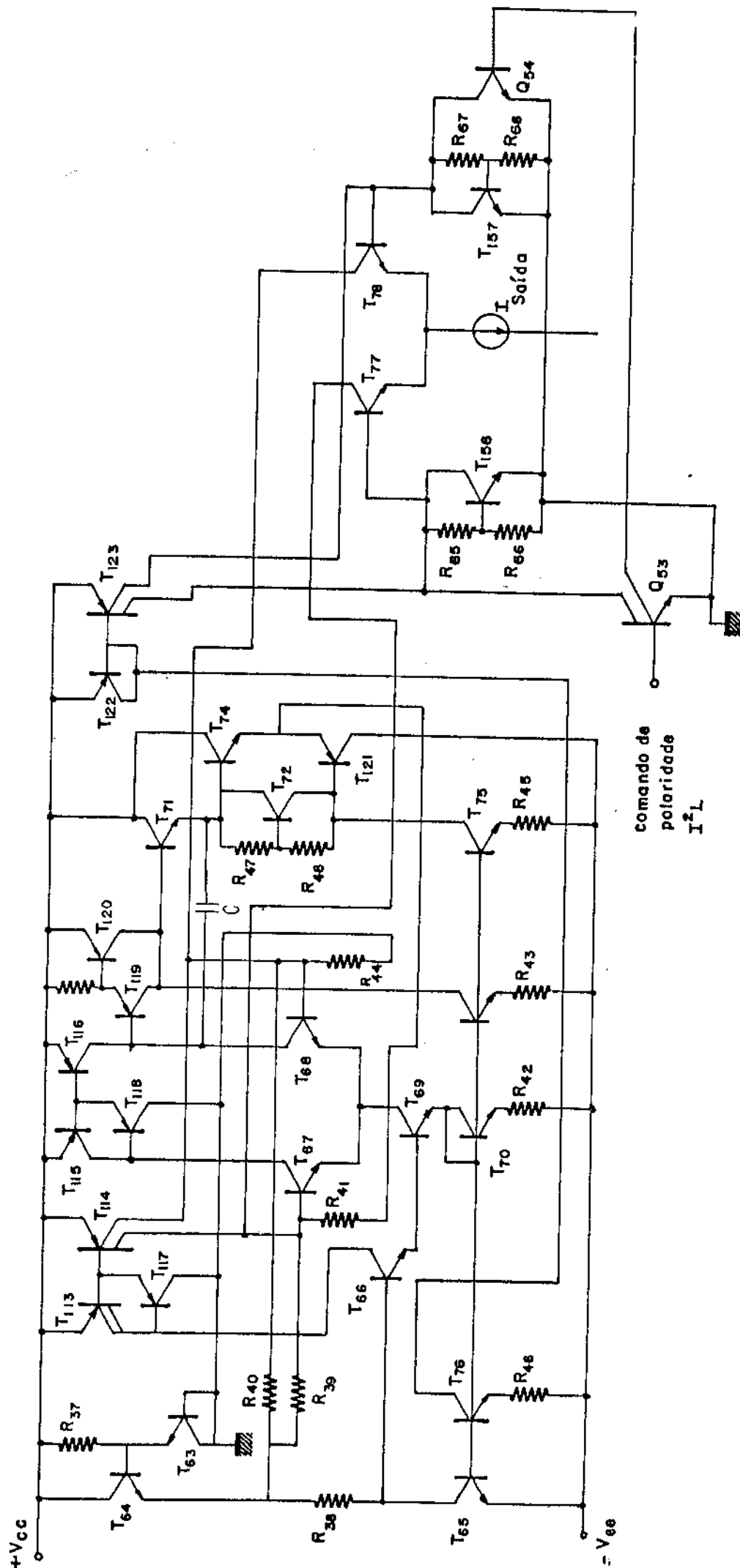
Na figura 66 é apresentado o circuito completo do amplificador de saída. O amplificador operacional é composto por três estágios, utilizando uma configuração clássica, a não ser pelo circuito de polarização, que é utilizado parcialmente para realizar uma compensação de correntes de entrada. Essa compensação foi implementada para diminuir os erros devido a I_{OS} , permitindo a utilização do circuito em outros sistemas de conversão D/A não linear, que não utilizem acoplamento capacitivo na saída.

A tensão V_Z é obtida através da composição T_{63} e T_{64} , sendo, de forma aproximada, independente da temperatura, já que os coeficientes térmicos das tensões base-emissor de T_{63} e T_{64} (que estão polarizados diretamente e na região de ruptura, respectivamente), têm, geralmente, valores absolutos próximos, porém de sinais contrários.

A compensação em frequência, como no amplificador operacional des

critico na secção 5.2, é realizada através da introdução de um pólo dominante, criado pelo capacitor C .

Devemos observar também que, para economizar área, os diodos D_A , D_B e D_C da figura 64 foram substituídos por multiplicadores de V_{BE} , que podem ser construídos em uma única ilha N .



comando de polaridade
I²L

Figura 66 - Circuito completo do amplificador de saída do conversor MCP.

CAPÍTULO VI

REFERÊNCIA DE TENSÃO

6.1 Princípio de Funcionamento

No universo das referências de tensão, os circuitos que apresentam o melhor desempenho são aqueles denominados de Referências do Tipo "Bandgap".

Nesses circuitos, a tensão de referência é obtida através da compensação da tensão base-emissor de um transistor bipolar, em relação a sua variação com a temperatura.

A técnica de compensação consiste, normalmente, na soma de uma tensão de correção $V_{corr}(T)$ ao $V_{BE}(T)$ do transistor, de forma que a tensão resultante seja independente da temperatura.

A tensão $V_{BE}(T)$ em um transistor bipolar polarizado com uma corrente PTAT é dada por:

$$V_{BE}(T) = V_{go} + (m - 1) \frac{k T_r}{q} - \lambda T + (m - 1) \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \quad (6.1)$$

onde

V_{go} - tensão de "bandgap" extrapolada em 0K

T_r - temperatura de referência

m - parâmetro dependente do processo de fabricação

$$\lambda = \frac{V_{go} + (k T_r/q) (m - 1) - V_{BE}(T_r)}{T_r}$$

Logo, para conseguir uma compensação em primeira ordem para $V_{BE}(T)$, basta somarmos uma tensão PTAT que elimine o termo λT na expressão 6.1.

Essa tensão PTAT é, geralmente, obtida através da amplificação de um $\Delta V_{BE}(T)$ entre dois transistores que trabalham com densidades de corrente diferentes, ou seja:

$$V_{corr}(T) = A \cdot \Delta V_{BE}(T) \quad (6.2)$$

Ajustando-se $A \cdot \Delta V_{BE}(T) = \lambda \cdot T$ e calculando-se a tensão de referência $V_{REF} = V_{BE}(T) + V_{CORR}(T)$, temos:

$$V_{REF} = V_{GO} + (m - 1) \frac{k \cdot T_r}{q} + \rho(T) \quad (6.3)$$

onde $\rho(T)$ é o termo não linear, dado por:

$$\rho(T) = (m - 1) \frac{k}{q} \left(T - T_r - T \ln \frac{T}{T_r} \right) \quad (6.4)$$

6.2 Correção de Curvatura

Os circuitos de referência de tensão que apresentam a saída dada pela equação 6.3 têm boa precisão, sendo, no entanto, bastante dependentes do processo de confecção (que determina o valor de m), já que encontramos publicados valores de m desde $m = 1,2$ [48] (o que praticamente elimina o termo $\rho(T)$ até $m = 4$ [49]), que faz com que a tensão de referência apresente uma curvatura acentuada, como indicado na figura 67.

Como existem várias fontes de erro, no circuito do conversor, que são dependentes do processo de confecção (e, portanto, não podem ser corrigidos através de técnicas de circuito), vamos limitar ao máximo a influência da referência de tensão no comportamento global do conversor, já que é possível realizar isso através de técnicas de circuito.

Para que a referência de tensão não contribua com um erro maior do que 3,3% do erro máximo permitido, devemos ter $dV_{REF}/dT = 2,3 \text{ ppm}/^\circ\text{C}$

Se pudermos contar com os valores de m da ordem de 1,2 a 1,5, teremos o desempenho da referência dentro dos padrões desejados. No entanto, para valores de m da ordem de 4, teremos um erro muito grande na tensão de referência (cerca de 450 ppm).

Decidimos, então, utilizar uma técnica conhecida como "correção de curvatura", que permite a obtenção de referências de tensão com coeficientes térmicos muito pequenos.

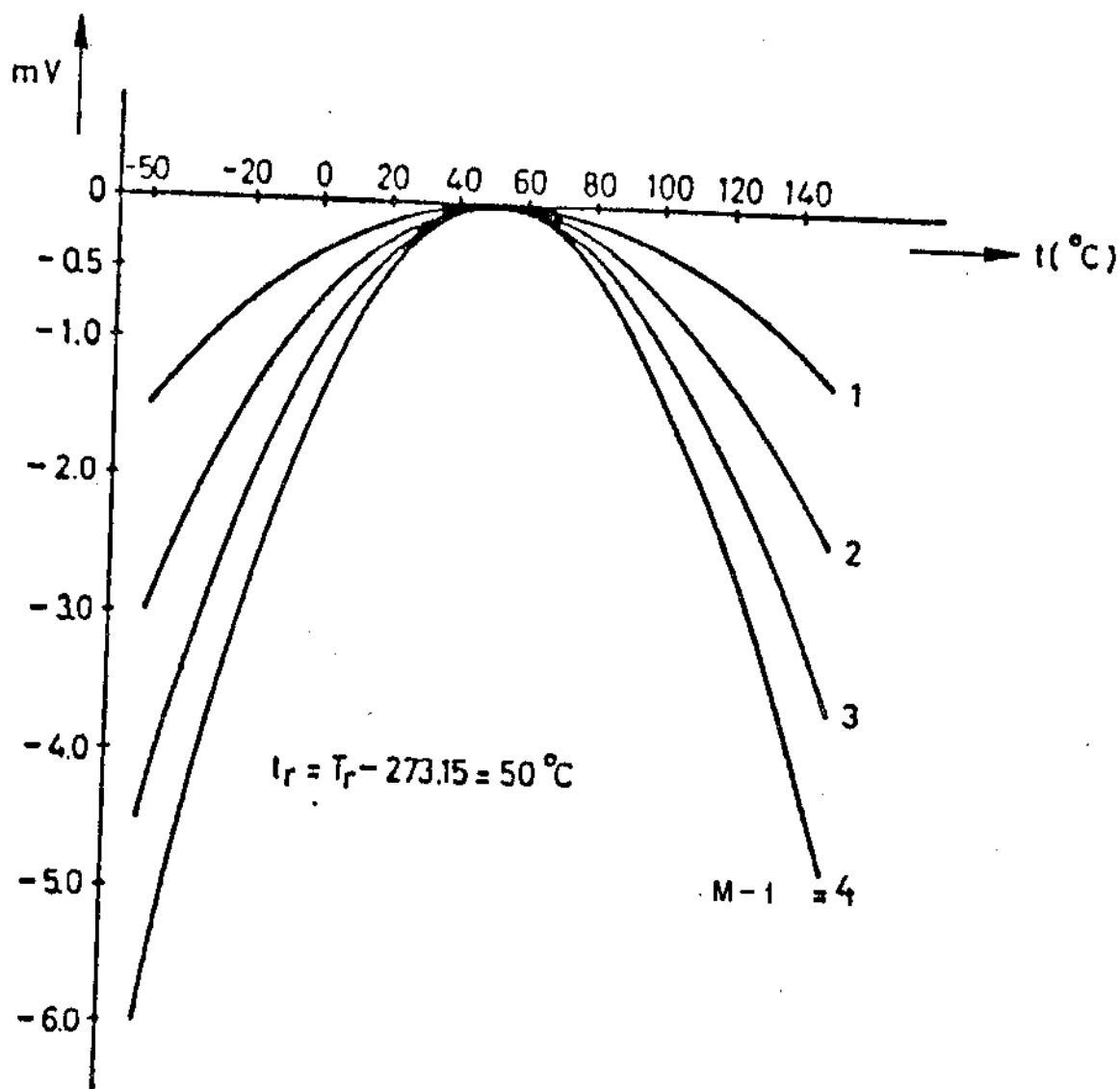


Figura 67 - Influência do valor de m na curvatura da tensão de referência.

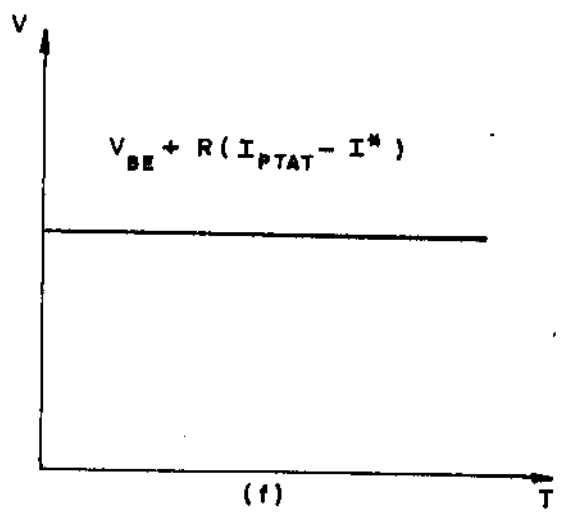
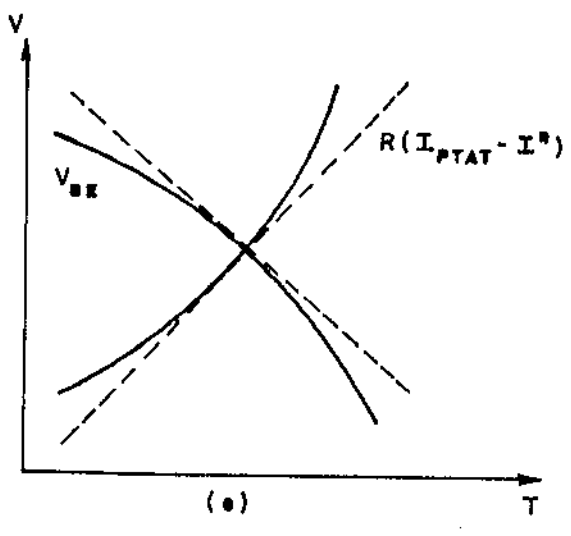
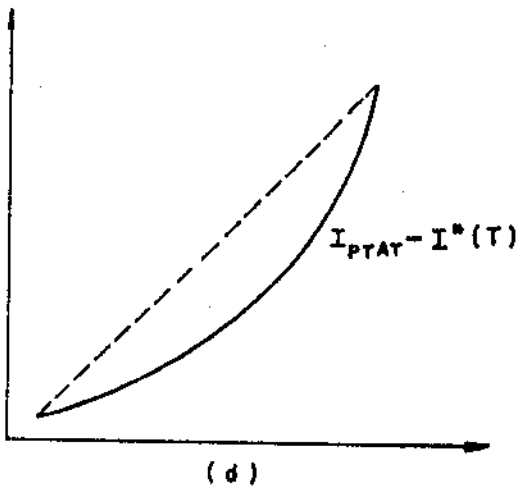
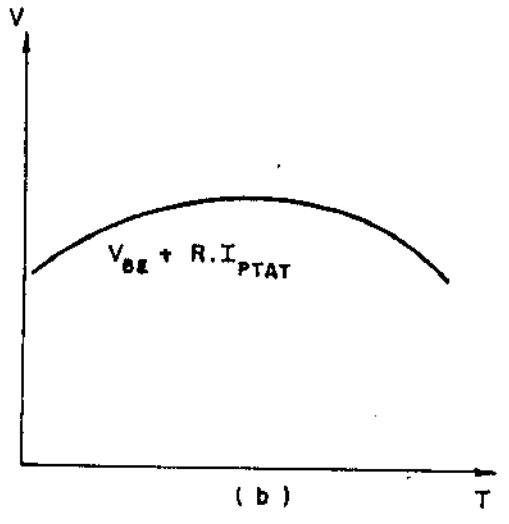
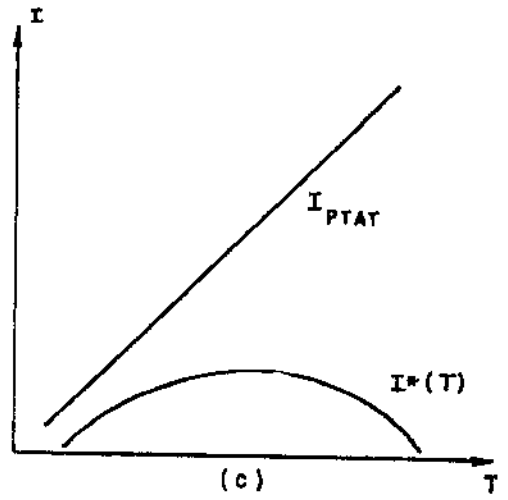
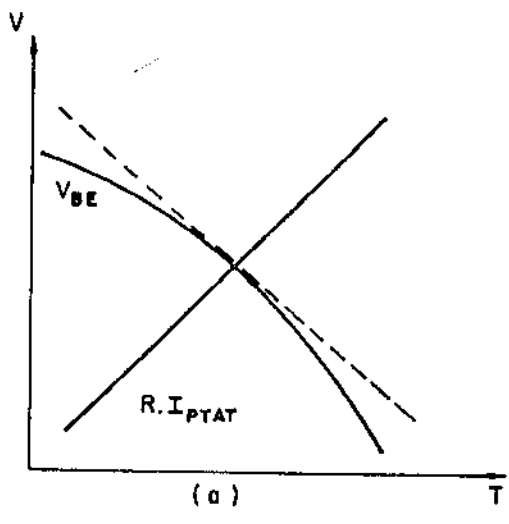


Figura 68 - Gráficos de $V_{BE}(T)$, I_{PTAT} e $I^*(T)$, mostrando o princípio básico da correção de curvatura.

Atualmente já existem alguns trabalhos publicados na área; algumas das técnicas são bastante poderosas, como, por exemplo, a proposta por Reis [50], onde é possível, ao menos teoricamente, a obtenção de um coeficiente térmico nulo para a tensão de referência.

A técnica por nós desenvolvida consiste em gerar uma corrente com a mesma curvatura de $\rho(T)$ e subtraí-la da corrente PTAT que é usada para criar a tensão $A \cdot \Delta V_{BE}(T)$ na célula básica da referência de tensão.

Na figura 68 temos uma representação gráfica das curvas: $V_{BE}(T)$, I_{PTAT} e $I^*(T)$, bem como as suas combinações, que são usadas para obter V_{REF} .

6.3 Circuito Proposto

A célula que vamos utilizar na geração da referência tipo "bandgap" convencional é a chamada célula de Meijer [51], cujo circuito básico é apresentado na figura 69.

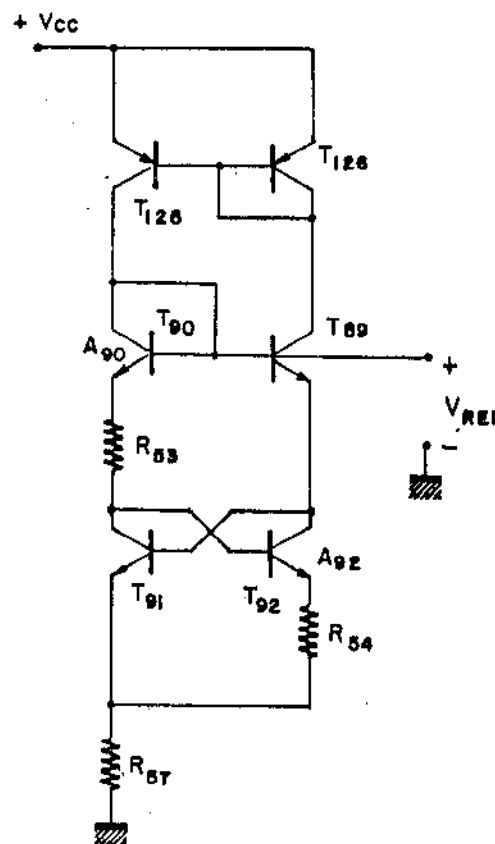


Figura 69 - Circuito básico da célula de Meijer.

O circuito da figura 69 é uma variação do "cross-quad" já apresentado, onde temos, para $R_{53} = R_{54}$:

$$R_{54} (I_{E91} + I_{E92}) = \frac{kT}{q} \ln \left(\frac{A_{90}}{A_{89}} \cdot \frac{A_{92}}{A_{91}} \right) \quad (6.5)$$

A tensão na saída, V_{REF} , é dada por:

$$V_{REF} = \frac{R_{57}}{R_{54}} \cdot \frac{kT}{q} \ln \left(\frac{A_{90}}{A_{89}} \cdot \frac{A_{92}}{A_{91}} \right) + V_{BE89} + V_{BE91} \quad (6.6)$$

Como o espelho de corrente $T_{125} = T_{126}$ força $I_{E91} = I_{E92}$, temos $V_{BE91} = V_{BE89}$. Usando a expressão 6.1 para explicitar $V_{BE}(T)$, vem que:

$$V_{REF} = \frac{R_{57}}{R_{54}} \cdot \frac{k}{q} \ln \left(\frac{A_{90}}{A_{89}} \cdot \frac{A_{92}}{A_{91}} \right) \cdot T + 2 \cdot \left[V_{GO} + (m-1) \frac{k \cdot T_r}{q} - \lambda T + \right. \\ \left. + (m-1) \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \right] \quad (6.7)$$

Através de um ajuste de R_{57}/R_{54} , podemos cancelar os termos lineares e obter:

$$V_{REF} = 2 \left[V_{GO} + (m-1) \frac{k \cdot T_r}{q} + (m-1) \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \right] \quad (6.8)$$

Temos, portanto, uma não linearidade na tensão de saída, dada por:

$$\rho^*(T) = 2 (m-1) \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \quad (6.9)$$

A proposta que formulamos, para a correção de curvatura, consiste na introdução de uma fonte de corrente $I^*(T)$, como indicado na figura 70, de forma a termos:

$$V_{REF} = R_{57} (I_{PTAT} - I^*(T)) + V_{BE89} + V_{BE91} \quad (6.10)$$

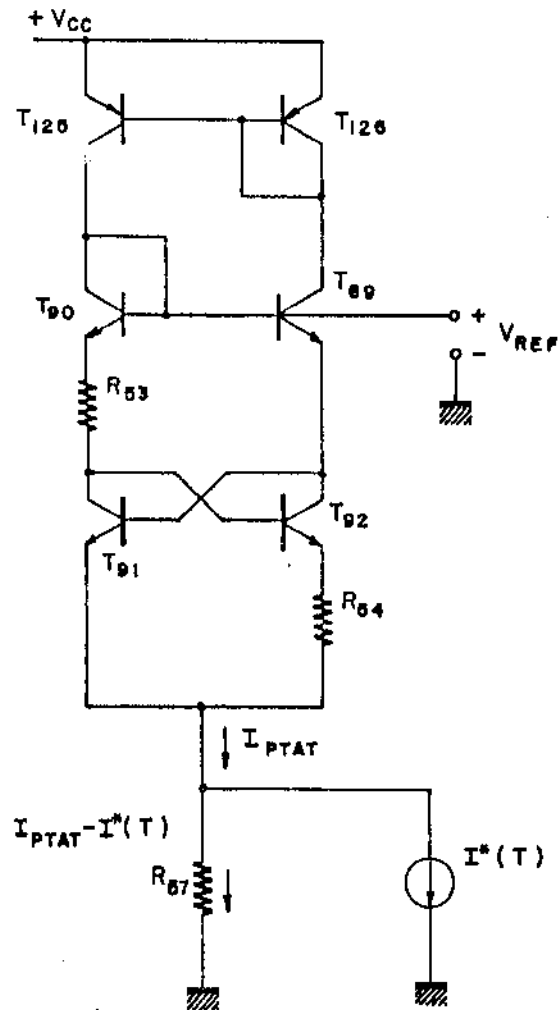


Figura 70 - Diagrama básico do circuito de correção de curvatura.

Logo, para cancelarmos o termo $\rho^*(T)$ dado pela equação 6.9, devemos fazer

$$R_{57} \cdot I^*(T) = 2 (m - 1) \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \quad (6.11)$$

O problema da correção de curvatura resume-se, portanto, à obtenção de uma corrente cujo comportamento térmico seja dado por:

$$I^*(T) = \frac{2 (m - 1)}{R_{57}} \frac{k}{q} (T - T_r - T \ln \frac{T}{T_r}) \quad (6.12)$$

Como a geração de uma corrente cujo comportamento térmico seja dado pela equação 6.12 não é simples (na verdade essa é a grande dificuldade na realização da correção de curvatura), resolvemos fazer uma aproximação polinomial para a equação 6.12.

Verificamos que um polinômio do segundo grau era suficiente para os nossos objetivos, como podemos ver pela figura 71, onde apresentamos os resultados obtidos na compensação de $\rho^*(T)$ com um polinômio dado por:

$$P(T) = AT^2 + BT + C \quad (6.13)$$

com

$$A = 4,2043035 \times 10^{-7} \text{ A/K}^2$$

$$B = 2,5936549 \times 10^{-4} \text{ A/K}$$

$$C = 40,0007936 \times 10^{-3} \text{ A}$$

Resta-nos, agora, projetar uma configuração de circuito que nos permita a obtenção de um polinômio do segundo grau. Obviamente a opção de fazer um ajuste de $\rho^*(T)$ por um polinômio foi baseada na possibilidade de usarmos uma técnica de circuitos já conhecida, e que se prestasse à geração de funções polinomiais.

No nosso caso, vamos nos preocupar apenas com a geração de um termo em T^2 , já que o termo em T^1 é facilmente obtido com uma fonte de corrente PTAT, e o termo constante pode ser desprezado.

A técnica que vamos utilizar, para a geração do termo $A.T^2$, é a dos circuitos translineares, criada por Gilbert [52]. O princípio básico dos circuitos translineares diz que: "em uma malha fechada, com um número par de junções PN diretamente polarizadas, de forma que, a cada junção que conduz corrente no sentido horário, corresponda uma outra junção que conduz no sentido anti-horário, o produto das densidades de corrente que circulam no sentido horário é igual ao produto das densidades de corrente que cruzam as junções no sentido anti-horário, se todas as junções estiverem à mesma temperatura".

Podemos, portanto, com um arranjo adequado dessas junções PN, obter produtos de correntes, como é desejado para gerar o termo $A.T^2$.

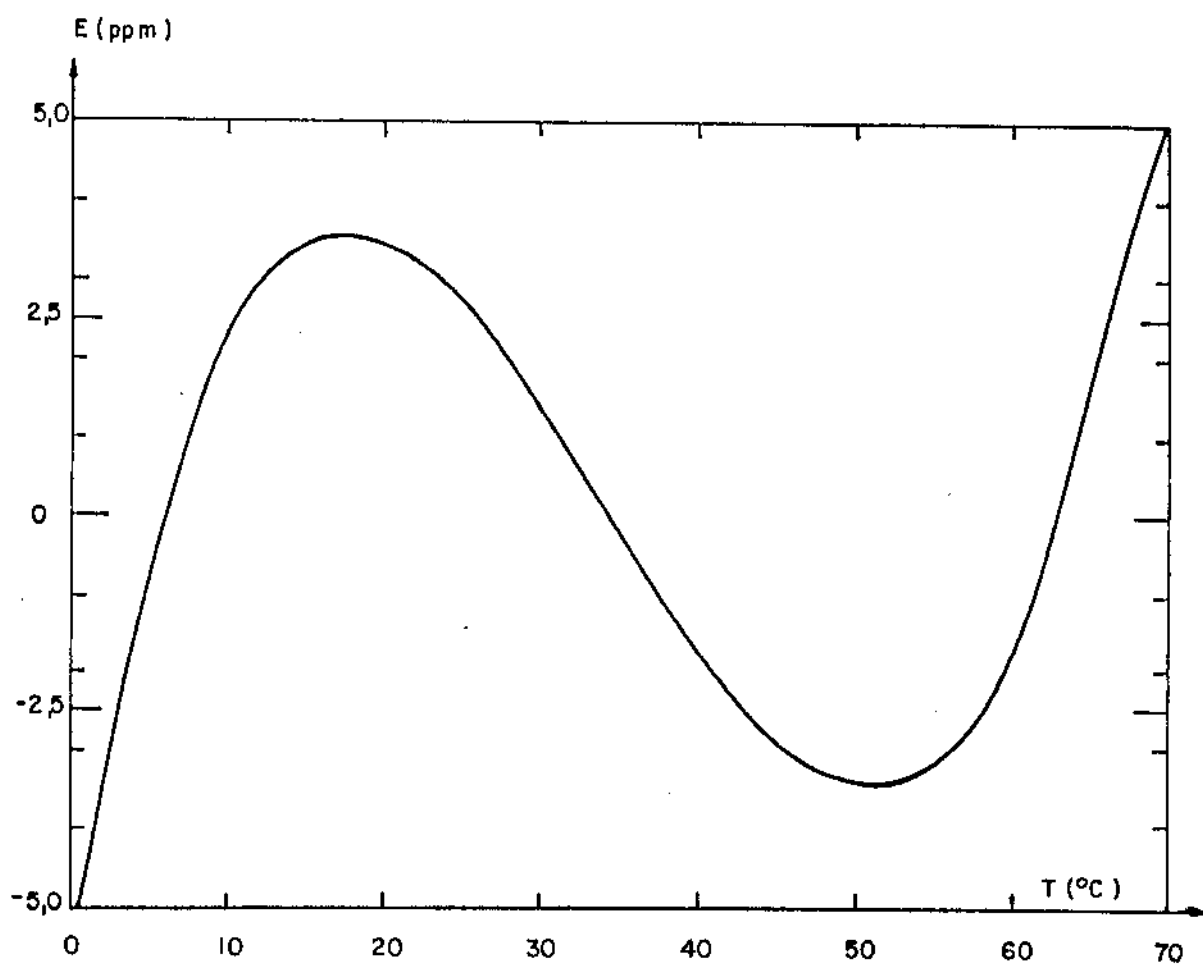


Figura 71 - Comparação entre os resultados calculados para uma referência com correção de curvatura dada pela equação 6.13.

O circuito básico, por nós idealizado, é apresentado na figura 72. Desprezando todas as correntes de base e aplicando o princípio translinear a esse circuito, temos que:

$$\frac{I_1}{A_{96}} \cdot \frac{I_1}{A_{98}} = \frac{I_2}{A_{97}} \cdot \frac{I_s}{A_{99}} \quad (6.14)$$

Logo, podemos escrever:

$$I_s = \left[\frac{A_{97} \cdot A_{99}}{A_{96} \cdot A_{98} \cdot I_2} \right] \cdot I_1^2 \quad (6.15)$$

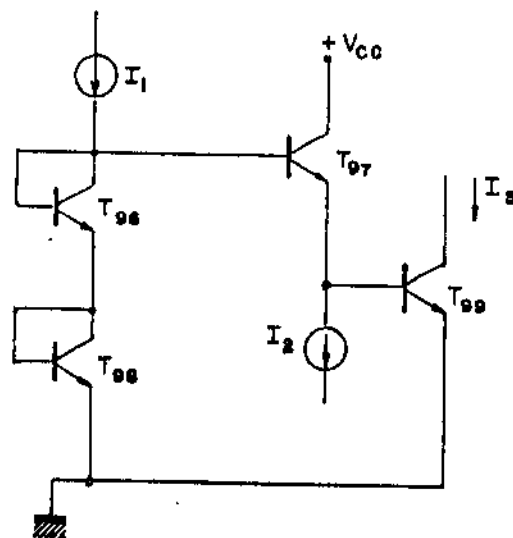


Figura 72 - Diagrama básico do circuito translinear usado na correção de curvatura.

A corrente de saída I_s é um polinômio do segundo grau em I_1 com coeficiente constante, desde que I_2 seja mantido constante.

Se fizermos a corrente I_1 ser PTAT, temos:

$$I_1 = \alpha \cdot T \quad (6.16)$$

Portanto, podemos escrever I_S como:

$$I_S = \frac{A_{97} \cdot A_{99} \cdot \alpha^2}{A_{96} \cdot A_{98} \cdot I_2} \cdot T^2 \quad (6.17)$$

O circuito da figura 72, entretanto, apresenta algumas imperfeições (que não aparecem na equação 6.17, já que, na sua dedução foram desprezadas as correntes de base).

Uma análise completa do circuito da figura 72 leva a:

$$I_S = \beta (\beta + 1) \cdot \left(\frac{\sqrt{(I_2(\beta + 1) - 2I_1)^2 - 4I_1^2 (1 - (\beta + 1)^3)}}{2 - 2(\beta + 1)^3} - \frac{(I_2(\beta + 1) - 2I_1)}{2 - 2(\beta + 1)^3} \right) \cdot \beta I_2 \quad (6.18)$$

Através da equação 6.18 podemos calcular o erro do circuito translinear, em função dos valores de β dos transistores.

Na figura 73 temos uma comparação dos resultados obtidos para o cálculo de I_S usando a expressão 6.18 e a expressão ideal (ou seja: $I_S = I_1^2/I_2$), para vários valores de β .

Nos cálculos realizados, para construir os gráficos da figura 73, a corrente I_2 foi mantida constante. A corrente I_1 , que no circuito de correção de curvatura deve variar linearmente com a temperatura, foi variada linearmente, de acordo com a seguinte expressão:

$$I_1 = \frac{I_2}{2} (1 + m) \quad (6.19)$$

onde $-0,2 \leq m \leq 0,2$

Com isso, reproduzimos, de forma bem aproximada, o comportamento que I_1 terá no circuito, tanto em relação as suas variações com a temperatura como em relação à razão I_1/I_2 .

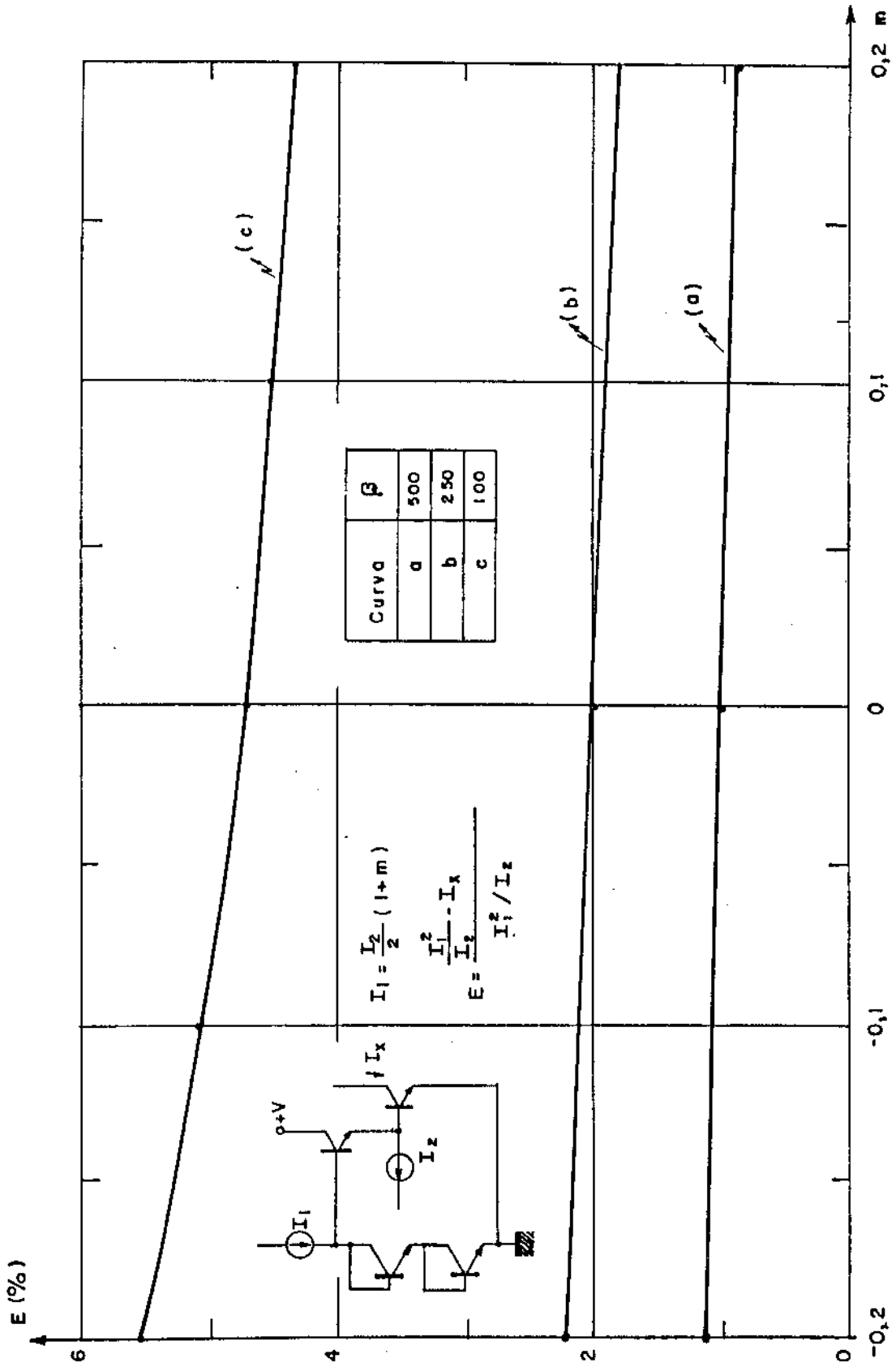


Figura 73 - Erro na corrente de saída I_x devido às correntes de base dos transistores.

Como podemos observar na figura 73, mesmo para valores altos de β ($\beta = 500$), os erros calculados para a corrente I_s são muito grandes, inviabilizando a utilização do circuito na forma apresentada na figura 72.

Na figura 74 apresentamos um circuito que compensa a principal parcela da corrente de base de T_{97} , melhorando consideravelmente o desempenho do circuito.

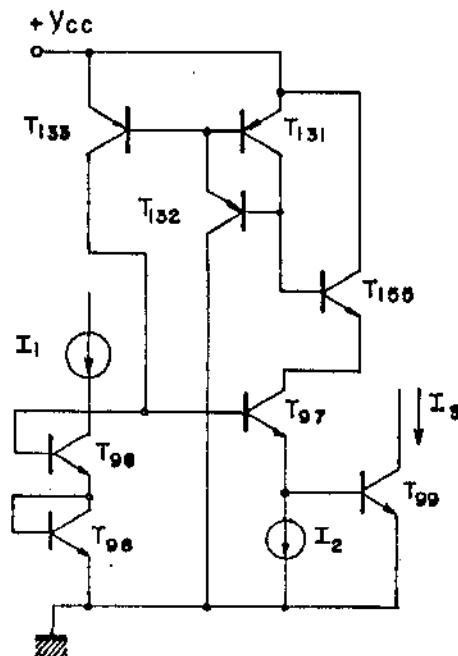


Figura 74 - Modificação no circuito translinear para compensação da corrente de base de T_{97} .

A compensação é realizada de forma bem simples, como veremos a seguir.

Supondo uma corrente I_s fluindo pelo coletor de T_{99A} , a corrente de emissor de T_{97} será dada por:

$$I_{E97} = \frac{I_s}{\beta} + I_2 \quad (6.20)$$

Logo, temos que

$$I_{B97} = \frac{(I_s/\beta) + I_2}{\beta + 1} \quad (6.21)$$

A corrente de base do transistor T_{155} , é dada por

$$I_{B155} = \alpha \left[\frac{(I_s/\beta) + I_2}{(\beta + 1)} \right] \quad (6.22)$$

Essa corrente de base é espelhada por T_{131} , T_{132} e T_{133} , de forma que temos

$$I_{comp} = n \cdot \alpha \left[\frac{(I_s/\beta) + I_2}{(\beta + 1)} \right] \quad (6.23)$$

onde

$$n = \frac{\beta_p (\beta_p + 1)}{\beta_p (\beta_p + 1) + 2} \quad (6.24)$$

A corrente de base de T_{97} que precisa ser fornecida por I_1 , fica sendo:

$$I_{ERRO} = \frac{(I_s/\beta) + I_2}{\beta + 1} (1 - \alpha \cdot n) \quad (6.25)$$

Para valores de $\beta_N = 400$ e $\beta_p = 20$, o erro em I_1 (corrente retirada de I_1 para polarizar a base de T_{97}) será de aproximadamente 18 ppm.

Na figura 75 temos, novamente, os erros calculados para I_s , porém, com a adição do circuito de compensação de corrente de base ao circuito translinear básico.

Uma forma de se melhorar ainda mais o desempenho do circuito, é com pensar, também, a corrente de base de T_{99} . Devemos nos lembrar, no entanto, que essa compensação é bem menos importante do que a anterior, já que, nesse caso, a corrente I_{B99} é muito pequena quando comparada com I_2 , o que não ocorre com I_{B97} e I_1 .

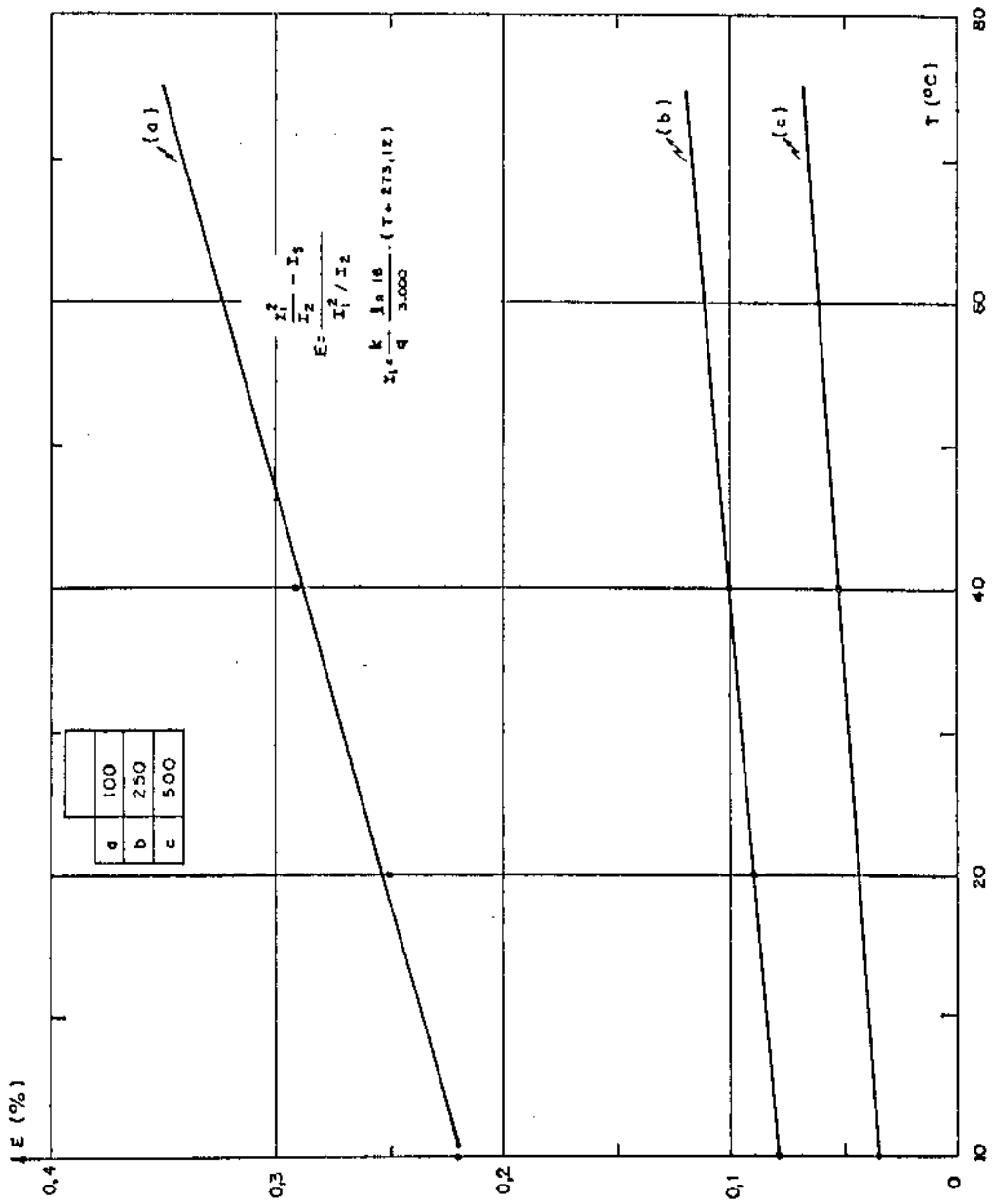


Figura 75 - Erros calculados para I_2 , no circuito da figura 74.

O circuito que seria utilizado para a compensação da corrente de base de T_{99} é apresentado na figura 76.

Neste caso, fazendo uma análise semelhante à anterior, vem que:

$$I_{B154} = \frac{I_s}{\beta + 1} \quad (6.26)$$

A corrente de saída do espelho de corrente T_{128} , T_{129} e T_{130} , é dada por:

$$I_{C141} = 2 \cdot n \cdot \frac{I_s}{\beta + 1} \quad (6.27)$$

Dessa forma, a corrente de base efetiva que é vista pelo emissor de T_{97} é dada por:

$$I_{ERRO} = \frac{2I_s}{\beta} \left[\frac{1}{\beta} - \frac{n}{\beta + 1} \right] \quad (6.28)$$

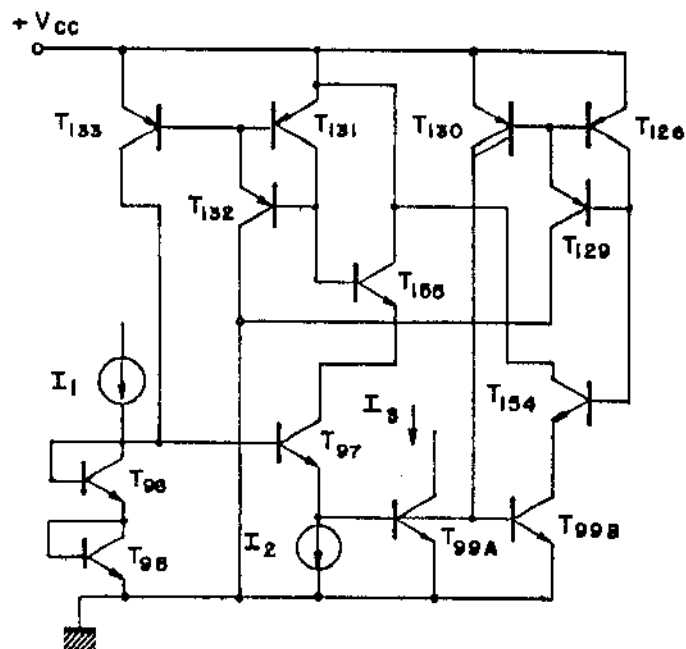


Figura 76 - Circuito translinear com correção de correntes de base.

Não devemos nos esquecer que, com a inclusão do transistor T_{99B}, aumentamos a área de uma das junções do circuito que forma a malha translinear. Devemos considerar isso para a solução da equação 6.17, ou ainda, o que seria bastante interessante, dobrar as áreas de todos os outros transistores do circuito translinear, já que isso faria com que os valores das resistências de emissor dos transistores ficassem divididas por dois. Isso minimiza os erros de não-linearidade da malha translinear, causados pela queda de tensão sobre os resistores de emissor, já que essa queda de tensão não contribui para o V_{BE} intrínseco do transistor.

No nosso caso, em que trabalhamos com níveis de correntes baixos (algumas dezenas de μA), já temos $R_E \cdot I \ll V_{BE}$. A utilização dos transistores em paralelo, nos permite desprezar totalmente os erros devidos à resistência de emissor dos transistores.

Na figura 77 é apresentado o resultado obtido no cálculo do erro na corrente de saída I_S para o circuito translinear completo, com as duas compensações de corrente de base.

Como vimos anteriormente, para que a corrente de saída do circuito translinear fosse da forma AT^2 , a corrente I_1 deve ser PTAT e a corrente I_2 deve ser invariante com a temperatura (NPO).

Para a obtenção da corrente I_2 , vamos utilizar um circuito onde somamos duas correntes, uma PTAT e uma CTAT, de forma que o resultado obtido é uma corrente NPO.

O circuito básico que realiza essa função é apresentado na figura 78. Para esse circuito, podemos escrever que:

$$I_{E97} = I_1 + \frac{V_{BE99}}{R_{56}} \quad (6.29)$$

Desprezando os termos de segunda ordem na equação de $V_{BE}(T)$, vem que:

$$I_{E97} = I_1 + \frac{V_{90}}{R_{56}} - \frac{\lambda}{R_{56}} \cdot T \quad (6.30)$$

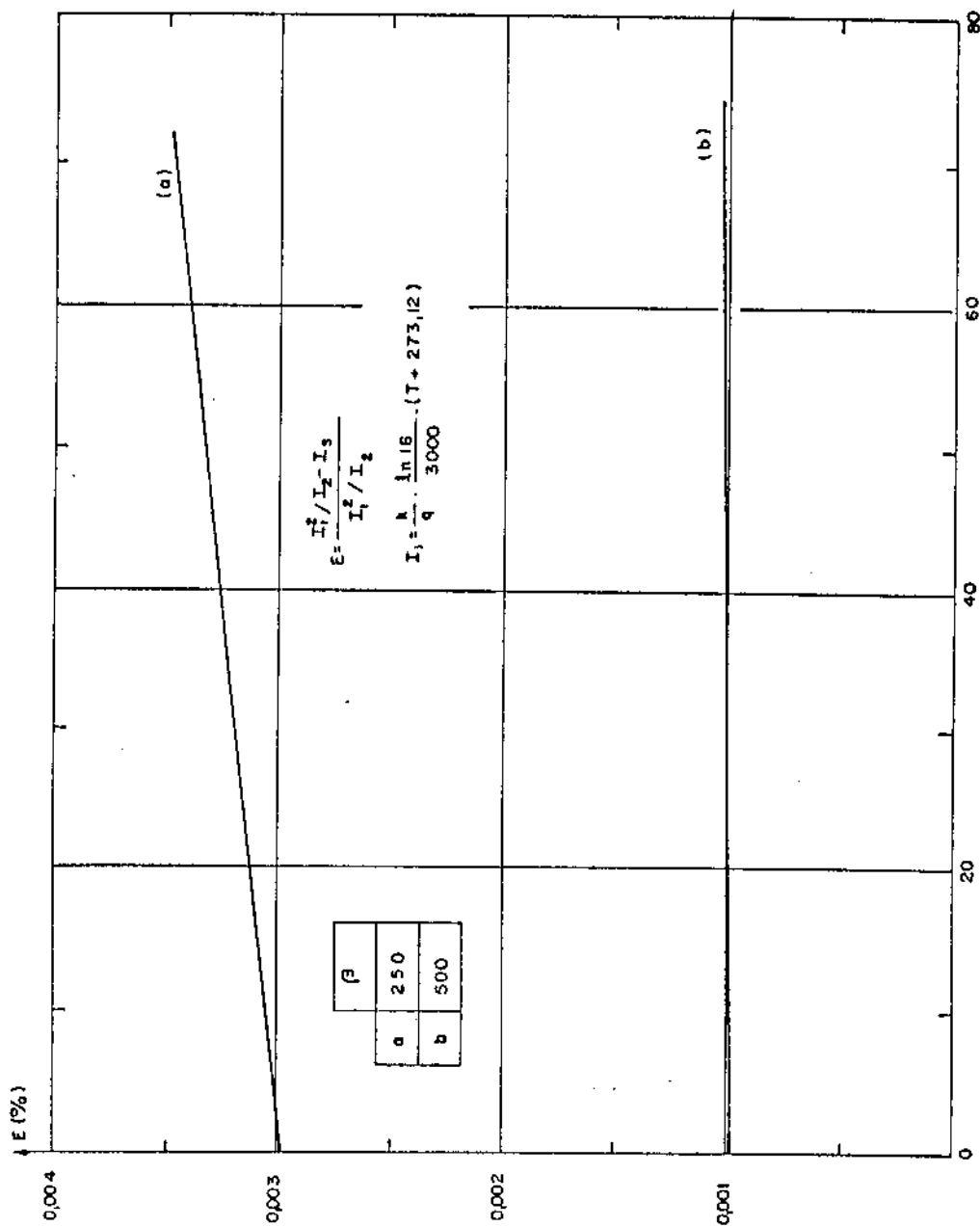


Figura 77 - Erros calculados no circuito completo do gerador de I_1^2 .

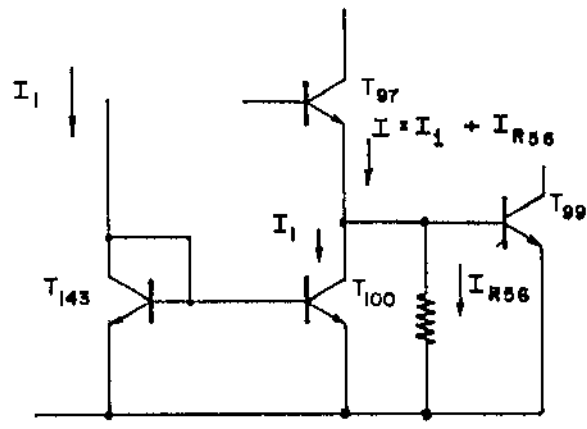


Figura 78 - Geração de corrente NPO.

É evidente, então, que, para obtermos uma corrente constante no emissor de T97, a corrente I₁ deve ser PTAT.

Para I₁ = αT, temos:

$$I_{E97} = \frac{V_{go}}{R_{56}} + \left(\alpha - \frac{\lambda}{R_{56}} \right) T \tag{6.31}$$

Através de um ajuste de α, podemos impor

$$I_{E97} = \frac{V_{go}}{R_{56}} \tag{6.32}$$

Na inclusão desse circuito ao bloco básico da malha translinear, podemos aproveitar os próprios transistores da malha para gerar a corrente I₂, como indicado na figura 79.

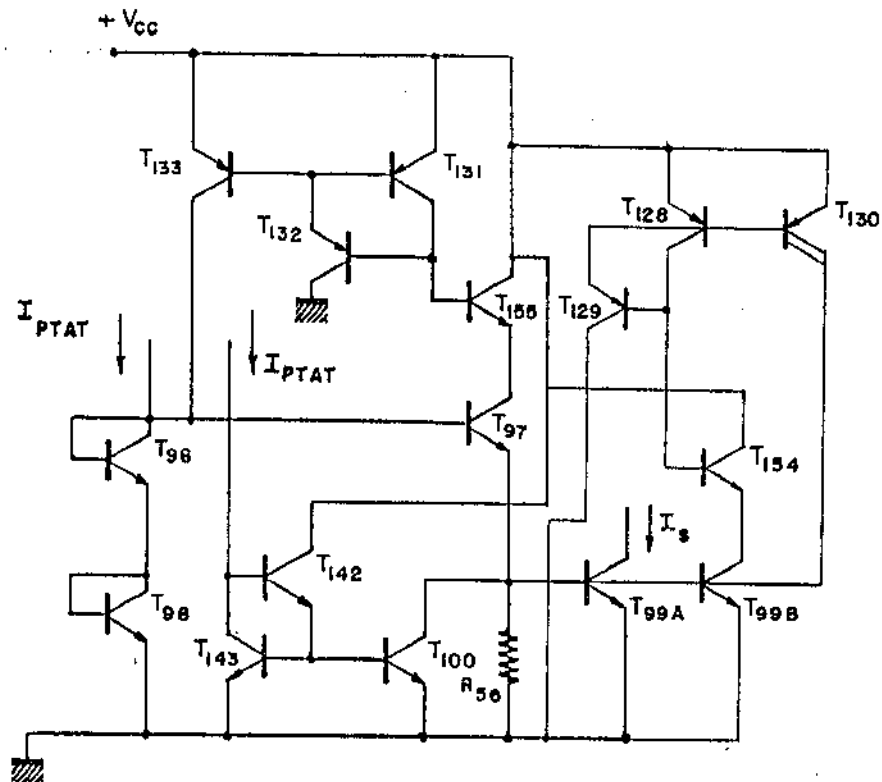


Figura 79 - Circuito da malha translinear, com a inclusão da corrente I_2 .

Para eliminar ao máximo as fontes de erro e, principalmente, facilitar o procedimento de calibração da fonte de referência, usaremos apenas uma fonte de corrente PTAT para executar três funções:

- 1) criar o termo B.T, que é usado como correção na célula de Meijer;
- 2) alimentar o circuito translinear;
- 3) alimentar o circuito de geração de corrente NPO.

O circuito que realiza essas funções é baseado no "cross-quad" convencional, como mostra a figura 80. A célula "cross-quad" apresenta uma saída dada por:

$$I_{C150} = \frac{k \cdot T}{qR_{60}} \cdot \ln(16) \quad (6.33)$$

desde que $A_{148} = 16$

Os transistores T_{152} e T_{153} são usados para dividir essa corrente em quatro parcelas iguais. Uma das parcelas é usada diretamente na célula de referência de tensão, constituindo o termo B.T. Duas outras parcelas são espelhadas com precisão por um espelho de Wilson [53], sendo, novamente, separadas em duas partes iguais no transistor T_{136} , formando as duas fontes PTAT desejadas para alimentar a malha translinear e o gerador de corrente NPO. A quarta parcela é jogada fora, já que não tem nenhuma utilidade.

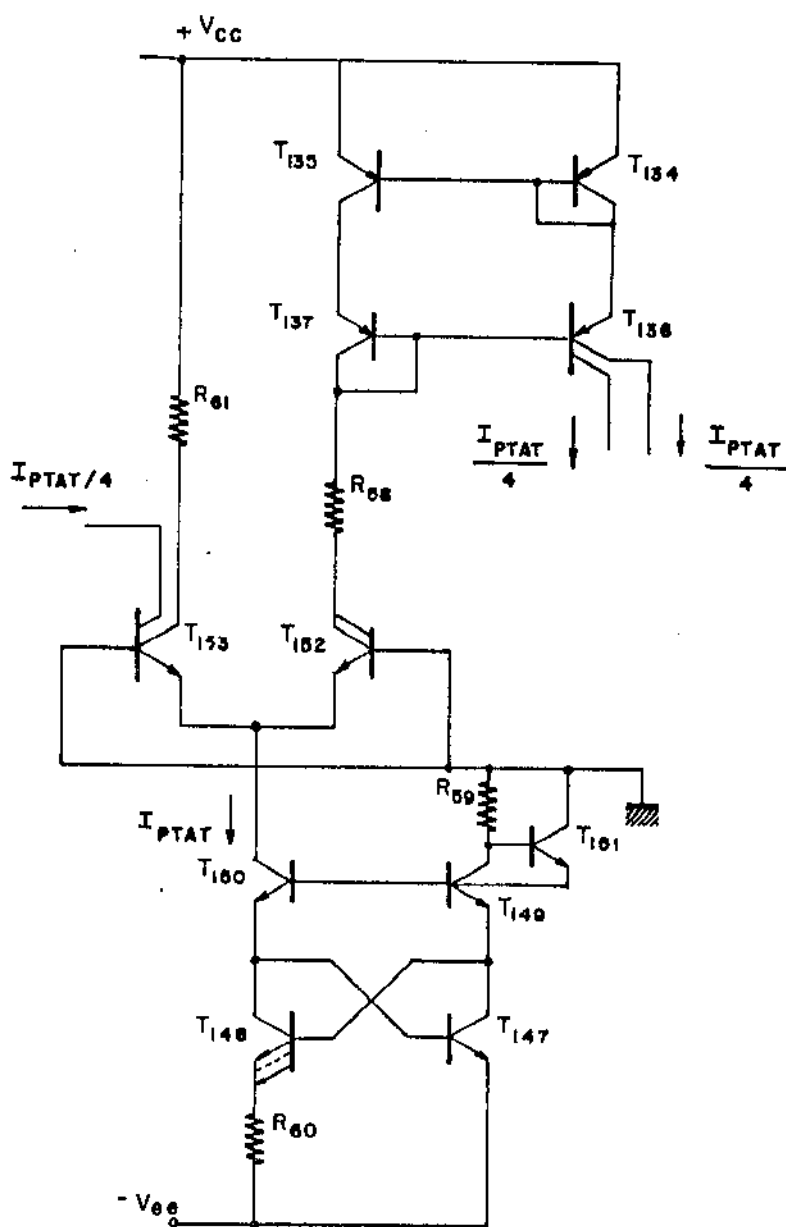


Figura 80 - Geração das correntes PTAT.

A utilização de 4 transistores NPN aumenta um pouco a área necessária, mas oferece a vantagem de permitir alta precisão na divisão das correntes, já que os transistores podem formar um par "cross-coupled", com todas as suas vantagens já descritas anteriormente. Os resistores R_{58} e R_{61} , são usados para que todos os transistores trabalhem com o mesmo VCB, (determinado pelo VCB do transistor conectado à célula de Meijer) que é de aproximadamente 1,2 volts.

A seguir vamos apresentar o procedimento para a calibração da referência de tensão, principalmente no que se refere ao circuito de correção de curvatura.

A corrente de correção de curvatura, $I^*(T)$, é dada pela soma da corrente de saída do circuito translinear com a corrente de saída da fonte PTAT.

Com

$$I_1 = I_{PTAT} = \frac{I_{C150}}{4} \quad (6.34)$$

Temos que

$$I_{PTAT} = \frac{k \ln 16}{q \cdot 4 \cdot R_{60}} \cdot T \quad (6.35)$$

A corrente de saída do circuito translinear é dada por:

$$I_{C99} = \left(\frac{k \ln 16}{q \cdot 4R_{60}} \right)^2 \cdot \frac{1}{I_2} \cdot T^2 \quad (6.36)$$

Logo, a corrente de correção é dada por:

$$I(T) = \left[\left(\frac{k \ln 16}{q \cdot 4R_{60}} \right)^2 \cdot \frac{1}{I_2} \right] \cdot T^2 - \frac{k \ln 16}{q \cdot 4R_{60}} \cdot T \quad (6.37)$$

Devemos impor que:

$$\frac{R_{57}}{2} \cdot I(T) = AT^2 - B \cdot T \quad (6.38)$$

Portanto, temos que:

$$A = \left(\frac{k \ln 16}{q \cdot 4R_{60}} \right)^2 \cdot \frac{1}{I_2} \cdot \frac{R_{57}}{2} \quad (6.39)$$

$$B = \frac{k \ln 16}{q \cdot 4R_{60}} \cdot \frac{R_{57}}{2} \quad (6.40)$$

Eliminando R_{57} das duas últimas equações, vem que:

$$I_2 = \frac{k \ln 16}{q \cdot 4R_{60}} \cdot \left(\frac{B}{A} \right) \quad (6.41)$$

No gerador de corrente NPO, se $\frac{dI_2}{dT} = 0$ temos, necessariamente, I_2 dada por:

$$I_2 = \frac{V_{go}}{R_{56}} \quad (6.42)$$

Substituindo o valor de I_2 dado pela equação 6.42 em 6.41, vem que:

$$\frac{R_{60}}{R_{56}} = \frac{k \ln 16}{q \cdot 4 \cdot V_{go}} \cdot \left(\frac{B}{A} \right) \quad (6.43)$$

Dessa forma, temos que obter

$$R_{60} = 3,049 \times 10^{-2} \cdot R_{56} \quad (6.44)$$

para que os coeficientes A e B tenham os valores desejados.

No entanto, quando fizemos, na equação 6.42, $I_2 = \frac{V_{go}}{R_{56}}$, estava implícito que as correntes I_1 e I_{R56} satisfaziam a condição:

$$\left. \begin{aligned} I_1 &= \alpha \cdot T \\ I_{R56} &= \frac{V_{go} - \lambda T}{R_{56}} \end{aligned} \right\} \alpha = \frac{\lambda}{R_{56}} \quad (6.45)$$

Quando, porém, estabelecemos a relação entre R_{60} e R_{56} , determinando, também, o valor da relação entre α e λ :

$$\alpha = \frac{k \ln 16}{q \cdot 4 R_{60}} = \frac{\lambda}{R_{56}} \quad (6.46)$$

Portanto, para que a correção dos componentes PTAT e CTAT do gerador de corrente NPO fosse perfeita, com a relação R_{60} / R_{56} determinada pela equação 6.43, deveríamos ter $\lambda = 1,945 \text{ mV}/^{\circ}\text{C}$.

Apesar de que, meramente por coincidência, os valores de λ são bem próximos do obtido acima, o desempenho do circuito não seria bom usando tal configuração. A forma de obter o melhor desempenho para a corrente NPO seria ajustar o valor de α , para os valores de λ medidos no circuito.

No entanto, como α já foi definido através do resistor R_{60} , vamos alterar o espelho de corrente que fornece a corrente I_1 para o gerador NPO, de forma que possamos obter uma corrente PTAT, porém com coeficiente térmico diferente de α , para a corrente no coletor de T_{100} .

Na figura 81 apresentamos o circuito que realiza a função acima descrita.

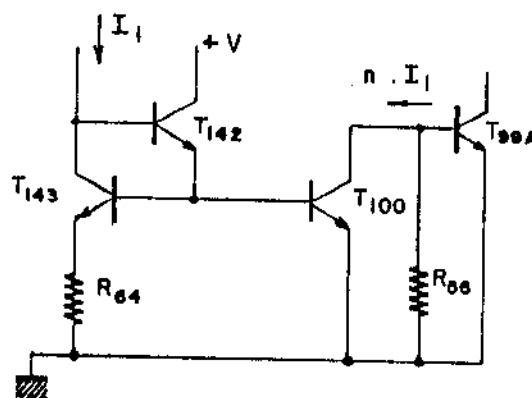


Figura 81 - Circuito completo de geração da corrente NPO.

Equacionando a malha formada por T_{100} , T_{143} e R_{64} temos que

$$R_{64} I_1 + V_{BE143} = V_{BE100} \quad (6.47)$$

Logo, temos que:

$$R_{64} = \frac{V_T}{I_1} \ln \left(\frac{n \cdot I_1}{I_1} \right) \quad (6.48)$$

Fazendo $I_1 = \frac{k T}{q} \frac{\ln 16}{4 R_{60}}$ vem que:

$$R_{64} = 4 \cdot R_{60} \cdot \frac{\ln(n)}{\ln(16)} \quad (6.49)$$

Portanto, vemos que, usando o valor de R_{64} colocado na equação 6.49, obtemos uma corrente também PTAT no coletor de T_{100} , dada por:

$$I_{C100} = n \cdot \frac{k}{q} \frac{\ln 16}{4 \cdot R_{60}} T \quad (6.50)$$

Para satisfazer as condições das equações (6.45), basta, portanto, fazer:

$$n \frac{k}{q} \frac{\ln 16}{4 \cdot R_{60}} = \frac{\lambda}{R_{56}} \quad (6.51)$$

Conseqüentemente, podemos sempre encontrar um valor de n , tal que

$$n = 4 \frac{R_{60}}{R_{56}} \cdot \frac{\lambda}{\frac{k}{q} \ln 16} \quad (6.52)$$

Como, para a obtenção do valor de λ , basta medirmos o valor de V_{BE} na temperatura de calibração, podemos ajustar o resistor R_{64} para:

$$\frac{R_{64}}{R_{60}} = \frac{4 \cdot \ln(n)}{\ln 16} \quad (6.53)$$

com n dado por

$$n = \frac{R_{60} V_{go} + (m-1) \frac{kT_r}{q} - V_{BE}}{R_{56} T_r \frac{k}{q} \ln 16} \quad (6.54)$$

Com os ajustes de R_{60}/R_{56} e R_{64}/R_{60} , temos todos os parâmetros do circuito de correção de curvatura calibrados.

Para a determinação dos valores dos resistores da célula de referência de tensão obtemos, diretamente da equação 6.40:

$$\frac{R_{57}}{R_{60}} = \frac{8.B.}{\frac{k}{q} \ln 16} \quad (6.55)$$

Finalmente, devemos proceder ao ajuste da relação R_{54}/R_{57} , que nos dá a parcela $A. \Delta V_{BE}$, como já citado anteriormente.

Para a calibração completa da referência de tensão, é necessário ajustar 4 resistores, sendo que, para isso, deve ser utilizada uma técnica como o "zener-zap" ou o "laser-trimming".

É importante observar que todos os parâmetros dependem da razão de resistores e nunca de seu valor absoluto, o que, certamente, permite prever um bom desempenho para o circuito, já que vários processos comerciais de fabricação de CI's utilizam resistores de filme fino que possuem coeficiente térmico diferencial menor do que $2 \text{ ppm}/^{\circ}\text{C}$.

A seguir damos um exemplo numérico de como seria feita a calibração da referência de tensão.

A razão entre R_{60} e R_{56} é independente de qualquer ajuste e vale

$$\frac{R_{60}}{R_{56}} = 3,049 \times 10^{-2}$$

Para $R_{60} = 750,00 \ \Omega$, temos $R_{56} = 24.598,23$

Supondo-se que $V_{BE99} = 600$ mV, na temperatura $T = 300$ k, calcula-se

$$\lambda = 2,250 \text{ mV/}^{\circ}\text{C}$$

Entrando com esse valor de λ na equação 6.52, temos

$$n = 1,1562$$

Portanto, o valor de R_{64} deve ser ajustado de forma a obtermos, de acordo com a equação 6.53:

$$R_{64} = \frac{4 \cdot \ln 1,1562}{\ln 16} \cdot R_{60}$$

$$R_{64} = 0,20939 \cdot 750 = 157,04 \Omega$$

O valor de R_{57} é tirado diretamente da equação 6.55

$$R_{57} = \frac{8 \cdot B}{\frac{k \cdot \ln 16}{q}} \cdot R_{60} = 6.556,98 \Omega$$

Finalmente, supondo o mesmo valor de λ para os transistores da célula de Meijer, teríamos

$$R_{54} = \frac{R_{57}}{2\lambda} \frac{k \ln 16}{q} = \frac{6.556,98}{2 \cdot 2,25 \times 10^{-3}} \cdot \frac{(k/q) \ln 16}{q} = 345,82 \Omega$$

A seguir apresentamos uma análise do circuito completo da referência de tensão (figura 82), onde incluímos, além dos erros do circuito translinear, erros devido à imprecisão dos resistores.

Os erros devidos aos espelhos de corrente não foram considerados, uma vez que o parâmetro que era de interesse (a variação do fator de transferência de corrente com a temperatura), apresenta variações muito pequenas (Apêndice D), sendo, portanto, razoável eliminá-lo nesta análise.

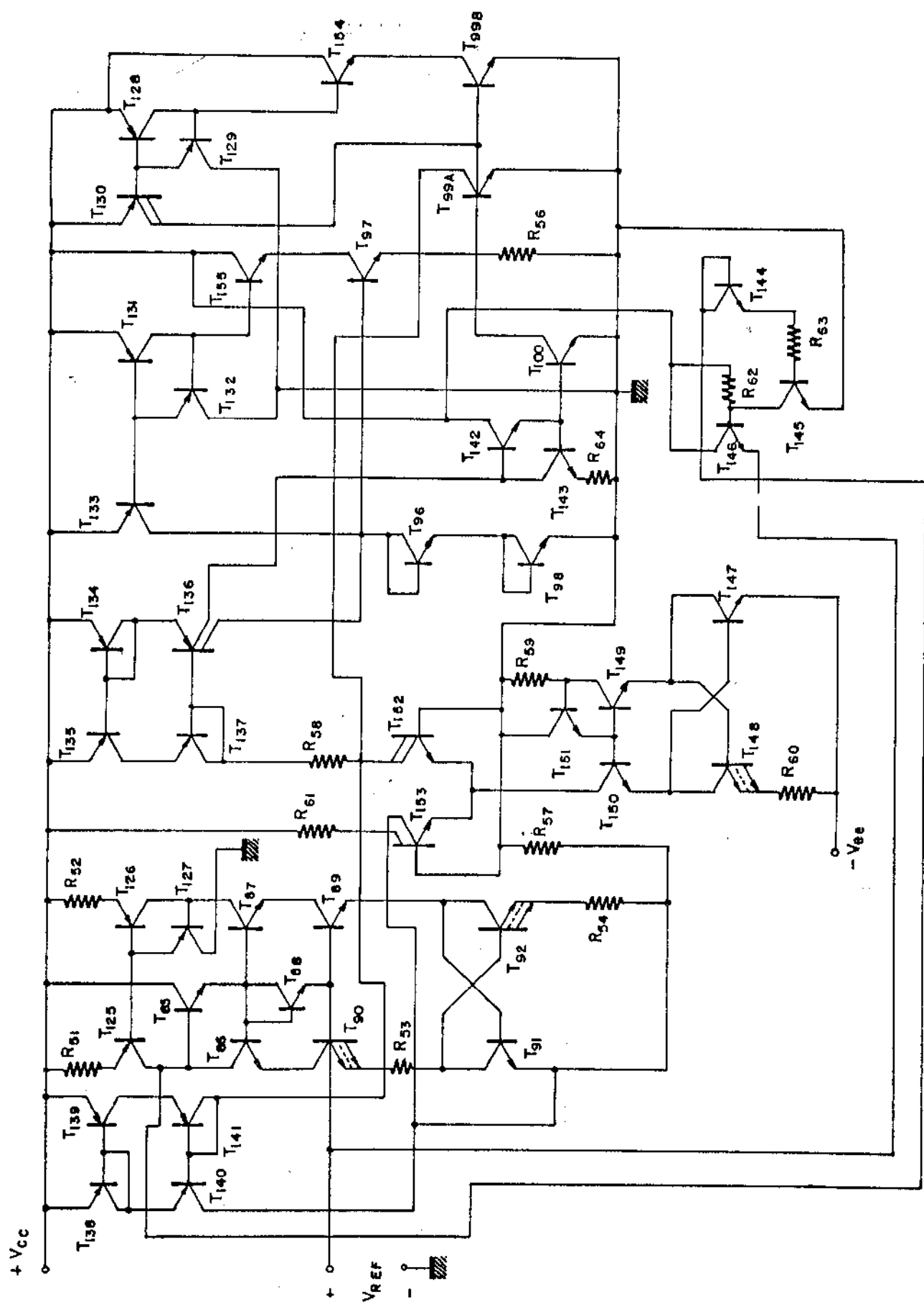


Figura 82 - Circuito completo da referência de tensão.

O atual estado da arte permite a confecção de resistores de filmes finos ajustados por laser (LWT), com precisão de 0,001% [54]. Com a utilização de resistores com essa precisão, na determinação dos coeficientes polinomiais, os resultados obtidos para $\Delta V_{REF}/V_{REF}$ são quase idênticos aos obtidos com o polinômio ideal, uma vez que o circuito multiplicador praticamente não introduz erros no circuito. Com esses resistores, o resultado calculado para a referência de tensão apresentou um coeficiente térmico máximo de 0,18 ppm/°C, na faixa de 0°C a 70°C.

Na figura 83 apresentamos os resultados de uma análise da referência de tensão com resistores de precisão igual a 0,01% e 0,1%. Como se pode observar, a precisão obtida para a tensão de saída, usando resistores de 0,1% de precisão no circuito de correção de curvatura, é, ainda, muito superior aos resultados obtidos com a referência convencional.

Nessas análises foi introduzida uma corrente de erro em I_2 , já que um descasamento entre R_{64} e R_{56} faz aparecer um componente PTAT (ou CTAT) na saída do gerador de corrente NPO, de forma que a sua saída será dada por uma corrente do tipo PTAT + NPO (ou CTAT).

É importante a inclusão desse componente PTAT, uma vez que ele pode atingir valores significativos, dependendo do descasamento entre R_{64} e R_{56} . Na figura 84 apresentamos os resultados do erro calculado para a corrente I_2 , em função de R_{64}/R_{56} .

Concluímos, portanto, que, mesmo admitindo um descasamento grande entre os resistores utilizados, no circuito proposto para a referência de tensão, o desempenho obtido é cerca de 0,5 ppm/°C para $\frac{\Delta V_{REF}}{V_{REF}}$, o que significa uma redução em mais de 20 vezes, em relação ao coeficiente térmico de uma referência de tensão convencional.

Um detalhe interessante que observamos durante as análises é que, quando a corrente I_2 apresenta um componente CTAT (devido ao descasamento de R_{64} e R_{56}), existe uma compensação, de primeira ordem, na corrente de base de T_{99} . Eventualmente, poderíamos utilizar essa característica - através do ajuste de uma corrente CTAT de valor adequado - para a eliminação do circuito de compensação de corrente de base de T_{99} .

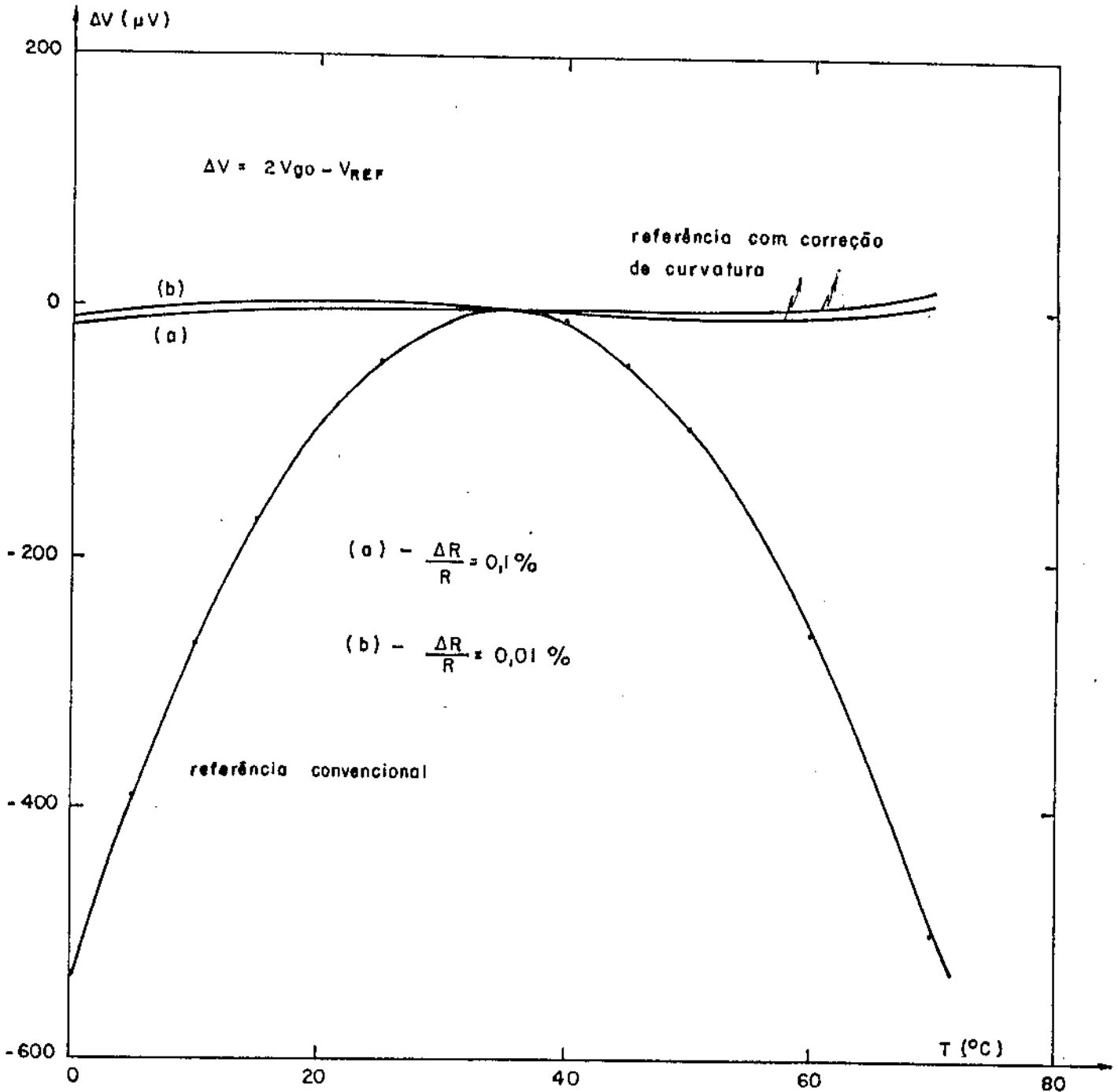


Figura 83 - Comparação entre os resultados calculados para a curvatura da tensão de saída V_{REF} , usando resistores de diferentes precisões.

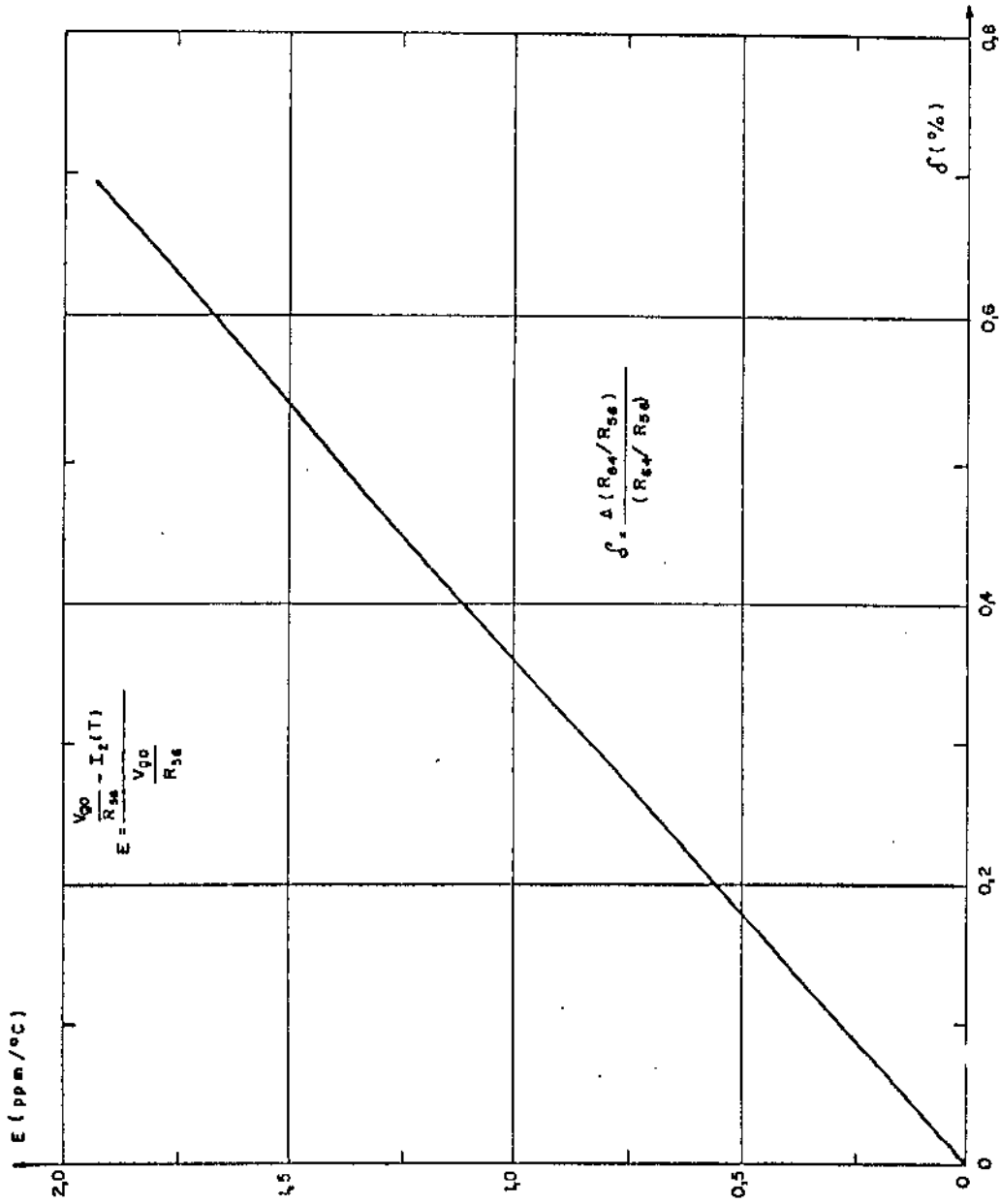


Figura 84 - Erro calculado na corrente NFO (I_2) em função da temperatura, para vários valores de $\frac{\Delta(R_{64}/R_{56})}{R_{64}/R_{56}}$.

CAPÍTULO VII

RESULTADOS EXPERIMENTAIS E DISCUSSÕES

7.1 Considerações Gerais

Para uma perfeita avaliação do projeto descrito neste trabalho, realizamos medidas em todos os blocos do circuito, dando ênfase especial aos circuitos analógicos. No que se refere à caracterização dos circuitos digitais, os resultados mais importantes já foram apresentados no capítulo IV.

Para a caracterização dos circuitos analógicos, foram realizadas montagens em "bread-board", tendo sido utilizados "arrays" de transistores do tipo CA 3046, CA 3086 e CA 3084 para a avaliação dos circuitos.

Devemos, no entanto, lembrar que os resultados obtidos com a utilização desses "arrays" de transistores é, certamente, inferior ao que seria obtido em uma versão integrada do circuito. Isso ocorre porque o casamento dos transistores de um "chip" para o outro não é bom, o que prejudica o desempenho de um circuito que necessite de transistores muito casados, como é o caso de vários blocos do conversor D/A.

Outro tipo de erro que podemos ter é devido às diferenças de temperatura que podem existir de um "chip" para outro. Em alguns dos circuitos (como no translinear, nas fontes de corrente PTAT, nos transistores das malhas R-2R, etc.), o casamento de temperatura entre os transistores é fundamental, para que as análises realizadas no projeto sejam válidas.

Isso inviabiliza também uma tentativa de realizar uma caracterização térmica do circuito, já que os resultados obtidos seriam totalmente falsos.

7.2 Caracterização dos Circuitos Analógicos

No circuito do conversor, podemos distinguir quatro blocos, que permitem ser caracterizados individualmente: o conversor corrente-tensão, a referência de tensão, o amplificador operacional do circuito de geração da corrente de referência e o bloco básico de conversão D/A.

As medidas apresentadas a seguir foram realizadas de forma a evidenciar as características mais importantes de cada um dos blocos, visando determinar, tanto a imprecisão de cada um desses circuitos, como a sua contribuição para os erros totais medidos no sistema completo.

a) Bloco básico de Conversão D/A

O bloco básico de conversão D/A é, na realidade, um conversor D/A de seis bits. Para a sua caracterização, faremos as avaliações convencionais em um conversor D/A monotônico.

No que se refere à precisão, as medidas realizadas em um conversor D/A são as de "erro de não-linearidade" e "erro de fundo de escala".

Devemos observar, no entanto, que, no nosso caso, não tem sentido falar em erro de fundo de escala, visto que a corrente de fundo de escala é ajustada para o valor desejado, através de V_{REF} e R_{REF} .

Portanto, só iremos realizar as medidas de não-linearidade. Para diminuir o erro de não-linearidade, usamos a definição empregada pela National Semiconductors (chamada de "end-points non-linearity"), que é a mais rigorosa das especificações [55].

Por essa definição, o erro de não linearidade é medido pela diferença máxima observada entre uma reta - traçada pelos pontos do zero e fundo de escala - e os valores medidos na saída do conversor, como indicado na figura 85.

Na figura 86 apresentamos uma curva da distribuição dos erros de não linearidade, medidos em vinte circuitos do conversor.

As medidas foram feitas com várias trocas dos "arrays" de transistores e dos resistores da malha R-2R.

Apesar de termos usado resistores com precisão de 1% na malha R-2R (o que faz com que tenhamos erros de até 2% na razão entre dois resistores, ou seja, cerca de 4 vezes o valor que teríamos com resistores difundidos), o erro máximo de não-linearidade obtido foi de aproximadamente 0,2 LSB, sendo, portanto, muito menor do que o erro máximo permitido, que, como veremos na próxima secção, é de 1/2 LSB.

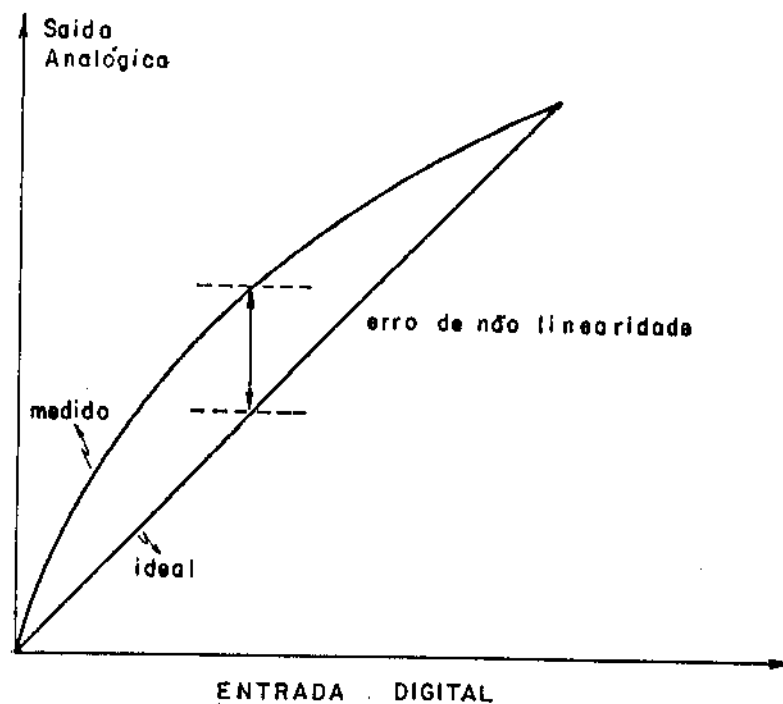


Figura 85 - Definição do erro de não-linearidade.

As variações nas correntes de saturação dos transistores da malha R-2R (são usados vários "arrays" para obter áreas diferentes para os transistores) e as imprecisões nas razões $2R/R$, são os principais responsáveis pelos erros de não linearidade observados.

b) Amplificador Operacional do Circuito de Geração da Corrente de Referência

Como foi exposto na secção 5.2, as principais características desejadas para o amplificador operacional eram relativas à tensão e corrente de "off-set" na entrada, que deviam apresentar valores baixos para as suas derivas térmicas.

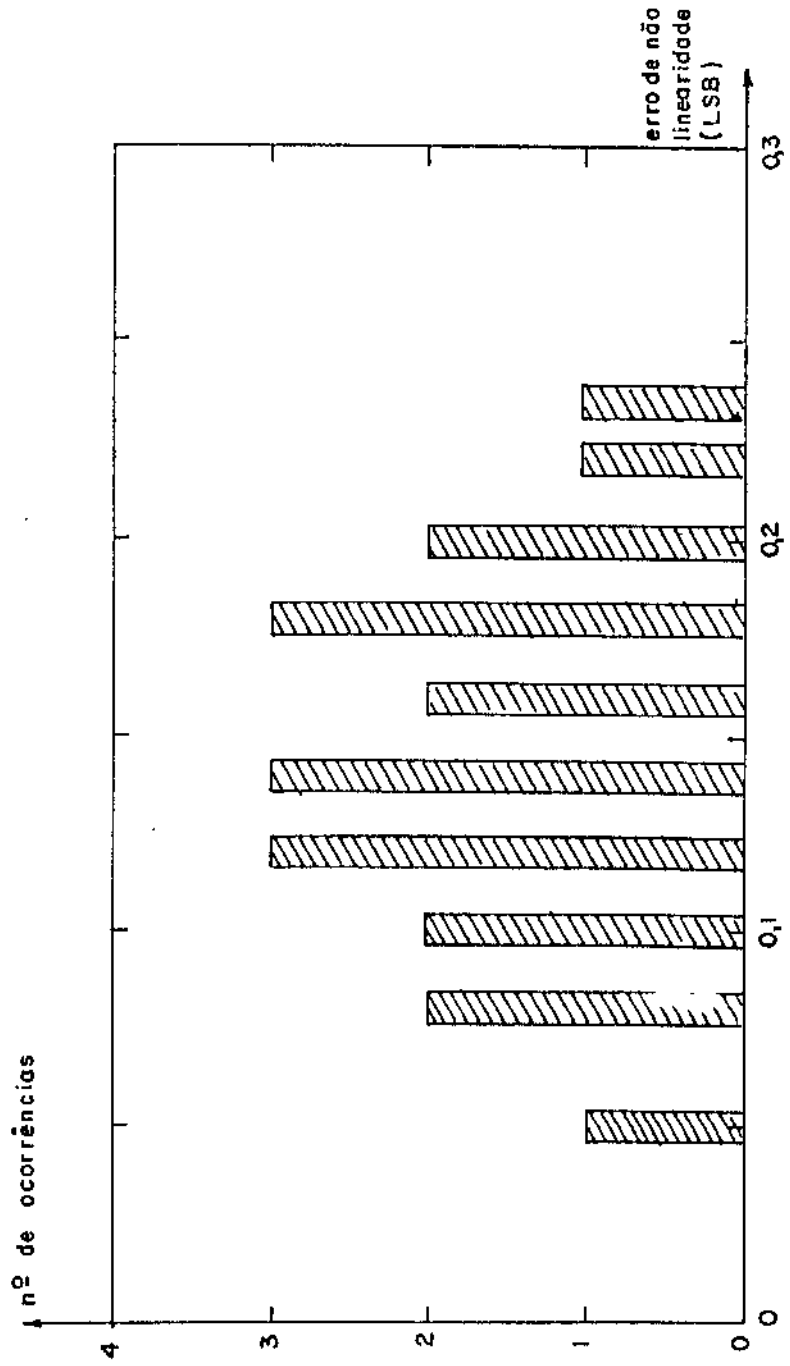


Figura 86 - Distribuição do erro de não linearidade medido em 20 circuitos do conversor D/A.

Como vimos anteriormente, as medidas de V_{OS} e I_{OS} nos dão uma boa idéia do comportamento de dV_{OS}/dT e dI_{OS}/dT . Por isso, fizemos as medidas de V_{OS} e I_{OS} (com os esquemas apresentados na figura 87) e, a partir dos valores medidos, estimamos as variações de dV_{OS}/dT e dI_{OS}/dT , usando as equações 5.32 e 5.56.

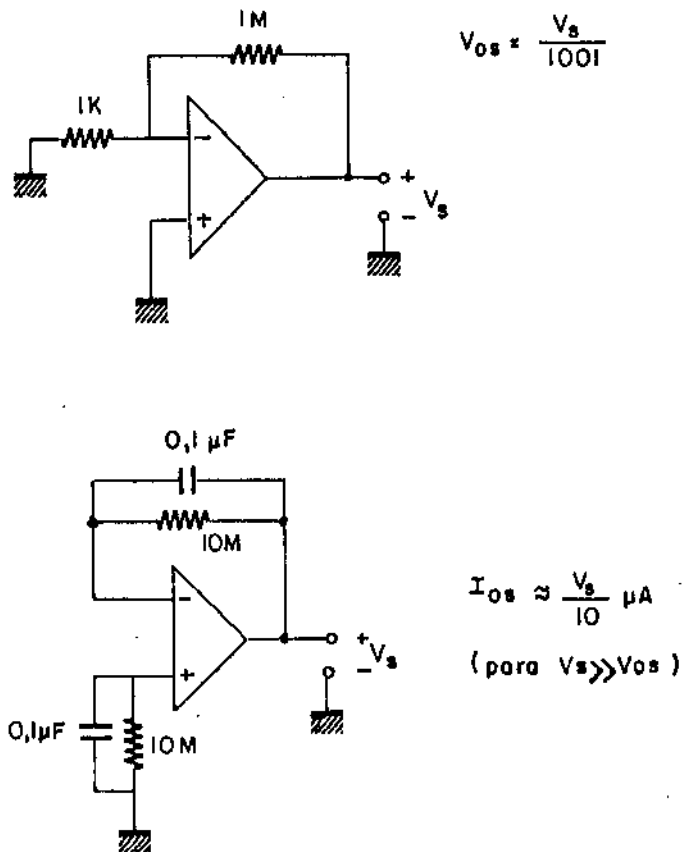


Figura 87 - Circuitos usados para a medida de V_{OS} e I_{OS} .

Os valores medidos para V_{OS} e I_{OS} foram $V_{OS} \approx 1mV$ e $I_{OS} \approx 0,02 \mu A$, respectivamente. Isso nos permite prever as seguintes variações para dV_{OS}/dT e dI_{OS}/dT :

$$\frac{dV_{OS}}{dT} \approx 3,5 \mu V/^{\circ}C$$

$$\frac{dI_{OS}}{dT} \approx 200 pA/^{\circ}C$$

Embora, normalmente, o comportamento térmico de V_{OS} e I_{OS} seja pior do que o previsto pelas equações 5.32 e 5.56, os resultados são muito bons, principalmente se levarmos em conta que o circuito não é totalmente monolítico. Cumpre-nos ainda fazer uma observação: os transistores que formam o par diferencial de entrada foram escolhidos entre vários "chips" do tipo CA 3086, visando minimizar o "off-set" intrínscico do par diferencial. Isso foi feito para simular o par "cross-coupled", que, normalmente, apresenta tensões de "off-set" muito pequenas.

c) Conversor Corrente-Tensão

Para o teste e caracterização do conversor corrente-tensão, foi utilizado, no lugar dos vários "steps" de corrente que deveriam ser aplicados à sua entrada, uma corrente variando linearmente entre os extremos desejados (0 a 2048 μA), para que, dessa forma, fosse possível uma melhor avaliação do seu comportamento.

O esquema utilizado para testar o conversor corrente-tensão é apresentado na figura 88. Foram usados resistores com precisão de 1% para R_1/R_2 , visando obter condições semelhantes às obtidas com dois resistores difundidos, que, dependendo da sua geometria, podem apresentar um casamento de até 0,07% [56].

O resultado da medida é apresentado na figura 89. Como se pode observar, temos uma conversão extremamente linear, tanto na região positiva como na negativa. Lembremos ainda que, como já foi citado anteriormente, os erros devidos ao "off-set" na entrada do amplificador são completamente eliminados na saída, já que o acoplamento deste sinal seria realizado através de um capacitor.

A maior fonte de erro que temos no circuito de conversão corrente-tensão é o descasamento entre os resistores que definem o ganho do amplificador operacional. Um descasamento entre as razões R_2/R_1 faria com que o conversor $I \times V$ apresentasse ganhos diferentes nas regiões positiva e negativa, causando um erro de assimetria na tensão de saída.

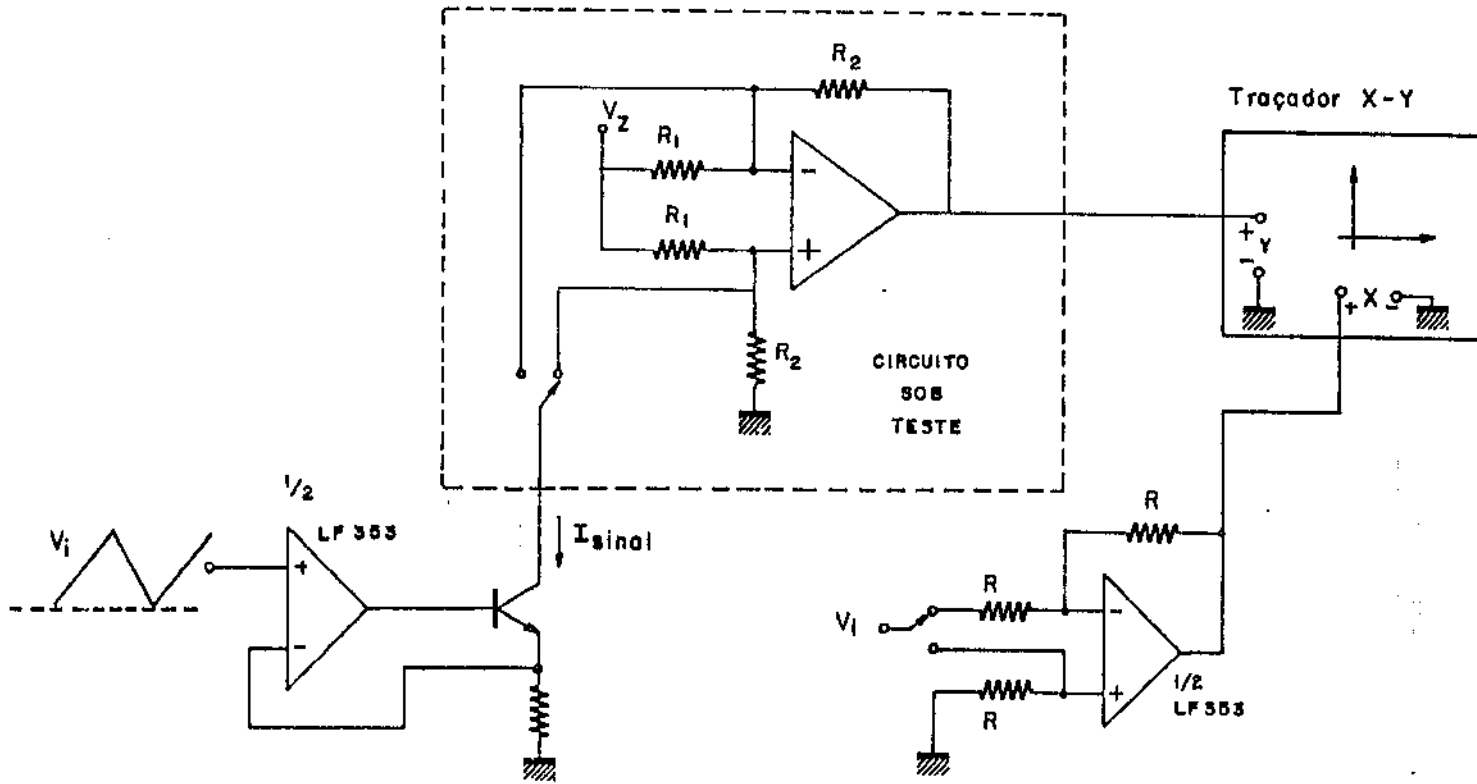


Figura 88 - Esquema usado para a caracterização do conversor $I \times V$.

No entanto, mesmo provocando um descasamento 5 vezes maior do que o esperado para esses resistores, o maior erro de assimetria medido (em relação ao fundo de escala) foi de 0,25%. Esse resultado é muito bom, principalmente se levarmos em consideração que o erro de assimetria é responsável apenas pela introdução de distorção na saída, e, normalmente, é especificado em $\frac{(V_{pos} - V_{neg})}{V_{pos}} = 6\%$.

d) Referência de Tensão

A caracterização de referência de tensão não pode ser realizada com o circuito sob forma de "bread-board", pois os resultados obtidos seriam completamente falsos.

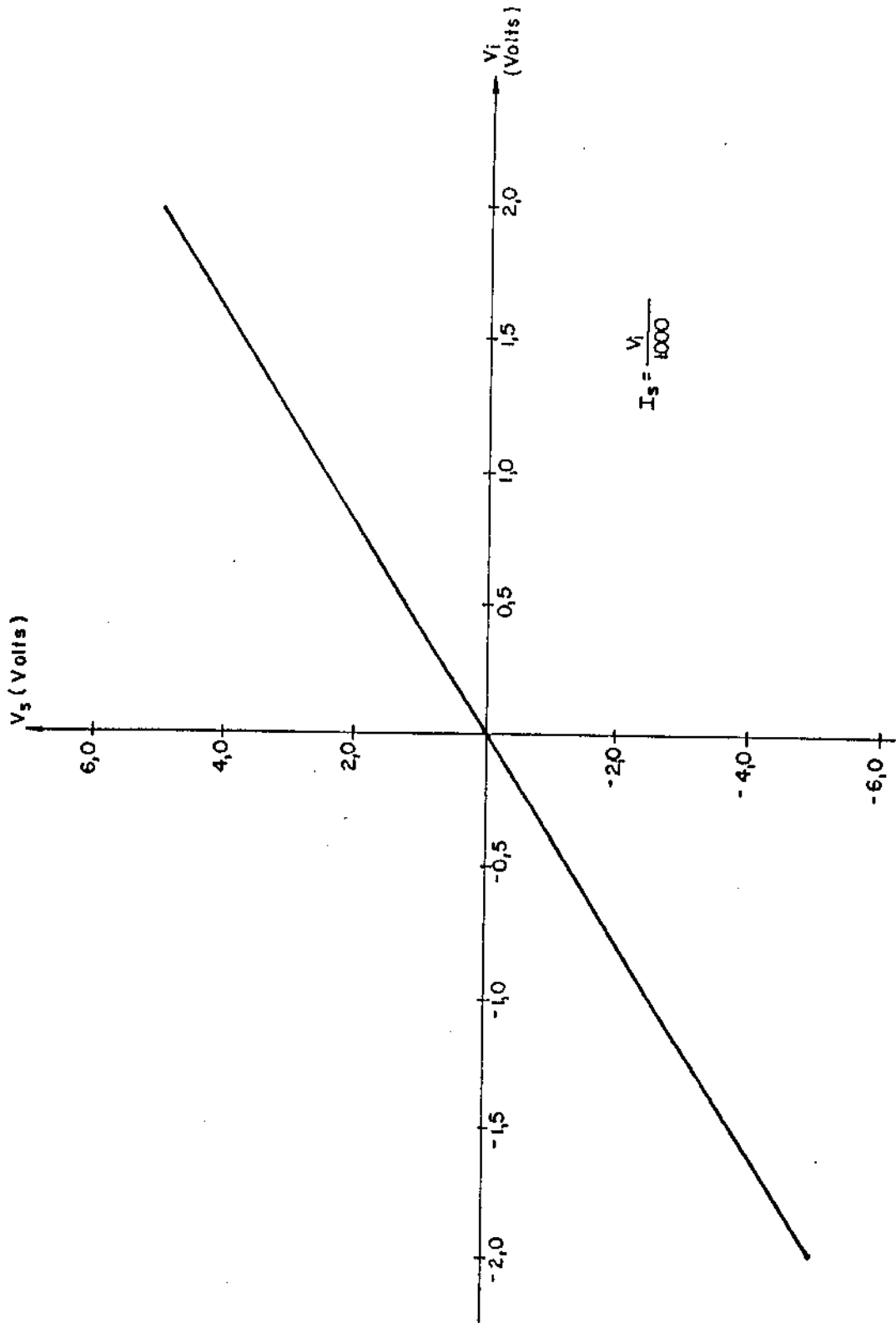


Figura 89 - Resultado da medida realizada no conversor IxV.

Podemos, no entanto, fazer uma caracterização do circuito de correção de curvatura, verificando se o polinômio gerado pelo circuito translinear é o desejado.

Para isso, como não temos uma corrente proporcional à temperatura para servir de sinal ao circuito de geração de $P(T)$, vamos utilizar uma fonte de corrente externa e medir a corrente de saída em função deste sinal.

Na figura 90 temos a comparação entre os resultados medidos e calculados para o polinômio de correção de curvatura. O gráfico é apresentado em função da temperatura, uma vez que fizemos a corrente de entrada variar entre os valores que obteríamos na faixa 0°C a 70°C .

O resultado obtido foi muito bom, o que nos permite prever um bom resultado para um circuito que utilize essa estrutura para a correção de curvatura.

7.3 Avaliação do Sistema

A avaliação completa do sistema analógico de conversão D/A pode ser baseada nos resultados individuais de cada um dos blocos já testados.

A referência de tensão, responsável pela definição da corrente no bit mais significativo do conversor mestre, praticamente não introduz erros no conversor, já que, com base nos resultados medidos no circuito de correção de curvatura e usando uma margem de segurança, podemos admitir que $\Delta V_{REF}/V_{REF}$ será menor do que 70 ppm, na faixa de 0°C a 70°C .

Os blocos de conversão D/A são, sem dúvida, os maiores responsáveis pelos erros totais do sistema. Vamos admitir que cada conversor apresenta um erro de não linearidade de x .LSB.

Fazendo uma análise de pior caso e supondo que os dois conversores D/A (mestre e escravo) tendem a apresentar erros que são aditivos, ou seja, são ambos positivos ou ambos negativos, o erro total que podemos ter na saída do conversor é dado por:

$$E_T = 2K + K^2 \quad (7.1)$$

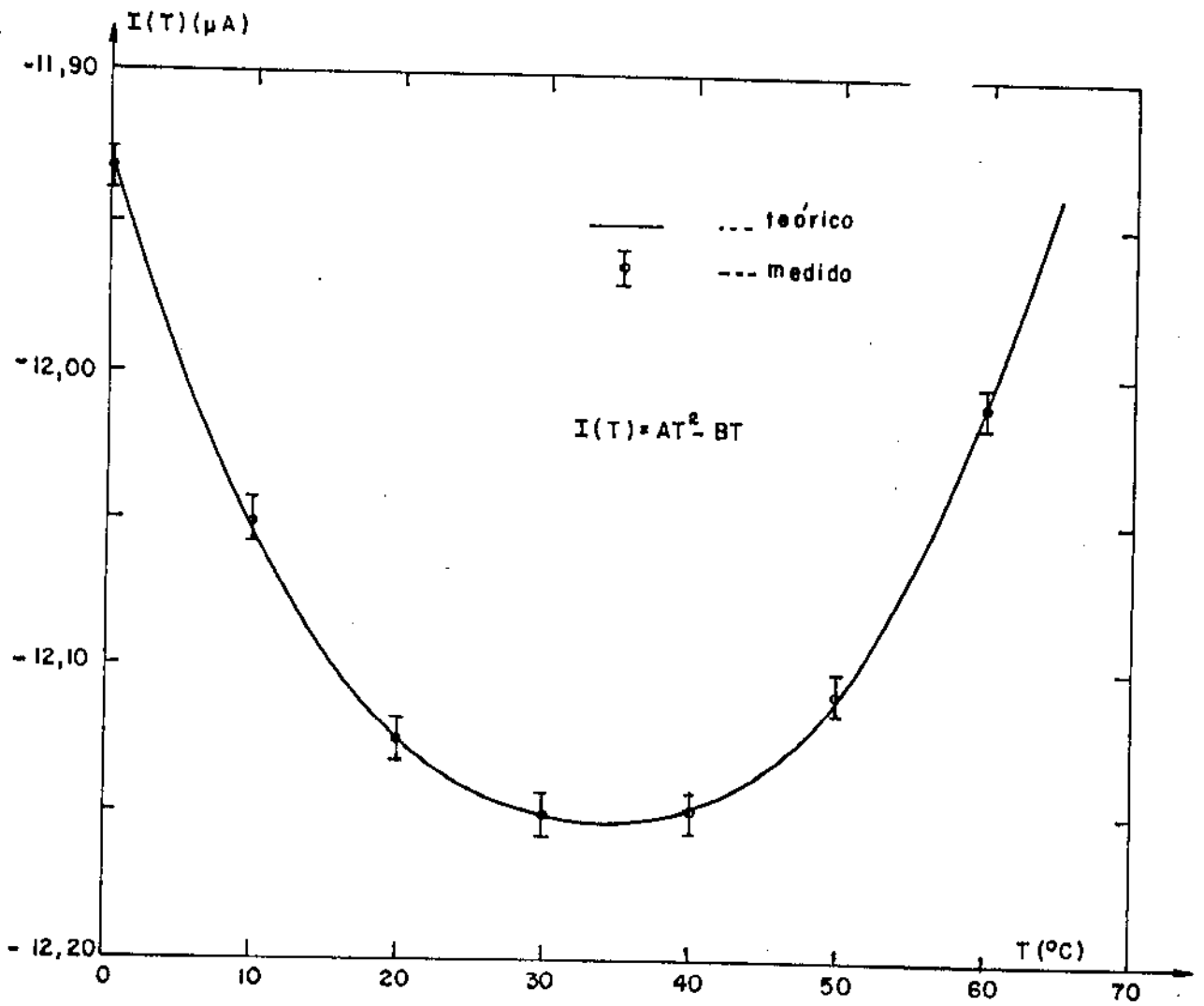


Figura 90 - Resultado obtido na caracterização do circuito trans linear.

onde
$$K = \frac{x}{32}$$

Portanto, podemos escrever a corrente de saída do sistema como:

$$I_S = I_{REF} \left(1 + 2 \frac{x}{32} + \frac{x^2}{(32)^2} \right) \quad (7.2)$$

O valor da corrente no bit menos significativo deste segmento é $I_{LSB} = I_{REF}/32$.

Para que o erro na saída do conversor seja menor do que 1LSB do segmento (especificação dos conversores comerciais), temos que ter:

$$I_{S_{MAX}} = I_{REF} \left(1 + \frac{1}{32} \right) \quad (7.3)$$

Com isso, podemos calcular, com o auxílio da equação 7.2, o valor do erro máximo permitido em cada um dos conversores.

Comparando as equações 7.2 e 7.3 vem que:

$$\frac{2x}{32} + \left(\frac{x}{32} \right) = \frac{1}{32} \quad (7.4)$$

Logo, temos:

$$x \approx 1/2$$

Isso significa que cada um dos conversores deve apresentar, no máximo, um erro de 1/2 LSB. Isso foi facilmente obtido, já que, nas vinte medições realizadas, o erro máximo observado foi de 0,22 LSB.

O conversor corrente-tensão praticamente não introduziu erros, quando testado, no que se refere à linearidade da conversão. Quanto aos erros de assimetria do primeiro para o quarto quadrante, vimos que, para o caso normalmente encontrado em resistores integrados, essa especificação é facilmente cumprida.

O amplificador operacional do circuito de geração da corrente de referência pode introduzir um erro na amplitude do LSB (através das variações de I_{OS} e V_{OS} com a temperatura), causando um erro de fundo de escala.

Usando os valores estimados para dV_{OS}/dT e dI_{OS}/dT , o erro máximo de fundo de escala introduzido pelo amplificador operacional seria de cerca de 120 ppm. Esse valor, quando somado ao erro introduzido pela referência de tensão, perfaz o total de 190 ppm, que é bem menor do que o especificado, que é de 480 ppm.

Devemos observar, que o erro devido ao "off-set" do amplificador operacional pode ser reduzido bastante, se utilizarmos um ajuste, como discutido anteriormente.

7.4 Conclusões

O circuito do conversor D/A não linear para o sistema MCP, projetado neste trabalho, apresentou boas características elétricas, quando testado em "bread-board", sendo que, para uma versão integrada do circuito, deve-se esperar um comportamento ainda superior ao medido.

Os erros medidos nos vários blocos do circuito do conversor se mantiveram dentro dos níveis esperados (quando no projeto de cada um dos blocos), ficando evidenciada a importância da técnica de empilhamento dos conversores, já que isso permitiu a realização da multiplicação sem a introdução de nenhum erro.

Alguns dos circuitos desenvolvidos, particularmente aqueles que dependiam de uma caracterização térmica, não puderam ser testados em "bread-board".

No entanto, o circuito para compensação de ΔV_{BE} apresentou um ótimo desempenho na simulação em computador, e o circuito de correção de curvatura para referências do tipo "bandgap" mostrou um comportamento praticamente ideal no teste do seu circuito principal, o translinear que gera o polinômio de segundo grau.

Acreditamos que uma referência de tensão, construída com a técnica aqui descrita, possa apresentar coeficientes térmicos cerca de 10 a 20 ve

zes inferiores aos encontrados em referências sem correção de curvatura.

Como, potencialmente, o conversor deve apresentar erros menores do que $1/2$ LSB na saída, o circuito se presta a outras utilizações onde são necessárias conversões não-lineares, não se restringindo o seu uso ao sistema MCP.

Como sugestão para a continuação deste trabalho, temos a realização do projeto de um registrador de aproximação sucessiva, que, quando conectado ao circuito do conversor D/A, possa fazer uma codificação analógica-digital segundo a lei A-128.

Com o projeto desse registrador, teríamos o sistema completo de codificação/decodificação para o sistema MCP.

APENDICE A

REDUCTION OF THE UPWARD GAIN IN I^2L TRANSISTORS DUE TO BASE WIDENING
INTO THE EMITTER

J.A.S. Dias and A.M.Jorge

Laboratório de Eletrônica e Dispositivos/FEC/UNICAMP
Caixa Postal 6061 - 13100 Campinas - SP - Brasil

J.P.Bailbé

Laboratoire d'Automatique et d'Analyse des Systèmes du CNRS
7, Av. du Colonel Roche, 31077 Toulouse Cedex - France

ABSTRACT

A model that includes a mechanism of base widening into the emitter is used to describe the DC behavior of an I^2L gate. Experimental results agree with those predicted by the model and show that this effect plays an important role in the reduction of the upward gain β_{up} in I^2L circuits fabricated with linear compatible processes.

1. INTRODUCTION

After the classical paper of Klaassen on Device Physics of Integrated Injection Logic [1], several attempts have been made to obtain a model that describes the DC behavior of the I^2L upward operated NPN transistors. However, when a linear compatible process with a low doped and thick epitaxial layer is used, a mechanism of base widening into the emitter plays an important role in the reduction of the current gain β_{up} , and cannot be neglected anymore, as has been done in all models that describe a standard I^2L structure. This paper presents a new model that includes the effect of base widening into the emitter in the structure oriented model with extrinsic base resistances, loss diodes and high injection effects [2], [3].

2. MODEL PARAMETERS

The cross section of an I^2L gate and its equivalent electric circuit is shown in figure 1.

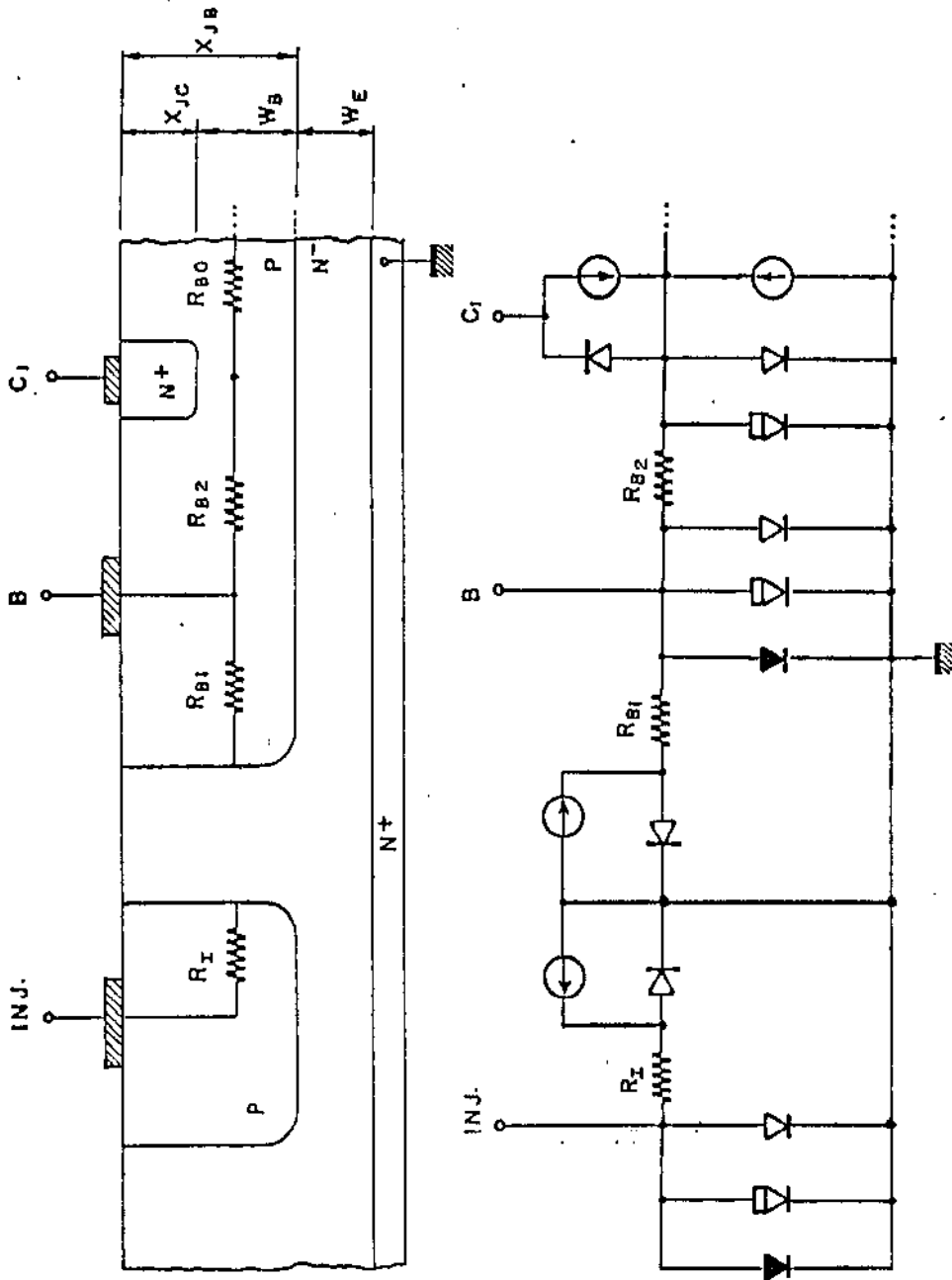


Fig. 1 - Cross-section and equivalent electric circuit of an I²L gate.

The difference between our model and the conventional I^2L model is that, in our model, the collector current in the NPN transistors is given by an expression that includes the effect of base widening into the emitter. The well known expression for the collector current density is modified with the introduction of a term $f(J_c)$ that is dependent on the level of the collector current density:

$$J_c = \frac{\alpha_N \cdot J_S}{1 + f(J_c)} \exp\left(\frac{qV_{BE}}{KT} - 1\right) \quad (1)$$

where $f(J_c) = \frac{J_c}{J_{BWE}}$ represents the effect of base widening into the emitter

J_{BWE} is the knee current density in the plot $\ln J_c \times V_{BE}$ and can be calculated by solving the following equation:

$$\frac{\overline{D_{nE}} \cdot Q_B \cdot q}{\overline{D_{nB}}} = J_{BWE} \cdot \frac{W_E^2}{4 \overline{D_{nE}}} + \left[J_{BWE} \cdot W_E^2 \left(\frac{Q_B \cdot q}{\overline{D_{nB}}} + \frac{J_{BWE} \cdot W_B^2}{4 \cdot \overline{D_{nB}}^2} \right) \right]^{1/2} \quad (2)$$

By measuring the sheet resistivities, the junction depths and the saturation currents one can obtain, with good accuracy, the values of $\overline{D_{nB}}$, W_B , Q_B and $\overline{D_{nE}}$, which are necessary to solve equation (2).

In a linear compatible I^2L process, where the doping and thickness of the epitaxial layer are chosen to give high breakdown voltages for the analog NPN transistors, to obtain a current gain β_{up} adequate for the operation of the I^2L upward NPN transistors, one has introduced an extra process step to reduce their intrinsic base doping [5], [6]. Therefore, I^2L transistors fabricated with these processes have a low Q_B and a thick and low doped emitter, being easily affected by the effect of base widening into the emitter. In figure 2 we have plotted the solution of equation (3) as a function of W_E , (the thickness of the epi layer under the base region) with Q_B as parameter, for an I^2L transistor built in a epitaxial layer of $5 \cdot 10^{15} \text{ cm}^{-3}$ with a buried layer of $1 \cdot 10^{19} \text{ cm}^{-3}$.

From these curves it is clear that for the epitaxial layers with a low W_E and the normal values of Q_B used in a standard I^2L process, the critical current density J_{BWE} has a high value and therefore its effect can be

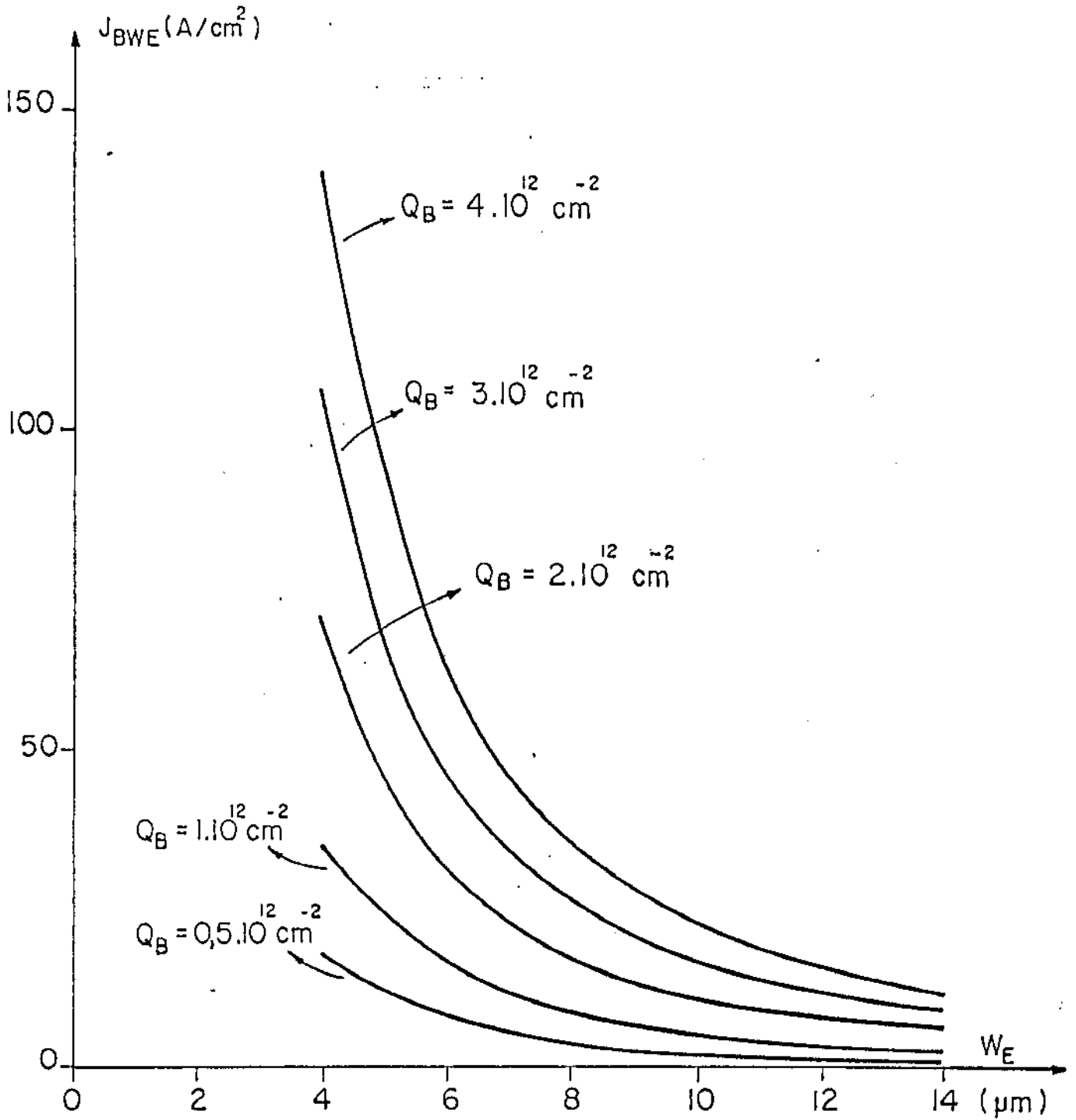


Fig. 2 - Variation of the knee current density J_{BWE} as a function of W_E , with the base charge as parameter.

neglected. However, for a process that uses a low Q_B and a epitaxial layer with a high W_E , this current begins to become important and, for example, for $W_E = 10 \mu\text{m}$ and $Q_B = 2 \cdot 10^{10} \text{ cm}^{-2}$ one find $J_{BWE} \approx 11 \text{ A/cm}^2$, which would result in a value of I_{BWE} of only $44 \mu\text{A}$ in transistor with $400 \mu\text{m}^2$ of collector area.

3. EXPERIMENTAL RESULTS

Various test structures were fabricated using a $10 \mu\text{m}$ design rule. A linear compatible process that uses the approach of super- β transistors with a double-base diffusion was used to fabricate the devices.

The process parameters are listed in table 1; the extrinsic base resistances were calculated using the values of the sheet resistivities measured with Van der Pauw structures and the junction depths were measured by angle-lap and stain techniques.

ρ_{epi}	$R_{\square \text{Base}}$	$R_{\square \text{emitter}}$	X_{JE}	X_{JB}
$1,1 \Omega \cdot \text{cm}$	$220 \Omega / \square$	$5 \Omega / \square$	$2,5 \mu\text{m}$	$3,0 \mu\text{m}$

W_E	R_1	R_{B1}	R_{B2}	R_{B0}	B. Layer
$8,0 \mu\text{m}$	25Ω	45Ω	150Ω	400Ω	$1 \cdot 10^{19} \text{ cm}^{-3}$

Table 1 - Process Parameters

Using these parameters and solving equation (2) for J_{BWE} we find $J_{BWE} \approx 10 \text{ A/cm}^2$. So, at this current density level, it is expected that the upward current gain β_{up} begins to fall-off due to the change in the slope of the collector current in the plot $\ln J_C \times V_{BE}$.

The comparison of the experimental data and the theoretical results calculated with the conventional model [3] and our model is shown in figure 3. The BWE-model shows a close correspondence with the experimental data in the full range of collector currents, while the conventional model begins to fail at $\approx 10 \mu\text{A}$.

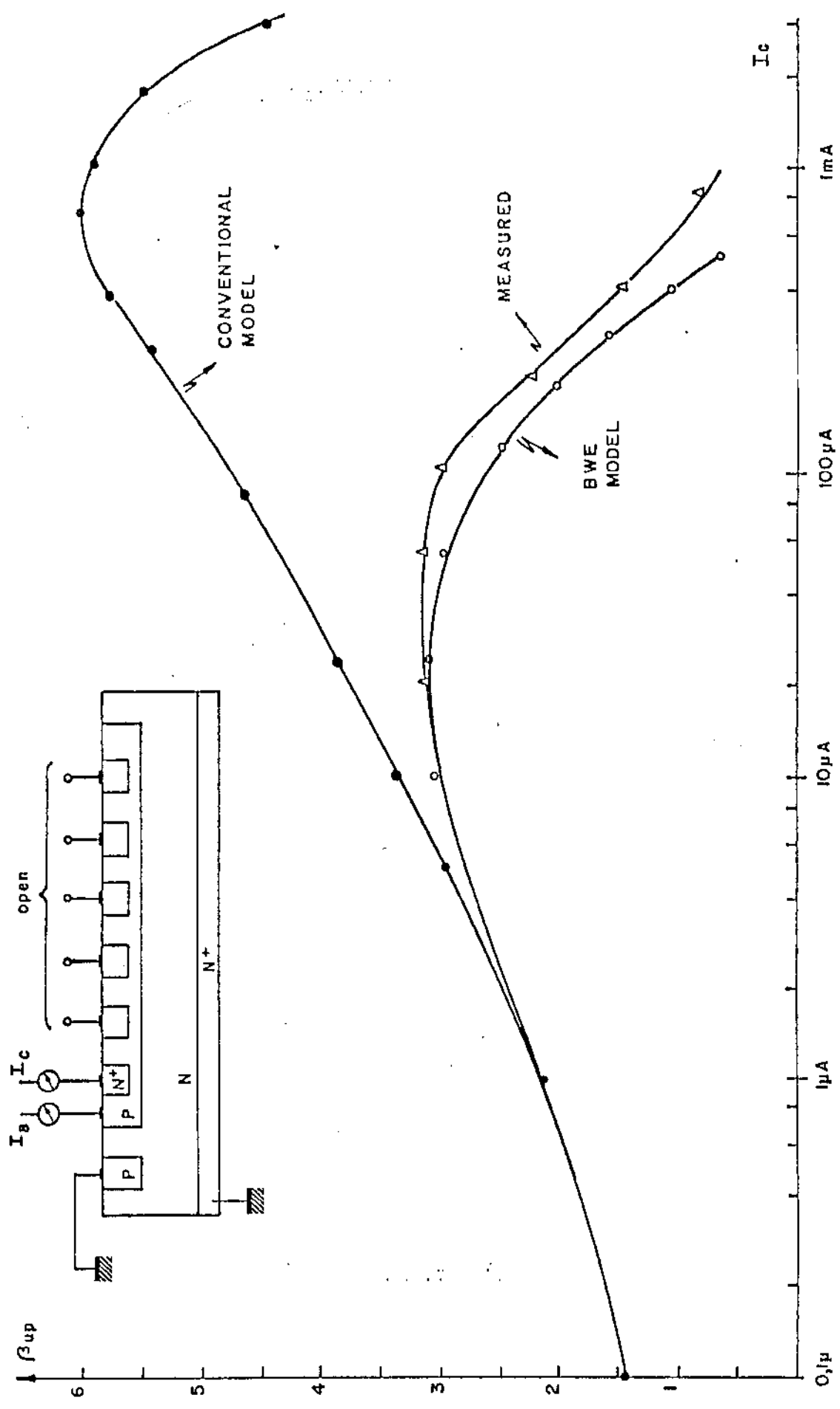


Fig. 3 - Comparison of the measured data with the conventional and the base-widening into the emitter models.

4. CONCLUSION

A new model where the effect of base widening into the emitter is included was used to describe the DC behavior of I^2L gates. The theoretical values calculated with this model show a close correspondence with the experimental data, while the values obtained with the conventional model can be used only for low levels of collector current density.

It was shown that for I^2L circuits fabricated with a low Q_B in a low doped and thick epitaxial layer, a conventional model cannot be used because it does not include the mechanism of base widening into the emitter, which plays an important role in the reduction of the upward current gain β_{up} . The critical current density above which this reduction occurs depends strongly both on the intrinsic base doping and the epitaxial layer characteristics and must be calculated to decide if a conventional model can be used, or if it is necessary to include the effect of base widening into the emitter in the I^2L model.

APÊNDICE B

Neste apêndice são apresentados alguns circuitos de compensação de corrente de entrada para o amplificador operacional do circuito de junção da corrente de referência.

No primeiro circuito, apresentado na figura B1, a compensação é realizada com o auxílio de dois espelhos de corrente, formados por D_1 , T_6 e D_2 , T_5 . Analisando o ramo esquerdo do par diferencial temos:

$$I_{E3} = I_{C1} \quad (B.1)$$

Logo,

$$I_{B3} = \frac{\alpha_N I_{C1}}{\beta_N} \quad (B.2)$$

$$\text{mas, } I_{B3} = I_{D1} + I_{B6} \quad (B.3)$$

Com D_1 e T_6 casados podemos escrever:

$$I_{B3} = (I_{C6} + I_{B6}) + I_{B6} = I_{C6} \left(1 + \frac{2}{\beta_P}\right) \quad (B.4)$$

A corrente de compensação é a corrente injetora na base de T_1 pelo coletor de T_6 , ou seja, I_{C6} . Das equações B.4 e B.2 temos:

$$I_{C6} = \left(\frac{\alpha_N I_{C1}}{\beta_N}\right) / \left(1 + \frac{2}{\beta_P}\right) \quad (B.5)$$

Como $I_{C1}/\beta_N = I_{B1}$, temos:

$$I_{C6} = \frac{\alpha_N}{1 + 2/\beta_P} \cdot I_{B1} \quad (B.6)$$

A corrente de entrada efetiva I_{EN} é, portanto, dada por:

$$I_{EN} = I_{B1} \left(1 - \frac{\alpha_N}{1 + 2/\beta_P}\right) \quad (B.7)$$

que, para valores típicos de β_N e β_P , vale $I_{EN} \approx 0,17 \cdot I_{B1}$.

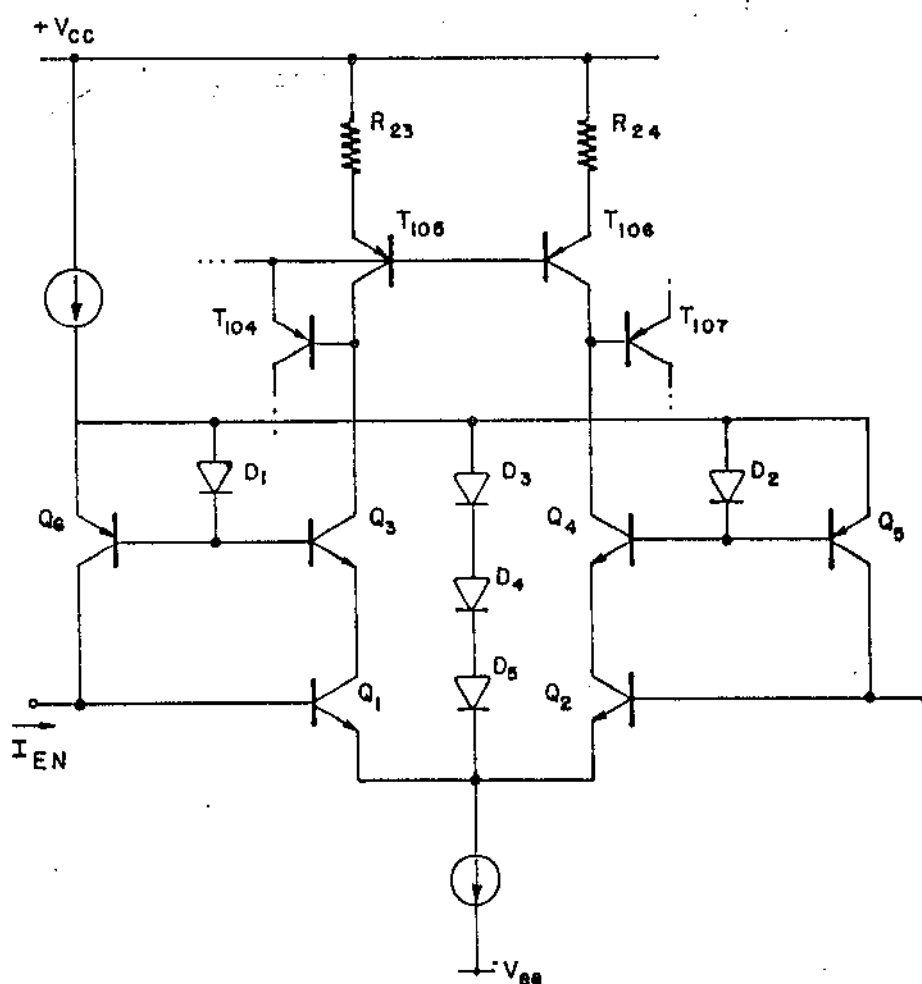


Figura B.1

Outro circuito de compensação de corrente de entrada possível de ser utilizado é apresentada na figura B.2.

Para esse circuito temos:

$$I_{E3} = I_{C1}$$

$$I_{B3} = I_{B7} = \frac{\alpha_N \cdot I_{C1}}{\beta_N} \quad (\text{B.9})$$

Portanto,

$$I_{C7} = \frac{\beta_P \cdot \alpha_N \cdot I_{C1}}{\beta_N} \quad (\text{B.10})$$

Dessa forma, a corrente de base de T_9 é dada por:

$$I_{B9} = \frac{\alpha_p}{\beta_p} \frac{\beta_p \cdot \alpha_N \cdot I_{C1}}{\beta_N} \quad (\text{B.11})$$

Como $I_{B1} = I_{C1}/\beta_N$ vem que:

$$I_{B9} = \alpha_p \cdot \alpha_N \cdot I_{B1} \quad (\text{B.12})$$

Logo,

$$I_{EN} = I_{B1} \left(1 - \frac{\beta_p \cdot \beta_N}{(\beta_p + 1)(\beta_N + 1)} \right) \quad (\text{B.13})$$

Para esse circuito de compensação, temos $I_{EN} = 0,09 I_{B1}$.

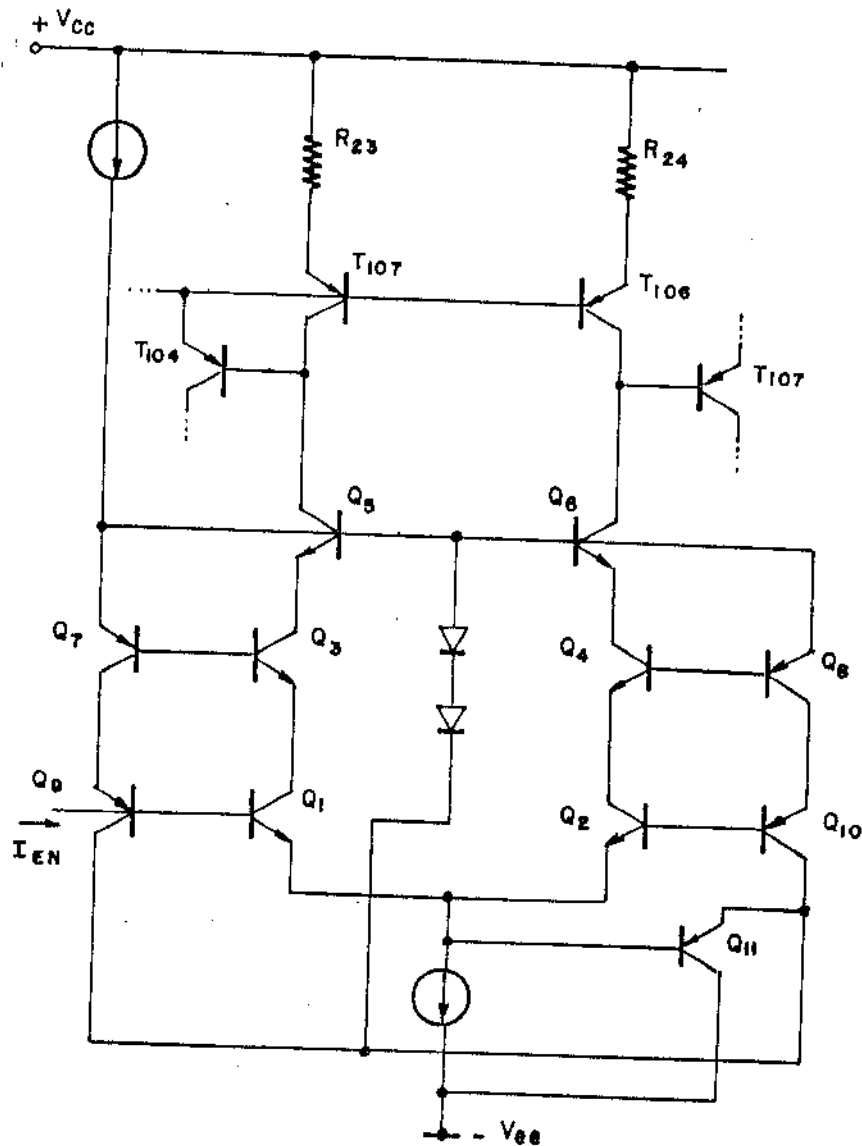


Figura B.2

Uma terceira opção seria a utilização do circuito da figura B.1 com uma modificação no espelho de corrente (T_6, D_1) que, devido ao baixo fator de transferência de corrente, é o principal responsável pelos erros na compensação das correntes de entrada.

Utilizando um espelho com três transistores, como indicado na figura B.3 e fazendo uma análise semelhante à realizada anteriormente, concluímos que

$$I_{EN} = I_{B1} \left(1 - \frac{\alpha_N}{1 + 2/(\beta_p^2 + \beta_p)} \right) \tag{B.14}$$

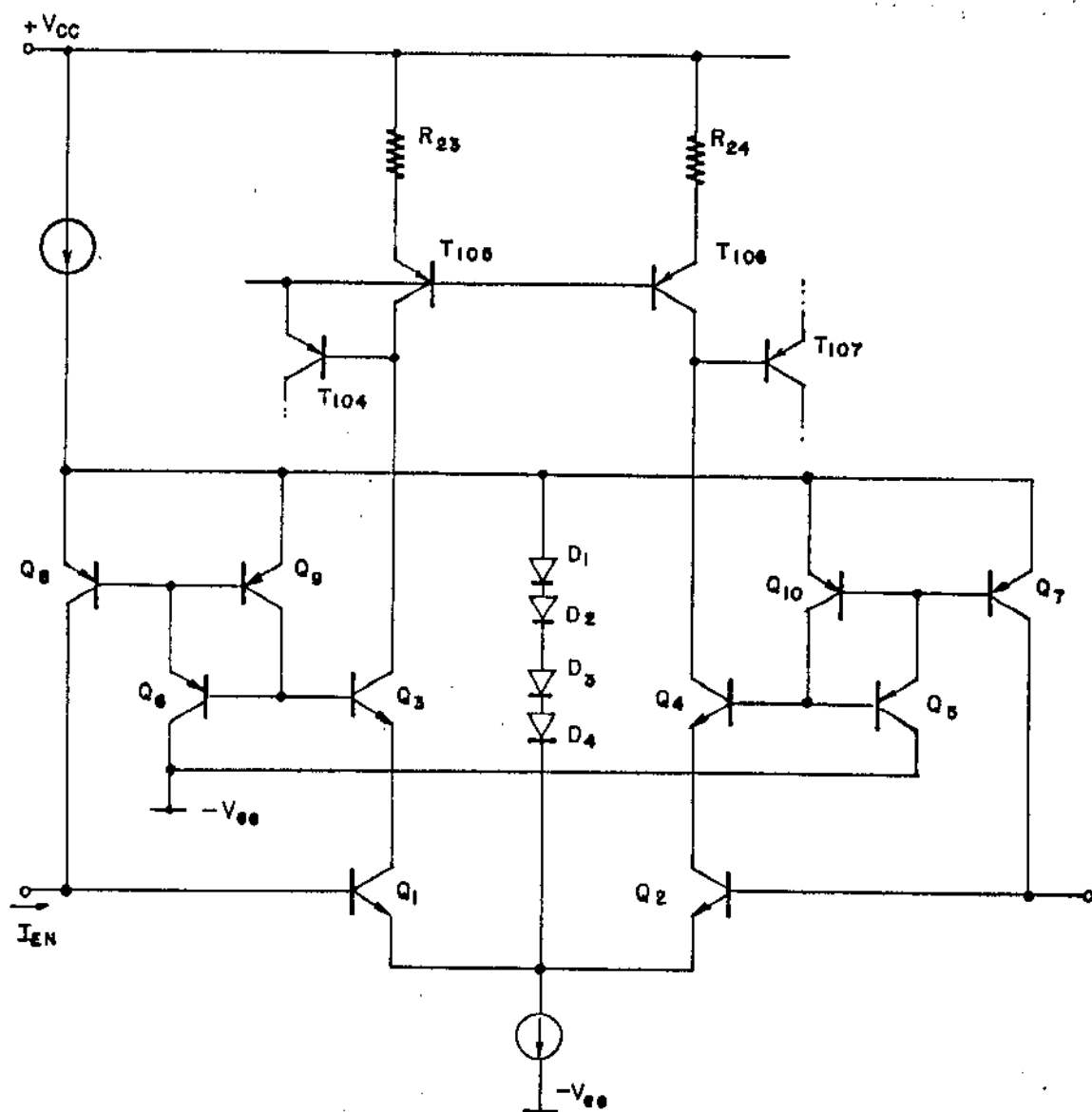


Figura B.3

Com esse tipo de compensação, usando os valores de β_N e β_p já utilizados anteriormente, temos:

$$I_{EN} \approx 0,022 I_{B1} \quad (B.15)$$

o que representa uma redução de 44 vezes na corrente de entrada em relação ao circuito sem compensação.

APÊNDICE C

ALTA INJEÇÃO EM TRANSISTORES PNP LATERAIS

Alberto M. Jorge e José A.S. Dias

LED/FEC/UNICAMP

Caixa Postal 6061

13100 - CAMPINAS - SP

Resumo: Apresenta-se um modelo onde são explicadas as variações da tensão de alta injeção V_K com a largura de base dos transistores PNP laterais. Os valores calculados usando este modelo são bem próximos dos obtidos experimentalmente.

Os limites entre as regiões de baixa e alta injeção têm sido estudados em vários artigos sobre o comportamento DC dos transistores PNP laterais.

Este problema é muito importante porque, frequentemente, para economia de área, o projetista de circuitos integrados utiliza os transistores PNP laterais em níveis muito altos de densidade de corrente, o que pode levá-los a entrar na região de alta injeção.

Portanto, torna-se muito importante a obtenção de um modelo que permita determinar com precisão os valores da corrente e tensão crítica de alta injeção (I_K e V_K).

As equações clássicas deduzidas por Chou [1] para calcular V_K e I_K são:

$$V_K = 2 \cdot V_T \cdot \ln(2 \cdot N_{epi}/n_i) \quad (1)$$

$$I_K = 4 \cdot q \cdot D_p \cdot A_c \cdot N_{epi}/W_B \quad (2)$$

onde

V_T = tensão termodinâmica (KT/q)

N_{epi} = dopagem da camada epitaxial

n_i = concentração intrínseca de portadores na camada epitaxial

D_p = constante de difusão das lacunas na camada epitaxial

A_c = área efetiva de coletor

W_B = largura de base efetiva

A equação (1) mostra que, para transistores PNP laterais, a tensão V_K deveria ser função apenas da dopagem na camada epitaxial.

Entretanto, baseados em resultados obtidos com transistores PNP laterais fabricados com várias larguras de base, Berger et al [2] mostraram que os valores de V_K medidos nesses transistores não estão em concordância com os valores calculados usando a equação (1). Foi verificado que a tensão V_K apresenta uma forte dependência com a largura de base dos transistores PNP (notadamente para $W_B < 5\mu\text{m}$) sem, no entanto, apresentar uma justificativa para tais variações. Baseados nestes resultados, também concluiu-se que a redução da largura de base dos transistores PNP laterais faria com que eles entrassem na região de alta injeção mais cedo, trazendo uma série de inconvenientes para a utilização destes transistores.

Neste trabalho apresentamos uma explicação para as variações de V_K observadas por Berger e comparamos os resultados teóricos calculados com um novo modelo com os resultados experimentais.

De acordo com [3], podemos escrever V_K e I_K como:

$$I_K = \frac{4 \cdot q \cdot D_p \cdot Q_B \cdot A_c}{W_B^2} \quad (3)$$

$$V_K = V_T \cdot \ln(I_K/I_S) \quad (4)$$

onde I_S é a corrente de saturação ($I_S = q \cdot D_p \cdot n_i^2 \cdot A_c/Q_B$) e Q_B é a carga líquida na base.

Se a dopagem na base do PNP lateral for dada apenas pela camada epitaxial, uma simples substituição de Q_B por $Nepi \cdot W_B$ (que foi verificado experimentalmente ser válido apenas para valores altos de W_B) leva às expressões (1) e (2).

Quando, porém, a largura de base do transistor PNP lateral é pequena, deve-se levar em consideração a compensação da camada epitaxial que ocorre devido à concentração de dopante P além das junções BE e BC. Essa carga de compensação Q_B^* é usada para definir um fator de correção γ , que multiplica o va

lor de Nepi nas equações (1) e (2). Este fator de correção é dado por

$$\gamma = (Q_{B0} - Q_B^*)/Q_{B0}$$

onde, de acordo com a figura 1, temos

$$Q_{B0} = \text{Nepi} \cdot W_B \tag{5}$$

$$Q_B^* \approx 2 \cdot \int_{0,7x_{JB}}^L \int_0^{x_{JB}} C_S \exp \frac{-x^2}{4 \cdot D \cdot t} dx dy \tag{6}$$

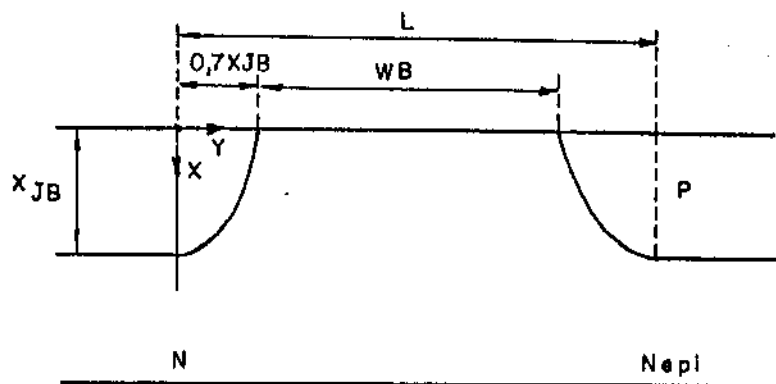


Fig. 1 - Vista em corte do transistor PNP lateral

Portanto, para valores pequenos de W_B , o valor de Q_B^* torna-se importante quando comparado com Q_{B0} e o valor de V_K diminui, como pode ser visto pela expressão corrigida de V_K :

$$V_K' = 2 \cdot V_T \cdot \ln \left[\left(\frac{2 \cdot \text{Nepi}}{ni} \right) \left(1 - \frac{Q_B^*}{Q_{B0}} \right) \right] \tag{7}$$

Usando o fator de correção γ na equação (3), podemos concluir que

$$I'_K = \frac{4 \cdot q \cdot D_p \cdot A_c \cdot N_{epi}}{W_B} \cdot \left(1 - \frac{Q_B^*}{Q_{BO}} \right) \quad (8)$$

ou seja, o valor de I'_K é sempre menor do que o previsto pela equação (1).

A comparação entre os resultados calculados com as expressões (1) e (7) e os resultados medidos por Berger são apresentados na figura 2. Na figura 3 são apresentadas as curvas teóricas obtidas para as variações de I_K e I'_K com W_B , calculadas com as expressões (2) e (8).

O decréscimo abrupto observado em V'_K e I'_K ocorre imediatamente antes das regiões de emissor de coletor do transistor se tocarem, fazendo o transistor desaparecer.

É importante notar que, embora V'_K diminua com a redução de W_B , o valor de I'_K aumenta. Não há, portanto, nenhuma objeção à redução da largura de base dos PNP laterais, uma vez que o que realmente é importante é o valor de I'_K , que é quem define qual a máxima corrente que pode ser usada no transistor antes que ele entre na região de alta injeção.

REFERÊNCIAS

- 1 CHOU, S.: "An investigation of lateral transistors: DC characteristics", Solid State Electronics, vol. 14, 1971, pp. 811-826.
- 2 BERGER, H.H. & DRECKMAN, U.: "The lateral PNP transistor: A practical investigation of DC parameters", IEEE Trans. Electronics Devices, vol. ED-26, nº 7, July 1979.
- 3 BAILBÉ, J.P.: "Contribution a l'étude physique des transistors bipolaires", Thèse du Docteur d'Etat, Université Paul Sabatier de Toulouse, 1977, pp. 55-70.

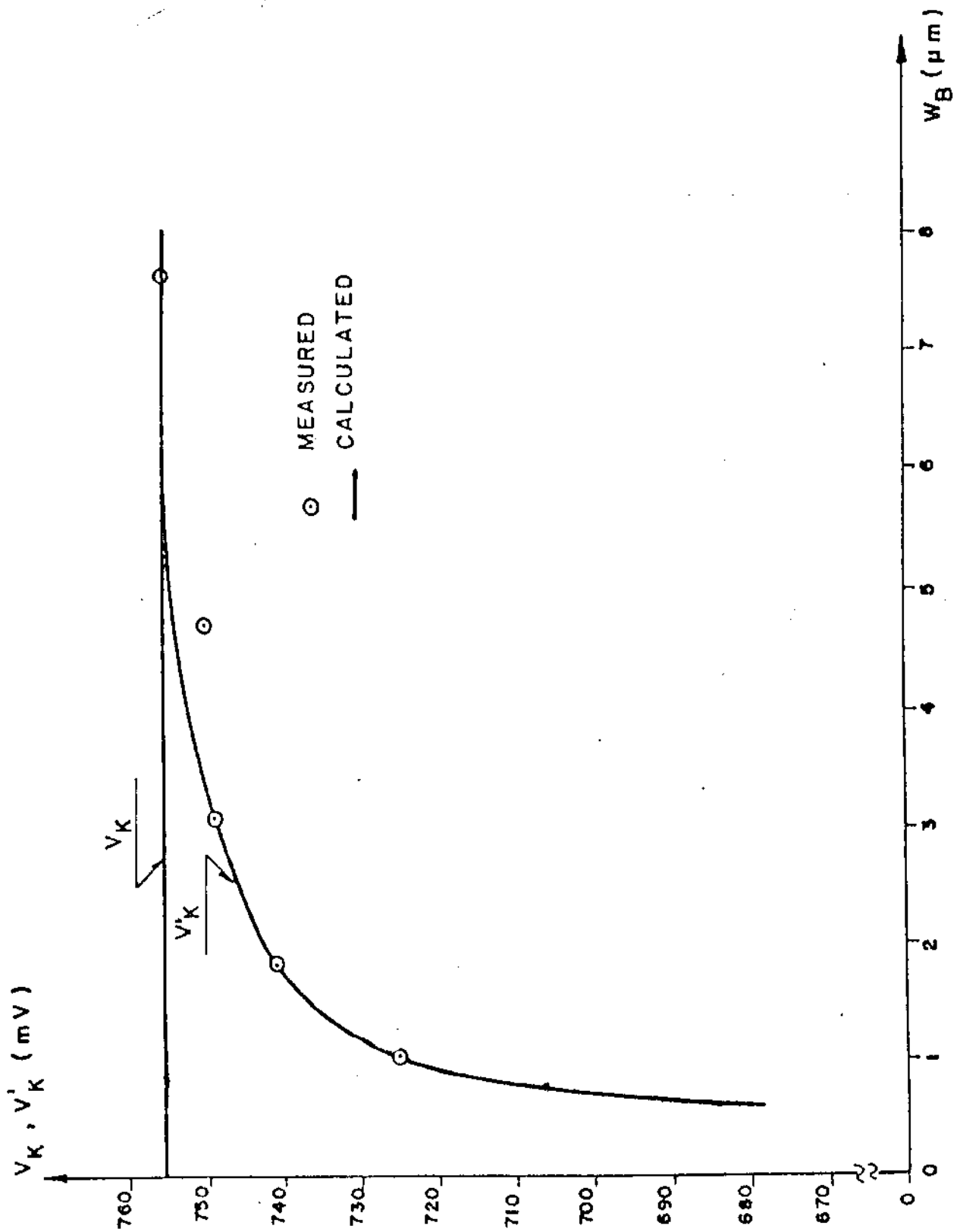


Fig. 2 - Variação da tensão crítica de alta injeção em função da largura de base.

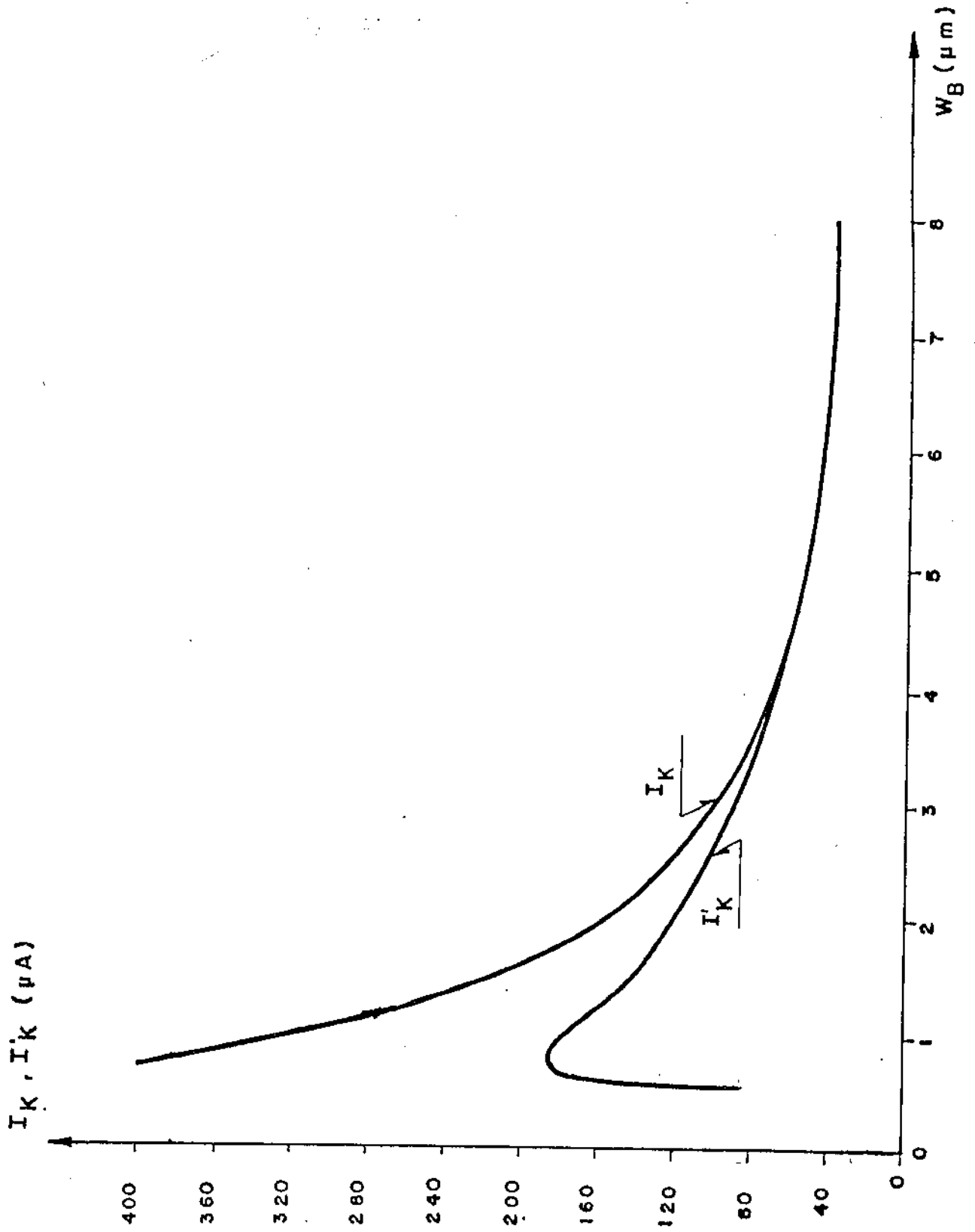


Fig. 3 - Variação da corrente crítica de alta injeção em função da largura de base.

APÊNDICE D

Neste apêndice é realizado um estudo sobre os espelhos de corrente, onde apresentamos os erros causados pela variação do fator de transferência de corrente com a temperatura,

Para os cálculos de $d\beta/dT$, foram utilizados coeficientes térmicos, para o ganho de corrente em emissor comum, de $0,1\%/^{\circ}\text{C}$ para transistores PNP e $1\%/^{\circ}\text{C}$ para os transistores NPN.

O primeiro espelho de corrente analisado é formado por apenas dois transistores (ver quadro interno da figura D.1), sendo o seu fator de transferência de corrente dado por:

$$n = \frac{1}{1 + 2/\beta} \quad \text{D.1}$$

Na própria figura D.1 apresentamos os resultados calculados.

Um desempenho bem superior ao apresentado pelo circuito da figura D.1, é o espelho de corrente chamado "espelho de Wilson",

Para esse espelho temos:

$$n = \frac{\beta (\beta + 1)}{\beta (\beta + 1) + 2} \quad \text{D.2}$$

Os resultados da análise realizada para esse espelho é apresentado na figura D.2, junto com o circuito do espelho de corrente.

O último espelho de corrente analisado é o chamado espelho de Wilson completo. Esse espelho, além de apresentar um fator de transferência mais próximo de 1, do que todos os outros circuitos apresentados, imuniza o transistor T_2 contra o efeito de modulação de base, através da conexão "cascode" de T_3 .

Os resultados da análise do desempenho deste espelho em relação às variações da temperatura são apresentados na figura D.3.

$$n = \frac{\beta (\beta + 2)}{\beta (\beta + 2) + 2}$$

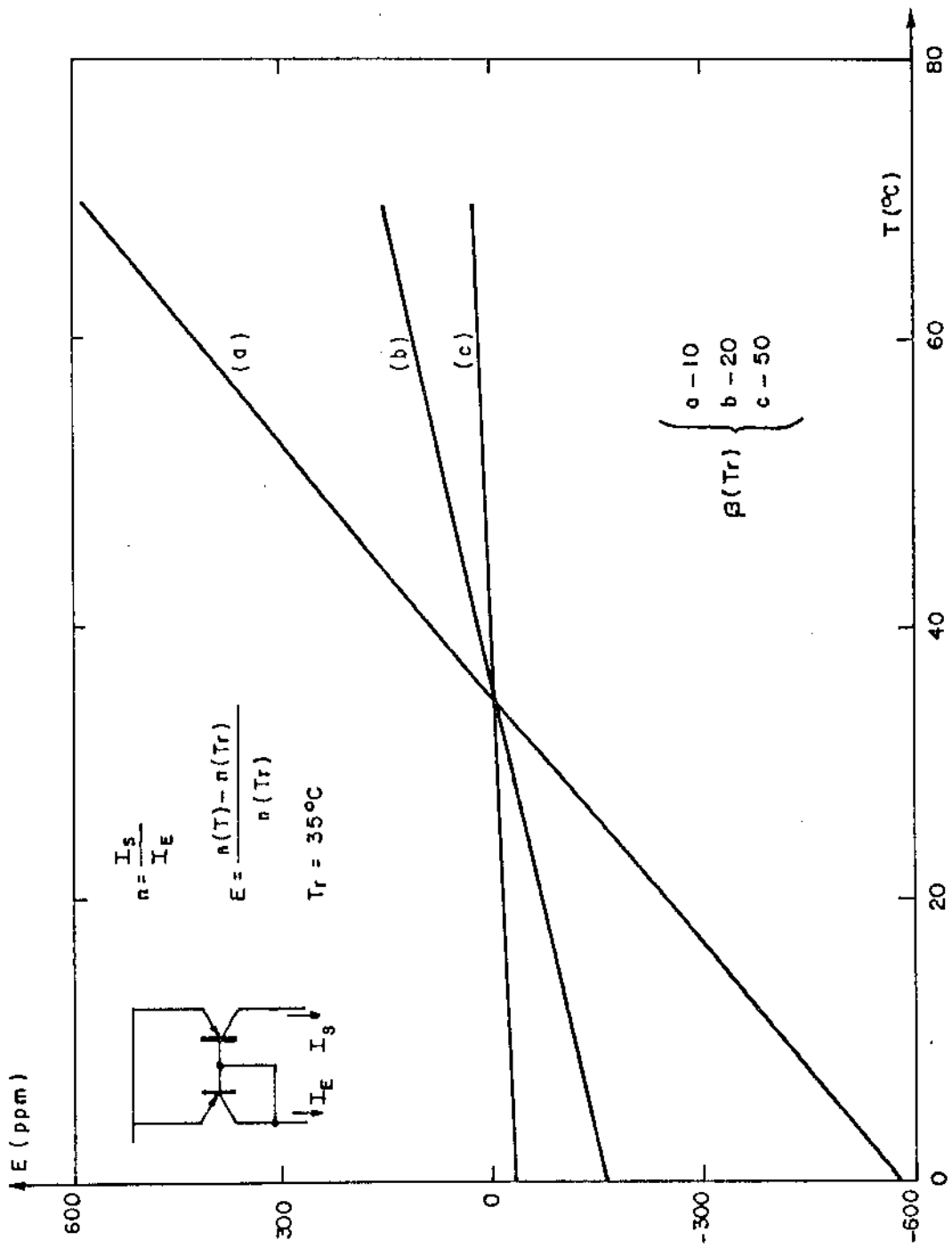


Figura D.1 - Erros calculados no espelho de corrente simples, em função da temperatura.

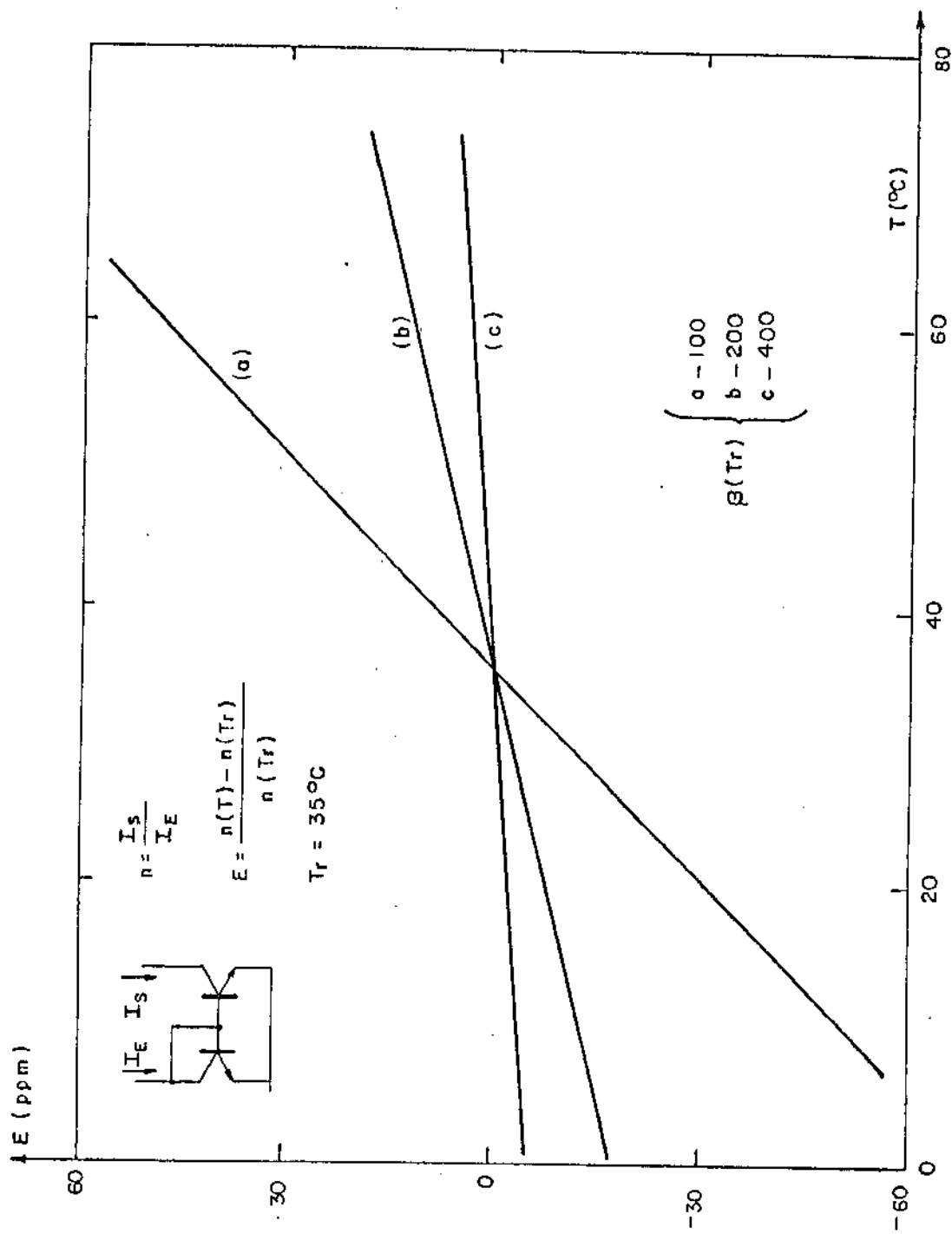


Figura D.1 - Erros calculados no espelho de corrente simples, em função da temperatura.

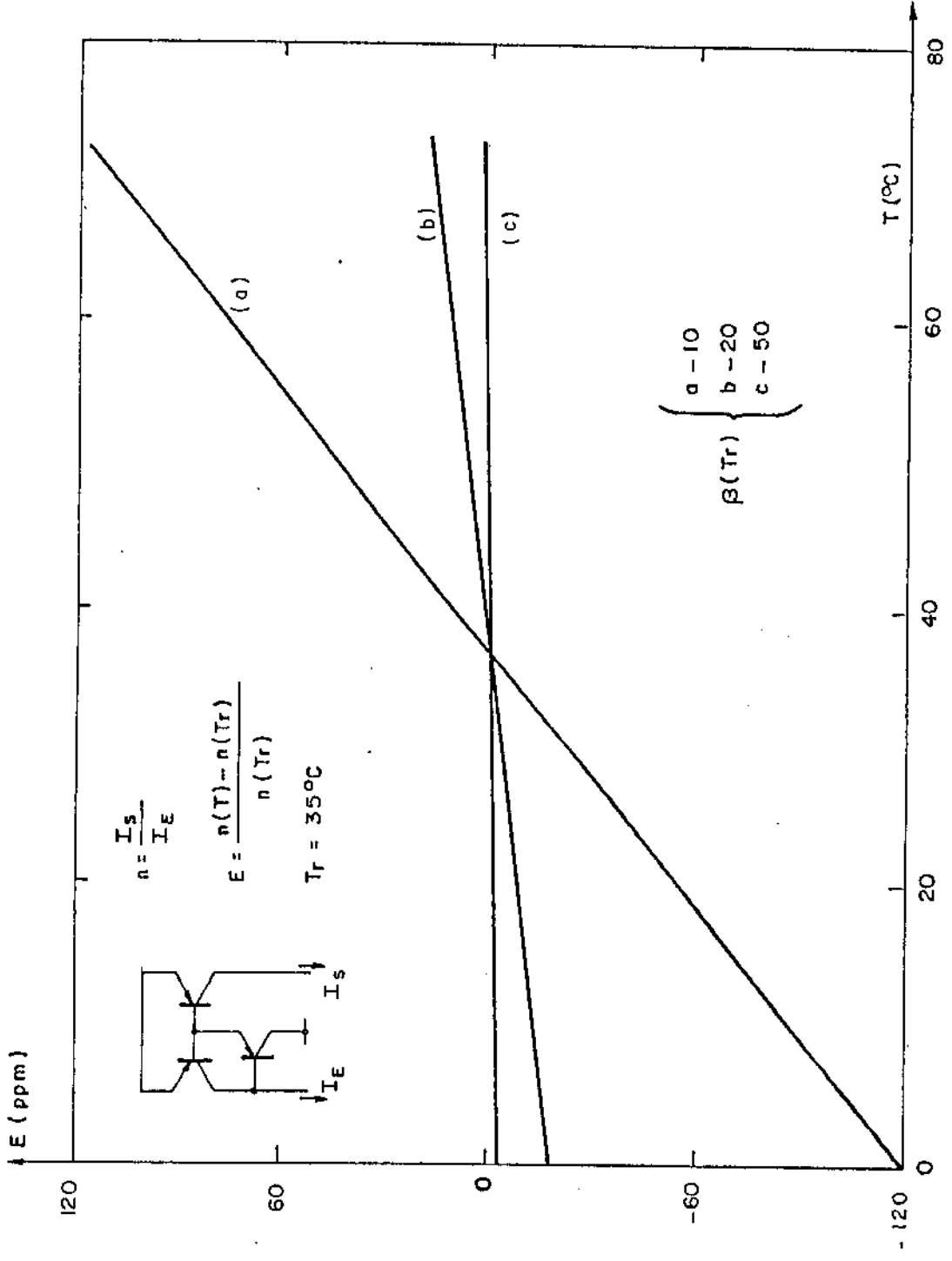


Figura D.2 - Erros calculados no espelho de Wilson, em função da temperatura.

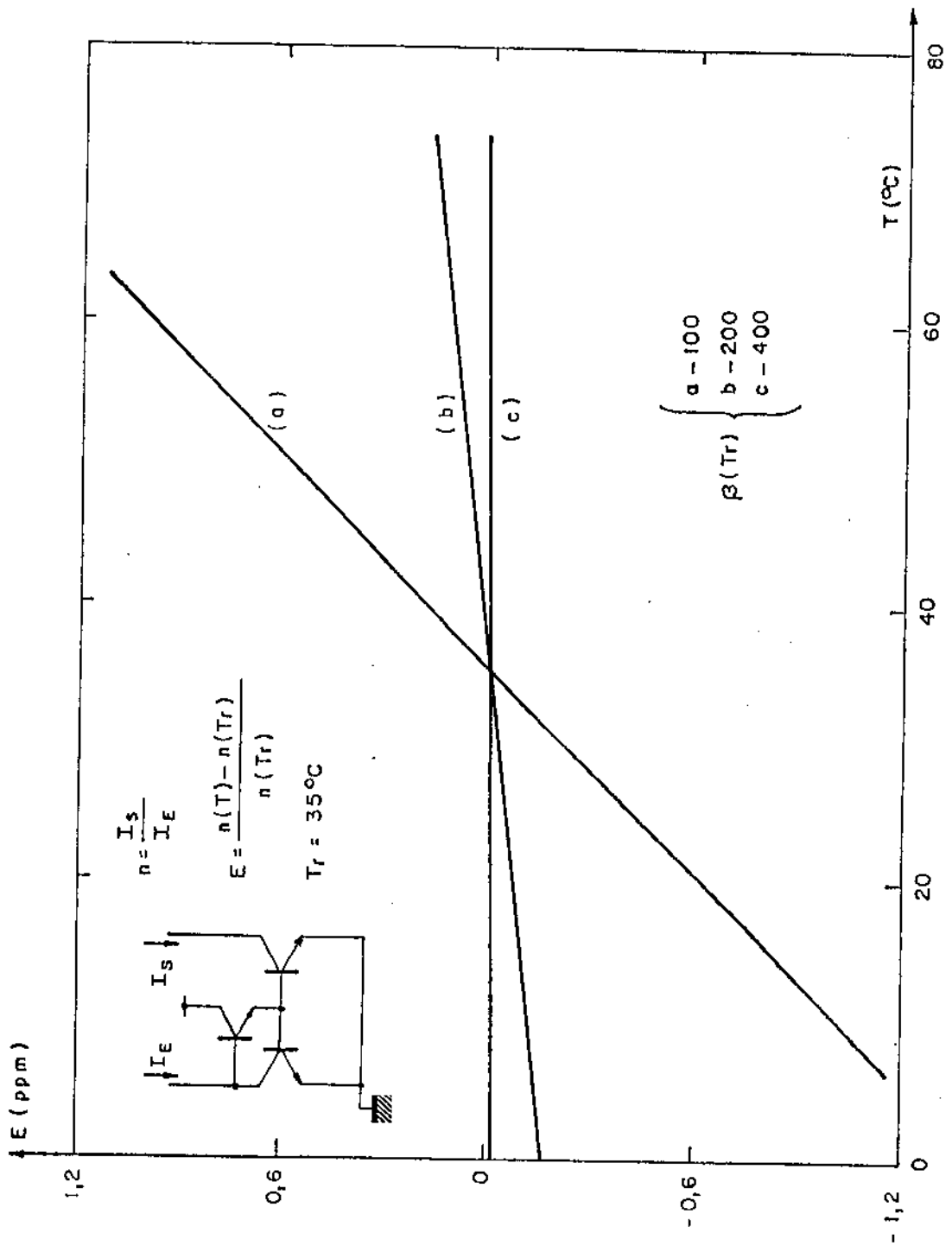


Figura D.2 - Erros calculados no espelho de Wilson, em função da temperatura.

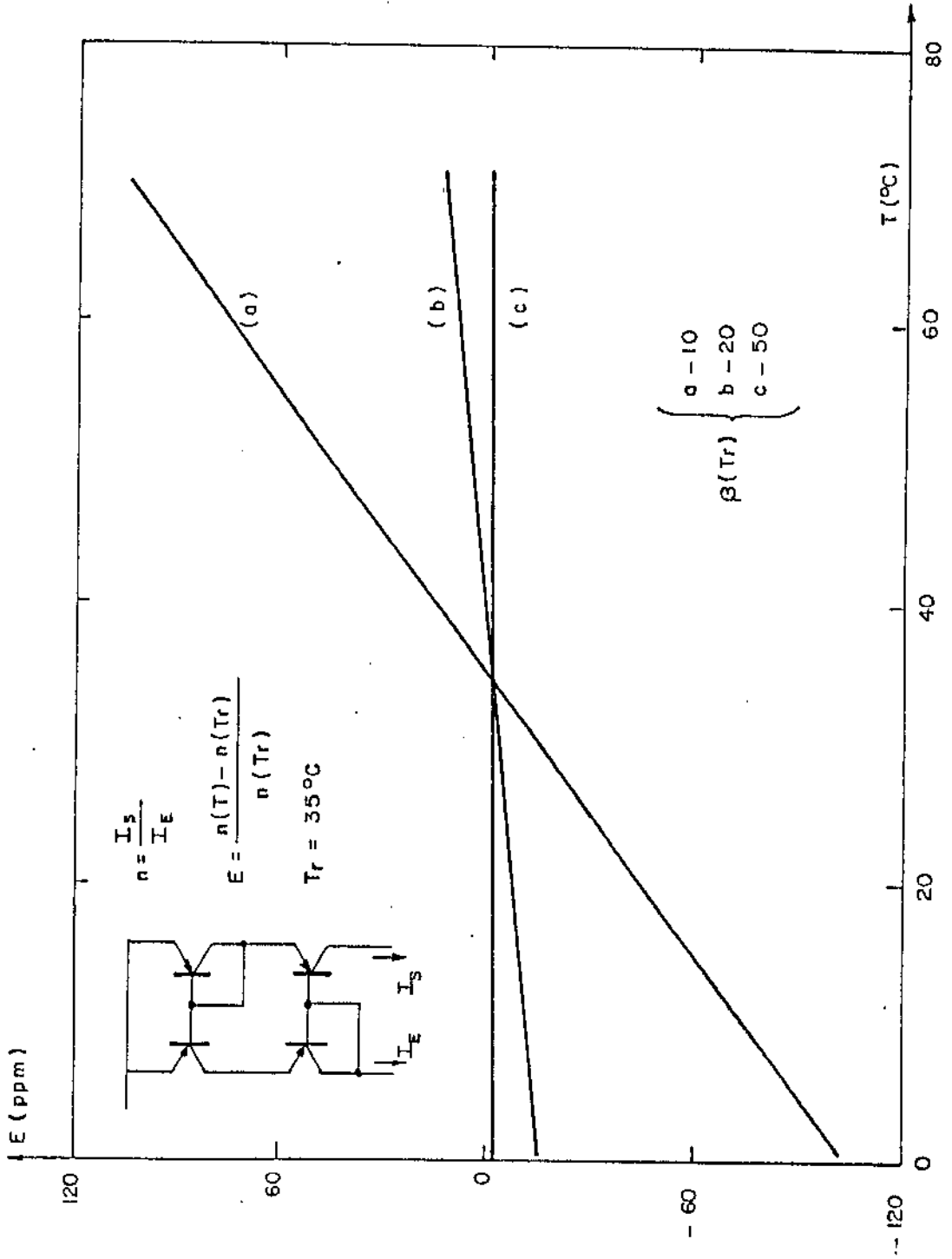


Figura D.3 - Erros calculados no espelho de Wilson completo, em função da temperatura.

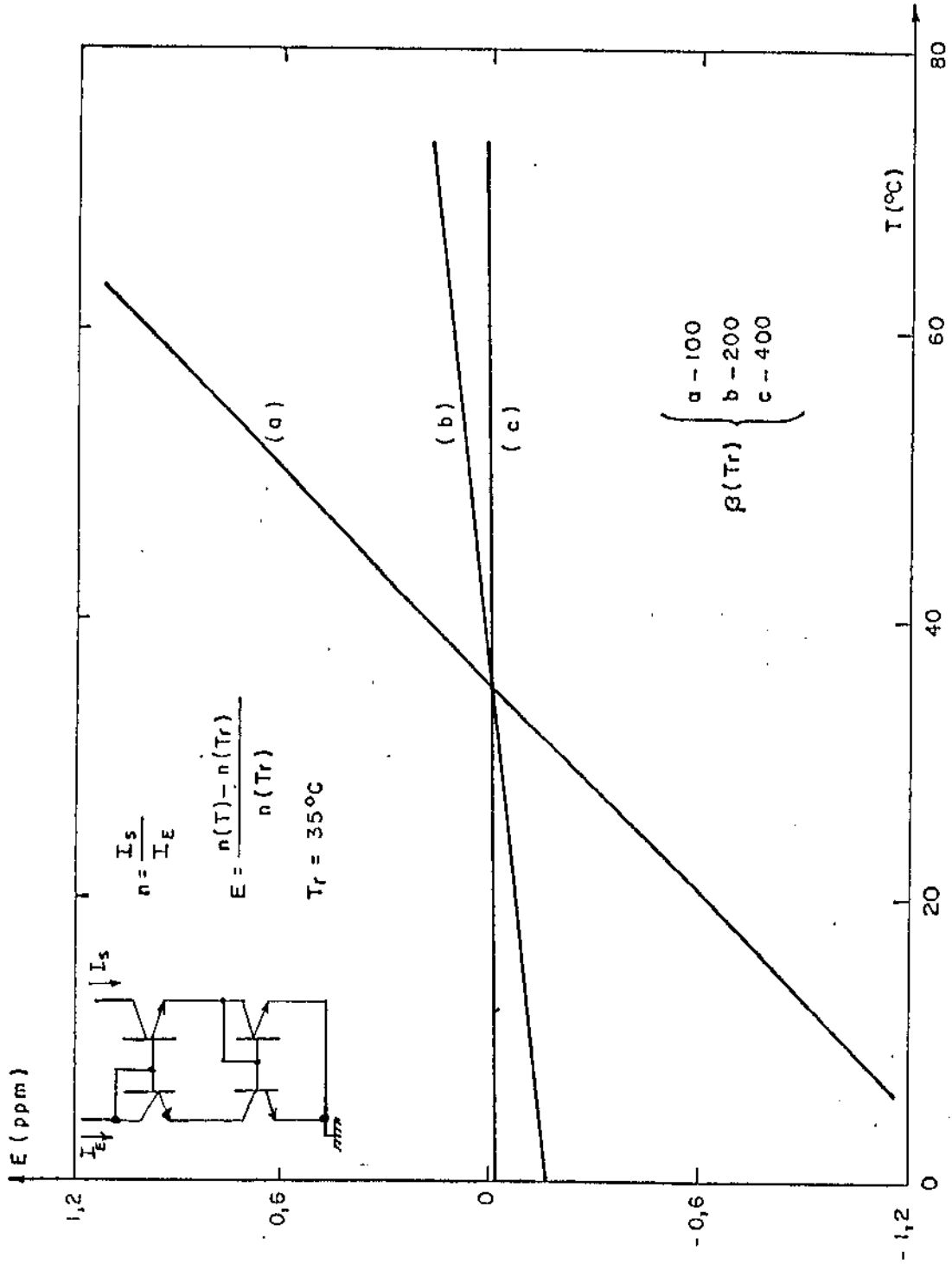


Figura D.3 - Erros calculados no espelho de Wilson completo, em função da temperatura.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] CCITT "Pulse Code Modulation of Voice Frequencies", Rec. G 711, Geneva, 1972.
- [2] American Telephone and Telegraph, "The D₃ Channel Bank Specification", outubro de 1974, nº 2.
- [3] Yin, K.K., Scarabucci, R., "Projeto de um CODEC não-linear para o Sistema Multiplex MCP de 30 Canais Telefônicos", relatório do contrato 680/73-TCJ-TELEBRÁS/UNICAMP, março de 1974.
- [4] Kaneko, H., "A Unified Formulation of Segment Companding Laws and Synthesis of CODECs in Digital Compandors", The Bell System Technical Journal, vol. 49, nº 7, setembro de 1970.
- [5] Jorge, A.M., "Ensaio no Projeto e Construção de um Decodificador D/A, MCP, com Técnica 1²L", Tese de Doutorado, FEC/UNICAMP, junho de 1982.
- [6] CCITT, "Orange Book", vol. III-2.
- [7] Dias, J.A.S., Jorge, A.M., "Desenvolvimento em Tecnologia 1²L", Anais do I Simpósio Brasileiro de Microeletrônica, LME-EPUSP, setembro de 1981.
- [8] Hart, K., Slob, A., "Integrated Injection Logic: A New Approach to LSI" IEEE JSSC, vol SC-7, oct. 1972.
- [9] Berger, H.H., Wiedmann, S.K., "Merged-Transistor Logic (MTL) - A Low-Cost Bipolar Logic Concept", IEEE JSSC, vol. SC-7, Oct. 1972.
- [10] Brokaw, A.P., "A Monolithic 10-Bit A/D using 1²L and LWT Thin-Film Resistors", IEEE JSSC, vol. SC 13, dec. 1978.
- [11] Janssen, D.J.G et al, "The TDA 1077 - An 1²L Circuit for Two-Tone Telephone Dialing", IEEE JSSC, vol. SC 12, june 1977.

- [12] Azakawa, Y. et al, "One-Chip I^2L -Analog Multifrequency Oscillator for Pushbutton Dialer", IEEE JSSC, vol. SC 17, june 1982.
- [13] Bauschild, R.A. et al, "A Single-Chip I^2L PCM CODEC", IEEE JSSC, vol. SC 14, feb. 1979.
- [14] Chan, L., Poussens, E., " I^2L Design with Mask Programmable Arrays", Wescon Tech. Papers, sept. 1977.
- [15] Bergmann, G., "A One-Chip I^2L Controller for Appliances", IEEE JSSC, vol. SC 14, june 1979.
- [16] Watanabe, T. et al, "A Controller with High-Speed I^2L and High Voltage Analog Transistors", ISSCC Dig. Tech. Papers, 1978.
- [17] Saltich, J.L. et al, "Processing Technology and AC/DC Characteristics of Linear Compatible I^2L ", IEEE JSSC, vol. SC 11, aug. 1976.
- [18] Bergmann, G., "Linear Compatible I^2L Technology with High Voltage Transistors", IEEE JSSC, vol. SC 12, oct. 1977.
- [19] Allstot, D.J. et al, "A New High-Voltage Analog-Compatible I^2L Process" IEEE JSSC, vol. SC 13, aug. 1978.
- [20] Watanabe, T. et al, "Phosphorus buried emitter I^2L for High Voltage Operating Circuits", Jap. J. Appl. Phys., vol. 16, 1976.
- [21] Davies, R.D., Meindl, J.D.: "Poly I^2L - A high-speed linear - Compatible Structure", IEEE JSSC, vol. SC-12, Aug. 1977.
- [22] Dias, J.A.S.: "Obtenção de um Processo para Confecção de Circuitos Digitais I^2L e Transistores de Alta Voltagem na Mesma Pastilha", Tese de Mestrado, FEC/UNICAMP, Fevereiro 1982.
- [23] Control Data Corporation, Controlador de Periféricos da Série/I.
- [24] Ferreira, L.O.S., Bezerra, P.C.: "Minimização dos Comprimentos das Linhas de Metalização de Diagramas Rascunho de Circuitos Integrados I^2L e MOS", Codex RT-019, LED/FEC/UNICAMP, março de 1980.

- [25] Camezind, H.R., Grebene A.B.: "An Outline of Design Techniques for Linear Integrated Circuits", IEEE JSSC, vol. SC-4, junho de 1969.
- [26] Kelson, A. et al.: "A Monolithic 10-b Digital to Analog Converter Using Ion Implantation", IEEE JSSC, vol. SC-8, Dezembro de 1973.
- [27] Dooley, D.J.: "A Complete Monolithic 10-b D/A Converter", IEEE JSSC, vol. SC-8, Dezembro de 1973.
- [28] Motorola-Series in Solid-State Electronics: "Integrated Circuits - Design Principles and Fabrication", McGraw Hill, 1965.
- [29] Brokaw, A.P.: "Circuit Techniques for Monolithic DACS", Analog Devices, 1979.
- [30] Holloway, P., Norton, M.: "A High Yield, Second Generation 10-Bit Monolithic DAC", IEEE JSSC Digest Tech. Papers, fevereiro 1976.
- [31] Meijer, G.C.M.: Comunicação Particular - Existem dúvidas sobre a invenção da célula "Cross-Quad", sendo que alguns a atribuem a B. Gilbert e outros a R. Dobkin.
- [32] Schame, P.C.: "Second-Order Compensation of Band-Gap References and Temperature Transducers", Internal Report, IR-7, Electronics Laboratory, Delft University of Technology, The Netherlands, 1980.
- [33] Maidique, M.A.: "A High-Precision Monolithic Super-Beta Operational Amplifier", IEEE JSSC, vol. SC-7, Dezembro de 1972.
- [34] Bray, D., MacPherson, E.: "Super-Matched Differential Pair", Interdesign Monochip-Application Note APN-20.
- [35] Erdi, G.: "Amplifier Techniques for Combining Low-Noise, Precision and High-Speed Performance", IEEE JSSC, vol. CS-16, Dezembro de 1981.
- [36] Lande, D.P.: "A Low-Noise High-Precision Operational Amplifier", IEEE JSSC, vol. SC-16, Dezembro 1981.

- [37] Tobey, G.E., Graeme, J.G., Huelsman, L.P.: "Operational Amplifiers - Design and Applications, McGraw Hill, 1971.
- [38] Muller, R.S., Kamins, T.I.: "Device Electronics for Integrated Circuits", John Wiley and Sons, 1977.
- [39] Solomon, J.E.: "The Monolithic Op-Amp.: A Tutorial Study", IEEE JSSC, vol. SC-9, Dezembro de 1974.
- [40] Erdi, G.: "A Precision Trim Technique for Monolithic Analog Circuits", IEEE JSSC, vol. SC-10, Dezembro de 1975.
- [41] Bailbē, J-P.: "Contribution a L'Etude Physique dos Transistores Bipolaires", Tese de Doutor de Estudo, Universidade Paul Sabatier de Toulouse, 1977.
- [42] The Interdesign Monochip Design Kit.
- [43] Craven, R.: "An Integrated Circuit 12-Bit D/A Converter", IEEE ISSCC Digest Tech. Papers, Fevereiro 1975.
- [44] Hamilton, D., Howard, W.: "Basic Integrated Circuits Engineering", McGraw-Hill, 1975.
- [45] Chou, S.: "An Investigation of Lateral Transistors: DC Characteristics", Solid-State Electronics, vol. 14, 1971.
- [46] Carlson, A.B.: "Communication Systems", McGraw-Hill, 1975.
- [47] Kelson, A. et al: "A Monolithic 10-b Digital to Analog Converter Using Ion Implantation", IEEE JSSC, Vol. CS 8, Dezembro 1973.
- [48] Brokaw, A.P.: "A Simple Three-Terminal IC Bandgap Reference", IEEE JSSC, Vol. SC-9 Dezembro 1974.
- [49] Meijer, A.M.: "Measurement of the Temperature Dependence of the IC (V_{BE}) Characteristics of Integrated Bipolar Transistors", IEEE JSSC, Vol. SC-15, Abril 1980.

- [50] Reis, C.A.: "Correção de Curvatura em Referências de Tensão do Tipo Band-Gap", Tese de Doutorado, FEC/UNICAMP, dezembro de 1982.
- [51] Meijer, G.M.: "Integrated Circuits and Components for Band-Gap References and Temperature Transducers", PhD Thesis, Delft University of Technology, março 1982.
- [52] Gilbert, B.: "A New Wide-Band Amplifier Technique", IEEE JSSC, Vol. SC-3, Dezembro de 1968.
- [53] Wilson, G.R.: "A Monolithic Junction FET - npn Operational Amplifier", IEEE JSSC, Dezembro de 1968.
- [54] Holloway, P., Norton, M.: "A High-Yield, Second Generation 10-Bit Monolithic DAC", IEEE ISSCC Digest Tech. Papers, Fevereiro 1976.
- [55] National Semiconductor, Linear Hand Book, 1982.
- [56] Van de Plassche, R.J. & Goedhart, D.: "A Monolithic 14 Bit D/A Converter", JSSC, vol. SC-14, nº 13, junho de 1979.