UNIVERSIDADE ESTADUAL DE CAMPINAS

FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO

DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

DISSERTAÇÃO DE MESTRADO

CIRCUITOS QUATERNÁRIOS: SOMADOR E MULTIPLICADOR

Carlos Roberto Mingoto Junior

Orientador: Alberto Martins Jorge

Banca Examinadora:

Prof. Dr. Alberto Martins Jorge (Presidente)
Prof. Dr. Elnatan Chagas Ferreira
Prof. Dr. José Antônio Siqueira Dias
Prof. Dr. Nivaldo Vicençotto Serran

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica.

Dezembro - 2005

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

M663c

Mingoto Junior, Carlos Roberto
Circuitos quaternários: somador e multiplicador / Carlos Roberto Mingoto Junior. --Campinas, SP: [s.n.], 2005.

Orientador: Alberto Martins Jorge
Dissertação (Mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Lógica a múltiplos valores. 2. Transistores bipolares. 3. Circuitos lógicos. 4. Circuitos eletrônicos. I. Jorge, Alberto Martins. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: Quaternary circuits: adder and multiplier.

Palavras-chave em Inglês: Multivalued logic, MVL, Bipolar transistors, Logic circuits, Electronic circuits.

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica.

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Elnatan Chagas Ferreira, José Antônio Siqueira Dias e Nivaldo Vicençotto Serran.

Data da defesa: 12/12/2005

Programa de Pós-Graduação: Engenharia Elétrica

Resumo

Os circuitos quaternários são uma alternativa para o processamento das informações, que, atualmente, acontece de forma binária. Ainda em fase de definições, a lógica multi-valores mostra-se como um campo de pesquisas que pode auxiliar a busca pelo incremento de desempenho e redução de área de ocupação dos transistores de um circuito integrado. A lógica multi-valores utilizando-se de quatro dígitos na representação das informações é a lógica quaternária. Neste trabalho são propostos alguns blocos básicos de circuitos eletrônicos quaternários que, progressivamente, são aglutinados formando blocos mais complexos para finalmente construir-se um circuito meio-somador, um somador completo e um multiplicador quaternários. As montagens são feitas e testadas em simulador de circuitos eletrônicos e operam em modo corrente com transistores bipolares NPN e PNP.

Abstract

The quaternary circuits are an alternative to data processing that, nowadays, occurs in a binary way. Still in a definition stage, the multiple-valued logic seems to be a research area to aid the increase of performance and reduction of area of the transistors inside an integrated circuit. The multiple-valued logic using four digits to represent the data is called quaternary logic. In this work are proposed some basic blocks of electronic quaternary circuit which are progressively joined to become more complex blocks and finally a half-adder, a full adder and a multiplier. The configurations are done and evaluated in a circuit simulator operating in a current-mode with bipolar NPN and PNP transistors.

Agradecimentos

Gostaria de agradecer...

... ao Professor Paulo de Tarso Martins Bruno pelas produtivas aulas do curso de graduação em Engenharia Eletrônica na Universidade Paulista e indicação e incentivo para começar o curso de Mestrado na Universidade Estadual de Campinas,

... ao Prof. Dr. Alberto Martins Jorge pela orientação, acolhimento, constantes aulas-conversas, curiosidade científica, bom humor e virtuosa experiência transmitida ao longo do tempo de trabalho conjunto,

... ao Prof. Dr. José Antônio Siqueira Dias por ter ministrado excelentes aulas a respeito dos transistores bipolares, atenção constante às dúvidas para si encaminhadas e sugestões ao longo do desenvolvimento do trabalho,

.. aos amigos de sala Hugo Bertone, Marco Remy e Marco Fregonezi pelos momentos em que foi possível proporcionar um ambiente de trabalho coletivo, apesar do individualismo no desenvolvimento da dissertação de mestrado, pela constante troca de experiência nas mais variadas áreas de conhecimento Humano e pelo enriquecimento social e científico,

... aos meus pais pelo incentivo, compreensão do trabalho na pós-graduação e apoio.

“Somente trabalho e bom humor transformam-se em algo real”.

Aos meus pais Kalé e Teresa.

Índice

Introdução..... 1

Objetivos..... 5

Capítulo 1 – Definições..... 7
1.1) Eletrônica Analógica e Digital..... 7
1.2) O que é a Lógica Binária..... 8
1.3) O que é a Lógica Multi-Valores..... 9
1.4) O que é a Lógica Quaternária..... 9
1.5) O porquê de Multi-Valores..... 10

Capítulo 2 – Bloco Chaveador..... 13
2.1) Simulações de desempenho..... 16

Capítulo 3 – Porta Lógica Topo..... 21
3.1) Discussão..... 21
3.2) Circuito eletrônico para realizar a operação lógica topo. 22
3.3) Simulações de desempenho..... 24

Capítulo 4 – Porta Lógica Exclusivo..... 29
4.1) Discussão..... 29
4.2) Funcionamento e construção em simulador..... 30
4.2.1) Funcionamento..... 30
4.2.2) O Circuito eletrônico..... 34
4.3) Simulações de desempenho..... 38

Capítulo 5 – Meio-Somador..... 43
5.1) Discussão..... 43
5.2) O circuito de “carry” do Meio-Somador..... 44
5.2.1) Simulações de desempenho..... 46
5.3) O Meio-Somador Quaternário..... 49
5.3.1) Simulações de desempenho..... 50

Capítulo 6 – Somador Completo Quaternário..... 53
6.1) Circuito eletrônico ‘“carry” do somador completo’..... 54
6.2) Somador Completo..... 56

Capítulo 7 – Porta Lógica Alfa..... 63
7.1) Apresentação..... 63
7.2) Porta Lógica Alfa ideal..... 64
7.3) Porta Lógica Alfa real..... 67

Capítulo 8 – Porta Lógica Max..... 73
8.1) Discussão..... 73
8.2) Porta Lógica Max ideal – Princípio de funcionamento... 74
8.3) Porta Lógica Max real..... 77
8.3.1) Simulações de desempenho..... 80

Capítulo 9 – Multiplicador Quaternário..... 85
9.1) Circuito '"carry" do multiplicador'..... 86
9.2) Multiplicador..... 88
9.3) Multiplicador com "carry" – Simulação..... 91
9.3.1) Simulações de desempenho..... 93

Conclusão..... 97

Referências..... 99

Apêndice 1 – Características dos transistores utilizados..... 103
A1.1) Transistor NPN..... 103
A1.2) Transistor PNP..... 103

Apêndice 2 – Erro de Amplitude..... 105

Apêndice 3 – 'Tempo de Resposta' e 'Largura Mínima de Pulso'.... 107
A3.1) O 'Tempo de Resposta'..... 107
A3.1.1) Porta Lógica com 2 entradas..... 107
A3.1.2) Porta Lógica com 1 entrada..... 107
A3.2) 'Largura Mínima de Pulso'..... 108

Apêndice 4 – Princípio Translinear..... 109

Introdução

Existem certos acontecimentos tecnológicos no mundo que tomam um rumo de padrão e aceitação quase unânime. Isso pode dever-se a inúmeros fatores, tais como: econômicos, políticos, conhecimento tecnológico, recursos naturais. Por exemplo: o fato de a maioria dos automóveis do mundo serem movidos diretamente a combustível petrolífero e não eletricidade. Antes da existência do carro movido a derivados do petróleo, o veículo elétrico dominava (por volta de 1837 até 1899) [1], mas, no início do século XX toda indústria voltou-se tecnologicamente a aproveitar o petróleo recém-descoberto no Texas, desencadeando mais descobertas de poços de petróleo, mais desenvolvimentos na extração, refino e aplicações do novo combustível. Hoje em dia, existem postos de gasolina e oficinas mecânicas em todo lugar, a infra-estrutura de suporte está estabelecida. Assim seria, também, se o desenvolvimento do carro elétrico não tivesse sido freado. O fato é que em certo momento da história houve uma escolha, talvez natural, inconsciente ou não, porém, aconteceu. O importante é que essa escolha não provoque a inibição da pesquisa, desenvolvimento e entendimento das outras opções de escolhas. O domínio do conhecimento também das "outras" é muito importante para um país (ou mesmo para a Humanidade) em termos estratégicos, econômicos e científicos.

É possível fazer um paralelo no caso dos veículos elétricos com o caso da Eletrônica Digital Multi-Valores. Primeiramente, é importante entender qualitativamente o que é essa eletrônica: desde a construção dos primeiros computadores e sistemas computacionais, a lógica empregada nos circuitos eletrônicos digitais tem sido a Lógica Binária, que tem como regra o processamento e funcionamento dos circuitos eletrônicos baseados em um código com uma seqüência de dois possíveis símbolos, 0 e 1, ou seja, tradicionalmente, chaves-abertas e chaves-fechadas [2]. Já, a Lógica Multi-Valores utiliza mais de duas representações no processamento da informação, abandonando a idéia de chaves-abertas e chaves-fechadas e criando uma nova idéia, que pode ser, simplesmente, comparada a uma torneira-aberta, torneira-fechada, torneira mais-ou-menos aberta, mais-ou-menos fechada, um pouco mais

aberta, um pouco menos dependendo de quantos símbolos são utilizados para representar a informação.

As pessoas estão habituadas com o uso da base Decimal no seu dia-a-dia. Os computadores atuais processam dados baseados na base Binária, ou seja, internamente seus circuitos eletrônicos são desenhados para processamento binário. Apesar de as pessoas utilizarem a base Decimal no mundo exterior, internamente não se tem conclusão definitiva sobre como o cérebro Humano processa as informações, com qual base ou qual maneira. É fácil entender porque ao longo do tempo o Ser Humano naturalmente optou pelo uso da base Decimal: isso se deve ao fato de nossa espécie possuir dez dedos nas duas mãos. Apesar disso, muitos povos, em outras épocas, utilizaram sistemas de numeração baseados em outras quantidades, como a base cinco, vinte, sessenta.

Paralelamente, não é difícil entender o porquê do sistema binário nos computadores ou na Eletrônica Digital. O motivo é histórico e tecnológico, já que nos primórdios da computação ou desenvolvimento de calculadoras os circuitos eletrônicos eram construídos com relés (chaves eletro-mecânicas), os únicos dispositivos que permitiam processamento numérico de forma menos complicada e mais eficiente do que processamentos analógicos ou com uso de válvulas eletrônicas [3]. Pelo fato de os relés serem chaves, todo o processamento numérico foi baseado em chave-aberta (podendo ser representada pelo número 0, por exemplo) e chave-fechada (podendo ser representada pelo número 1, por exemplo). Aliado a isto, existiu também o fato de já haver trabalhos e estudos prontos feitos por Boole [4] para entender o funcionamento do cérebro, que foram brilhantemente adaptados para a Lógica Binária aplicada em circuitos eletrônicos de telefonia com relés pelo engenheiro estadunidense Claude Elwood Shannon [5] criando o campo da Eletrônica Digital.

Atualmente, quando se pensa em Eletrônica Digital logo se pensa em circuitos funcionando com a base binária. Porém, a correta designação, atualmente, poderia ser Eletrônica Digital Binária e não apenas Eletrônica Digital, isso porque, esta dissertação de mestrado apresenta circuitos eletrônicos digitais que se baseiam em uma base não binária, ou seja, Multi-Valores. Especificamente, a Quaternária. Estabelece-se a partir daí um novo

paradigma e novos conceitos de configurações de circuitos eletrônicos. O termo “novo” diz mais respeito ao fato de ainda ser uma escolha que se aplica no campo de pesquisas e de conhecimento Humano e não ser ainda algo de uso cotidiano e popularizado. Da mesma maneira que no caso da escolha pela tecnologia do petróleo para os automóveis, na eletrônica digital escolheu-se o sistema binário, porém, isso não impede o conhecimento e estudo das “outras” escolhas, tais como, o carro elétrico, a Lógica Multi-Valores...

Objetivos

O objetivo deste trabalho é mostrar a montagem em simulador de circuitos eletrônicos e desempenho de dois circuitos importantes para o processamento de informações: um somador e um multiplicador. Utiliza-se idéias de circuitos multi-valores já existentes para a construção de blocos lógicos básicos e também cria-se novos blocos lógicos, como por exemplo o 'Bloco Chaveador' e a 'Porta X' para a lógica quaternária. São apresentadas portas lógicas quaternárias básicas, que são suficientes para a criação de outras configurações mais complexas, também são apresentados testes de desempenho simulados, a caracterização das portas lógicas, definições de padrões e montagem eletrônica em simulador de circuito eletrônico. A partir da aglutinação das portas lógicas básicas e dos blocos lógicos criados chega-se ao Somador Quaternário e ao Multiplicador Quaternário.

As montagens são assim simuladas: utiliza-se transistores bipolares NPN e PNP com tecnologia de 0,8μm de emissor. Os trabalhos são realizados no programa simulador de circuitos eletrônicos ORCAD (baseado em PSPICE) [16].

A operação dos circuitos eletrônicos dá-se em modo corrente, com transistores bipolares. Adota-se como níveis de corrente elétrica quaternários e nominais os valores especificados na Tabela a seguir. Estes valores são escolhidos porque são viáveis para os transistores utilizados, ou seja, estão distantes do ponto onde ocorre a alta injeção de corrente na base e não são extremamente baixos a ponto de diminuir a velocidade de chaveamento das montagens e ficarem muito susceptíveis a ruídos.

Este trabalho está assim organizado:

- Os capítulos 2 (Bloco Chaveador), 3 (Porta Topo), 4 (Porta X) e 5 (Meio-Somador Quaternário) mostram o desenvolvimento passo a passo de configurações e portas

lógicas com o objetivo de, finalmente, aglutinar o conhecimento de cada estudo feito e formar o Somador Completo no Capítulo 6. Aqueles são a base deste último.

- Os capítulos 2 (Bloco Chaveador), 3 (Porta Topo), 7 (Porta Alfa) e 8 (Porta Max) mostram o desenvolvimento passo a passo de configurações e portas lógicas com o objetivo de, finalmente, aglutinar o conhecimento de cada estudo feito e formar o Multiplicador Quaternário no Capítulo 9. Aqueles são a base deste último.

Nível Digital	Valor Elétrico Nominal
0	0μA
1	10μA
2	20μA
3	30μA

Tabela – Correspondência entre os níveis digitais quaternários e os níveis de corrente elétrica.

Capítulo 1 – Definições

Os circuitos eletrônicos apresentados ao longo desta dissertação são circuitos eletrônicos analógicos utilizando-se de transistor bipolar e operando em modo corrente, mas usados para fins digitais, ou seja, utilizando não sinais analógicos na totalidade de seus vários valores possíveis, mas sim sinais discretos (níveis quaternários), apenas quatro níveis de corrente elétrica definidos.

1.1) Eletrônica Analógica e Digital

A Eletrônica Digital parte do princípio que os circuitos são como chaves ou conjuntos de chaves que podem estar abertas ou fechadas, dependendo da função a ser desempenhada. Ela permite que o projetista consiga transformar uma idéia em circuito eletrônico real de maneira bastante metódica e técnica, apenas seguindo regras de projetos (Mapas de Karnaugh-Veitch, tabelas-verdade, métodos de simplificação como o de Quine-McCluskey [6,7]). Isso é o que difere bastante a Eletrônica Digital em relação a Eletrônica Analógica. Esta última exige do projetista, além de conhecimento técnico da área, uma certa experiência e competência perceptiva para o projeto (síntese) de um circuito. Por exemplo: Quando um projetista da Eletrônica Digital desenha uma "caixa-preta" com algumas entradas e uma saída e estabelece a função dela através de uma tabela-verdade, consegue-se facilmente chegar ao circuito eletrônico real que irá representá-la, faz-se isso apenas seguindo os passos formais no projeto de circuitos digitais binários. Já, no caso do projetista da Eletrônica Analógica, o processo não se dá de forma tão simples, se este tem uma "caixa-preta" com algumas entradas e saídas e a função dela, ele terá que usar sua experiência, percepção e conhecimento técnico dos componentes eletrônicos para arranjá-los de tal forma em um circuito real para exercer a função desejada. Ou seja, não existe um método formal, técnico para o projeto analógico. Na verdade, existe um método formal de síntese para casos específicos: Seevinck [8] apresentou um método matricial para o projeto de circuitos translineares [9], que são circuitos analógicos que se baseiam no comportamento exponencial da corrente elétrica em função da tensão nos transistores (no caso do bipolar a corrente de coletor em função da tensão de entrada base-

emissor, e, no caso do transistor de efeito de campo, na região sub-limiar). Estes circuitos podem realizar algumas funções, tais como: módulo de uma entrada, selecionar mínima entrada, máxima entrada, operações de cosseno, operações quadráticas, entre outras. Porém, este método é um tanto quanto específico, utiliza-se apenas do princípio translinear. Ou seja, o método formal amplo para o projeto de circuitos analógicos não existe.

Pelo fato de não ser difícil substituir eficientemente o funcionamento analógico de muitos aparelhos e processos por um funcionamento digital, ou analógico-digital, o mundo vem sofrendo transformações bastante significativas no que diz respeito a tudo que usa processamento de informação. Tais como exemplo:

- A progressiva substituição da câmera fotográfica analógica por outra digital;
- A progressiva substituição da televisão analógica pela digital;
- As centrais telefônicas e aparelhos telefônicos analógicos por respectivos digitais.

Essa tendência não deve ser entendida como o fim da eletrônica analógica, pelo contrário, muitos aparelhos só funcionam digitalmente no processamento das informações porque se consegue a conversão analógico-digital, e, o conversor é um aparelho analógico também. Na realidade, muitos dos bens de consumo existentes atualmente e designados como digitais, são um misto de eletrônica analógica com digital, alguns com uso majoritário de uma ou de outra.

1. 2) O que é a Lógica Binária

É um conjunto de regras de operações lógicas que se baseia no uso de apenas dois símbolos. Através deles é possível codificar todo tipo de informação e realizar cálculos. É a maneira pela qual os computadores, atualmente, tratam os dados. Ou seja, transformam toda

informação em seqüências de ‘zeros’ e ‘uns’, que em termos de circuitos eletrônicos significam ou chaves-abertas ou chaves-fechadas, por exemplo.

A Álgebra de Boole [2,4] contribuiu primorosamente para o desenvolvimento das regras do processamento computacional binário. Estabeleceram-se, a partir dela, operações lógicas e circuitos lógicos extremamente fáceis de se entender e de aplicar, o que permitiu um avanço tecnológico muito rápido. A álgebra de Boole aplicada à eletrônica se baseia nas seguintes propriedades:

Níveis Binários: 0 , 1 ;

Operações Lógicas Binárias básicas: AND, OR e NOT ;

Circuitos Lógicos Binários Básicos: Porta AND, Porta OR, Porta NOT.

1.3) O que é a Lógica Multi-Valores

O termo Multi-Valores é geral. Mas, pode-se dizer que é toda lógica que se baseia em mais de dois símbolos na representação das informações codificadas. Por exemplo: existe a Lógica Multi-Valores Ternária, a Lógica Multi-Valores Quaternária e assim por diante. Ao longo deste texto será estudada esta última.

1.4) O que é a Lógica Quaternária

É um conjunto de regras de operações que se baseia no uso de quatro símbolos na representação das informações codificadas, através deles é possível codificar todo tipo de informação e realizar cálculos e processamentos numéricos ou computacionais. É a maneira pela qual os circuitos quaternários tratam os dados. Ou seja, operam em seqüências de 0, 1, 2,

3 que em termos de circuitos eletrônicos significam 4 níveis diferentes de tensão elétrica ou corrente elétrica.

A Lógica Multi-Valores utilizada neste trabalho difere em muitos aspectos em relação a utilizada em outros centros de pesquisa do mundo. Trabalha-se com uma aplicação especial, baseada na lógica de Post [10] que cria novos conectivos (operadores lógicos) [11, 12, 13], a lógica extendida de Post.

As propriedades são as seguintes:

Níveis Quaternários: 0 , 1 , 2 , 3.

Operações Lógicas Quaternárias básicas: ALFA (α), BETA (β), GAMA (γ), DELTA (δ), TOPO ($\overline{X}$), DUPLO-TOPO ($\overline{\overline{X}}$), BASE ($\underline{X}$);

Circuitos Lógicos Quaternários Básicos: Porta ALFA, Porta BETA, Porta GAMA, Porta DELTA, Porta TOPO, Porta DUPLO -TOPO, Porta BASE.

1.5) O porquê de Multi-Valores

Deseja-se através da implementação de circuitos multi-valores em circuitos integrados utilizar menos área de conexões internas. Atualmente, os transistores diminuem de tamanho a cada ano. Em 1965, Moore [14] previu que a cada ano o número de transistores que a indústria seria capaz de colocar em um circuito integrado de computador dobraria, em 1975 ele atualizou sua previsão para cada dois anos. Atualmente, a tecnologia de fabricação já pode ser considerada como da nanoeletrônica. Cada vez torna-se mais provável a necessidade de alternativas para aumentar o poder de processamento dos sistemas sem ter que diminuir o tamanho do transistor, que irá atingir o limite físico. Algumas destas alternativas podem ser citadas: implementação de algoritmos e rotinas mais enxutas e ao mesmo tempo eficientes; busca de novos materiais para fabricação de circuitos integrados; uso de lógicas

computacionais que procurem diminuir o número de interligações físico-metálicas dentro do circuito integrado, por exemplo a Lógica Quaternária.

Em 1981, Dao [15] afirmava que em circuitos VLSI binários, 70% da área do chip representa interconexões, 20% isolação e 10% dispositivos. Apesar de esta informação ser antiga e o número 70% parecer alto, é provável que ainda seja consistente, pois, a medida que o dispositivo diminui mais deles são colocados no circuito integrado e, portanto, mais interconexões são necessárias. Conclusão: diminui-se o tamanho do dispositivo, porém, em contrapartida, aumenta-se a quantidade de fios.

A Lógica Multi-valores, pelo fato de conseguir representar um mesmo número representado binariamente com menos dígitos já indica que permite a ocupação de menos área para uma mesma capacidade de processamento. Por exemplo: se em um caminho de dados binário com 2 linhas paralelas consegue-se transportar paralelamente, no máximo, o número decimal 4, nesse mesmo caminho, utilizando Lógica Quaternária, consegue-se transportar, no máximo, o número decimal 16 como informação. Ou seja, quatro vezes mais informação.

Capítulo 2 – Bloco Chaveador

Os circuitos lógicos apresentados ao longo deste trabalho tem como base uma configuração bastante simples e funcional, ela recebe o nome de 'Bloco Chaveador' [17]. Ele tem este nome pois funciona semelhante a uma chave mecânica de três terminais de duas posições, como a mostrada na Figura 2.1, onde, em uma posição deixa passar para o pino NF (normalmente fechado) a informação colocada no pino PC (ponto comum) e, na outra posição, deixa passar para o pino NA (normalmente aberto) a informação colocada no pino PC, deixando ora um pino em aberto (alta impedância), ora o outro.

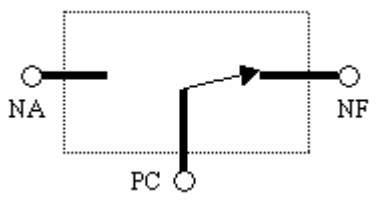


Figura 2.1 – Chave mecânica de três terminais e duas posições.

Um esquema elétrico desta porta lógica é apresentado em termos de transistores bipolares NPN operando em modo corrente na Figura 2.2. Este esquema tem o intuito de despertar um entendimento rápido no funcionamento básico da configuração, isso porque, na prática, da maneira como está feita é proibida, já que coloca em série duas fontes de corrente ideais, I_{1_chave} e I_{2_chave} , quando esta última for maior que a primeira. Portanto, a Figura 2.2 serve apenas como um primeiro entendimento de como o circuito funciona.

Funcionamento: o transistor Q_1 corta quando I_{2_chave} é maior ou igual I_{1_chave} e satura quando I_{2_chave} é menor que I_{1_chave}. Quando Q_1 satura, diminui-se bastante a tensão na base de Q_2 , pode-se dizer que fica próximo a zero volts, e, Q_2 e Q_3 , que formam um espelho de corrente simples, no qual a corrente a ser espelhada é a corrente de entrada I_{3_chave} , não conseguem espelhá-la para a saída ($I_{saída_chave}$), eles estão cortados. Ela somente será copiada para a saída quando o transistor Q_1 estiver cortado.

O funcionamento resume-se da seguinte maneira:

- Quando $I_{1_chave} < I_{2_chave}$, então, $I_{saída_chave} = I_{3_chave}$;
- Quando $I_{1_chave} > I_{2_chave}$, então, $I_{saída_chave} = 0\ ampéres$.

(**Equação** 2.1)

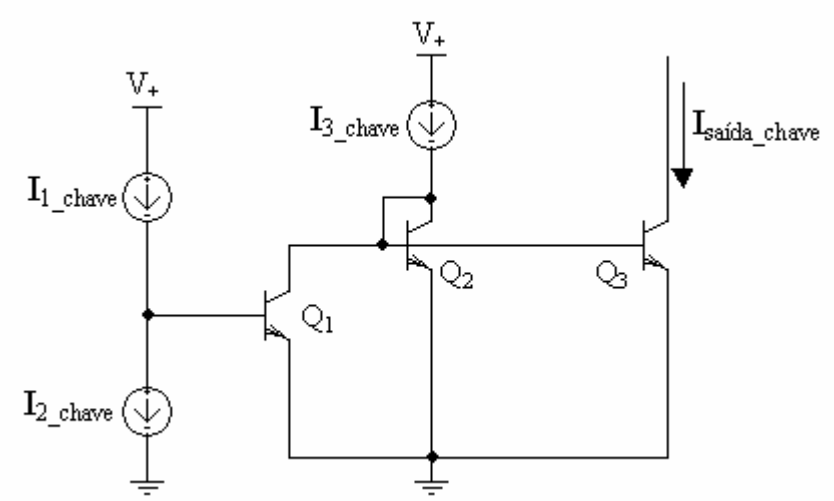


Figura 2.2 – Circuito eletrônico simplificado do **'**Bloco Chaveador'.

Na prática, para ser possível utilizar este circuito, faz-se necessário o acréscimo de espelhos de corrente simples [18] que as insere no circuito, mesmo porque, como mencionado anteriormente, a montagem da Figura 2.2 é proibida, pois, coloca duas fontes de corrente ideais, I_{1_chave} e I_{2_chave} , em série quando Q_1 está cortado. Lembrar-se que a ligação de duas fontes de tensão ideais em paralelo causam um curto-circuito (corrente alta), de modo análogo, duas fontes de corrente em série causam um circuito-aberto (tensão alta).

Os espelhos de corrente inseridos são: Q_4 e Q_5 formando um espelho simples com transistores NPN e Q_6 , Q_7 e Q_8 , Q_9 formando dois espelhos simples com transistores PNP. Ao se fazer a inserção de espelhos de corrente simples nos pontos daquelas correntes, está-se colocando fontes de correntes não-ideais (resistência interna não-infinita) que se adaptam a situação. Como pode ser visto na Figura 2.3, na situação em que I_{1_chave} é menor que I_{2_chave} , o transistor Q_5 , que deveria ter uma corrente de coletor igual a I_{2_chave} , possui corrente de coletor igual a I_{1_chave} , mas, para conseguir isso ele tem que estar saturado, com uma tensão V_{ce} (tensão coletor-emissor) suficientemente baixa, com isso, não há possibilidade de Q_1 conduzir. Por outro lado, quando I_{1_chave} é maior que I_{2_chave} , os dois transistores Q_5 e Q_7 não

estão saturados e sim em condução normal e o transistor Q_1 está saturado cortando Q_2 e Q_3 , isso porque, Q_5 tem em seu coletor a corrente I_{2_chave} copiada e Q_7 em seu coletor a corrente I_{1_chave} copiada, a diferença para a situação anterior é que o transistor Q_1 permite a "vazão", através do seu terminal de base, da diferença de correntes de entrada (I_{1_chave} - I_{2_chave}).

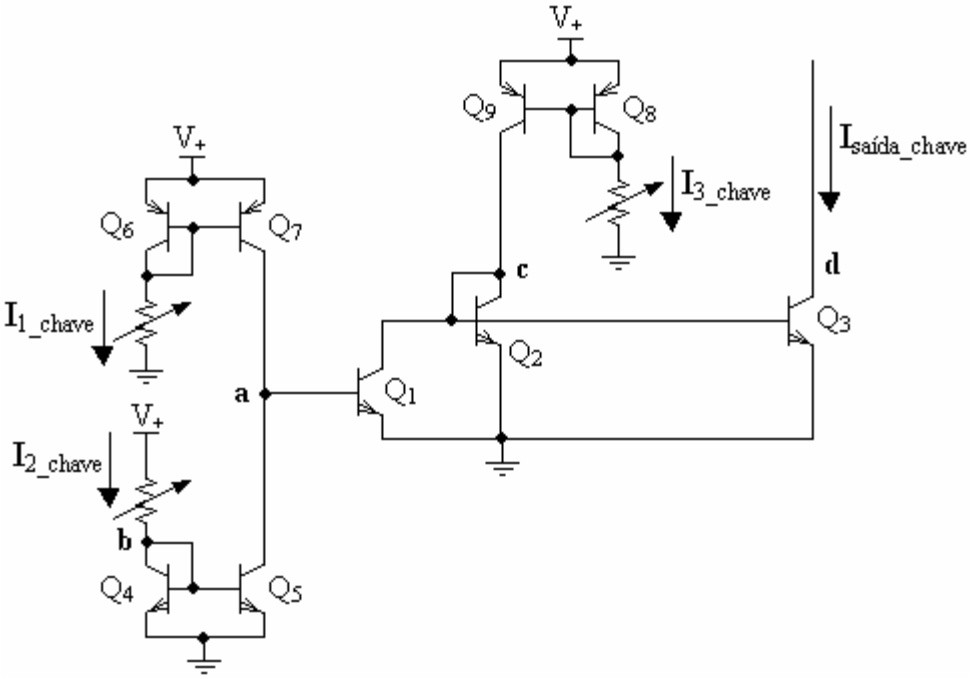


Figura 2.3 – Circuito eletrônico do **'**Bloco Chaveador'.

Uma representação do 'Bloco Chaveador' baseada na Figura 2.3 é mostrada na Figura 2.4. É possível identificar o terminal de tomada de entrada: I_{1_chave} (terminal 1 do bloco associado ao ponto **a** do circuito); I_{2_chave} (terminal 2 do bloco associado ao ponto **b** do circuito); I_{3_chave} (terminal 3 do bloco associado ao ponto **c** do circuito). O terminal de saída $I_{saída_chave}$ é o terminal 4 do bloco associado ao ponto **d** do circuito.

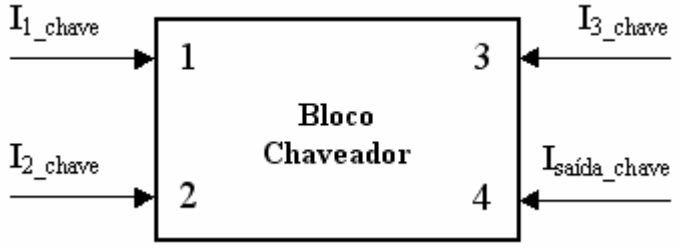


Figura 2.4 – 'Bloco Chaveador', representação em bloco.

2.1) Simulações de desempenho

A montagem do circuito 'Bloco Chaveador' no simulador de circuitos tem o intuito de apresentar o funcionamento em termos de gráficos de entrada e de saída para as correntes elétricas. Na Figura 2.5 é apresentada a configuração realizada. Os transistores usados são do tipo bipolar NPN e PNP, seus modelos fornecidos por um fabricante. Maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

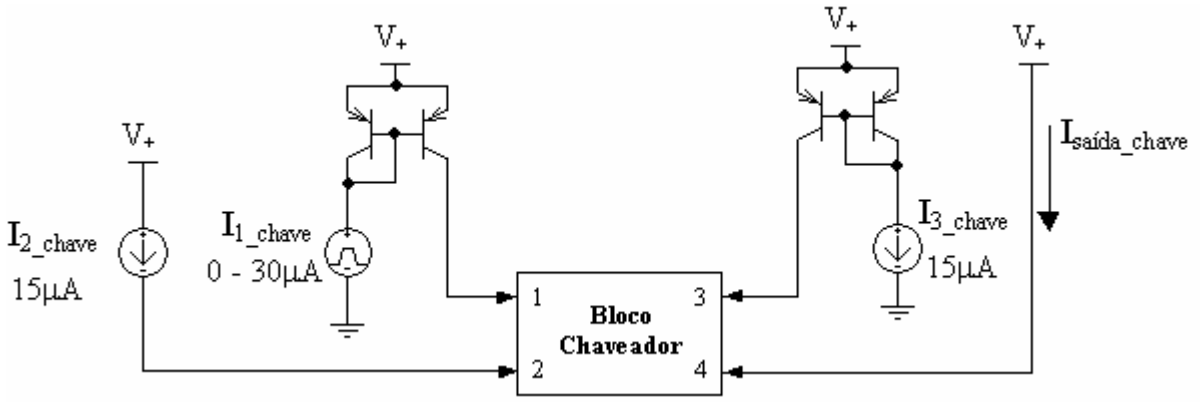


Figura 2.5 – Configuração realizada no simulador de circuitos.

Pelo fato de os níveis quaternários discretos e nominais de corrente elétrica serem adotados como 0µA, 10µA, 20µA e 30µA, faz-se uma variação de I_{1_chave} entre 0µA e 30µA em um tempo de 1 segundo para cada um dos dois níveis. Ao mesmo tempo, a corrente I_{2_chave} está fixa em 15µA, que é o valor médio entre 0µA e 30µA. Tem-se para I_{3_chave} também o valor de 15µA. Para se definir o valor da tensão de alimentação V_+ , ela é variada entre 0 volts e 4 volts para o circuito funcionando com as correntes já mencionadas. Essa variação paramétrica na tensão de alimentação (V_+) ao mesmo tempo em que as correntes estão acontecendo, cria valores de corrente de saída dentro e fora de uma faixa entre 13µA e 17µA. Lembrando-se que o valor esperado é de 15µA sempre que I_{1_chave} é menor que I_{2_chave} . Portanto, aquela faixa estabelecida mostra que a tolerância para a variação da corrente de saída é de 2µA acima ou abaixo do valor nominal esperado (os 15µA em $I_{saída_chave}$). O resultado obtido da variação desta tensão entre 0 volts e 4 volts em passos de 0,1 volts mostrou que a tensão de alimentação (V_+) deve situar-se entre 1 e 2,6 volts. Fazendo-se a

média simples destes dois valores, obtém-se 1,8 volts. Portanto, este é o valor, por hora, adotado para a realização de testes simulados de chaveamento do circuito.

Na Figura 2.6 são apresentados os gráficos das correntes envolvidas na configuração para uma permanência temporal de 1 segundo para os níveis variantes, ou seja, uma operação quase estática, apenas com o intuito de mostrar o funcionamento. A tensão de alimentação é de 1,8 volts. Os valores no gráfico de $I_{saída_chave}$ são 2,7pA para as zonas entre 1 e 2 segundos e 3 e 4 segundos e 15,3µA para as zonas entre 0 e 1 segundo e 2 e 3 segundos, ou seja, valores aceitáveis dentro da faixa de 2µA para cima ou para baixo dos valores nominais esperados.

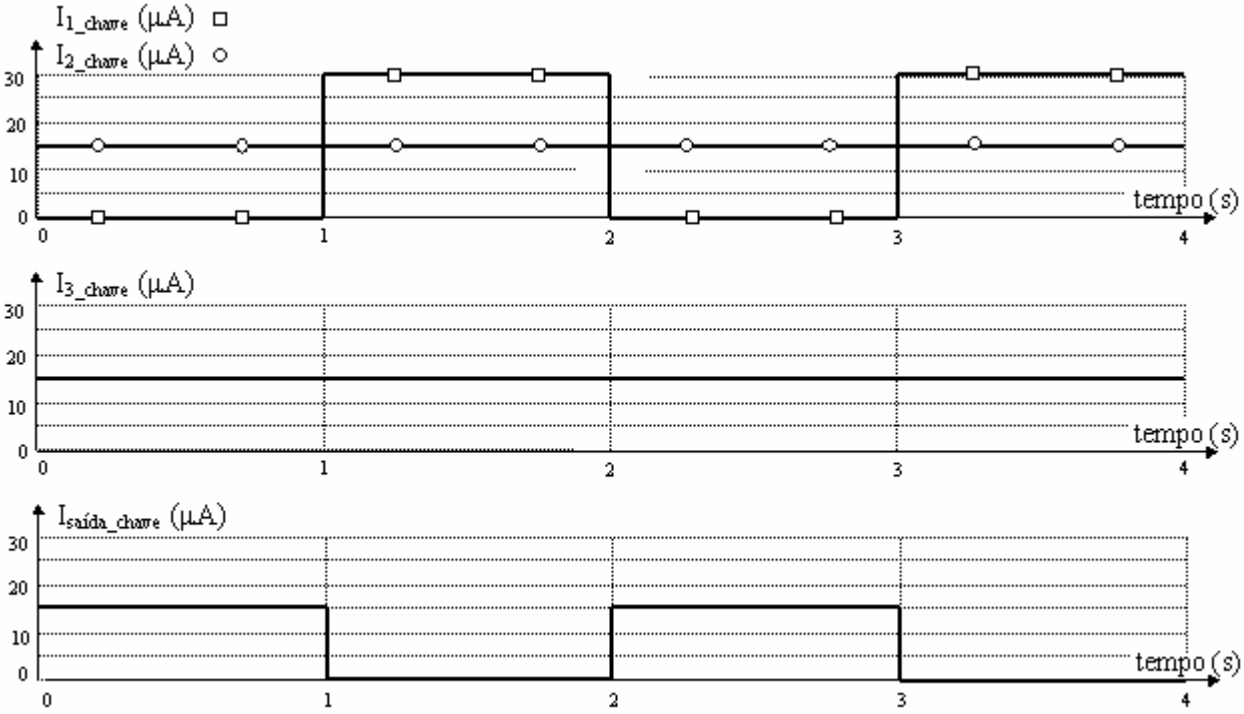


Figura 2.6 – Gráficos resultantes de simulação.

Para se ter uma idéia da velocidade de chaveamento deste circuito são feitas duas análises do seu tempo de resposta:

- A Figura 2.7 mostra o tempo de resposta do circuito para o caso em que I_{1_chave} varia entre 0µA e 30µA e I_{2_chave} tem 15µA fixo, como na montagem da Figura 2.5 anterior. Foi colocada uma permanência temporal de 20ns para cada nível (0µA e 30µA). A saída $I_{saída_chave}$

tem o valor de 15,3μA entre 0 e 20ns e demora 9ns para chegar com tendência de queda até 2μA (entre 0μA e 2μA considera-se nível lógico 0, padrão adotado).

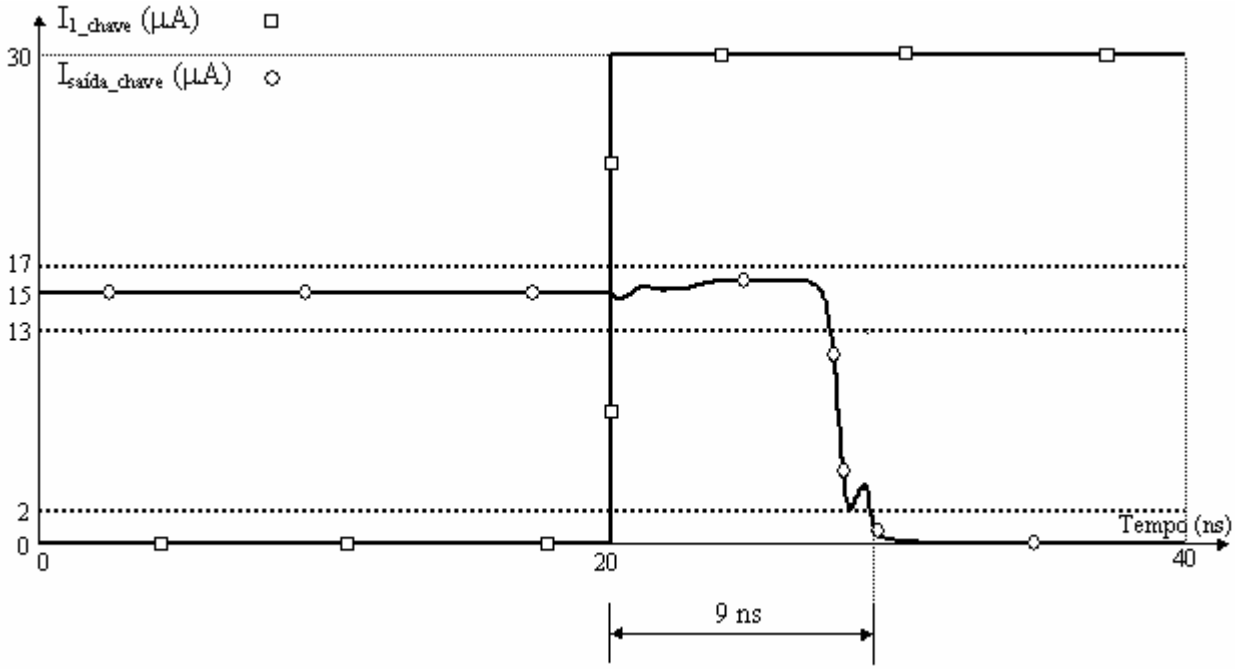


Figura 2.7 – Gráfico de análise do tempo de resposta quando I_{2_chave} tem valor fixo de 15μA e I_{1_chave} varia entre 0μA e 30μA.

- A Figura 2.8 mostra o tempo de resposta do circuito para o caso em que I_{2_chave} varia entre 0μA e 30μA e I_{1_chave} tem 15μA fixo. Foi colocada uma permanência temporal de 20ns para cada nível (0μA e 30μA). A saída $I_{saída_chave}$ tem o valor de 15,3μA na parte estabilizada do gráfico, a partir de aproximdamente 35ns. O circuito demora 13ns para responder à mudança de estado na entrada.

Ao longo do texto são apresentados outros circuitos lógicos quaternários, como por exemplo o deslocador de níveis (porta lógica topo), sendo a maioria das configurações baseadas no princípio de funcionamento deste 'Bloco Chaveador' [17]. Portanto, o entendimento e análise de seu funcionamento é de suma importância, devido a sua presença como núcleo ou parte integrante das outras configurações.

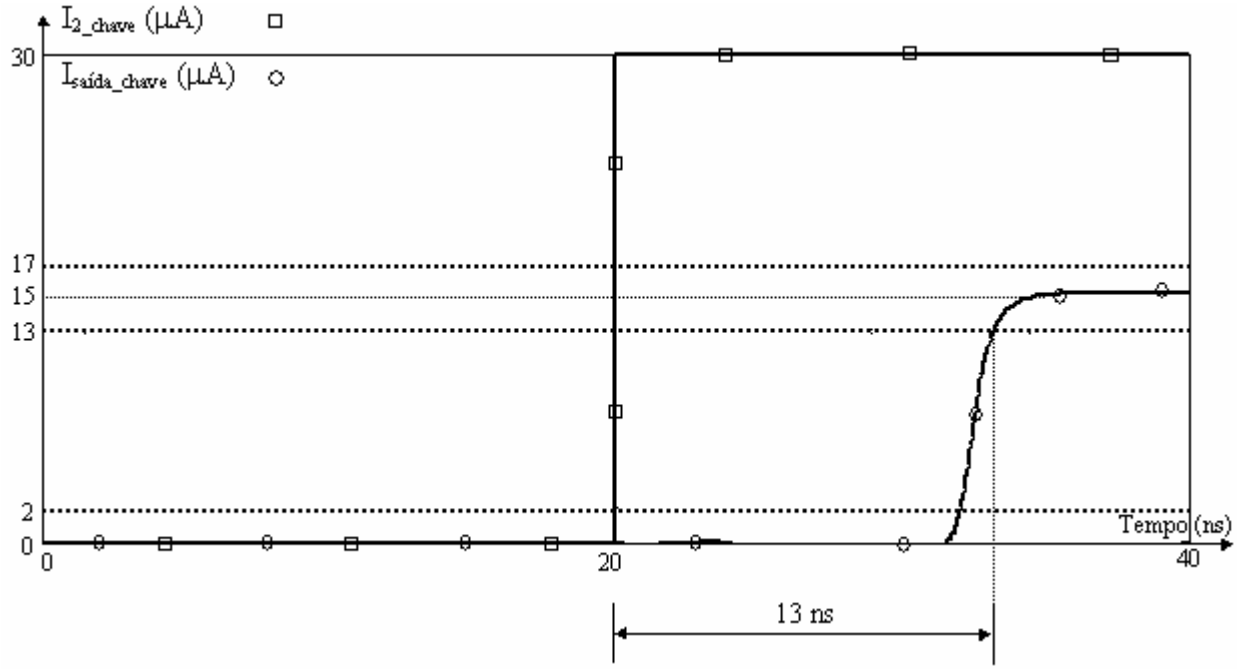


Figura 2.8 – Gráfico de análise do tempo de resposta quando I_{1_chave} tem valor fixo de 15µA e I_{2_chave} varia entre 0µA e 30µA.

FICHA TÉCNICA DO BLOCO CHAVEADOR:

- Número de transistores: 5 NPN;
- Tensão de alimentação: 1,8V;
- Tempo de resposta: entre 9 e 13ns (para as condições expostas neste capítulo).

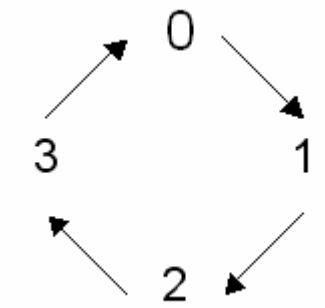
Capítulo 3 - Porta Lógica Topo

3.1) Discussão

Operação Lógica Topo ($\overline{A}$): É a operação de deslocamento em um nível lógico sendo que o nível lógico máximo da base numérica utilizada, quando é operado, resulta no nível lógico mínimo. No caso da base numérica quaternária, esse procedimento é matematicamente apresentado na equação 3.1 :

$$\overline{A} = \begin{cases} A+1 & se \quad A < 3 \\ 0 & se \quad A = 3 \end{cases} \qquad \textbf{(Equação 3.1)}$$

Outra maneira de entender a operação lógica topo é esquematizar os níveis quaternários de uma maneira cíclica e com setas no sentido horário indicando o sentido crescente dos níveis, como apresentado na Figura 3.1: se o nível a ser operado é o 0, o resultado é 1; se o nível operado é 1, o resultado é 2; se o nível operado é 2, o resultado é 3; se o nível operado é 3, o resultado é 0. A tabela verdade é mostrada na Figura 3.1.



Entrada A	Saída
0	1
1	2
2	3
3	0

Figura 3.1 – Representação cíclica dos níveis lógicos quaternários e tabela verdade da operação lógica topo.

3.2) Circuito eletrônico para realizar a operação lógica topo

O circuito eletrônico correspondente a operação lógica topo, a porta topo [17], é baseado no 'Bloco Chaveador'. Esta porta necessita apenas de uma entrada e uma saída. A configuração pode ser vista na Figura 3.2.

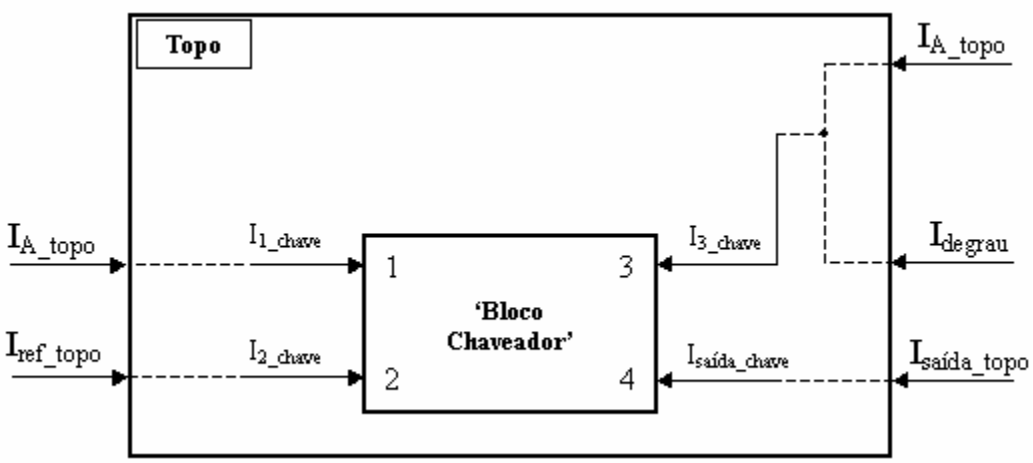


Figura 3.2 – Porta Topo.

É possível identificar: corrente de entrada I_{A_topo} presente em dois pontos do circuito; a corrente I_{ref_topo} , que é uma corrente de referência importante para a função deste circuito; a corrente auxiliar I_{degrau}; e a corrente de saída $I_{saída_topo}$, correspondente ao resultado da operação .

A configuração feita desta maneira parte do princípio de que os 4 valores nominais de corrente elétrica adotados para expressar os níveis lógicos quaternários começam de 0μA (ou seja, o nível lógico 0 é 0μA) e que a distância de valor entre cada um imediatamente vizinho é igual, exceto para o caso dos níveis digitais 3 e 0, então, pode-se definir que o valor de I_{degrau} é a diferença entre os níveis discretos de corrente elétrica, exceto para o caso dos níveis digitais 3 e 0. E, o valor de I_{ref_topo} pode ser obtido da equação 3.2, onde, é sempre o máximo valor discreto de corrente menos metade do valor de I_{degrau} . Por exemplo: se os níveis discretos nominais de corrente são 0μA (nível digital 0), 10μA (nível digital 1), 20μA (nível

digital 2), 30µA (nível digital 3), então, o valor de I_{degrau} é 10µA e de I_{ref_topo} é 25µA.

$$I_{ref_topo} = I_{para\ o\ nível\ digital\ 3} - 0{,}5 * I_{degrau} \qquad \textbf{(Equação 3.2)}$$

O funcionamento deste circuito é assim: o somatório de correntes I_{A_topo} com a corrente auxiliar I_{degrau} que entra no terminal 3 do 'Bloco Chaveador' (Figura 3.3) é copiado para a saída ($I_{saída_topo}$) quando a corrente de entrada I_{A_topo} , presente no terminal 1 do 'Bloco Chaveador', não for correspondente ao nível digital 3 quaternário. Isso porque, o valor de corrente I_{ref_topo} é intermediário entre o valor de correntes dos níveis digitais 2 e o 3, ou seja, 25µA. Mas, quando I_{A_topo} for maior que o valor de I_{ref_topo} , o somatório I_{A_topo} com a corrente auxiliar I_{degrau} não será copiado para a saída ($I_{saída_topo}$). Nenhuma corrente é copiada para a saída. Portanto, a corrente de saída ($I_{saída_topo}$) é zero.

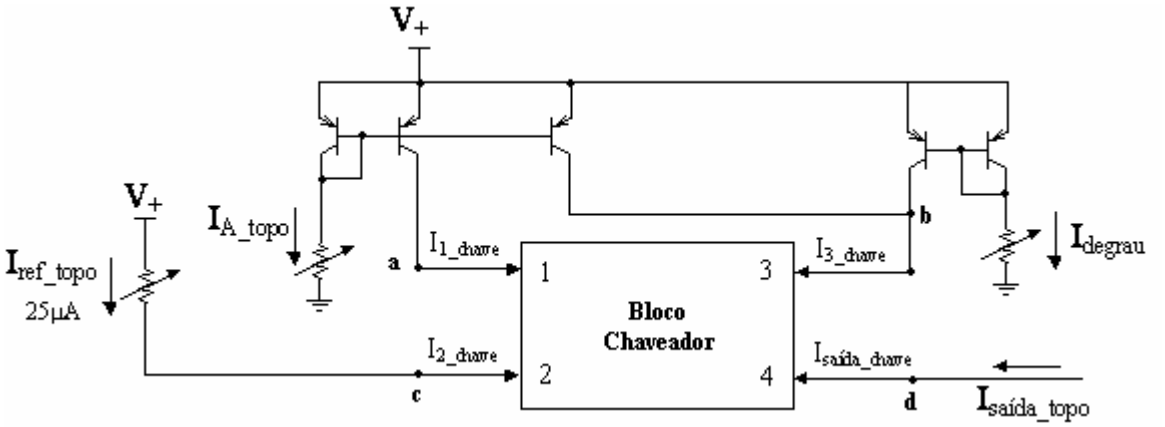


Figura 3.3 – Circuito da porta Topo.

Na Figura 3.3 é apresentado o circuito utilizado nas simulações da porta topo. A partir desta figura pode-se observar que a corrente de entrada I_{A_topo} está sendo colocada nos dois pontos do circuito com um só espelho simples de corrente com 3 transistores [18].

A representação em bloco da porta topo é mostrada na Figura 3.4, onde, em relação ao circuito da Figura 3.3, o terminal 1 é associado ao ponto **a**, o terminal 2 e 4 associados ao ponto **b**, o terminal 3 associado ao ponto **c** e o terminal 5 associado ao ponto **d**.

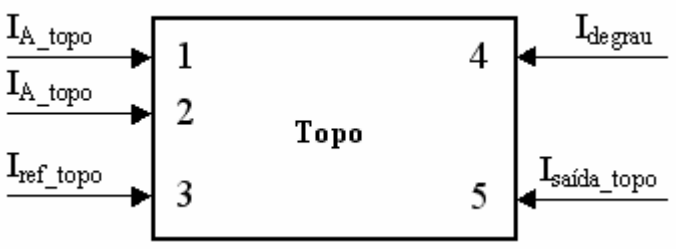


Figura 3.4 – Representação em bloco da porta Topo.

3.3) Simulações de desempenho

A montagem da porta topo no simulador de circuitos tem o intuito de apresentar o funcionamento em termos de gráficos de entrada e de saída para as correntes elétricas. Na Figura 3.5 é apresentado o circuito simulado. Os transistores usados são do tipo bipolar NPN e PNP, seus modelos fornecidos por um fabricante. Maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

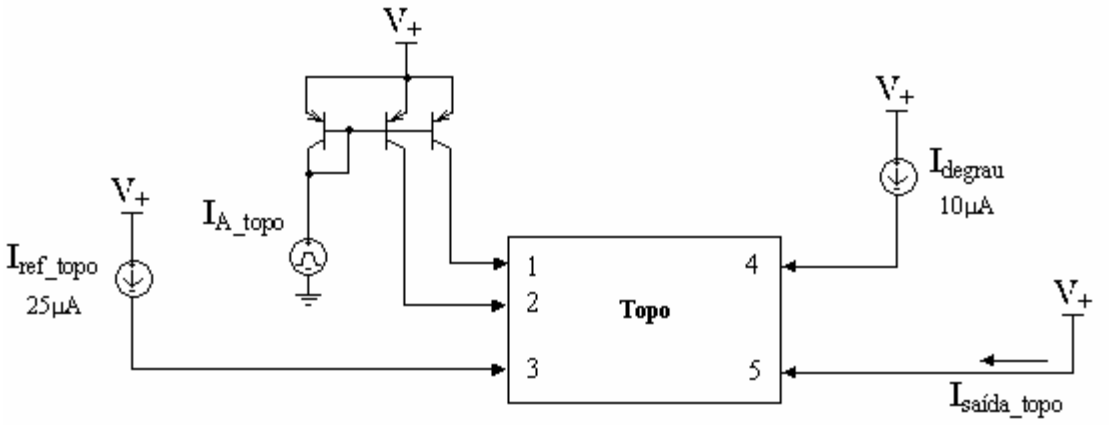


Figura 3.5 – Circuito da simulação.

Inicialmente, faz-se uma variação em degraus de 0µA, 10µA, 20µA e 30µA da corrente de entrada I_{A_topo} com cada degrau tendo uma largura de pulso de 1 segundo, ou seja,

uma operação quase estática. Ao mesmo tempo, parametricamente, varia-se a tensão de alimentação, V_+ , de 0 até 4 volts em passos de 0,1 volts. Isso tem o intuito de se descobrir a tensão de alimentação mais apropriada para a montagem. Essa variação paramétrica na tensão de alimentação (V_+) ao mesmo tempo em que as correntes estão acontecendo, cria valores de corrente de saída dentro e fora de faixas de aceitação pré-estabelecidas para cada valor nominal discreto de nível de corrente quaternária (ver as definições das faixas de aceitação pré-estabelecidas no *'Apêndice 2 - Erro de Amplitude'*). O resultado obtido da variação desta tensão entre 0 e 4 volts em passos de 0,1 volts mostrou que a tensão de alimentação (V_+) deve situar-se entre 1,1 e 2,4 volts. Fazendo-se a média simples destes dois valores, obtém-se 1,7 volts. Portanto, este é o valor, por hora, adotado para a realização de testes simulados de chaveamento do circuito.

A simulação de chaveamento tem o intuito de mostrar qual o pior tempo de resposta do circuito para as mudanças de estados na entrada. Faz-se, então, no simulador de circuitos eletrônicos, <u>todas</u> mudanças possíveis de níveis na entrada da porta topo. Ou seja, são realizadas 12 mudanças usando a duração temporal para cada nível em 100ns. As 12 trocas de estados são: de 0 para 1, de 0 para 2, de 0 para 3, de 1 para 0, de 1 para 2, de 1 para 3, de 2 para 0, de 2 para 1, de 2 para 3, de 3 para 0, de 3 para 1 e de 3 para 2. Encontrou-se como pior caso, ou seja, maior tempo de resposta, a situação em que a entrada está inicialmente em nível 0 e depois passa para o nível 3. Esta situação é apresentada no gráfico da Figura 3.6 e mostra que são necessários 12ns para que a saída se estabilize abaixo de 2μA e, portanto, seja considerada nível lógico 0, já que a entrada variou de 0μA para 30μA.

Concluído que o tempo de resposta desta montagem é de 12ns, faz-se uma simulação de desempenho para verificação da correta operação da porta topo usando-se 120ns de duração temporal de cada nível, ou seja, algo dez vezes maior que o tempo de resposta, ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*. Na Figura 3.7, são apresentados os resultados da operação topo ($I_{saída_topo}$) e o gráfico de entrada (I_{A_topo}) com a duração de 120ns para cada nível de corrente quaternária. A corrente de saída da porta topo fica dentro do limite de 2μA para cima ou para baixo do valor nominal esperado (*'Apêndice 2*

– *Erro de Amplitude'*). Os valores para o gráfico da Figura 3.7 são: 10,1µA entre 0 e 120ns; 20,2µA entre 120ns e 240ns; 29,9µA entre 240ns e 360ns; e, 2,6pA entre 360ns e 480ns.

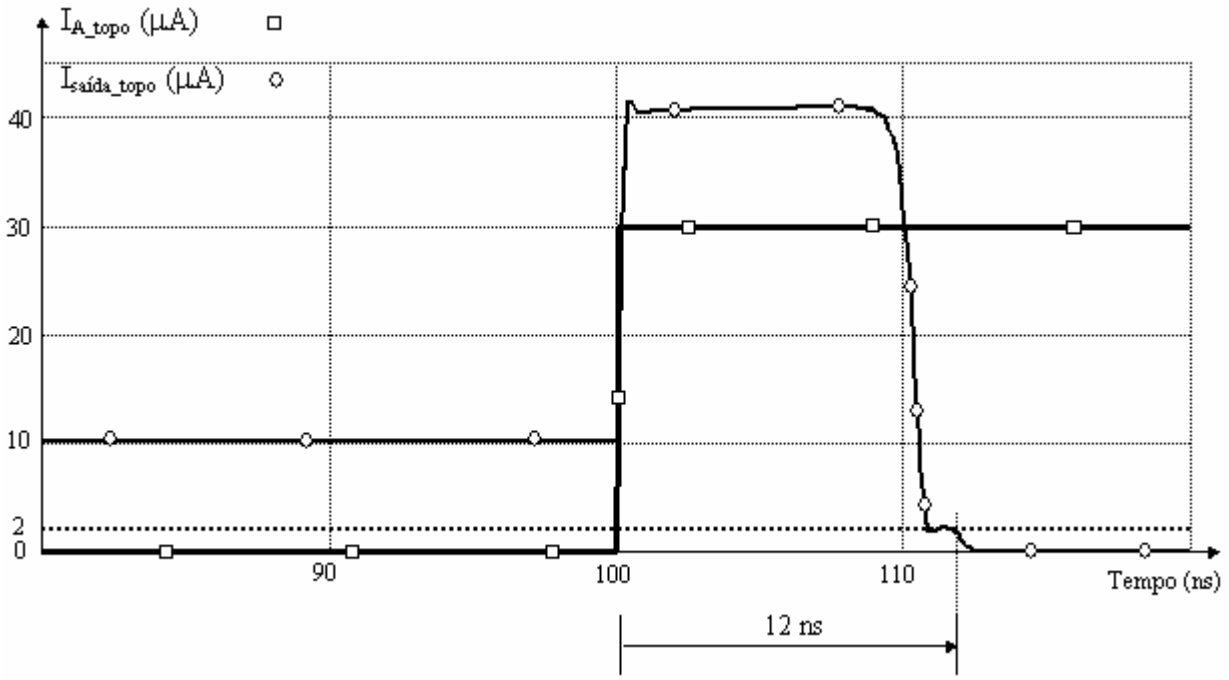


Figura 3.6 – Gráfico de análise do tempo de resposta da porta topo.

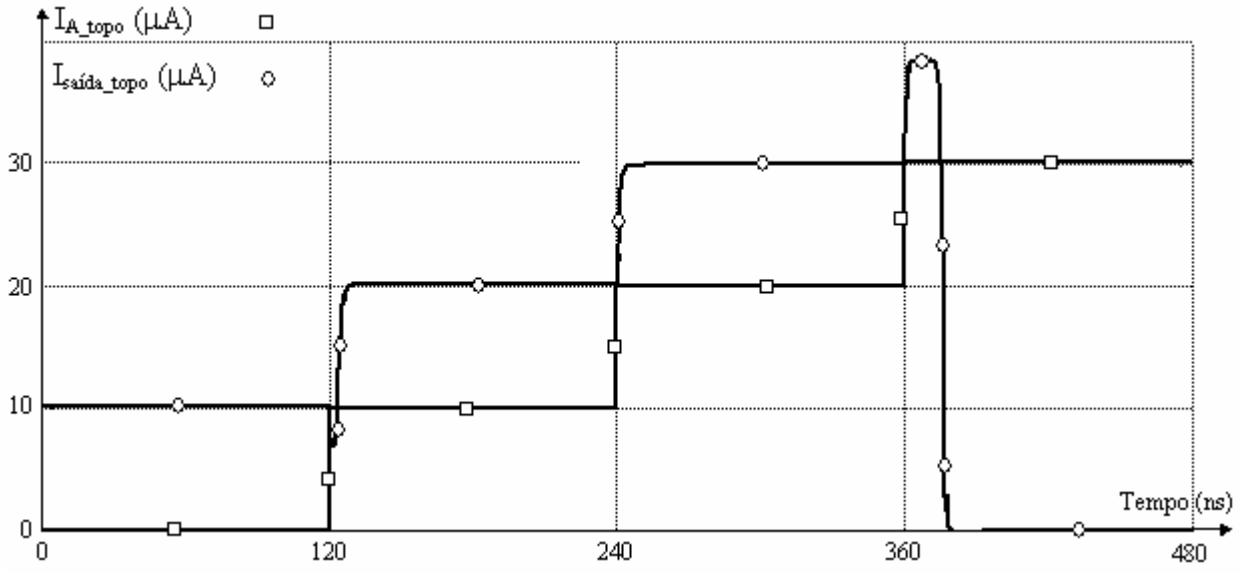


Figura 3.7 – Gráfico com as ondas de entrada e de saída da porta topo.

Com o objetivo de mostrar a dissipação de potência da porta topo, faz-se a multiplicação da tensão de alimentação (1,7 volts) com a corrente elétrica que é fornecida por esta fonte de tensão (V_+). O resultado obtido é mostrado no gráfico da Figura 3.8, onde, $P_{saída_topo}$ corresponde àquele produto e varia conforme a situação de entrada (I_{A_topo}).

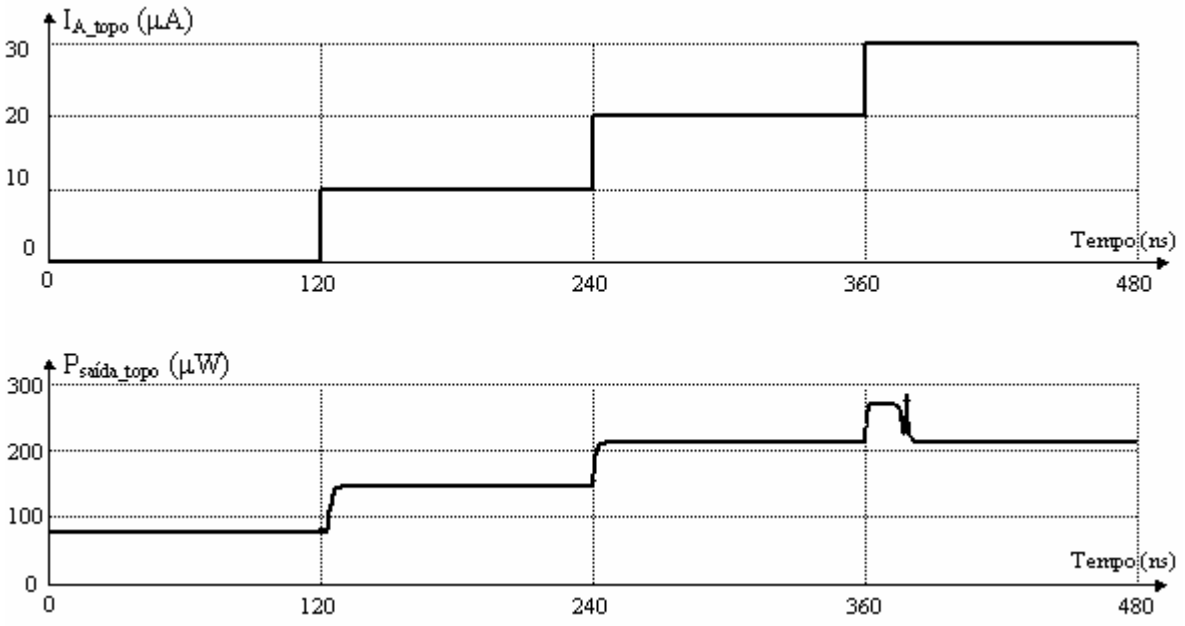


Figura 3.8 – Gráficos com as ondas de entrada e de dissipação de potência da porta topo.

Os valores de potência para o gráfico são: 76,7µW entre 0 e 120ns; 145,7µW entre 120ns e 240ns; 213,0µW entre 240ns e 360ns; e, 212,1µW entre 360ns e 480ns. Com o intuito de se ter um valor para atribuir à dissipação de potência do circuito, faz-se a média simples destes quatro valores. Apesar de isto não ter uma representação científica importante, permite comparações superficiais com outros circuitos equivalentes. O valor obtido desta média é de 161,9µW.

FICHA TÉCNICA DA PORTA TOPO:

- Número de transistores: 5 NPN;
- Tensão de alimentação: 1,7V;
- Potência média dissipada: 161,9μW;
- Tempo de resposta: 12ns;
- Largura Mínima de Pulso: 120ns;

Capítulo 4 - Porta Lógica Exclusivo

4.1) Discussão

Operação Lógica Exclusivo ((X)): É a operação entre duas variáveis (entradas) semelhante à operação OR-Exclusivo da lógica binária, porém, agora em lógica quaternária. Para designar esta operação lógica será usada a palavra "Exclusivo" e o operador será o termo "(X)". Considerando-se A e B como duas variáveis de entrada, o funcionamento lógico da operação é assim:

$$\left.\begin{array}{lll} A\,(X)\,B = B & , se\ A = 0 \\ A\,(X)\,B = \overline{B} & , se\ A = 1 \\ A\,(X)\,B = \overline{\overline{B}} & , se\ A = 2 \\ A\,(X)\,B = \underline{B} & , se\ A = 3 \end{array}\right\} \textbf{(Equação 4.1)}$$

Resumidamente, a característica de uma Porta Lógica Exclusivo pode ser expressa através de um Mapa de Karnaugh-Veitch como apresentado na Tabela 4.1.

	A				
B	**(X)**	**0**	**1**	**2**	**3**
	0	0	1	2	3
	1	1	2	3	0
	2	2	3	0	1
	3	3	0	1	2

Tabela 4.1 – Mapa de Karnaugh-Veitch da operação lógica Exclusivo

4.2) Funcionamento e construção em simulador

Baseado no comportamento exposto na equação 4.1 um circuito eletrônico é proposto. A porta exclusivo [17] possui em seu núcleo quatro 'Blocos Chaveadores' (Capítulo 2). Cada um desses blocos operando juntamente com portas lógica topo (Capítulo 3) e com valores adequados de correntes de referência efetuam ao final a operação Exclusivo.

4.2.1) Funcionamento

O esquema em blocos desta configuração é apresentado na Figura 4.1 e seu funcionamento é baseado na equação 4.1. Pode-se ver que as correntes $I_{ref_(X)_01}$ e $I_{ref_(X)_02}$ são correntes de referência, as correntes de entrada são $I_{A_(X)}$ e $I_{B_(X)}$ e a corrente de saída é $I_{saída_(X)}$. As correntes de entrada também estão operadas em topo: a corrente $I_{A_(X)}$ entra no bloco 02 e no 03 operada segundo a lógica Topo duas vezes e uma vez respectivamente, já, a corrente $I_{B_(X)}$ entra no bloco 02, 03 e 04 operada segundo a lógica Topo uma vez, duas vezes seguidas e três vezes seguidas respectivamente.

Observação preliminar importante: representar a corrente $I_{B_(X)}$ com uma barra abaixo de si ($\underline{I_{B_(X)}}$) é o mesmo que a operação topo realizada 3 vezes, ou seja, o mesmo que $I_{B_(X)}$ com três barras sobre si. Aquela corresponde a operação lógica base.

Para o cálculo do valor de $I_{ref_(X)_01}$ e $I_{ref_(X)_02}$ faz-se uso das equações 4.2 e 4.3.

$$I_{ref_(X)_01} = 0{,}5 * (I_{nível\ 1} - I_{nível\ 0}) \qquad \textbf{(Equação 4.2)}$$

Onde : $I_{nível\ 1}$: Corrente correspondente ao nível lógico 1 ;

$I_{nível\ 0}$: Corrente correspondente ao nível lógico 0.

$$I_{ref_(X)_02} = [\ 0{,}5 * (I_{nível\ 3} - I_{nível\ 2})\ ] + I_{nível\ 2} \qquad \textbf{(Equação 4.3)}$$

Onde : $I_{nível\ 2}$: Corrente correspondente ao nível lógico 2 ;

$I_{nível\ 3}$: Corrente correspondente ao nível lógico 3.

Considerando-se como valores discretos de corrente quaternária 0μA, 10μA, 20μA e 30μA, respectivamente correspondendo-se aos níveis lógicos 0, 1, 2 e 3, então, pode-se calcular que:

$I_{ref_(X)_01}$ = 5μA ;

$I_{ref_(X)_02}$ = 25μA .

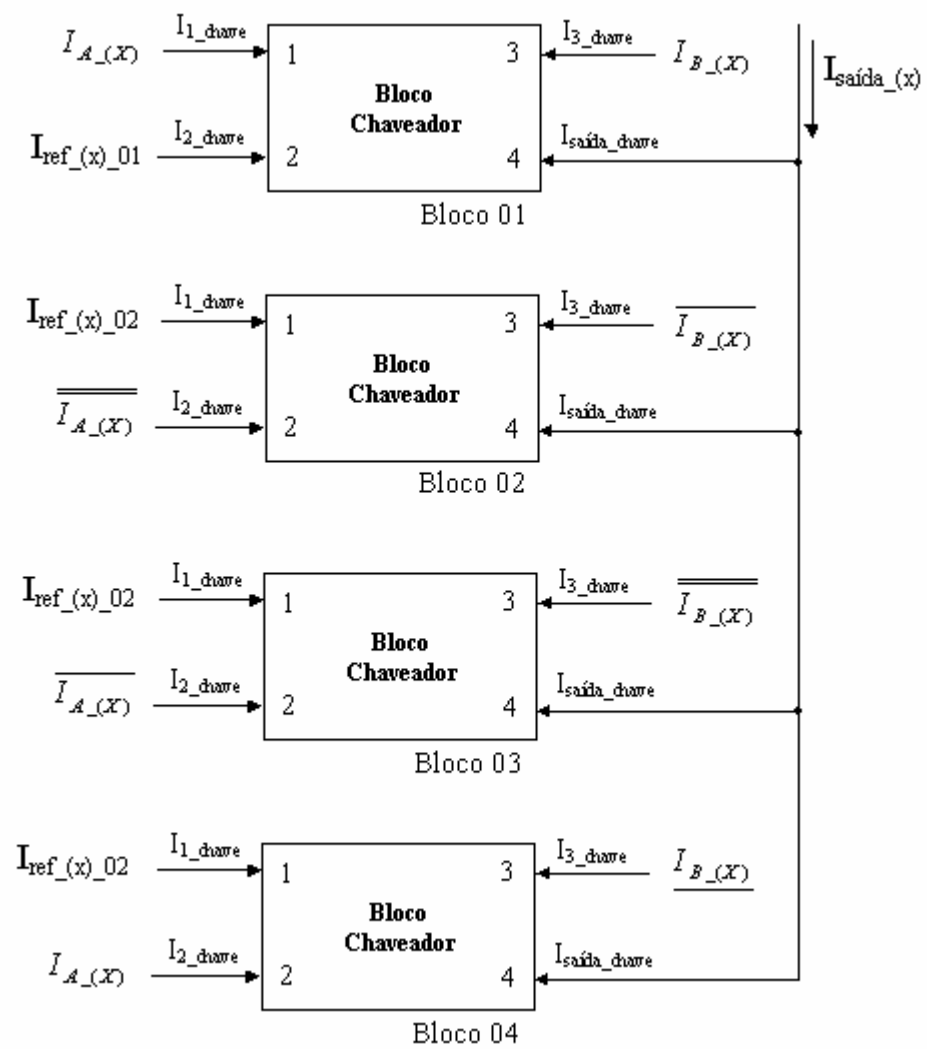


Figura 4.1 – Representação do funcionamento da porta X.

FUNCIONAMENTO:

O porquê da necessidade das correntes de referência calculadas através das equações 4.2 e 4.3 e o porquê do uso das correntes de entrada operadas pela lógica topo para compor a porta Exclusivo é uma necessidade para o comportamento final de acordo com a equação 4.1. Este funcionamento acontece da seguinte maneira:

- Quando $I_{A_(X)}$ corresponder ao nível lógico *0:*

Sempre que $I_{A_(X)}$ corresponder ao nível lógico 0 (nesse caso, 0μA) o bloco 01 da Figura 4.1 terá a corrente $I_{saída_chave} = I_{B_(X)}$, pois, o 'Bloco Chaveador' copia a corrente do terminal 3 (no caso, $I_{B_(X)}$) para a saída (terminal 4) sempre que a corrente no terminal 1 (no caso, $I_{A_(X)} = 0\mu A$) for menor que a do terminal 2 (no caso, $I_{ref_(X)_01} = 5\mu A$) . Enquanto isso, nos blocos 02, 03 e 04 as correntes dos terminais 4 são iguais a 0 ampéres, pois, as correntes dos terminais 1 destes 'Blocos Chaveadores' são maiores que as correntes dos terminais 2 de cada um, portanto, as saídas têm alta impedância. No bloco 02, $I_{ref_(X)_02} = 25\mu A$ (corrente colocada no terminal 1) é maior que $I_{A_(X)}$ operado em topo 2 vezes ($\overline{\overline{I_{A_(X)}}}$ = 20μA, corrente colocada no terminal 2). No bloco 03, $I_{ref_(X)_02} = 25\mu A$ (corrente colocada no terminal 1) é maior que $I_{A_(X)}$ operado em topo 1 vez ($\overline{I_{A_(X)}}$ = 10μA, corrente colocada no terminal 2). E, no bloco 04, $I_{ref_(X)_02} = 25\mu A$ (corrente colocada no terminal 1) é maior que $I_{A_(X)}$ ($I_{A_(X)}$ = 0μA, corrente colocada no terminal 2). Portanto, a saída do circuito Exclusivo é $I_{saída_(X)}$ = corrente do terminal 4 do bloco 01 = $IB_{_(X)}$.

- Quando $I_{A_(X)}$ corresponder ao nível lógico *1:*

Sempre que $I_{A_(X)}$ corresponder ao nível lógico 1 (nesse caso, 10μA) o bloco 02 da Figura 4.1 terá a corrente de saída no seu terminal 4 igual a $\overline{I_{B_(X)}}$, pois, o 'Bloco Chaveador' copia a corrente do seu terminal 3 (no caso, $\overline{I_{B_(X)}}$) para a saída sempre que a corrente colocada no terminal 1 (no caso, $I_{ref_(X)_02} = 25\mu A$) for menor que a do terminal 2 (no

caso, $\overline{\overline{I_{A_(X)}}} = 30\mu A$) . Enquanto isso, nos blocos 01, 03 e 04 as correntes dos terminais 4 são 0 ampéres, pois, as correntes dos terminais 1 destes 'Blocos Chaveadores' são maiores que as correntes do terminal 2 deles, portanto, as saídas têm alta impedância. No bloco 01, $I_{A_(X)} = 10\mu A$ (corrente colocada no terminal 1) é maior que $I_{ref_(X)_01} = 5\mu A$ (colocada no terminal 2). No bloco 03, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ operado em topo 1 vez ($\overline{I_{A_(X)}}$ = 20μA, corrente presente no terminal 2). E, no bloco 04, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ ($I_{A_(X)}$ = 10μA, corrente presente no terminal 2). Portanto, a corrente de saída do bloco Exclusivo é $I_{saída_(X)}$ = corrente do terminal 4 do bloco 02 = $\overline{I_{B_(X)}}$.

- Quando $I_{A_(X)}$ corresponder ao nível lógico *2:*

Sempre que $I_{A_(X)}$ corresponder ao nível lógico 2 (nesse caso, 20μA) o bloco 03 da Figura 4.1 terá a corrente do seu terminal 4 igual a $\overline{\overline{I_{B_(X)}}}$, pois, o 'Bloco Chaveador' copia a corrente do terminal 3 (no caso, $\overline{\overline{I_{B_(X)}}}$) para a saída (terminal 4) sempre que a corrente no terminal 1 (no caso, $I_{ref_(X)_02} = 25\mu A$) for menor que a do terminal 2 (no caso, $\overline{I_{A_(X)}}$ = 30μA) . Enquanto isso, nos blocos 01, 02 e 04 as correntes de saída dos terminais 4 são 0 ampéres, pois, as correntes dos terminais 1 destes 'Blocos Chaveadores' são maiores que as dos seus terminais 2, portanto, as saídas têm alta impedância. No bloco 01, $I_{A_(X)} = 20\mu A$ (presente no terminal 1) é maior que $I_{ref_(X)_01} = 5\mu A$ (presente no terminal 2). No bloco 02, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ operado em topo 2 vezes ($\overline{\overline{I_{A_(X)}}}$ = 0μA, presente no terminal 2). E, no bloco 04, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ ($I_{A_(X)}$ = 20μA, presente no terminal 2). Portanto, a corrente de saída do bloco Exclusivo é $I_{saída_(X)}$ = corrente do terminal 4 do bloco 03 = $\overline{\overline{I_{B_(X)}}}$.

- Quando $I_{A_(X)}$ corresponder ao nível lógico *3:*

Sempre que $I_{A_(X)}$ corresponder ao nível lógico 3 (nesse caso, 30μA) o bloco 04 da Figura 4.1 terá a corrente do seu terminal de saída igual a $\underline{I_{B_(X)}}$, pois, o 'Bloco Chaveador' copia a corrente colocada no terminal 3 (no caso, $\underline{I_{B_(X)}}$) para a saída do bloco (terminal 4) sempre que a corrente no terminal 1 (no caso, $25\mu A$) for menor que a do terminal 2 (no caso, $I_{A_(X)} = 30\mu A$) . Enquanto isso, nos blocos 01, 02 e 03 as correntes dos terminais 4 são 0 ampéres, pois, as correntes dos terminais 1 destes 'Blocos Chaveadores' são maiores que as correntes do terminal 2 deles, portanto, as saídas têm alta impedância. No bloco 01, $I_{A_(X)} = 30\mu A$ (presente no terminal 1) é maior que $I_{ref_(X)_01} = 5\mu A$ (presente no terminal 2). No bloco 02, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ operado em topo 2 vezes ($\overline{\overline{I_{A_(X)}}}$ = 10μA, presente no terminal 2). E, no bloco 03, $I_{ref_(X)_02} = 25\mu A$ (presente no terminal 1) é maior que $I_{A_(X)}$ operado em topo 1 vez ($\overline{I_{A_(X)}}$ = 0μA, presente no terminal 2). Portanto, a corrente de saída do bloco Exclusivo é $I_{saída_(X)}$ = corrente do terminal 4 do bloco 04 = $\underline{I_{B_(X)}}$. Lembrando-se que, $\underline{I_{B_(X)}}$ é o mesmo que $I_{B_(X)}$ operado em topo 3 vezes.

4.2.2) O circuito eletrônico

O esquema eletrônico da porta lógica Exclusivo é apresentado na Figura 4.2. Ele inclui os blocos de porta topo para fazer a operação de deslocamento das correntes de entrada e os espelhos de corrente necessários para colocar as correntes de referência em cada bloco. É uma configuração pronta para ser feita na prática, onde os resistores variáveis ligados a fonte de tensão formam as fontes de corrente que são espelhadas, através de espelhos simples de corrente, para o circuito. O terminal de saída é ligado diretamente à fonte de tensão, mas poderia estar suportando alguma outra carga entre a fonte e a própria saída. Se não existisse a fonte de tensão, não existiria corrente de saída $I_{saída_(X)}$.

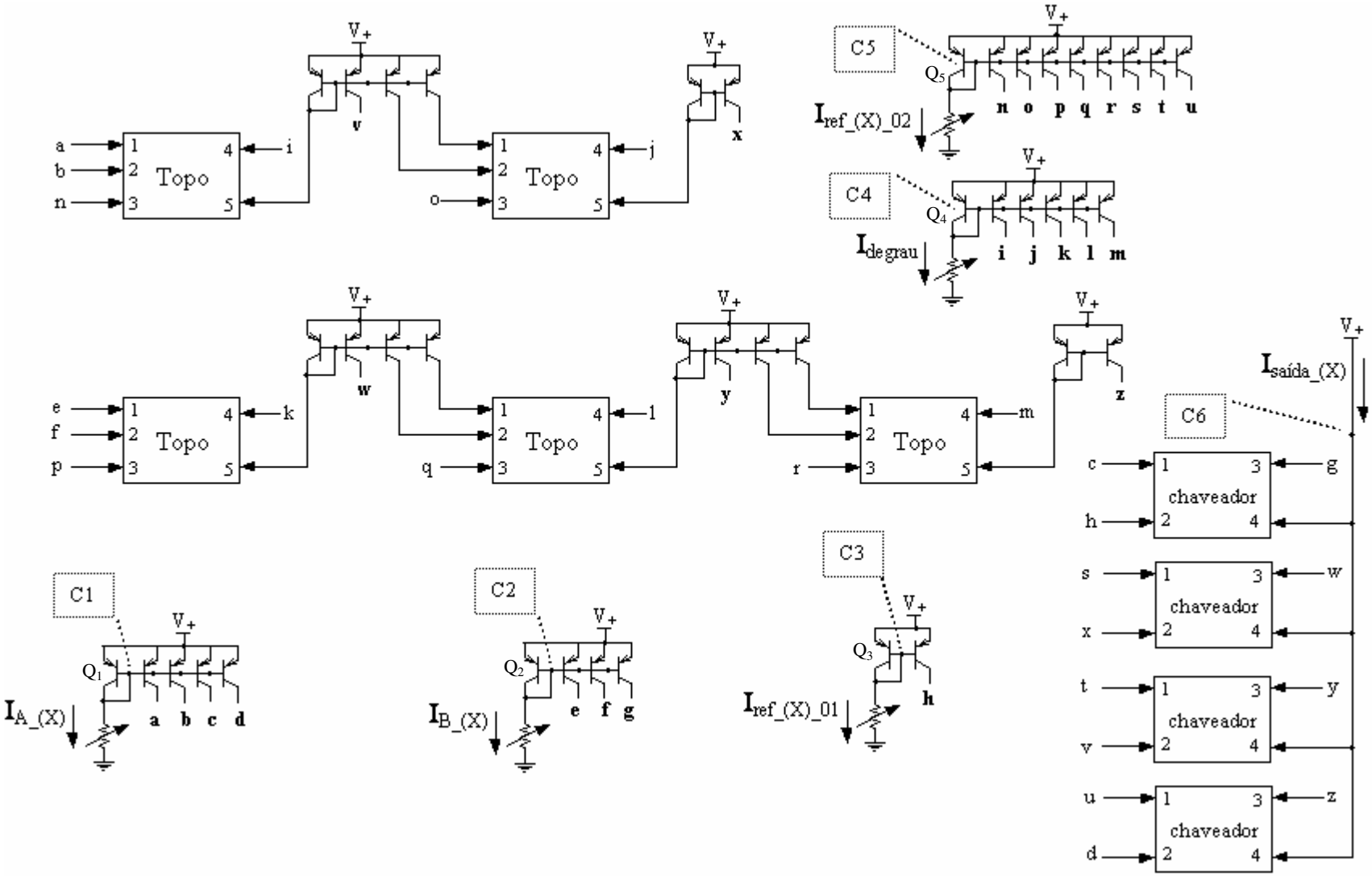


Figura 4.2 – Esquema eletrônico da porta X.

Ainda na Figura 4.2, os termos C1, C2, C3, C4, C5 e C6 são marcações que indicam quais pontos do circuito eletrônico correspondem aos terminais do bloco da porta X apresentado na Figura 4.3, que possui 6 terminais.

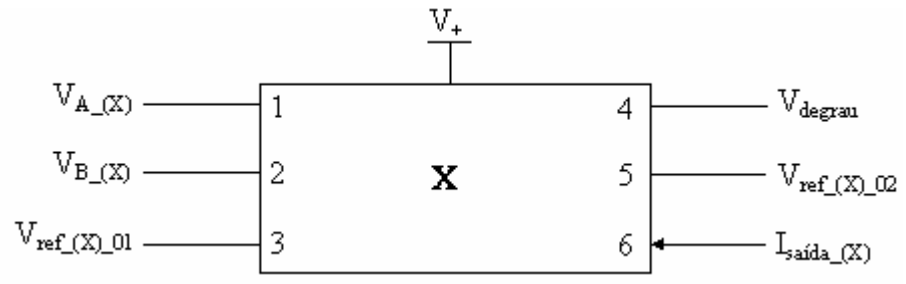


Figura 4.3 – Representação em bloco da porta X com terminais de tomadas de tensão.

Essa correspondência dá-se da seguinte forma:

- O terminal 1 do bloco corresponde a conexão C1 do circuito eletrônico, ele recebe o nome de $V_{A_(X)}$, esse terminal deve receber a tensão de base do transistor PNP que corresponda à criação da corrente $I_{A_(X)}$ nos coletores dos transistores ligados em paralelo formando o espelho de corrente simples. É importante salientar que o transistor Q_1 da Figura 4.2 não faz parte deste bloco.

- O terminal 2 do bloco corresponde à conexão C2 do circuito eletrônico, ele recebe o nome de $V_{B_(X)}$, esse terminal deve receber a tensão de base do transistor PNP que corresponda à criação da corrente $I_{B_(X)}$ nos coletores dos transistores ligados em paralelo formando o espelho de corrente simples. É importante salientar que o transistor Q_2 da Figura 4.2 não faz parte deste bloco.

- O terminal 3 do bloco corresponde à conexão C3 do circuito eletrônico, ele recebe o nome de $V_{ref_(X)_01}$, esse terminal deve receber a tensão de base do transistor PNP que corresponda à criação da corrente $I_{ref_(X)_01}$ no coletor do transistor ligado em paralelo formando o espelho de corrente simples. É importante salientar que o transistor Q_3 da Figura 4.2 não faz parte deste bloco.

- O terminal 4 do bloco corresponde à conexão C4 do circuito eletrônico, ele recebe o nome de V_{degrau}, esse terminal deve receber a tensão de base do transistor PNP que corresponda à criação da corrente I_{degrau} nos coletores dos transistores ligados em paralelo formando o espelho de corrente simples. É importante salientar que o transistor Q_4 da Figura 4.2 não faz parte deste bloco.

- O terminal 5 do bloco corresponde à conexão C5 do circuito eletrônico, ele recebe o nome de $V_{ref_(X)_02}$, esse terminal deve receber a tensão de base do transistor PNP que corresponda à criação da corrente $I_{ref_(X)_02}$ nos coletores dos transistores ligados em paralelo formando o espelho de corrente simples. É importante salientar que o transistor Q_5 da Figura 4.2 não faz parte deste bloco.

- O terminal 6 do bloco corresponde à conexão C6 do circuito eletrônico, esse terminal recebe o nome de $I_{saída_(X)}$ e é por onde escoa a corrente de saída da porta exclusivo.

Utilizou-se, na representação da porta X, terminais correspondentes à entrada de tensão de base, nos transistores PNP internos, para que os "varais" de espelhos de corrente ficassem implícitos dentro do bloco e tendo-se apenas como ligação ao exterior a base dos transistores pronta para receber tensão. Esse artifício permite a conexão deste bloco com outros iguais ou outros que também devem fornecer as mesmas correntes internamente. Essa conexão dá-se diretamente através destes terminais de tomada de tensão sem a necessidade de se fazer "espelhamentos" de corrente redundantes para adequar as conexões. Isso economiza quantidade de transistores e fornecimento de corrente elétrica.

Na verdade, algo mais tradicional seria apresentar a porta X como mostrado no bloco da Figura 4.4, porém, este tipo de representação não é tão útil para a montagem dos outros blocos deste trabalho (mais adiante). Essa nova proposta de bloco inclui internamente os transistores Q_1, Q_2, Q_3, Q_4 e Q_5 da Figura 4.4 e as conexões C1, C2, C3, C4, C5 e C6 do

circuito eletrônico correspondem, respectivamente, aos terminais 1, 2, 3, 4, 5 e 6 do bloco apresentado.

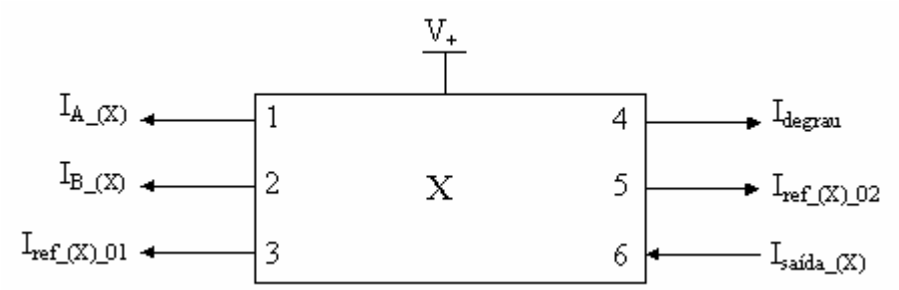


Figura 4.4 – Representação em bloco da porta X com terminais de tomadas de corrente.

4.3) Simulações de desempenho

A simulação do circuito porta X tem o intuito de apresentar o funcionamento em termos de gráficos de entradas e de saída para as correntes elétricas. Na Figura 4.5 é apresentada a configuração simulada. Os transistores usados são do tipo bipolar NPN e PNP. Maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

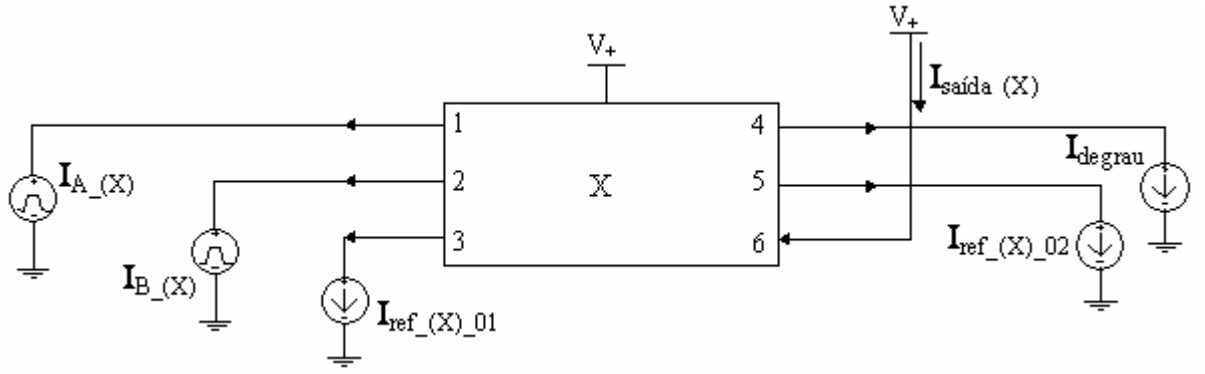


Figura 4.5 – Circuito eletrônico simulado.

Inicialmente, faz-se uma variação em degraus de 0µA, 10µA, 20µA e 30µA das correntes de entrada $I_{A_(X)}$ e $I_{B_(X)}$, sendo que os degraus para a primeira corrente tem duração

temporal de 4 segundos cada, já, os degraus da segunda corrente tem duração temporal de 1 segundo cada, isso ocasiona gráficos como os mostrados na Figura 4.6, onde todas as combinações possíveis de níveis quaternários estão explicitadas.

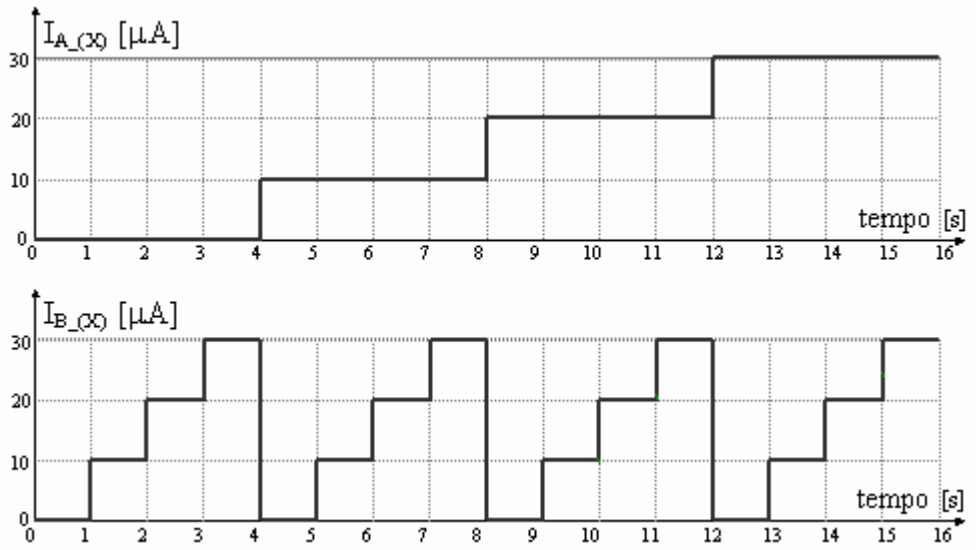


Figura 4.6 – Gráficos de correntes de entrada com largura menor de pulso de 1 segundo.

Ao mesmo tempo, parametricamente, varia-se a tensão de alimentação, V_+ , de 0 até 4 volts em passos de 0,1 volts. Isso tem o intuito de se descobrir a tensão de alimentação mais apropriada para a configuração. Essa variação paramétrica na tensão de alimentação (V_+), ao mesmo tempo em que as correntes de entrada estão acontecendo, cria valores de corrente de saída dentro e fora de faixas de aceitação pré-estabelecidas para cada valor nominal discreto de nível de corrente quaternária (ver as definições das faixas de aceitação pré-estabelecidas no *'Apêndice 2 - Erro de Amplitude'*). O resultado obtido da variação desta tensão entre 0 e 4 volts em passos de 0,1 volts mostrou que a tensão de alimentação (V_+) deve situar-se entre 1.9 e 2,1 volts para esta montagem específica. Fazendo-se a média simples destes dois valores, obtém-se 2 volts. Portanto, este é o valor, por hora, adotado para a simulação de chaveamento do circuito.

O chaveamento tem o intuito de mostrar qual o pior tempo de resposta do circuito para as mudanças de estados nas entradas. Faz-se, então, no simulador de circuitos eletrônicos, <u>todas</u> mudanças possíveis de níveis nas duas entradas da porta X. Ou seja, são realizadas 240

mudanças usando a duração temporal para cada nível em 100ns. Alguns exemplos das 240 trocas de estados são: de 00 para 01, de 00 para 02, de 30 para 03, de 10 para 20, de 11 para 22, de 00 para 32, etc. Encontrou-se como pior caso, ou seja, maior tempo de resposta, o valor de 50ns.

Faz-se uma simulação de desempenho para verificação da correta operação da porta X usando-se 500ns de duração temporal de pulso mínima, ou seja, algo dez vezes maior que o tempo de resposta, ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*. Na Figura 4.7, são apresentados os resultados da operação ($I_{saída_(X)}$) e os gráficos de entradas, $I_{A_(X)}$ e $I_{B_(X)}$.

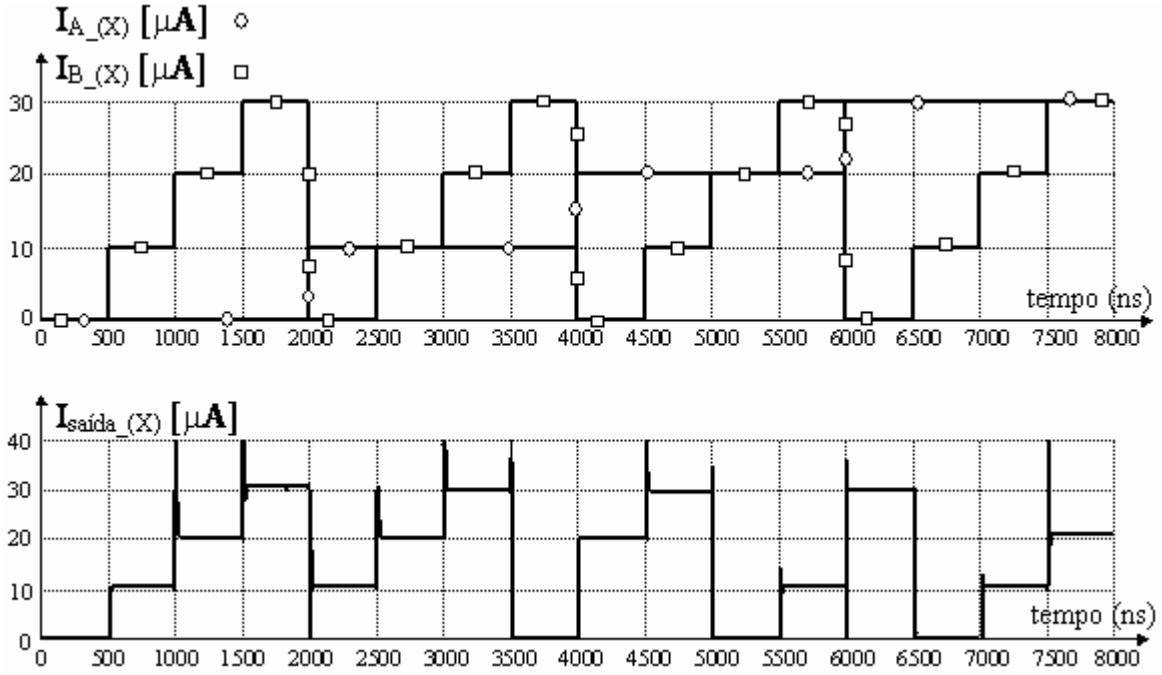


Figura 4.7 – Resultados de simulação da porta X.

Com o objetivo de mostrar a dissipação de potência da porta X, faz-se a multiplicação da tensão de alimentação (2 volts) com a corrente elétrica que é fornecida por esta fonte de tensão (V_+). O resultado obtido é mostrado no gráfico da Figura 4.8, onde, $P_{(X)}$ corresponde àquele produto e varia conforme a situação de entrada ($I_{A_(X)}$ e $I_{B_(X)}$).

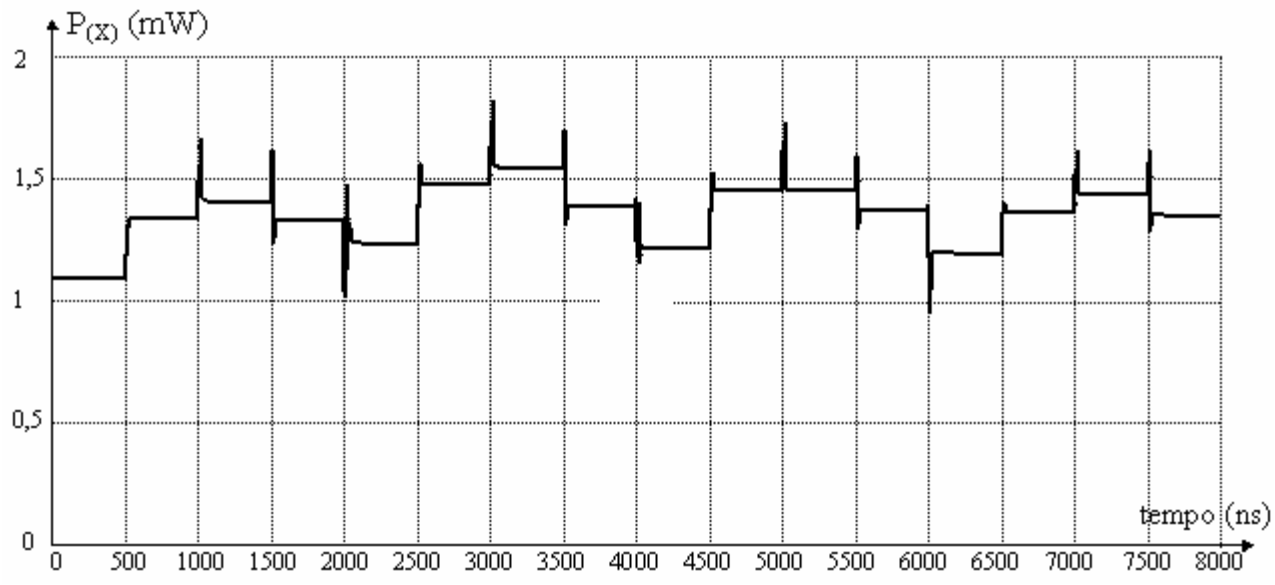


Figura 4.8 – Gráfico de potência da porta X.

Os valores de corrente elétrica $I_{saída_(X)}$ e de potência $P_{(X)}$ são transcritos dos gráficos para a Tabela 4.2.

Tempo	Corrente Elétrica ($I_{saída_(X)}$)	Potência ($P_{(X)}$)
De 0 até 500ns	18,3pA	1,1mW
De 500ns até 1000ns	10,4µA	1,3mW
De 1000ns até 1500ns	20,4µA	1,4mW
De 1500ns até 2000ns	30,6µA	1,3mW
De 2000ns até 2500ns	10,4µA	1,2mW
De 2500ns até 3000ns	20,4µA	1,5mW
De 3000ns até 3500ns	29,7µA	1,5mW
De 3500ns até 4000ns	0µA	1,4mW
De 4000ns até 4500ns	20,4µA	1,2mW
De 4500ns até 5000ns	29,7µA	1,1mW
De 5000ns até 5500ns	0µA	1,4mW
De 5500ns até 6000ns	10,5µA	1,4mW
De 6000ns até 6500ns	30µA	1,2mW
De 6500ns até 7000ns	0µA	1,3mW
De 7000ns até 7500ns	10,4µA	1,4mW
De 7500ns até 8000ns	20,8µA	1,3mW

Tabela 4.2 – Resultados de simulação.

Com o intuito de se ter um valor para atribuir à dissipação de potência do circuito, faz-se a média destes 16 valores obtidos. Apesar de isto não ter uma representação científica importante, permite comparações superficiais com outros circuitos equivalentes. O valor obtido desta média é de 1,3mW.

FICHA TÉCNICA DA PORTA X:

- Número de transistores (que estão contidos dentro do bloco da Figura 4.3): 45 NPN e 37 PNP, totalizando 82.
- Tensão de alimentação: 2V;
- Potência média dissipada: 1,3mW;
- Tempo de resposta: 50ns;
- Largura Mínima de Pulso: 500ns.

Capítulo 5 - Meio-Somador

5.1) Discussão

O objetivo final deste capítulo é apresentar um circuito meio-somador [20] quaternário operando em modo corrente com transistores bipolares. A operação de soma algébrica realizada para um dígito quaternário acontece como na Tabela 5.1 (a) e o "carry" dessa soma é mostrado na Tabela 5.1 (b). É interessante observar que o Mapa de Karnaugh-Veitch da soma algébrica é exatamente o mesmo da operação lógica exclusivo (ver Capítulo 4), portanto, o circuito eletrônico da soma é uma porta X.

B \ A	0	1	2	3
0	0	1	2	3
1	1	2	3	0
2	2	3	0	1
3	3	0	1	2

(a)

B \ A	0	1	2	3
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1

(b)

Tabela 5.1 – (a) Mapa de Karnaugh-Veitch da soma algébrica quaternária ; (b) Mapa de Karnaugh-Veitch do "carry" da soma algébrica.

Já, para o caso do "carry" da soma, poder-se-ia obter o esquema eletrônico em termos das portas básicas quaternárias através do método de 'Síntese por Decomposição Binária' apresentado em artigo científico [13, 21] que, inclusive, dispõe de um "software" para isso [13, 22], porém, a configuração obtida ficou maior do que a aqui proposta para esse fim e que, portanto, foi deduzida por observação, tentativas de acerto e análise da função desejada.

5.2) O circuito de "carry" do Meio-Somador

Baseado no comportamento exposto na Tabela 5.1 (b), é fácil visualizar que a saída é igual ao nível 1 quaternário sempre que a soma decimal entre os níveis da entrada A e B for igual ou maior que 4 e a saída é igual ao nível 0 quaternário sempre que a soma decimal entre os níveis A e B é menor que 4. Partindo do pré-estabelecido de que os níveis quaternários discretos de corrente elétrica são 0μA, 10μA, 20μA e 30μA, pode-se afirmar que sempre que a soma analógica das correntes de A e B for maior ou igual a 40μA a saída deve corresponder a 10μA (nível lógico quaternário 1), caso contrário, deve ser 0μA (nível lógico quaternário 0). Um mapa que mostra a soma analógica das correntes elétricas é apresentado na Tabela 5.2, observe que a região hachurada, onde a soma é 40μA ou mais, é a mesma região onde se tem nível 1 na Tabela 5.1 (b).

		Entrada A			
		0μA	**10μA**	**20μA**	**30μA**
Entrada B	**0μA**	0μA	10μA	20μA	30μA
	10μA	10μA	20μA	30μA	40μA
	20μA	20μA	30μA	40μA	50μA
	30μA	30μA	40μA	50μA	60μA

Tabela 5.2 – Soma analógica das correntes elétricas quaternárias.

O princípio básico de funcionamento do circuito eletrônico está então estabelecido. O núcleo básico do circuito que faz sair 10μA sempre que a soma das correntes de entradas for maior ou igual a 40μA é o 'Bloco Chaveador' já apresentado no Capítulo 2. A montagem adaptada para esse funcionamento é mostrada na Figura 5.1. O índice '*cs_ms'* é usado para designar as correntes e tensões presentes neste circuito e tem o significado de ' "**C**arry" da **S**oma do circuito **M**eio-**S**omador'. As correntes de entradas são $I_{A_cs_ms}$ e $I_{B_cs_ms}$ e a corrente de saída é $I_{saída_cs_ms}$. A corrente $I_{ref_cs_ms}$ é uma corrente de referência que deve ser menor do que o valor da soma analógica (Tabela 5.2) das correntes $I_{A_cs_ms}$ e $I_{B_cs_ms}$ a partir da qual a

saída tem nível lógico 1 (área sombreada da tabela) e deve ser maior do que a soma analógica das correntes $I_{A_cs_ms}$ e $I_{B_cs_ms}$ imediatamente menor que aquele somatório.

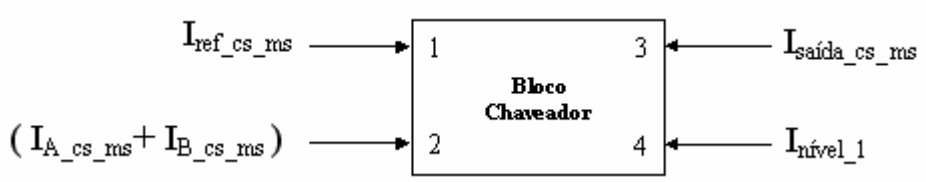


Figura 5.1 – Funcionamento do "Carry" do Meio-Somador

Portanto, observando-se a Tabela 5.2, fica fácil concluir que a corrente de referência deve situar-se entre 30µA e 40µA. Escolhe-se, então, $I_{ref_cs_ms}$ = 35µA. Ainda, na Figura 5.1, é possível identificar uma corrente chamada $I_{nível_1}$ que corresponde exatamente ao valor que representa o nível lógico quaternário 1, ou seja, $I_{nível_1}$ = 10µA.

Um esquema eletrônico do circuito do "carry" da soma é apresentado na Figura 5.2, onde as correntes são inseridas no 'Bloco Chaveador' através de espelhos simples de corrente definidas por meio de resistores variáveis ligados ao coletor dos transistores PNP e terra.

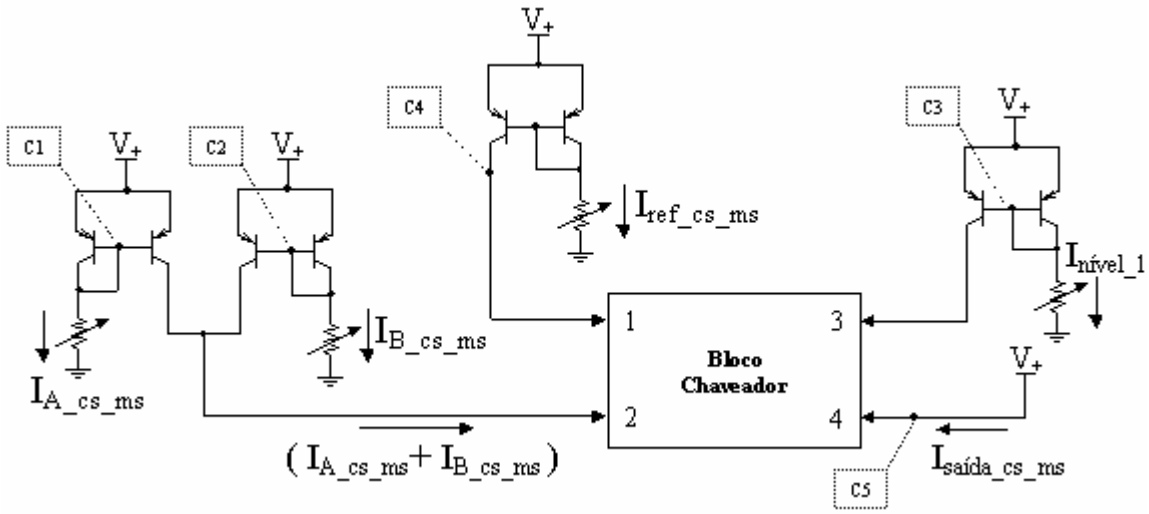


Figura 5.2 – Esquema eletrônico do "Carry" do Meio-Somador.

As marcações C1, C2, C3, C4 e C5 correspondem aos terminais 1, 2, 3, 4 e 5 do bloco proposto para o circuito do "carry" da soma e apresentado na Figura 5.3. Na verdade, os terminais 1, 2, e 3 são para tomada de tensão, ou seja: no terminal 1 deve ser inserida a tensão base-emissor para um transistor PNP que ocasiona uma corrente $I_{A_cs_ms}$ desejada, esse terminal é denominado $V_{A_cs_ms}$; no terminal 2 deve ser inserida a tensão base-emissor para um transistor PNP que ocasiona uma corrente $I_{B_cs_ms}$ desejada, esse terminal é denominado $V_{B_cs_ms}$; no terminal 3 deve ser inserida a tensão base-emissor para um transistor PNP que ocasiona uma corrente de 10μA, ou $I_{nível_01}$, esse terminal é denominado $V_{nível_01}$.

O terminal $I_{ref_cs_ms}$ é o que recebe a corrente de referência fixa de 35μA e o terminal 5 é a saída, fornecendo a corrente $I_{saída_cs_ms}$.

Figura 5.3 – Diagrama de blocos do Circuito "Carry" do Meio-Somador

5.2.1) Simulações de desempenho

A simulação do circuito "carry" da soma tem o intuito de apresentar o funcionamento em termos de gráficos de entradas e de saída para as correntes elétricas. A configuração simulada é a mesma mostrada na Figura 5.2. Os transistores usados são do tipo bipolar NPN e PNP e maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

Inicialmente, faz-se uma variação em degraus de 0μA, 10μA, 20μA e 30μA das correntes de entrada $I_{A_cs_ms}$ e $I_{B_cs_ms}$, sendo que os degraus para a primeira corrente tem duração temporal de 4 segundos cada, já, os degraus da segunda corrente tem duração

temporal de 1 segundo cada, isso ocasiona gráficos como os mostrados na Figura 5.4, onde todas as combinações possíveis de níveis quaternários estão explicitadas.

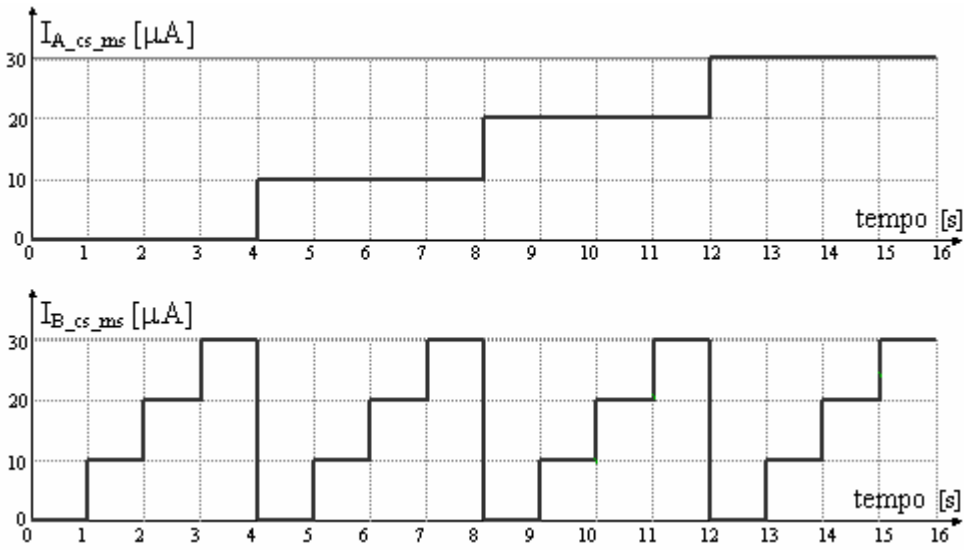


Figura 5.4 – Gráfico de correntes de entrada com largura menor de pulso de 1 segundo.

Ao mesmo tempo, parametricamente, varia-se a tensão de alimentação, V_+ , de 0 até 4 volts em passos de 0,1 volts. Isso tem o intuito de se descobrir a tensão de alimentação mais apropriada para a configuração. Essa variação paramétrica na tensão de alimentação (V_+) ao mesmo tempo em que as correntes das entradas estão acontecendo, cria valores de corrente de saída dentro e fora de faixas de aceitação pré-estabelecidas para cada valor nominal discreto de nível de corrente quaternária (ver as definições das faixas de aceitação pré-estabelecidas no *'Apêndice 2 - Erro de Amplitude'*). O resultado obtido da variação desta tensão entre 0 e 4 volts em passos de 0,1 volts mostrou que a tensão de alimentação (V_+) deve situar-se entre 1 e 3 volts para este caso específico. Fazendo-se a média simples destes dois valores, obtém-se 2 volts. Portanto, este é o valor, por hora, adotado para a simulação de chaveamento do circuito.

O chaveamento tem o intuito de mostrar qual o pior tempo de resposta do circuito para as mudanças de estados na entradas. Faz-se, então, no simulador de circuitos eletrônicos <u>todas</u> mudanças possíveis de níveis nas duas entradas da porta X. Ou seja, são realizadas 240 mudanças usando-se a duração temporal para cada nível em 100ns. Alguns exemplos das 240 trocas de estados são: de 00 para 01, de 00 para 02, de 30 para 03, de 10 para 20, de 11 para

22, de 00 para 32, etc. Encontrou-se como pior caso, ou seja, maior tempo de resposta, o valor de 20ns.

Faz-se um teste de desempenho para verificação da correta operação do circuito "carry" da soma usando-se 200ns de duração temporal de pulso mínima, ou seja, algo dez vezes maior que o tempo de resposta anteriormente encontrado, ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*. Na Figura 5.5, são apresentados o resultado do "carry" da soma do meio-somador ($I_{saída_cs_ms}$) e os gráficos de entradas, $I_{A_cs_ms}$ e $I_{B_cs_ms}$.

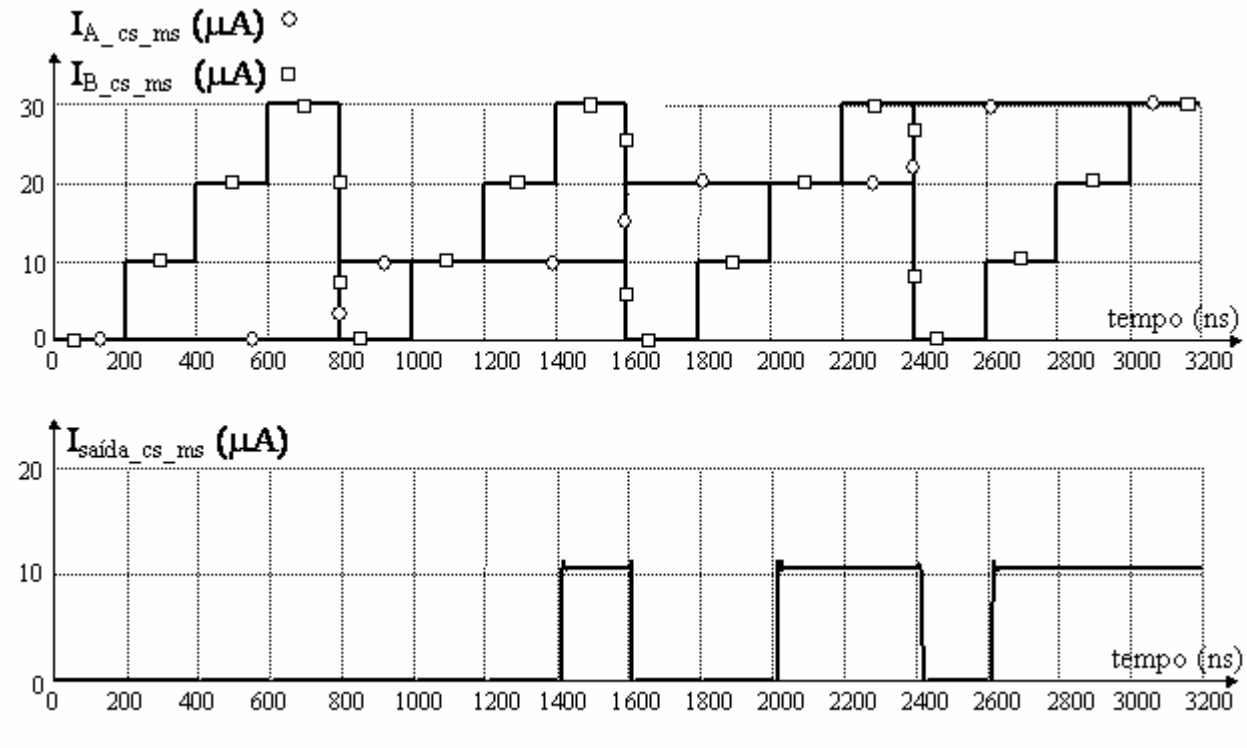


Figura 5.5 – Gráfico de correntes de entradas e saída do circuito "carry" da soma.

5.3) O Meio- Somador Quaternário

Agora, já sabido que o circuito de soma é uma porta X e já conhecido o circuito de "carry" da soma, constata-se que o 'Meio-Somador Quaternário' é uma junção destes dois. Portanto, essa junção é apresentada na Figura 5.6, onde V_{A_ms} e V_{B_ms} são as tensões de base-emissor para o transistor PNP utilizado e que provocam, respectivamente, I_{A_ms} e I_{B_ms} dentro dos circuitos (são variáveis de entradas do Meio-Somador a serem operadas). Nesse circuito também se encontram três referências, ou tensões de referência para base-emissor do transistor PNP utilizado, são elas: $V_{ref_5\mu A}$, $V_{ref_10\mu A}$ e $V_{ref_25\mu A}$, que aplicadas à base de qualquer transistor PNP provocam no coletor deste, respectivamente, correntes de 5µA, 10µA e 25µA. Finalmente, o resultado do "carry" da soma do Meio-Somador é obtido no terminal pelo qual escoa I_{cs_ms} e o resultado da soma obtido no terminal pelo qual escoa I_{soma_ms}. Uma representação em bloco do meio-somador quaternário é apresentada na Figura 5.7.

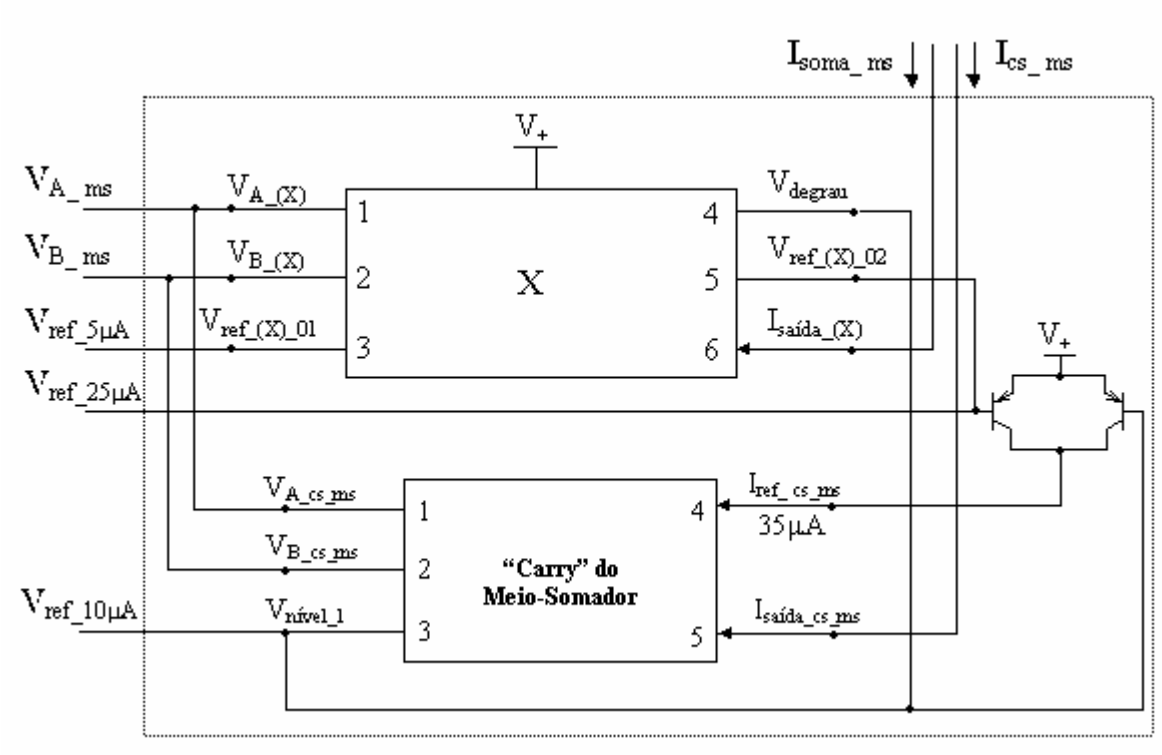


Figura 5.6 – O Meio-Somador.

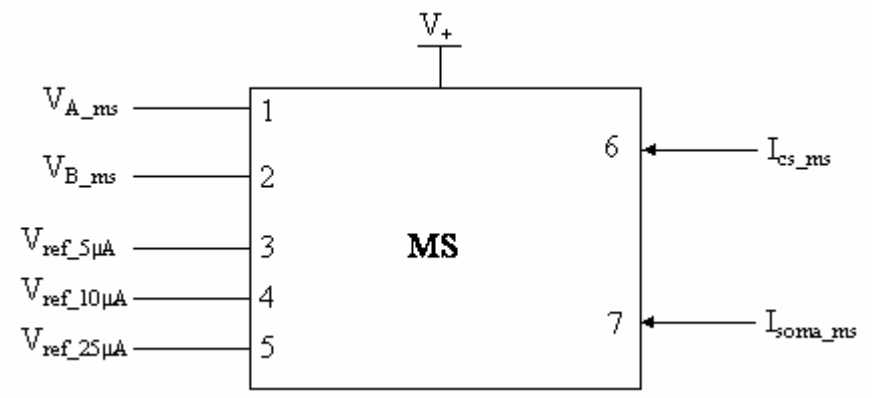


Figura 5.7 – Bloco do Meio-Somador.

5.3.1) Simulações de desempenho

Considerando o bloco já formado da Figura 5.7 (Meio-Somador), o valor da tensão de alimentação, V_+ , deve ser 2 volts, já que para a porta X e para o circuito "carry" da soma este é o melhor valor. É, aqui, considerado como tempo de resposta do meio-somador o valor de 50ns, que é o mesmo adotado para a porta X, já que o tempo de resposta do circuito de "carry" é de 20ns e, portanto, não pior que os 50ns da porta X. Sendo assim, a mínima largura de pulso do meio-somador será 10 vezes o tempo de resposta, ou seja, 500ns (ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*).

Na Figura 5.8, é apresentada a configuração simulada do meio-somador recebendo as correntes de referência $I_{ref_5\mu A}$, $I_{ref_10\mu A}$ e $I_{ref_25\mu A}$, e recebendo as correntes de entrada I_{A_ms} e I_{B_ms}. É possível, também, identificar as saídas de correntes I_{cs_ms} e I_{soma_ms}, que, respectivamente, correspondem a corrente de "carry" da soma do meio-somador e corrente do resultado da soma do meio-somador. Gráficos com as entradas A e B, a saída de soma, a saída de "carry" e a dissipação de potência da configuração são mostrados na Figura 5.9.

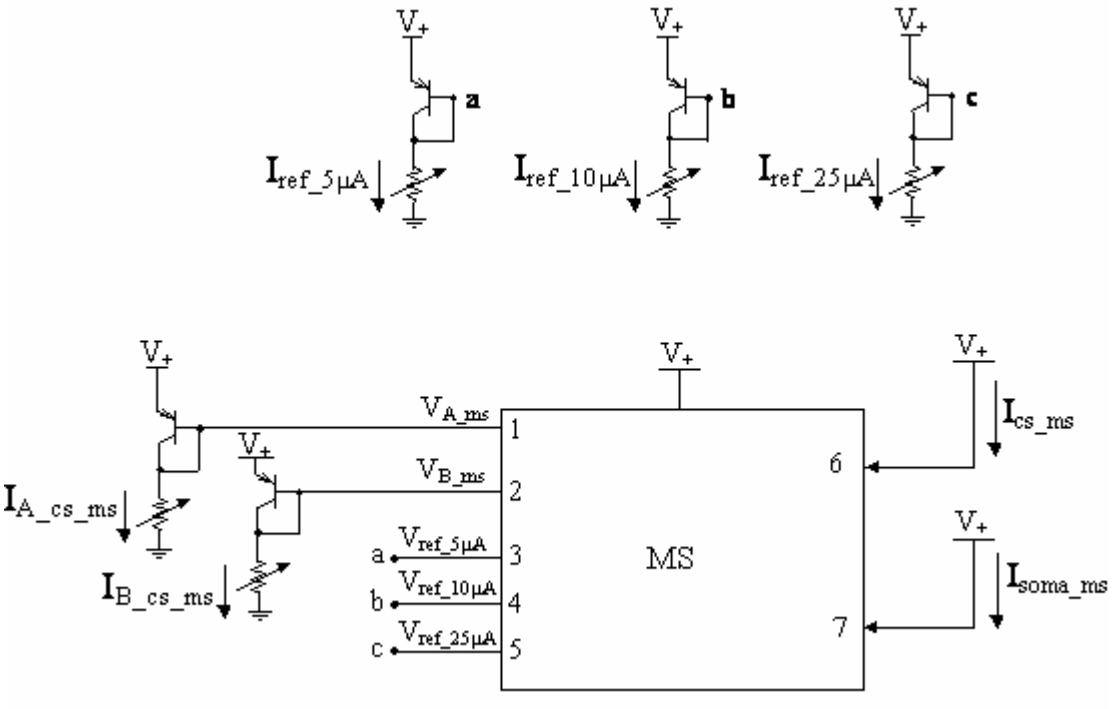


Figura 5.8 – Configuração simulada do Meio-Somador.

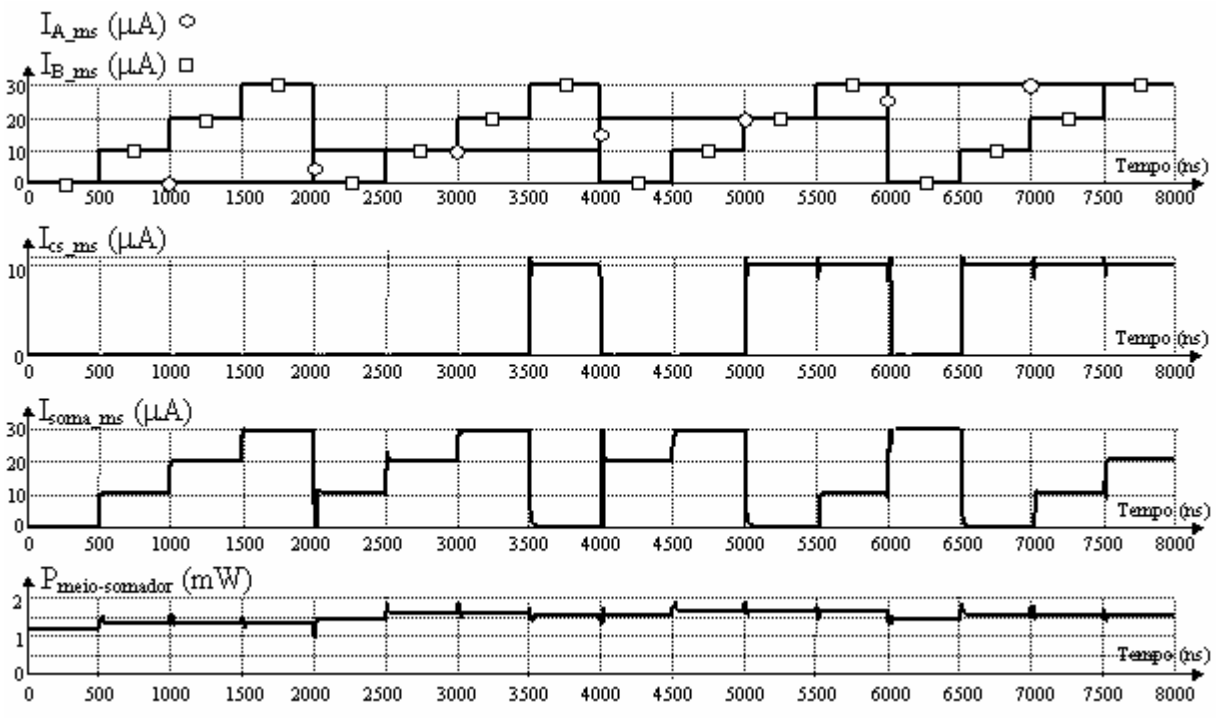


Figura 5.9 – Resultados gráficos da simulação do Meio-Somador.

Na Tabela 5.3, os resultados dos gráficos são transcritos:

Tempo	Corrente Elétrica (I_{cs_ms})	Corrente Elétrica (I_{soma_ms})	Potência ($P_{meio\text{-}somador}$)
De 0 até 500ns	3,1pA	18,4pA	1,2mW
De 500ns até 1000ns	2,7pA	10,3µA	1,3mW
De 1000ns até 1500ns	3,2pA	20,1µA	1,3mW
De 1500ns até 2000ns	2,9pA	29,5µA	1,3mW
De 2000ns até 2500ns	2,9pA	10,2µA	1,4mW
De 2500ns até 3000ns	2,6pA	20,2µA	1,6mW
De 3000ns até 3500ns	2,8pA	29,3µA	1,6mW
De 3500ns até 4000ns	10,1µA	37,4nA	1,5mW
De 4000ns até 4500ns	3,8pA	20,1µA	1,5mW
De 4500ns até 5000ns	3,1pA	29,4µA	1,7mW
De 5000ns até 5500ns	10,1µA	40,4nA	1,6mW
De 5500ns até 6000ns	10,1µA	10,2µA	1,6mW
De 6000ns até 6500ns	2,4pA	30,2µA	1,4mW
De 6500ns até 7000ns	10,1µA	40,9nA	1,6mW
De 7000ns até 7500ns	10,1µA	10,4µA	1,6mW
De 7500ns até 8000ns	10,1µA	20,6µA	1,6mW

Tabela 5.3 – Resultados de simulação.

FICHA TÉCNICA DO MEIO-SOMADOR QUATERNÁRIO:

- Número de transistores (que estão contidos dentro do bloco da Figura 5.7): 50 NPN e 42 PNP, totalizando 92;
- Tensão de alimentação: 2V;
- Potência média dissipada: 1,5mW;
- Tempo de resposta: 50ns (igual ao da porta X);
- Largura Mínima de Pulso: 500ns (igual ao da porta X).

Capítulo 6 – Somador Completo Quaternário

Um somador quaternário completo [26] de um dígito tem duas entradas A e B (os dígitos a serem somados), uma entrada de "carry", uma saída de "carry" e uma saída de resultado da soma.

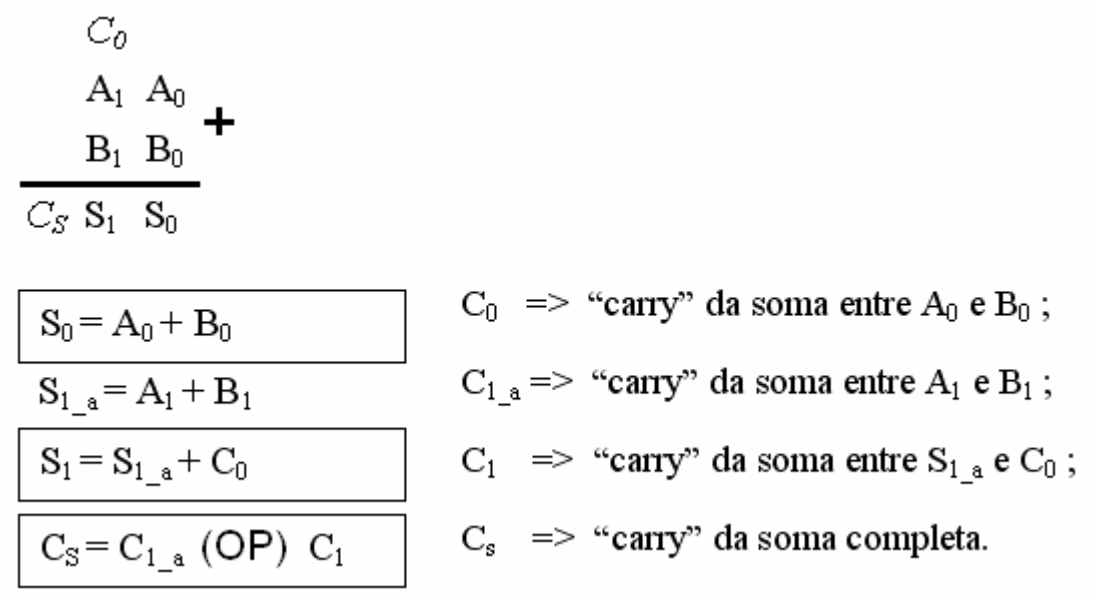


Figura 6.1 – Esquema de como se dá a operação de soma.

Para entender o funcionamento do Somador Completo é importante entender como se dá a operação de soma. Isto pode ser esquematizado através da Figura 6.1, onde se tem duas palavras de 2 dígitos quaternários cada uma, a palavra A e a palavra B, as quais possuem, respectivamente, os dígitos quaternários A_0 e A_1 , B_0 e B_1 . O termo C_0 representa o "carry" da soma entre A_0 e B_0 e S_0 representa o resultado dessa soma. O termo C_{1_a} representa o "carry" da soma entre A_1 e B_1 . O termo S_{1_a} representa o resultado da soma entre A_1 e B_1 . O termo C_1 representa o "carry" da soma entre C_0 e S_{1_a} , já, o termo S_1 representa o resultado dessa soma. O termo C_S representa o "carry" final da soma completa entre a palavra A e a palavra B, que resulta na palavra S, composta por S_0, S_1 e C_S . A origem de C_S é a operação (OP) entre C_{1_a} e C_1 que resulta em 1 sempre que quaisquer um dos dois "carries" (C_{1_a} e C_1) forem 1 e somente é 0 se os dois forem 0. Essa função pode ser feita por meio do uso de uma

porta lógica Máximo [11,21] ou por meio de uma porta lógica Beta [11, 13], porém, usa-se um circuito baseado no 'Bloco Chaveador', que economiza em termos de número de transistores, para fazer a operação (OP). O nome adotado para esta configuração é 'circuito "carry" do somador completo'.

6.1) Circuito eletrônico '"carry" do somador completo'

A função desta configuração é fornecer nível lógico quaternário 1 na saída sempre que algumas das duas entradas seja igual a 1, caso contrário, a saída deve ser 0. A configuração eletrônica se baseia no 'Bloco Chaveador' (Capítulo 2) e é apresentada na Figura 6.2, onde, uma corrente de referência de 5μA entra no terminal 1 do 'bloco chaveador' e as outras duas correntes de entrada (C_{1_a} e C_1) somam-se em um nó que se liga ao terminal 2 do 'bloco chaveador'. Portanto, sempre que a soma analógica de C_{1_a} e C_1 é menor que 5μA, ou seja, as duas correntes de entrada corresponderem ao nível 0 quaternário, então, a corrente de saída, C_S , é também correspondente ao nível 0 quaternário e tem valor 0μA. Porém, sempre que a soma analógica das correntes C_{1_a} e C_1 é maior que 5μA, a corrente de saída, C_S , tem o mesmo valor de $I_{ref_10\mu A}$ (que está inserida no terminal 3 do 'bloco chaveador'), ou seja, nível quaternário 1 (10μA).

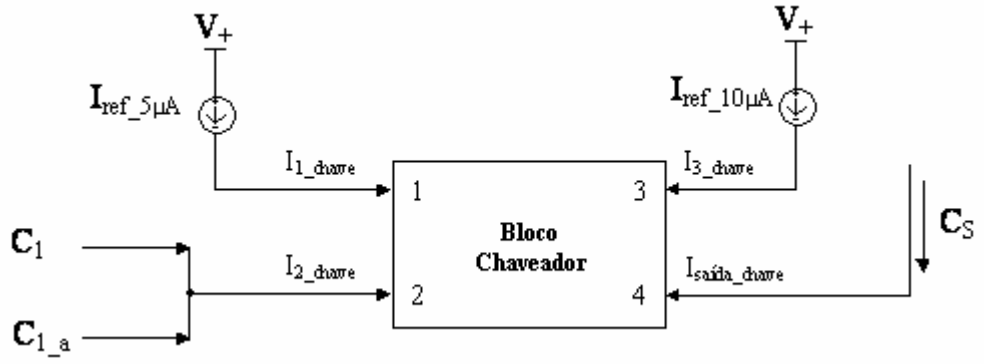


Figura 6.2 – Circuito eletrônico "carry" do somador completo.

A configuração para simulação do circuito é apresentada na Figura 6.3, onde, os resistores variáveis servem para se definir os valores de correntes adequados para cada terminal do 'bloco chaveador' e onde são usados os espelhos simples de corrente.

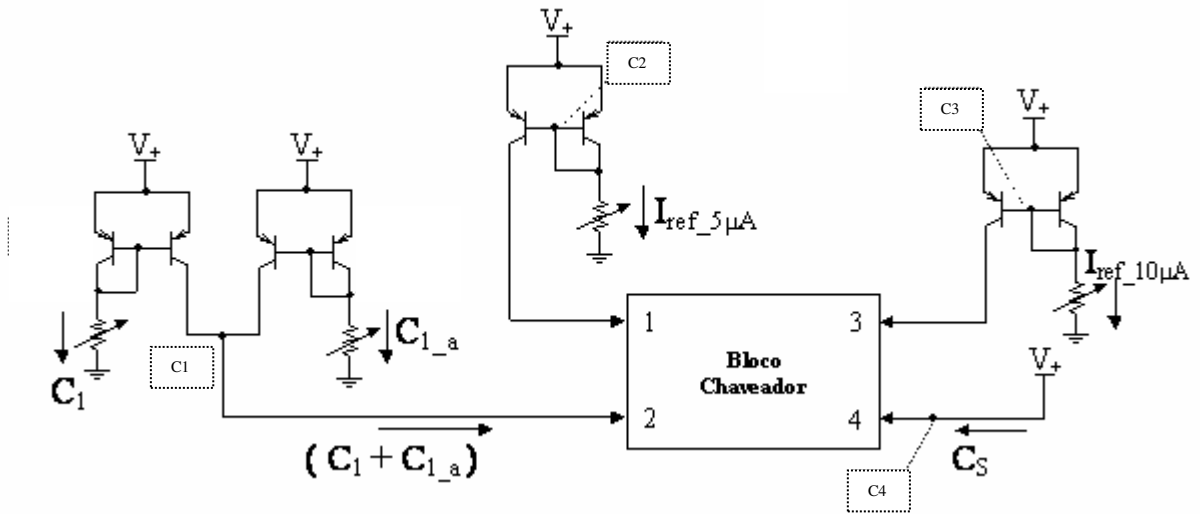


Figura 6.3 – Configuração para simulação do circuito ' "carry" do somador completo'.

Um bloco que represente a configuração em questão é apresentado na Figura 6.4. Ele possui 5 terminais, sendo que o 1 e o 2 são as tomadas de corrente de entrada C_{1_a} e C_1 , o terminal 3 e 4, $V_{ref_5\mu A}$ e $V_{ref_10\mu A}$, são as tomadas de tensões de referências para transistor PNP e o terminal 5 é a saída de corrente, C_S . Em relação a Figura 6.3, a representação em bloco tem a seguinte correspondência: o nó C1 com o terminal 1 e 2; o nó C2 com o terminal 3; o nó C3 com o terminal 4; e, o nó C4 com o terminal 5.

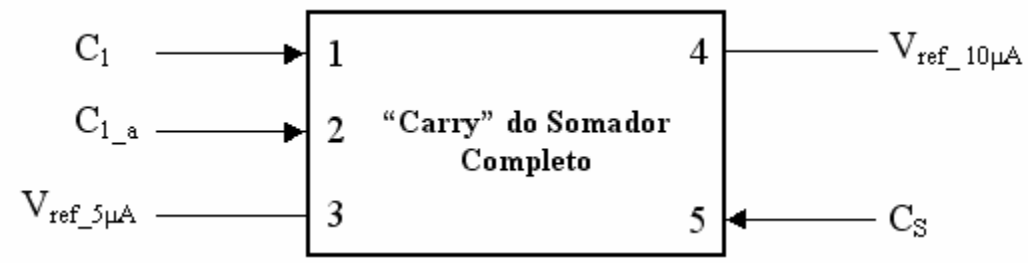


Figura 6.4 – Representação em bloco do circuito ' "carry" do somador completo'.

6.2) Somador Completo

O Somador Completo deve diferenciar-se do Meio-Somador apenas no aspecto referente a ter uma entrada de "carry". Analisando-se a Figura 6.1, que mostra uma operação de soma, vê-se que a primeira coluna daquela soma ($A_0 + B_0$) pode ser executada usando-se o circuito Meio-Somador, por outro lado, a segunda coluna necessita de outro circuito, um que consiga inserir na operação o "carry" que veio da soma anterior (o C_0). Portanto, é nesse ponto que aparece a necessidade do Somador Completo, ou seja, um circuito de soma que tenha entrada e saída de "carry".

Pode-se demonstrar a operação de soma da Figura 6.1, em termos de circuito eletrônico, na Figura 6.5 e para isso usa-se três meio-somadores e um circuito '"carry" do somador completo' para obtenção do "carry" da soma completa, o C_S (Figura 6.4). Além disso, também são necessários transistores adicionais para criação de espelhos de corrente e tensões de referências. Para a obtenção das tensões de referências tentou-se utilizar circuitos bandgap [23,24], porém, devido a não simplicidade destes circuitos em relação aos aqui apresentados (fontes de corrente ou espelhos de corrente), optou-se por não utilizar bandgap. Para $V_{ref_5\mu A}$, $V_{ref_10\mu A}$ e $V_{ref_25\mu A}$ utiliza-se espelhos de corrente baseados nas fontes de corrente do tipo Wilson [18], isso porque, os espelhos simples de corrente até então utilizados mostraram-se incapazes de reproduzir a corrente para vários coletores de outros transistores ligados em paralelo ao primeiro. Esse fato ocorre devido ao parâmetro beta finito dos dispositivos.

Na verdade, o somador completo, que possui uma entrada e uma saída de "carry" está inserido na Figura 6.5: ele é formado pelo Bloco 02 e 03 de meio-somadores e pelo bloco '"carry" do somador completo'. As três correntes de referências também são necessárias para a sua correta operação.

O esquema elétrico do somador completo é, isoladamente, apresentado na Figura 6.6, onde, o que está contido no interior da linha tracejada é o que forma o bloco do somador completo quaternário. Os resultado da soma é obtido na corrente de saída *Soma*, o resultado do "carry" de saída é obtido na corrente de saída C_S . Existem também três entradas de correntes de operação. São I_A , I_B e C_{in} , que correspondem, respectivamente: a entrada do dígito A a ser somado; a entrada do dígito B a ser somado; e, ao "carry" de entrada. Já, as três correntes de referência são $I_{ref_5\mu A}$, $I_{ref_10\mu A}$ e $I_{ref_25\mu A}$, que correspondem respectivamente: à corrente de referência de 5μA; à corrente de referência de 10μA; e, à corrente de referência de 25μA. Uma representação em bloco do somador completo quaternário é feita na Figura 6.9.

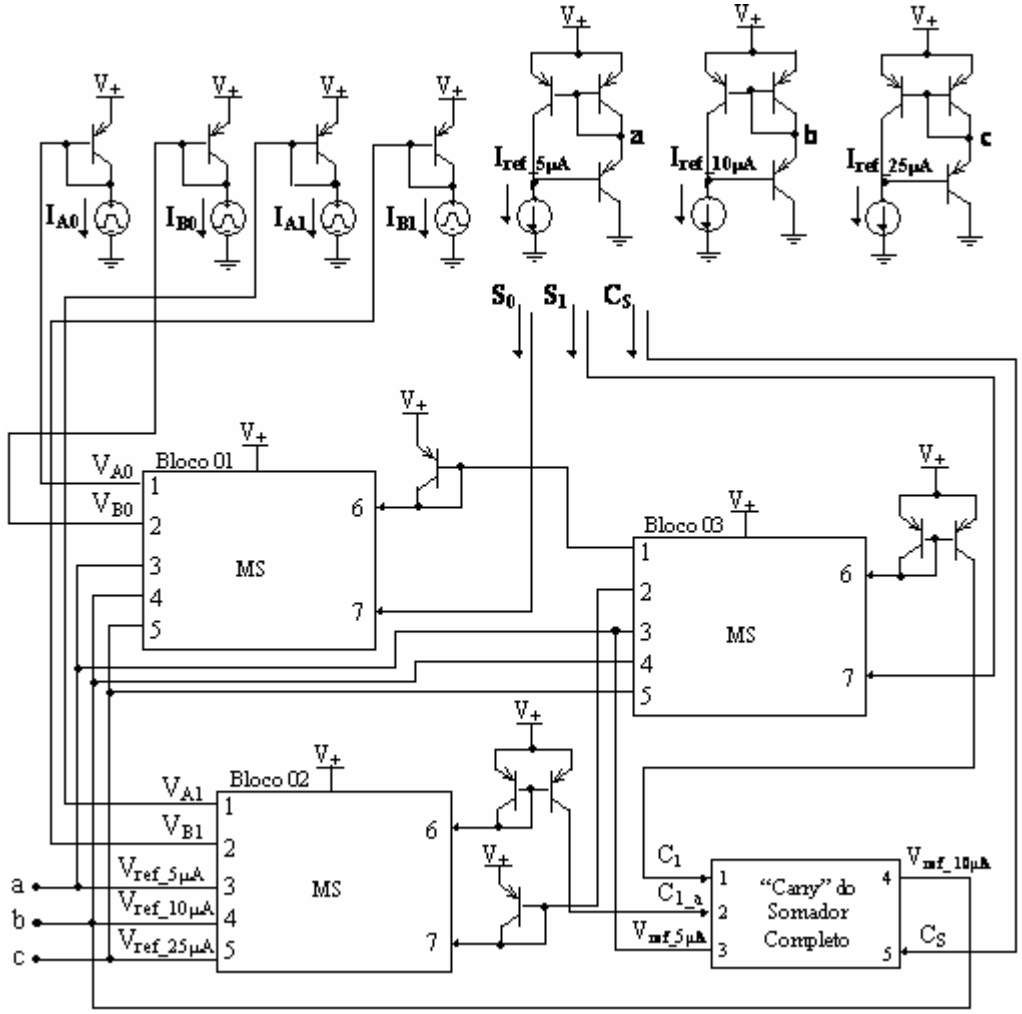


Figura 6.5 – Configuração que realiza a soma de duas palavras de 2 dígitos quaternários.

Tanto a configuração da Figura 6.5 quanto da Figura 6.6 foram simuladas. Para o caso da última, os resultados gráficos obtidos são apresentados na Figura 6.7. Para a realização da simulação utilizou-se como largura mínima de pulso o valor de 1μs, devido ao fato de que o tempo de resposta para um meio-somador é de 50ns (ver Capítulo 5), portanto, considera-se que para o somador completo, que basicamente são dois meio-somadores em cascata o tempo de resposta, que é uma grandeza acumulativa, é de 100ns. Sendo assim, a largura mínima de pulso adotada é de 100ns multiplicado por 10, ou seja, 1μs.

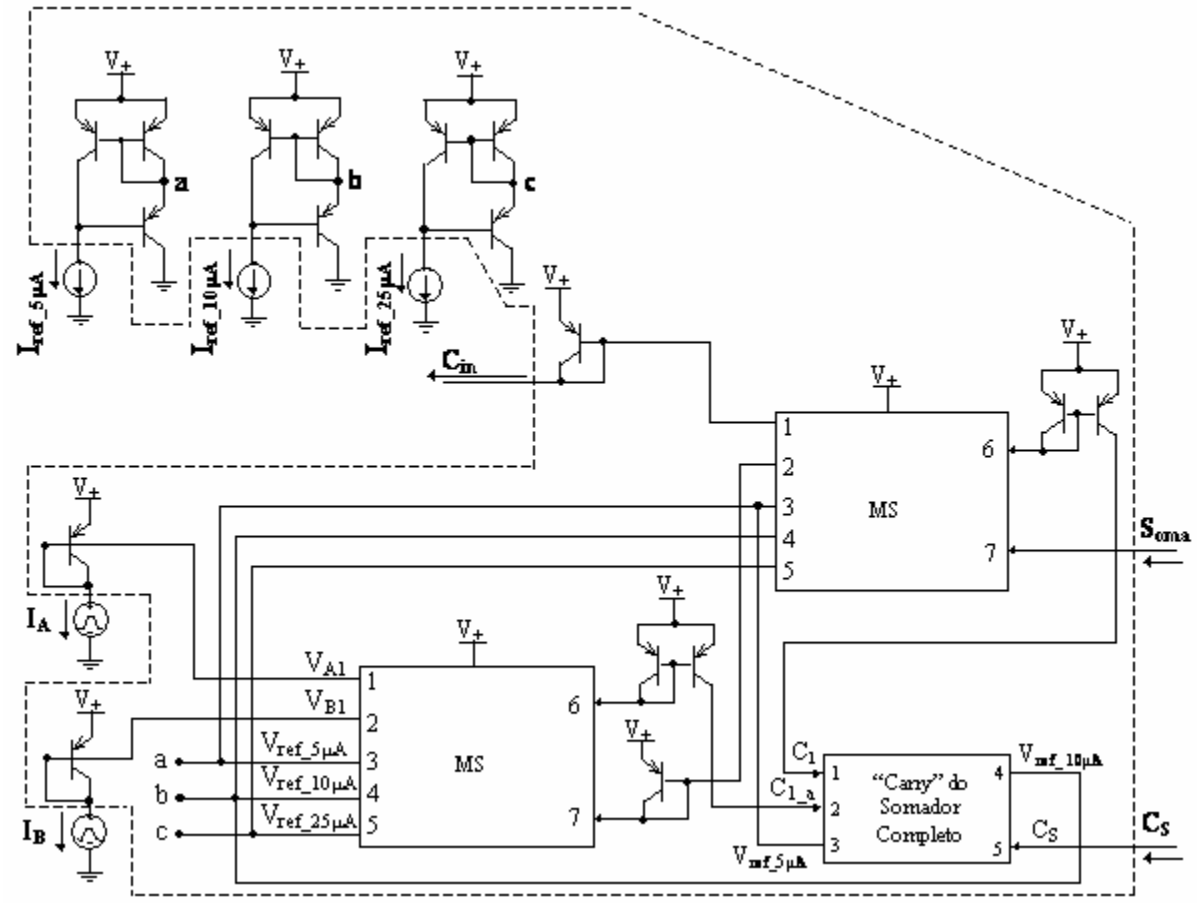
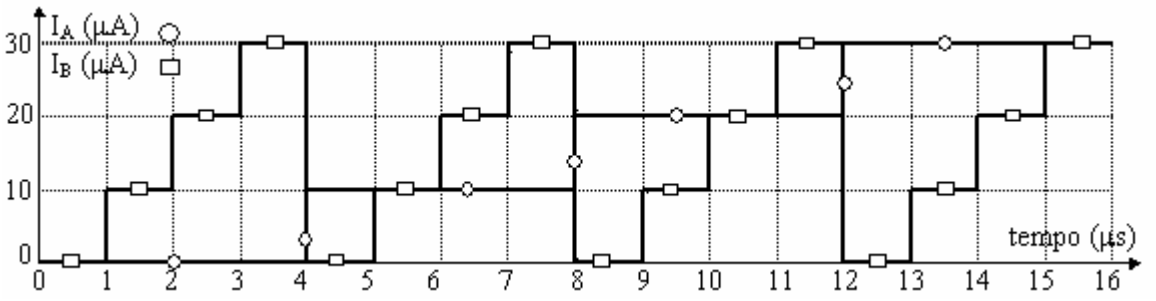
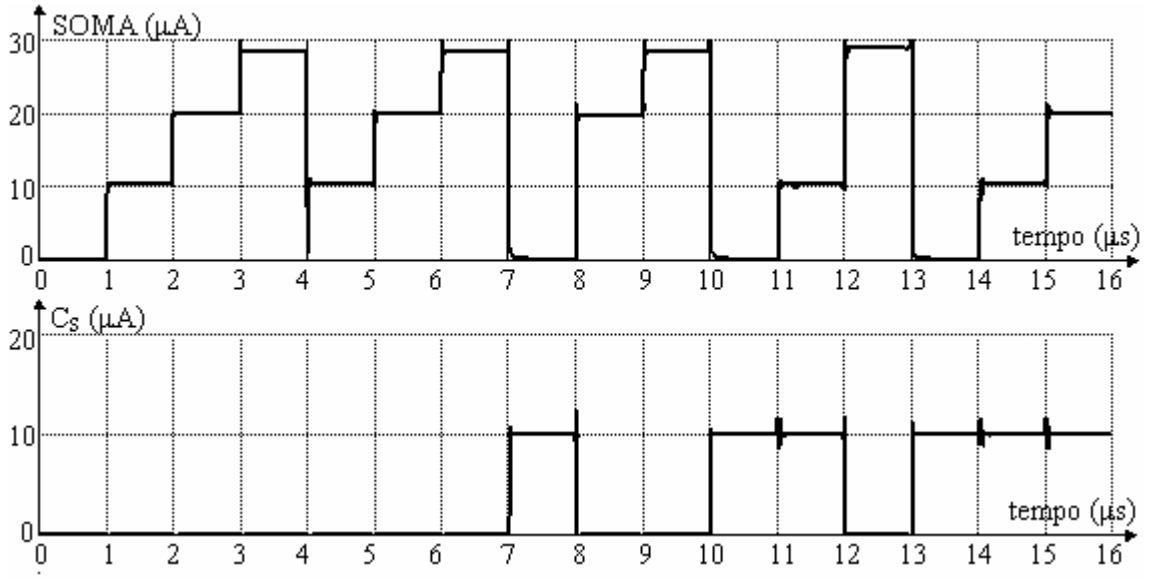


Figura 6.6 – Somador Completo.



RESULTADOS OBTIDOS PARA C_{in} = 0μA :



RESULTADOS OBTIDOS PARA C_{in} = 10μA :

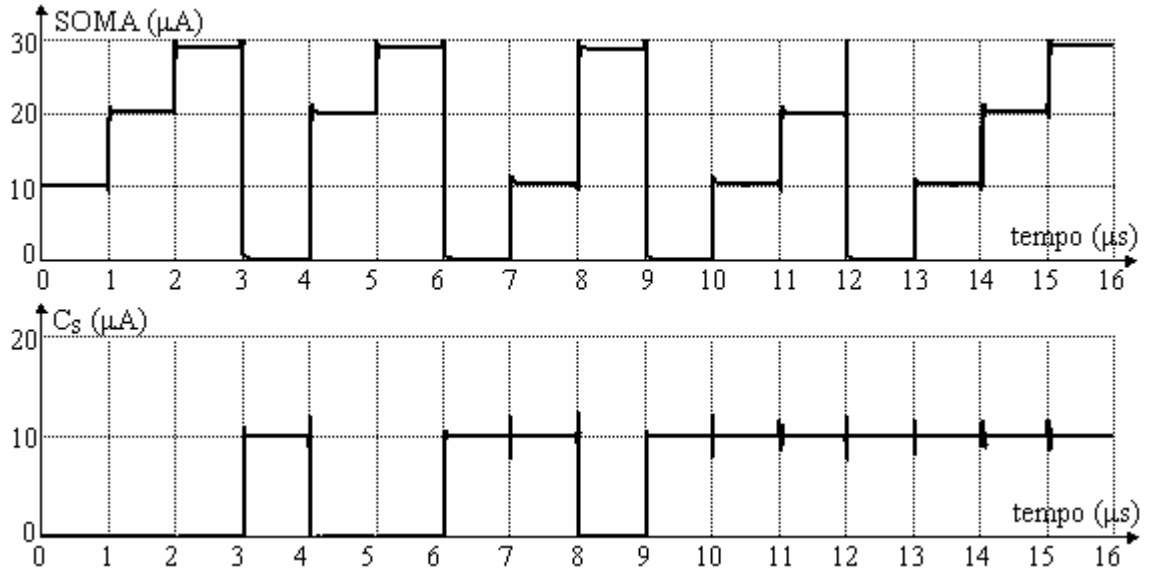


Figura 6.7 – Resultados gráficos de desempenho do Somador Completo.

Dois pares de curvas de saída (*SOMA* e C_S) são obtidos. Um par para o caso em que o "carry" de entrada C_{in} é igual ao nível lógico quaternário 0 (0μA) e o outro em que é igual a 1 (10μA). Dois gráficos para a dissipação de potência da configuração para cada situação de C_{in} são mostrados na Figura 6.8. O cálculo da potência dá-se multiplicando o valor da tensão de alimentação pelo valor da corrente fornecida por ela para cada situação de entrada. A potência elétrica é representada pelo termo $P_{somador}$ .Os valores obtidos nos gráficos são transcritos para a Tabela 6.1 e Tabela 6.2.

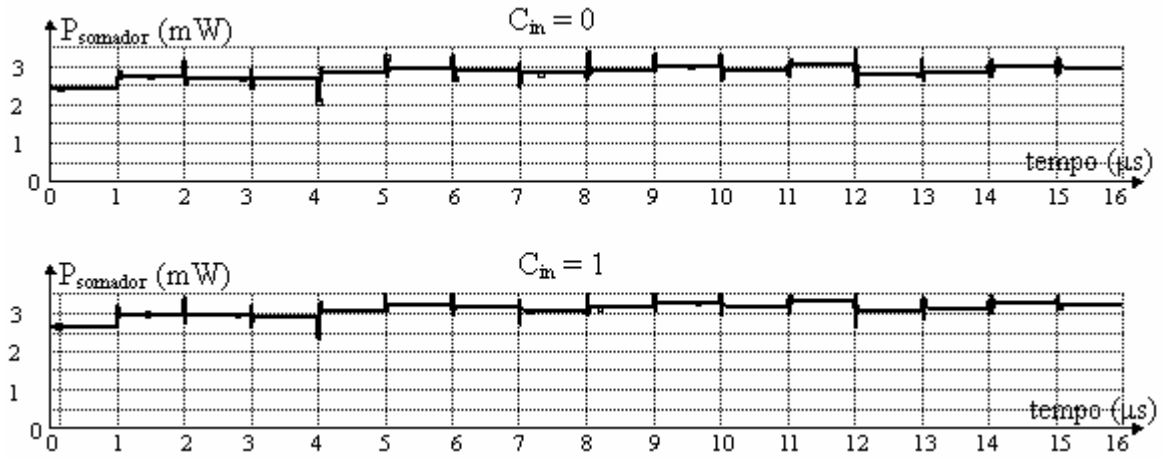


Figura 6.8 – Gráficos de Potência para $C_{in} = 0$ e $C_{in} = 1$.

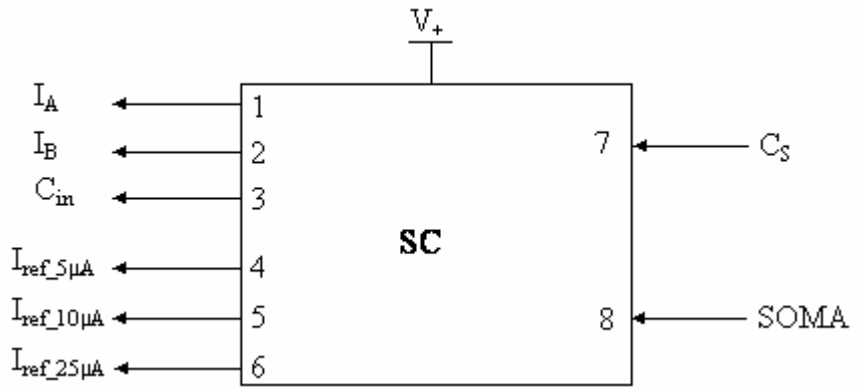


Figura 6.9 – Bloco do Somador Completo.

$C_{in} = 0$			
Tempo	**Corrente Elétrica (C_S)**	**Corrente Elétrica (*Soma*)**	**Potência ($P_{somador}$)**
De 0 até 1µs	3,4pA	31,2pA	2,4mW
De 1µs até 2µs	2,2pA	10,4µA	2,7mW
De 2µs até 3µs	2,8pA	19,7µA	2,7mW
De 3µs até 4µs	3pA	28,4µA	2,6mW
De 4µs até 5µs	3,1pA	10,2µA	2,8mW
De 5µs até 6µs	4,1pA	19,7µA	2,9mW
De 6µs até 7µs	3,3pA	28,2µA	2,9mW
De 7µs até 8µs	10µA	48,2nA	2,8mW
De 8µs até 9µs	2,8pA	19,6µA	2,8mW
De 9µs até 10µs	3pA	28,1µA	3mW
De 10µs até 11µs	10µA	59,6nA	2,9mW
De 11µs até 12µs	10µA	10,2µA	3mW
De 12µs até 13µs	3,1pA	28,8µA	2,8mW
De 13µs até 14µs	10µA	46,3nA	2,8mW
De 14µs até 15µs	10µA	10,4µA	3mW
De 15µs até 16µs	10µA	20µA	2,9mW

Tabela 6.1 – Resultados de simulação para o Somador Completo com $C_{in} = 0$.

$C_{in} = 1$			
Tempo	**Corrente Elétrica (C_S)**	**Corrente Elétrica (*Soma*)**	**Potência ($P_{somador}$)**
De 0 até 1µs	3,2pA	10,1µA	2,6mW
De 1µs até 2µs	4,2pA	20,1µA	2,9mW
De 2µs até 3µs	3pA	28,9µA	2,9mW
De 3µs até 4µs	10µA	15,9nA	2,9mW
De 4µs até 5µs	3pA	20µA	3mW
De 5µs até 6µs	3pA	28,9µA	3,2mW
De 6µs até 7µs	10µA	14,8nA	3,1mW
De 7µs até 8µs	10µA	10,2µA	3mW
De 8µs até 9µs	3pA	28,7µA	3,1mW
De 9µs até 10µs	10µA	17,8nA	3,2mW
De 10µs até 11µs	10µA	10,2µA	3,1mW
De 11µs até 12µs	10µA	20µA	3,3mW
De 12µs até 13µs	10µA	17,1nA	3mW
De 13µs até 14µs	10µA	10,2µA	3,1mW
De 14µs até 15µs	10µA	20,1µA	3,2mW
De 15µs até 16µs	10µA	29,1µA	3,2mW

Tabela 6.2 – Resultados de simulação para o Somador Completo com $C_{in} = 1$.

FICHA TÉCNICA DO SOMADOR COMPLETO:

- Número de transistores: (que estão contidos dentro do bloco da Figura 6.9): 105 NPN e 103 PNP, totalizando 208;
- Tensão de alimentação: 2V;
- Potência média dissipada: 2,7mW quando $C_{in} = 0$ e 3mW quando $C_{in} = 1$;
- Tempo de resposta adotado: 100ns;
- Largura mínima de pulso adotada: 1μs.

Capítulo 7 - Porta Lógica Alfa

7.1) Apresentação

Operação Lógica Alfa (α): É a operação de mínimo entre as variáveis, ela é exatamente igual à operação AND da Lógica Binária. Ou seja:

$$A \alpha B = \begin{cases} A & se \quad A \leq B \\ B & se \quad B < A \end{cases} \qquad \text{(**Equação** 7.1)}$$

Outra maneira de entender a operação lógica alfa é lembrar-se que o dígito de maior relevância (valor dominante) é o 0, o próximo na hierarquia de relevância é o 1 , o próximo é o 2 e o indiferente é o 3 como apresentado na Figura 7.1 .

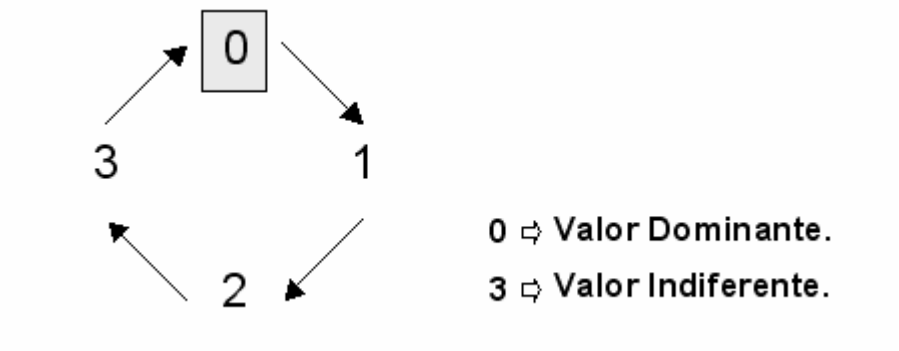


Figura 7.1 – Esquema da hierarquia de relevância.

Isto significa que:

Aα0 = 0	,qualquer que seja A ;
Aα1 = 1	, desde que, $A \neq 0$;
Aα2 = 2	, desde que $A \neq 0$ e $A \neq 1$;
Aα3 = A	, pois 3 é indiferente na operação α .

Resumidamente, a característica de uma Porta Lógica Alfa pode ser expressa através de um Mapa de Karnaugh - Veitch como apresentado na Tabela 7.1.

	A				
B	α	0	1	2	3
	0	0	0	0	0
	1	0	1	1	1
	2	0	1	2	2
	3	0	1	2	3

Tabela 7.1 – Mapa de Karnaugh - Veitch de uma Porta Alfa de 2 entradas

7.2) Porta Lógica Alfa ideal

Uma porta lógica ideal é aquela que se utiliza de componentes eletrônicos ideais para sua construção e fontes de alimentação também ideais. A construção elétrica desta porta lógica é apresentada em termos de transistores bipolares NPN operando em modo corrente na Figura 7.2. É baseada no circuito "Seletor de Mínimo" de Seevinck [8]. Para uma demonstração básica de seu funcionamento são necessários apenas quatro transistores e duas fontes de corrente. A adaptação deste circuito básico e teórico para uma configuração real exige o uso de espelhos de corrente e fonte de tensão. A análise de circuito é apresentada com a ajuda da Figura 7.2. Pode-se dizer que, apesar de representar uma configuração teórica, é suficiente para entender-se o funcionamento básico e depois o real da configuração.

De acordo com o circuito da Figura 7.2, aplicando-se o princípio da translinearidade [9, 25] pode-se concluir que:

$$I_1 * I_3 = I_2 * I_4 \qquad \textbf{(Equação 7.2)}$$

A dedução da equação 7.2 e o Princípio da Translinearidade [25] são apresentados no *'Apêndice 4 - Princípio translinear'*.

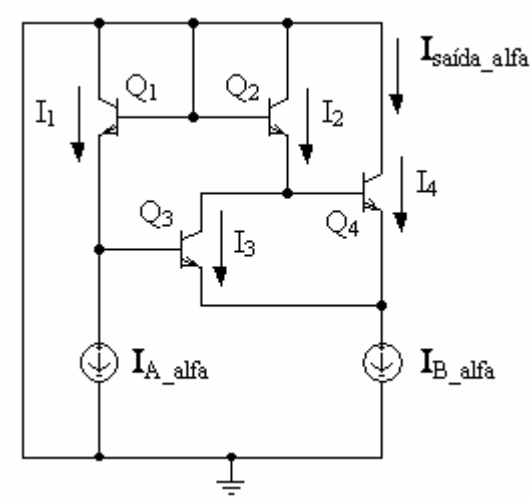


Figura 7.2 – Porta Alfa teórica de 2 entradas.

Antes de iniciar a análise, pode-se estabelecer alguns preceitos para facilitar o processo. Pode-se considerar correntes de base iguais a zero (imaginando-se, assim, transistores com ganho β infinito). Isto facilita a análise do comportamento elétrico do circuito sem prejudicar o seu entendimento real. É uma situação hipotética, pois o ganho β dos transistores é em geral inferior a 1000. Três situações de análise são importantes de serem feitas: quando $I_{A_alfa} > I_{B_alfa}$; quando $I_{A_alfa} < I_{B_alfa}$; quando $I_{A_alfa} = I_{B_alfa}$.

- Quando $I_{A_alfa} > I_{B_alfa}$:

Através da observação do circuito e considerando-se todos os transistores operando na Região Ativa pode-se escrever:

$I_{B_alfa} = I_4 + I_3$ (**Equação** 7.3)

$I_{A_alfa} = I_1$ (**Equação** 7.4)

$I_3 = I_2$ (**Equação** 7.5)

$I_4 = I_{saída_alfa}$ (**Equação** 7.6)

Assim, aplicando as equações 7.4, 7.5 e 7.6 em 7.2, obtém-se:

$I_{A_alfa} * I_3 = I_3 * I_{saída_alfa}$

$I_{saída_alfa} = I_{A_alfa}$ (**Equação** 7.7)

A equação 7.6 em 7.3 faz:

$I_{B_alfa} = I_{saída_alfa} + I_3$ (**Equação** 7.8)

Porém, se no início foi dito que $I_{A_alfa} > I_{B_alfa}$, então, as 2 últimas equações apresentam incoerência. A corrente I_{B_alfa} não pode ser a soma de I_{A_alfa} ($I_{saída_alfa}$) com I_3, afinal, $I_{A_alfa} > I_{B_alfa}$.

Esta incoerência de equação ocorre pelo fato de ter-se considerado todos os transistores operando na região ativa. Outra análise, então, deve ser feita: ainda considerando o valor do β infinito, pode-se supor que Q_3 esteja cortado. Portanto, agora, através da observação do circuito com Q_3 cortado, pode-se escrever:

$I_3 = 0$ (**Equação** 7.9)

$I_2 = 0$ (**Equação** 7.10)

Com as equações 7.3, 7.4, 7.6, 7.9 e 7.10, obtém-se:

$I_{B_alfa} = I_{saída_alfa} + 0$

$I_{saída_alfa} = I_{B_alfa}$ (**Equação** 7.14)

O resultado de 7.14 é coerente. Pode-se fazer uma verificação usando-se a equação da translinearidade 7.2 ($I_1 * I_3 = I_2 * I_4$) com 7.9, 7.10, 7.12 e 7.13:

$I_{A_alfa} * 0 = 0 * I_{saída_alfa}$ (Aqui, não se pode concluir que $I_{A_alfa} = I_{saída_alfa}$)

Portanto, o resultado em 7.14 está coerente mesmo e $I_{B_alfa} = I_{saída_alfa}$.

Conclusão: Quando $I_{A_alfa} > I_{B_alfa}$, $I_{saída\ _alfa} = I_{B_alfa}$. Ou seja, o mínimo valor.

- Quando $I_{A_alfa} < I_{B_alfa}$ *:*

Considerando-se todos os transistores operando na Região Ativa pode-se reescrever as equações 7.7 e 7.8:

$I_{saída_alfa} = I_{A_alfa}$ (**Equação** 7.7)

$I_{B_alfa} = I_{sai_alfa} + I_3$ (**Equação** 7.8)

$\therefore$

$I_{B_alfa} = I_{A_alfa} + I_3$

É correto concluir que 7.7 está coerente, porque I_{B_alfa} é a soma de I_{A_alfa} com outro valor qualquer de corrente I_3. E, inicialmente, I_{B_alfa} foi considerado maior que I_{A_alfa} .

Conclusão: Quando $I_{A_alfa} < I_{B_alfa}$, $I_{saída_alfa} = I_{A_alfa}$. Ou seja, o mínimo valor.

- Quando $I_{A_alfa} = I_{B_alfa}$ *:*

Esta situação é igual ao primeiro caso ($I_{A_alfa} > I_{B_alfa}$), já que se está considerando β igual ao infinito.

Conclusão: Quando $I_{A_alfa} = I_{B_alfa}$, $I_{saída_alfa} = I_{B_alfa}$. Ou seja, o mínimo valor.

7.3) Porta Lógica Alfa real

Até o momento, a Porta Alfa tem sido apresentada utilizando-se de componentes eletrônicos ideais e valor de ganho β teórico igual ao infinito. Além disso, ela tem sido apresentada com fontes de corrente ideais e sem espelhos de corrente para receber, em uma eventual montagem prática ou na simulação, as correntes de entrada e fornecer a corrente de

saída. Porém, quando se faz o uso de componentes eletrônicos reais ou modelos de simulador de circuitos, usa-se fontes de corrente reais ou modeladas e coloca-se espelhos de correntes para distribuí-las no circuito, a máxima freqüência de trabalho passa a ter um valor finito e outra característica indesejada do circuito também torna-se importante, que ocorre devido ao valor finito do ganho β, o 'Erro de Amplitude' (ver *'Apêndice 2 – Erro de Amplitude'*) .

Para o circuito da Figura 7.2 funcionar como deve em um ambiente real e não somente no simulador de circuitos eletrônicos (que possui as fontes de correntes ideais) é necessário transformá-lo em uma configuração praticável (ver Figura 7.3), ou seja, inserir espelhos de corrente, inserir um fornecedor de corrente praticável, usar componentes eletrônicos reais e inserir uma fonte de tensão de alimentação (V_+) que irá suprir a "copiagem" das correntes nos espelhos.

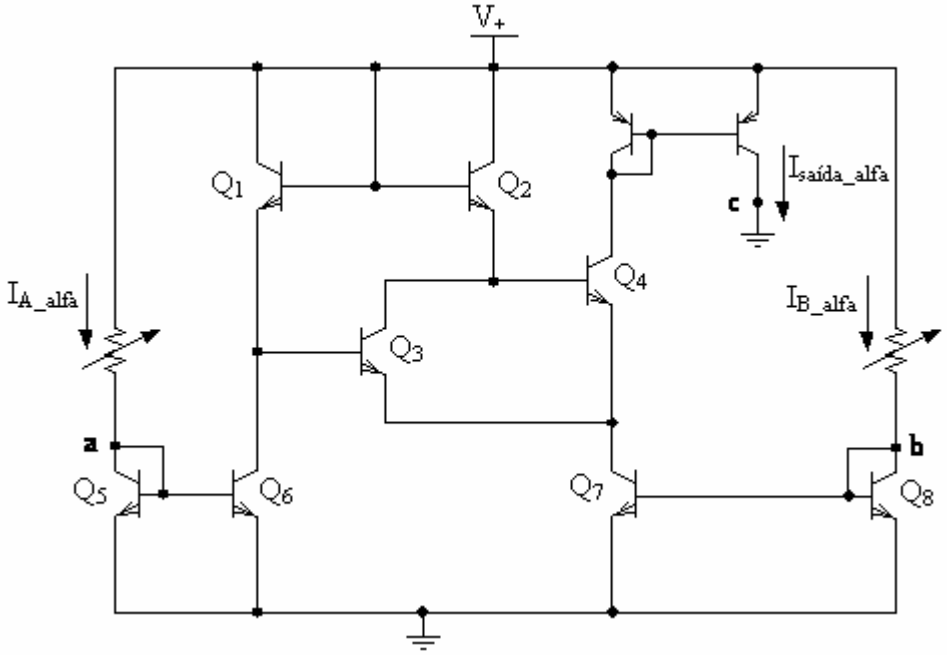


Figura 7.3 – Porta Alfa de duas entradas.

A simulação do circuito porta alfa tem o intuito de apresentar o funcionamento em termos de gráficos de entradas e de saída para as correntes elétricas e se baseia na Figura 7.3. Os transistores usados são do tipo bipolar NPN e PNP. Maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

Inicialmente, faz-se uma variação em degraus de 0μA, 10μA, 20μA e 30μA das correntes de entrada I_{A_alfa} e I_{B_alfa}, sendo que os degraus para a primeira corrente tem duração temporal de 4 segundos cada, já, os degraus da segunda corrente tem duração temporal de 1 segundo cada, isso ocasiona gráficos como os mostrados na Figura 7.4, onde todas as combinações possíveis de níveis quaternários estão explicitadas.

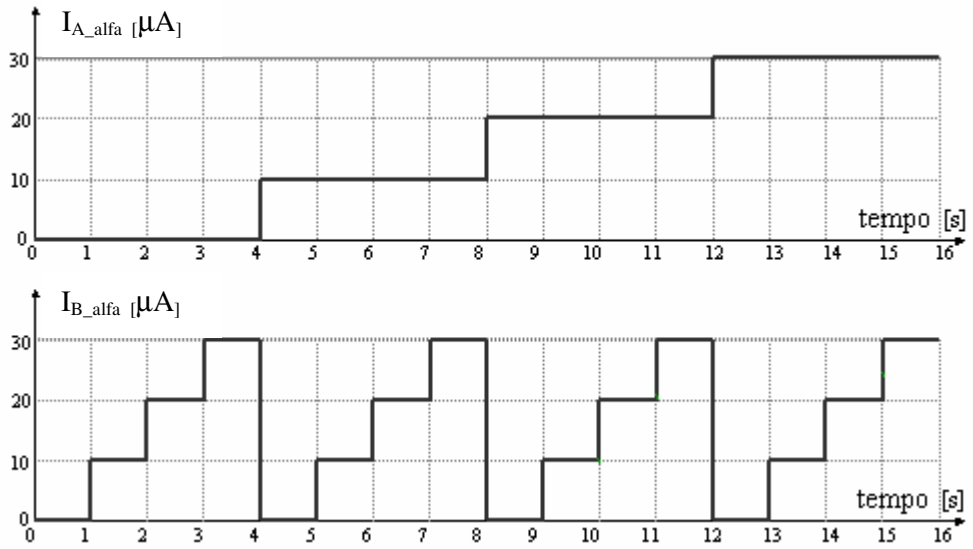


Figura 7.4 – Gráfico de correntes de entrada com largura menor de pulso de 1 segundo.

Ao mesmo tempo, parametricamente, varia-se a tensão de alimentação, V_+ , de 0 até 4 volts em passos de 0,1 volts. Isso tem o intuito de se descobrir a tensão de alimentação mais apropriada para a montagem. Essa variação paramétrica na tensão de alimentação (V_+) ao mesmo tempo em que as correntes de entrada estão acontecendo, cria valores de corrente de saída dentro e fora de faixas de aceitação pré-estabelecidas para cada valor nominal discreto de nível de corrente quaternária (ver as definições das faixas de aceitação pré-estabelecidas no *'Apêndice 2 - Erro de Amplitude'*). O resultado obtido da variação desta tensão entre 0 e 4 volts em passos de 0,1 volts mostrou que a tensão de alimentação (V_+) deve situar-se entre 1.9 e 2,2 volts para esta configuração específica. Fazendo-se a média simples destes dois valores, obtém-se 2 volts. Portanto, este é o valor, por hora, adotado para a realização da simulação de chaveamento do circuito.

O chaveamento tem o intuito de mostrar qual o pior tempo de resposta do circuito para as mudanças de estados na entradas. Faz-se, então, no simulador de circuitos eletrônicos todas mudanças possíveis de níveis nas duas entradas da porta Alfa. Ou seja, são realizadas 240 mudanças usando a duração temporal para cada nível em 100ns. Alguns exemplos das 240 trocas de estados são: de 00 para 01, de 00 para 02, de 30 para 03, de 10 para 20, de 11 para 22, de 00 para 32, etc. Encontrou-se como pior caso, ou seja, maior tempo de resposta, o valor de 50ns.

Faz-se a simulação de desempenho para verificação da correta operação da porta Alfa usando-se 500ns de duração temporal de pulso mínima, ou seja, algo dez vezes maior que o tempo de resposta, ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*. Na Figura 7.5, são apresentados o resultado da operação Alfa ($I_{saída_alfa}$) e os gráficos de entradas, I_{A_alfa} e I_{B_alfa}, além do gráfico de potência P_{alfa}.

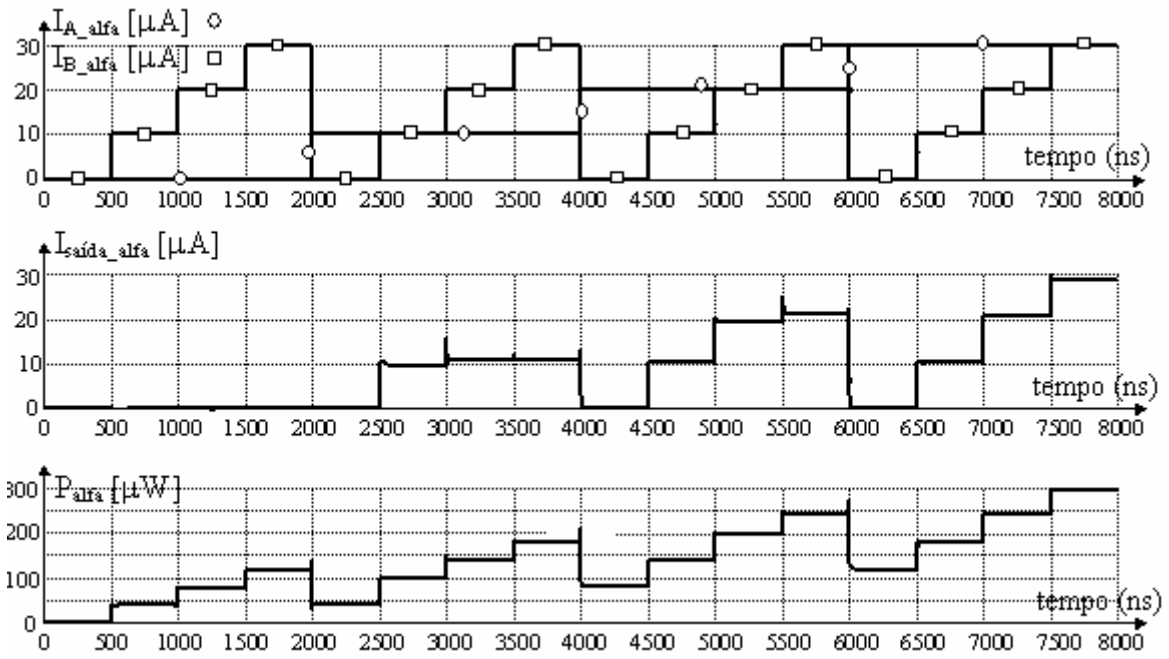


Figura 7.5 – Resultados gráficos de simulação da porta Alfa.

Os valores de corrente elétrica $I_{saída_alfa}$ e de potência P_{alfa} são transcritos dos gráficos para a Tabela 7.2.

Tempo	Corrente Elétrica ($I_{saída_alfa}$)	Potência (P_{alfa})
De 0 até 500ns	7,4pA	59,3pW
De 500ns até 1000ns	111,6nA	39,6 µW
De 1000ns até 1500ns	235,5nA	79,2 µW
De 1500ns até 2000ns	357,7nA	118,8 µW
De 2000ns até 2500ns	23,5nA	40 µW
De 2500ns até 3000ns	9,8µA	98,8 µW
De 3000ns até 3500ns	11 µA	140,5 µW
De 3500ns até 4000ns	11,2uA	180,2 µW
De 4000ns até 4500ns	38,6nA	79,8 µW
De 4500ns até 5000ns	10,5 µA	140,2 µW
De 5000ns até 5500ns	19,3 µA	197 µW
De 5500ns até 6000ns	21,3 µA	240,3 µW
De 6000ns até 6500ns	28nA	119,7 µW
De 6500ns até 7000ns	10,5 µA	180 µW
De 7000ns até 7500ns	20,5 µA	239,4 µW
De 7500ns até 8000ns	28,6 µA	294,8 µW

Tabela 7.2 – Resultados de simulação.

Com o objetivo de mostrar a dissipação de potência da porta Alfa, faz-se a multiplicação da tensão de alimentação, V_+ (2 volts), com a corrente elétrica que é fornecida por esta fonte de tensão. O resultado obtido é mostrado no gráfico da Figura 7.5, onde, P_{alfa} corresponde àquele produto e varia conforme a situação de entrada (I_{A_alfa} e I_{B_alfa}). Com o intuito de se ter um valor para atribuir à dissipação de potência do circuito, faz-se a média simples destes 16 valores obtidos. Apesar de isto não ter uma representação científica importante, permite comparações superficiais com outros circuitos equivalentes. O valor obtido desta média é de 131 µW.

Uma representação em bloco da porta Alfa é mostrada na Figura 7.6. Em relação a Figura 7.3, o terminal 1 corresponde ao ponto a, onde entra a corrente I_{A_alfa} , o terminal 2

corresponde ao ponto b, onde entra a corrente I_{B_alfa} e o terminal 3 corresponde ao ponto c, por onde é fornecida a corrente de saída $I_{saída_alfa}$.

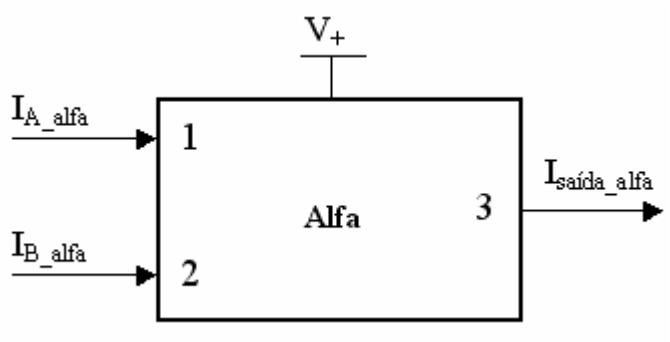


Figura 7.6 – Representação em bloco da porta Alfa.

FICHA TÉCNICA DA PORTA ALFA:

- Número de transistores (que estão contidos dentro do bloco da Figura 7.6): 8 NPN, 2 PNP totalizando 10.
- Tensão de alimentação: 2V;
- Potência média dissipada: 131 μW;
- Tempo de resposta: 50ns;
- Largura Mínima de Pulso: 500ns.

Capítulo 8 - Porta Lógica Max

8.1) Discussão

Operação Lógica Máximo (Max): É a operação de máximo entre as entradas, ela é exatamente igual à operação OR da Lógica Binária. Ou seja:

$$A\ MAX\ B = \begin{cases} A & se \quad A \geq B \\ B & se \quad B > A \end{cases} \qquad \text{(Equação 8.1)}$$

Outra maneira de entender a operação lógica MAX, na base quaternária, é lembrar-se que o dígito de maior relevância (valor dominante) é o 3, o próximo na hierarquia de relevância é o 2 , o próximo é o 1 e o indiferente é o 0 como apresentado na Figura 8.1 .

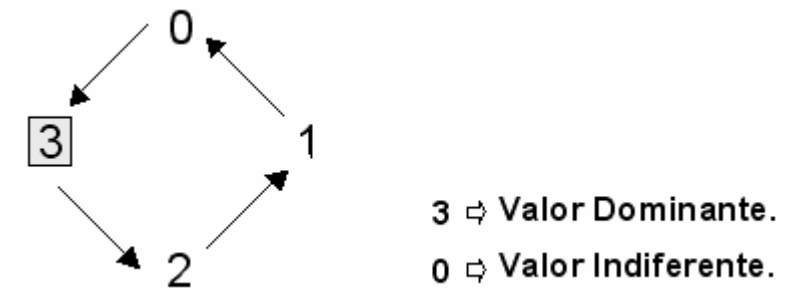


Figura 8.1 – Esquema da hierarquia de relevância.

Isto significa que:

A MAX 3 = 3 ,qualquer que seja A;

A MAX 2 = 2 , desde que, $A \neq 3$;

A MAX 1 = 1 , desde que $A \neq 3$ e $A \neq 2$;

A MAX 0 = A , pois 0 é indiferente na operação MAX

Resumidamente, a característica de uma Porta Lógica MAX pode ser expressa através de um Mapa de Karnaugh-Veitch como apresentado na Tabela 8.1.

		A			
	MAX	**0**	**1**	**2**	**3**
B	**0**	0	1	2	3
	1	1	1	2	3
	2	2	2	2	3
	3	3	3	3	3

Tabela 8.1 – Mapa de Karnaugh-Veitch de uma Porta MAX de 2 entradas

8.2) Porta Lógica Max ideal – Princípio de funcionamento

A configuração elétrica desta porta lógica é apresentada em termos de transistores bipolares NPN operando em modo corrente na Figura 8.2, onde as 2 entradas são I_{A_max} e I_{B_max} e a saída é $I_{saída_max}$. É baseada no circuito "Seletor de Máximo" de Seevinck [8]. Em um primeiro momento, para uma demonstração básica de seu funcionamento, usa-se apenas cinco transistores com ganho β próximo ao infinito, duas fontes de corrente ideais e uma fonte de tensão de alimentação. A adaptação deste circuito básico, didático e teórico para uma montagem real exige o uso de espelhos de corrente e valor de fonte de tensão adequado para a

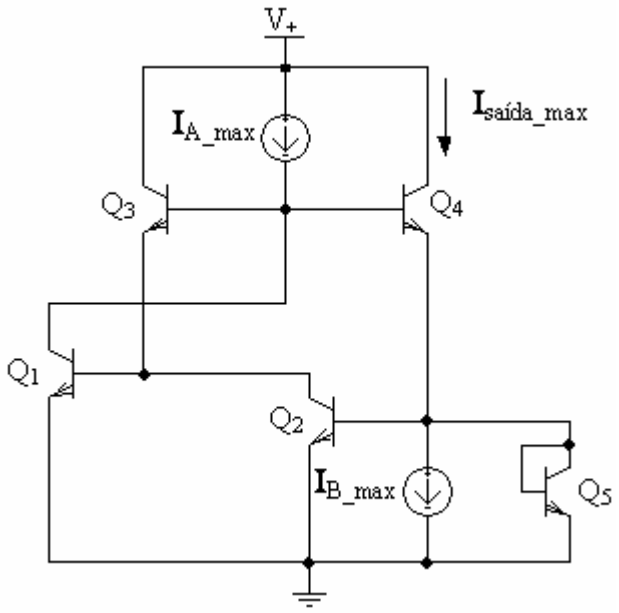


Figura 8.2 – Esquema elétrico da Porta MAX sem os espelhos de corrente nas entradas e na saída.

situação, além de uma adaptação nos valores dos níveis discretos de corrente a ser vista mais adiante. A análise de circuito é apresentada com a ajuda da Figura 8.2. Pode-se notar que apesar de representar uma montagem teórica, é suficiente para entender-se o funcionamento básico e então, depois, entender o funcionamento real da configuração.

De acordo com o circuito, aplicando-se o princípio da translinearidade (*Apêndice 4 – Princípio da Translinearidade*) pode-se concluir que:

$$I_1 * I_3 = I_2 * I_4 \qquad \textbf{(Equação 8.2)}$$

Onde, estas correntes são correntes de coletor para os transistores Q_1, Q_3, Q_2 e Q_4 respectivamente.

Antes de iniciar a análise, pode-se estabelecer alguns preceitos para facilitar o processo: podemos considerar correntes de base iguais a zero (imaginando-se, assim, transistores com ganho β infinito). Isto facilita a análise do comportamento elétrico do circuito sem prejudicar em demasiado o entendimento real. É uma situação hipotética, pois o ganho dos transistores é menor que 1000. Três situações de análise são importantes de serem feitas: quando $I_{A_max} > I_{B_max}$; quando $I_{A_max} < I_{B_max}$; quando $I_{A_max} = I_{B_max}$.

- Quando $I_{A_max} > I_{B_max}$:

Através da observação do circuito e considerando-se todos os transistores operando na Região Ativa pode-se escrever:

$$I_{A_max} = I_1 \qquad \textbf{(Equação 8.3)}$$
$$I_3 = I_2 \qquad \textbf{(Equação 8.4)}$$
$$I_4 = I_{saída_max} \qquad \textbf{(Equação 8.5)}$$

Assim, aplicando as equações 8.3, 8.4 e 8.5 em 8.2, obtém-se:

$I_{A_max} * I_3 = I_3 * I_{saída_max}$

$I_{saída_max} = I_{A_max}$ (**Equação** 8.6)

A conclusão obtida em 8.6 para o valor da corrente de saída parece coerente, pois, no nó onde está I_{B_max} , a base de Q_2 e o transistor-diodo Q_5 a somatória das correntes é coerente. Ou seja, pelo fato de I_{A_max} ser maior que I_{B_max} , parte da corrente de emissor (I_{E4}) do transistor Q_4 escoará pelo transistor-diodo Q_5 , pois $I_{E4} = I_4 = I_{A_max}$.

Conclusão: Quando $I_{A_max} > I_{B_max}$, $I_{saída_max} = I_{A_max}$. Ou seja, o máximo valor.

- Quando $I_{A_max} < I_{B_max}$ *:*

Considerando-se todos os transistores operando na Região Ativa pode-se reescrever, aqui, a equação 8.6 :

$I_{saída_max} = I_{A_max}$ (**Equação** 8.6)

É fácil perceber que,

$I_{B_max} + I_5 = I_{E4}$

$I_{E4} = I_4 = I_{A_max}$ (considerando-se o parâmetro β do transistor próximo ao infinito)

$\therefore$

$I_{B_max} + I_5 = I_{saída_max}$ (**Equação** 8.7)

Se , $I_{A_max} < I_{B_max}$, então, a partir de 8.7, conclui-se que $I_{saída_max} < I_{B_max}$. E, para que isto aconteça, I_5 deve ter valor negativo, que, praticamente falando, significa estar saindo do coletor de Q_5 e isto é impossível, pois Q_5 é um transistor ligado como diodo. Pode ser visto como um diodo com o material P ligado ao nó em questão! Desse modo, ocorreu uma incoerência na hipótese de considerar-se todos os transistores operando na região ativa. Outra hipótese (ou caminho de análise) deve ser lançada.

Uma hipótese mais intuitiva é supor que Q_2 está em corte, já que I_{B_max} drena qualquer corrente que poderia entrar na sua base e fazê-lo conduzir, devido a isso, Q_3 provavelmente também estará cortado (está-se considerando correntes de base dos transistores iguais a zero, devido ao infinito valor de ganho β). Outro transistor em corte é Q_5. Portanto:

$I_{saída_max} = I_{B_max}$

A situação do transistor Q_1 é de condução de I_{A_max} . É interessante observar que o princípio da translinearidade se manteve, de 8.2 :

$I_{A_max} * I_2 = I_3 * I_{saída_max}$
$I_{A_max} * 0 = 0 * I_{B_max}$ ((Obs.: Esta equação, não afirma que $I_{A_max} = I_{B_max}$))

Conclusão: Quando $I_{A_max} < I_{B_max}$, $I_{saída_max} = I_{B_max}$. Ou seja, o máximo valor.

- Quando $I_{A_max} = I_{B_max}$:

Esta situação é igual ao segundo caso ($I_{A_max} < I_{B_max}$), já que se está considerando ganho β igual ao infinito. Ou seja, Q_2 e Q_3 cortam e Q_1 e Q_4 conduzem.

Conclusão: Quando $I_{A_max} = I_{B_max}$, $I_{saída_max} = I_{B_max}$.

8.3) Porta Lógica Max real

Até o momento, a Porta Max tem sido apresentada utilizando-se de componentes eletrônicos ideais e valor de ganho β teórico igual ao infinito (Figura 8.2). Além disso, ela tem sido apresentada com fontes de corrente ideais e sem espelhos de corrente para receber as correntes das entradas e fornecer a corrente de saída. Porém, quando se faz o uso de componentes eletrônicos reais, ou modelados para simulador de circuito e coloca-se espelhos de correntes para distribuí-las no circuito, a mínima largura de pulso de trabalho passa a ter

um valor limite, e, outra característica indesejada do circuito também torna-se importante: o 'Erro de Amplitude' (ver *'Apêndice 2 - Erro de Amplitude'*).

Para o circuito da Figura 8.2 funcionar no ambiente real ou ser inserido de forma mais coerente em um simulador de circuitos é necessário transformá-lo em uma configuração melhor (ver Figura 8.3(a)), ou seja, inserir espelhos de corrente, usar componentes eletrônicos reais ou modelados e inserir uma fonte de tensão de alimentação que irá suprir as correntes necessárias.

Porém, um sério problema ainda acontece para essa configuração. É o fato de ela "rejeitar" um dos padrões adotados até o momento: os níveis discretos de correntes iguais a 0μA, 10μA, 20μA e 30μA. O grande problema está na situação em que o nível 0 é aplicado na entrada I_{A_max} . Quando isto acontece, significa que não existe nenhuma corrente de base para Q_3 e Q_4 estarem aptos a funcionarem, ou seja, eles nem sequer ficam polarizados, portanto, sempre que ocorre esta situação, a corrente de coletor de Q_4 não existe, conseqüentemente, $I_{saída_max}$ é 0μA. Isto não pode acontecer, por exemplo, quando I_{B_max} for correspondente ao nível lógico quaternário 1, 2 ou 3.

Devido a isto, adota-se como solução sempre deixar aplicada uma corrente de 1μA na entrada A, somando-se a qualquer corrente que venha ser colocada, inclusive 0μA. A designação desta corrente será I_{aux_max} , que é uma corrente auxiliar para a porta Max. O uso deste artifício não afetará em demasiado o valor correto na corrente de saída, pois, na montagem prática do circuito, naturalmente, acontece uma flutuação dos níveis de corrente em torno do valor nominal esperado. Essa solução tem a desvantagem de aumentar em 2 o número de transistores e um pouco a potência do circuito, porém, para manter o padrão de níveis de entrada 0μA, 10μA, 20μA e 30μA essa é a alternativa adotada.

O esquema elétrico da Porta Lógica Max real com a adaptação (I_{aux_max}) para permitir que o nível digital zero possa ser 0μA é mostrado na Figura 8.3, onde, no item (a) da Figura é mostrado o desenho simplificado e no item (b) a montagem já pronta para ser usada no

ambiente real ou no simulador de circuitos de forma mais coerente (não é uma montagem teórica!).

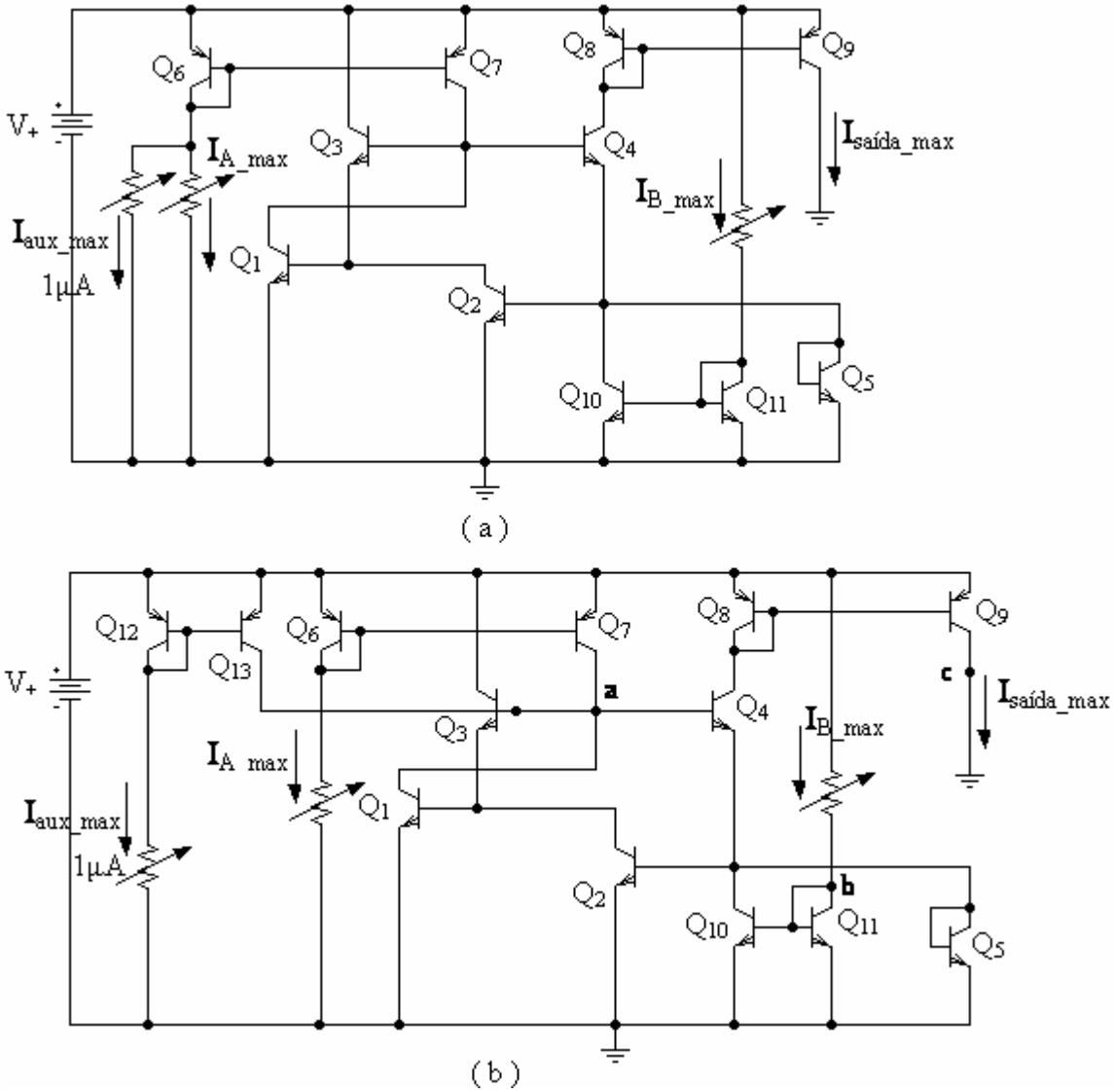


Figura 8.3 – (a) Desenho simplificado da Porta Max de 2 entradas com a corrente de 1µA (I_{aux_max}) somando-se a I_{A_max} ; (b) Porta Max com a adaptação da corrente de 1µA (I_{aux_max}).

Uma outra solução para o problema da corrente de 0µA na Porta Max seria adotar-se como níveis discretos de corrente algo como: 10µA, 20µA, 30µA, 40µA. Porém, decidiu-se não fazer isso, pois, todas as outras portas lógicas funcionam perfeitamente com o primeiro padrão adotado e somente a Porta Max apresentou uma certa dificuldade.

Uma representação em bloco da porta Max é feita na Figura 8.4, onde, em relação a configuração da Figura 8.3(b), o terminal 1 e o 2 correspondem ao ponto a, o terminal 3 ao ponto b e o terminal 4 ao ponto c.

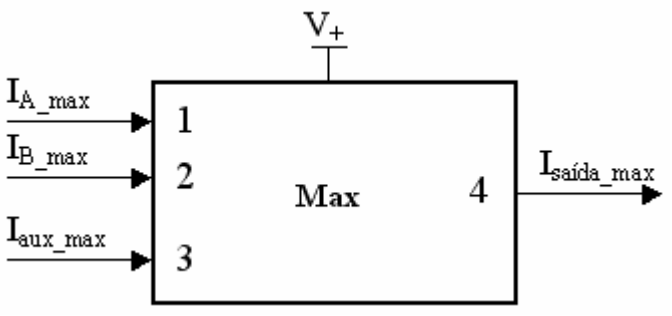


Figura 8.4 – Representação em bloco da porta Max.

8.3.1) Simulações de desempenho

A simulação do circuito porta Max tem o intuito de apresentar o funcionamento em termos de gráficos de entrada e de saída para as correntes elétricas e se baseia na Figura 8.3(b). Os transistores usados são do tipo bipolares NPN e PNP. Maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

Inicialmente, faz-se uma variação em degraus de 0μA, 10μA, 20μA e 30μA das correntes de entrada I_{A_max} e I_{B_max}, sendo que os degraus para a primeira corrente tem duração temporal de 4 segundos cada, já, os degraus da segunda corrente tem duração temporal de 1 segundo cada.

Ao mesmo tempo, parametricamente, varia-se a tensão de alimentação, V_+ , de 0 até 4 volts em passos de 0,1 volts. Isso tem o intuito de se descobrir a tensão de alimentação mais apropriada para a configuração. Essa variação paramétrica na tensão de alimentação (V_+) ao mesmo tempo em que as correntes de entrada estão acontecendo, cria valores de corrente de saída dentro e fora de faixas de aceitação pré-estabelecidas para cada valor nominal discreto de nível de corrente quaternária (ver as definições das faixas de aceitação pré-estabelecidas no *'Apêndice 2 - Erro de Amplitude'*), porém, neste caso, uma exceção ao padrão de 'Erro de

Amplitude' é feita, isso porque qualquer valor de tensão de alimentação cria valores de saída fora da faixa padronizada para um ou outro caso de entrada. Pelo fato desse acontecimento não ser tão exagerado para o caso da tensão de alimentação de 2 volts, então é esse o valor adotado, por hora, para a realização de simulação de chaveamento do circuito. Para este valor de tensão de alimentação, V_+, acontecem apenas dois desrespeitos ao padrão adotado: quando as duas entradas tem nível lógico quaternário 2, a saída tem valor 22,8μA; quando as duas entradas tem nível lógico quaternário 3, a saída tem valor 33,4μA.

O chaveamento tem o intuito de mostrar qual o pior tempo de resposta do circuito para as mudanças de estados nas entradas. Faz-se, então, no simulador de circuitos eletrônicos todas mudanças possíveis de níveis nas duas entradas da porta Max. Ou seja, são realizadas 240 mudanças com a duração temporal para cada nível em 100ns. Alguns exemplos das 240 trocas de estados são: de 00 para 01, de 00 para 02, de 30 para 03, de 10 para 20, de 11 para 22, de 00 para 32, etc. Encontrou-se como pior caso, ou seja, maior tempo de resposta, o valor de 20ns.

Faz-se um teste de desempenho simulado para verificação da correta operação da porta Max usando-se 200ns de duração temporal de pulso mínima, ou seja, algo dez vezes maior que o tempo de resposta, ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*. Na Figura 8.5, são apresentados o resultado da operação Max ($I_{saída_max}$) e os gráficos de entradas, I_{A_max} e I_{B_max}, além do gráfico de potência P_{max}.

Os valores de corrente elétrica $I_{saída_max}$ e de potência P_{max} são transcritos dos gráficos para a Tabela 8.2.

Com o objetivo de mostrar a dissipação de potência da porta Max, faz-se a multiplicação da tensão de alimentação, V_+ (2 volts), com a corrente elétrica que é fornecida por esta fonte de tensão. O resultado obtido é mostrado no gráfico da Figura 8.5, onde, P_{max} corresponde àquele produto e varia conforme a situação de entrada (I_{A_max} e I_{B_max}).

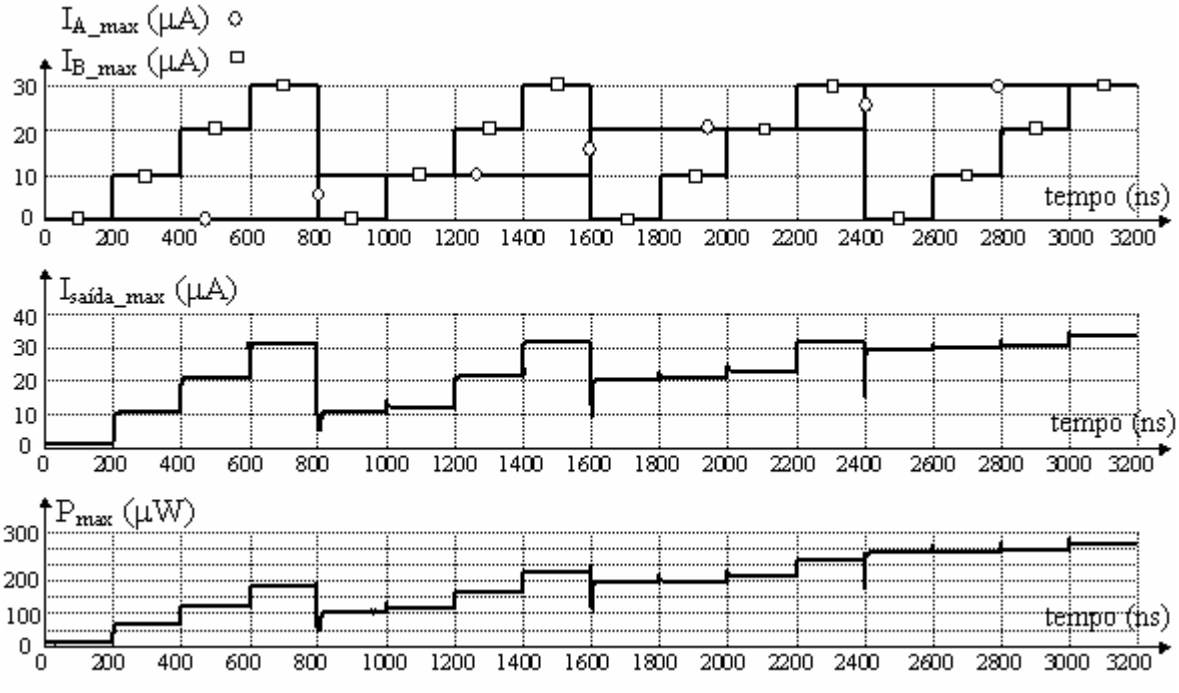


Figura 8.5 – Resultados gráficos de simulação da porta Max.

Tempo	Corrente Elétrica ($I_{saída_max}$)	Potência (P_{max})
De 0 até 200ns	1μA	9,7μW
De 200ns até 400ns	10,6μA	64,4μW
De 400ns até 600ns	20,9μA	124,1μW
De 600ns até 800ns	31μA	183,5μW
De 800ns até 1000ns	10,8μA	103,9μW
De 1000ns até 1200ns	11,9μA	111,2μW
De 1200ns até 1400ns	21,1μA	164,8μW
De 1400ns até 1600ns	31,2μA	224μW
De 1600ns até 1800ns	20,1μA	195,5μW
De 1800ns até 2000ns	20,5μA	198,9μW
De 2000ns até 2200ns	22,8μA	213,1μW
De 2200ns até 2400ns	31,6μA	264,9μW
De 2400ns até 2600ns	29,1μA	285,4μW
De 2600ns até 2800ns	29,5μA	288,5μW
De 2800ns até 3000ns	30,2μA	293,7μW
De 3000ns até 3200ns	33,4μA	314μW

Tabela 8.2 – Resultados de simulação da porta Max.

Com o intuito de se ter um valor para atribuir à dissipação de potência do circuito, faz-se a média simples destes 16 valores obtidos. Apesar de isto não ter uma representação

científica importante, permite comparações superficiais com outros circuitos equivalentes. O valor obtido desta média é de 190 μW.

FICHA TÉCNICA DA PORTA MAX:

- Número de transistores (que estão contidos dentro do bloco da Figura 8.4): 7 NPN, 2 PNP, totalizando 9.
- Tensão de alimentação: 2V;
- Potência média dissipada: 190μW;
- Tempo de resposta: 20ns;
- Largura Mínima de Pulso: 200ns.

Capítulo 9 – Multiplicador Quaternário

Um multiplicador de um dígito quaternário tem duas entradas A e B (os dígitos a serem operados), uma saída de "carry" e uma saída de resultado (o produto).

Para entender o funcionamento do Multiplicador é importante entender como se dá a operação Alfa, Máximo e Topo, além de como se dá a soma analógica de correntes. Outra função necessária para o funcionamento do multiplicador é a que desloca duas vezes o resultado de uma operação Alfa, ou seja, aplica Duplo-Topo em Alfa. Na Tabela 9.1, é apresentado o Mapa de Karnaugh-Veitch de uma porta lógica Alfa, na Tabela 9.2 de uma porta lógica Max, na Tabela 9.3 de uma porta lógica Topo, na Tabela 9.4 o mapa de soma analógica de correntes e na Tabela 9.5 o mapa da operação Duplo-Topo aplicada ao resultado da operação Alfa.

B \ A	α	0	1	2	3
	0	0	0	0	0
	1	0	1	1	1
	2	0	1	2	2
	3	0	1	2	3

Tabela 9.1 – Mapa de uma porta Alfa.

B \ A	MAX	0	1	2	3
	0	0	1	2	3
	1	1	1	2	3
	2	2	2	2	3
	3	3	3	3	3

Tabela 9.2 – Mapa de uma porta Max.

Entrada A	Saída
0	1
1	2
2	3
3	0

Tabela 9.3 – Mapa de uma porta Topo.

Entrada B \ Entrada A	0μA	10μA	20μA	30μA
0μA	0μA	10μA	20μA	30μA
10μA	10μA	20μA	30μA	40μA
20μA	20μA	30μA	40μA	50μA
30μA	30μA	40μA	50μA	60μA

Tabela 9.4 – Mapa de uma soma analógica de correntes.

B \ A	$\overline{A\ \alpha\ B}$	0	1	2	3
	0	2	2	2	2
	1	2	3	3	3
	2	2	3	0	0
	3	2	3	0	1

Tabela 9.5 – Mapa de uma operação Alfa depois operada em Duplo-Topo.

A operação de multiplicação quaternária é apresentada na Tabela 9.6, onde existe o operando A e o B, ou seja, é uma multiplicação de 1 dígito quaternário, o resultado é representado pela letra maiúscula *M*. Toda multiplicação também produz um dígito de transporte, o "carry", portanto, na Tabela 9.7, é apresentado o "carry" da multiplicação, C_M .

M	**0**	**1**	**2**	**3**
0	0	0	0	0
1	0	1	2	3
2	0	2	0	2
3	0	3	2	1

Tabela 9.6 – Mapa de uma Multiplicação Quaternária.

C_M	**0**	**1**	**2**	**3**
0	0	0	0	0
1	0	0	0	0
2	0	0	1	1
3	0	0	1	2

Tabela 9.7 – Mapa do "carry" de uma Multiplicação Quaternária.

O método usado para transformar as duas Tabelas (9.6 e 9.7) em circuito eletrônico poderia ser o da 'Síntese por Decomposição Binária' [11,13,21], porém, optou-se por uma dedução não formal baseada em análises e tentativas, com o intuito de economizar em número de portas lógicas e, conseqüentemente, transistores.

9.1) Circuito "'carry" do multiplicador'

A criação do circuito "'carry" do multiplicador' dá-se por meio do uso do resultado da operação Alfa entre as duas entradas A e B, do uso de um 'Bloco Chaveador' (Capítulo 2) e de duas correntes auxiliares, uma com o valor de 10µA e outra com o valor de 15µA, respectivamente, denominadas $I_{ref_10\mu A}$ e $I_{ref_15\mu A}$. As correntes de entrada correspondentes aos operandos A e B são I_A e I_B . E a corrente de saída com o resultado do "carry" da multiplicação é C_M.

O esquema elétrico deste circuito é apresentado na Figura 9.1.

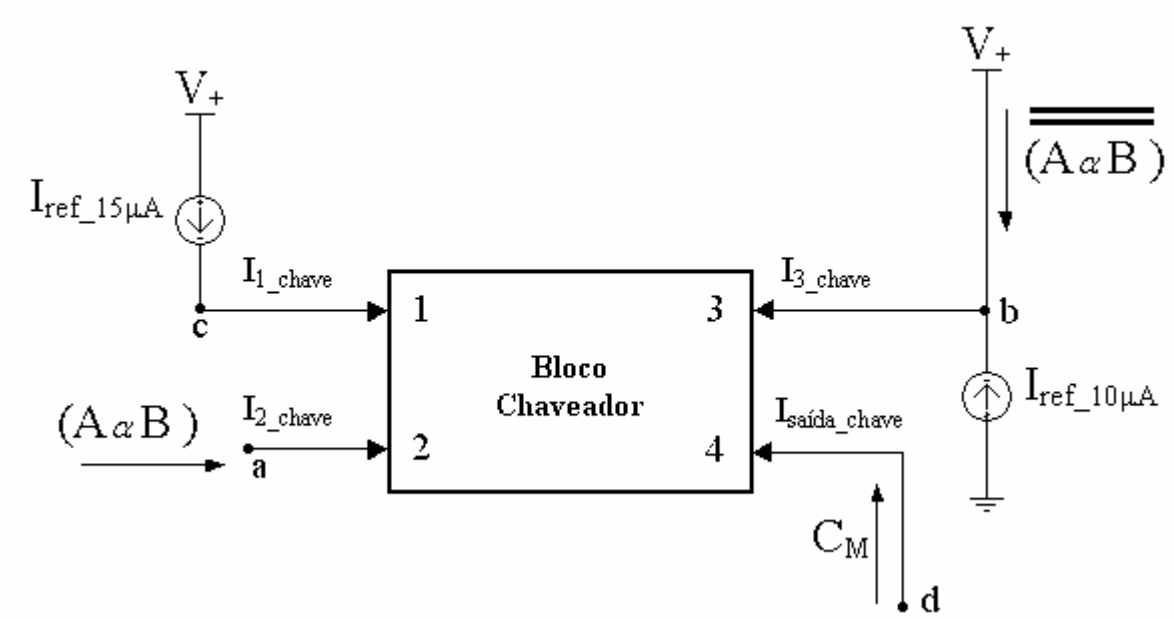


Figura 9.1 – Circuito do "carry" da multiplicação.

O princípio de funcionamento desta configuração é o de que sempre que o resultado da operação AαB (Tabela 9.1) é maior que 15μA, a saída recebe o somatório do resultado de $\overline{\overline{A \alpha B}}$ (Tabela 9.5) com 10μA, que está inserido no terminal 3 do 'Bloco Chaveador'. Esse somatório representa exatamente as 4 últimas casas da diagonal inferior da Tabela 9.7 ("carry" da multiplicação). Por outro lado, para o caso em que o resultado da operação AαB (Tabela 9.1) é menor que 15μA, a saída permanece em alta impedância, ou seja, a corrente de saída é 0μA (ver princípio de funcionamento do 'Bloco Chaveador' no Capítulo 2).

Um bloco que representa a configuração em questão é apresentado na Figura 9.2. Ele possui 5 terminais, sendo que o 1 é entrada do resultado da operação Alfa entre A e B, o terminal 2 recebe o resultado da operação alfa depois de ter sido duplamente operado em topo, o terminal 3 é por onde se aplica a corrente de referência ou auxiliar $I_{ref_10\mu A}$, o terminal 4 é por onde se aplica a corrente de referência ou auxiliar $I_{ref_15\mu A}$, o terminal 5 é a saída de corrente, C_M , ou seja, o resultado do "carry" da multiplicação. Em relação a configuração da

Figura 9.1, a representação em bloco tem a seguinte correspondência: o nó **a** com o terminal 1; o nó **b** com os terminais 2 e 3; o nó **c** com o terminal 4; e, o nó **d** com o terminal 5.

Figura 9.2 – Bloco do circuito do "carry" da multiplicação.

9.2) Multiplicador

O circuito e a operação lógica do multiplicador quaternário são obtidos com o auxílio de alguns operadores e de 'Blocos Chaveadores'. É imprescindível para seu funcionamento o uso das operações Alfa, Máximo, Topo e da soma analógica de correntes.

Uma esquematização do seu funcionamento pode ser vista na Figura 9.3, onde, $I_{ref_10\mu A}$, $I_{ref_25\mu A}$ e $I_{ref_45\mu A}$, correspondem, respectivamente, a correntes de referência ou auxiliares de valor 10μA, 25μA e 45μA. As correntes I_A e I_B são as duas variáveis de entrada e a corrente *M* é o produto. O princípio de funcionamento é o seguinte:

- Sempre que a entrada A ou a entrada B ou as duas ao mesmo tempo é igual a zero, então, nenhum dos três 'Blocos Chaveadores' está tendo alguma corrente na sua saída, ou seja, estão todos no estado de alta impedância. Isso acontece porque, nesse caso: $\overline{\overline{A\alpha B}}$ (Tabela 9.5) é, obrigatoriamente, igual a 2 (ou 20μA) e, como pode ser visto no 'Bloco Chaveador' 1, a corrente do terminal 1 (25μA) é maior; no 'Bloco Chaveador' 2, a corrente do terminal 1 (45μA) é maior que a soma analógica de correntes $I_A + I_B$ (Tabela 9.4) que pode chegar no máximo a 30μA; no 'Bloco Chaveador' 3, a corrente

do terminal 1 (25μA) é maior que o resultado de I_A α I_B (Tabela 9.1), que pode ser somente igual a 0μA.

- Sempre que a entrada A ou a entrada B ou as duas ao mesmo tempo é igual a um, então, somente o 'Bloco Chaveador' 1 copia para sua saída a informação colocada no seu terminal 3. Os outros dois 'Blocos Chaveadores' ficam em estado de alta impedância. Isso acontece porque, nesse caso: $\overline{\overline{A \alpha B}}$ (Tabela 9.5) é, obrigatoriamente, igual a 3 (ou 30μA) e, como pode ser visto no 'Bloco Chaveador' 1, a corrente do terminal 1 (25μA) é menor, portanto, a saída recebe a informação do terminal 3 que é o resultado da operação Máximo entre as duas entradas e corresponde, exatamente, a segunda linha e segunda coluna da Tabela 9.6 (a da multiplicação); no 'Bloco Chaveador' 2, a corrente do terminal 1 (45μA) é maior que a soma analógica de correntes I_A + I_B (Tabela 9.4) que pode chegar no máximo a 40μA; no 'Bloco Chaveador' 3, a corrente do terminal 1 (25μA) é maior que o resultado de I_A α I_B (Tabela 9.1), que pode ser somente igual a 10μA.

- Sempre que a entrada A ou a entrada B ou as duas ao mesmo tempo é igual a dois, então, o 'Bloco Chaveador' 1 e 3 têm alta impedância de saída. O 'Bloco Chaveador' 2 também tem alta impedância de saída quando as duas entradas ao mesmo tempo forem nível lógico 2, portanto, nessa situação, todos blocos estão com corrente zero no terminal 4, e, portanto, a corrente de saída do multiplicador é 0μA, exatamente como indica a Tabela 9.6 (a da multiplicação); Porém, quando somente uma das duas entradas A ou B é igual a 2 e a outra igual a 3, a soma analógica de correntes (Tabela 9.4) é igual a 50μA, ou seja, maior que os 45μA colocados no terminal 1 do 'Bloco Chaveador' 2, portanto, a informação de seu terminal 3 é copiada para a saída. No caso, esta informação é o valor 20μA, já que a saída do 'Bloco Chaveador' 3 tem 0μA pelo fato de I_A α I_B (Tabela 9.1) somente ser 20μA (algo menor que os 25μA do terminal 1).

- No último caso, em que as duas entradas A e B tem valor digital 3, o 'Bloco Chaveador' 1 tem alta impedância de saída e os outros 2 e 3 funcionam normalmente. Sendo assim, o bloco 3 coloca na sua saída a informação do seu terminal 3, que é 10μA. Ao mesmo tempo, o bloco 2 está colocando na sua saída a informação do seu terminal 3, que é 20μA menos 10μA encaminhados pela saída do bloco 3. Portanto, copia 10μA para a saída geral do multiplicador quaternário (Tabela 9.6).

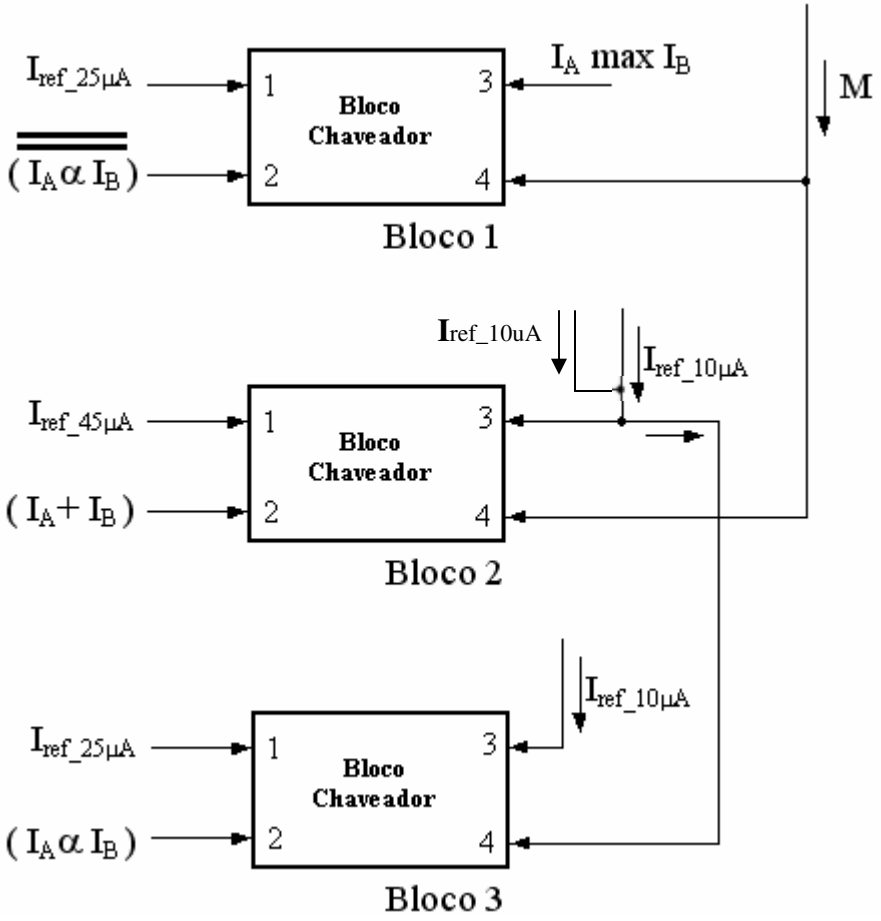


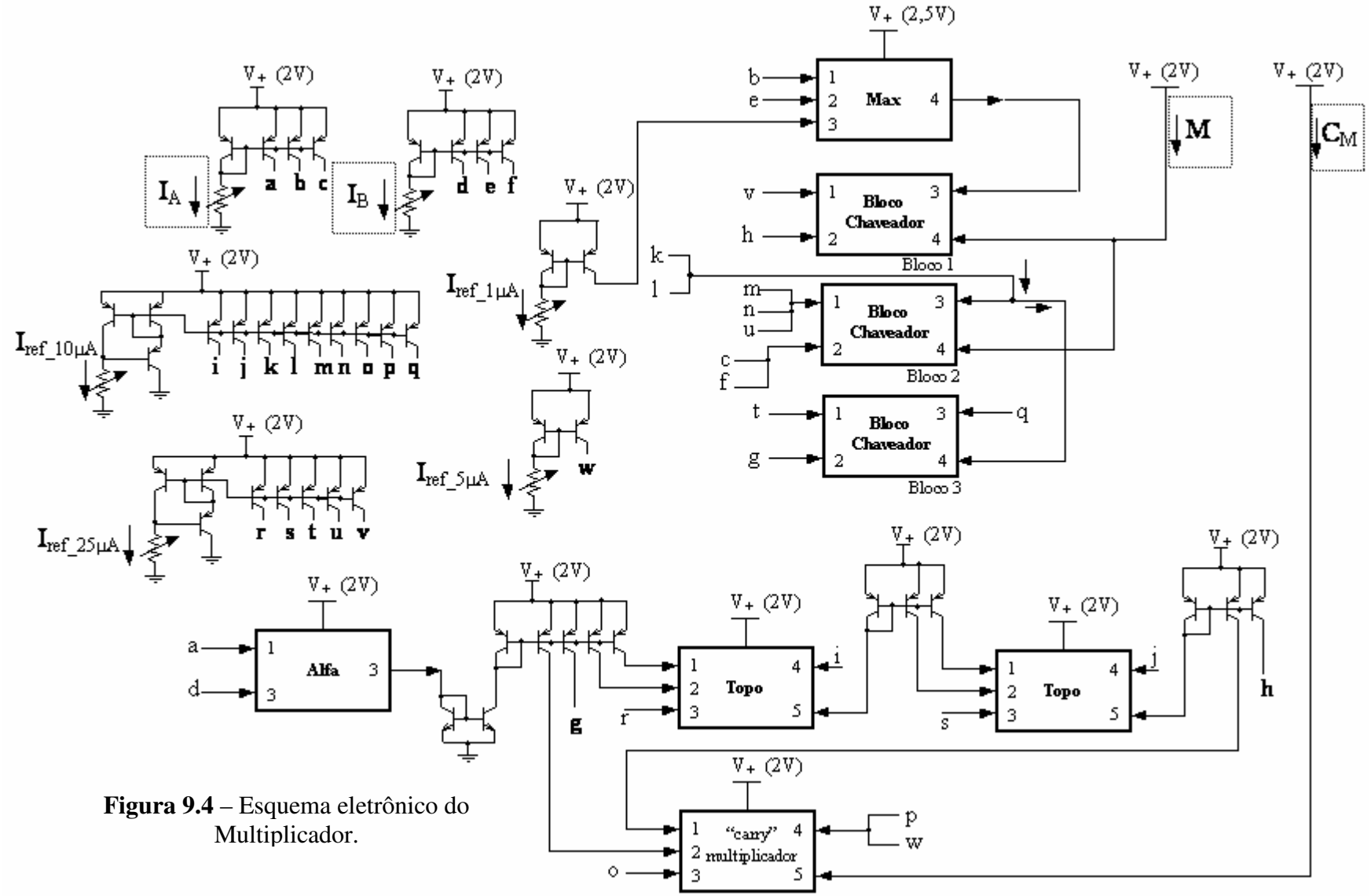
Figura 9.3 – Esquema de funcionamento do multiplicador.

9.3) Multiplicador com "carry" – Simulação

Utilizando-se dos blocos Alfa, Topo, Max e 'Bloco Chaveador' já desenvolvidos nos capítulos anteriores, faz-se a configuração do multiplicador quaternário (Figura 9.4).

Para a obtenção da corrente de referência $I_{ref_45\mu A}$ que é inserida no terminal 1 do 'Bloco Chaveador' 2, faz-se a soma em nó de uma corrente de 25μA com duas de 10μA, pois, estes dois últimos valores têm sido, padronizadamente, usados na montagem das outras configurações. O mesmo ocorre para o caso da corrente de referência $I_{ref_15\mu A}$ que é inserida no bloco '"carry" do multiplicador', para este caso, usa-se a soma em nó de uma corrente de 10μA com outra de 5μA, também padronizada ao longo do desenvolvimento das outras configurações deste trabalho.

Adota-se como tensão de alimentação o valor de 2 volts para a porta Topo, Alfa e espelhos de corrente, pois é um valor coerente para este caso (como visto nos capítulos anteriores correspondentes a cada porta em questão), porém, para o caso da porta Max adota-se 2,5 volts, pois existe uma situação de entradas em que, caso seja adotado 2 volts, a corrente de saída dessa porta fica abaixo do valor esperado de forma a não permitir que a saída final do multiplicador fique dentro das faixas pré-estabelecidas de 'Erro de Amplitude' *(Apêndice 2).* A situação em que isso ocorre é quando as entradas A e B correspondem a 10μA e 30μA, que, no caso de a tensão de alimentação ser 2 volts, resulta em uma saída do multiplicador de pouco mais de 26μA, e, quando se usa 2,5 volts, a saída fica acima de 28μA (o valor esperado seria 30μA). Uma representação em bloco do Multiplicador Quaternário é apresentada na Figura 9.5


V+ (2,5V)
V+ (2V)
V+ (2V)
V+ (2

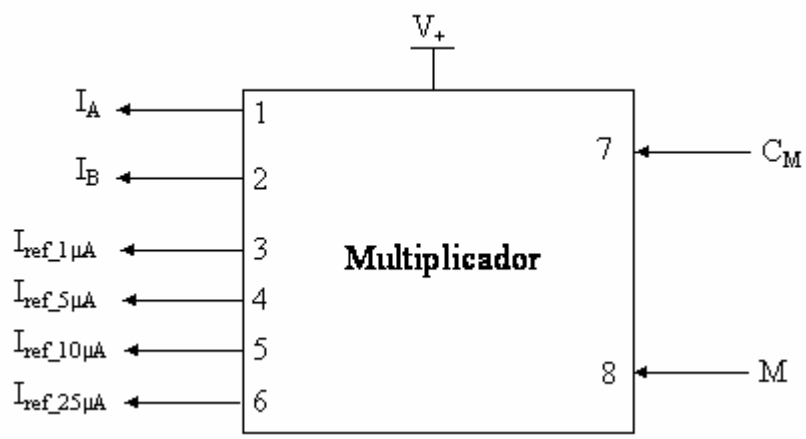


Figura 9.5 – Representação em bloco do multiplicador.

9.3.1) Simulações de desempenho

A simulação do multiplicador com "carry" tem o intuito de apresentar o funcionamento em termos de gráficos de entrada e de saída para as correntes elétricas, ela é baseada na Figura 9.4. Os transistores usados são do tipo bipolar NPN e PNP e maiores detalhes a respeito deles podem ser vistos no *'Apêndice 1 – Características dos transistores utilizados'*.

Devido a ligação em cascata de uma porta lógica Alfa e duas Topo e o fato da característica acumulativa, estima-se o tempo de resposta do circuito multiplicador como sendo o somatório do tempo de cada uma destas portas lógicas. Se para a porta Alfa tem-se 50ns de atraso e para a Topo 12ns, então, no total tem-se 74ns (50ns + 12ns + 12ns). Considera-se aqui como 75ns esta característica. Sendo assim, a mínima largura de pulso do multiplicador será 10 vezes o tempo de resposta, ou seja, 750ns (ver *'Apêndice 3 – Tempo de Resposta e Largura Mínima de Pulso'*). Gráficos com as entradas A e B, a saída de produto, a saída de "carry" e a dissipação de potência da configuração são mostrados na Figura 9.6. Na Tabela 9.8, os resultados dos gráficos são transcritos.

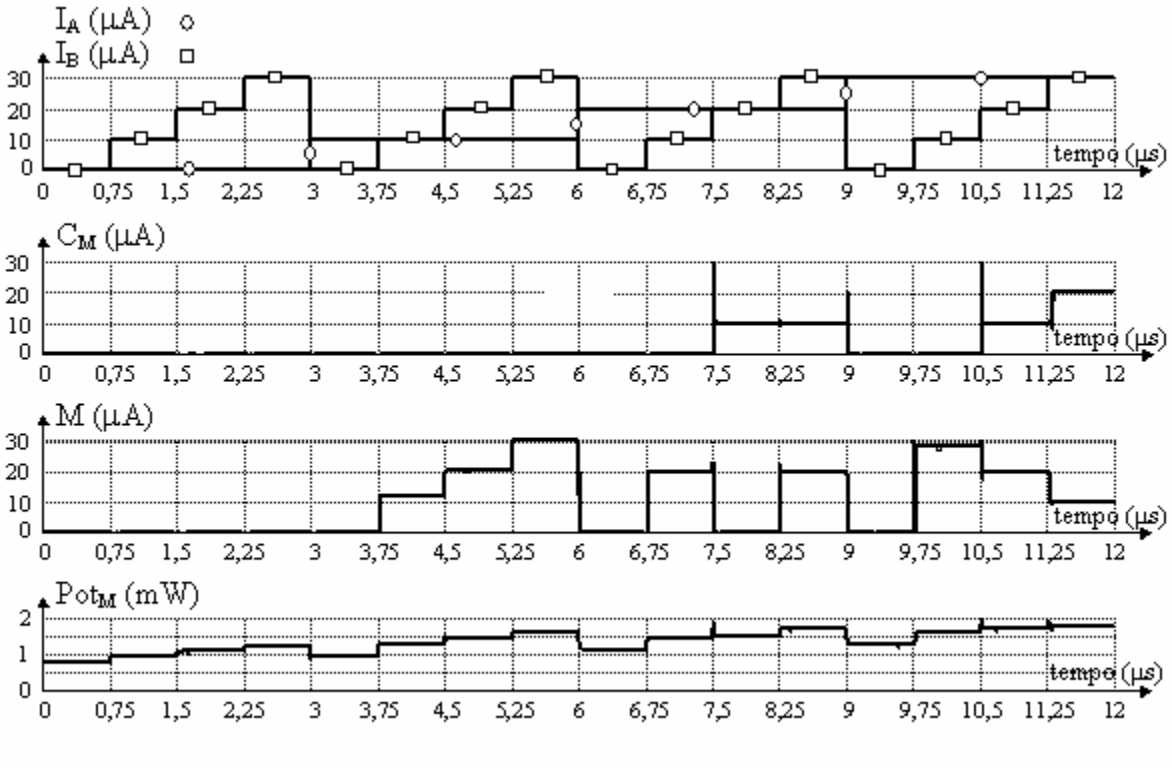


Figura 9.6 – Gráficos resultado de simulação.

Tempo	Corrente Elétrica (C_M)	Corrente Elétrica (M)	Potência (Pot_M)
De 0 até 0,75µs	2,9pA	6,9pA	774µW
De 0,75µs até 1,5µs	4,4pA	5,5pA	919µW
De 1,5µs até 2,25µs	2,1pA	4,7pA	1,1mW
De 2,25µs até 3µs	1,9pA	4,1pA	1,2mW
De 3µs até 3,75µs	2,6pA	5,2pA	943µW
De 3,75µs até 4,5µs	3,6pA	11,9µA	1,3mW
De 4,5µs até 5,25µs	2pA	21µA	1,4mW
De 5,25µs até 6µs	3pA	30,5µA	1,6mW
De 6µs até 6,75µs	2,7pA	7,2pA	1,1mW
De 6,75µs até 7,5µs	2,8pA	20,1µA	1,5mW
De 7,5µs até 8,25µs	10µA	6pA	1,5mW
De 8,25µs até 9µs	10µA	19,9µA	1,7mW
De 9µs até 9,75µs	3,1pA	18pA	1,3mW
De 9,75µs até 10,5µs	2,2pA	28,6µA	1,6mW
De 10,5µs até 11,25µs	10µA	19,9µA	1,7mW
De 11,25µs até 12µs	20,2µA	10,2µA	1,8mW

Tabela 9.8 – Resultados de simulação.

FICHA TÉCNICA DO MULTIPLICADOR QUATERNÁRIO:

- Número de transistores (que estão contidos dentro do bloco da Figura 5.7): 52 NPN e 47 PNP, totalizando 99;
- Tensão de alimentação: 2V e 2,5V;
- Potência média dissipada: 1,2mW;
- Tempo de resposta: 75ns;
- Largura Mínima de Pulso: 750ns.

Conclusão

O objetivo final de se criar um Somador Completo Quaternário e um Multiplicador Quaternário com "carry" é atingido usando-se as portas lógicas Alfa, Max, Topo, o 'Bloco Chaveador', a porta X. Ao se fazer a aglutinação destes variados circuitos de modo a desempenharem uma estratégia lógica para obter o resultado final dos dois circuitos almejados, usou-se o método da criação de circuitos digitais por intermédio da análise, observação e tentativa, ou seja, não se utilizou de um método formal, como o da simplificação por Mapa de Karnaugh-Veitch que existe para a Lógica Binária. Esse caminho adotado permite boa economia de número de transistores, já que a atual fase do método de síntese das funções quaternárias ainda não simplifica satisfatoriamente as funções desejadas.

O intuito deste trabalho foi de apresentar circuitos digitais importantes para o projeto computacional e ainda não explorados desta maneira. Utilizou-se para os desenvolvimentos modo corrente e transistores bipolar. Para se ter uma idéia do desempenho em potência ou energia de comutação destes circuitos faz-se necessário a existência de outros para comparação, portanto, comparações, atualmente, podem ser muito subjetivas ou injustas. Mas, é bastante importante sempre lembrar-se que, em relação a circuitos digitais binários, os multi-valores possuem capacidade de processamento maior. Por exemplo, no caso do quaternário, enquanto em uma via de duas linhas consegue-se a transmissão de 16 diferentes combinações, para o caso binário consegue-se apenas 4 combinações. É por isso que se em alguma situação o circuito quaternário é muito dissipativo em termos de energia, pode ser que para situações em que o processamento vá ficando cada vez maior em termos de dígitos, a viabilidade dele se torne importante em relação ao gasto de energia de um circuito binário para esta mesma situação.

O uso do modo corrente de operação e de transistores bipolares permitiu a criação de circuitos em que era fácil somar uma corrente elétrica a outra simplesmente usando-se um nó. Com certeza, esta característica ajudou bastante no desenvolvimento das configurações e na economia do número de transistores. Agora, o próximo passo é construir na prática os circuitos aqui apresentados e simulados no computador, o que permitirá a confirmação dos

dados obtidos nos testes computacionais e o incentivo para a construção, por exemplo, de uma calculadora simples de quatro operações totalmente quaternária. Essas ações fomentam e incentivam o estudo de outros circuitos multi-valores, em outras bases e até mesmo com outros dispositivos (transistores) ou modo de operação, além de um incentivo para a constante evolução dos métodos de síntese. A criação de portas lógicas multi-valores básicas e circuitos básicos também enriquece o catálogo geral de configurações conhecidas.

Referências

[1] – Bottura, C. P., Barreto, G., “Veículos Elétricos”, Editora da Unicamp, 1989.

[2] – Idoeta, I. V., Capuano, F. G., “Elementos de Eletrônica Digital”, Editora Érica, 1997.

[3] – Vídeo da série : “A Revolução tecnológica no Japão”, episódio: "A guerra das Calculadoras", TV Cultura, 1996.

[4] –Boole, G., “An Investigation of the Laws of Thought on Which Are Founded the Mathematical Theories of Logic and Probabilities”, Dover Publications, 1958. (originalmente publicado em 1854 por Macmillan).

[5] – Shannon, C. E., “A Symbolic Analysis of Relay and Switching Circuits”, (originalmente publicado em: *Transactions of the AIEE*, vol 57, 1938, pp. 713-723).

[6] – W. V. Quine, “The problem of Simplifying Truth Functions”, *Am. Math. Monthly*, Vol. 59, pp. 521-531, Oct. 1952.

[7] – E.J. McCluskey, “Minimization of Boolean Functions”, *Bell System Tech. Journal*, Vol. 35, pp. 1417-1444, Nov. 1956.

[8] – Seevinck, E., “Analysis and Synthesis of Translinear Integrated Circuits”, Ph. D. Thesis, University of Pretoria, Pretoria, South Africa.

[9] – Gilbert, B., “Translinear Circuits – 25 Years On Part I: The Foundations”, *Electronic Engineering (London)*, Vol. 65, No. 800, August 1993.

[10] – Post, E. L., “Introduction to a General Theory of Elementary Propositions”, *American Journal of Mathematics*, Vol. 43, pp. 163-185, 1921.

[11] – Serran, N. V., Jorge, A. M., Dias, J. A. S., “A Proposal for the Implementation of Ternary Digital Circuits”, *Microelectronic Journal*, Vol. 28, 1997.

[12] – Serran, N. V., “Circuitos Digitais Ternários Baseados na Álgebra de Post – Estudo, Definição de operadores e Implementação”, Tese de Doutorado, Universidade Estadual de Campinas, Campinas, Brasil, 1996.

[13] – Fregonezi, M. A. S., “Projeto de um Aplicativo para Síntese de Funções Multi-Valores em Ambiente Windows”, Dissertação de Mestrado, Universidade Estadual de Campinas, Campinas, Brasil, 2001.

[14] – Moore, G. E., “Cramming More Components Onto Integrated Circuits”, *Electronics*, April 19, 1965.

[15] – Dao, T. T., “Recent Multivalued Circuits”, *Proceedings of IEEE COMPCON*, Spring 1981, pp 194-203.

[16] – Rashid, M. H., “Introduction to PSpice Using OrCAD for Circuits and Electronics”, Third Edition by Prentice Hall , 2003, ISBN 0131019880.

[17] – Mingoto Jr, C. R., “A Quaternary Logic Gate Using Current-Mode Operation with Bipolar Transistors Equivalente to an Exclusive-OR Binary Gate”, In: *Proceedings of IEEE - ICECS 2005,* Gammarth, Tunisia, December 2005.

[18] – Jaeger, R. C., Travis, N. B., “Microelectronic Circuit Design”, 2nd ed, McGraw-Hill, 2003, ISBN 0072320990.

[19] – Bignell, J. W., Donovan, R. L., “Eletrônica Digital – Lógica Combinacional, Vol.1”, Editora Makron Books do Brasil, 1995.

[20] – Biazon, A. J. Filho, “Multi-Valued Half Adder Circuit Using a CMOS Universal Gate”, *XV International Conference on Microelectronics and Packaging,* Manaus, Brazil, pp. 125-129, September 2000.

[21] – Jorge, A. M., “A Universal CMOS Gate for Multi-Valued Logic (MVL) Circuits”, *XV International Conference on Microelectronics and Packaging,* Manaus, Brazil, pp. 119-124, September 2000.

[22] – Nascimento, L. P., "An Automated Tool for Analysis and Design of MVL Digital Circuits", *XV SBMicro,* Brasília, Brazil, 2001.

[23] – Dias, J. A. S., "Projeto de um Conversor D/A Não-Linear Integrado (Lei A-128) em Tecnologia Bipolar", Tese de Doutorado, Universidade Estadual de Campinas, Campinas, Brasil, 1985.

[24] – Brokaw, A. P., "A Simple Three Terminal IC Bandgap Reference", *IEEE JSSC,* Vol. SC-9, No. 06, pp. 388-393, December 1974.

[25] – Gilbert, B., "Translinear Circuits: A Proposed Classification", *Electronic Letters,* Vol. 11, No. 1, January 1975.

[26] – Mingoto Jr, C. R., "A Quaternary Half-Adder Using Current-Mode Operation with Bipolar Transistors", In: *Proceedings of IEEE – ISMVL 2006,* Singapore, May 2006.

Apêndice 1

Características dos transistores utilizados

A1.1) Transistor NPN

Transistor com apenas um contato de base, um de coletor e um de emissor. Construído em modo vertical com emissor policristalino e largura de emissor de 0,8μm.

Beta d.c. = 100; *
FT = 4 GHz; *
Tensão Early = 42 volts.

* Condições de medida: Transistor NPN polarizado com corrente de 100nA d.c. na base e com uma tensão Vce = 2 volts.

A1.2) Transistor PNP

Transistor bipolar PNP lateral.

Beta d.c. = 80; **
FT = 500 MHz; **
Tensão Early = 12 volts.

** Condições de medida: Transistor PNP polarizado com corrente de 100nA d.c. na base e como uma tensão Vec = 2 volts.

Apêndice 2

Erro de Amplitude

Enquanto no mundo dos circuitos Binários a distância, em termos de grandeza elétrica, dos dois níveis discretos de tensão ou corrente elétrica é uma característica importante para a discretização efetiva deles, no mundo dos circuitos Quaternários ela passa a ser cada vez mais comprometida quando se procura manter os mesmos valores de alimentação. Por exemplo: na família TTL de circuitos integrados, onde a alimentação é 5 volts, adota-se como nível digital 0 a tensão entre 0,2 e 0,8 volts, e, para o nível digital 1 a tensão entre 2,5 e 5 volts, havendo uma zona de indefinição entre 0,8 e 2,5 volts. No caso de uma família de circuitos Quaternários em que se adote, também, a tensão de alimentação 5 volts, a proximidade em termos de tensão elétrica entre os quatro níveis digitais é bem mais importante, ou seja, a solidez dos níveis discretos de tensão diminui, a suscetibilidade aos ruídos elétricos aumenta. Esse fato cria a necessidade de uma preocupação maior em manter-se os valores da grandeza elétrica correspondentes aos níveis digitais sempre próximos ao valor nominal estabelecido para cada um. No caso dos circuitos apresentados neste trabalho, que operam em modo corrente adota-se o esquema apresentado na Tabela A2.1.

Nível Digital	Valor Elétrico Nominal	Faixa Permitida de Erro de Amplitude
0	0μA	0μA ⇔ 2μA
1	10μA	8μA ⇔ 12μA
2	20μA	18μA ⇔ 22μA
3	30μA	28μA ⇔ 32μA

Tabela A2.1 – Correspondência entre os níveis digitais quaternários e os níveis de corrente elétrica.

O 'Erro de Amplitude' (*E*) pode então ser definido através da equação A2.1. Se ele é que 2μA se caracteriza realmente a existência de um erro e a recuperação do valor nominal deve ser feita.

$$E = | \text{'Valor Nominal'} - \text{'Valor Real'} |$$ (**Equação** A2.1)

É bastante importante não o deixar se propagar pois o efeito é acumulativo entre os vários estágios ou blocos de circuitos ligados em cascata. Duas soluções básicas podem ser adotadas para a não propagação do erro: uma para o "freamento" do erro, com o uso de um 'Circuito Recuperador de Nível'; outra para o "retardamento" de sua propagação, que consiste no projeto de portas lógicas e blocos que tenham perdas bem pequenas nos valores nominais elétricos dos níveis digitais.

Apêndice 3

'Tempo de Resposta' e *'Largura Mínima de Pulso'*

A3.1) O 'Tempo de Resposta'

É o quanto demora para a saída realizar uma mudança de nível, ou mesmo continuar no nível lógico em que está, após uma mudança de estados na entrada. Ou seja, é o tempo de resposta da saída.

Para medir-se o 'Tempo de Resposta' de uma porta deve-se efetuar cada mudança possível de níveis em sua entrada (ou entradas) e medir o tempo de resposta para cada situação. O maior tempo obtido corresponde ao pior caso e é este o especificado como sendo o tempo de propagação da montagem, que é aqui representado pelo símbolo τ.

A3.1.1) Porta Lógica com 2 entradas

O número de situações possíveis de mudança de estados nas entradas de uma porta lógica quaternária de 2 entradas e uma saída é de 240 (16 multiplicado a 15). Isso porque, para 2 entradas é possível ter 16 combinações possíveis de níveis na entrada: 00; 01; 02; 03; 10; 11; 12; 13; 20; 21; 22; 23; 30; 31; 32; 33. Portanto, cada situação desta pode ter 15 mudanças para qualquer outra, ou seja, 15 mudanças para cada uma das 16 combinações. Isto resulta em um total de 240 mudanças de situações possíveis nas entradas. Exemplo de alteração nas entradas: quando as entradas estão com 00 e passam para 12;

A3.1.2) Porta Lógica com 1 entrada

O número de situações possíveis de mudança de estados na entrada de uma porta lógica quaternária de 1 entrada e uma saída é de 12 (4 multiplicado a 3). Isso porque, para 1 entrada é possível ter 4 combinações possíveis de níveis na entrada: 0; 1; 2; 3. Portanto, cada situação desta pode ter 3 mudanças para qualquer outra, ou seja, 3 mudanças para cada uma

das 4 combinações. Isto resulta em um total de 12 mudanças de situação possíveis nas entradas. Exemplo de alteração na entrada: quando a entrada está com 0 e passa para 1

A3.2) 'Largura Mínima de Pulso'

É a menor largura de algum pulso ou sinal permitida nas entradas. Ela é função do 'Tempo de Resposta' (ver seção anterior deste apêndice). Uma equação resume a regra de projeto para especificar a 'Mínima Largura de Pulso Permitida' (Lp_{min}).

$$Lp_{min} = 10 * \tau \qquad \textbf{(Equação A3.1)}$$

Esse padrão adotado é baseado em uma escolha subjetiva, porém, em parte baseada em uma informação do mundo dos circuitos binários, onde, um autor diz que a 'Mínima Largura de Pulso Permitida' deve ser de 2 vezes o 'Tempo de Resposta'. Essa informação está contida na referência [19], na página 293.

Apêndice 4

Princípio Translinear

O Princípio Translinear [8,9,25] é uma peculiaridade de uma configuração eletrônica feita com transistores que possuem primordialmente a característica da transcondutância, ou seja, dispositivos que possuem uma função matemática que relaciona uma tensão de entrada com uma corrente de saída. O conceito da translinearidade foi publicado por Gilbert [9,25]. Este tipo de configuração foi bastante explorada por ele, que publicou e criou inúmeros circuitos baseados no princípio.

Os transistores bipolares ou de efeito de campo (este último trabalhando na região sub-limiar) possuem essa característica. No caso dos transistores bipolares pode-se expressar a corrente de saída I_c em função da tensão de entrada V_{be} da seguinte forma:

$$I_c = I_s * \exp [(V_{be}/ V_t)] \qquad \textbf{(Equação A4.1)}$$

Onde : I_s – Corrente de saturação;

V_{be} – Tensão entre Base e Emissor (Tensão de Entrada);

I_c – Corrente de coletor (Corrente de Saída);

V_t – Tensão Térmica.

O Princípio Translinear na configuração com transistores bipolares afirma que é possível que se relacione algebricamente as correntes de coletor dos transistores desta montagem entre si, desde que I_s (corrente de saturação) e V_t (tensão térmica) sejam iguais para todos os transistores.

Por exemplo, vendo a Figura A4.1 é possível perceber que :

$$V_{be1} + V_{be3} = V_{be2} + V_{be4} \qquad \textbf{(Equação A4.2)}$$

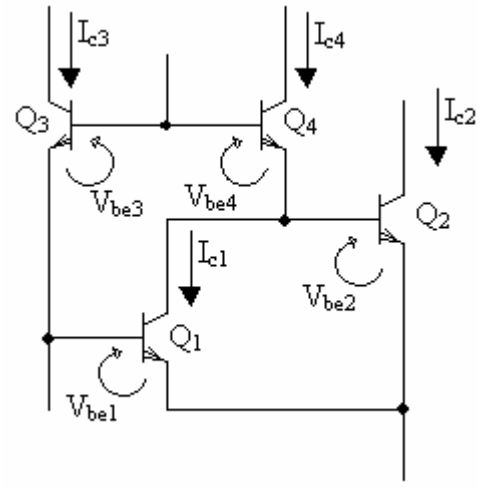


Figura A4.1 – Parte translinear de um circuito eletrônico montado com transistores bipolares.

A partir da equação A4.1 é possível obter o seguinte:

$$V_{be} = V_t * \ln(I_c / I_s) \qquad \textbf{(Equação A4.3)}$$

Portanto, colocando-se a equação A1.3 em A1.2, fica:

$$V_t * \ln(I_{c1} / I_s) + V_t * \ln(I_{c3} / I_s) = V_t * \ln(I_{c2} / I_s) + V_t * \ln(I_{c4} / I_s)$$

$$Vt* [\ln(I_{c1} / I_s) + \ln(I_{c3} / I_s)] = Vt* [\ln(I_{c2} / I_s) + \ln(I_{c4} / I_s)]$$

$$\ln(I_{c1} / I_s) + \ln(I_{c3} / I_s) = \ln(I_{c2} / I_s) + \ln(I_{c4} / I_s)$$

$$\ln(I_{c1}* I_{c3} / I_s^2) = \ln(I_{c2}* I_{c4} / I_s^2)$$

$$I_{c1}* I_{c3} / I_s^2 = I_{c2}* I_{c4} / I_s^2$$

$$I_{c1}* I_{c3} = I_{c2}* I_{c4} \qquad \textbf{(Equação A4.4)}$$

A equação A4.4 relaciona algebricamente as correntes de coletor da configuração da Figura A4.1