

MARLY GUIMARÃES DA SILVA

Engenheira Eletricista - Universidade do Amazonas, 1983.

*Declaro que esta cópia corresponde à
versão final da tese.*

22/06/88

João A. Teixeira S. Reis

METODOLOGIA SEMI-CUSTOM: UM AMBIENTE DE PROJETO DE
CIRCUITOS ANALÓGICOS DEDICADO A UM "ANALOG-ARRAY"

Tese apresentada à Faculdade de Engenharia Elétrica
da UNICAMP como requisito parcial para a obtenção do
título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. José Antonio Siqueira Dias

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA
LABORATÓRIO DE ELETRÔNICA E DISPOSITIVOS

JUNHO DE 1988

UNICAMP
BIBLIOTECA CENTRAL

Ao pai Orestes
e à mãe Marina.

Este trabalho contou com o apoio financeiro das seguintes
Entidades:

FINEP - através do convênio 52.87.0876/00
e CNPq.

AGRADECIMENTOS

Ao Prof. JOSÉ ANTONIO SIQUEIRA DIAS, pela valiosa orientação, apoio e estímulo no desenvolvimento deste trabalho.

À Fundação Centro de Análises, Pesquisa e Inovação Tecnológica, FUCAPI, por ter me propiciado a oportunidade de realizar este trabalho.

Ao Prof. Oséas Valente de Avilez Filho, Chefe do Departamento de Eletrônica e Microeletrônica.

Aos Pesquisadores Cícero F. Fernandes Costa Filho e Daniel R. da Silveira pelas colaborações e proveitosas discussões no transcorrer deste trabalho.

Aos meus irmãos Orestes Fº, Mirlane, Mirlei e Orlens e a toda minha família pelo incentivo.

À Flávia e Cássia pela oportunidade da amizade.

À Irene, Dodô e Lúcia.

Aos amigos próximos e distantes que me auxiliaram, na forma de apoio técnico ou incentivo, contribuindo efetivamente para a consecução deste trabalho.

RESUMO

Os circuitos integrados analógicos de pequena e média complexidade podem, a exemplo dos circuitos digitais, ser confeccionados usando circuitos integrados semidedicados ("semi-custom"). Com esta técnica o projetista necessita apenas realizar as interconexões entre os dispositivos pré-difundidos na lâmina de silício. Entre as várias vantagens da utilização desta metodologia de projeto, podemos citar:

- baixo custo;
- rapidez na execução do projeto;
- rapidez na correção de algum eventual erro no projeto;
- rapidez na confecção do circuito integrado.

Neste trabalho apresentamos o projeto de um "chip semi-custom" do tipo "array"-analógico, em tecnologia bipolar, bem como o desenvolvimento de um suporte de C.A.D. dedicado ao "array"-analógico projetado. Este C.A.D., denominado "Array-Software", consiste de Editor Gráfico, Extrator de Interconexões, Verificador de Regras de Projeto a nível de metalização e Gerador de Padrões para cortes de máscara em Rubylith, compatível com o sistema usado no LED/UNICAMP.

Por fim, analisamos os resultados obtidos nos ensaios de implementação de funções analógicas típicas, com o auxílio das ferramentas de projeto desenvolvidas.

ABSTRACT

Analog SSI and MSI Integrated Circuits, as the digital circuits, can be fabricated with semi-custom master-slices. When using this technique, the design engineer needs only to make the interconnection of pre-diffused devices on the silicon wafer.

Among the advantages of using this methodology, we can mention: low cost, fast design turn-around time, easy and quick correction of eventual mistakes, extremely fast processing turn-around for the IC.

This work presents the design of an analog-array in bipolar technology and the development of a CAD support for this master-slice. The CAD consists of a Graphics Editor, a Circuit Extractor, a Design Rule Checker and Pattern Generator, that is compatible with the Rubylith art-work generator system that is currently being used in the LED/UNICAMP.

Finally, the results obtained with the complete design cycle with some typical analog cells implemented in the analog-array are discussed.

LISTA DE SÍMBOLOS

- A_E : Área de emissor;
 A_p : Área parasita efetiva de emissor (transistor npn);
 BV_{CBO} : Tensão máxima entre coletor e base com emissor aberto;
 BV_{CEO} : Tensão máxima entre emissor e coletor com base aberta;
 C_{tc} : Capacitância de transição de coletor;
 C_{te} : Capacitância de transição da junção de emissor;
 D : Coeficiente de difusão de impurezas;
 D_n : Coeficiente de difusão de elétrons;
 D_p : Coeficiente de difusão de lacunas;
 f_T : Frequência na qual o ganho na configuração emissor comum vale 1;
 I_E : Corrente de emissor;
 J_n : Densidade de corrente de portadores minoritários na base;
 J_p : Densidade de corrente de portadores minoritários no emissor;
 k : Constante de Boltzmann;
 L_n : Comprimento de difusão de elétrons;
 L_p : Comprimento de difusão de lacunas;
 m : Fator de atraso de fase;
 N_{AB} : Concentração de impurezas da base na região próxima a junção de emissor;
 N_{AB_0} : Concentração superficial de impurezas da base;
 N'_B : Concentração líquida de impurezas na junção de emissor;
 N_{DE_0} : Concentração superficial de impurezas do emissor;
 N_{EPI} : Concentração de impurezas de camadas epitaxial;
 n_{iB} : Concentração intrínseca de base;
 n_{iE} : Concentração intrínseca de emissor;
 q : Carga do elétron;
 R : Resistência em resistores difundidos tipo p;
 r_c : Resistência serie de coletor;
 r_e : Resistência dinâmica da junção de emissor;
 RS : Resistência de folha;
 RS_{Al} : Resistência de folha do Alumínio,

R_{SC} : Resistência de folha da Camada Enterrada;
 t : Tempo de penetração;
 T : Temperatura
 t_d : Tempo de trânsito de portadores na camada de depleção do coletor;
 V_{CB} : Tensão reversa entre base e coletor;
 v_{sc} : Velocidade de espalhamento dos portadores;
 W_B : Largura de base (transistor npn);
 W_{eff} : Largura efetiva de resistores tipo p;
 W_e : Largura efetiva da base (transistor pnp);
 W_V : Largura de base (transistor pnp vertical parasita);
 x_{jB} : Profundidade da junção de base;
 x_d : Espessura da camada de depleção;
 x_{jE} : Profundidade da junção de emissor;
 β_F : Ganho de corrente direto em emissor comum;
 γ_0 : Eficiência de injeção da junção de emissor;
 ϵ_0 : Permissividade do espaço livre;
 ϵ_r : Permissividade relativa do Silício;
 ρ_B : Resistividade média da base;
 ρ_{EPI} : Resistividade média da camada epitaxial;
 ϕ_0 : Potencial da junção de emissor;
 τ_{Bp} : Tempo de trânsito das lacunas na base ativa do transistor pnp;
 τ_n : Tempo de vida médio de portadores minoritários na base;
 τ_{Pn} : Tempo de trânsito dos elétrons na camada difundida p (transistor pnp).

ÍNDICE

CAPÍTULO I - INTRODUÇÃO	1
1.1 Técnica de Integração "Semi-custom"	1
1.2 Escolha da Técnica de Projeto	2
1.2.1 Características da Técnica SSI/MSI	3
1.2.2 Características da Técnica "Semi-custom" ("Array Analógico")	4
1.2.3 Características da Técnica "Full-custom"	6
1.3 Principais fabricantes de "Arrays" Analógicos	7
1.4 Considerações Finais	7
1.5 Referências Bibliográficas	8
CAPÍTULO II - O "ARRAY" ANALÓGICO	9
2.1 Introdução	9
2.2 Como se apresentam os "Arrays" Analógicos	9
2.3 O "Array" Analógico Projetado	11
2.3.1 Apresentação	11
2.3.2 Características	11
2.4 Projeto dos Dispositivos	16
2.4.1 Perfil de Impurezas	16
2.4.2 Transistor npn (1)	19
2.4.3 Transistor npn (2)	29
2.4.4 Transistor pnp	35
2.4.5 Resistores	41
2.5 Referências Bibliográficas	52
CAPÍTULO III - O "SOFTWARE" DE APOIO	53
3.1 Introdução	53
3.2 "Array-Software"	54
3.2.1 Características Gerais de Edição	55

3.2.2	Características Gerais de Extração	58
3.2.3	Características Gerais da Verificação das Regras de Projeto e Geração de Cortes de Máscara	59
3.3	Estrutura de Dados do "Array-Software"	60
3.4	Fluxo de Dados do "Array-Software"	60
3.5	Organização de Dados no Editor	60
3.5.1	Capacidade de Armazenamento	64
3.6	Organização de Dados no Extrator	64
3.7	Organização de Dados no VRP/Gera-Cortes	68
3.8	Exemplo de Utilização	70
3.9	Referências Bibliográficas	76
CAPÍTULO IV - CONCLUSÕES		71
APÊNDICE I		81
ANEXO I		84

CAPÍTULO I

INTRODUÇÃO

1.1. TÉCNICA DE INTEGRAÇÃO "SEMI-CUSTOM"

A história da indústria de semicondutores tem presenciado desde o aparecimento dos primeiros circuitos integrados, uma demanda crescente dos mesmos. Paralelamente presenciou, também, a necessidade de evolução das técnicas de projeto e tecnologias de fabricação empregadas, visto que o mercado de semicondutores não necessitava apenas de volumes maiores de circuitos integrados, mas também que tais C.I. apresentassem maior capacidade de integração, que executassem funções mais complexas e que, em contrapartida, não incorressem nos altos custos de desenvolvimento de um circuito integrado "full-custom" (é essa a denominação atual da técnica que os primeiros projetistas utilizavam e que, atualmente, é usada em algumas aplicações específicas a serem citadas ainda neste capítulo).

No projeto de C.I. "full-custom", o projetista, dentre outras tarefas, dimensiona, otimiza e desenha o layout de cada dispositivo do circuito a ser integrado. Fica evidente que, para a realização de um projeto a este nível, é exigido do projetista conhecimento especializado ou treinamento prévio (tanto em tecnologia de fabricação quanto na técnica de projeto), além de um empenho constante, dado que as dificuldades encontradas na execução do mesmo aumentam com os níveis de integração e com a complexidade do circuito.

Constatado o aumento dos esforços e custos requeridos no projeto, ou encontrava-se um meio de reduzi-los drasticamente, ou ambos dentro de pouco tempo inviabilizariam a integração em altos níveis. Um meio encontrado de reduzir o tempo e os esforços dispendidos num projeto foi o de isolar o projetista da complexidade de projetar a nível de dispositivos e restringi-lo ao uso de componentes ou grupos de componentes pré-definidos. Certamente, haveria um preço a ser pago por esta simplificação, qual seja: uma perda de flexibilidade e uma redução na densidade de dispositivos no "chip".

O conceito de circuito integrado "semi-custom" (semi-dedicado) foi baseado nas várias técnicas desenvolvidas visando alcançar os objetivos citados anteriormente. As técnicas mais comuns são normalmente classificadas sob os termos genéricos de "gate-array", "standard-cells" e "analog-array".

Um "gate-array" consiste de uma matriz de portas lógicas ou componentes pré-processados até o estágio de espera da definição da interconexão dos componentes entre si. Esta última etapa normalmente envolve uma ou mais camadas de metal. Através desta etapa, o "gate-array" poderá ser configurado para realizar qualquer função lógica requerida.

A técnica "standard-cells" (células-padrão) requer a produção de um conjunto completo de máscaras; tipicamente necessita de tantas máscaras quantas forem necessárias num projeto "full-custom". Sua estrutura explora a hierarquia inerente a todos os sistemas lógicos, particionando a lógica em blocos funcionais ou células. Estas células são inteiramente projetadas e ficam disponíveis em bibliotecas. Para um dado projeto, seleciona-se da biblioteca as células adequadas, alocando-as em filas. Entre as filas é deixado espaço para que possam ser feitas as interconexões.

Finalmente, a técnica que vai merecer atenção especial a partir de agora, pois é o motivo deste trabalho, é a denominada de "analog-component-array" (referenciada daqui em diante simplesmente por "array" analógico ou "array"). Em linhas gerais ela permite a implementação de funções analógicas dedicadas, pelo uso dos mesmos princípios básicos do "gate-array". Apesar de ser, das técnicas de semi-dedicados, a mais recente, os "arrays" analógicos estão sendo muito utilizados pela indústria de equipamentos e instrumentação eletrônica (as técnicas "standard-cells" e "gate-array" são quase que exclusivamente digitais), dado suas características vantajosas em relação às duas técnicas possíveis de implementação de circuitos analógicos.

1.2. ESCOLHA DA TÉCNICA DE PROJETO

É sabido que na implementação de um circuito tem-se as seguintes opções:

- deixar o circuito como foi desenvolvido (provavelmente em circuitos integrados "standards" MSI/SSI disponíveis no mercado mais alguns dispositivos discretos); ou

- integrá-lo usando a técnica "full-custom" ou "semi-custom" ("array"-analógico no caso de uma função analógica).

Para fazer a escolha de que técnica usar em uma aplicação particular, numerosos fatores devem ser levados em conta. Embora a prioridade destes fatores dependa da aplicação, geralmente eles podem ser sintetizados da seguinte forma:

- (a) CUSTO TOTAL (custo de desenvolvimento, custo unitário, custo associado à correções do projeto caso seja necessário);
- (b) TEMPO TOTAL (desde o início do projeto até a produção dos C.I.);
- (c) CAPACIDADE E FLEXIBILIDADE (da técnica de projeto);
- (d) FACILIDADE E PRECISÃO (do projeto para a obtenção de sucesso na primeira tentativa);
- (e) CAPACIDADE DA TECNOLOGIA.

Apesar de sua importância, o item (e), na maioria das vezes não é considerado na escolha de qual técnica empregar, pelo fato de cada uma destas técnicas apresentar a possibilidade de uso de mais de uma tecnologia. Portanto, a comparação é efetuada somente nos itens de (a) a (d), entre as técnicas.

1.2.1. CARACTERÍSTICAS DA TÉCNICA SSI/MSI

Essa é a clássica técnica de "bread board" frequentemente utilizada no desenvolvimento do circuito:

- (a) CUSTO: o custo de desenvolvimento pode ser de fato bastante baixo, caso o projeto inicial tenha sido montado em "bread board". Porém, se, para a produção é especificada uma montagem automática, haverá a necessidade de um desenvolvimento adicional, que implicará, obviamente, num custo adicional. Na produção, o custo unitário permanece alto e quase que independente do volume (figura 1.1);
- (b) TEMPO: como o custo, o tempo de desenvolvimento do protótipo pode ser muito pequeno. Entretanto, o tempo para produzir cada placa (cada unidade de circuito), mesmo com montagem automática, é grande e independente do volume;
- (c) FLEXIBILIDADE: a técnica é extremamente flexível e funções adicionais podem ser incorporadas ao circuito;

d) **FACILIDADE E PRECISÃO:** o projeto normalmente é realizado sem grandes dificuldades, mas a verificação de conformidade do produto final com o projeto não é fácil. Entretanto, as modificações que se fizerem necessárias podem ser prontamente efetuadas.

As grandes desvantagens desta técnica são, certamente, a área e o consumo de potência superiores às demais técnicas.

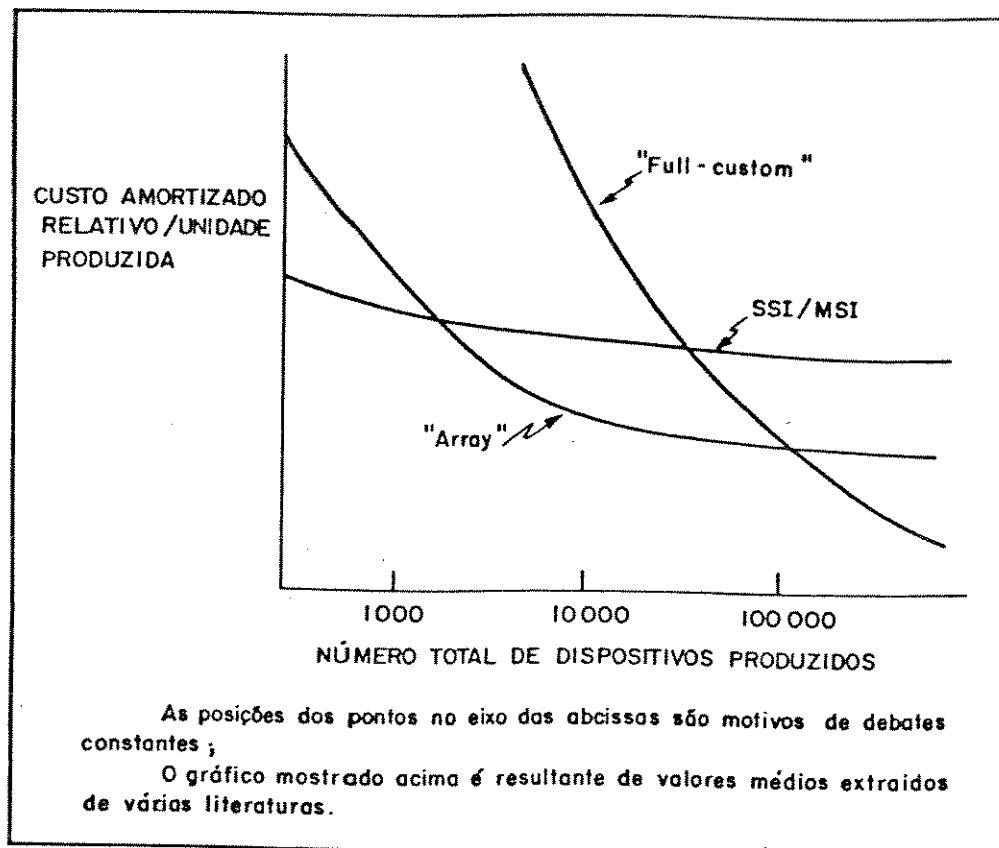


Figura 1.1. Curva custo-volume para as técnicas em análise. [1]

1.2.2. CARACTERÍSTICAS DA TÉCNICA "SEMI-CUSTOM" ("ARRAY ANALÓGICO")

Atualmente os "arrays" analógicos constituem um dos grandes setores do mercado de "semi-customs".

(a) **CUSTO:** o custo de desenvolvimento de um "array" é a soma do custo de projeto e do custo de fabricação do protótipo. O custo de projeto depende do tamanho do circuito, da sua complexidade e das ferramentas de auxílio ao projeto disponíveis. Um dos fatores responsáveis pela boa aceitação dos "arrays" é o baixo custo de fabricação dos protótipos. Na personali-

zação de um circuito usando um "array" (pré-processado e geralmente estocado em grande volume), confecciona-se apenas uma máscara de interconexão (para metalização em um único nível) ou três máscaras (para metalização em dois níveis). Assim, o custo de fabricação pode ser mantido mais baixo que nas técnicas que requerem um conjunto completo de máscaras. O custo unitário depende do custo de processamento e dos custos de encapsulamento e teste. Como os "arrays" possuem tamanhos fixos (ou melhor, possuem tamanhos pré-fixados, independentemente dos circuitos que serão personalizados), nem todos os dispositivos nele contidos são sempre usados. Desta forma, o tamanho do "chip-array" normalmente será maior que um "chip-full-custom" (do mesmo circuito, numa mesma tecnologia). O custo total, entretanto, deve incluir o custo de desenvolvimento amortizado. Para qualquer circuito integrado, o custo real, de acordo com a referência [1], é dado por:

$$\text{CUSTO} = \frac{D}{N} + \text{CHIP} + F \quad (1.1)$$

onde:

D: custo de desenvolvimento;

N: número de "chips" fabricados;

CHIP: custo unitário do "chip" na produção;

F: custo de encapsulamento, teste, etc. por "chip".

Os "arrays" apresentam um valor de "D" relativamente baixo e um valor de "CHIP" alto comparados aos sistemas que requerem um conjunto completo de máscaras, tendendo, portanto, a serem econômicos em pequenos volumes (ver figura 1.1).

- (b) TEMPO TOTAL: a duração da fase de projeto em um "array" dependerá fortemente da situação em que o projeto se encontra. Com um projeto bom e já testado, a translação para o "array" e as possíveis simulações poderiam ser feitas em aproximadamente uma semana e o "layout" automático poderia estar concluído em dias. Entretanto, se o projeto apresenta um funcionamento crítico em determinadas condições ou não foi bem projetado, pode-se levar um mês ou mais para colocá-lo na forma adequada ao "array". A confecção das máscaras e a fabricação poderiam ser completadas em duas ou três semanas, mas a maioria dos fabricantes apresentam um tempo típico de personalização (elaboração dos "layout", verificação, confecção das máscaras, metalização, encapsulamento e teste) de 6 a 12 semanas;

c) FLEXIBILIDADE: os "arrays" apresentam boa capacidade de comportar uma ampla gama de funções analógicas. Já são disponíveis, atualmente, "arrays" analógico-digitais. Mas, em geral, seu uso é bastante restrito, em face deles serem dispendiosos (devido à grande área de silício) e também serem menos amparados em termos de C.A.D. ("computer aided design") que os puramente analógicos;

(d) FACILIDADE: a disponibilidade do auxílio por computador ao projeto em "gate-array" tem aumentado muito nos últimos anos, chegando até a aparecer alguns sistemas totalmente automatizados. Devido às características particulares dos circuitos analógicos, o suporte computacional necessário à execução de um projeto analógico não pode ser o mesmo usado em circuitos digitais. O C.A.D. para circuitos analógicos é, portanto, mais complexo. Em face disto, e pelo "array" ser uma técnica mais recente que o "gate-array", ela ainda não alcançou o estágio de seu similar digital. Entretanto, o desenvolvimento de macrocircuitos (blocos funcionais tais como amplificadores, comparadores, referências de tensão, etc.), que se assemelham às células desenvolvidas na técnica "standard cells", tem caracterizado a tendência atual de facilitar a utilização dos mesmos.

1.2.3. CARACTERÍSTICAS DA TÉCNICA "FULL-CUSTOM"

A clássica técnica de projeto "full-custom" é usada por uma proporção decrescente de circuitos. Entretanto, sendo esta um modo extremo de integração do silício, é útil comparar suas características com as da técnica "semi-custom".

(a) e (b) CUSTO E TEMPO: a característica predominante do "full-custom" é a extensa e, conseqüentemente, cara fase de projeto manual. Alguns homens.ano de esforços são normalmente dispendidos na confecção de um protótipo quase que totalmente artesanal. O custo de fabricação é o custo de processamento de um conjunto completo de máscaras, que é normalmente, superado pelo custo do projeto. O objetivo principal desta metodologia é, geralmente, obter um tamanho mínimo de "chip". Em termos da equação (1.1), o valor de "D" é alto, o do "CHIP" é baixo, e o custo amortizado é o menor de todas as técnicas para volumes de produção muito altos;

(c) FLEXIBILIDADE: uma outra razão para uso de "full-custom" é a sua total

flexibilidade. É o único tipo de integração em silício que é genuinamente totalmente flexível, embora também possa ser construído, em parte, por células previamente desenvolvidas. Em alguns casos, o "full-custom" pode ser a única solução para um problema particularmente difícil (por exemplo, várias tecnologias em um mesmo "chip");

- (d) FACILIDADE: a técnica de projeto "full-custom" é uma atividade difícil e altamente especializada. Devido a sua total flexibilidade, as ferramentas de C.A.D. tendem a ser de difícil geração e complexas em relação ao manuseio.

1.3. PRINCIPAIS FABRICANTES DE "ARRAYS" ANALÓGICOS

Pelo exposto no item anterior, observa-se que há, de fato, uma fatia de mercado na indústria eletrônica reservado aos "arrays" analógicos, dada suas vantagens aparentes em relação às outras técnicas. Atualmente já existem vários fornecedores de "arrays", que não só produzem um ou dois "arrays" diferentes, mas várias famílias destes. A título de ilustração, citam-se, abaixo, os principais fabricantes (fornecedores) presentes nas últimas publicações [2] e [3].

- (i) Plessey Semiconductors;
- (ii) Tektronix Incorporation;
- (iii) Exar Corporation;
- (iv) Micro Linear Corporation;
- (v) Linear Technology Incorporation;
- (vi) Ferranti Interdesign Incorporation;
- (vii) Raytheon Corporation;
- (viii) Vatic Systems Incorporation;
- (ix) Cherry Semiconductor Corporation.

1.4. CONSIDERAÇÕES FINAIS

Como mencionado no início, o "array" analógico é motivo deste trabalho. Isto se deu ao fato desta técnica ainda não ter sido totalmente absor

vida em nosso país, dado que referências nacionais sobre esta técnica são raras [4]. Tal escolha é justificada também pela potencialidade desta tecnologia para o desenvolvimento de projetos em Laboratórios de Pesquisa e Universidades, principalmente quando se constata que a existência de tais facilidades permite a formação de recursos humanos com muito mais agilidade, não só a nível de pós-graduação, mas também certamente, a nível de graduação.

Dessa forma, esse trabalho reveste-se de grande importância, ainda mais que, para um país em desenvolvimento, que considera a microeletrônica uma questão estratégica [5], tão importante quanto absorver uma nova tecnologia é gerar meios mais eficazes de formar mão-de-obra especializada para as indústrias nacionais.

1.5. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Hicks, P.J., Semi-custom I.C. design and VLSI. London, UK: Peter Peregrinus Ltd., 1983.
- [2] Plessey Semiconductors. The plessey portofolio. California, USA, 1981.
- [3] Goodenough, F., Analog arrays rival digital designs in facility, performance. Electronic design, 1985, 14, 86-96.
- [4] Dias, J.A.S., Plano de pesquisa em projeto de circuitos integrados lineares usando circuitos semi-dedicados, agosto, 1986.
- [5] Franco, V., É dada a partida para a microeletrônica. Info-revista brasileira de Informática, 1986, 36, 30-36.

CAPÍTULO II

O "ARRAY" ANALÓGICO

2.1. INTRODUÇÃO

A implementação discreta de circuitos analógicos impõe cuidados na seleção dos componentes e no "layout" da placa de circuito impresso. Frequentemente, as capacitâncias parasitas associadas ao grande número de transistores e resistores constituem um fator dominante na determinação do desempenho dinâmico do circuito final. Além disso, os componentes montados são expostos ao risco de contaminação acarretando, eventualmente, alterações no circuito, se este for sensível à variabilidade dos componentes, a exemplo dos circuitos analógicos de múltiplos estágios.

O "array" monolítico analógico apareceu como uma solução técnica (menos onerosa em termos de custo e tempo de desenvolvimento que a personalização via técnica "full-custom") para a maioria dos problemas da implementação discreta. De uma forma geral, ele contém um determinado número de componentes previamente processados, do tipo: transistores, resistores, capacitores e, eventualmente, alguns outros componentes ativos. Com esta técnica, através de uma adequada definição das interconexões entre estes componentes, o projetista determina a função analógica que seu circuito integrado executará após a metalização.

2.2. COMO SE APRESENTAM OS "ARRAYS" ANALÓGICOS

Como a proposta deste trabalho é a de projetar, confeccionar e caracterizar uma primeira versão nacional de circuito integrado nesta nova técnica, procurou-se inicialmente pesquisar as características dos "arrays" analógicos existentes. Desta pesquisa constatou-se, entre outras coisas, que tais "arrays" caracterizam-se por duas tendências principais. Uma é a de

apresentarem facilidades de trabalho do mesmo nível que as apresentadas pelos "gate-arrays". E a outra é a de desenvolvimento de macrocircuitos, a exemplo da metodologia "standard cell", onde macrocircuitos são circuitos analógicos típicos (amplificadores operacionais, temporizadores, estágios de saída, etc.), que tiveram seus projetos submetidos a um processo de homologação e cujos padrões de metalização ("layout"), especificações e outras informações adicionais, encontram-se armazenadas em uma biblioteca. Objetiva-se, pelo uso destes, facilitar e, portanto, reduzir o tempo de conversão de um diagrama de bloco a um "layout" final do circuito no "array".

Uma característica comum a todos os "arrays" pesquisados, decorrente da tentativa de facilitar seu uso, é o fato deles apresentarem uma arquitetura na qual grupos idênticos de componentes são dispostos sobre um "grid" (grade) previamente definido, de modo a tornar o projeto destes "arrays" menos problemático no que concerne a sua automatização. Os "arrays" mais atuais seguem a tendência do uso de dupla camada de metal, obtendo, assim, densidades de componentes superiores às do processamento de camada única. A desvantagem da metalização em dois níveis é a de ser um processo mais complicado para personalizar o "array". Em vez de usar somente uma máscara, a metalização em dois níveis exige duas máscaras extras e isto por sua vez implica em um aumento de custo. Este processamento complexo, além da vantagem do aumento da densidade de componentes, citada acima, apresenta uma compensação extra, que é o fato do "layout" automático tornar-se consideravelmente mais fácil de ser obtido.

Uns poucos "arrays" analógicos possuem seções de "gate-array" para implementação lógica, da mesma forma que alguns "gate-arrays" apresentam áreas especiais para implementação de funções analógicas.

Os agrupamentos de transistores, ou células, dos "arrays" pesquisados contêm de 10 a 30 transistores e outros componentes ativos ou passivos. Os "arrays" mais atuais contêm não mais que 36 agrupamentos, sendo 12 o número mais típico.

A maioria dos "arrays" faz uso de um processo semiconductor de performance aprimorada, sem o qual, muitas das características por eles apresentadas não seriam obtíveis.

2.3. O "ARRAY" ANALÓGICO PROJETADO

2.3.1. APRESENTAÇÃO

Em linhas gerais, o "array" analógico projetado faz uso da característica-chave mencionada no ítem anterior, na qual todos os contatos dos dispositivos estão dispostos em um "grid". Apresenta um "layout" da forma X-Y (também denominado matricial) composto de células idênticas (em alguns pontos espelhadas) mais alguns dispositivos periféricos. Com isto, o mesmo macrocircuito (por exemplo, um amplificador operacional) pode ser alocado tanto em um determinado conjunto de células, quanto na versão espelhada deste conjunto, sem alteração de interconexão, caso tal mudança contribua para a melhoria do "layout" do circuito total.

2.3.2. CARACTERÍSTICAS

Este "array" foi projetado em um "grid" de 30 μm , com o compromisso de que cada contato recaia sobre um "grid" (figura 2.1). Em face deste valor de "grid", os dispositivos ativos projetados não correspondem a dispositivos de geometria mínima permitida pelas regras de projeto [1]. A menor dimensão é 8 μm (aberturas de contato de coletor e emissor do transistor pnp) e a área total do "array" é (3,5 x 3,5) mm^2 . Na área central estão distribuídos 3 tipos de células (agrupamentos de transistores) repetidos 4 vezes cada, constituindo uma matriz 6 x 2, totalizando 12 células. As células denominadas de 4P, 12N3P e 8N2P contêm respectivamente: 4 transistores pnp (de duplo coletor); 12 transistores npn (de aplicação geral com 4 contatos de coletor) e 3 transistores pnp; e 8 transistores npn e 2 transistores pnp. (figura 2.2).

As 6 células da primeira coluna encontram-se refletidas na segunda. As metades inferior e superior do "array" são também espelho uma da outra, ou seja, a primeira, segunda e terceira linhas estão refletidas na sexta, quinta e quarta linhas respectivamente. Além disso, as células 4P e 8N2P apresentam simetria no eixo horizontal.

Na periferia encontram-se alguns dispositivos adicionais, incluindo um par de transistores npn grandes, de estrutura interdigitada, para circuitos que requerem corrente elevada; um par de transistores npn idênticos aos das células, 26 "pads" para interconectar o circuito ao meio ex

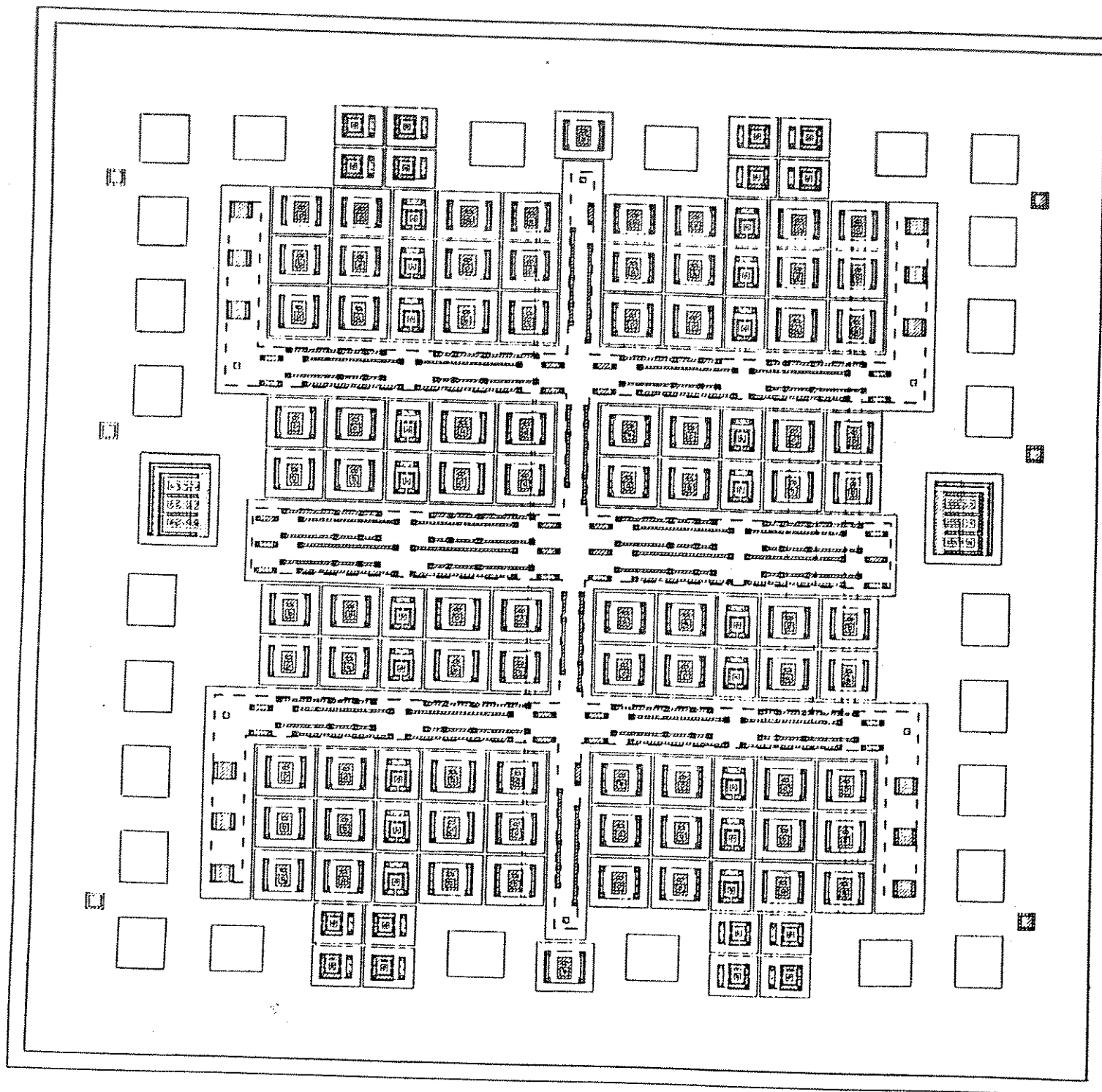


Figura 2.1 - "Layout" do "array" analógico projetado.

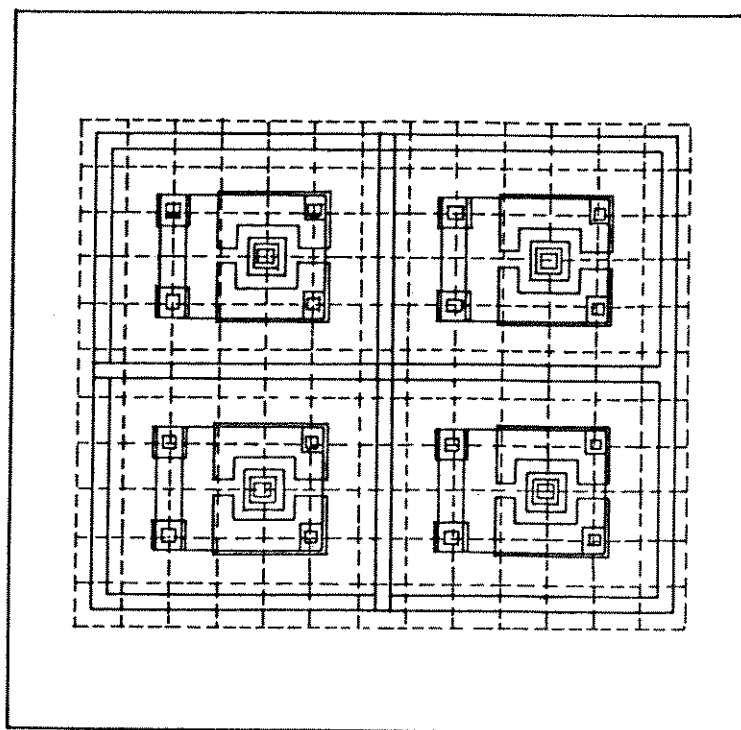


Figura 2.2(a) - Célula de transistores 4P.

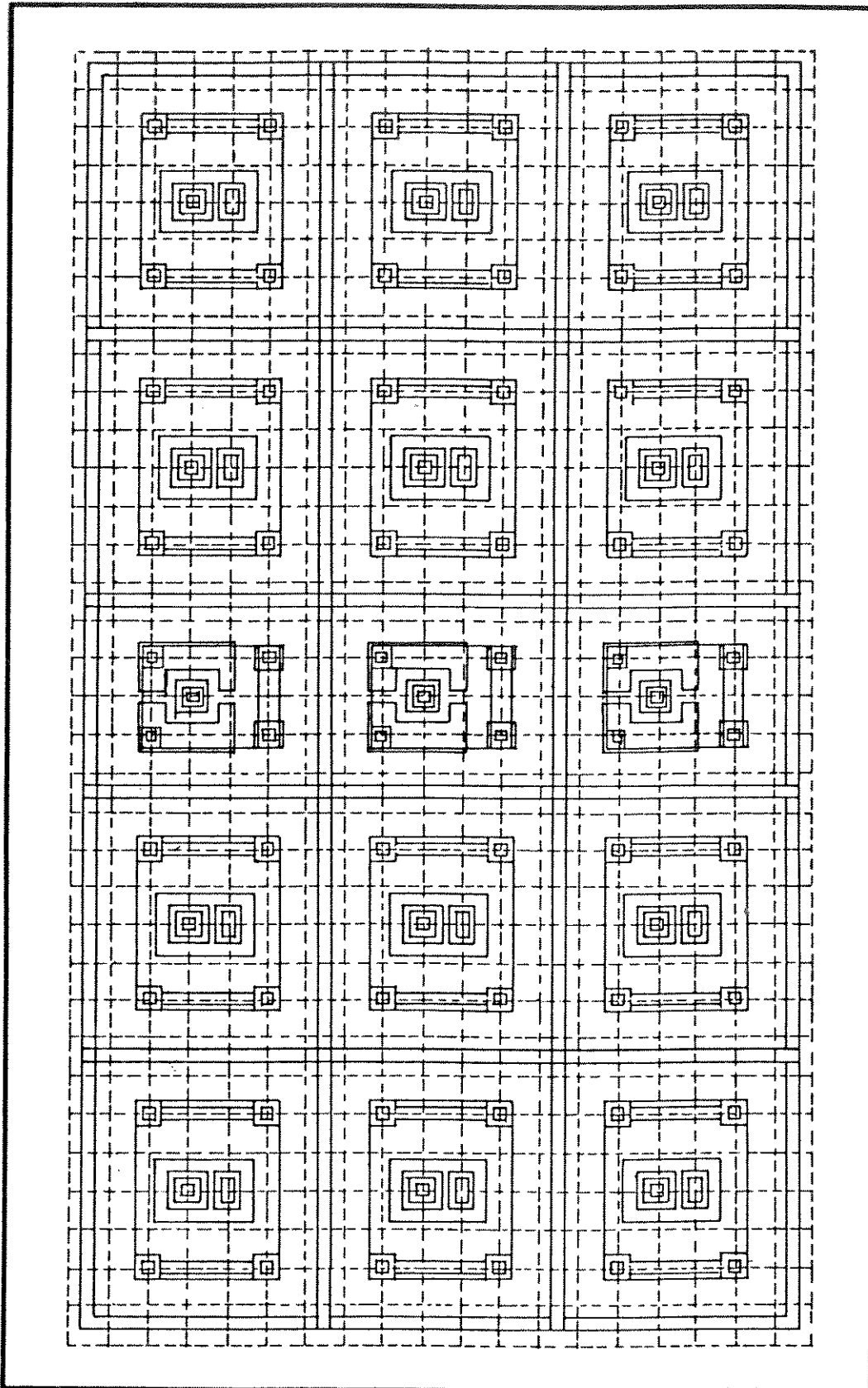


Figura 2.2(b) - Célula de transistores 12N3P.

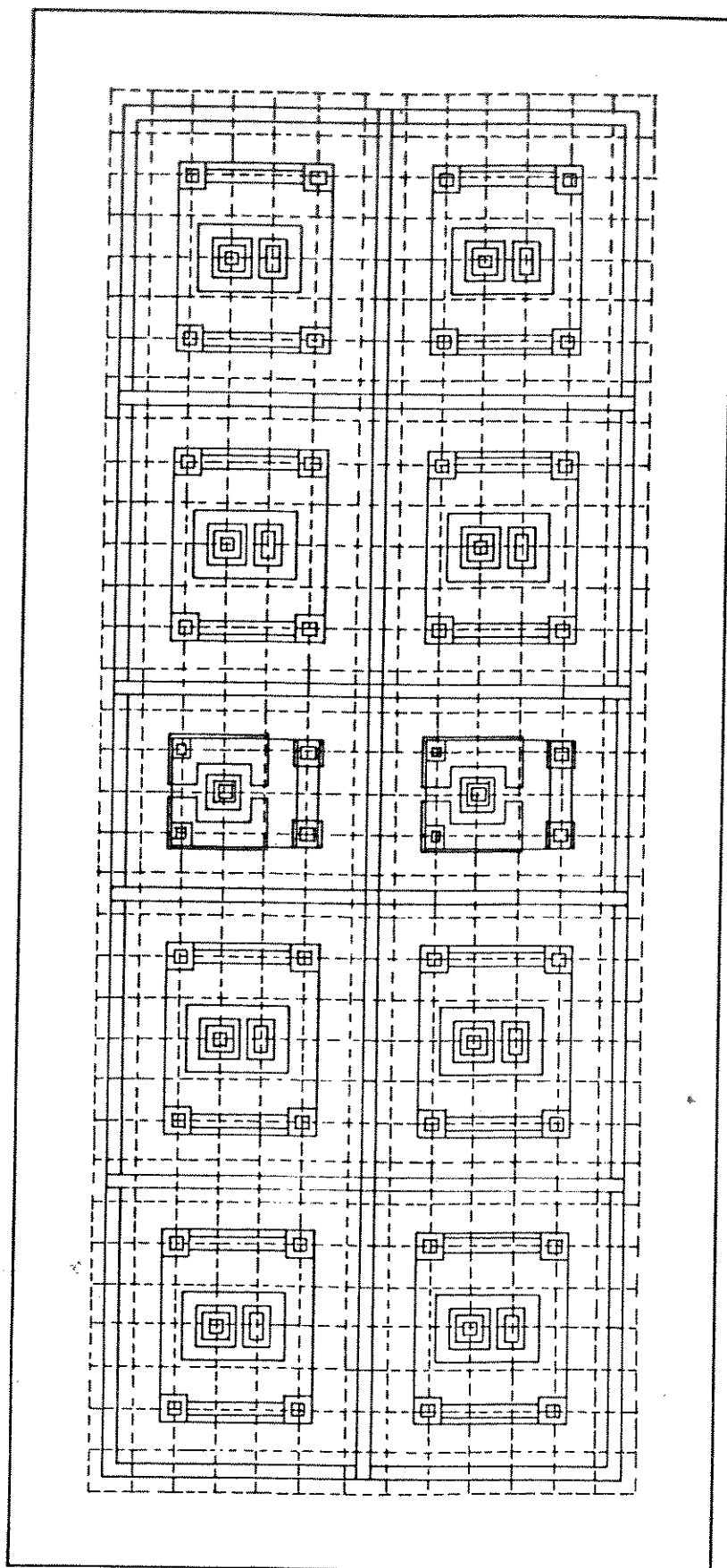


Figura 2.2(c) - Célula de transistores 8N2P.

terno e 6 contatos de substrato.

Entre as células de transistores encontram-se pacotes (agrupamentos) de resistores tipo P que variam de 200Ω a $5,6\text{ k}\Omega$, perfazendo um total de aproximadamente $367\text{ k}\Omega$, dispostos próximos uns dos outros para facilitar as associações.

Entre células e entre dispositivos existem áreas de Silício sem processamento dedicadas ao roteamento de linhas de interconexão, o qual será efetuado em apenas um nível, pois o processo de fabricação a ser utilizado é o bipolar planar convencional, sem acréscimo de alguma etapa extra. Ainda, devido às limitações apresentadas neste processo, inviabilizou-se a inclusão de capacitores do tipo M.O.S.

As características do apoio computacional geradas para este "array" são descritas no capítulo III. A seguir, discorrer-se-á sobre o projeto dos dispositivos contidos no "array", ressaltando-se que a geometria final destes dispositivos é resultado de um processo iterativo (projeto do "array" \Leftrightarrow projeto dos dispositivos) no que concerne aos efeitos da geometria no desempenho e facilidade de interconexão do "array". Com isto foi necessário refazer algumas etapas anteriores e assim por diante.

2.4. PROJETO DOS DISPOSITIVOS

2.4.1. PERFIL DE IMPUREZAS

O processo no qual será confeccionado o "array" é um processo já estabelecido, ou seja, não dá margem a cálculos de tempos e temperaturas necessários para que as difusões de emissor, base, etc. produzam os perfis de dopagem desejados. Porém, apesar de estabelecido, ele ainda encontra-se em processo de caracterização. Em face disto adotou-se um perfil de distribuição de impurezas típico de um processo linear [2] e a partir dele procurou-se estimar alguns parâmetros de desempenho dos dispositivos. O perfil adotado é mostrado na figura 2.3.

Admitindo-se que a distribuição de impurezas na base aproxime-se de um perfil gaussiano; desprezando-se os efeitos de variação do coeficiente de difusão com a dopagem e com o coeficiente de segregação do dopante, tem-se que a equação que representa o perfil de base é a seguinte:

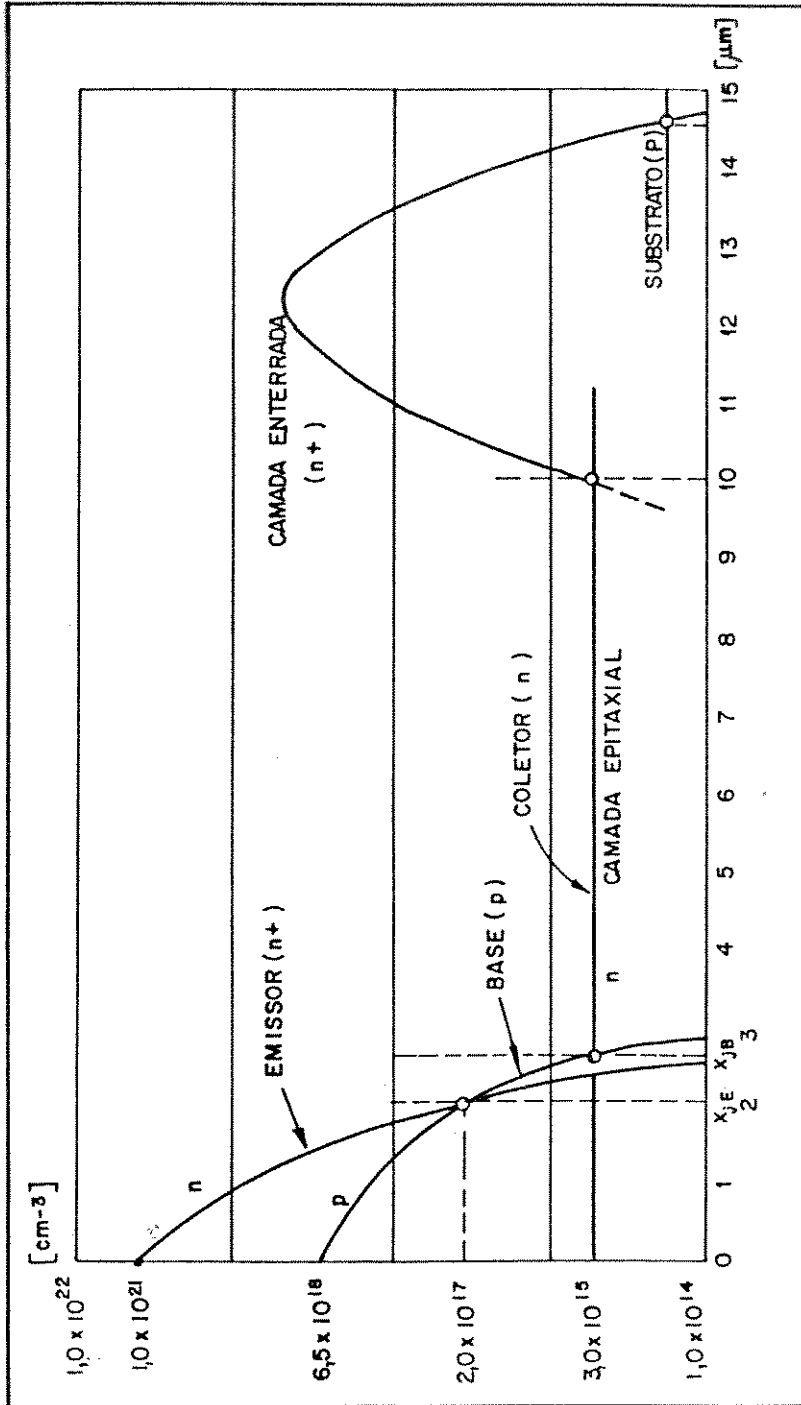


Figura 2.3 - Perfil de dopagem típico de um processo linear.

$$N_{AB}(x) = N_{AB_0} \cdot \exp\left(\frac{-x^2}{4 D \cdot t}\right) \quad (2.1)$$

onde

N_{AB_0} : concentração superficial da base;
 D : coeficiente de difusão de impurezas;
 t : tempo de penetração.

Conhecidos dois pontos da referida curva, o perfil fica determinado pois $D \cdot t$ passa a ser conhecido. Assim, para:

$$x = 0 \rightarrow N_{AB_0} = 6,5 \times 10^{18} \text{ (cm}^{-3}\text{)};$$

$$x = x_{j_E} = 2(\mu\text{m}) \rightarrow N_{AB}(x_{j_E}) = 2 \times 10^{17} \text{ (cm}^{-3}\text{)}$$

tem-se

$$4 \cdot D \cdot t = \frac{-x_{j_E}^2}{\ln\left(\frac{N_{AB}(x_{j_E})}{N_{AB_0}}\right)} = 1,15 \times 10^{-8} \text{ (cm}^2\text{)}$$

e

$$N_{AB}(x) = 6,5 \times 10^{18} \cdot \exp\left(\frac{-x^2}{1,15 \times 10^{-8}}\right) \text{ (cm}^{-3}\text{)} \quad (2.2)$$

Na determinação do perfil do emissor admitiu-se um perfil função erro complementar (erfc), mostrada a seguir:

$$N_{DE}(x) = N_{DE_0} \operatorname{erfc}\left(\frac{x}{2 \cdot \sqrt{D \cdot t}}\right) \quad (2.3)$$

onde

N_{DE_0} : concentração superficial de emissor;
 $2 \cdot \sqrt{D \cdot t} = L$: comprimento de difusão.

Usando os valores de N_{DE_0} , x_{j_E} e $N_{DE}(x_{j_E})$ da figura 2.3, determina-se, por intermédio de solução numérica, o valor de $\sqrt{D \cdot t}$ e por conseguinte, obtêm-se o perfil final do emissor:

$$N_{DE}(x) = 1 \times 10^{21} \cdot \operatorname{erfc} \left(\frac{x}{2\sqrt{1,43 \times 10^{-9}}} \right) \text{ (cm}^{-3}\text{)} \quad (2.4)$$

Chegado neste ponto, observa-se que o valor de N_{DE_0} é superior a solubilidade elétrica do dopante (fósforo) que é de $\approx 3 \times 10^{20}$ (cm⁻³) a 1050(°C). Portanto, de acordo com [3], o perfil de emissor determinado anteriormente não corresponde ao perfil de fósforo eletricamente ativo. Determinando o valor de x (profundidade) no qual $N_{DE}(x)$ seja $\approx 3 \times 10^{20}$ (cm⁻³), a solução numérica obtida é $x = 0,66$ (μm). Assim, o perfil de impurezas eletricamente ativas a ser considerado nos cálculos dos parâmetros do transistor é o da figura 2.4.

2.4.2. TRANSISTOR npn(1):

- GEOMETRIA:

A geometria final do transistor npn(1) é mostrada na figura 2.5. Como se pode observar ele possui 4 contatos de coletor, o que facilita o roteamento, visto que a linha de metalização que parte do coletor, pode sair por várias direções. Além disso, a difusão de coletor deste dispositivo pode, se necessário, atuar como um resistor difundido tipo n⁺ de baixo valor ou ainda como "cross unders".

- ESTIMATIVA DE PARÂMETROS:

A seguir apresentam-se os cálculos referentes à estimativa de alguns parâmetros de desempenho do transistor npn(1).

Inicia-se o cálculo dos parâmetros pelo GANHO DE CORRENTE DIRETO (β_F). De acordo com [4], um dos fatores que influem no ganho é a eficiência de injeção da junção de emissor, a qual é dada por:

$$\gamma_0 = \frac{J_n}{J_p} \quad (2.5)$$

As equações de densidade de corrente de portadores minoritários na base, J_n e no emissor, J_p , de acordo com [5], são as seguintes:

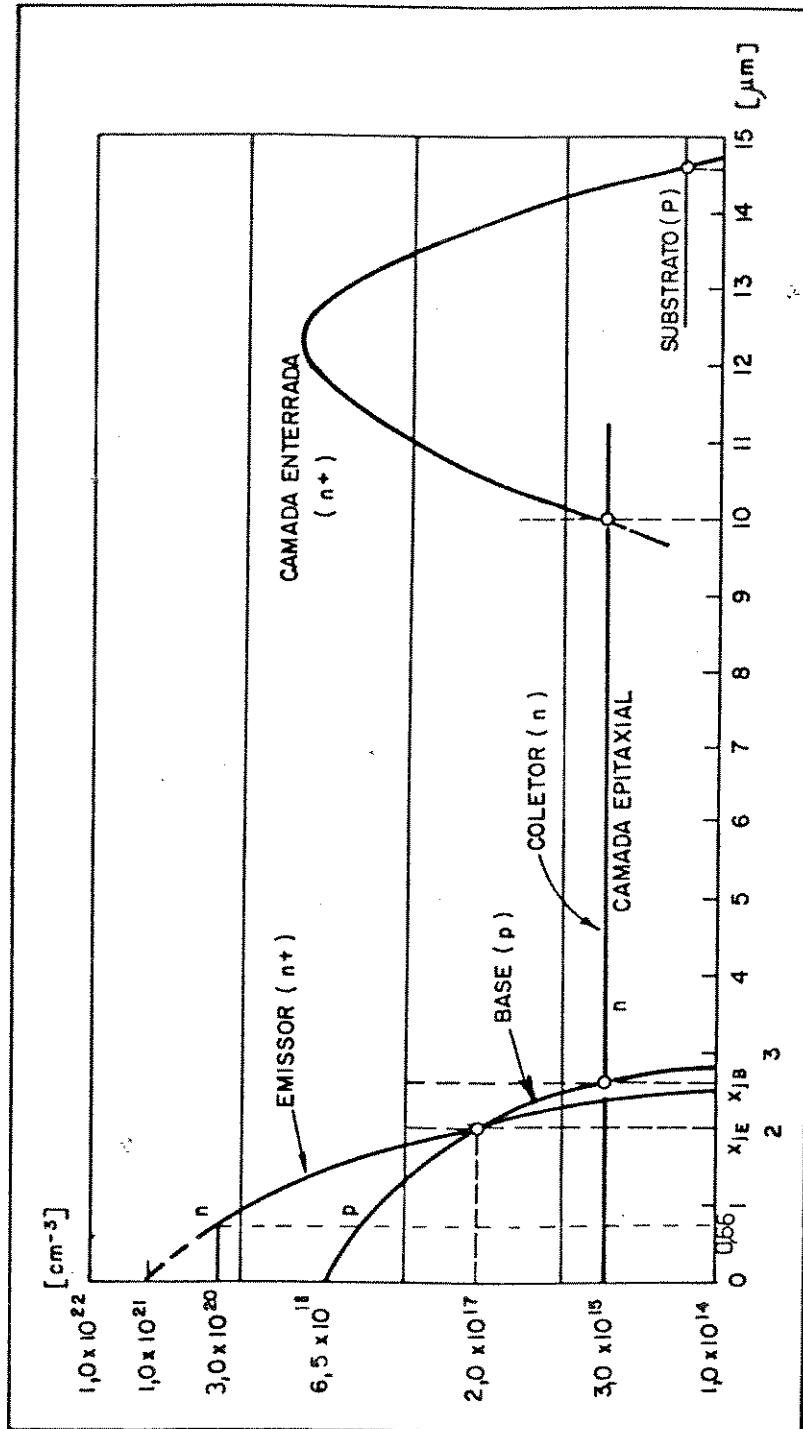


Figura 2.4 - Perfil de impurezas eletricamente ativas.

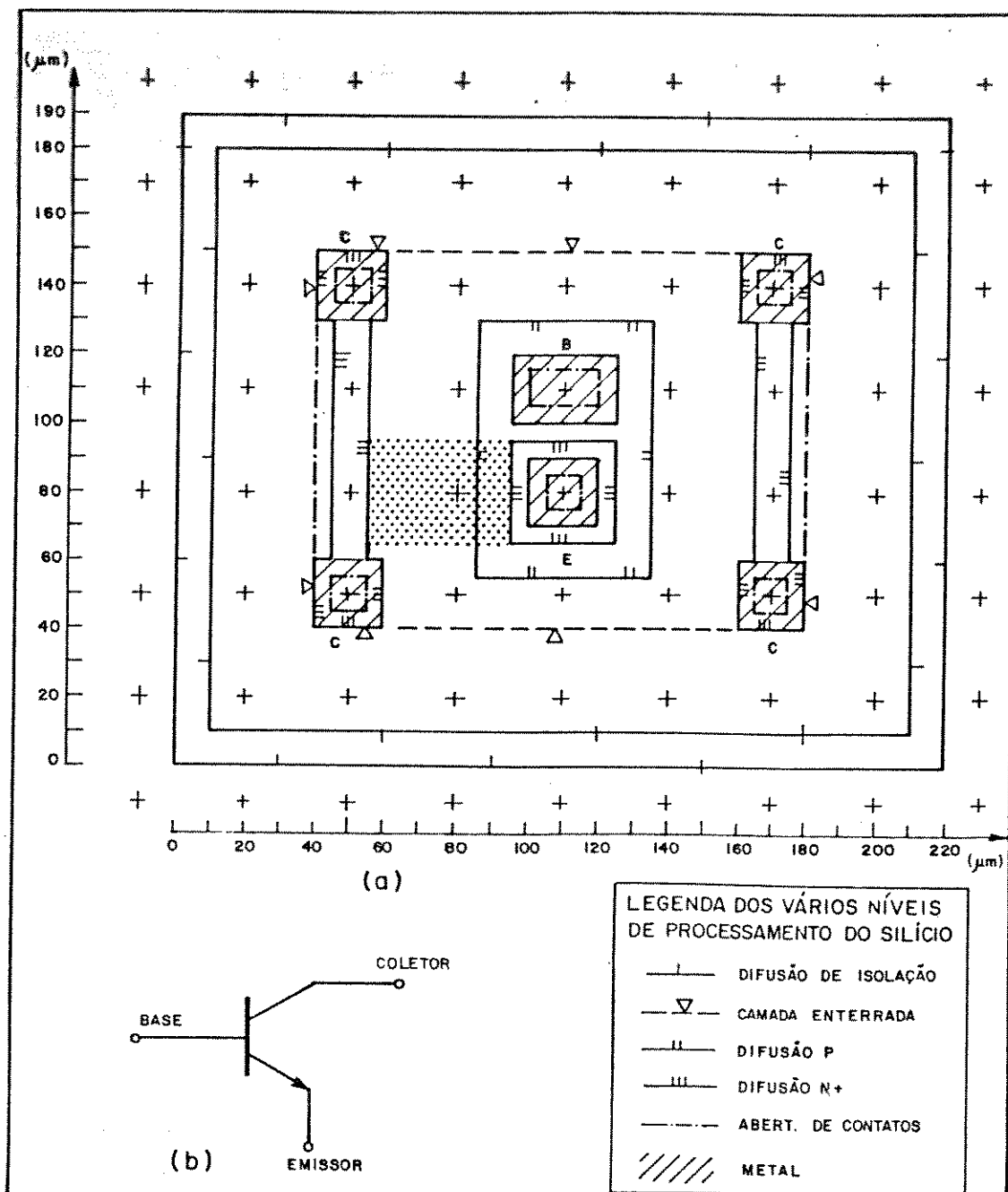


Figura 2.5 - Transistor npn(1). (a) "layout"; (b) simbologia.

$$J_n = q \int_{x_{jE}}^{x_{jB}} \frac{D_n(x) n_i^2(x)}{N_{AB}(x) - N_{DE}(x) - N_{EPI}} dx \left[\exp\left(\frac{V_{BE}}{V_T}\right) - 1 \right] \quad (2.6)$$

$$J_p = q \int_0^{x_{jE}} \frac{D_p(x) n_i^2(x)}{N_{DE}(x) - N_{AB}(x) + N_{EPI}} dx \left[\exp\left(\frac{V_{BE}}{V_T}\right) - 1 \right] \quad (2.7)$$

onde

$D_n(x)$: coeficiente de difusão de elétrons;

$D_p(x)$: coeficiente de difusão de lacunas;

$n_i^2(x)$: concentração intrínseca do emissor;

$n_i^2(x)$: concentração intrínseca da base;

V_T : tensão termodinâmica;

Substituindo as equações (2.6) e (2.7) em (2.5) e desprezando as variações de $n_i^2(x)$, $D_n(x)$ e $D_p(x)$ tem-se:

$$\gamma_0 = \frac{D_n}{D_p} \cdot \frac{\int_0^{x_{jE}} \frac{(N_{DE}(x) - N_{AB}(x) + N_{EPI})}{n_i^2(x)} dx}{\frac{1}{n_i^2} \int_{x_{jE}}^{x_{jB}} (N_{AB}(x) - N_{DE}(x) - N_{EPI}) \cdot dx} \quad (2.8)$$

Pelo uso da equação (2.9) (abaixo), consultada da referência [4], que fornece a variação de n_i^2 em função da dopagem, o perfil equivalente de

$$n_i^2 = 4,3 \left[1 + 0,032 \left(\ln \frac{N_{AB}(x)}{10^{17}} \right)^{5/2} \right] \sqrt{N_{DE}(x)} + 1,3 \times 10^9 \cdot \ln \frac{N_{DE}(x)}{10^{17}} \quad (2.9)$$

emissor (integral) que aparece no numerador da equação (2.8), foi determinado, via integração numérica. Seu valor é:

$$\int_0^{x_{jE}} \frac{(N_{DE}(x) - N_{AB}(x) + N_{EPI})}{n_i^2} \cdot dx \cong 2,48 \times 10^{-6} \quad (\text{cm}^4)$$

Adotando um valor típico para $n_i^2 = 1,0 \times 10^{20} \text{ (cm}^{-6}\text{)}$, tem-se que

$$\frac{1}{n_i^2} \int_{x_{jE}}^{x_{jB}} (N_{AB}(x) - N_{DE}(x) - N_{EPI}) \cdot dx \cong 2,12 \times 10^{-8} \text{ (cm}^4\text{)}$$

Substituindo esses valores em (2.8) e adotando os valores de 10 (cm^2/s) e 4,5 (cm^2/s) para as constantes de difusão de elétrons e lacunas respectivamente (consultada da curva 2.3.1 da referência [6]), tem-se que γ_0 vale 260.

O ganho de corrente em emissor comum, β_F , pode ser agora determinado através de:

$$\frac{1}{\beta_F} = \frac{1}{\beta_0} + \frac{W_B^2}{4 L_n^2} \quad (2.10)$$

onde

$\beta_0 = \gamma_0 \frac{A_{E\text{ativa}}}{A_E}$: ganho de emissor comum sem considerar o fator de transporte na base;

W_B : largura da base;

$L_n = \sqrt{D_n \tau_n}$: comprimento de difusão dos elétrons.

A determinação de β_F a partir da expressão (2.10) é aproximada, visto que a mesma é deduzida assumindo-se um perfil de base gradual [7].

Para: - $\gamma_0 = 260$,

- $A_E = 1140 \text{ (}\mu\text{m}^2\text{)}$.

(*) - $A_{E\text{ativa}} = 900 \text{ (}\mu\text{m}^2\text{)}$

tem-se que β_0 vale 205.

Consultando as curvas 2.2.4 e 7.3.2 da referência [6] obtêm-se um valor aproximado para τ_n (tempo de vida médio de portadores minoritários na base) de 1,0(μs), o que resulta em um valor de $L_n \cong 32 \text{ (}\mu\text{m)}$, dado que D_n vale

(*) Na determinação desta área, desprezou-se o efeito de difusão lateral.

10 (cm²/s). Aplicando esses valores em (2.10), conjuntamente com $W_B = 0,6$ (μm), tem-se que $\beta_F \approx 200$.

De posse deste valor, pode-se estimar a TENSÃO REVERSA BV_{CEO} . Conforme as considerações feitas em [7], a tensão máxima entre emissor e coletor, com base aberta (BV_{CEO}), pode ser calculada pela seguinte relação:

$$BV_{CEO} = \frac{BV_{CBO}}{n \sqrt{\beta_F}} \quad (2.11)$$

onde

BV_{CBO} : tensão máxima entre coletor e base com emissor aberto; e
 n : Índice da raiz.

A referência [2] sugere um valor de $n = 4$ para transistores npn e um $n = 2$ para transistores pnp. Já a referência [8] propõe $3 \leq n \leq 6$. Em [9] valores experimentais de β_F , conjuntamente com um BV_{CBO} teórico levaram a um índice n de 4,7. De acordo com o exemplo de cálculo feito na referência [6], chega-se a um valor de $BV_{CBO} = 60V$.

Adotando-se o valor de n obtido em [9], tem-se que BV_{CEO} vale $\approx 19,4 V$.

O valor de corrente no qual o ganho de corrente de emissor comum β_F começa a diminuir, face ao efeito de alta injeção, denota a máxima corrente que uma determinada geometria é capaz de suportar. De acordo com [7], esta CAPACIDADE DE CORRENTE é dada por:

$$\frac{I_E \cdot W_B}{2q D_n A_{E_{ativa}} N_{AB}} = 0,1 \quad (2.12)$$

onde

N_{AB} : concentração de impurezas da base próxima a junção de emissor.

Assim, para:

- $W_B = 0,6$ (μm);

- $q = 1,6 \times 10^{-19}$ (C);

- $D_n = 10 \text{ (cm}^2/\text{s)}$;
- $A_{E\text{ativa}} = 900 \text{ (}\mu\text{m}^2)$;
- $N_{AB} = 2 \times 10^{17} \text{ (cm}^{-3})$;

tem-se $I_E = 9,6 \text{ mA}$

O último parâmetro a ser estimado é a RESPOSTA EM FREQUÊNCIA do transistor. Este parâmetro é caracterizado através de f_T que é a frequência na qual o ganho na configuração emissor comum, βF , vale 1.

A equação usada para estimar f_T é a seguinte:

$$\frac{1}{f_T} = 2\pi (1+m) \left(\frac{1}{\omega_E} + \frac{1}{\omega_B} + t_d + \frac{1}{\omega_C} \right) \quad (2.13)$$

onde

m : fator de atraso de fase;

$\frac{1}{\omega_E}$: constante de tempo do emissor;

$\frac{1}{\omega_B}$: constante de tempo relacionada ao tempo de trânsito na base;

t_d : tempo de trânsito de portadores na camada de depleção do coletor;

$\frac{1}{\omega_C}$: constante de tempo do coletor.

A seguir, calcula-se cada uma das parcelas citadas acima, objetivando determinar a importância relativa de cada uma e por fim estimar f_T .

Os cálculos são para uma tensão reversa (V_{CB}) de 5 (volts) e uma corrente (I_E) de 5 (mA).

A constante de tempo do emissor é dada por

$$\frac{1}{\omega_E} = r_e C_{te} \quad (2.14)$$

onde

r_e : resistência dinâmica da junção de emissor,

$$r_e = \frac{kT}{q} \cdot \frac{1}{I_E}$$

C_{te} : capacitância de transição da junção de emissor,

$$= 4 A_E \sqrt{q \frac{\epsilon_r \epsilon_0 N'_B}{2 \phi_0}};$$

N'_B : concentração líquida de impurezas na junção de emissor.

Como por definição, a concentração líquida é zero, adota-se, de acordo com [7] o valor da metade da concentração da base na junção, ou seja,

$$= N_{AB}(x_{jE})/2;$$

ϵ_0 : permissividade do espaço livre;

ϵ_r : permissividade relativa do silício;

ϕ_0 : potencial da junção de emissor.

Para $A_E = 1140 \text{ } (\mu\text{m}^2)$

$I_E = 5 \text{ (mA)}$

$\epsilon_r = 12$

$kT/q = 26 \text{ (mV) a } 25^\circ\text{C}$

$N'_B = 1,0 \times 10^{17} \text{ (cm}^{-3}\text{)}$

$q = 1,6 \times 10^{-19} \text{ (C)}$

$\epsilon_0 = 8,86 \times 10^{-14} \text{ (F.cm)}$

e adotando $\phi_0 = 0,5 \text{ (V)}$, tem-se $\frac{1}{\omega_E} = 0,3 \times 10^{-10} \text{ (s)}$

Calculou-se a constante de tempo da base usando a aproximação de base gradual:

$$\frac{1}{\omega_B} = \frac{W_B^2}{5 D_n} \quad (2.15)$$

Para $W_B = 0,6 \text{ } (\mu\text{m})$ e $D_n = 10 \text{ (cm}^2/\text{s)}$, tem-se $\frac{1}{\omega_B} = 0,7 \times 10^{-10} \text{ (s)}$

O tempo de trânsito é dada por:

$$t_d = \frac{X_d}{v_{sc}} \quad (2.16)$$

onde

X_d : espessura da camada de depleção;

v_{sc} : velocidade de espalhamento dos portadores;
 $= 8,5 \times 10^6 \text{ (cm/s)}$.

Consultando as curvas de Lawrence and Warner em [7], para $V_{CB}/N_{EPI} = 1,7 \times 10^{15} \text{ (V.cm}^3\text{)}$, $N_{EPI}/N_{AB0} = 4,6 \times 10^{-4}$ e $x_{jB} = 2,6 \text{ } (\mu\text{m})$, obtêm-se $X_d = 2 \text{ } (\mu\text{m})$. Então, $t_d = 0,2 \times 10^{-10} \text{ (s)}$.

O último termo é:

$$\frac{1}{\omega_c} = r_c \cdot C_{tc} \quad (2.17)$$

onde

r_c : resistência série de coletor;

C_{tc} : capacitância de transição de coletor.

A resistência série de coletor é composta das parcelas de resistência entre contato de coletor e camada enterrada, resistência ao longo da camada enterrada e resistência entre a camada enterrada e a junção de base.

A primeira parcela de resistência resulta do cálculo da r_{c1} // r_{c2} // r_{c3} (figura 2.6). Nas três parcelas, desprezou-se a resistência na difusão N^+ do contato.

$$\text{Sabe-se que } r_c = \rho_{EPI} \cdot \frac{\ell}{A} \quad (2.18)$$

Desta forma ℓ vale $x_{jEPI} - x_{jE}$ e não x_{jEPI} .

Da consulta a [6], para uma concentração de impurezas na camada epitaxial igual a $3 \times 10^{15} (\text{cm}^{-3})$ tem-se que ρ_{EPI} vale $1,5 (\Omega \cdot \text{cm})$.

As áreas A_1 , A_2 e A_3 mostradas na figura 2.6 valem 400 , 700 e $400 (\mu\text{m}^2)$ respectivamente.

Como mencionado anteriormente $\ell = x_{jEPI} - x_{jE} = 8 (\mu\text{m})$. Assim $r_{c1} = r_{c3} = 300 (\Omega)$, $r_{c2} = 171 (\Omega)$ e r_{c1} // r_{c2} // $r_{c3} = 80 (\Omega)$.

A resistência ao longo da camada enterrada, considerando uma resistência de folha, RS_{CE} , de $20 \Omega/\square$ ($N_{CE} \cong 10^{19} (\text{cm}^{-3})$) é dada por

$$r_{c4} = RS_{CE} \cdot \frac{L}{W} \quad (2.19)$$

Para $L = 45 (\mu\text{m})$ e $W = 30 \mu\text{m}$ (área pontilhada figura 2.5) tem-se $r_{c4} = 30 (\Omega)$.

Finalmente, a resistência entre a camada enterrada e a junção de base, para $\ell = x_{jEPI} - x_{jB} = 10 - 2,6 = 7,4 (\mu\text{m})$;

$A_5 = 3750 (\mu\text{m}^2)$ (figura 2.6);

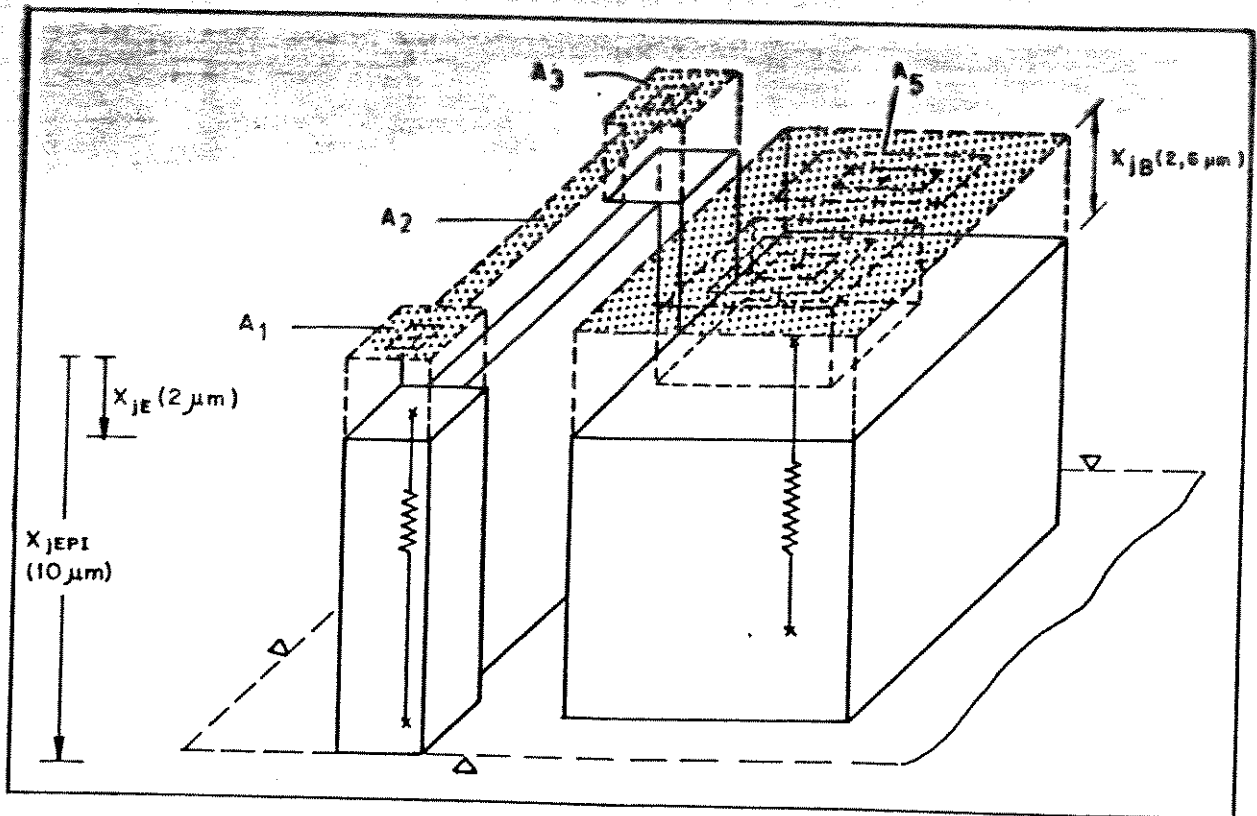


Figura 2.6 - Projeção das áreas de cálculo da resistência de saturação de coletor.

tem-se $r_{c5} = 30 \Omega$. E a resistência total de saturação de coletor é:

$$r_c = 80 + 30 + 30 = 140 \Omega$$

Da consulta as curvas de Lawrence and Warner [7], para obtenção de X_d , obteve-se também um valor de capacitância de coletor por unidade de área de $7 \times 10^3 \text{ pF/cm}^2$. Para uma área de base de $4400 \text{ } (\mu\text{m}^2)$, tem-se $C_{tc} = 0,3 \text{ (pF)}$.

A constante de tempo de coletor valerá

$$\frac{1}{\omega_c} = 0,42 \times 10^{-10} \text{ (s)}$$

Aplicando os resultados obtidos na equação 2.13 e usando um valor de $m = 0,4 \text{ rad} = 23^\circ$ (valor empírico para transistores integrados) obtém-se um valor final de f_T de $\approx 702 \text{ (MHz)}$.

2.4.3. TRANSISTOR npn (2):

CONSIDERAÇÕES:

A operação de um transistor em níveis de correntes altos acarreta a degradação das características de emissor, através do decréscimo de β_F e da queda de tensão na resistência série de coletor.

A queda de β_F deve-se ao decréscimo da eficiência de emissor e ao "crowding" de emissor.

A eficiência de emissor diminui devido a presença de um grande número de portadores minoritários em excesso na base, reduzindo assim, a resistividade efetiva da base, ρ_B , próxima a junção de emissor. O efeito "crowding", é causado pela queda ôhmica dentro da região de base ativa devido ao fluxo de corrente de base. Em vista disto, é criado um gradiente de tensão dentro da região de base ativa, fazendo com que a borda do emissor torne-se mais polarizada que a superfície inferior do mesmo. Desta forma, o emissor injeta portadores preferencialmente em torno de seu perímetro e a capacidade de corrente do transistor passa a ser, agora, proporcional ao perímetro do emissor.

Com o intuito de fazer constar no "array", transistores que servissem a aplicações que exigissem níveis de correntes superiores a capacidade do transistor npn (1), projetou-se um transistor cuja geometria minimiza a degradação das características de emissor em níveis altos de correntes, pela maximização da razão perímetro/área (geometria interdigitada) alternando tiras de emissor e dedos de contatos de base conforme sugere a maioria das bibliografias deste assunto [2], [7], [10], [11].

- PROJETO PARA UM $\beta_{MÁXIMO}$

Segundo o procedimento adotado por Hamilton & Howard em [10], especificou-se um transistor para operação em torno de 300 mA com um $\beta_{máx.}$ de 50.

Devido a geometria interdigitada, cada emissor vê, efetivamente, uma tira dupla de base. (figura 2.7).

Para cada tira de emissor, a corrente pode ser dada por:

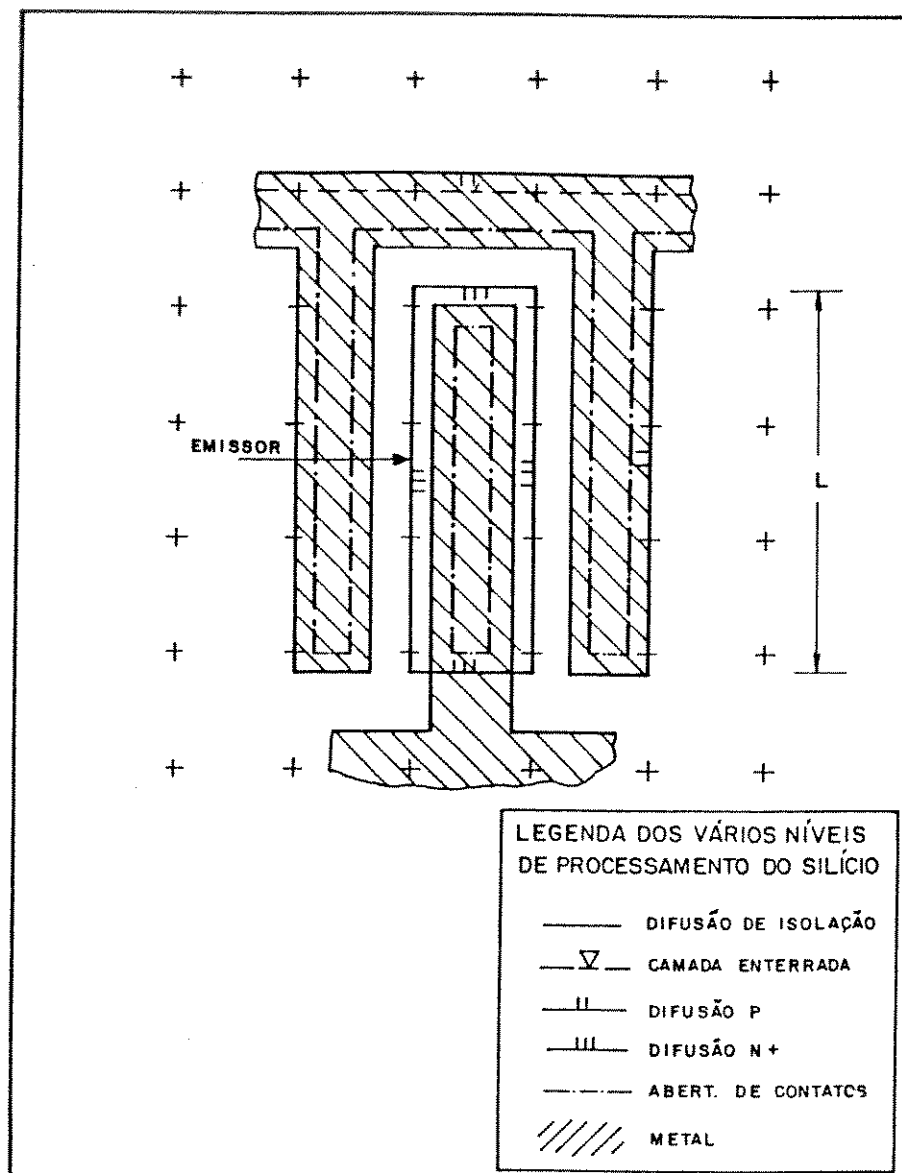


Figura 2.7. - Geometria do emissor e das tiras da base.

$$\frac{I_E}{2L} = \frac{kT}{q \rho_B} \cdot \sqrt{2 \cdot \beta_{\text{Máx.}}} \quad (2.20)$$

onde:

L : comprimento da tira de emissor;

ρ_B : resistividade média da base.

Observe-se que cada tira de emissor tem um perímetro efetivo de $2L$ visto que o "crowding" força a injeção pelas bordas da tira.

Da consulta a [6] tem-se $\rho_B \approx 0,05 (\Omega \cdot \text{cm})$. Para $(kT/q) = 26 \text{ (mV)}$ a 25°C e $\beta_{\text{Máx.}} = 50$, obtêm-se

$$\frac{I_E}{2L} = 5 (\text{A/cm})$$

Assegurando-se que a queda de tensão ao longo da tira de metalização de emissor seja desprezível, faz-se:

$$I_E R_{S_{Al}} \cdot \frac{L}{W} < 26 \text{ (mV)} \quad (2.21)$$

onde

$R_{S_{Al}}$: resistência de folha do Alumínio;

W : largura da tira de emissor.

Para uma espessura de alumínio de $0,5 (\mu\text{m})$, $R_{S_{Al}}$ vale aproximadamente $0,05 (\Omega/\square)$. Fazendo $W = 30 (\mu\text{m})$ e usando o resultado da equação (2.20), tem-se

$$L < 1,25 \times 10^{-2} \text{ (cm)}$$

Adotando $L = 100 (\mu\text{m})$, a corrente por tira de emissor é então:

$$I_E = 10 \cdot L = 100 \text{ mA}$$

São necessárias, então, três tiras de emissor para obter-se a capacidade especificada.

De acordo com as regras de projeto [1], o "layout" deste transistor é o mostrado na figura 2.8.

ESTIMATIVA DA RESPOSTA EM FREQUÊNCIA

Para estimar um valor para f_T , são usados alguns dados já obtidos na determinação deste mesmo parâmetro para o transistor npn (1), face ao fato dos mesmos não dependerem da geometria do transistor. São eles:

$$t_d = \frac{x_d}{v_{sc}} = 0,2 \times 10^{-10} \text{ (s): tempo de trânsito de portadores na camada de depleção do coletor;}$$

$$\frac{1}{\omega_B} = \frac{W_B^2}{5 D_n} = 0,7 \times 10^{-10} \text{ (s): tempo de trânsito na base.}$$

As outras parcelas, $1/\omega_E$ e $1/\omega_C$, são agora calculadas, para o mesmo V_{CB} (5(V)) e uma corrente $I_E = 50$ (mA).

$$\text{Cálculo de } 1/\omega_E = r_e \cdot C_{te}$$

Para

$$V_T \approx 26 \text{ (mV) a } 25^\circ\text{C} \quad \text{e} \quad I_E = 50 \text{ (mA)}$$

$$r_e \text{ vale } 0,5 \text{ } (\Omega)$$

Para

$$A_E = 1,02 \times 10^{-4} \text{ (cm}^2\text{)}$$

$$N_B' = 1,0 \times 10^{17} \text{ (cm}^{-3}\text{)}$$

$$\epsilon_0 = 8,86 \times 10^{-14} \text{ (F/cm)}$$

$$\epsilon_r = 12$$

e adotando $\phi_0 = 0,5$ V, tem-se

$$C_{te} = 4 \cdot A_E \sqrt{\frac{q \cdot \epsilon_r \cdot \epsilon_0 \cdot N_B'}{2 \cdot \phi_0}} = 0,5 \times 10^{-10} \text{ (F)}$$

$$\text{Assim, } 1/\omega_E = 0,25 \times 10^{-10} \text{ (s).}$$

Conforme procedeu-se no cálculo de r_c do transistor npn (1), são calculadas agora, as parcelas de resistência entre o contato de coletor e a camada enterrada; ao longo da camada enterrada e entre esta e a junção de base. Conforme mostra a figura 2.9, a área A_1 para o cálculo de

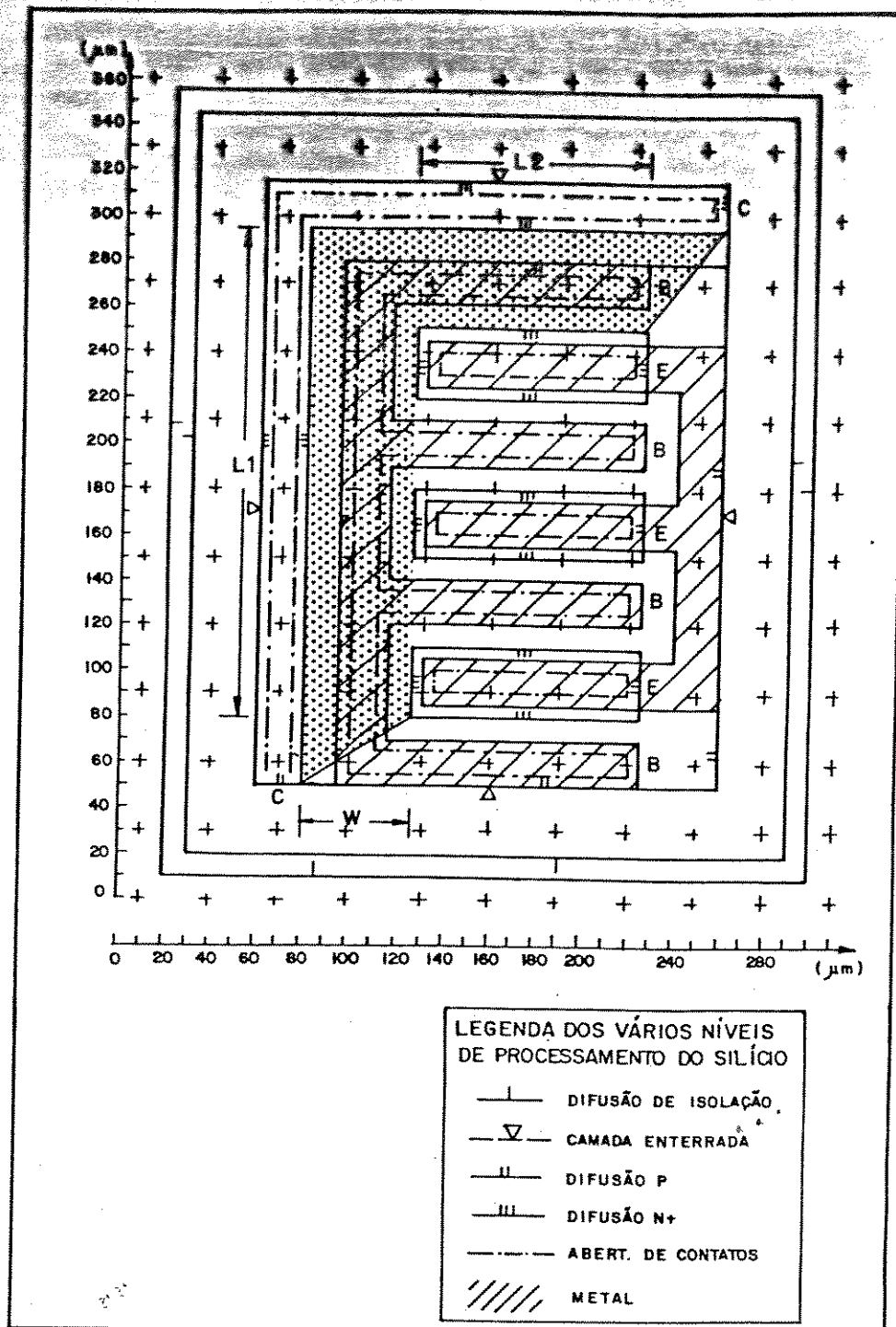


Figura 2.8 - Layout do transistor npn(2).

r_{c1} vale:

$A_1 = 20 \cdot (265 + 180) = 8900 \text{ } (\mu\text{m}^2)$. Para $\rho_{EPI} = 1,5 \text{ } (\Omega \cdot \text{cm})$ e $\ell = (x_{EPI} - x_{jE}) = 8 \text{ } (\mu\text{m})$, tem-se que $r_{c1} = \rho \cdot \frac{\ell}{A_1} = 13,5 \Omega$.

A segunda parcela tem um L/W aproximado de $\frac{215}{45} + \frac{100}{45} + (\approx \frac{35}{45}) \approx 7,8$ (área pontilhada figura 2.8). Então para $R_{SE} = 20 \Omega/\square$, o valor de r_{c2} é 156Ω .

Finalmente, para $A_3 = 170 \times 100 = 17000 \text{ } (\mu\text{m}^2)$ e $\ell = (x_{jEPI} - x_{jB}) = 7,4 \text{ } (\mu\text{m})$, r_{c3} vale

$$r_{c3} = \rho \frac{\ell}{A_3} = 6,5 \text{ } (\Omega)$$

Observe-se que no cálculo de A_3 considerou-se apenas a área de base compreendida entre as 3 tiras de emissor.

Assim, $r_c = r_{c1} + r_{c2} + r_{c3} = 176 \text{ } (\Omega)$.

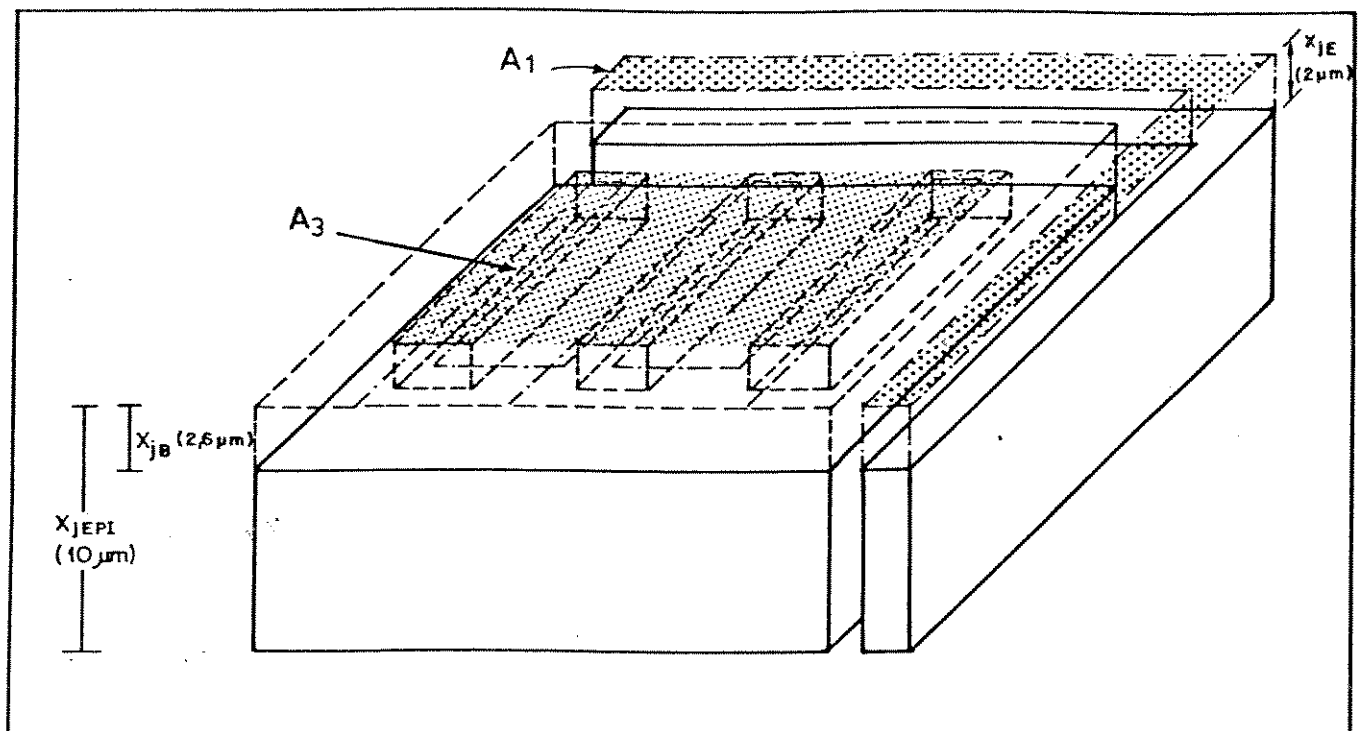


Figura 2.9 - Projeção das áreas de cálculo da resistência série de coletor.

Na estimativa da capacitância de transição de coletor do transistor npn(1) recorreu-se às curvas de Lawrence and Warner [7] e obteve-se um va

lor de capacitância por unidade de área de 7×10^3 (pF/cm²). Para uma área de base de 37950 (μm^2), o valor de C_{TC} é 2,7 (pF). Com isto, obtém-se uma constante de tempo de coletor que vale:

$$\frac{1}{\omega_C} = 4,75 \times 10^{-10} \text{ (s)}$$

Substituindo os valores das constantes de tempo e atraso na equação 2.13, transcrita abaixo e fazendo $m = 0,4$, tem-se:

$$\frac{1}{f_T} = 2\pi(1+m) \cdot \left(\frac{1}{\omega_E} + \frac{1}{\omega_B} + t_d + \frac{1}{\omega_C} \right)$$

$$\therefore f_T = 192 \text{ MHz}$$

2.4.4. TRANSISTOR pnp:

- CONSIDERAÇÕES:

Usando somente as difusões presentes no processo de integração convencional, pode-se formar estruturas de transistores pnp do tipo lateral ou do tipo substrato. Ambas usam a região epitaxial tipo n (levemente dopada) do transistor npn, como região de base. Tais estruturas são, em geral, inferiores ao transistor npn básico em capacidade de corrente e em características de alta frequência.

Neste projeto, optou-se pela estrutura pnp lateral devido a outra apresentar alguns problemas do tipo: necessidade de um controle rígido da espessura da camada epitaxial (largura da base) para assegurar a repetibilidade de suas características; e o fato do substrato tipo p (coletor) ser comum a todo circuito integrado, limitando assim sua aplicação.

A figura 2.10 (a) mostra a estrutura básica de um transistor pnp lateral. A região de base deste dispositivo é formada pela camada epitaxial tipo n . A difusão de base do transistor npn é usada para formar o emissor e o coletor do transistor pnp lateral, a difusão de emissor do transistor npn é

usada para formar o contato tipo n^+ para a base do pnp. Nesta estrutura a ação de transistor se dá paralelamente a sua superfície, ou seja, somente os portadores que partem lateralmente do emissor contribuem para a corrente de coletor. Em vista disto, para que chegue ao coletor o maior número possível de portadores emitidos pelo emissor, e para minimizar o fluxo de corrente parasita em direção ao substrato, definiu-se uma geometria na qual o emissor é rodeado pelo coletor, conforme é sugerido em [2], [10] e [11].

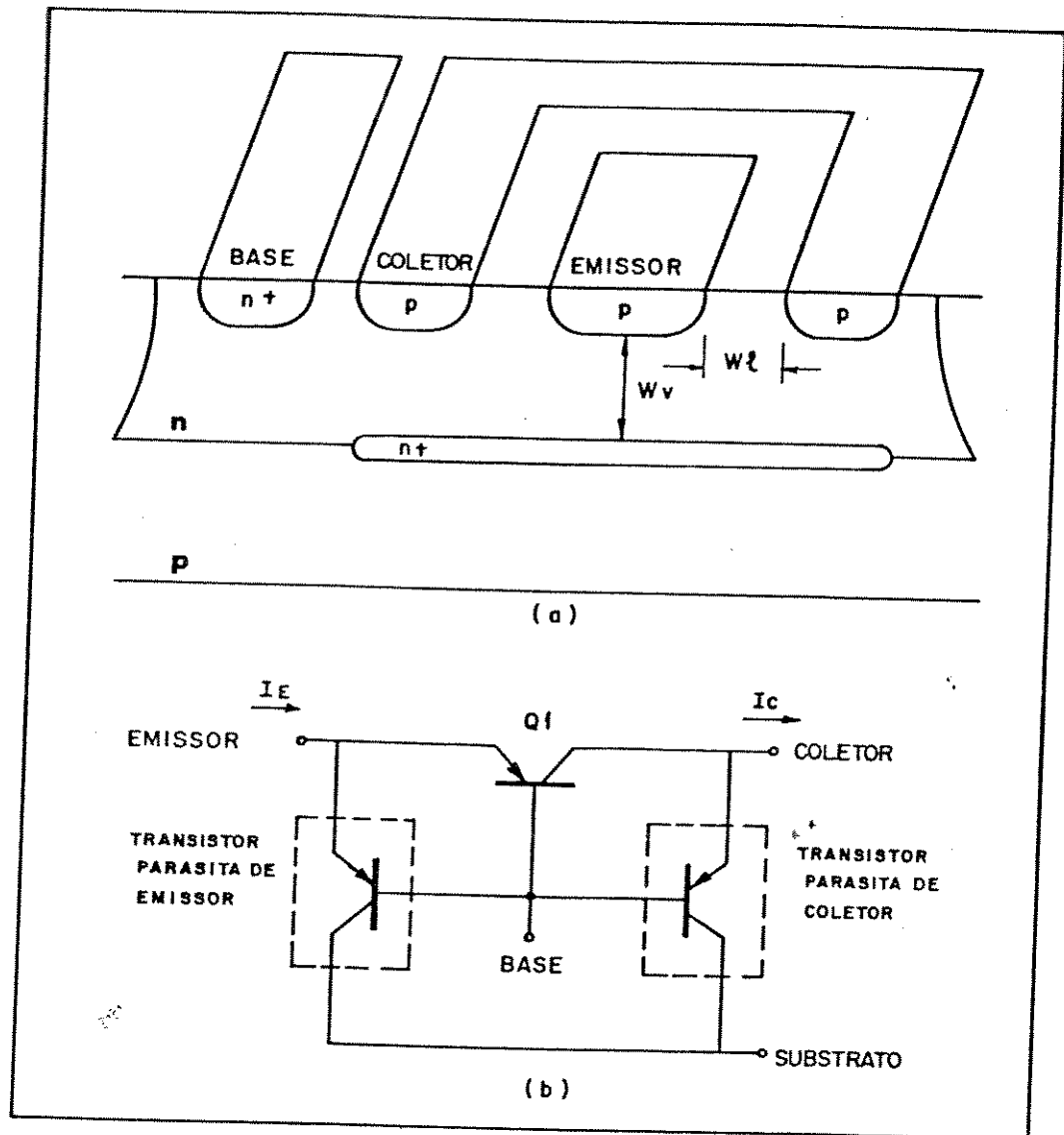


Figura 2.10 - (a) Estrutura básica de um transistor pnp lateral
(b) transistores parasitas associados ao dispositivo lateral.

As limitações de performance apresentadas pelo pnp lateral decor

rem de dois fatores. Primeiro, a largura de base é muito grande em relação a largura do transistor npn (aproximadamente 10 vezes maior). Segundo, este dispositivo tem dois transistores parasitas inerentes associados a ele (ver figura 2.10(b)). Considerando que o transistor pnp lateral esteja operando na região ativa, o transistor parasita de coletor tem ambas as junções reversamente polarizadas. Entretanto, o transistor parasita de emissor está na região ativa, o que faz com que o ganho efetivo do transistor lateral seja reduzido.

-- GEOMETRIA:

A geometria final projetada, fornece, na realidade, dois transistores pnp laterais, tendo ambos uma base e um emissor comuns (figura 2.11). Com isso, facilita-se a geração precisa e estável de razão de corrente dado que a razão entre duas correntes de coletor é determinada simplesmente pela razão de suas áreas.

- ESTIMATIVA DE PERFORMANCE:

Para se obter uma estimativa da performance do transistor pnp lateral efetuaram-se as seguintes aproximações:

- (1) Assume-se que somente os portadores minoritários injetados entre a superfície e uma profundidade de $\frac{2}{3} \cdot x_{jB}$ têm chances de alcançar o coletor. Os demais recombina-se ou são coletados pelo substrato. Assume-se ainda que a área lateral efetiva do emissor A_E vale:

$$A_E \cong \frac{2x_{jB}}{3} \cdot (2(L + 2 \times 0,7 \cdot x_{jB}) + 2(W + 2 \times 0,7 \cdot x_{jB})) \quad (2.22)$$

onde

L : comprimento do emissor;

W : largura do emissor.

A área parasita efetiva de emissor A_p é assumida ser a área da superfície do emissor:

$$A_p \cong (L + 2 \times 0,5 \cdot x_{jB}) \cdot (W + 2 \times 0,5 \cdot x_{jB}) \quad (2.23)$$

- (2) A largura efetiva de base W_{ℓ} para os portadores injetados lateralmente é

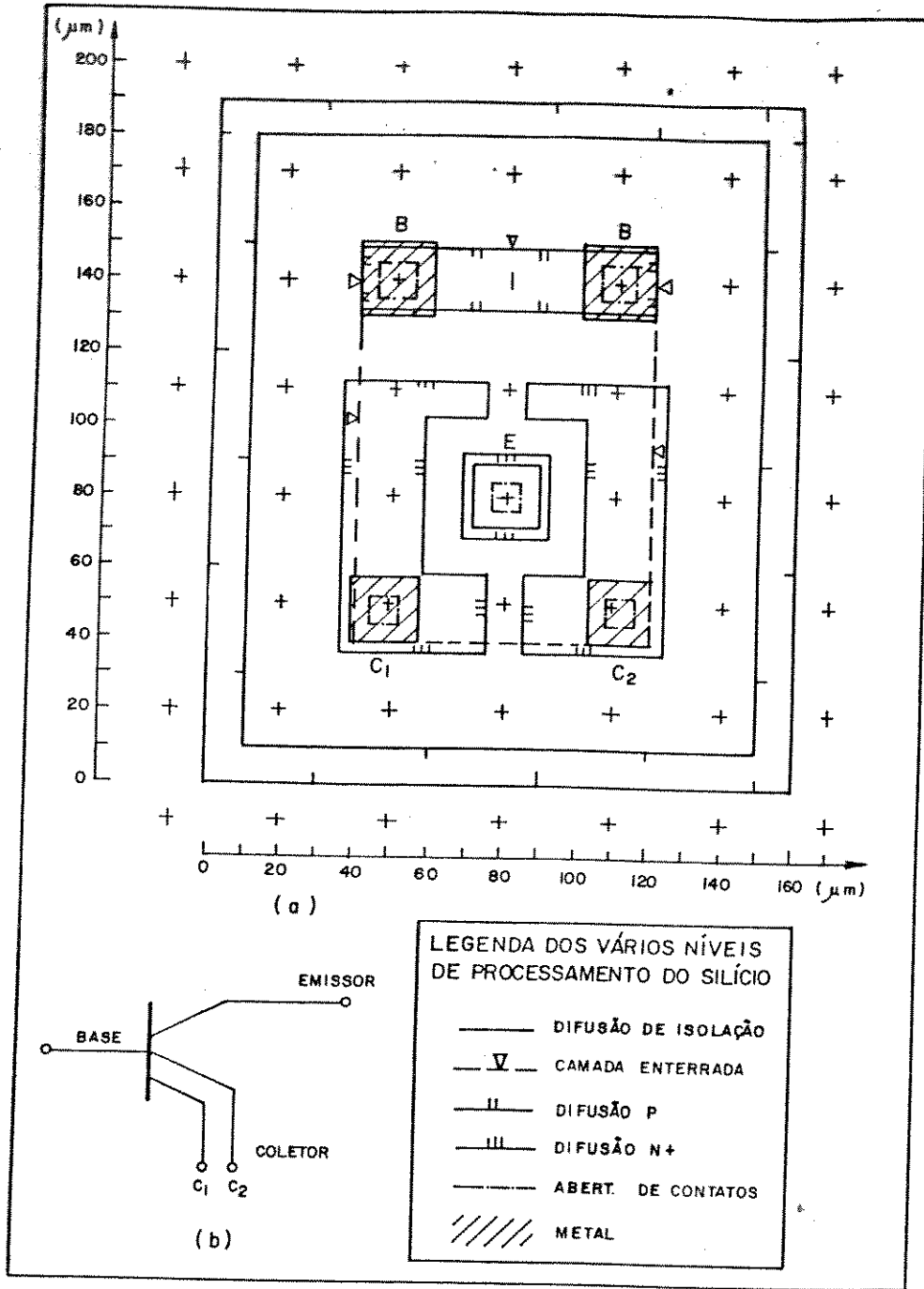


Figura 2.11 - Transistor pnp. (a) "Layout",
(b) Simbologia.

aproximadamente a largura da base na superfície considerando o efeito da difusão lateral. A largura de base W_V para os outros portadores é

$$W_V \cong x_{j_{EPI}} - x_{j_B} \tag{2.24}$$

(3) O comprimento de difusão dos portadores minoritários na camada epitaxial vale $L_p = \sqrt{D_p \tau_p}$.

(4) As regiões de depleção são desprezadas.

Como resultado destas considerações tem-se que a análise em primeira ordem fornece:

$$\frac{1}{\beta_F} = \frac{A_p}{A_E \cdot \gamma_{op}} + \frac{1}{2} \left(\frac{W_v}{L_p} \right)^2 \quad (2.25)$$

A equação 2.25 mostra que β_F é afetado pela geometria do dispositivo.

O transistor pnp lateral é inerentemente um dispositivo de frequência de corte baixa. As causas disto são dois fatores: primeiro, a largura de base efetiva é superior a do transistor npn vertical; segundo, a relação entre a área da superfície inferior do emissor e a sua área lateral é grande.

O comportamento do transistor pnp lateral em relação à frequência deve ser governado, segundo a referência [4], pela seguinte relação:

$$\omega_T \approx \tau_{Bp} + \frac{\tau_n}{\gamma_{op}} + \frac{\tau_{pn}}{\beta_F} \quad (2.26)$$

onde:

- τ_{Bp} : tempo de trânsito das lacunas na base ativa do transistor pnp, calculado pela relação $W_b^2/2D_p$;
- τ_n : tempo de vida médio dos elétrons na camada difundida p;
- τ_{pn} : tempo de trânsito dos elétrons na camada difundida p, calculado pela relação $x_j^2/2D_n$;
- γ_{op} : eficiência de injeção da junção base-emissor na região ativa, relativa a lacunas;
- β_F : ganho de corrente em emissor comum.

A geometria projetada apresenta as seguintes dimensões:

- $W_b \approx 10 - 2 \times 0,7 x_j = 6,36 \text{ } (\mu\text{m})$
- $L = W = 24 \text{ } (\mu\text{m})$.

Do perfil considerado tem-se $x_{j_B} = 2,6 \text{ (}\mu\text{m)}$ e $x_{j_{EPI}} = 10 \text{ (}\mu\text{m)}$.
 Desta forma suas áreas lateral e parasita valem:

$$A_E \cong \frac{8}{3} x_{j_B} (L + 2 \times 0,7 x_{j_B}) = 192 \text{ (}\mu\text{m)}$$

$$A_p = L(W + 2 \cdot x_{j_B}) = 707 \text{ (}\mu\text{m)}.$$

A largura de base parasita \bar{e} dada pela diferena entre $x_{j_{EPI}}$ e x_{j_B} e vale:

$$W_v = x_{j_{EPI}} - x_{j_B} = 7,4 \text{ (}\mu\text{m)}.$$

Consultando as curvas 2.2.4 e 7.3.2 da referncia [6] obtm-se um valor aproximado para τ_p (tempo de vida mdio de portadores minoritrios na camada epitaxial) de $4 \text{ (}\mu\text{s)}$, o que resulta em um valor de $L_p = \sqrt{D_p \tau_p} \cong 52 \text{ (}\mu\text{m)}$ dado que D_p vale $7,0 \text{ (cm}^2\text{/s)}$, (curva 2.3.1).

Para o clculo da eficincia de injeo γ_{op} , fez-se uso da equao 2.5 associado s equaoes 2.6 e 2.7, aplicadas agora para lacunas.

Com o auxlio da referncia [4] (concentraoes intrnsecas) e da referncia [6] (tempos de vida mdio e coeficientes de difuso) obtm-se os valores aproximados dos seguintes parmetros de comportamento dos portadores minoritrios:

$$n_{EPI}^2 \cong 2,25 \times 10^{20} \text{ (cm}^{-6}\text{)}$$

$$n_p^2 \cong 1,0 \times 10^{21} \text{ (cm}^{-6}\text{)}$$

$$D_p \cong 7,0 \text{ (cm}^2\text{/s)} \text{ (camada epitaxial)}$$

$$D_n \cong 4,5 \text{ (cm}^2\text{/s)} \text{ (camada difundida p)}$$

$$\tau_n \cong 1,0 \text{ (}\mu\text{s)}$$

Desprezando-se as variaoes de $n_{EPI}^2(x)$, $n_p^2(x)$, $D_n(x)$ e $D_p(x)$ a eficincia de injeo, γ_{op} , vale 116.

Aplicando os valores de A_E , A_p , W_v , W_ℓ , D_p , γ_{op} e L_p na equao (2.25), tm-se

$$\beta_F \cong 24$$

Para $\tau_{Bp} = 2,9 \times 10^{-8} \text{ (s)}$ e $\tau_{pn} = 7,5 \times 10^{-9} \text{ (s)}$, tem-se

$$\frac{1}{\omega_T} = 2,9 \times 10^{-8} + \frac{1,0 \times 10^{-6}}{116} + \frac{7,5 \times 10^{-9}}{27} = 3,8 \times 10^{-8}$$

$$\omega_T = 26,4 \times 10^6 \text{ rad} \therefore f_T = 4,2 \text{ MHz}$$

Considerando que os transistores pnp são mais frequentemente utilizados em circuitos de polarização, o baixo f_T apresentado por esta estrutura deixa de ser uma severa limitação.

2.4.5 - RESISTORES

- CONSIDERAÇÕES SOBRE OS PARÂMETROS ENVOLVIDOS NO PROJETO:

Todos os resistores projetados são resistores difundidos tipo p, ou seja, são construídos usando a difusão de base do transistor npn. Sua estrutura básica é mostrada na figura 2.12 e seu valor é dado pela seguinte expressão:

$$R = \rho \cdot \frac{L}{A} = \rho \cdot \frac{L}{x_j \cdot W} \quad (2.27)$$

onde

- ρ : resistividade média;
- L : comprimento do resistor;
- W : largura do resistor;
- x_j : profundidade da junção.

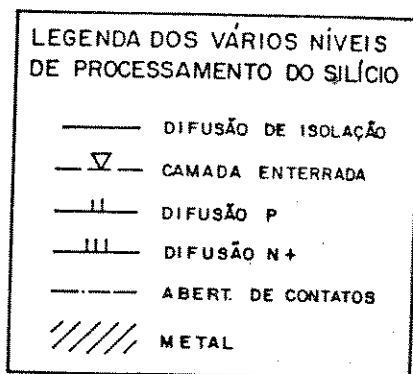
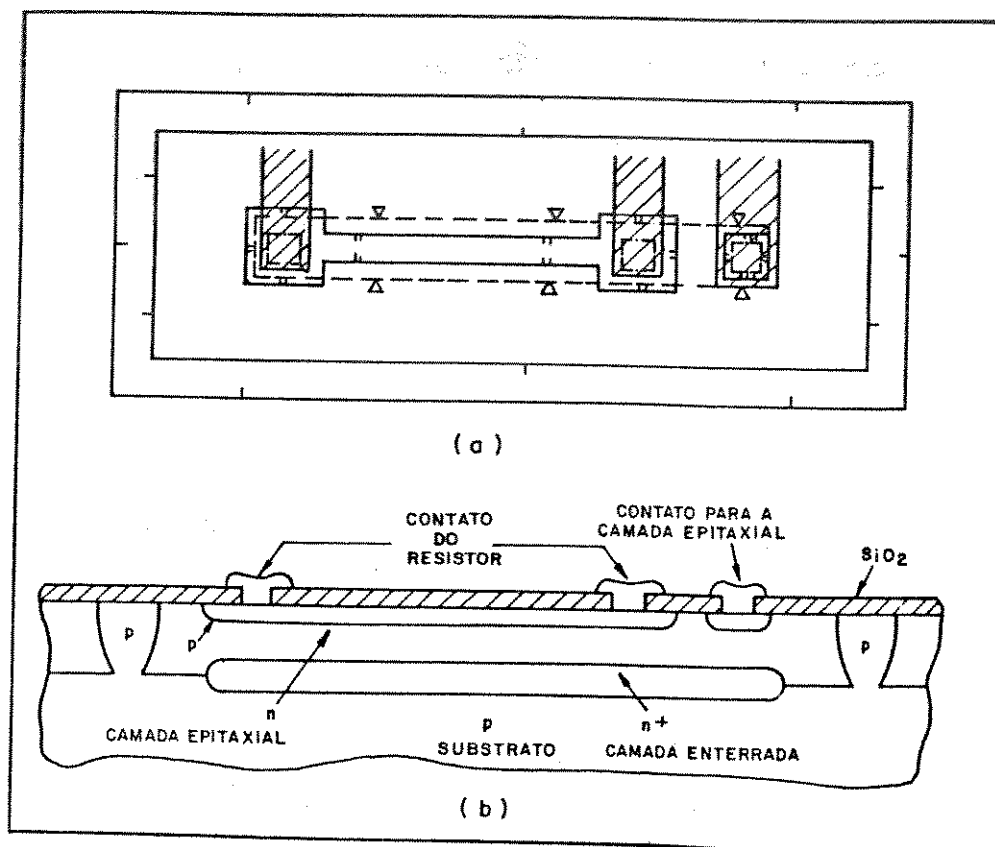


Figura 2.12 - Resistor de difusão-tipo P.

(a) "layout" típico;

(b) seção transversal.

Por simplificação, costuma-se fazer uso de um parâmetro de projeto denominado resistência de folha (R_S):

$$R_S = \frac{\rho}{x_j} \quad (2.28)$$

Em termos físicos, segundo [11], a resistência de folha corresponde a resistência de um "quadrado" de material resistivo com $L = W$. Deste modo, seu valor é comumente dimensionado como sendo "ohms por quadrado" (Ω/\square).

Voltando à equação (2.27), o valor de R , para um dado valor de R_S , pode agora ser expresso por

$$R = R_S \cdot \frac{L}{W} \quad (2.29)$$

a. RESISTÊNCIA DE FOLHA: a resistência de folha apresenta um coeficiente de temperatura positivo devido ao decréscimo de mobilidade dos portadores com a temperatura. A figura 2.13 mostra a dependência típica de R_S com a temperatura para resistores difundidos tipo p.

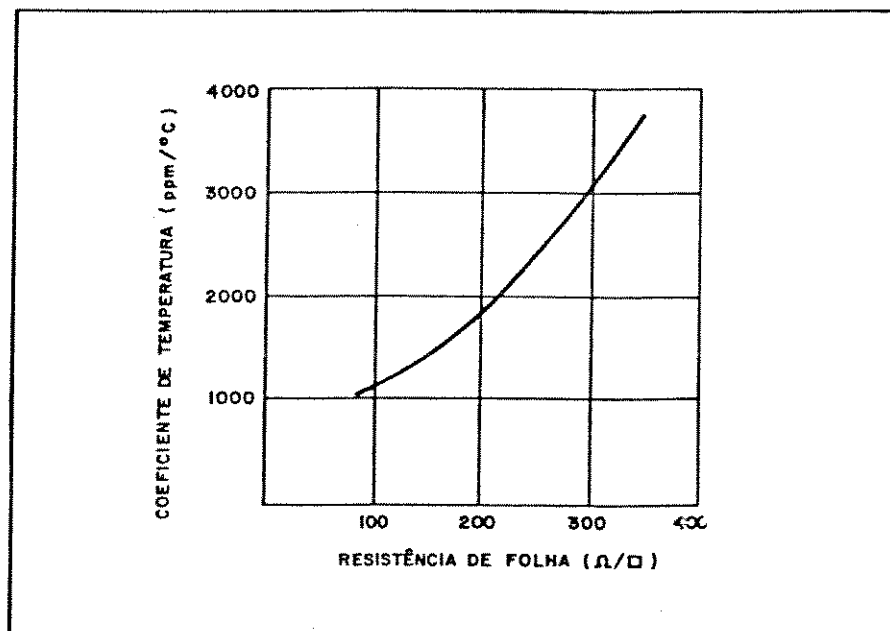


Figura 2.13 - Coeficiente de temperatura típico de resistores difundidos tipo p em função da resistência de folha. [11].

Os perfis de difusão de base usados na fabricação de circuitos integrados analógicos, apresentam valores típicos de R_S na faixa de 100 a 250 (Ω/\square), sendo mais comuns, valores dentro da faixa de 150-200 (Ω/\square).

Segundo [11], a faixa típica de valores de resistência obtíveis de uma dada resistência de folha é a seguinte:

$$0,1 \text{ RS} \leq R \leq 10^3 \text{ RS}$$

O extremo inferior da faixa é limitado pela resistência de contato associada às aberturas de contato do resistor, e o extremo superior pela área disponível no "chip".

b. DIFUSÃO LATERAL: No cálculo do valor de um resistor difundido, a partir das dimensões L e W (equação 2.29), é necessário levar em conta a difusão lateral sob a janela de óxido (de largura W). Desta forma, a área da seção transversal efetiva do resistor é aumentada. Este efeito de difusão lateral pode ser considerado no projeto, através da substituição de W por W_{eff} que é a largura efetiva do resistor, ou seja, $W_{\text{eff}} > W$.

O efeito em questão, é particularmente mais significativo em resistores estreitos (i.e. $< 10 \mu\text{m}$) e junções mais profundas (ver figura 2.14).

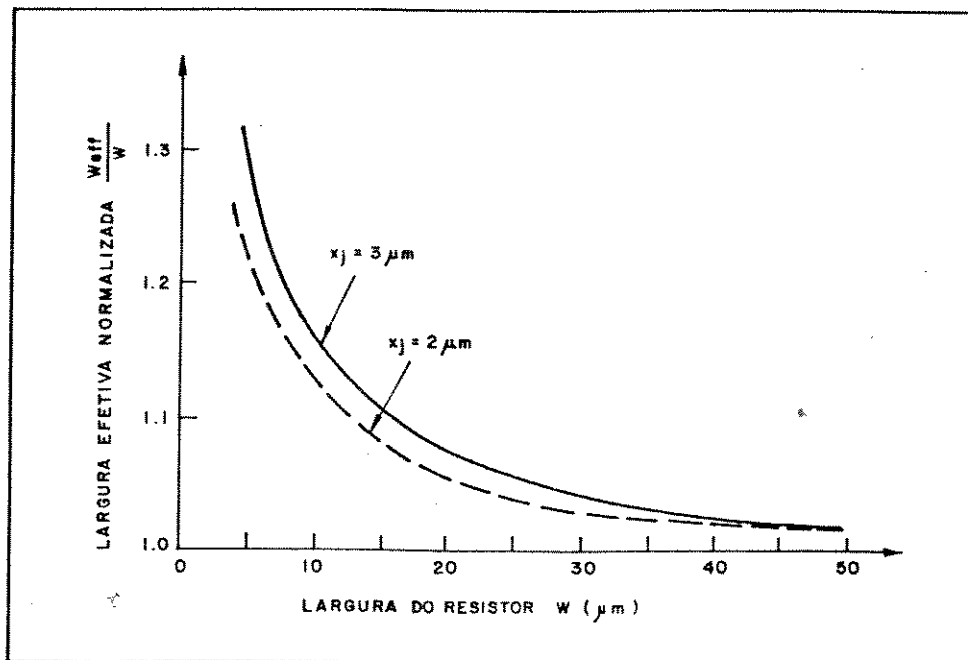


Figura 2.14 - Largura efetiva de um resistor, considerando a difusão lateral. [11]

c. CONTATOS: as extremidades dos resistores difundidos são normalmente alargadas (ver figura 2.12) para comportar a abertura de contato e pos

síveis erros de alinhamento. Isto frequentemente resulta numa forma irregular, próxima à área de contato. A contribuição desta área em termos de quadrados equivalentes (L/W) de acordo com [11] é mostrada na figura 2.15.

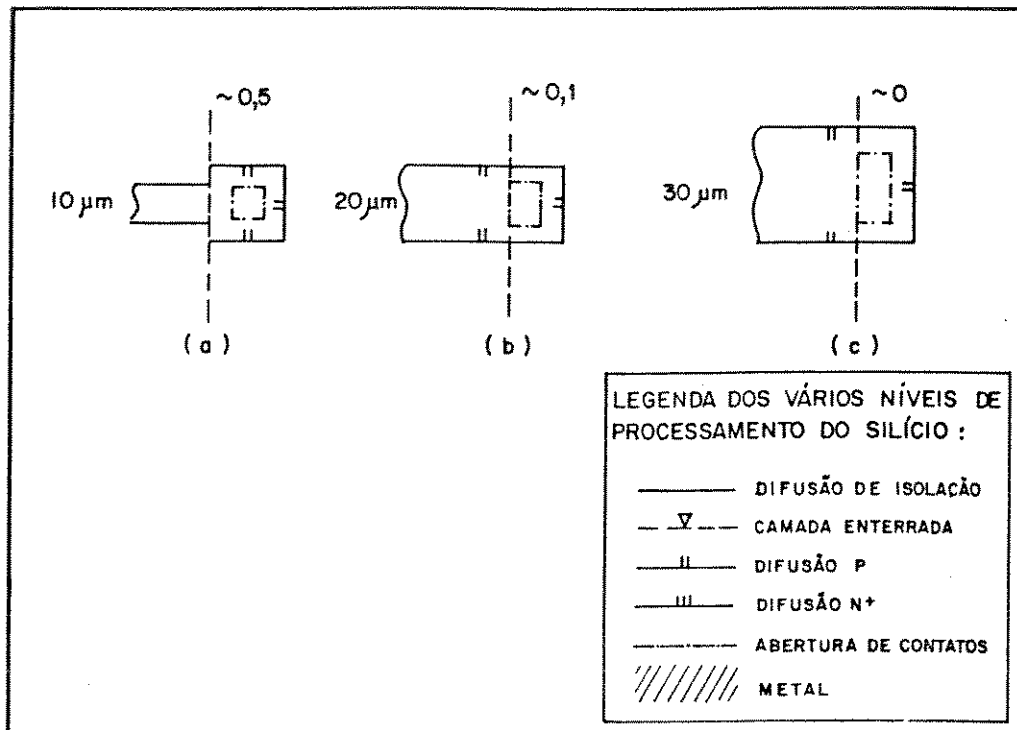


Figura 2.15 - Contribuições das extremidades dos resistores difundidos (unidade: quadrados equivalentes). [11]

Outro fator a ser considerado, é a dificuldade de se conseguir um contato ôhmico bom, que exiba uma relação tensão-corrente linear, cruzando a origem da curva característica $V-I$. Em face disto, a resistência total do resistor é acrescida da resistência dos contatos. Um contato de base de $10 \times 10 \text{ } (\mu\text{m}^2)$ adiciona aproximadamente 20Ω [3].

d. TOLERÂNCIA ABSOLUTA E CASAMENTO [11]: vários são os fatores que influem no valor absoluto de um resistor. No entanto, dois destes fatores são predominantes:

- (1) Controle da resistência de folha (R_S) e
- (2) Tolerância do processo de geração das máscaras e irregularidades das mesmas.

Acrescentando mais algumas informações acerca da resistência de folha, temos visto que a maioria das publicações a respeito atribui-lhe uma tolerância típica na produção de aproximadamente $\pm 20\%$. E que ainda não há

meio de monitorá-la durante o ciclo de difusão.

A tolerância do processo de geração das máscaras é principalmente devido à indefinição das bordas do resistor, e é tipicamente da ordem da ± 0.5 (μm) por cada borda. A tabela 2.1 dá um resumo de alguns dos valores de tolerâncias absolutas associadas a resistores de larguras diversas.

O casamento de dispositivos idênticos alocados próximos uns dos outros no "chip", é bom. Normalmente as características de casamento entre resistores são limitadas, principalmente, pelas irregularidades que aparecem nas máscaras. Consequentemente, quanto menor for a largura dos resistores maior será a influência destas irregularidades no casamento.

Tabela 2.1 - Características elétricas dos resistores difundidos tipo P. [11]

Coeficiente de Temperatura	+ 1500 — + 2000 ppm/°C
Tolerância do Valor Absoluto	
W = 5 μm	$\pm 30\%$
W = 10 μm	$\pm 22\%$
W = 50 μm	$\pm 20\%$
Tolerância do Casamento Entre Resistores Idênticos	
W = 5 μm	$\pm 3\%$
W = 10 μm	$\pm 1,2\%$
W = 25 μm	$\pm 0,8\%$
W = 50 μm	$\pm 0,2\%$

- PROJETO:

Para o cálculo dos resistores é usada a equação 2.29 acrescida de alguns fatores de correção. O W será o efetivo (W_{eff}), obtido na figura 2.14 para uma profundidade de junção de base (x_{jB}) de 2,6 (μm). Um fator, RC, é adicionado para levar em conta a resistência de contato. Como a maioria das aberturas de contato são quadrados de 10×10 (μm^2), o fator RC valerá 20 (Ω), [3]. Para considerar a contribuição das extremidades dos resistores em termos de quadrados equivalentes, acrescentou-se QE. Assim, a equação 2.29 alterou-

se para:

$$R = RS \left(\frac{L}{W_{\text{eff}}} + QE \right) + 2 \cdot RC \quad (2.30)$$

O menor valor de W usado é $10 \text{ } (\mu\text{m})$, o qual na realidade é um valor pequeno, que poderá agravar o efeito da difusão lateral. Entretanto, para obtenção dos resistores de valores mais altos considerando a reduzida área disponível e o compromisso de permitir o roteamento entre eles, fazendo uso de metalização em apenas um nível, tal largura fez-se necessária.

Muitos dos valores de resistores projetados são decorrentes do fato de que intencionou-se prioritariamente fazer coincidir as aberturas de contatos nos "grids".

Com base no que foi exposto seguem os valores calculados dos resistores (tabela 2.2) e seus respectivos "layouts" (figura 2.16).

Tabela 2.2 - Valores de resistores contidos no "array"

$RS = 200 \text{ } \Omega/\square \text{ (A)}$	
R_1 (figura 2.16(a))	$200 \pm 20\% \text{ } \Omega$
R_2 (figura 2.16(b))	$540 \pm 20\% \text{ } \Omega$
R_3 (figura 2.16(c))	$930 \pm 20\% \text{ } \Omega$
R_4 (figura 2.16(d))	$1.450 \pm 20\% \text{ } \Omega$
R_5 (figura 2.16(e))	$3.000 \pm 20\% \text{ } \Omega$
R_6 (figura 2.16(f))	$5.580 \pm 20\% \text{ } \Omega$
R_7 (figura 2.16(g))	(B)

- (A) Valor estimado baseado no perfil de impurezas adotado, para o qual, através de consulta a [6] apresenta um $\rho_B \cong 0,05 \text{ } (\Omega \cdot \text{cm})$. Com $xj_B = 2,6 \text{ } (\mu\text{m})$, tem-se que $RS = \rho_B/xj_B \cong 200 \text{ } (\Omega/\square)$.
- (B) Conforme mostra a figura 2.16(g), este resistor é constituído de três seções iguais a R_3 , R_4 e R_5 respectivamente, e em decorrência, o cálculo de seu valor de uma extremidade a outra será acrescido de mais imprecisão.

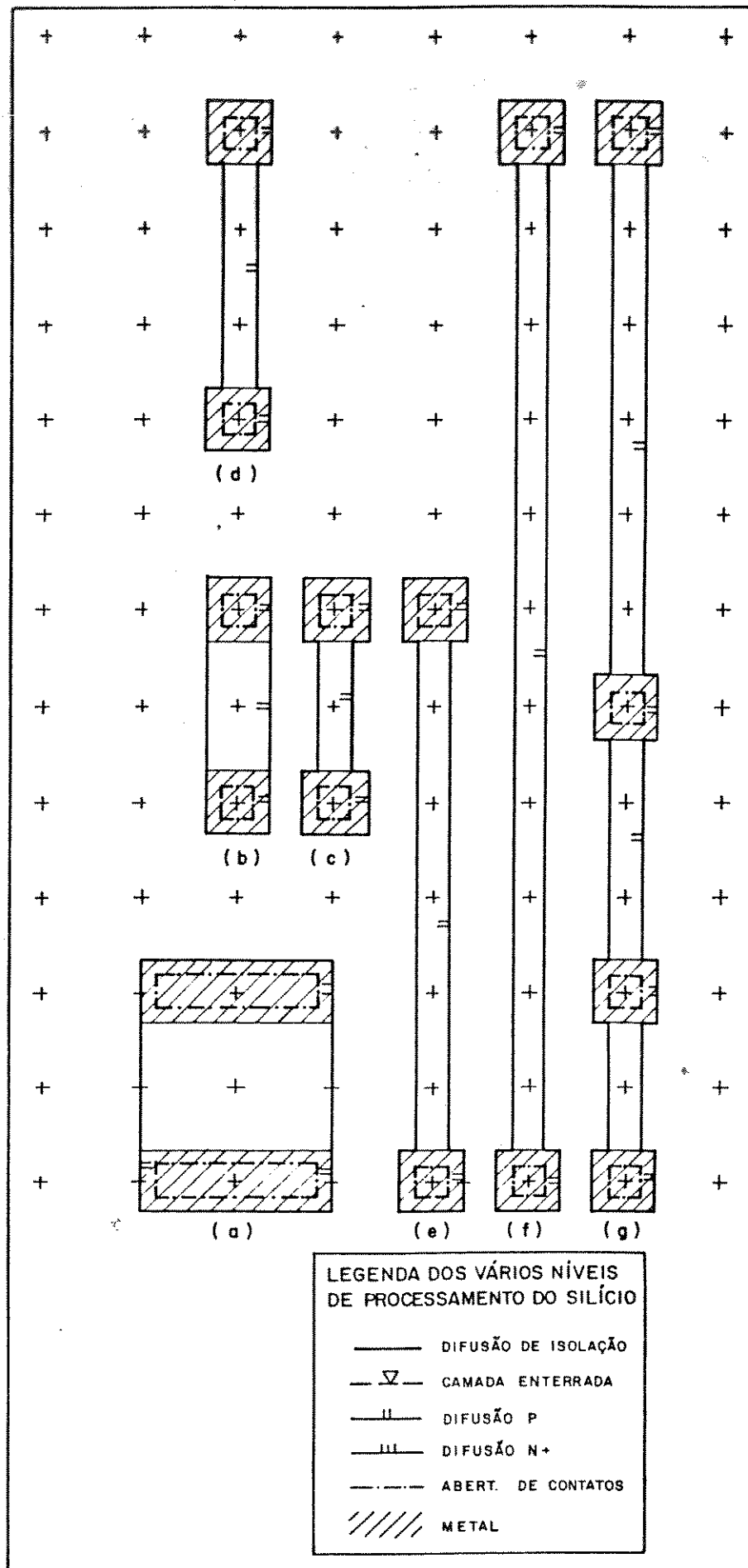


Figura 2.16 - "Layout" dos resistores projetados.

Ressalta-se que (conforme sugere a tabela 2.2) existe uma imprecisão quanto ao valor final do resistor. Em primeira instância, esta imprecisão, aliada ao alto coeficiente de temperatura deste tipo de resistor, parecem ser graves desvantagens. Porém, se for considerado que a maioria das malhas de polarização e de ganho dependem muito mais da razão entre resistores que de valores absolutos, tal desvantagem é abrandada, pelo fato de todos os resistores estarem alocados em uma mesma ilha e dispostos em vários arranjos de elementos muito próximos um dos outros (figura 2.17). Isto faz com que a razão entre resistores reflita não só um bom casamento, mas também uma boa estabilidade com a temperatura. Uma vez asseguradas tais características, assegura-se, em consequência, o ponto de polarização ou o ganho com precisão.

Arranjando os resistores projetados em combinações série-paralela, obtém-se variados valores de resistência, conforme mostra a tabela 2.3.

Como recomendado em [10], para minimizar o número de regiões de isolações e, conseqüentemente o tamanho do "chip", todos os resistores foram alocados em uma única região. Para assegurar que a junção p-n, em torno dos resistores esteja sempre polarizada reversamente, efetuaram-se algumas aberturas de contato no material n que contém os mesmos, de modo que a tensão mais positiva do circuito seja conectada nos referidos contatos.

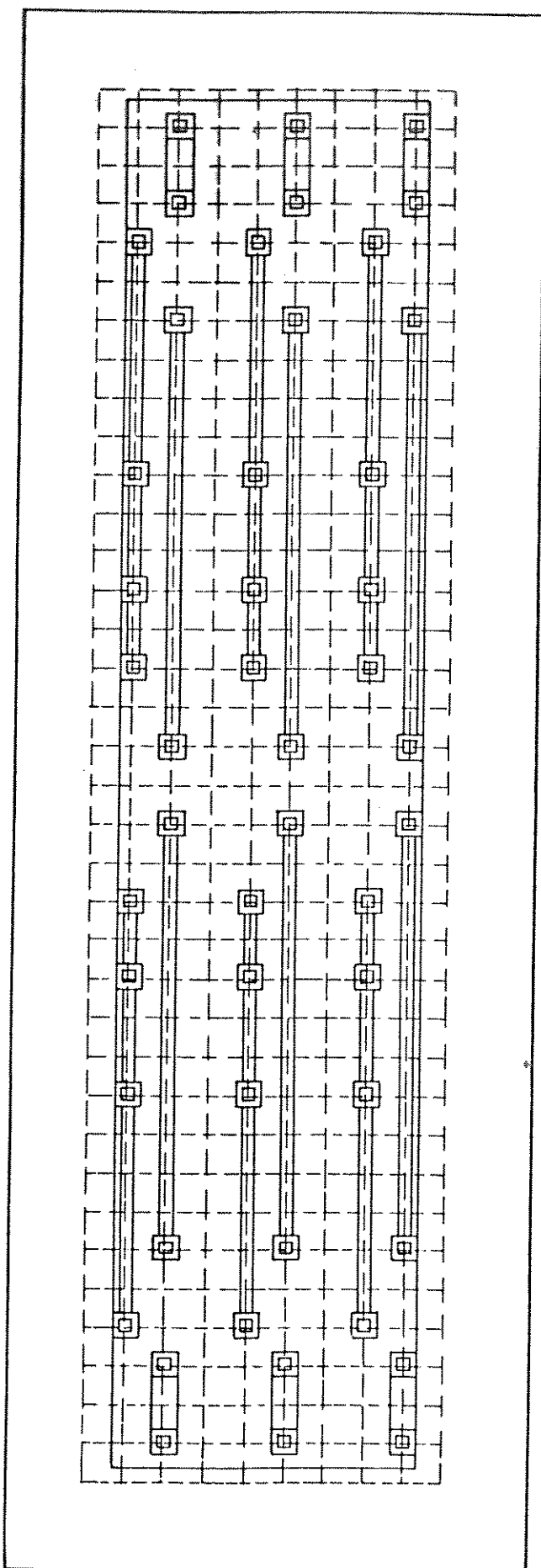


Figura 2.17 - Um exemplo de arranjo de resistores do "array".

Tabela 2.3 - Combinações série-paralela dos resistores projetados.

COMBINAÇÃO	VALOR	COMBINAÇÃO	VALOR
200//200	100	1450//5580	1151
200//540	146	1450	1450
200//930	165	540+930	1470
200//1450	176	3000//3000	1500
200//3000	188	200+1450	1650
200//5580	193	930+930	1860
200	200	3000//5580	1951
540//540	270	540+1450	1990
540//930	342	930+1450	2380
540//1450	393	5580//5580	2790
200+200	400	1450+1450	2900
540//3000	458	3000	3000
930//930	465	3000+200	3200
540//5580	492	3000+540	3540
540	540	3000+930	3930
930//1450	567	3000+1450	4450
930//3000	710	5580	5580
1450//1450	725	5580+200	5780
200+540	740	3000+3000	6000
930//5580	797	5580+540	6120
930	930	5580+930	6510
1450//3000	978	5580+1450	7030
540+540	1080	5580+3000	8580
200+930	1130	5580+5580	11160

Obs.: Valores dos resistores dados em Ω .

2. 5 - REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Dias, J.A.S. & Bottesi M., Regras de "layout" para o processo lin. bip.-02, Comunicação Interna LED, 1987.
- [2] Camenzind, Hans R., Electronic integrated systems design. New York: Van Nostrand Reinhold Company, 1972.
- [3] Dias, J.A.S., Obtenção de um processo para a confecção de circuitos digitais I²L (lógica de injeção integrada e circuitos analógicos de alta voltagem na mesma pastilha (Dissertação de Mestrado). Campinas: Universidade Estadual de Campinas, 1981.
- [4] Bailbê, J.P., Contribution a l'etude physique des transistors bipolaires (Thèse pour l'obtention du grade de Docteur D'Etat). Toulouse: Université Paul Sabatier de Toulouse, 1977.
- [5] Rey, G. & Leturq, P., Théorie approfondie du transistor bipolaire, Paris: Masson et Cie, 1972.
- [6] Wolf, Helmut F., Silicon semiconductor data. Oxford: Pergamon Press Inc., 1969.
- [7] Warner, R.M. & Fordemwalt J.N., Integrated circuits: design, principles and fabrication. New York: McGraw Hill Book Company, 1965.
- [8] Zuffo, J.A., Contribuição ao estudo de fenômenos transitórios da avalanche de coletor (Dissertação de Doutorado). São Paulo: Escola Politécnica da USP, 1968.
- [9] Jorge, A.M., Projeto e construção de um circuito L.A.E. monolítico (Dissertação de Mestrado). São Paulo: Escola Politécnica da USP, 1973.
- [10] Hamilton, D.J. & Howard, W.G., Basic integrated circuit engineering. Tokyo: McGraw Hill Kogakusha, Ltd. 1975.
- [11] Grebene, Alan B., Bipolar and M.O.S. analog integrated circuit design. New York: John Wiley & Sons, 1984.

CAPÍTULO III

O "SOFTWARE" DE APOIO

3.1. INTRODUÇÃO

A tendência atual de facilitar e, em consequência, reduzir o tempo de personalização de uma função analógica pelo uso de um circuito semidedicado, motivou a concepção e a elaboração de um suporte computacional dedicado, denominado "*array-software*" de auxílio ao usuário do "array" analógico apresentado.

Devido às características peculiares de cada circuito analógico, pretendeu-se que este suporte computacional apresentasse, numa primeira versão, características de edição e não de roteamento automático, face a maior complexidade desta última. Pretendeu-se, ainda, que o usuário do sistema pudesse dispor de ferramentas perfeitamente integradas que efetuassem, após a edição do circuito, a extração de interconexão, a descrição do circuito no formato de entrada do simulador eletrônico Spice [1], a verificação da largura mínima de linha de metal (linha de interconexão) e distância mínima entre as mesmas ("design rule check") [2] e, por fim, a geração dos códigos de corte da máscara de interconexão do referido circuito.

O sistema computacional "*array-software*" foi implementado em um microcomputador do tipo "Apple", com expansão de 12K bytes de RAM, utilizando o sistema operacional de disco (DOS) relocado. Os programas totalizam cerca de 7.100 linhas de códigos, escritos, quase na sua totalidade, em linguagem Assembler [3].

A implementação deste sistema em um microcomputador objetivou viabilizar a utilização desta metodologia de projeto em setores mais carentes de recursos, a exemplo das Universidades e Instituições de Ensino e Pesquisa. A opção pelo uso de um microcomputador do tipo "Apple" e não do tipo PC, escolhida última mais frequente na maioria dos desenvolvimentos afins, deveu-se a necessidade de compatibilização entre os códigos de corte de máscara gerados

pelo "array-software" e o sistema de geração de máscaras em uso no Laboratório de Eletrônica e Dispositivos do Departamento de Eletrônica e Microeletrônica da F.E.E./UNICAMP.

A figura 3.1 mostra um diagrama de configuração básica de uma estação de trabalho para o "array"-analógico. Nesta configuração, o teclado atua como dispositivo de entrada; a impressora gráfica atua como dispositivo de saída (fornecendo, quando solicitado, um "hardcopy" da tela gráfica e as listagens de saída para fins de documentação ou verificação de "layout") e o monitor especificado é monocromático (o colorido é desnecessário dado que nesta técnica, o projetista tem acesso a um único nível do circuito, que é o de interconexões (também denominado de nível de metalização)).

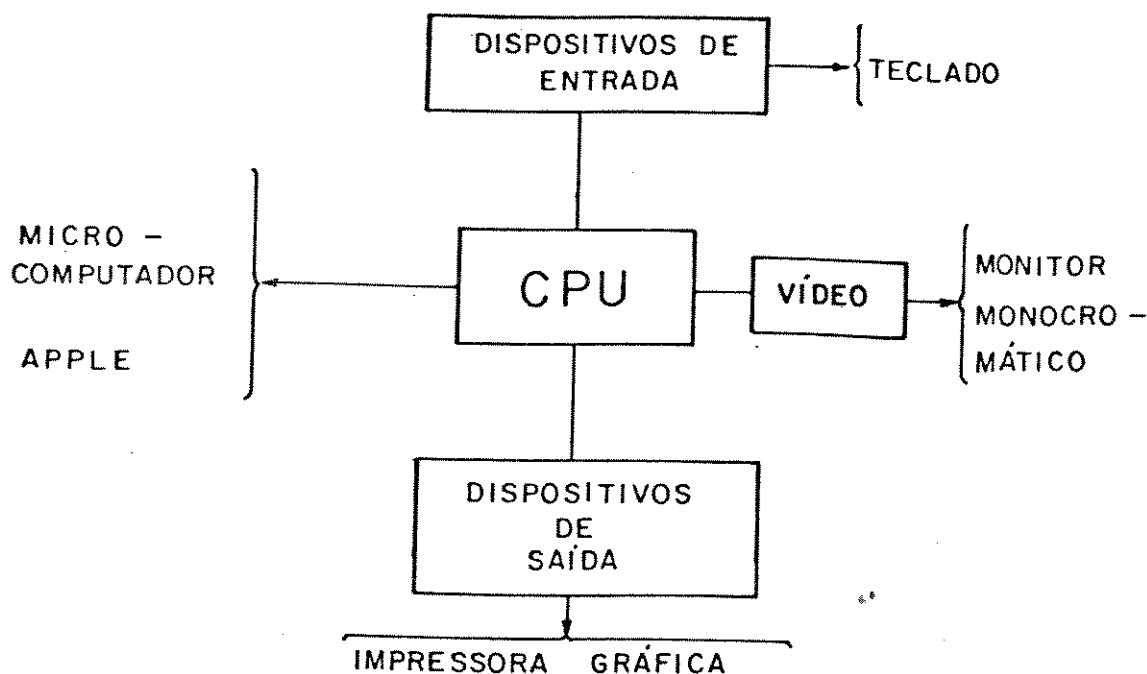


Figura 3.1 - Configuração básica de uma estação de trabalho para o "array" analógico.

3.2. "ARRAY-SOFTWARE": CONSTITUIÇÃO E CARACTERÍSTICAS

O "array-software" consiste de um conjunto de ferramentas de auxílio à integração de funções analógicas, utilizando o "array" projetado e apre-

sentado no capítulo anterior. É composto de três módulos:

- . Editor gráfico;
- . Extrator;
- . Verificador de regras de projeto e Gerador de códigos de corte de máscara (Vrp/Gera-cortes).

3.2.1. CARACTERÍSTICAS GERAIS DE EDIÇÃO

Para facilitar a translação do circuito a ser implementado para o "array", dispõe-se de uma folha de "layout" (anexo I), no qual estão desenhados sob um reticulado:

- a matriz de abertura de contatos dos dispositivos;
- os pads (interface do "array" com o meio externo); e
- as linhas de isolamento (colocada apenas para facilitar a visualização das células e dos componentes).

Nesta folha deve-se definir o roteamento das linhas de interconexões para posteriormente iniciar-se a edição.

Quando no menu do "Array-software", optar-se pelo modo de Edição (opção A), a área gráfica da tela apresentar-se-á conforme mostra a figura 3.2.

Observa-se, na figura 3.2, a exemplo da folha de "layout" a presença de:

- grade de pontos equidistantes ("grid");
- padrões de metalização dos contatos e dos "pads"; e
- linhas de isolamento.

Com isto, obtêm-se uma consistência visual do "array" que facilita a identificação dos dispositivos e a verificação das distâncias entre as linhas de interconexões editadas.

O acesso aos comandos de edição é feito através do teclado. No apêndice I consta a relação "Comando-Efeito" deste módulo. O cursor de tela corresponde a um ponto em "flash" presente na tela gráfica. Seu deslocamento também é feito via teclado e pode ser incremental ou sobre os pontos do "grid".

Pela janela de texto (ativada/desativada através da tecla <RETURN>)

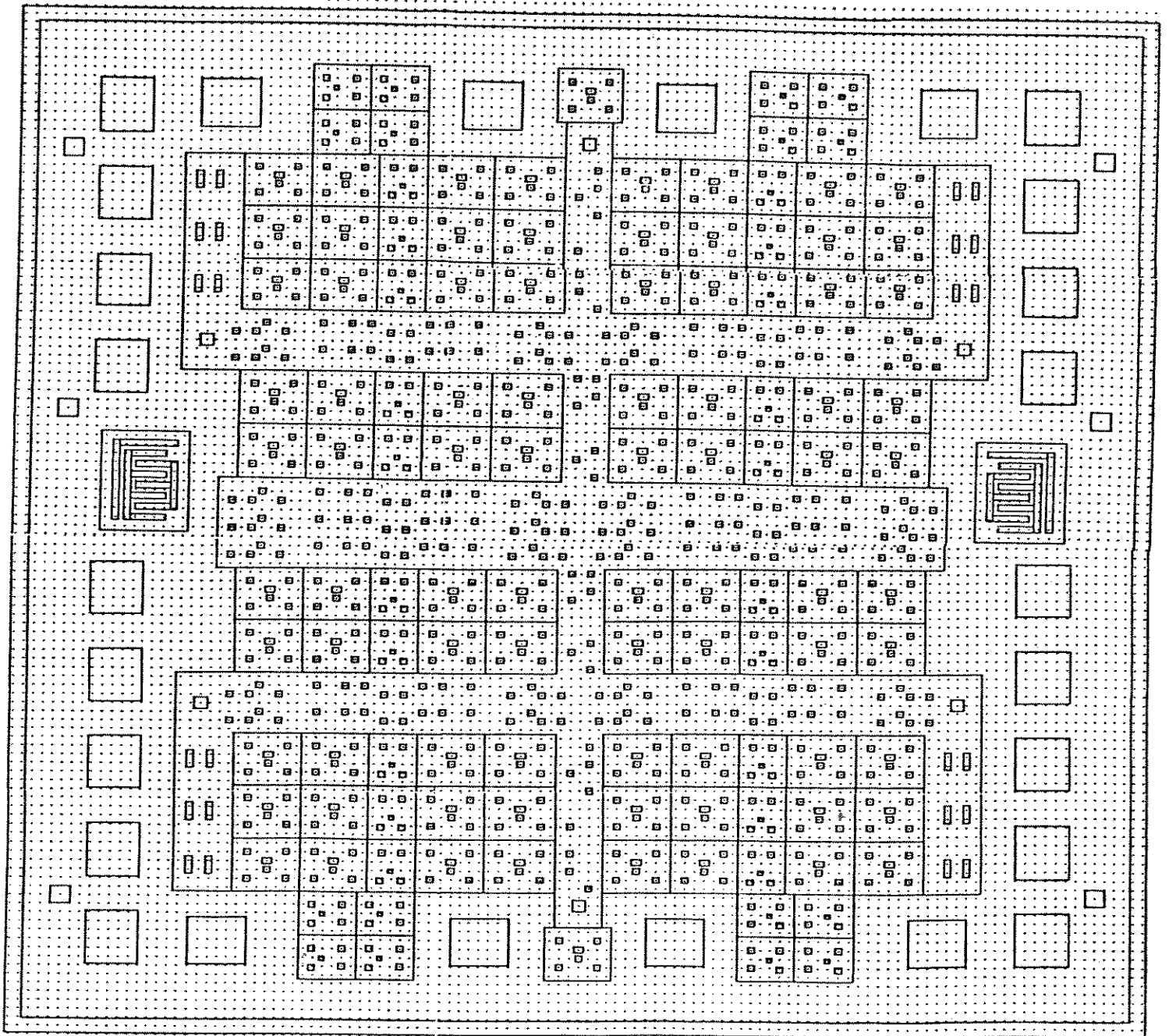


Figura 3.2 - Área Gráfica da tela do Editor.

acessa-se informações do tipo:

- . origem da área gráfica;
- . valor da escala;
- . posição absoluta do cursor;
- . mensagens de erro; etc.

A operação de Edição mais frequente é a inserção de linha de interconexão (rota).

A entidade básica de edição é o retângulo, sendo que uma linha de interconexão pode conter um ou mais retângulos.

A largura das linhas de interconexões pode ser alterada quando de sejado e seu valor "default" é 20 μ m.

Para inserir-se uma rota deve-se indicar sequencialmente o ponto INÍCIO, o(s) ponto(s) INTERMEDIÁRIO(S) (necessário apenas quando ocorrer mudança de direção na rota) e o ponto FIM. Os pontos extremos (INÍCIO e FIM) devem estar necessariamente, inclusos ou em um contato de algum dispositivo ou em um pad ou em uma rota já inserida (neste caso, edita-se uma ramificação desta). Para esta operação, dispõe-se dos seguintes comandos:

TECLA-P: marca um ponto na tela (na posição corrente do cursor);
TECLA ctrl-F: declara o fim de entrada de pontos de uma rota e mostra a mesma na tela.

Em termos de correção, as facilidades apresentadas são as seguintes:

- . alteração de entrada de pontos (apagar/substituir pontos de uma rota);
- . remoção de rota já inserida. Remove-se uma rota qualquer da tela e da estrutura de dados simplesmente identificando um ponto contido na mesma. É importante salientar que, se a rota a ser removida estiver interligada com alguma outra, esta também será removida.

A nível de visualização de imagem, a Edição apresenta as seguintes características:

- . restauração automática da imagem. Se uma rota é removida, outros padrões, cuja imagem tenha sido apagada, são automaticamente redesenhados;
- . visualização com maior ou menor detalhe da imagem, mudando-se a escala de exibição;
- . movimentação da tela de visualização por toda a extensão do "array", com in

crementos de uma tela ou de parte desta.

Nas operações onde o usuário do Editor movimentar a tela, mudar a escala ou alterar a janela de exibição, a rotina que mostra a parte do "array" contida na janela especificada realiza automaticamente um "clipping" (recorte) de figuras. Em outras palavras, quando os limites da figura que se deseja visualizar (uma célula de transistores, por exemplo), ultrapassam os limites da janela de exibição, o Editor exibe apenas a parte da figura que se enquadra na mesma.

3.2.2. CARACTERÍSTICAS GERAIS DE EXTRAÇÃO

Dentro do contexto de validação de projetos, as ferramentas básicas disponíveis nesta primeira versão do "Array-Software" são o Extrator e o Verificador de regras de projeto.

Em linhas gerais, o processo de validação de projetos divide-se em duas categorias [4]:

- . a validação do circuito a nível elétrico, onde para tal existem os simuladores;
- . a validação do projeto a nível de desenho ("layout"), onde para tal existem duas ferramentas básicas: o verificador de regras de projeto e o extrator de circuitos.

O verificador de regras de projeto do "array"-analógico está incluso no módulo Vrp/Gera-cortes do "Array-Software".

Extrator de circuitos (opção B do menu do "Array-Software") faz o que se costuma chamar de "back annotation" (caminho de volta), ou seja, a partir da edição do "layout", ele extrai a topologia do circuito. Mais especificamente, o Extrator parte da descrição geométrica do circuito, contida em dois arquivos: um gerado pelo Editor, contendo a descrição das ligações do circuito e outro contendo os códigos da matriz de metalização de contato e "pads".

A descrição do circuito gerada pelo Extrator pode apresentar-se nas seguintes formas:

- . "net list";
- . formato de entrada do simulador elétrico Spice.

Uma forma não gráfica de representação de um circuito elétrico é

através da descrição de todas as ligações do mesmo, ou seja, para cada ligação (rede ou nó), indica-se todos os elementos que fazem parte dela. A esta forma de representação dá-se o nome de "net list" (lista de redes, lista de nós).

A partir dos dados gerados na extração, o projetista pode simular o circuito extraído, comparando os resultados obtidos com os da simulação feita na fase inicial de projeto.

Para encerrar a etapa de validação pode-se efetuar a verificação das regras de projeto, executando o programa Vrp/Gera-cortes.

3.2.3. CARACTERÍSTICAS GERAIS DA VERIFICAÇÃO DAS REGRAS DE PROJETO E GERAÇÃO DE CORTES DE MÁSCARA

O último módulo, denominado Vrp/Gera-cortes (opção C do menu "Array-Software"), que recebe como entrada de dados a lista das rotas editadas, efetua a verificação de regras de projeto e faz a tradução da lista de dados para o padrão do Sistema de Geração de Máscaras em Rubylith, mencionado no item 3.1.

Para gerar os códigos de cortes, este módulo, em linhas gerais, efetua as seguintes operações:

- . particiona os retângulos editados em traços (cortes) horizontais e verticais;
- . elimina os traços redundantes (sobrepostos); e
- . otimiza o caminho percorrido pela faca de corte do coordenatógrafo agilizando, assim, o processo de geração de máscaras.

A verificação da largura mínima das linhas de interconexões e da distância mínima entre elas é efetuada conjuntamente com a geração dos cortes. Caso haja violação de algumas das regras citadas o programa emite mensagem de erro e para. Do contrário, gera-se duas listas que contêm, respectivamente, os cortes horizontais e os cortes verticais resultantes.

A capacidade de armazenamento do arquivo de entrada (gerado na edição) é de 22 K bytes. Entretanto, se um dado circuito atinge mais de 50% desta capacidade, este programa, por restrições da memória disponível, efetua o processamento dos cortes em duas etapas gerando não mais duas listas de corte e sim quatro (duas de cortes horizontais e duas de cortes verticais).

3.3. ESTRUTURA DE DADOS DO "ARRAY-SOFTWARE"

A estrutura de dados manipulada pelo "Array-Software" é formada por listas do tipo linear. Este tipo de lista é definido em [5] como sendo:

{ o conjunto de $n > 0$ nós x_1, x_2, \dots, x_n , organizados estruturalmente de forma a refletir as posições relativas dos mesmos}.

Tal escolha deveu-se a necessidade de se efetuar, com uma certa frequência, as seguintes operações:

- . acessar o k-ésimo nó da lista, para obter e/ou alterar o dado nele contido;
- . inserir um nó após (ou antes) o k-ésimo nó da lista;
- . remover o k-ésimo nó da lista;
- . concatenar duas listas;
- . determinar o número de nós de uma lista;
- . localizar o nó que contém um dado valor.

A representação interna das listas manipuladas explora a sequencialidade da memória do computador, de tal forma que os nós de uma lista são armazenados em endereços contíguos, ou igualmente distanciados um do outro. Este tipo de representação a referência [5] denomina de "contiguidade".

3.4. FLUXO DE DADOS DO "ARRAY-SOFTWARE"

Na figura 3.3. mostra-se um diagrama do fluxo de dados nos diversos módulos do "Array-Software".

Nos itens que se seguem é analisada a organização dos dados nas diversas listas mostradas na figura 3.3.

3.5. ORGANIZAÇÃO DE DADOS NO EDITOR

Conforme mencionado anteriormente, a entidade geométrica básica de edição é o RETÂNGULO. Assim, a metalização das aberturas de contatos, os "pads" e as rotas são compostos de um ou mais retângulos, cuja representação é a seguinte:

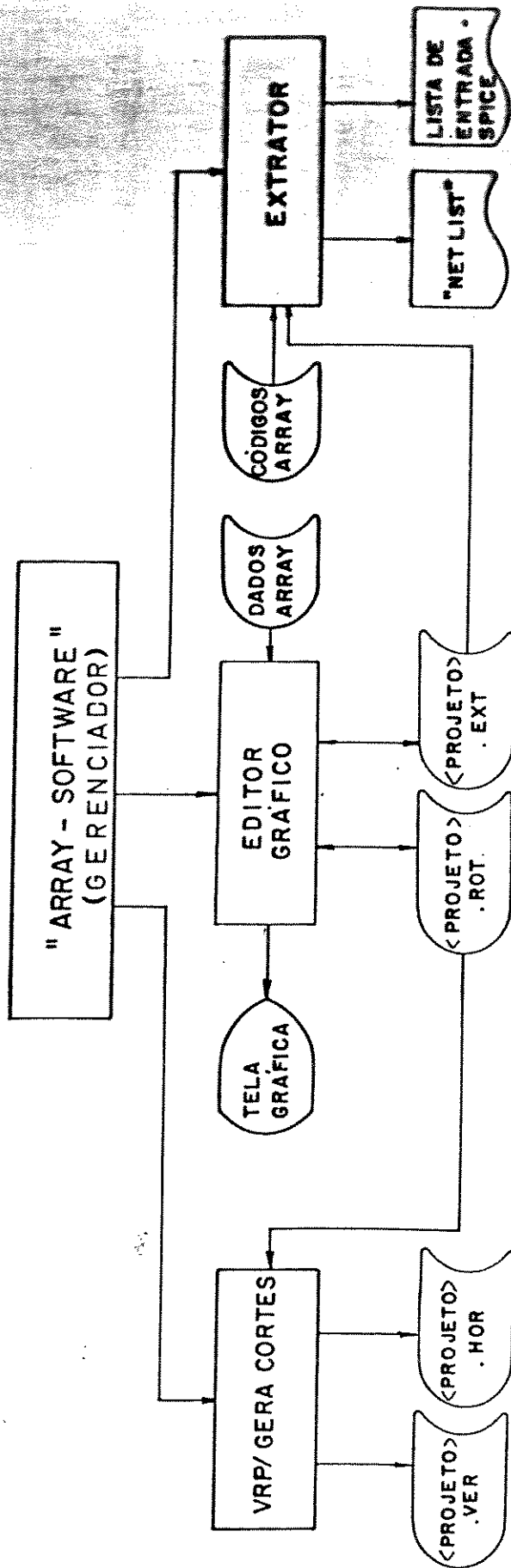


Figura 3.3 - Fluxo de dados do "Array-Software".

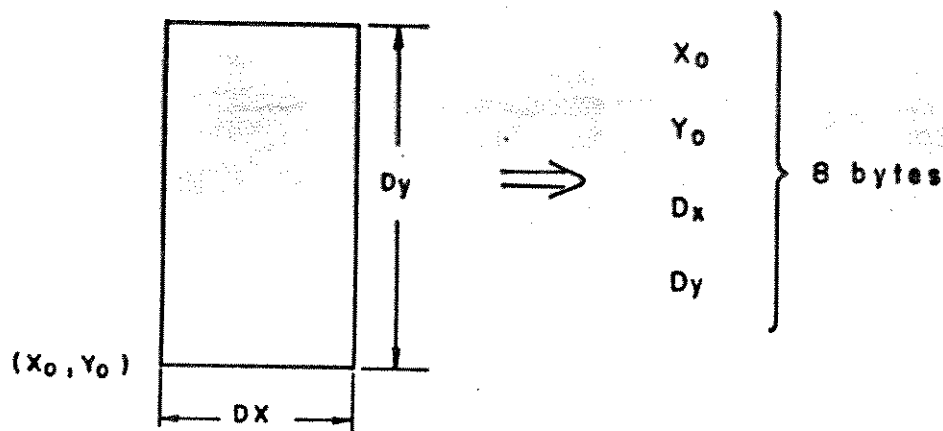
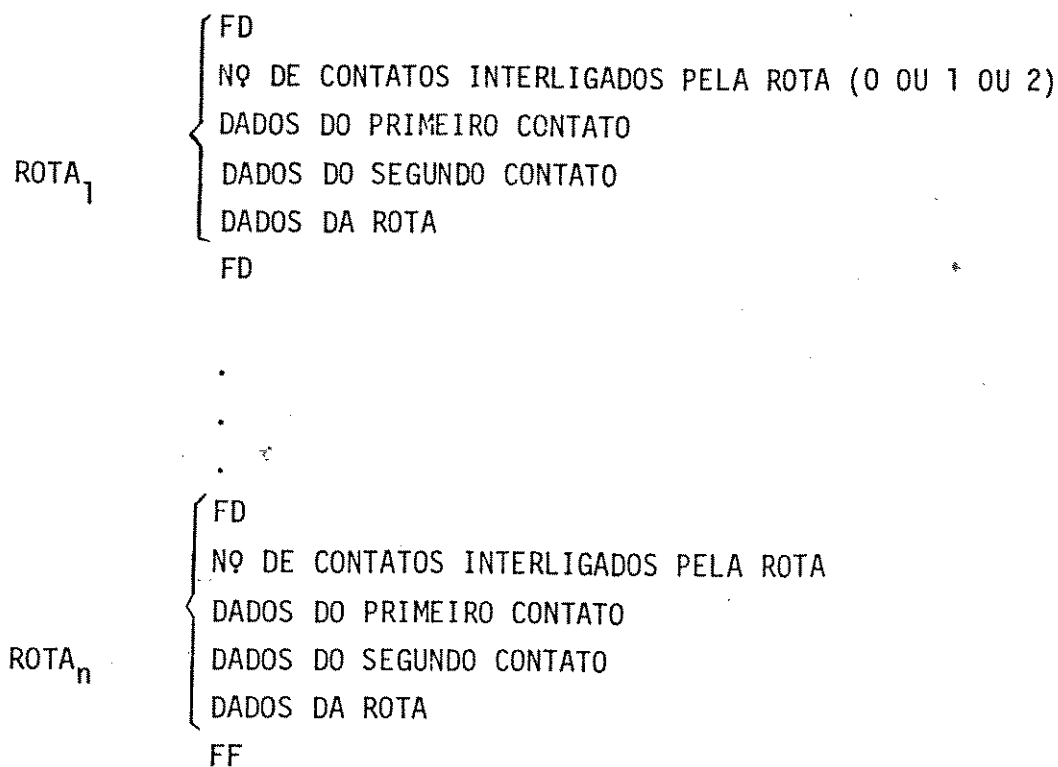


Figura 3.4 - Representação de um retângulo nas listas lineares utilizadas.

O módulo de Edição é o que gera a base de dados aos outros módulos. Os dados ao final de uma edição, são transferidos ao disquete do usuário em forma de duas listas, sob as seguintes denominações: <PROJETO>.ROT e <PROJETO>.EXT.

A lista principal, <PROJETO>.ROT, contém os dados das rotas editadas. A sua estrutura interna é mostrada abaixo:



Os bytes FD e FF apresentam-se respectivamente como sinalizadores de "início de rota" e "fim de lista".

Os dados dos contatos são obtidos da lista denominada DADOS.ARRAY que contém a descrição geométrica da metalização de contatos e "pads" mostradas na tela gráfica.

Além das listas principais citadas, o Editor trabalha com outras duas listas intermediárias. Uma armazena os pontos especificados pelo usuário na operação de inserção de rota, e a outra armazena os dados dos retângulos que compõem a rota (na forma mostrada na figura 3.4). Os dados da última lista são, posteriormente, transferidos para a lista <PROJETO>.ROT.

A outra lista gerada (<PROJETOS>.EXT) é destinada a agilizar o processo de extração do circuito. Para tal apresenta a seguinte estrutura interna.

$$\begin{array}{l}
 \text{ROTA}_1 \left\{ \begin{array}{l} 2 \\ \text{NC}_i \text{ ou } \text{NC}_j \\ \text{NC}_j \end{array} \right. \text{ ou } \left\{ \begin{array}{l} 1 \\ \text{NC}_i \text{ ou } \text{NR}_j \\ \text{NR}_j \end{array} \right. \text{ ou } \left\{ \begin{array}{l} 0 \\ \text{NR}_i \\ \text{NR}_j \end{array} \right. \left. \vphantom{\begin{array}{l} 2 \\ \text{NC}_i \text{ ou } \text{NC}_j \\ \text{NC}_j \end{array}} \right\} 5 \text{ bytes} \\
 \vdots \\
 \vdots \\
 \text{ROTA}_n \left\{ \begin{array}{l} 2 \\ \text{NC}_i \\ \text{NC}_j \\ \text{FF} \end{array} \right.
 \end{array}$$

onde:

$\text{NC}_{i(\text{ou } j)}$: número de ordem do contato i (ou j) na lista DADOS.ARRAY;

$\text{NR}_{i(\text{ou } j)}$: número de ordem da rota i (ou j) na lista <PROJETO>.ROT.

Os dados de uma rota são armazenados em 5 bytes. O primeiro byte pode assumir os valores de 0 a 2, isto é, vale 2 (dois) quando a rota interliga dois contatos, vale 0 (zero) quando interliga duas outras rotas e vale 1 quando interliga um contato a uma rota ou vice-versa.

O byte FF, a exemplo da lista anterior, sinaliza "fim de lista".

3.5.1. CAPACIDADE DE ARMAZENAMENTO

A tabela abaixo mostra a capacidade de armazenamento de número de pontos por rota, número de retângulos por rota e número de rotas, segundo a área de memória alocada para cada uma destas listas.

Tabela 3.1 - Capacidade de armazenamento do Editor.

EDITOR		CAPACIDADE
NÚMERO DE PONTOS POR ROTA		64
NÚMERO DE RETÂNGULOS POR ROTA		63
NÚMERO DE ROTAS*:	DE 1 RETÂNGULO	846
	DE 2 RETÂNGULOS	647
	DE 3 RETÂNGULOS	524
	DE 4 RETÂNGULOS	440
	DE 5 RETÂNGULOS	389

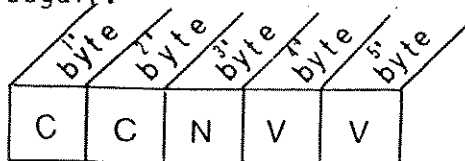
$$* \text{ NÚMERO DE ROTAS} = \frac{\text{ÁREA ALOCADA PARA ARMAZENAR ROTAS}}{18 + 8 \times \text{Nº DE RETÂNGULOS}} \quad (3.1)$$

onde:

A área alocada para armazenamento de rotas é de 22 Kbytes.

3.6. ORGANIZAÇÃO DE DADOS NO EXTRATOR

O Extrator gera duas listas de saída: "net list" e "formato-Spice", a partir dos dados do circuito editado (lista <PROJETO>.EXT) e dos dados do "array" analógico projetado (lista CÓDIGOS-ARRAY). Esta última é concatenada com a lista DADOS-ARRAY e cada código de contato ocupa nela 5 (cinco) bytes, conforme codificação a seguir:



onde:

CC: são reservados para identificação do tipo de contato. Pode assumir os seguintes valores:

PD = pad;

PC = contato de coletor de transistor pnp;

PB = contato de base de transistor pnp;

PE = contato de emissor de transistor pnp;

NC = contato de coletor de transistor npn;

NB = contato de base de transistor npn;

NE = contato de emissor de transistor npn;

CS = contato de substrato;

CI = contato de ilha;

R/ = contato de resistor.

N: identifica localização na folha de "layout" (anexo I) do dispositivo associado ao contato.

VV: assume valores determinados apenas em duas situações. A primeira é quando se trata de contatos de coletor de transistor pnp. Neste caso este campo identifica a qual dos coletores o contato se refere. A segunda é quando se trata de contatos de resistores. Conforme foi citado no capítulo II, a maioria dos resistores do "array" são de múltiplas seções. Desta forma, associou-se a cada contato um valor de resistência para facilitar o cálculo dos valores dos resistores interligados.

Para chegar à primeira lista de saída ("net list"), o Extrator cria uma lista intermediária. Sua estrutura interna, mostrada abaixo, representa os nós do circuito, os quais tanto podem ser compostos de uma simples linha de interconexão, como também de várias linhas que se interconectam.

$\bar{N}O_1$	{	CÓDIGO DO CONTATO A
		.
		.
		.
		CÓDIGO DO CONTATO S
		FD
$\bar{N}O_2$	{	.
		.
		.
		FD

$\bar{N}O_n$

{ CÓDIGO DO CONTATO Y
 .
 .
 .
 CÓDIGO DO CONTATO D
 FF

Poderã haver nesta lista, mais de um $\bar{n}o$ contendo um mesmo código de contato. Isto decorre do fato de, na lista CÓDIGO-ARRAY, os quatro contatos de coletor do transistor npn₁ (figura 2.5) terem recebido a mesma designação, assim como os dois contatos de base do transistor pnp (figura 2.11), pois desprezou-se a baixa resistividade apresentada pela camada n⁺. Neste caso, os $\bar{n}os$ envolvidos transformam-se em um único $\bar{n}o$ na lista final.

Observa-se, ainda, que nesta lista ainda não foi efetuado o cálculo dos resistores. Para o exemplo de edição mostrado na figura 3.5 a representação dos resistores é a seguinte:

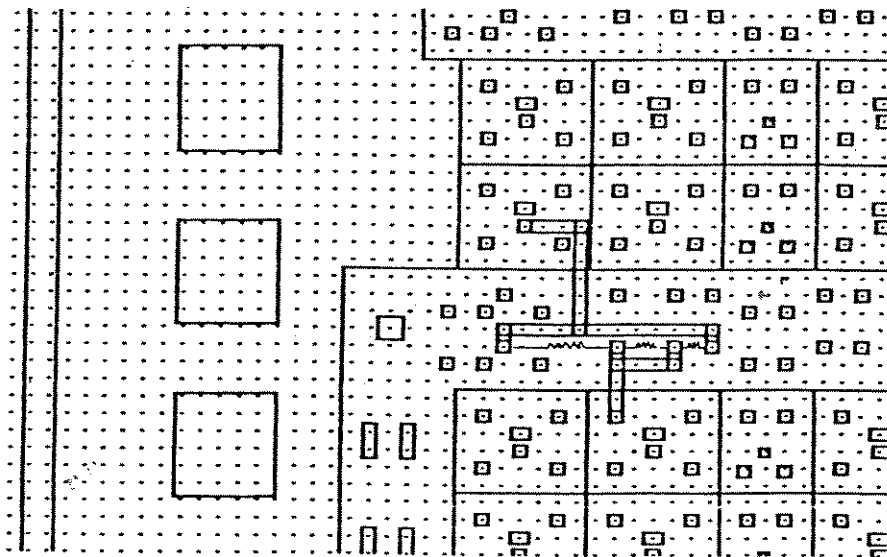


Figura 3.5 - Exemplo de edição de resistores de múltiplas seções.

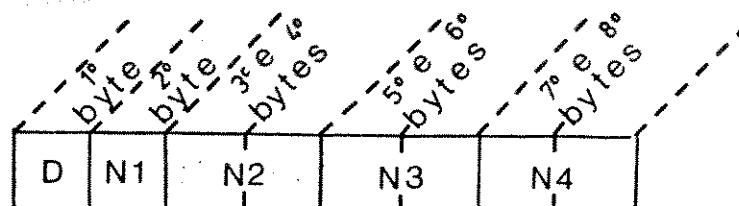
N \bar{O} ₁	{	XXXXX
		R / 73 5380
		R / 73 00
		.
		XXXXX
		FD
N \bar{O} ₂	{	XXXXX
		R / 73 3000
		R / 73 4450
		.
		XXXXX
		FF

Assim, para a geração da lista final processa-se o cálculo dos mesmos. A representação resultante, para o exemplo dado é a que se segue:

N \bar{O} ₁	{	XXXXX
		R 73 930
		R 73 3000
		.
		XXXXX
		FD
N \bar{O} ₂	{	XXXXX
		R 73 930
		R 73 3000
		.
		XXXXX
		FF

Verificados os casos particulares, a lista resultante é a lista de interconexões do circuito ("net list"). Para a outra opção de saída do Extrator efetua-se uma conversão da "net list".

Na lista intermediária gerada para auxiliar a conversão constam apenas os resistores e os transistores. Para cada componente reserva-se 8 bytes conforme codificação a seguir:



onde:

D : identifica o tipo de dispositivo

P = transistor pnp;

N = transistor npn;

R = resistor;

N₁ : assume valores determinados quando se trata de um transistor pnp, pelo mesmo ser de duplo coletor;

N₂ : Para transistores, identifica o n^o de coletor;

Para resistores, identifica o n^o de um de seus extremos;

N₃ : Para transistores, identifica o n^o de base.

Para resistores, identifica o n^o de seu outro extremo;

N₄ : Para transistores, identifica o n^o de emissor;

Para resistores, identifica o valor de resistência.

Desta lista, após alguns ajustes, resulta a saída "formato-Spice", que além das interligações do circuito descreve, ainda, o modelo de cada dispositivo ativo obtido pela caracterização destes.

3.7. ORGANIZAÇÃO DE DADOS NO VRP/GERA-CORTES

As listas manipuladas por este módulo são basicamente três, a saber:

1. Lista de entrada de dados: é a lista <PROJETO>. ROT gerada pelo Editor, cuja estrutura interna consta no item 3.5;
2. Lista intermediária: gerada a partir da lista de entrada. Sua estrutura interna passa por algumas ordenações para facilitar o processo de geração

de cortes;

3. Lista final: apresenta os códigos de traçado da máscara de metalização. É durante o processo de geração desta lista que é efetuada a verificação das regras de projeto.

Observe-se que, para cada circuito editado, resulta duas listas finais, pois o processo de geração de cortes de máscara decompõe os retângulos (a entidade básica da rota) em traços (cortes) horizontais e verticais. Assim, este módulo é executado automaticamente duas vezes, a partir dos dados de entrada, gerando a cada vez uma lista intermediária e uma final distintas.

Na estrutura interna, o retângulo que é representado na lista de entrada como mostra a figura 3.4 passa a ser representado como na figura 3.6.

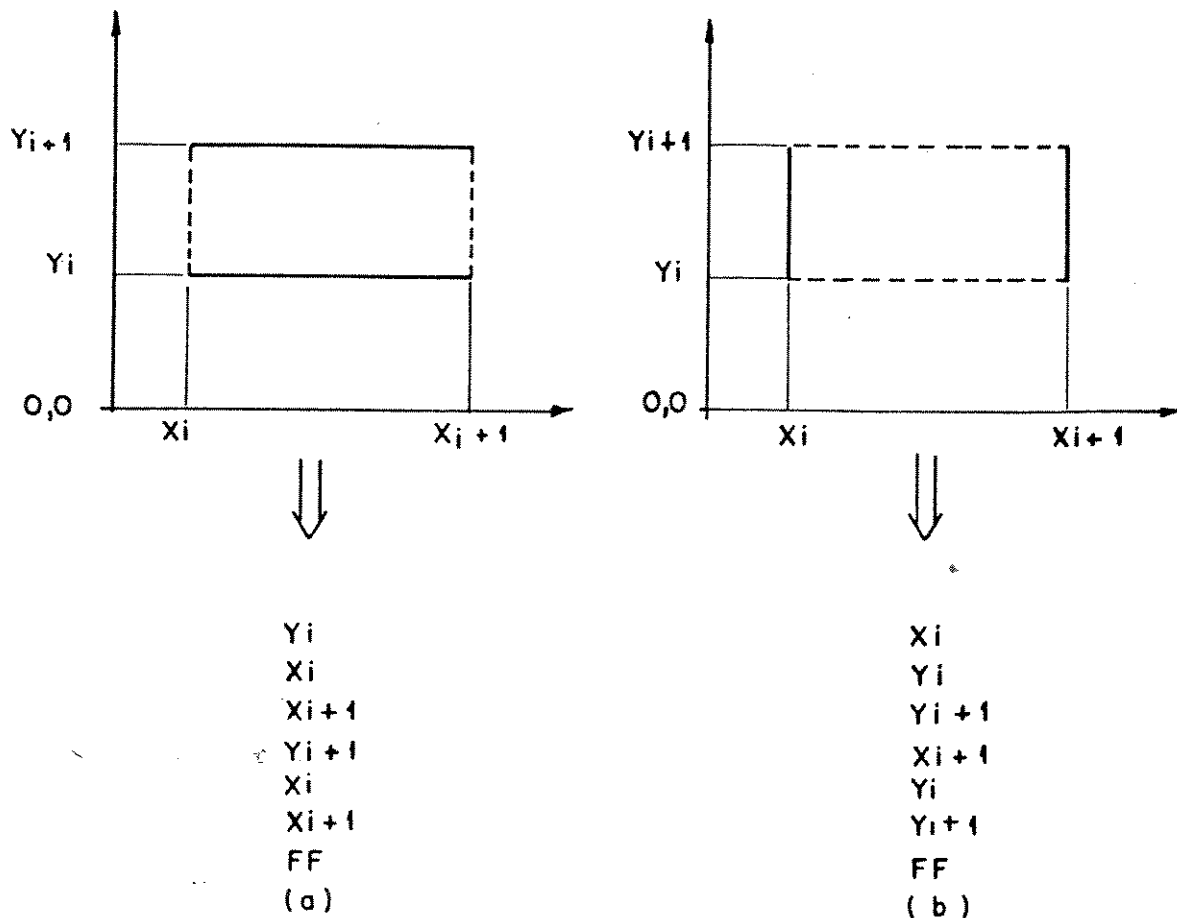


Figura 3.6 - Representação de um retângulo na lista intermediária.
(a) para geração da lista final de cortes horizontais;
(b) para geração da lista final de cortes verticais.

Na lista final são gerados os deslocamentos e os cortes horizontais (ou verticais) do circuito editado. É uma lista ordenada e otimizada em relação ao caminho percorrido pela face do coordenatógrafo, quando há vários cortes em uma mesma ordenada (ou abscissa).

A estrutura interna das listas finais do retângulo mostrado na figura 3.6 é a seguinte:

CORTES HORIZONTAIS	CORTES VERTICAIS
. Y + (Y _i - 0)	. X + (X _i - 0)
. X + (X _i - 0)	. Y + (Y _i - 0)
* X + (X _{i+1} - X _i)	* Y + (Y _{i+1} - Y _i)
. Y + (Y _{i+1} - Y _i)	. X + (X _{i+1} - X _i)
* X - (X _{i+1} - X _i)	* Y - (Y _{i+1} - Y _i)
. X - (X _i - 0)	. Y - (Y _i - 0)
. Y - (Y _{i+1} - 0)	. X - (X _{i+1} - 0)

FIM

onde:

- . X : deslocamento em X
- * X : corte em X
- . Y : deslocamento em Y
- * Y : corte em Y

3.8. EXEMPLO DE UTILIZAÇÃO

Para ilustrar a utilização do "Array-Software" apresentamos a seguir a edição e extração de alguns blocos funcionais de circuitos de fontes de alimentação. Os blocos selecionados de [6] são os seguintes:

- . Referência de tensão (1,3V) do tipo "Bandgap";
- . Circuitos de partida ("start-up");

A figura 3.7 mostra o esquema elétrico dos circuitos em referência.

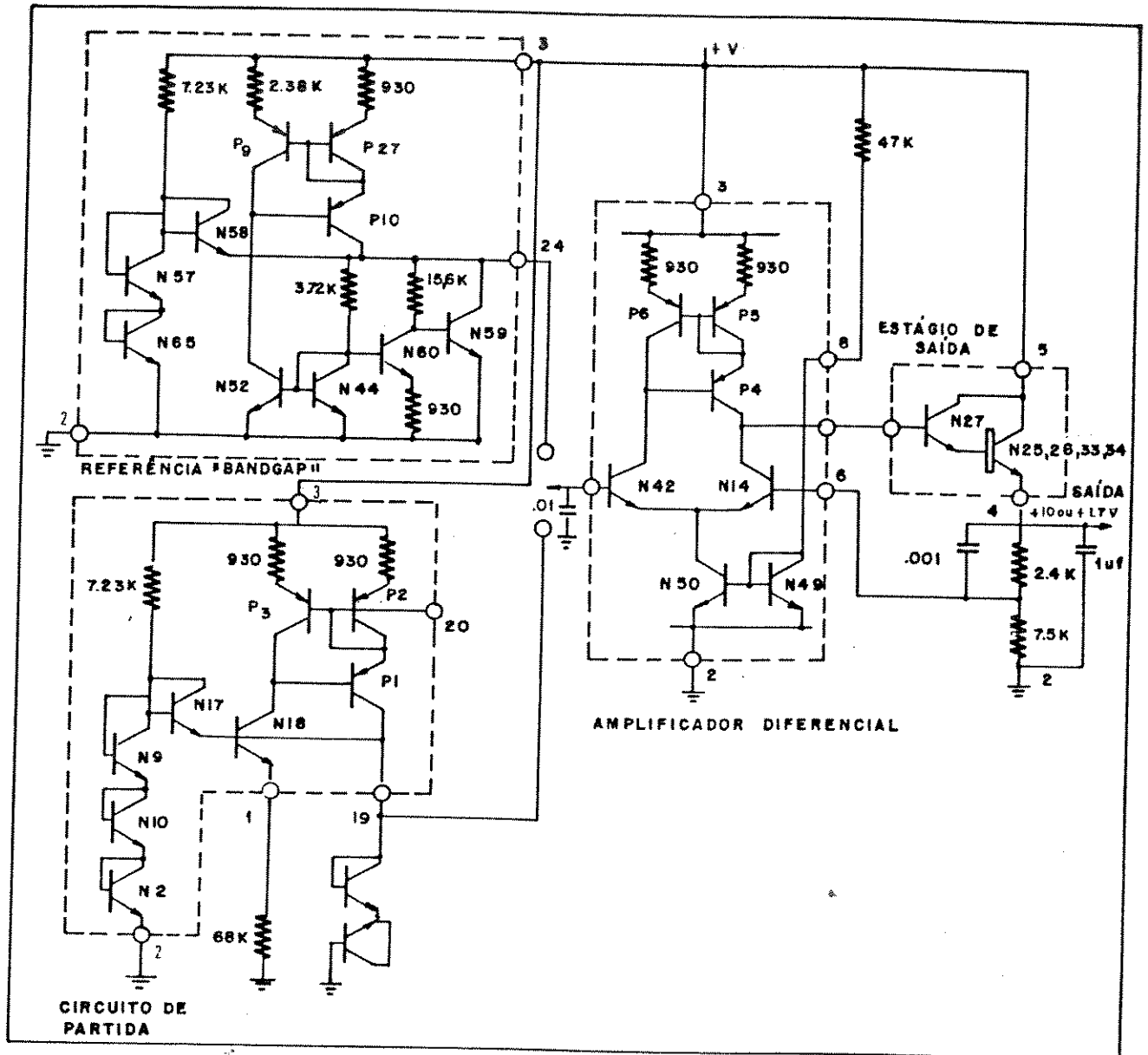


Figura 3.7 - Esquema eletrônico do circuito-exemplo (referência "Bandgap" + circuito de partida + amplificador diferencial).

As figuras 3.8 e 3.9 mostram respectivamente o rascunho do roteamento do circuito-exemplo feito na folha de "layout" e a "hardcopy" da edição do mesmo.

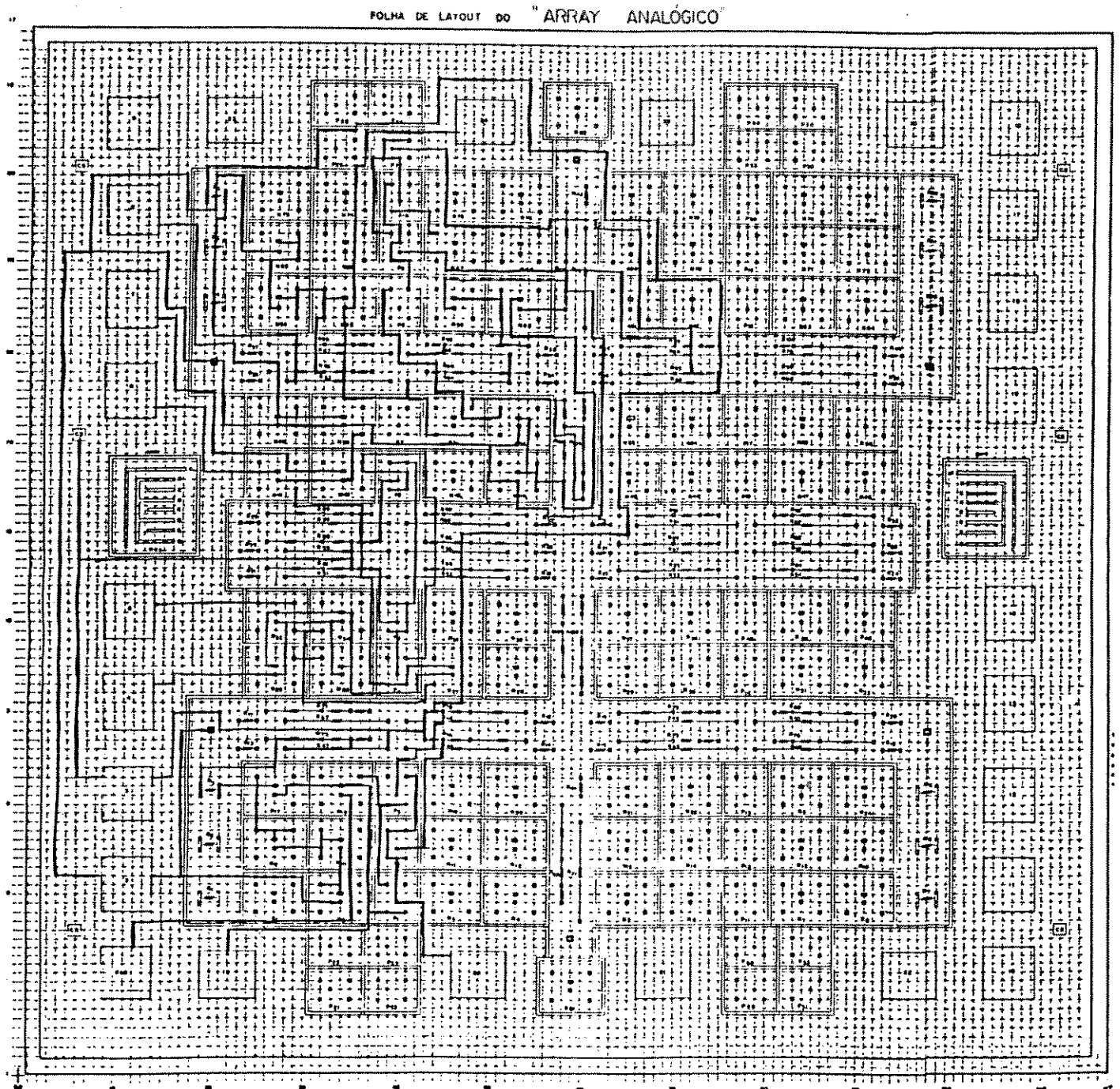


Figura 3.8 - Roteamento do circuito-exemplo efetuado na folha de "layout".

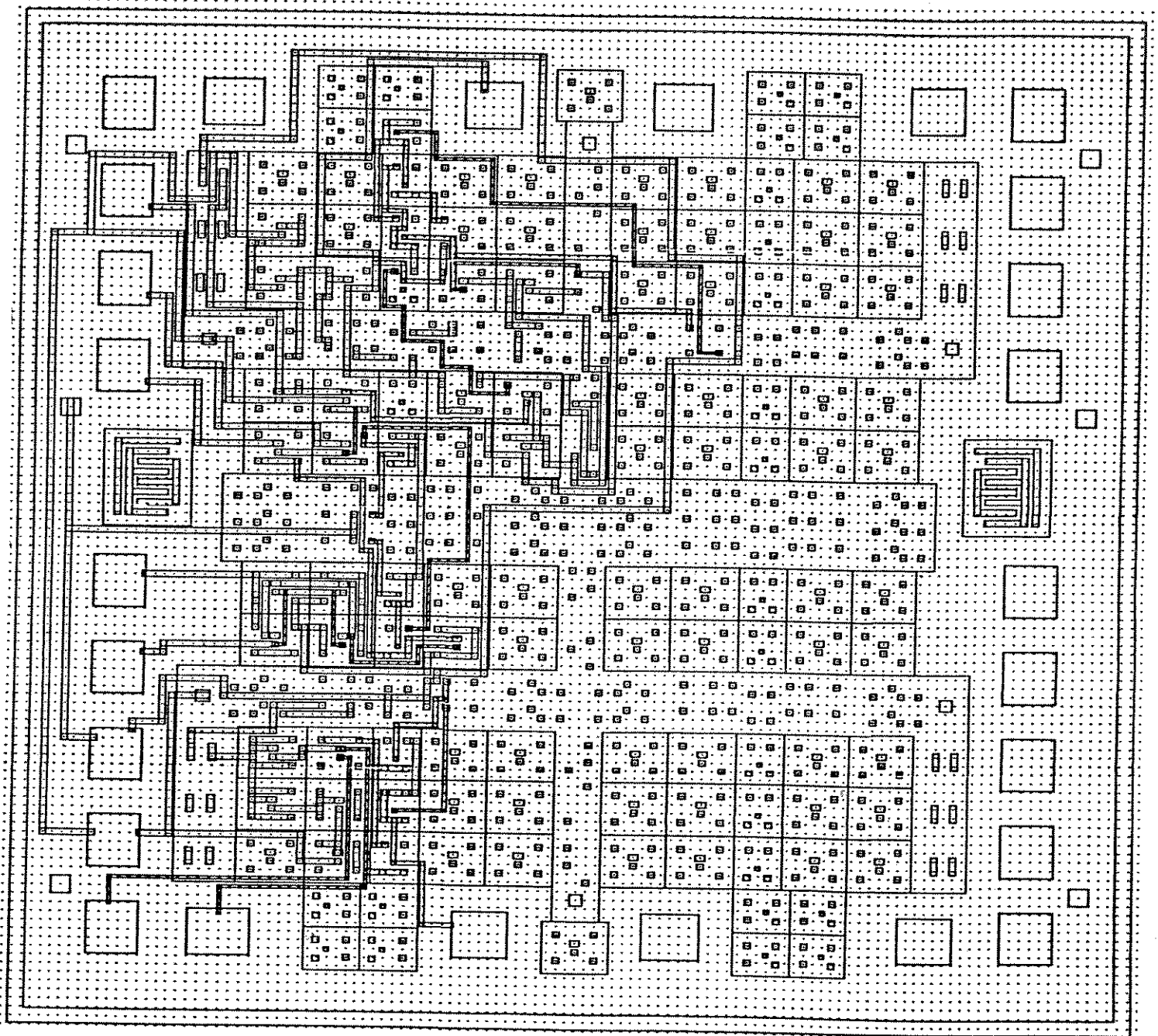


Figura 3.9 - "Hardcopy" do circuito-exemplo.

As listas de extração do circuito são apresentadas a seguir.

ARRAY - SOFTWARE
LISTA DE INTERCONEXOES

PROJETO: EXEMPLO

NO1: R74/930 R78/930 PAD3 R43/5580 R95/930 R99/2380 R9/200 R85/930 RB1
/930 CS

NO2: PAD2 N2E N65E N49E N50E CI

NO3: N10E N2B N2C

NO4: N17C N9B R3/200 N17B N9C

NO5: N10B N9E N10C

NO6: P1B P3C1 P3C2 N18C

NO7: N33C N26C N34C N27C N25C PAD5

NO8: P4C1 P4C2 N27B N41C

NO9: P6C1 P6C2 P4B N42C

NO10: N44B N52B N60B R104/3000 N44C

NO11: N49B N50B PAD8 N52E N44E R102/930 N59E N49C

NO12: N41E N42E N50C

NO13: R104/1450 R106/1450 N58E R64/5580 PAD24 N59C N67C N51C P10C2 P10
C1

NO14: P8B N52C P10B P9C1 P9C2

NO15: R93/1450 N58C N58B N57B N57C

NO16: N59B R98/4450 N60C

NO17: N57E N65B N65C

NO18: P2C1 P2C2 P1E PAD20 P3B P2B

NO19: P5C1 P5C2 P4E P6B P5B

NO20: P27C2 P27C1 P27B P10E P9B

NO21: PAD1 N18E

NO22: N18B PAD19 P1C1 N17E P1C2

NO23: R3/200 R73/1450

NO24: R73/1450 R43/5580

NO25: P3E R78/930

NO26: R74/930 P2E

NO27: N25B N33B N34B N26B N27E

NO28: N34E N33E N25E N26E PAD4

NO29: P5E RB1/930

NO30: R85/930 P6E

NO31: PAD6 N41B

NO32: N42B PAD7

NO33: R104/3000 R104/1450 R106/1450

NO34: R63/5580 R93/1450

NO35: R63/5580 R9/200

NO36: N60E R102/930

NO37: R68/5580 R98/4450

NO38: R64/5580 R68/5580

NO39: R95/930 P27E

NO40: P9E R99/2380

CONVENCOES:

R = RESISTOR N = NPN P = PNP
C = COLETOR E = EMISSOR B = BASE
CS = CONTATO DE SUBSTRATO
CI = CONTATO DE ILHA

ARRAY - SOFTWARE
LISTA DE ENTRADA - SPICE

PROJETO: EXEMPLO

Q1 3 3 2 M2
 Q2 4 4 3 M2
 Q3 5 5 3 M2
 Q4 4 4 22 M2
 Q5 6 22 21 M2
 Q6 7 27 28 M2
 Q7 7 27 28 M2
 Q8 7 8 27 M2
 Q9 7 27 28 M2
 Q10 7 27 28 M2
 Q11 8 31 12 M2
 Q12 9 32 12 M2
 Q13 10 10 11 M2
 Q14 11 11 2 M2
 Q15 12 11 2 M2

 Q16 14 10 11 M2
 Q17 15 13 17 M2
 Q18 15 13 13 M2
 Q19 13 18 11 M2
 Q20 16 10 36 M2
 Q21 17 17 2 M2

 Q22/1 22 6 18 M1
 Q22/2 22 6 18 M1
 Q23/1 18 18 26 M1
 Q23/2 18 18 26 M1
 Q24/1 6 18 25 M1
 Q24/2 6 18 25 M1
 Q25/1 8 9 19 M1
 Q25/2 8 9 19 M1
 Q26/1 19 19 29 M1
 Q26/2 19 19 29 M1
 Q27/1 9 19 30 M1
 Q27/2 9 19 30 M1
 Q28/1 14 20 40 M1
 Q28/2 14 20 40 M1
 Q29/2 13 14 20 M1
 Q29/1 13 14 20 M1
 Q30/2 20 20 39 M1
 Q30/1 20 20 39 M1

 R1 4 23 .2 K
 R2 1 35 .2 K
 R3 1 24 5.58 K
 R4 34 35 5.58 K
 R5 13 38 5.58 K
 R6 37 38 5.58 K
 R7 23 24 1.45 K
 R8 1 26 .93 K
 R9 1 25 .93 K
 R10 1 29 .93 K
 R11 1 30 .93 K
 R12 15 34 1.45 K
 R13 1 39 .93 K
 R14 16 37 4.45 K
 R15 1 40 2.38 K
 R16 11 36 .93 K
 R17 10 33 1.45 K

.MODEL M1 PNP BF=XX BR=X IS=XXXX
 .MODEL M2 NPN BF=XXX BR=X IS=XXXX
 .MODEL M3 NPN BF=XXX BR=X IS=XXXX

3.9. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Nagel, L.W., Spice 2: a computer program to simulate semiconductor circuits, Memorandum nº ERL-M520, Berkeley: University of California, 1975.
- [2] Dias, J.A.S. & Bottesi M., Regras de "layout" para o processo lin-bip-02, Comunicação Interna LED, 1987.
- [3] Irwin, P.; Apple programmer's handbook. Indiana: Howard W. Sams & Co. Inc., 1984.
- [4] Aoki, O.L., Extratores e extração de circuitos. Anais SBmicro, 1987, 274-283.
- [5] Veloso, P.; Santos C.; Azeredo, P. e Furtado, A., Estrutura de dados. Rio de Janeiro: Editora Campos, 1986.
- [6] Knapton, J., Application Note, Interdesign, Inc.

CAPÍTULO IV

CONCLUSÕES

No capítulo I deste trabalho, introduziu-se o conceito da metodologia de projeto "semi-custom" nas suas versões mais utilizadas ("standard cells", "gate-array" e "analog-array"), ressaltando a aplicabilidade de cada uma. Foi também descrita a implementação de um ambiente de projeto de circuitos analógicos dedicado a um "analog-array" como objetivo deste trabalho.

No capítulo II, apresentou-se o projeto de um "analog-array" em tecnologia bipolar, em um "chip" de $3,5 \times 3,5$ (mm²), cujas etapas principais de desenvolvimento são citadas a seguir:

- pesquisa de uma arquitetura que tornasse o projeto do "array" menos problemático, no que concerne a sua automatização;
- estudo detalhado da geometria dos componentes ativos e passivos visando a otimização do desempenho dos mesmos, bem como a facilidade de interconexão.
- estudo da quantidade ótima de transistores e outros componentes ativos ou passivos nas células e do número típico de células no "array";
- confecção do "layout" das células;
- confecção do "layout" final do "array" (células + dispositivos periféricos + "pads");
- confecção do conjunto de máscaras, em placas de alta resolução, do "array" projetado.

Para analisar mais detalhadamente a arquitetura adotada para as células e seu posicionamento no "array" no que se refere à dificuldade encontrada para efetuar o roteamento de um circuito no array, seria necessário uma maior utilização deste. Porém, a título de experiência e pré-avaliação, foram realizados na folha de "layout" do array (anexo I), o roteamento (interconexões entre dispositivos) de vários circuitos típicos.

A eficiência de utilização de um "array" "analógico", segundo [1], raramente ultrapassa metade da área de silício ativa. A experiência citada no parágrafo anterior revelou que, na maioria dos circuitos que servi

ram de teste, a exemplo do apresentado no ítem 3.8 (Capítulo III), a eficiência de utilização alcançou os 50%. No exemplo da figura 4.1, um circuito pequeno, de 10 transistores ocupou uma célula 12N3P levando a uma eficiência de $\approx 67\%$. Observou-se, ainda, nesta avaliação prévia, que a eficiência de utilização do "array" diminui com a complexidade do circuito e que, no caso específico deste "array", a adoção de uma tecnologia de fabricação mais aprimorada que permitisse, por exemplo, uma dupla metalização, certamente facilitaria ainda mais o roteamento e reduziria o desperdício de área de Silício ativa.

A tendência mais recente nesta área, e que deve ser a sequência natural deste trabalho, e a de se compor as células do "array" com estruturas Mutantes. Glannella, em [1], apresenta uma arquitetura de célula flexível, na qual cada dispositivo pré-difundido pode ser conectado durante a etapa de metalização tanto como um transistor npn como pnp (daí a denominação de Mutante).

Com a arquitetura do "array" propiciando um roteamento e uma eficiência de utilização compatíveis com os apresentados pelos "arrays" referenciados na literatura, desenvolveu-se um suporte computacional que ressaltasse ainda mais as características de facilidade de uso e redução do tempo de personalização de um circuito no "array".

Este suporte (descrito em detalhes no capítulo III) foi desenvolvido visando as etapas de edição de máscaras, validação do projeto (conferência de "layout" e simulação elétrica) e geração de códigos de corte de máscara em Rubylith) compatível com o sistema em uso no LED/UNICAMP.

Como experiência, efetuaram-se todas as etapas citadas acima nos circuitos que serviram para teste da eficiência de utilização do "array". O sistema implantado mostrou-se suficiente e satisfatório para todos os circuitos testados. Nesta experiência, a etapa de verificação de regras de projeto e geração de códigos de corte, por envolver várias ordenações na lista de entrada é a que consome o maior tempo do usuário. A extração é extremamente rápida (o circuito do ítem 3.8 demandou nesta etapa cerca de 60 segundos), e a edição torna-se mais fácil e rápida - medida que o usuário do sistema se

FOLHA DE LAYOUT DO "ARRAY" ANALÓGICO

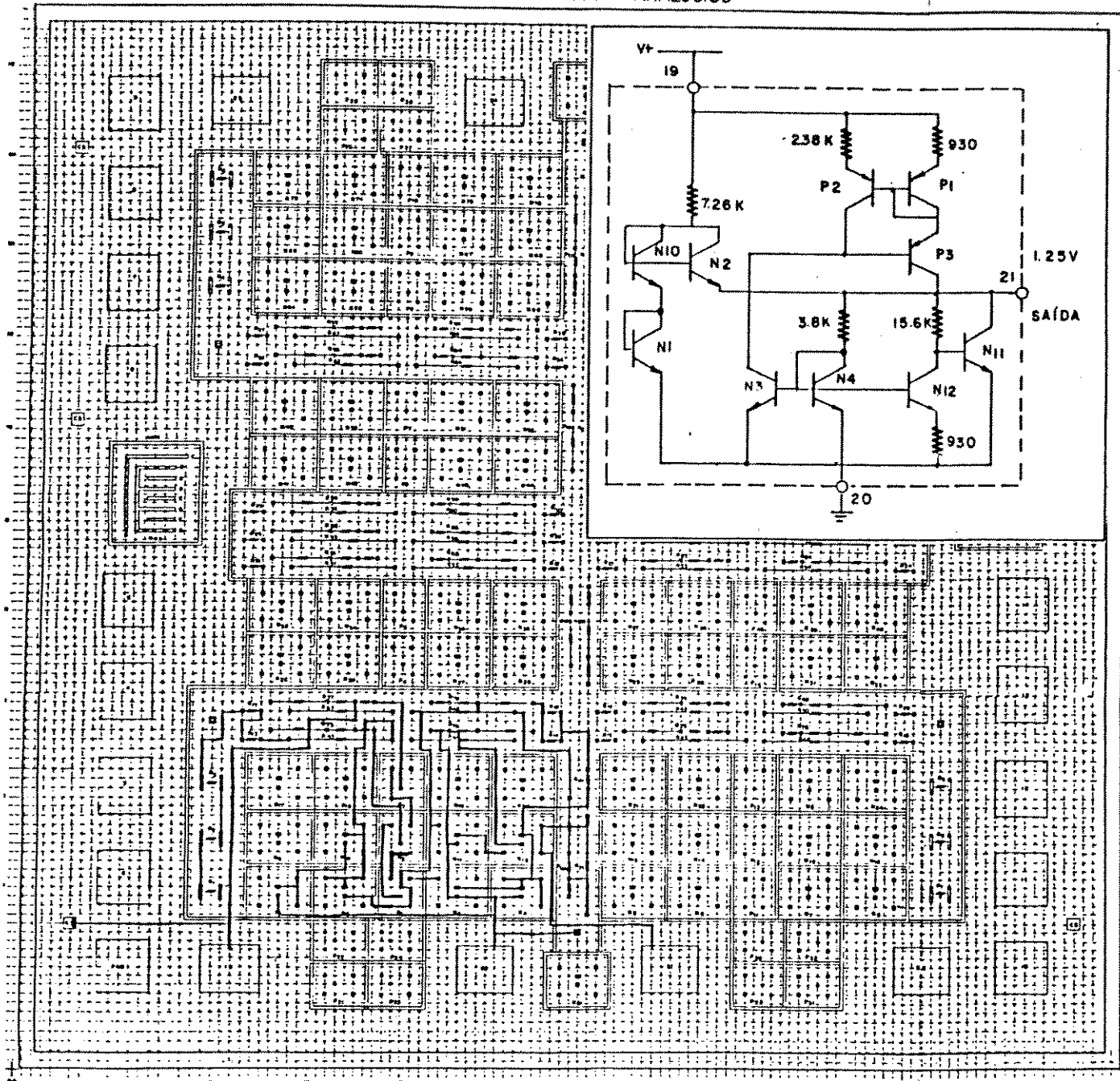


Figura 4.1 - Roteamento de um circuito referência do tipo "Band gap".

familiariza com os comandos de edição e com a matriz de contatos do "array" mostrado na janela gráfica do monitor.

É possível porém, que a medida que se realizem projetos "semi-customs" com o "array", surja a demanda de novas ferramentas ou a necessidade de alteração em alguma ferramenta já implementada.

Em suma, implementou-se, em primeira versão, um ambiente que permite a realização de projetos de circuitos integrados analógicos de média complexidade a um baixo custo e com rapidez, cuja aplicabilidade concentra-se, principalmente, na formação de mão-de-obra especializada em setores onde a agilidade para confecção de CI é muito importante, a exemplo das Universidades e Institutos de Pesquisa.

REFERÊNCIAS

- [1] Glannella, G., Array I.C. presents new ways to customize analog circuits without wasting silicon. Electronic design, 1987, 171-178.

APÊNDICE I

Todos os comandos do "Array-Software" são controlados por teclas; a tabela A.1, a seguir, ilustra quais são os comandos de Edição:

Tabela A.1 - Relação Tecla-efeito do Editor.

TECLA	EFEITO
<p>→</p> <p>←</p> <p>↑ ou A</p> <p>↓ ou Z</p>	<p>Movimenta cursor para direita;</p> <p>Movimenta cursor para esquerda;</p> <p>Movimenta cursor para cima;</p> <p>Movimenta cursor para baixo;</p>
RETURN	<p>Abre/fecha janela de texto, dependendo do estado da mesma. Quando aberta mostra:</p> <ul style="list-style-type: none"> . origem da janela gráfica normalizada em números de "grid"; . posição do cursor normalizado em números de "grids"; . posição absoluta do cursor e . escala
ctrl J	<p>Acessa parâmetros da janela de texto. Pode-se alterar a origem da janela gráfica e a escala de exibição (1 ou 5).</p>
ctrl L	<p>Altera largura da linha de interconexão (metal). Seu valor "default" é 20 µm.</p>

ctrl Q	Altera passo do cursor. Na escala de 1 <u>po</u> de-se alterar o passo do do cursor de <u>in</u> crementos de 1 para incrementos de 30 (1 "grid") e vice-versa. Na escala de 5 <u>po</u> de-se alterar o passo do cursor de <u>in</u> crementos de 5 para incrementos de 30 (1 "grid") e vice-versa.
ctrl B	Ajustar a posição do cursor em qualquer <u>po</u> sição desejada (via teclas de movimentação), independentemente da escala. Nesta <u>opera</u> ção, a posição corrente do cursor é <u>mostra</u> da na janela de texto.
P	Marca ponto na tela gráfica.
ctrl A	Apaga ponto especificado (posição <u>corren</u> te do cursor) na tela gráfica. Após este comando o editor aceita apenas os comandos P (substituir ponto), ctrl-B e ctrl-R.
ctrl R	Apaga todos os pontos marcados na tela <u>grā</u> fica
F	Declara o fim de entrada de pontos, apaga os pontos da tela e mostra a rota <u>resultan</u> te

ctrl-S	<p>→</p> <p>←</p> <p>↑ ou A</p> <p>↓ ou Z</p>	<p>Movimenta a tela gr̃fica para a direita: de 14 "grids" (escala 5) ou 7 "grids" (escala 1);</p> <p>Movimenta a tela gr̃fica para a esquerda: de 14 "grids" (escala 5) ou 7 "grids" (escala 1);</p> <p>Movimenta a tela para cima: de 16 "grids" (escala 5) ou 4 "grids" (escala 1);</p> <p>Movimenta a tela para baixo de 16 "grids" (escala 5) ou 4 "grids" (escala 1);</p>
ctrl-S ctrl-J	<p>Efetua as mesmas operações do comando ctrl-S, sendo que o destacamento ẽ de 1 (uma) tela.</p>	
ctrl-P	<p>Efetua um "hardcopy" da tela gr̃fica</p>	
ctrl-T	<p>Declara o fim de Ediçãõ</p>	

ANEXO I

FOLHA DE LAYOUT DO "ARRAY-ANALÓGICO"