

Este exemplar corresponde
à redação final da tese defendida
por Norian Marraughello e aprovada
pela comissão julgadora em
14 de agosto de 1987



" PROJETO DE UM CIRCUITO INTEGRADO VLSI PARA
O ACIONAMENTO DE VISORES DE CRISTAL LÍQUIDO "

AUTOR : Norian Marraughello

ORIENTADOR : Prof. Dr. Furio Damiani

Dissertação apresentada
à GPG/FEE/UNICAMP como
parte dos requisitos à
obtenção do título de
Mestre em Engenharia
Elétrica.

Campinas, 14 de agosto de 1987.

UNICAMP
BIBLIOTECA CENTRAL



P E N S A M E N T O

"O problema não é inventar. É ser inventado hora após hora e nunca ficar pronta nossa edição convincente."

Carlos Drummond de Andrade em O Corpo
pág.5 - Editora Record - 8ª ed. - 1986



H O M E N A G E M P O S T U M A

Ao meu avô Anacleto Frederico Eschiletti
pelo incentivo que sempre me deu desde o
meu ingresso no primeiro ano de escola.

DEDICATÓRIA

Dedico este trabalho aos meus pais
Nadyr e Italo e à minha avó Alaíde



A G R A D E C I M E N T O S

Agradeço ao Prof. Dr. Furio Damiani pela valiosa orientação que me dispensou durante este trabalho; à Profa. Dra. Alaíde P. Mammana pelas profícuas discussões que mantivemos a respeito dos visores de cristal líquido; ao Prof. Dr. Wilmar B. de Moraes pelas elucidantes discussões com relação ao projeto de circuitos integrados CMOS; ao Prof. Peter J. Tatsch pela ajuda na compreensão dos artigos em alemão; aos meus tios Carlitos e Lili pelo apoio que me deram desde minha chegada em Campinas; à minha esposa, Sandra, pelo seu carinho e sua compreensão incondicionais; aos meus irmãos, Liege e Moacyr, e à minha querida amiga Nair pelo incentivo que sempre me transmitiram; à Sra. Lúcia C. Cardoso por todos os desenhos (exceto as figs.1, 3 e 22 a 25 do cap.3); à Da. Edna Servidone por tudo o que foi necessário de dactilografia; ao Centro Tecnológico para a Informática - CTI - pela fig.25 do cap.3; à Coordenação de Aperfeiçoamento de Pessoal para o Ensino Superior - CAPES - e à Fundação de Amparo à Pesquisa do Estado de São Paulo - FAPESP - pelo apoio financeiro e a todos os outros parentes, amigos e colegas que de alguma forma colaboraram para que este trabalho chegasse a bom termo.



I N T R O D U Ç Ã O

No começo deste século os equipamentos de medida e de comunicações eram ainda bastante rudimentares, utilizando-se de muitas partes mecânicas, válvulas, ponteiros, etc.

Com o passar do tempo a eletrônica foi progredindo, foram descobertos os transistores e os equipamentos foram se modificando.

Passaram de rádios de galena e gramofones, carrilhões e relógios de bolso, calculadoras mecânicas e o computador de Babage, para rádios, vitrolas, televisores e computadores a válvula, registradoras e relógios de pulso mecânicos.

Já na década de 60 tinham-se rádios, toca-discos, televisões e computadores transistorizados e posteriormente com circuitos integrados, dando origem, também, aos relógios e calculadoras eletrônicos.

Com o surgimento dos microprocessadores, em 1971, todos estes equipamentos começaram a ser drasticamente compactados e atualmente tem-se rádios que podem ser usados no pulso ou encaixados nas orelhas, televisores de bolso, computadores do tamanho de uma maleta executiva, toca-discos a laser, calculadoras de pulso que fazem muito mais operações que o primeiro UNIVAC (que ocupava três andares de um edifício e precisava de condicionadores de ar para manter sua temperatura estável e baixa) relógios de pulso com despertador, cronômetro, calendário e inúmeras

outras funções, etc.

Basicamente, os componentes que viabilizaram toda esta compactação foram os circuitos de altíssima escala de integração e os visores não emissivos, dentre os quais se destacam os visores de cristal líquido.

Talvez a principal característica que permita a grande compactação destes visores seja o fato de que eles não necessitam gerar energia luminosa para que se possam ver as informações nele contidas; devido à sua estrutura estes visores "transformam" a luz ambiente incidente sobre eles possibilitando a visualização daquelas informações.

Embora estes dispositivos estejam sendo amplamente estudados e desenvolvidos no exterior, aqui no Brasil apenas alguns grupos de pesquisa estão trabalhando nesta área.

No intuito de trazer uma colaboração à microeletrônica nacional pela capacitação de mais um projetista de circuitos integrados e à indústria nacional colocando à sua disposição um estudo sobre um produto de larga aplicabilidade comercial e qualidade comparável aos mais avançados do mundo, este trabalho tem por objetivo o projeto e a simulação de um circuito integrado para o acionamento de visores de cristal líquido.

Para tanto, inicia-se dando uma visão histórica e analisando as características fundamentais dos cristais líquidos (Capítulo I) e dos visores com eles construídos (Capítulo II).

Neste segundo capítulo encontram-se também o modelamento elétrico dos visores de cristal líquido e um estudo sobre o seu acionamento.



A seguir são feitas algumas considerações sobre o projeto e a simulação de circuitos integrados (Capítulo III).

No capítulo IV descreve-se o projeto e a simulação de um circuito integrado para o acionamento de visores de cristal líquido, objeto desta tese.

Nos capítulos seguintes (V a VII) tem-se, respectivamente, conclusões e comentários finais, um glossário dos termos mais significativos e as referências bibliográficas utilizadas.



I N D I C E

PENSAMENTO	1
HOMENAGEM PÓSTUMA	2
DEDICATÓRIA	3
AGRADECIMENTOS	4
INTRODUÇÃO	5
ÍNDICE	8
CAPÍTULO I : CRISTAIS LÍQUIDOS	11
1. Introdução	11
2. Histórico	11
3. Classificação e Características	13
CAPÍTULO II : VISORES DE CRISTAL LÍQUIDO	19
1. Introdução	19
2. Estrutura dos VCL	20
3. Princípio de Funcionamento	23
4. Conceitos Básicos	27
5. Modelo Elétrico	31
6. Acionamento	34
6.1-Considerações Básicas	35
6.2-Modos de Acionamento	40
6.3-Acionamento Multiplexado: Considerações Teóricas	41
6.4-Acionamento Multiplexado: Considerações Práticas	49
CAPÍTULO III : PROJETO E SIMULAÇÃO DE CIRCUITOS INTEGRADOS ..	53
1. Introdução	53
2. Projeto	53



2.1-Projeto e Projetista	54
2.1.1-Um breve histórico	54
2.1.2-O que é o projeto	55
2.1.3-Quem é o projetista	56
2.2-Etapas de um Projeto	56
2.3-Ferramentas de Projeto	65
2.3.1-Células	67
2.3.2-Blocos	68
2.3.3-Sistemas	69
2.3.4-Compilador de Silício	71
3.Testabilidade	72
3.1-Conceitos	72
3.2-Classificações	78
3.3-Técnicas	80
3.4-Auto-teste	95
4.Simulação	97
4.1-Noções sobre as Técnicas de Simulação	98
4.1.1-Técnicas de Simulação de Segunda Geração	98
4.1.2-Técnicas de Simulação de Terceira Geração	100
4.2-Características de Alguns Programas de Simulação	101
4.2.1-Programa SPICE	102
4.2.2-Programa HILO	104
4.3-Estrutura Geral do Projeto e Simulação de CI VLSI	105
CAPÍTULO IV : UM CIRCUITO INTEGRADO PARA O ACIONAMENTO DE	
VISORES DE CRISTAL LÍQUIDO	107
1.Introdução	107
2.Considerações iniciais	109
3.Descrição das Partições	113

3.1-Introdução	113
3.2-Registador de Entrada	115
3.3-Memória Permanente	117
3.4-Seletores de Dígitos	117
3.5-Memória Temporária	117
3.6-Outros Seletores	118
3.7-Gerador de Níveis de Tensão	122
3.8-Algumas Estruturas	122
3.8.1-Cálculo do resistor	123
3.8.2-Cálculo do inversor	124
3.8.3-Cálculo da porta de transmissão	127
3.8.4-Cálculo das portas NE e NOU	127
3.8.5-Registador tipo D e Contador	135
3.8.6-Gerador de Níveis de Tensão	136
3.8.7-Almofadas de Entrada e Saída	137
3.9-Esquema de Acionamento	138
4.0 Circuito Completo	139
CAPÍTULO V: CONCLUSÕES E COMENTÁRIOS	146
CAPÍTULO VI: GLOSSÁRIO	150
CAPÍTULO VII: REFERÊNCIAS BIBLIOGRÁFICAS	146
APÊNDICE	160



CAPÍTULO I

CRISTAIS LÍQUIDOS

1. Introdução

Este capítulo tem por finalidade introduzir ao leitor os cristais líquidos.

Para tanto faz-se, inicialmente, um breve histórico sobre os cristais líquidos; seguindo-se a este a classificação e as principais características destas substâncias.

2. Histórico

Em 1888 o botânico austríaco Friedrich Reinitzer, ao aprofundar seus estudos sobre corantes orgânicos, descobriu uma fase opaca pela qual passava o Benzoato de Colesterol [22,23,52]. Esta fase ocorria na transição desta substância de um sólido cristalino para um líquido isotrópico.

Não conseguindo definir o que estava acontecendo Reinitzer solicitou a seu colega Lehmann que examinasse suas amostras. Um ano mais tarde Lehmann publicava um artigo onde confirmava a descoberta de Reinitzer [26], denominando esta fase intermediária (ou mesofase) de líquido cristalina e as substâncias que a apresentavam de Cristais Líquidos.

Desde a descoberta até meados da década de 30 foram feitas muitas pesquisas básicas por Reinitzer, Lehmann, Friedel, Mauguin, Vorlaender, entre outros, que contribuíram para uma maior compreensão das propriedades físico-químicas dos cristais líquidos [6].

De meados dos anos 30 até meados da década de 50 parece ter havido uma espécie de hibernação das pesquisas nesta área, sendo estas aparentemente retomadas pela publicação entre 1958 e 1960 de uma série de artigos sobre os cristais líquidos nemáticos por W.Maier e A.Saupe [64,65].

Finalmente, em 1968, 80 anos após a descoberta dos CL por Reinitzer, G.H.Heilmeyer, L.Zannoni e L.A.Barton [28] propuseram pela primeira vez, uma aplicação eletro-óptica dos cristais líquidos na forma de visores acionados pelo método de espalhamento dinâmico.

Depois deste feito muitas outras pesquisas vem sendo feitas, a nível internacional [36], tanto a respeito dos cristais líquidos quanto dos visores que dele se utilizam, chamados de **Visores de Cristal Líquido (VCL)**.

Alguns grupos de pesquisa vem desenvolvendo trabalhos, no Brasil, sobre os cristais líquidos e os VCL já ha alguns anos. Nossa proposta visa complementar estes trabalhos através do desenvolvimento de um circuito integrado para o acionamento dos visores de cristal líquido (VCL).



3. Classificação e Características

Os cristais líquidos são, em sua maioria, substâncias orgânicas que, numa determinada faixa de temperatura, apresentam um comportamento reológico similar aos fluidos e um comportamento óptico análogo aos sólidos.

Suas moléculas tem forma oblonga, podem mover-se como num líquido e mantêm uma certa organização como num sólido [7].

A organização das moléculas de um cristal líquido manifesta-se, principalmente, pela tendência de suas moléculas em se alinharem numa direção preferencial [17].

Para esclarecer um pouco esta idéia de direção preferencial de alinhamento imagine-se um pequeno vetor na direção do eixo de simetria de cada molécula que compõe o cristal líquido. Calculando-se a direção média de todos estes pequenos vetores tem-se o chamado vetor diretor do cristal líquido que representa a direção preferencial de alinhamento de suas moléculas.

Os cristais líquidos podem ser encontrados em duas fases distintas: a esmética e a nemática [49].

A fase esmética tem seu nome derivado da palavra grega *σμημα* que significa sabão porque as primeiras substâncias observadas, que apresentavam esta fase, faziam parte na composição do sabão [26].

Os cristais líquidos esméticos podem ser divididos em oito sub-fases discriminadas pelas letras A, B, C, ..., H. Destas oito apenas as sub-fases esméticas A (SA), B (SB) e C (SC) foram devidamente caracterizadas [17].

Além da organização numa direção preferencial, comum a todos os cristais líquidos, os esméticos tem um grau de organização bi dimensional, isto é, em sua estrutura pode-se observar camadas.

As camadas observadas nos cristais líquidos esméticos são fluidas, podendo ocorrer difusão entre elas. O grau de difusão vai depender de vários fatores, entre eles a organização da sub-fase que está sendo considerada.

Nos cristais líquidos SA (fig.1-a) as camadas tem uma espessura aproximadamente igual ao comprimento das moléculas e nos SC (fig.1-b) esta espessura é menor que o comprimento das moléculas. Estas observações levam a crer que o diretor, na sub-fase SA, é paralelo à normal à superfície do cristal líquido; enquanto, na sub-fase SC, faz um ângulo de até 45° com esta normal [7,17,19].

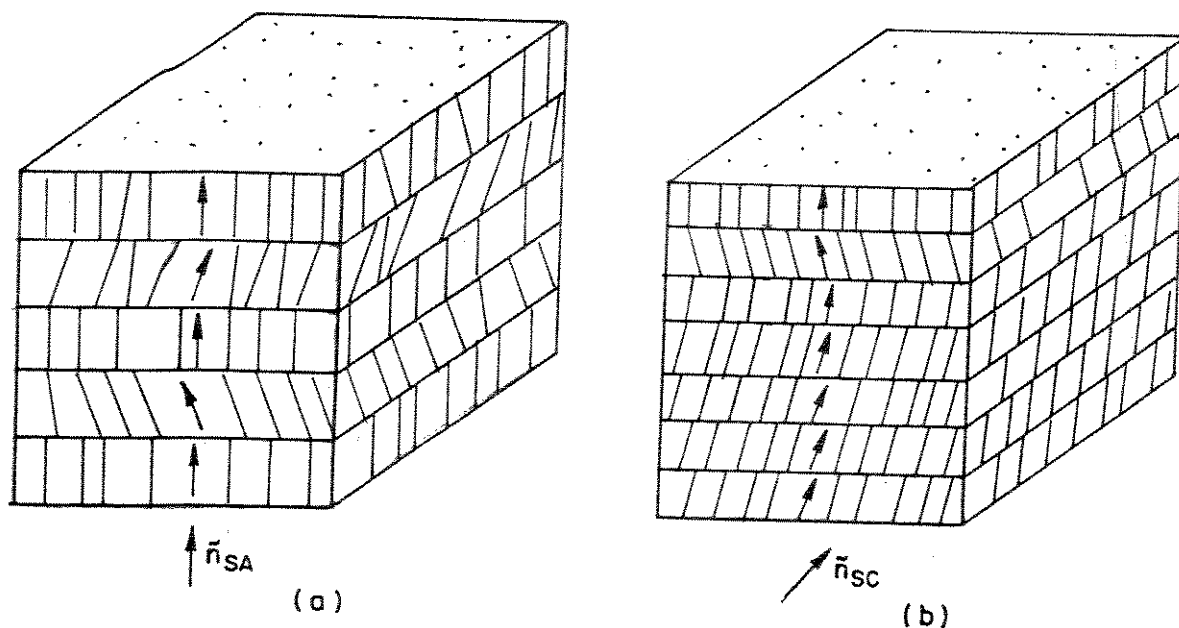


Figura 1— Cristais líquidos esméticos :
 (a) subfase SA (b) subfase SC

A sub-fase SB tem as camadas menos fluidas que as outras sub-fases recém descritas devido a uma maior organização das moléculas dentro destas camadas. Este comportamento os torna muito parecidos com os cristais plásticos.

A fase nemática tem seu nome derivado da palavra grega νημα que significa fibra, fio. Esta denominação deve-se ao fato de que suas moléculas distribuem-se formando uma estrutura com aparência fibrilar [26].

Os cristais líquidos nemáticos podem ser divididos em duas sub-fases que são a nemática propriamente dita (a qual será tratada aqui simplesmente por nemática) e a do tipo colestérico (aqui tratada por colestérica), embora alguns autores prefiram classificar estas sub-fases como duas fases distintas.

Nos cristais líquidos nemáticos (fig.2-a) não é possível identificar camadas como no caso dos esméticos, mas a propriedade de suas moléculas alinharem-se segundo um diretor continua válida.

Imaginando-se planos em certos CL nemáticos (fig.2-b) nota-se que o vetor diretor de cada plano forma um ângulo com os planos adjacentes, descrevendo uma estrutura helicoidal. Os CL que apresentam esta estrutura são ditos colestéricos.

A justificativa para se classificar os cristais líquidos nemáticos e os colestéricos como uma única fase é que se o passo da hélice descrita pelo diretor de um CL colestérico for considerado infinito ele torna-se um CL nemático.

Atualmente os cristais líquidos mais utilizados são os nemáticos por causa dos VCL-NT que serão estudados no capítulo seguinte.

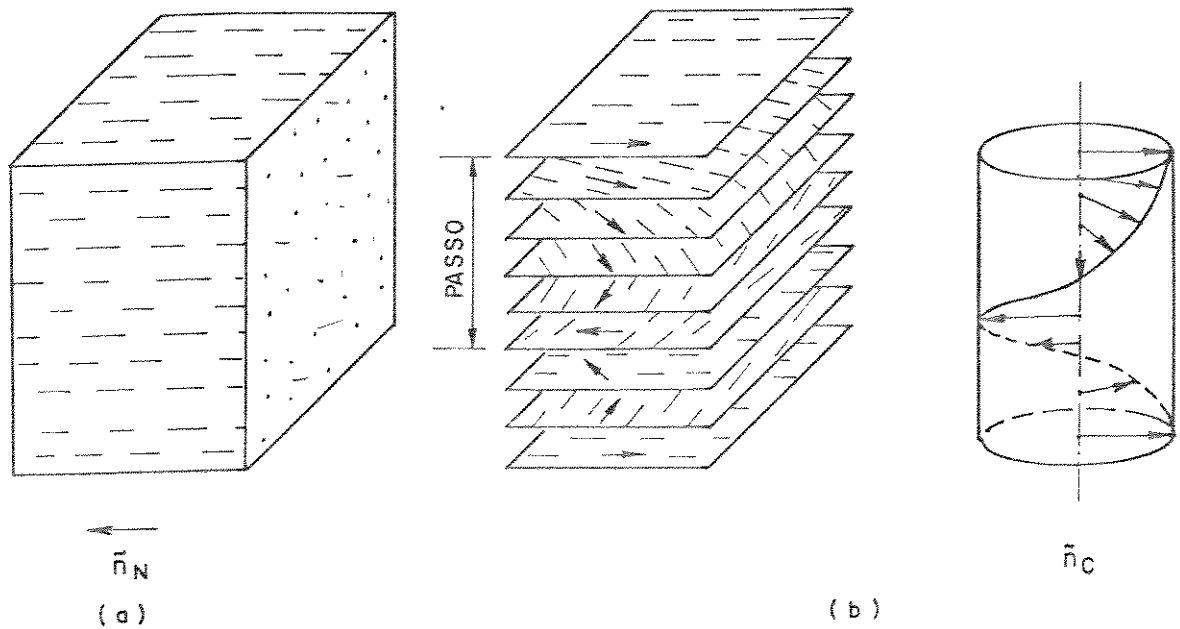


Figura 2 - Cristais líquidos nemáticos
 (a) subfase nemática (b) subfase colestérica

Quase todas as fases líquido cristalinas podem ocorrer numa mesma substância. A exceção deve-se às subfases da fase-nemática que são exclusivas, isto é, a ocorrência da nemática elimina a possibilidade de ocorrência da colestérica e vice-versa.

O diagrama abaixo mostra a ordem normal de ocorrência das fases líquido cristalinas. Neste diagrama K representa um sólido cristalino; I um líquido isotrópico; S₁, N e C as subfases esméticas e as subfases nemática e colestérica, respectivamente; e T₁ as temperaturas de mudança de fase, onde T₁ < T₂ < T₃.

K → T₁ → SH → SG → SF → SE → SD → SC → SB → SA → T₂ → N ou C → T₃ → I



A estrutura molecular genérica de um cristal líquido é:



-> GU é um grupo de união, cujos mais comuns são os radicais azo, azoxi, azometina, fenil e éster;

-> GA são grupos aromáticos, cujos mais frequentes são o benzil, o ciclohexil e o pirimidil; e

-> GT são grupos terminais, cujos mais usuais são os compostos alquil, alcoxi, ciano, nitro e aldeído.

A principal função do grupo de união é manter a linearidade da molécula do cristal líquido e os grupos terminais são grandemente responsáveis pelas propriedades anisotrópicas das moléculas [19].

Os cristais líquidos apresentam a fase líquido cristalina em faixas de temperatura que são, em geral, relativamente estreitas e bem acima da temperatura ambiente; dificultando seu uso em equipamentos comerciais.

Para transpor este problema fazem-se misturas de cristais líquidos. Nestas misturas utilizam-se, normalmente, de 4 a 10 compostos. Um exemplo é a mistura da BDH Chemicals feita com os compostos 5CB (faixa nemática de 24°C a 35,3°C); 8OCB (faixa nemática de 67°C a 80°C); 5CT (faixa nemática de 129,8°C a 238,5°C); e 7CB (faixa nemática de 37°C a 56,5°C) que resulta no composto E7 cuja faixa nemática vai de -10°C a 60,5°C.

Deve-se notar, ainda, que as propriedades físicas dos cristais líquidos (viscosidade, susceptibilidade magnética, constante dielétrica, condutividade elétrica e índice de refração) são



anisotrópicas [49].

Em particular, a anisotropia do índice de refração deve-se à forma alongada das moléculas do cristal líquido e a anisotropia dielétrica, que é uma função da frequência, deve-se aos dipolos elétricos permanentes e induzidos.

Se o cristal líquido tiver uma anisotropia dielétrica positiva, isto é, a componente da constante dielétrica paralela a um campo elétrico aplicado ao cristal líquido for maior que a componente perpendicular a este campo, as moléculas do cristal líquido tenderão a se alinhar paralelamente ao campo elétrico aplicado.

Se, ao contrário, o cristal líquido tiver uma anisotropia dielétrica negativa, isto é, das componentes da constante dielétrica acima referidas se a perpendicular for maior que a paralela, as moléculas do cristal líquido tenderão a se alinhar perpendicularmente ao campo elétrico aplicado.

Um último conjunto de propriedades físicas dos cristais líquidos digno de nota são as constantes elásticas. Estas constantes são devidas às respostas do cristal líquido a forças axiais (de tração e compressão), transversais e de torção a ele impostas. O valor destas constantes elásticas depende da temperatura o que provoca uma variação na resposta óptica do cristal líquido (esta resposta óptica será estudada mais adiante).



CAPÍTULO II

VISORES DE CRISTAL LÍQUIDO

1. Introdução

Este capítulo tem por finalidade estudar a estrutura e o princípio de funcionamento dos visores de cristal líquido (VCL) bem como obter um modelo elétrico que se possa utilizar para o estudo dos circuitos de acionamento dos mesmos.

Antes de iniciar este estudo é conveniente que se faça uma análise da nomenclatura utilizada já que, durante este trabalho, ocorreu uma dúvida quanto à utilização das palavras visor e mostrador.

O nome original destes dispositivos, em inglês, é "liquid crystal displays". A expressão "liquid crystal" não traz nenhum problema de tradução, pois, significa cristal líquido. A dúvida consistia na tradução da palavra "display".

Segundo "the new merriam-webster pocket dictionary" a palavra "display" significa: "to present to view; a displaying of something, exhibition".

De acordo com o novo dicionário de Aurélio Buarque de Holanda Ferreira, mostrador é "aquilo que mostra; a parte do relógio onde estão indicadas as horas e os minutos" e visor é "aquilo que permite ver ou ajuda a ver".

Numa primeira análise pareceu mais interessante usar a palavra mostrador como tradução para "display". Esta tradução é muito boa quando se trata de VCL usados em relógios mas perde um pouco de seu significado ao se referir a estes dispositivos usados em calculadoras, computadores, televisores, etc.

Portanto, é preferível traduzir "liquid crystal displays", conferindo-lhe um significado mais genérico, pela expressão "Visores de Cristal Líquido".

2. Estrutura dos VCL

A tecnologia dos visores de cristal líquido (VCL) vem, pouco a pouco, superando as demais por diversos fatores, dentre os quais ressaltam-se:

-> seu baixo consumo de potência o que permite serem acionados diretamente por circuitos MOS e confere uma longa vida às baterias, tendo grande utilidade em equipamentos portáteis;

-> por serem dispositivos modificadores de luz eles possibilitam uma melhor observação quando em presença de iluminação intensa do que seus concorrentes emissores de luz (por exemplo os LED); e

-> devido à sua construção é possível conseguir uma boa resolução gráfica [57].

Como foi dito anteriormente, os cristais líquidos mais utilizados hoje em dia são os nemáticos devido aos VCL-NT. A sigla VCL-NT significa visor de cristal líquido nemático torcido. As fig.1 e 2 mostram uma célula de VCL-NT.

A célula de VCL-NT consiste de duas lâminas de vidro onde são gravados moldes condutores transparentes cobertos por filme especial que além de proteger os moldes condutores servem para forçar o alinhamento das moléculas do cristal líquido.

Entre estas lâminas, devidamente separadas por espaçadores, é colocado o cristal líquido e o conjunto é vedado.

Sobre a lâmina é colocado um filme polarizador de luz e, opcionalmente, uma camada reflexiva é adicionada ao polarizador trazeiro [1,8,9,39,40].

Os polarizadores de luz são muito sensíveis à temperatura e à umidade. Eles são fornecidos na forma de folhas plásticas e em várias cores. Quando submetidos a altas temperaturas perdem o brilho e descascam.

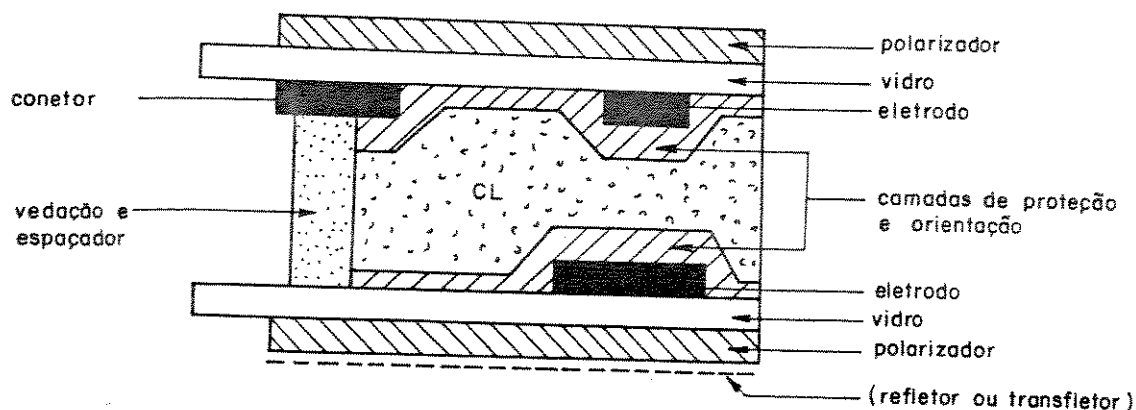


FIGURA 1 - Estrutura de uma célula de VCL - NT

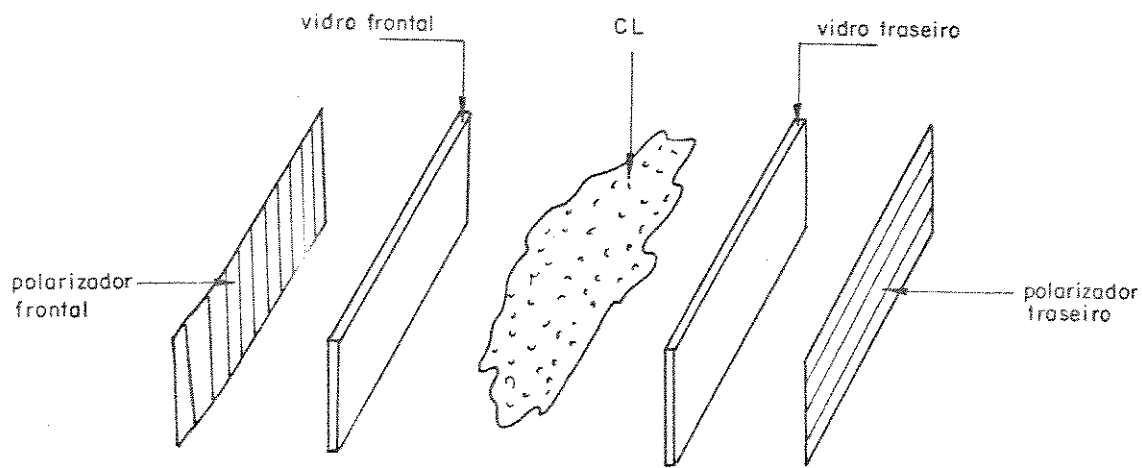


FIGURA 2 - Vista explodida simplificada da célula da FIGURA 1

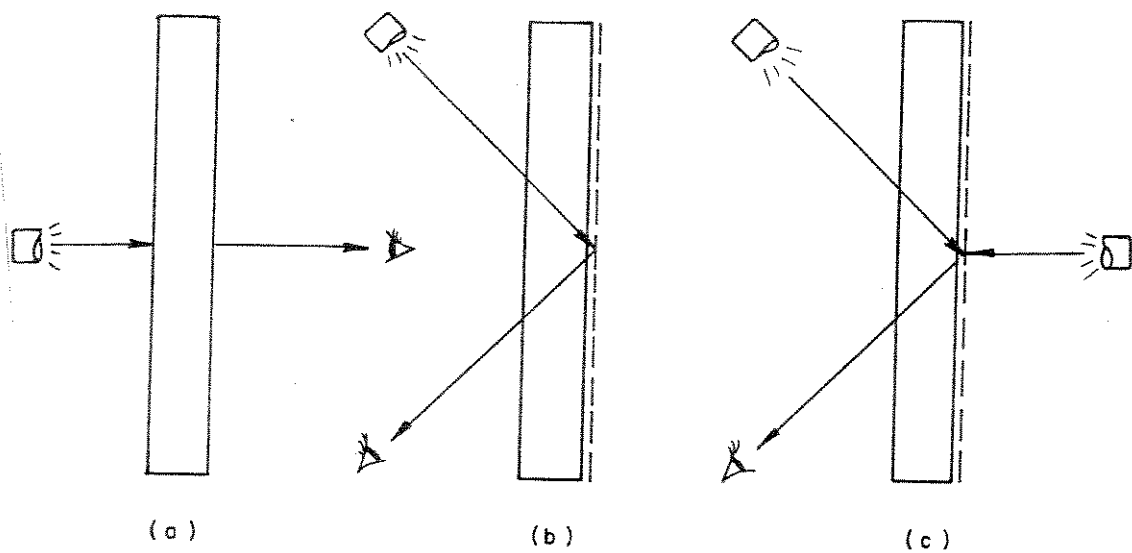


FIGURA 3 - Tipos de visores : (a) transmissivo
(b) reflexivo
(c) transflexivo



Os condutores transparentes são depositados com tecnologia de filmes finos e podem ser metálicos ou de óxidos condutores como, por exemplo, o SnO_2 . Os condutores gravados no vidro frontal darão a forma das imagens enquanto os do vidro trazeiro são necessários apenas para completar o circuito elétrico.

Os refletores (ou espelhos), opcionalmente fixados ao polarizador trazeiro, podem ser de dois tipos: reflexivos e transflexivos; com isto pode-se ter três tipos de VCL-NT [8], ilustrados na fig.3:

- a) **transmissivos** são aqueles em que a luz incide numa face do visor e a observação é feita pela face oposta, estes visores são úteis para ambientes pouco iluminados;
- b) **reflexivos** são aqueles onde a luz incidente atravessa o visor, é refletida pelo espelho colocado atrás do polarizador trazeiro sendo observada pela mesma face por onde entra; e
- c) **transflexivos** são os visores cujo espelho reflete parcialmente a luz e permite uma iluminação artificial, são muito usados em relógios de pulso, por exemplo, onde atuam como reflexivos em ambientes com boa iluminação e como transmissivos em ambientes escuros.

3.Princípio de Funcionamento

No seu estado de repouso as moléculas do cristal líquido procuram alinhar seus eixos longitudinais ao polarizador

mais próximo graças à ação do filme químico especial que é depositado sobre os condutores de modo a fornecer um estado de baixa energia, às moléculas do cristal líquido, na direção do polarizador adjacente. Com isto as moléculas próximas ao polarizador frontal posicionam-se alinhadas a este. Observando-se as moléculas progressivamente mais próximas do polarizador trazeiro nota-se uma rotação gradual das mesmas até que, as mais próximas do polarizador trazeiro, tem seus eixos alinhados com o mesmo, portanto, a 90° em relação às aquelas iniciais.

Com esta disposição a luz não polarizada, ao incidir sobre o visor, será direcionada pelo polarizador frontal e, conforme for penetrando na célula, estará sofrendo uma rotação gradual de 90° com relação à sua direção inicial; o que coincide com a direção do polarizador trazeiro.

Assim sendo, a luz ultrapassa este último polarizador, é refletida pelo espelho e sofre nova rotação de 90° voltando ao ambiente e produzindo um brilho total no visor; nesta situação costuma-se dizer que o visor está **apagado**.

Quando se aplica uma tensão V entre os eletrodos da célula tem-se uma geração de íons que parte da superfície catódica em direção ao anodo. Estes íons induzem um cisalhamento no CL criando uma região de turbulência, pois, suas moléculas procuram alinhar-se paralelamente à direção do movimento daqueles. O efeito desta turbulência é uma variação localizada no índice de refração, com o que a luz não é mais refletida na direção do observador mas sofre um espalhamento em todas as direções sendo quase totalmente absorvida.

Agora a célula de cristal líquido está no seu Modo de Espalhamento Dinâmico (MED) [28], isto é, em linguagem usual dir-se-ia que o visor está **aceso**.

Na verdade, para atingir o MED, não é necessária a aplicação de uma tensão. Existem outros mecanismos como temperatura, pressão ou campo magnético que podem levar uma célula de cristal líquido a este modo, porém eles não serão estudados aqui por fugirem ao escopo deste trabalho.

Existem, também, vários mecanismos pelos quais um campo elétrico exerce uma força sobre um fluido, os quais são revisados em [28]. Destes mecanismos, o que parece ter mais possibilidades de ser o responsável pelo MED é o efeito eletrohidrodinâmico que se constitui na produção de forças mecânicas através de uma condução elétrica unipolar, isto é, quando íons sob a influência de um campo elétrico movem-se num meio parcialmente ionizado o atrito destes com o meio transfere momento para esse e quando estes íons são de um mesmo sinal as pressões criadas podem ser suficientemente grandes para mover as moléculas do cristal líquido.

Quando se retira a tensão V as moléculas do cristal líquido retornam gradativamente ao seu estado original, com isto, o dispositivo volta a refletir luz para o observador.

A descrição acima corresponde ao princípio de funcionamento dos visores de cristal líquidos (VCL) e está ilustrada nas figs.4 e 5.

Contudo, antes de encerrar este ítem, cabe ressaltar duas coisas:

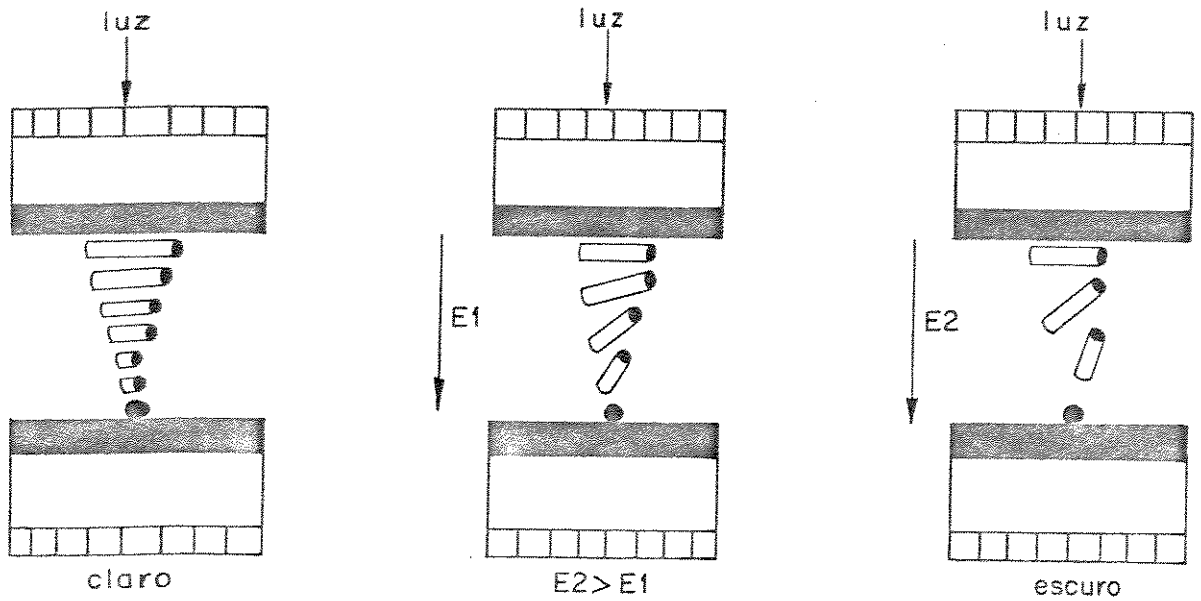


Figura 4 - Princípio de funcionamento dos VCL-NT

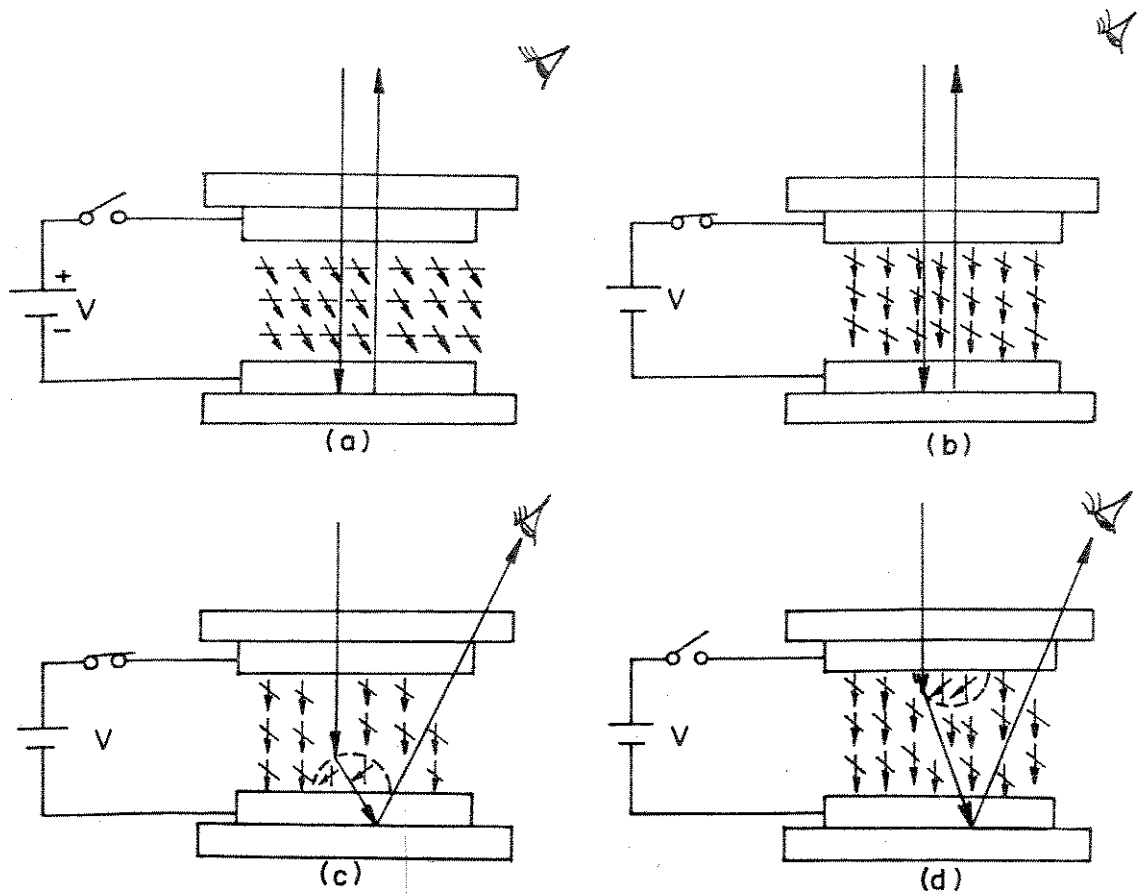


Figura 5 - Princípio de funcionamento dos VCL-NT



-> primeiro, devido ao fato das moléculas tiradas da posição de repouso serem apenas aquelas localizadas sob o eletrodo ao qual se aplicou a tensão V, a forma da imagem observada é a do eletrodo energizado; e

-> segundo, os íons só começarão a fluir um certo tempo após a aplicação da tensão e o MED é mantido mesmo depois da retirada de V até as moléculas do cristal líquido voltarem à sua posição de repouso. Os dois últimos fatos tornam clara a existência de atrasos no tempo de resposta do VCL.

4. Conceitos Básicos

Os tempos de resposta de uma célula de cristal líquido são função do material usado na célula, da espessura da célula, das amplitude e frequência da tensão de excitação e do estado anterior da célula. A legibilidade de um visor também depende da relação de contraste que se obtém entre suas partes claras e escuras.

Este item serve para ampliar a base teórica para o estudo do acionamento de VCL iniciando pela análise do contraste.

O **contraste** dá uma idéia de quão bem se pode distinguir duas ou mais figuras superpostas. Uma definição de contraste poderia ser : "contraste é o quociente da diferença entre os brilhos das regiões clara e escura pelo da clara" , ou seja,

$$C = \frac{B_c - B_e}{B_c}$$

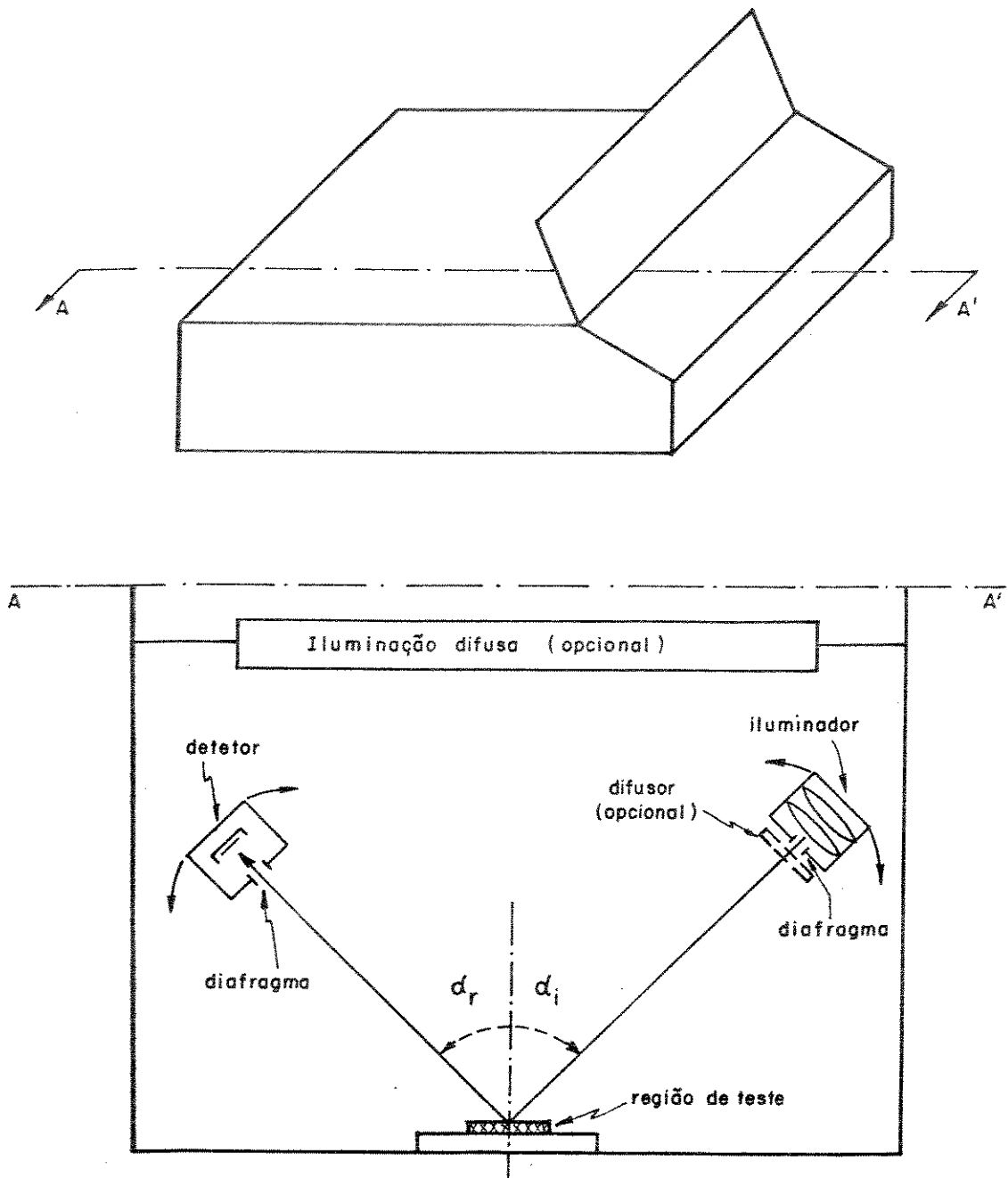


Figura 6 - Esquema para a medição de contraste

onde: C é o contraste,
 B_c é o brilho da região clara e
 B_e é o brilho da região escura.

A **relação de contraste** pode ser definida, simplesmente, como a relação entre o brilho da região clara e o da escura, segundo a expressão a seguir: $R_c = B_c / B_e$.

Um terceiro parâmetro de contraste que pode ser utilizado é o **contraste relativo** (C_r), sendo este definido pela relação entre o contraste real obtido e o máximo teórico que se pode obter do visor.

Das definições acima pode-se relacionar o contraste e a relação de contraste entre si pela expressão: $C = (R_c - 1) / R_c$.

Existe uma divergência entre os limites para se fixar os valores do contraste nos quais o visor pode ser considerado ligado ou não. A faixa máxima para o contraste desligado está entre 5% e 10% enquanto a faixa mínima para o ligado fica de 50% a 90%, contudo, isto não é uma regra geral e cada caso deve ser analisado individualmente.

O contraste num visor de cristal líquido (VCL) pode ser medido, por exemplo, com um aparelho como o da fig.6 na qual se ve uma caixa opaca onde são colocados a amostra e um detetor que medirá a intensidade de luz refletida pela amostra de acordo com a variação da luz incidente.

Quando a tensão de um VCL é gradativamente aumentada nota-se que numa determinada tensão começa a se esboçar uma certa reação do cristal líquido à excitação. Esta tensão que é tomada, em geral, como estando entre 5% e 10% daquela necessária para o contraste total e é chamada de **tensão de limiar** (V_{lim}). Se a ten-



são continuar sendo aumentada chega-se a um ponto onde o contraste é tão bom que quase não se nota melhoria. A tensão neste ponto é aproximadamente 90% da tensão necessária para atingir C_{max} e é denominada de **tensão de saturação** (V_{sat}).

O coeficiente de temperatura típico para alguns cristais líquidos está na faixa de -3 a -6 mV/°C. O efeito da temperatura nestas tensões é o de aumentá-las a medida que a temperatura diminui e vice-versa.

A **resposta óptica** é a relação entre o contraste obtido e a tensão aplicada. Devido à dependência da resposta óptica com a temperatura, os segmentos não selecionados tendem a acender com o aquecimento do VCL e com o seu resfriamento os segmentos selecionados tendem a perder o contraste.

O pior caso ocorre durante o aquecimento já que a perda de contraste durante o resfriamento é muito pouca e, normalmente, reversível.

Nos cristais líquidos a temperatura máxima é aquela em que o alinhamento molecular desaparece e o material se torna um líquido isotrópico. O limite inferior da temperatura é a transformação do cristal líquido em um semi-sólido. Esta temperatura mínima é difícil de ser atingida já que, na prática, o aumento da viscosidade do cristal líquido limita a temperatura mínima devido ao grande aumento do tempo de resposta.

Para evitar certas reações eletroquímicas anteriormente estudadas, cuja tendência é diminuir a vida dos visores, a tensão de acionamento deve ser de frequência alternada com amplitude efetiva, no máximo, igual a V_{sat} e uma componente dc não superior a 100 mV.



A frequência de operação depende da construção do dispositivo e das características do cristal líquido.

A menor frequência de operação é ditada pela tremulação ficando em torno de 25 a 30 Hz [54,57]. A frequência máxima de operação é limitada pelo consumo de corrente entre 200 Hz e algumas dezenas de KHz [54,57].

Os cristais líquidos, quando operados entre 25Hz e 1KHz, comportam-se como uma carga capacitiva.

5. Modelo Elétrico

Dando continuação a este capítulo é preciso falar um pouco sobre o modelo elétrico de uma célula básica utilizada nos visores de cristal líquido (VCL). A fig.7 será usada para esta explicação.

Os eletrodos e os contatos podem ser representados por uma resistência série notada por R_{ec} e seu valor varia entre 500 ohms e 5000 ohms em cada contato.

Nas interfaces entre o cristal líquido e os eletrodos existe um filme bastante fino, da ordem de algumas dezenas de nanômetros: esta estrutura apresenta um efeito capacitivo.

Uma capacitância real tem uma corrente de fuga que pode ser representada por uma resistência em paralelo.

As capacitâncias C_{fp} , devido ao seu finíssimo dielétrico, e as resistências R_{fp} , por causa das baixíssimas correntes de fuga devidas às ótimas qualidades do dielétrico, tem seus valores muito altos.

Por último existem a capacitância e a resistência equivalentes do cristal líquido. Como este material é um bom isolante e tem uma espessura da ordem de alguns micra sua capacitância é bem baixa e a resistência associada consideravelmente alta. Seus valores são da ordem de alguns picofarads e vários megohms, respectivamente.

As resistência e capacitância do cristal líquido podem ser calculadas a partir do conhecimento da resistividade e da constante dielétrica do mesmo, da área do elemento em questão e do espaçamento entre os eletrodos.

Os valores típicos da resistividade estão na faixa de 100 kilo- a 1 giga-ohm.cm e da constante dielétrica relativa na faixa de 3 a 3,5.

Partindo da descrição acima e da fig.7-a se obtém o circuito equivalente da fig.7-b onde $Rec1$ e $Rec2$ são as resistências representativas dos eletrodos e contatos externos; $Cfp1$, $Cfp2$, $Rfp1$ e $Rfp2$ são as capacitâncias e resistências do filme químico que cobre os eletrodos; e CCL e RCL são, respectivamente, a capacitância e a resistência do cristal líquido.

Pode-se obter o circuito elétrico equivalente simplificado mostrado na fig.7-c, que serve para a maioria dos cálculos necessários ao acionamento dos VCL-NT, fazendo-se as seguintes simplificações: -> $REC = Rec1 + Rec2$;

-> as capacitâncias Cfp , de alto valor, comportam-se como um curto circuito para as baixas frequências usadas, portanto, as resistências Rfp podem ser desprezadas; e

-> numa associação em série de capacitâncias prevalece o valor da menor, que é a CCL .

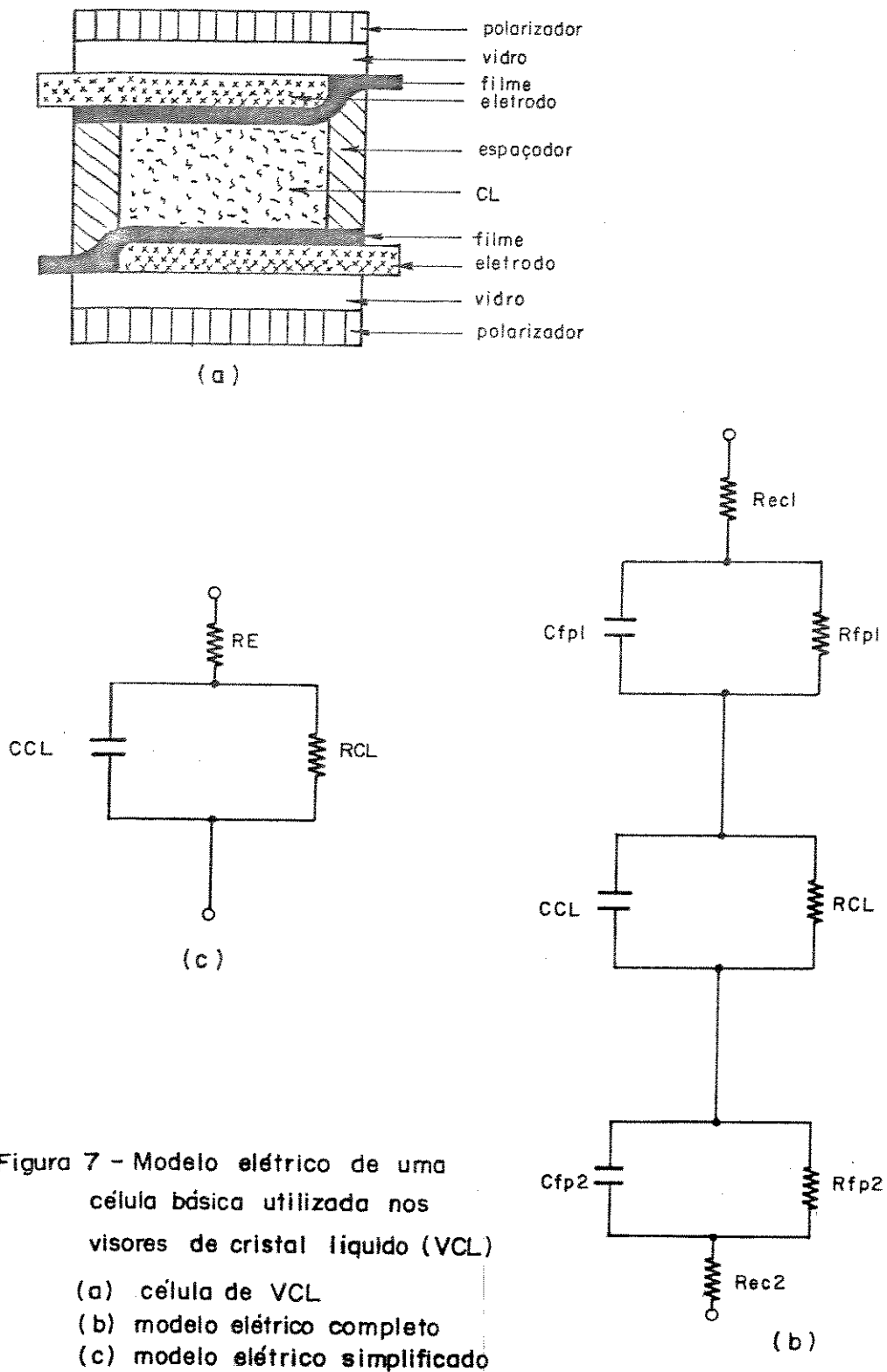


Figura 7 - Modelo elétrico de uma célula básica utilizada nos visores de cristal líquido (VCL)

- (a) célula de VCL
- (b) modelo elétrico completo
- (c) modelo elétrico simplificado

6. Acionamento

Neste item tratar-se-á sobre o acionamento dos visores de cristal líquido (VCL). Para facilitar o estudo adotar-se-á a estrutura simplificada da fig.8.

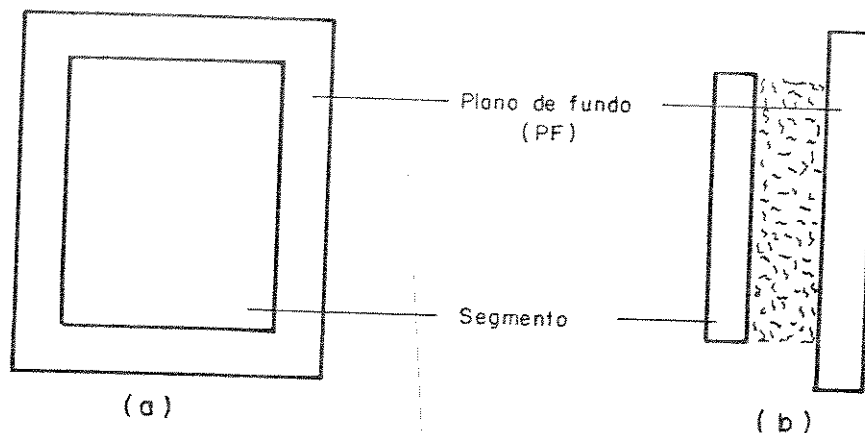


Figura 8 - Estrutura simplificada de uma célula de cristal líquido:

(a) vista frontal

(b) vista lateral

Primeiramente serão feitas algumas considerações básicas sobre os VCL no que se refere ao seu comportamento elétrico, a seguir far-se-á uma distinção entre os modos de endereçamento (direto e multiplexado) aprofundando-se, posteriormente, no multiplexado.



6.1-Considerações Básicas

Em primeiro lugar deve-se recordar, rapidamente, o que acontece quando se aplica uma tensão V_a aos eletrodos de um visor de cristal líquido (VCL).

O campo elétrico estabelecido por V_a alinha as moléculas do cristal líquido, tirando-as da polarização correta o que produzirá um efeito de bloqueio da luz naquela região do cristal líquido. Antes que este efeito seja visível é preciso que as moléculas movam-se fisicamente. O tempo necessário para este movimento é proporcional ao campo elétrico que, por sua vez, é diretamente proporcional à V_a e inversamente proporcional ao espaçamento entre os condutores (segmento e plano de fundo). Portanto, quanto menor este espaçamento menor será a V_a necessária para produzir um mesmo contraste.

A excitação parcial de segmentos não selecionados devido ao acoplamento capacitivo de segmentos adjacentes pode ser evitada com uma polarização adequada [8,57].

A maior tensão que se deve aplicar a um elemento de uma dada linha, sem que os demais excedam a tensão de limiar (V_{lim}), é expressa por [5]:

$$V_a < \frac{s(l-1) + c}{s(l-1)} \times V_{lim}$$

onde: s é o número de colunas acionadas simultaneamente com a mesma tensão,

l é o número total de linhas e

c é o número total de colunas.



Durante a aplicação da tensão V_a os eletrodos do VCL são submetidos a reações eletroquímicas. Se esta tensão for mantida por um longo período estas reações tornam-se irreversíveis diminuindo o tempo de vida do visor (VCL).

Para evitar este processo os VCL devem ser operados com tensões alternadas baixas (na faixa de 3 a 6 Vrms, aproximadamente) tendo-se, também, o cuidado de manter uma componente contínua de alguns mV no máximo [8,55,57].

Os visores de cristal líquido (VCL) devem ser operados em baixas frequências devido ao tempo de resposta dos cristais líquidos estar na faixa dos milissegundos ou um pouco menos.

Por outro lado, a frequência de operação dos VCL não pode ser muito baixa devido ao tempo de resposta do olho humano, na faixa de dezenas de milissegundos, sob pena de se notar tremulação na imagem.

Destas considerações e dos dados das referências [54,57] conclui-se que a faixa de frequências ideal para a operação dos visores de cristal líquido (VCL) vai de 25Hz a 10KHz.

Uma célula de VCL operada em tensão alternada de baixa frequência apresenta um comportamento capacitivo de modo que seu consumo de potência é baixo e proporcional à frequência de operação.

Uma célula de VCL responde igualmente a ambas as polaridades da tensão aplicada, ou seja, sua resposta é simétrica.

Dos dois últimos parágrafos pode-se dizer que devido às características de acionamento simétrico e de baixa potência dos VCL a tecnologia CMOS é ideal para o circuito de acionamento proposto [5,8].

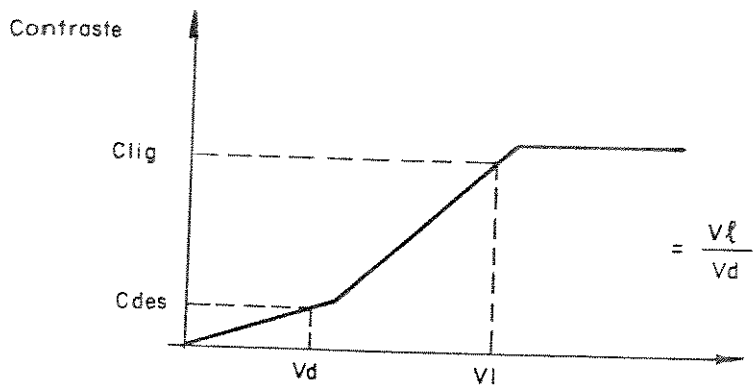


Figura 9 — Curva assintótica de resposta óptica de uma célula de cristal líquido

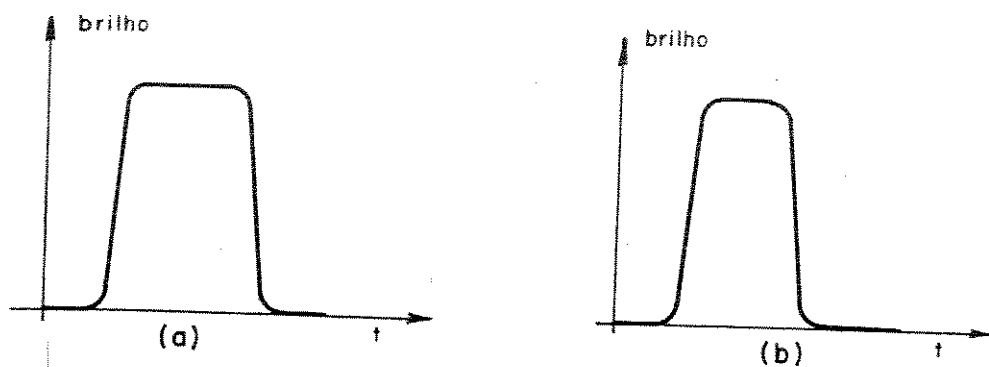
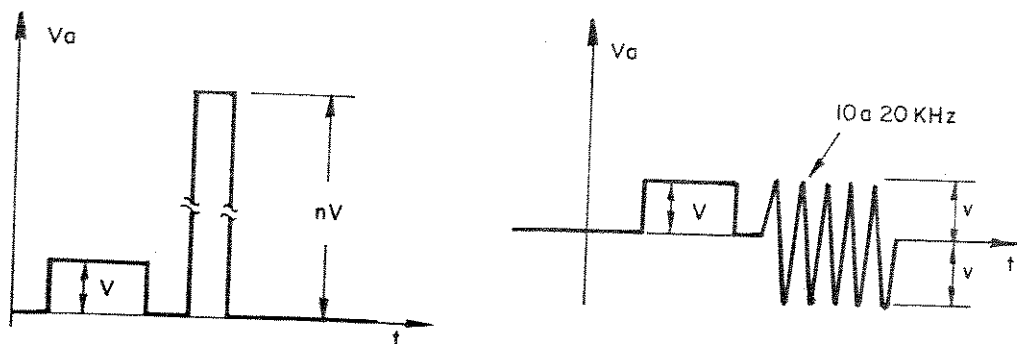


Figura 10 — Métodos para o aumento de velocidade das células de CL.

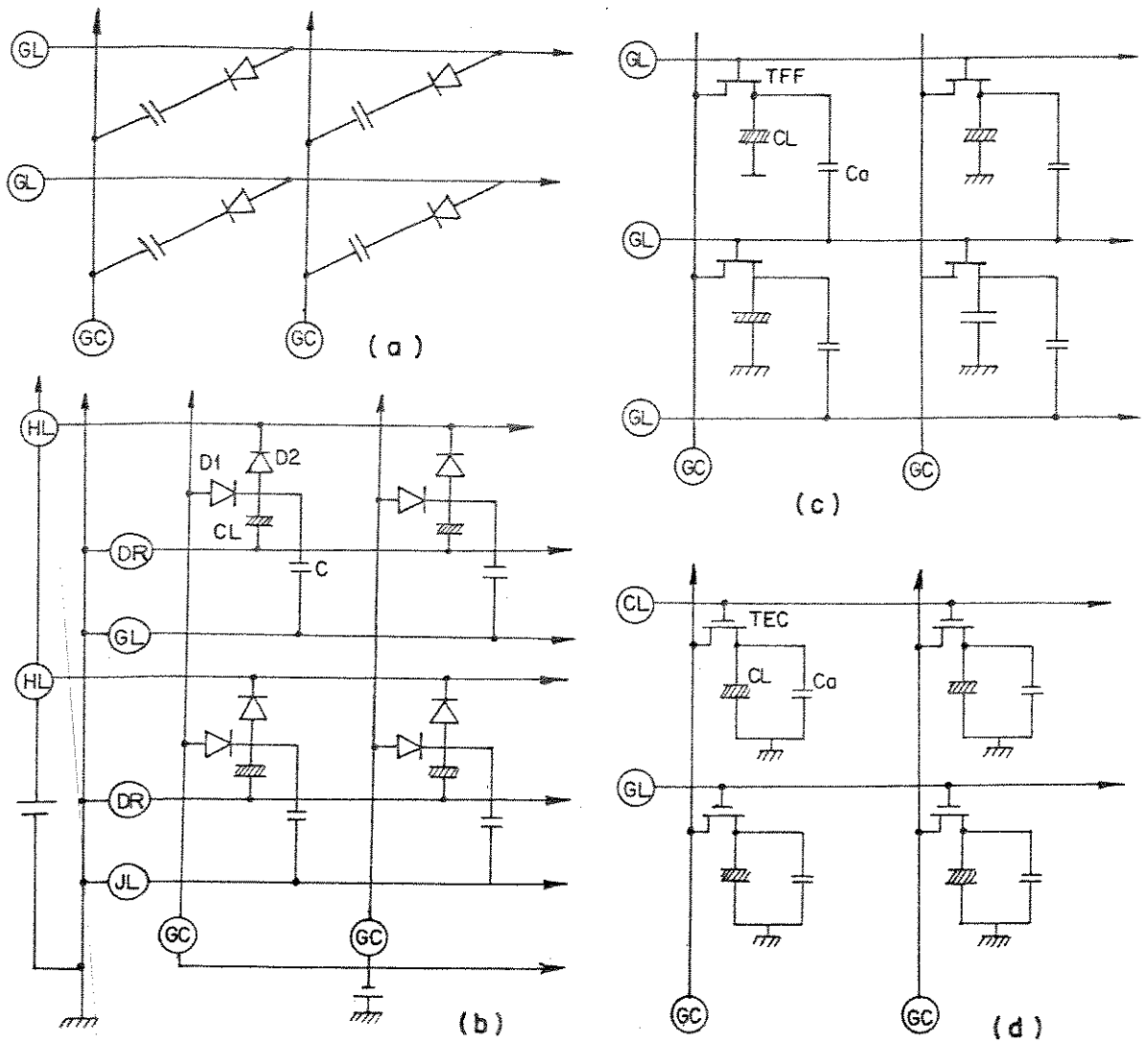


Figura 11 - Multiplexação por Matriz Ativa

(a) - Esquema clássico

(b) - Esquema capacitor / Diodo duplo (CD2)

(c) - Esquema transistor de filme fino / Capacitor (TF2C)

(d) - Esquema transistor de efeito de campo / Capacitor (TEC2)

Convenção: HL - gerador de pulsos de reset

GL - gerador de pulsos para as linhas

GC - gerador de pulsos para as colunas

DR - gerador de pulsos de desligamento rápido.

Sobre a tensão de acionamento destes visores (VCL) sabe-se, ainda, que são dispositivos sensíveis ao valor médio quadrático da V_a entre seus segmentos e o plano de fundo. Tal comportamento influi em vários aspectos do funcionamento dos VCL, por exemplo, limitando a capacidade de varredura, o ângulo de visada e o contraste.

Tome-se este último como exemplo. Um bom contraste não depende da forma de onda aplicada, o que interessa é que o valor rms da mesma seja o maior e mais constante possível [8,55].

Uma pergunta que poderia surgir a esta altura é: qual a necessidade de uma relação de contraste tão boa? Para responder a esta pergunta serão precisos a curva de resposta óptica da fig.9 e o conceito de relação de limiar a seguir.

"A relação de limiar (RL) é o quociente entre a tensão rms que produz o contraste de um segmento ligado por aquela que produz o de um desligado".

Esta relação não é muito grande mas pode ser melhorada se um elemento ativo for colocado em série com cada elemento de imagem, conforme será visto mais adiante.

Como a resposta óptica das células de cristal líquido é lenta, na fig.10 pode-se ver dois métodos para aumentar a velocidade das mesmas [9]. Os métodos consistem na aplicação de um pulso de alta tensão (fig.10-a) ou de uma onda de alta frequência (fig.10-b) ao VCL, com o que realinham-se as moléculas do cristal líquido.

Outro fator ligado à velocidade do cristal líquido é a declividade da curva de resposta óptica. Visando aumentar esta declividade pode-se colocar um elemento de controle em série com



cada elemento de imagem fazendo com que esse se comporte como uma carga capacitiva [8]. Este método chama-se de multiplexagem por matriz ativa (fig.11) tendo a vantagem de aumentar a velocidade de acionamento e conseqüentemente possibilitando a utilização de mais elementos de imagem. Contudo, tem a desvantagem de aumentar a área do VCL e apresentar problemas de rendimento na produção.

6.2-Modos de Acionamento

Inicialmente deve-se definir acionamento:

"acionamento de um visor de cristal líquido (VCL) é o processo de transmissão de sinais para este dispositivo de modo a ligar os segmentos desejados tornando possível a transferência de uma determinada informação ao observador" [8].

Existem, basicamente, dois modos de acionamento que são o direto e o multiplexado.

O acionamento direto é aquele em que cada segmento é ligado a um terminal correspondente do circuito de acionamento tendo um plano de fundo comum a todos os segmentos, conforme a fig.12 [1,8,57]. O acionamento direto permite uma maior liberdade com relação à tensão de acionamento, à faixa de temperatura de operação e ao ângulo de visada, porém, requer um maior número de contatos e conexões bem como mais circuitos de acionamento.

O acionamento multiplexado [1,8], também chamado de matricial, é aquele em que se aciona mais de um segmento com um mesmo circuito. Este acionamento pode ser:

-> **intrínseco** - quando atuar apenas sobre a característica eletro-óptica do cristal líquido ou;

-> **extrínseco** - quando for usado um elemento não linear em cada elemento de imagem.

O acionamento multiplexado pode ser:

-> **total** (fig.13-a), onde cada elemento de um determinado dígito é ligado a um circuito de acionamento particular e segmentos que ocupam a mesma posição em dígitos diferentes são ligados ao mesmo circuito de acionamento, sendo que cada dígito possui um plano de fundo diferente dos demais; ou

-> **parcial** (fig.13-b), onde os segmentos são ligados de forma que aqueles pertencentes a uma mesma conexão não façam parte do mesmo plano de fundo, sendo que cada dígito possui mais de um planos de fundo independentes.

O modo de acionamento multiplexado reduz o número de interconexões e circuitos de acionamento necessários além de proporcionar uma redução no custo final [14,53].

Os tipos mais comuns de acionadores multiplexados usam matrizes de 3x3 ou 4x2 segmentos para visores de cristal líquido (VCL) numéricos e matrizes 5x7 ou 7x9 pontos ou 3x6 segmentos para os alfa-numéricos.

6.3-Acionamento Multiplexado: Considerações Teóricas

O acionamento multiplexado de VCL consiste em forne-

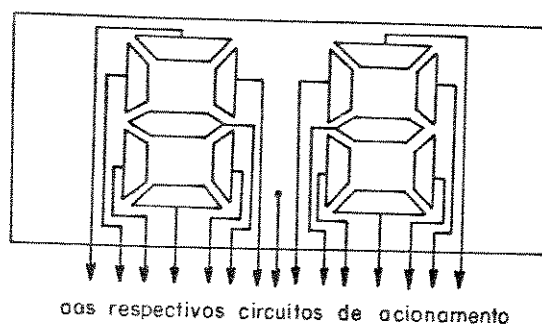
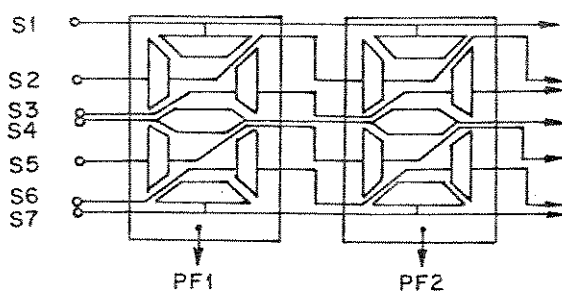
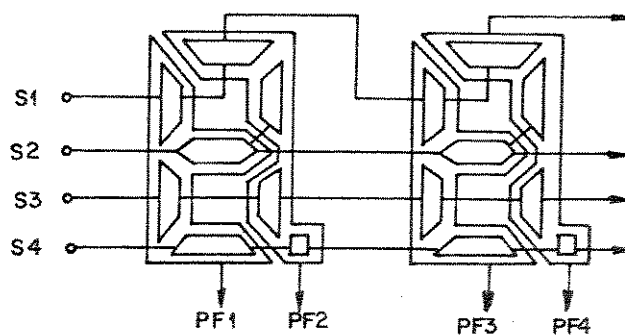


Figura 12 - Acionamento direto



(a)



(b)

Figura 13 - Acionamento multiplexado

(a) total : $S \times P$ elementos de imagem necessitam $S+P$ conexões

(b) parcial : $S \times P$ elementos de imagem necessitam de $S+P$ a $S \times P$ conexões

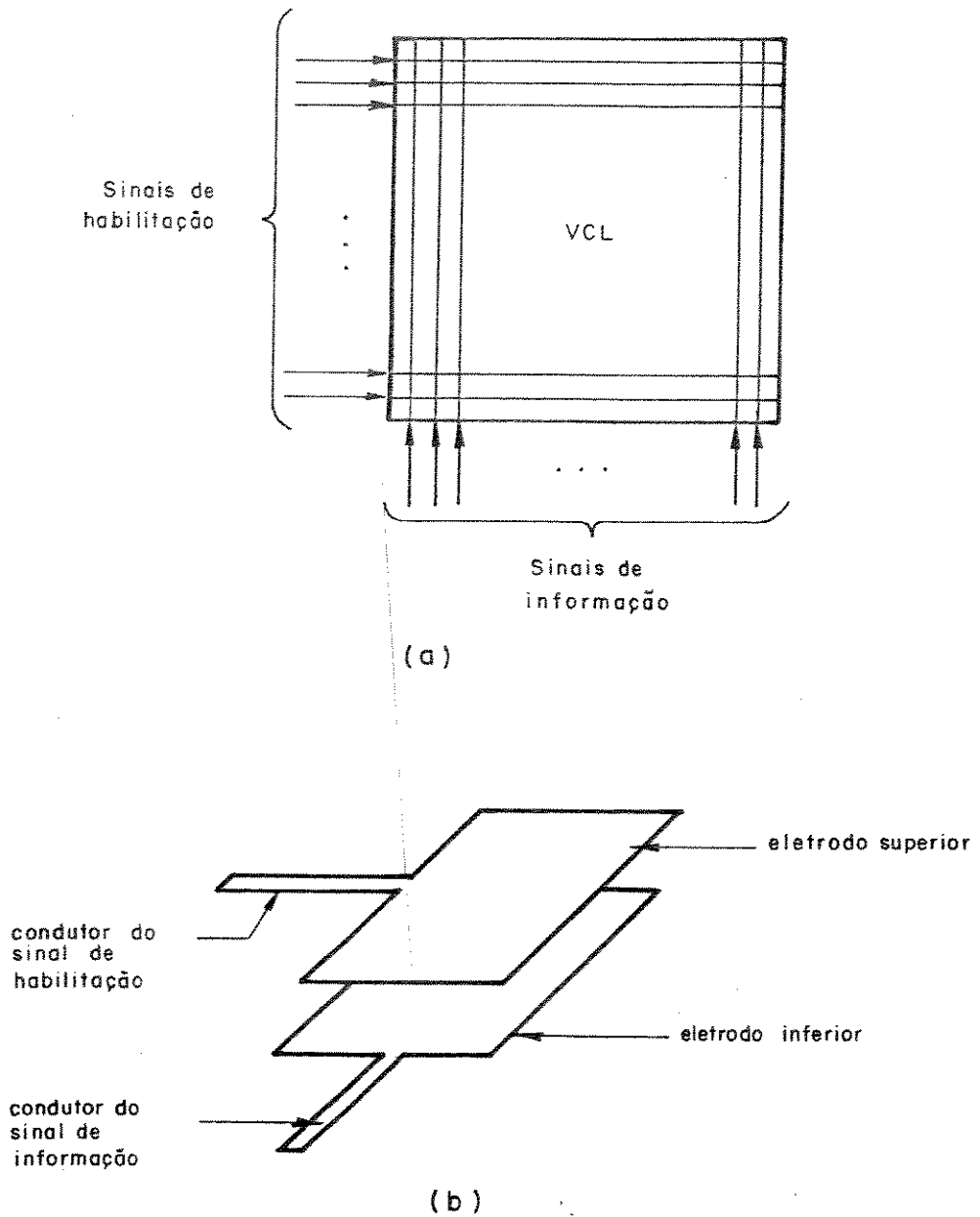


Figura 14 - (a) Esquema de acionamento multiplexado
 (b) Exemplo da ligação dos eletrodos num ponto A

cer aos eletrodos do visor sinais elétricos de habilitação e de informação, na forma matricial, conforme ilustra a fig.14.

Nos pontos de cruzamento das linhas estão os eletrodos do visor que são submetidos à tensão resultante da soma ou subtração dos sinais nos respectivos cruzamentos.

As tensões resultantes, recém mencionadas, farão as moléculas do cristal líquido alinharem-se como descrito no item anterior, possibilitando a transferência de informação ao observador.

Os sinais de habilitação são pulsos aplicados serialmente (uma linha de cada vez) a uma frequência não inferior à frequência de tremulação (f_t) nem superior à frequência de corte (f_c).

Os sinais de informação, que representam operações lógicas nos dados a serem mostrados, são aplicados paralelamente e alterados em sincronismo com os sinais de habilitação.

Pode-se aqui definir a taxa de multiplexação (TM) como sendo o número de níveis de multiplexação com o mesmo sinal e o nível de multiplexação (NM) como o número de níveis de tensão de acionamento usados.

A taxa de multiplexação é limitada pelas características do cristal líquido utilizado, por exemplo, pela declividade da sua curva de resposta óptica. Atualmente a maior taxa recomendada é de 1:16, isto é, um único sinal acionando sequencialmente dezesseis linhas. Atualmente, estão sendo desenvolvidos cristais líquidos que possibilitam taxas de multiplexação da ordem de 1:100 [1]. A tabela da fig.15 mostra um exemplo da melhoria conseguida através do aumento desta taxa.

A importância da taxa de multiplexação não se restringe ao número de conexões necessárias [1,8]. Sendo dispositivos que respondem ao valor rms da tensão aplicada, os visores de cristal líquido (VCL) são submetidos a tensões de apagamento (V_d) que não são zero mas sim uma fração da tensão de ligamento (V_l), fração esta que depende do nível e da taxa de multiplexação.

Portanto, fica claro que um aumento na taxa de multiplexação traz grandes vantagens para o acionamento dos VCL.

TM	conexões	V_d/V_o	V_l/V_o	RL
1:2	130	0,35	0,79	2,24
1:8	40	0,30	0,43	1,45
1:16	32	0,24	0,32	1,29

Figura 15 - Exemplo da melhoria possível com um incremento da taxa de multiplexação.

Sabe-se ainda que a tensão de limiar e, conseqüentemente, a tensão de operação (V_o) variam com a temperatura; esta variação leva à limitação da taxa de multiplexação. Com baixas taxas de multiplexação e para uma dada V_o pode-se obter uma operação satisfatória numa faixa de temperatura razoavelmente larga, porém, se a TM for aumentada será preciso fazer uma compensação em temperatura na tensão V_o para que a resposta do dispositivo seja satisfatória nesta mesma faixa de temperatura. Os gráficos

da fig.16 exemplificam o comportamento da V_o com a temperatura para taxas de multiplexação de 1:2 e 1:8.

Quanto aos níveis de multiplexação [55], os mais comuns são o 2:1 e o 3:1 (fig.17), sendo que o primeiro está caíndo em desuso já que a tensão rms para o pior caso é muito baixa. O esquema com $NM = 3:1$ tem melhores propriedades médias, mas ainda não é ótimo para os VCL.

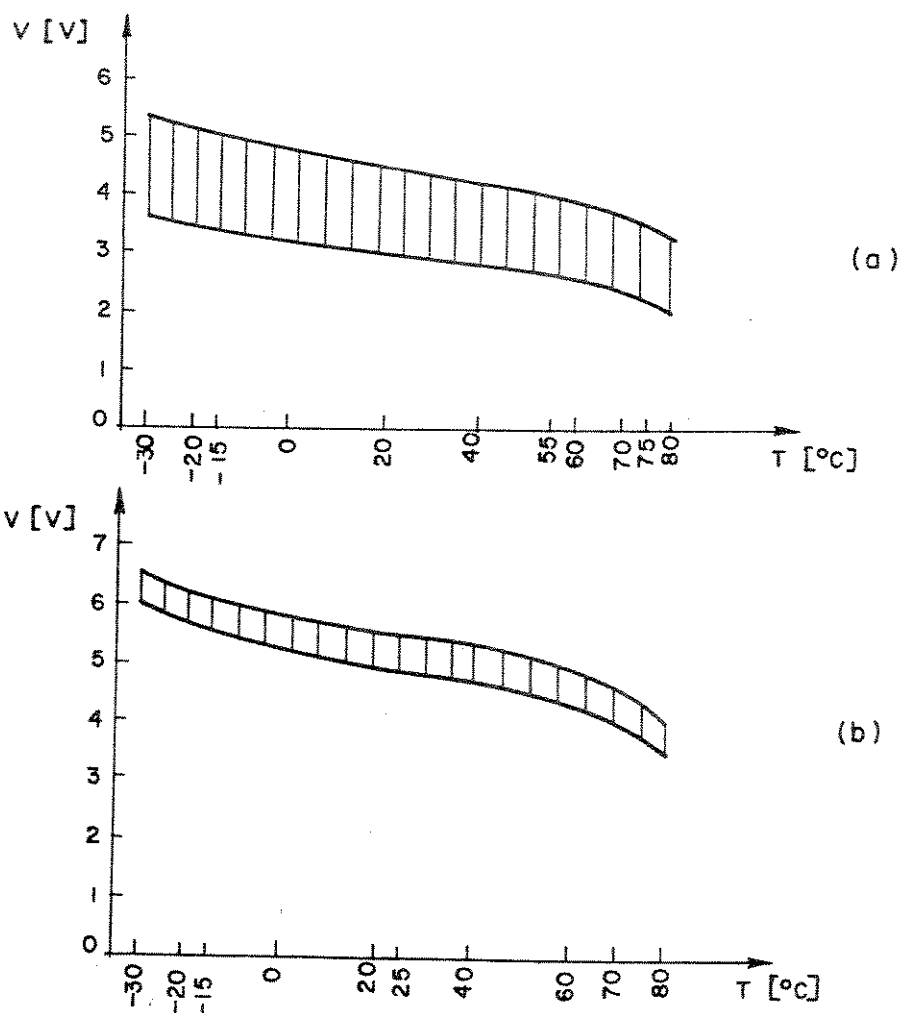


Figura 16 - Gráficos de V_o x T para :

(a) $TM = 1:2$

(b) $TM = 1:3$

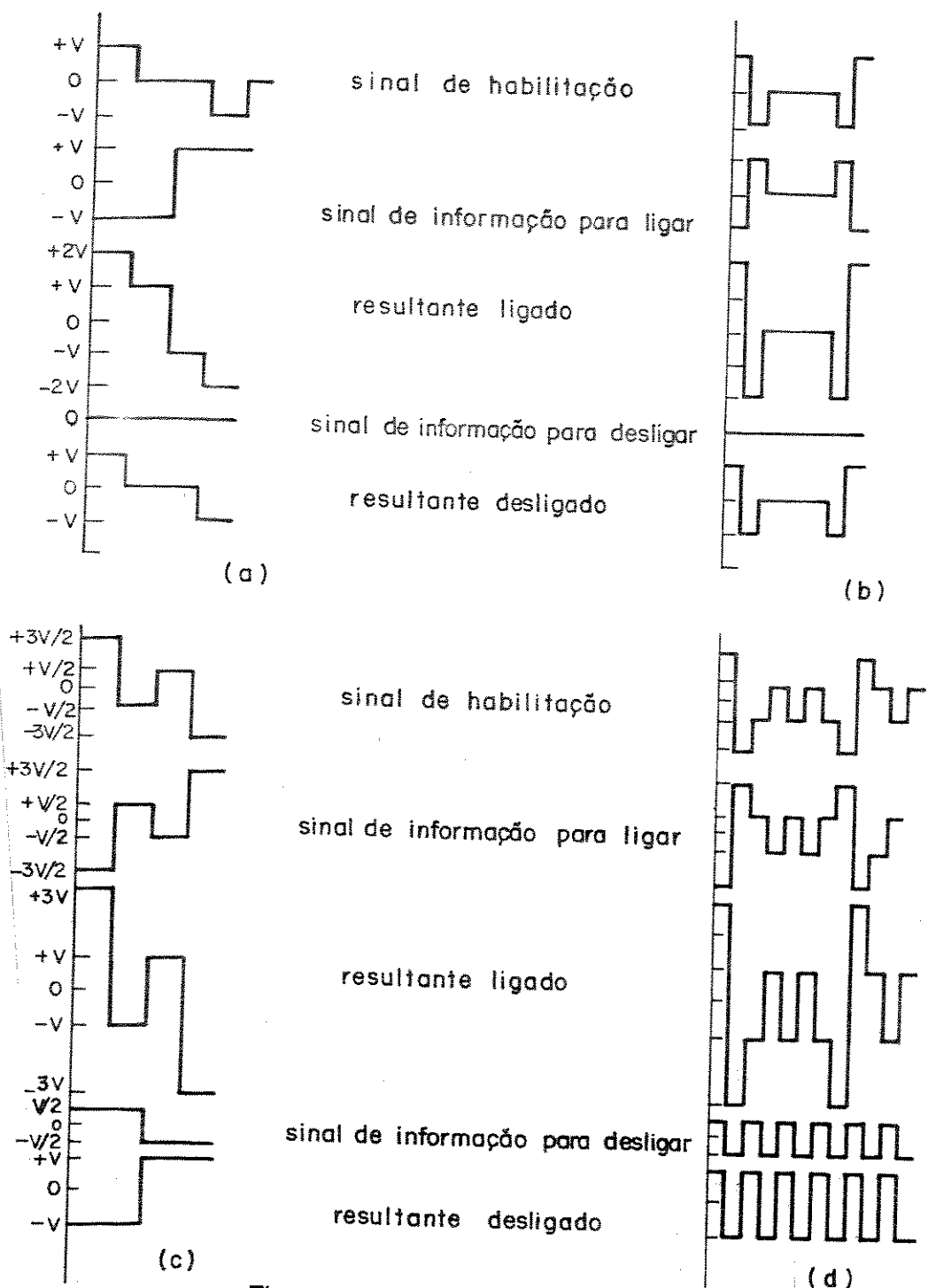


Figura 17 - Modos de acionamento multiplexado
(a) por pulsos CC com $NM=2:1$ ($V1=\pm 2V$ e $Vd=\pm V$)
(b) por pulsos CA com $NM=2:1$
(c) por pulsos CC com $NM=3:1$ ($V1=\pm 3V$ e $Vd=\pm V$)
(d) por pulsos CA com $NM=3:1$

Um esquema de endereçamento ideal é aquele que otimiza as condições ligado e apagado com relação ao valor médio quadrático da tensão em todo o período e não apenas em relação à tensão de pico [54,55].

Cada um dos níveis de multiplexação acima citados pode ser operado com pulsos CA ou CC. A principal diferença é que a alternativa CC apresenta uma componente líquida diferente de zero no intervalo de amostragem o que não ocorre com a CA.

Quando usados, os pulsos CC devem sofrer uma inversão de polaridade em cada período para minimizar os efeitos de deterioração do cristal líquido através da simulação de um funcionamento CA.

Como o acionamento com pulsos CC limita a capacidade de varredura [54], uma alternativa é usar o acionamento com duas frequências, que combina aquele método com aplicação de uma polarização de alta frequência aumentando o número possível de linhas varridas.

Com este método pretende-se minimizar RL através da aplicação de uma senóide contínua polarizando toda a matriz o que, para $N \geq 10$, produz o efeito aproximado ao de uma polarização pulsada.

A capacidade de varredura neste método é limitada pelos baixos valores da frequência de corte do cristal líquido, isto porque o período deverá manter-se pequeno em relação ao tempo de decaimento do efeito de espalhamento dinâmico que, por sua vez, é reduzido pela polarização de alta frequência.

O método das duas frequências, além de aumentar a capacidade de varredura, é menos sensível às variações de tempera-



tura e condutividade da célula de cristal líquido.

6.4-Acionamento Multiplexado: Considerações Práticas

A esta altura pode-se resumir o problema no seguinte: dispõe-se da curva de resposta óptica do cristal líquido e sabe-se o tamanho do visor que se quer acionar, isto é, sabem-se quantos elementos de imagem deverão ser acionados. Disto se conhece, através do tipo de acionamento escolhido, quantas linhas e colunas serão necessárias. Partindo destes dados deseja-se definir os valores das tensões de acionamento (V_s e V_l) bem como da frequência de operação (f_o), para que se possa projetar o circuito de acionamento. Com vistas à obtenção dos valores desejados utilizar-se-á a fig.18 para fazer algumas considerações [1,8,54,57].

Na fig.18 tem-se novamente a curva de resposta óptica simplificada que vale tanto para o caso dc quanto para o ac. No caso de acionamento ac o contraste representa, para $f > f_t$, a resposta óptica média no tempo tal como é percebida pelo olho humano e a tensão é seu valor rms já que a maior parte da energia de excitação está contida em frequências bem abaixo da f_c do espalhamento dinâmico.

A tensão de limiar (V_{lim}) é a tensão abaixo da qual se tem um contraste aceito como apagado e sendo V_l a tensão mínima a partir da qual se produz um contraste ligado, defini-se:

$$\Delta V = V_l - V_{lim} .$$

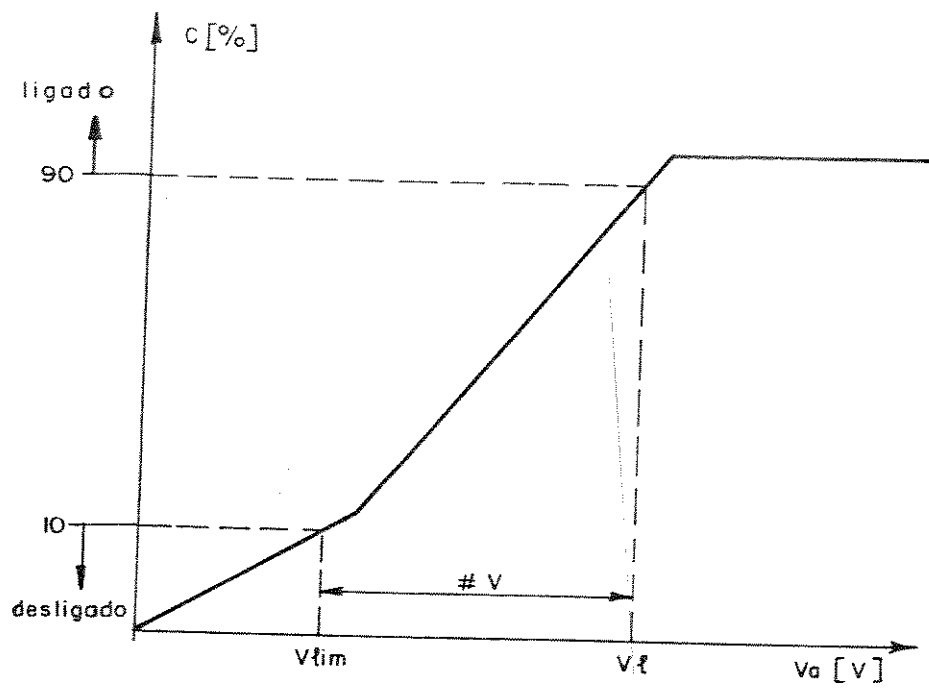


Figura 18 - Curva de resposta óptica

Se se deseja acionar N linhas o tempo de acesso (n) será: $n = 1/N$.

A frequência de operação mínima será: $f_{min} = N \cdot f_t$ onde f_t é a frequência abaixo da qual ocorre tremulação e a frequência de operação do circuito deverá ficar no intervalo $f_{min} < f_o < f_c$.

Definindo os seguintes sinais:

V_s - sinal de seleção aplicado às linhas,

V_i - sinal de informação aplicado às colunas,

V_l - tensão rms que produz o contraste ligado,

V_d - tensão rms que produz o contraste desligado, e

$T_o = 1 / f_o$ - período de varredura da matriz; deduz-se:

a) da condição de limiar

$$V_d = [n(V_s - V_i)^2 + (1 - n) V_i^2]^{3/2} \leq V_{lim} \quad e$$

b) da condição de espalhamento

$$V_l = [n(V_s + V_i)^2 + (1 - n) V_i^2]^{1/2} \geq V_{lim} + \Delta V$$

Durante o período nT_o aplica-se $(V_s + V_i)$ aos segmentos que devem estar ligados e $(V_s - V_i)$ àqueles que se quer desligados. No restante do tempo $(1 - nT_o)$ aplica-se $+V_i$ ou $-V_i$ a todos os segmentos.

A última definição que vai simplificar os cálculos é a do **parâmetro de desempenho (P)** que dá uma medida da não linearidade da característica eletro-óptica do VCL:

$$P = \Delta V / V_{lim} = RL_{max} - 1.$$

Com este parâmetro definido pode-se sugerir o seguinte procedimento para calcular V_s e V_i :

- 1) com os valores máximo para o contraste desligado e mínimo para o contraste ligado entra-se na curva real de resposta óptica do dispositivo e se defini V_{lim} e ΔV ;
- 2) com estes valores calcula-se P ;
- 3) com os resultados acima calculam-se:

$$V_b = (V_{lim}/2) \{ [(1+P)^2 + 1]^3 / [(1+P)^2 - 1] \}^{1/2}$$

$V_i = (V_{lim}/2) \{ (1+P)^2 + 1 \}^{1/2}$ caso estes valores não sejam aceitáveis deve-se redefinir os contrastes iniciais ;

- 4) sendo V_s e V_i aceitáveis calcula-se:

$N_{max} = \{ [(1+P)^2 + 1] / [(1+P)^2 - 1] \}^2$ para ver se atende às necessidades e ;

- 5) com os valores de V_s , V_i e n calcula-se V_l e V_d confrontando-os com $V_{lim} + \Delta V$ e V_{lim} , respectivamente, para efeito de conferência.

Com isto tem-se os valores das tensões e frequência necessários ao projeto do circuito de acionamento multiplexado do visor de cristal líquido (VCL).



CAPÍTULO III

PROJETO E SIMULAÇÃO DE CIRCUITOS INTEGRADOS

1. Introdução

Neste capítulo procura-se dar uma visão geral a respeito do projeto e da simulação de circuitos integrados com ênfase maior nos circuitos integrados de altíssima escala de integração (CI VLSI).

Inicialmente discorre-se sobre o projeto de circuitos integrados onde procura-se dar uma visão geral e concisa do que é um projeto deste tipo e qual o estado da arte atualmente.

A seguir trata-se sobre o projeto com vistas à testabilidade dos circuitos integrados após sua fabricação, item especialmente importante quando se trata com CI VLSI.

Finalmente, fala-se sobre a simulação de CI onde são descritas as principais características dos dois programas de simulação utilizados neste projeto.

2. Projeto

Neste item formalizar-se-á a idéia de projeto de circuitos integrados (CI), isto é, o que se entende por projeto de

CI, quais as principais etapas a serem percorridas, quais as ferramentas necessárias ao projetista e qual a abordagem mais adequada para um determinado projeto.

É interessante aproveitar a oportunidade para esclarecer um conflito existente na terminologia utilizada para descrever o processo de criação e formulação de uma idéia original com vistas à sua posterior realização.

Existem duas facções: uma mais recente que prefere usar o termo concepção (do francês "conception") e outra mais tradicional que prefere empregar o já consagrado termo projeto.

Embora ambos os termos estejam corretos, não existe nenhum motivo que justifique esta mudança de terminologia e uma alteração sem bases sólidas e razoáveis só tende a gerar confusão.

Portanto, aqui será empregado o segundo e mais difundido termo, qual seja, **projeto**.

2.1-Projeto e Projetista

2.1.1-Um breve histórico

A história dos CI começa a 25 anos atrás quando, em 1961, a Fairchild lançou no mercado o primeiro CI comercial contendo quatro transistores [3,63].

Em meados dos anos 60, com o crescimento destes circuitos, começaram a ser desenvolvidas as primeiras técnicas para análise de circuitos e dispositivos.

Já no início dos anos 70, quando a Motorola lançou o primeiro microprocessador de 4 bits, surgiam os primeiros simuladores adequados à análise de CI.

Em meados dos anos 70 tinham-se programas para a verificação física de regras de desenho e em fins daquela década surgiam programas para a verificação de conectividade e extração de esquemas. Estes programas ainda são fracamente acoplados e frequentemente incompatíveis entre si.

Hoje, com o crescimento cada vez maior do número de transistores num CI (já foi ultrapassada a marca dos cem mil transistores) estas ferramentas de projeto tem sido alvo de muitos estudos.

2.1.2-O que é o projeto

O projeto de tais CI constitui-se na criação e formulação de uma idéia original que, em geral, é fruto de uma necessidade de mercado.

Tal formulação deve passar por várias etapas onde muitos fatores devem ser considerados e o erro na análise de um único destes fatores pode invalidar todo o projeto, na maioria dos casos contribuindo com grandes perdas de tempo e dinheiro [61].

O objetivo final do projeto, após passar por todas as etapas que serão vistas mais adiante, é a confecção das máscaras a serem usadas na fabricação do CI e que, atualmente, constituem-se na parte mais cara do projeto [19].

2.1.3-Quem é o projetista

O projetista é aquela pessoa responsável pela execução do projeto do CI, cabendo-lhe também as tarefas de buscar, junto ao usuário, as informações necessárias ao mesmo e fornecer, ao pessoal de processo, a orientação para que deste resulte um circuito funcionalmente perfeito [61].

Como o projetista é o responsável pela garantia do perfeito desempenho das funções pretendidas para o circuito e pelos seus testes e fabricação a um preço razoável [41], além dos conhecimentos específicos de projeto ele precisa conhecer, por um lado, os vários processos disponíveis e, por outro lado, a aplicação que o usuário dará ao CI bem como o equipamento no qual ele será usado.

2.2-Etapas de um Projeto

Este item foi escrito após consulta às referências [21,29,41,42,58,61,63] e, conseqüentemente, as conclusões aqui apresentadas estão baseadas nas informações contidas naquelas referências.

Primeiramente tem-se, na fig.1, um fluxograma das etapas básicas do projeto de um CI o qual será explicado a seguir.

Quando se dá início a um projeto de CI é porque se tem um bom motivo para tanto, o qual trata-se, geralmente, de uma aplicação comercial, isto é, se é procurado para fazer um deter-



minado produto para alguém ou se tem um mercado com grande potencial de consumo para um certo produto.

No primeiro caso, onde existe uma aplicação específica, deve-se conversar com o futuro usuário do produto para saber exatamente o que ele quer, quais as funções que ele deseja que o CI desempenhe e quais os sinais disponíveis para o CI.

Aqui, se o equipamento no qual será utilizado o CI já existir ter-se-á menor liberdade de ação, mas se o equipamento ainda estiver sendo projetado pode-se ter muito mais condições de chegar a um produto final melhor, mais facilmente, com menores custos e maior rapidez.

No segundo caso, onde há uma aplicação de uso geral, é preciso conversar com vários usuários em potencial para definir o produto. Neste caso existirá uma liberdade muito maior durante o projeto, contudo, como será preciso atender a várias aplicações, o CI tenderá a ser bem mais complexo.

De qualquer modo estas conversas deverão levar à primeira etapa do fluxograma que é a das especificações funcionais.

As especificações funcionais são documentos que definem as funções básicas que o CI deverá ter e as condições em que ele irá operar a partir das necessidades do futuro usuário. Estas informações são dados tais como definição do número de pinos, sinais que o CI deverá fornecer, intervalos de temperatura de operação e armazenagem, potência máxima, tensões disponíveis, etc.

A partir das especificações funcionais pode-se escolher a tecnologia que será usada na fabricação e a técnica de projeto a ser empregada bem como tecer considerações com relação às interfaces necessárias e aspectos relativos à confiabilidade e

ao rendimento da produção.

A escolha da tecnologia é feita mediante uma análise das vantagens e desvantagens que cada uma delas oferece ao circuito a ser projetado. Considera-se, também, a utilização apenas das tecnologias disponíveis na empresa ou a incorporação de alguma variante tecnológica existente.

Ao optar pela incorporação de variantes tecnológicas precisa-se ter em mente que estas devem ser muito necessárias contribuindo com uma grande redução do esforço de projeto e aumentando a qualidade dos resultados, pois, a alteração de uma tecnologia já estabelecida pode comprometer o rendimento final.

A escolha das técnicas de projeto tem como meta principal atingir o objetivo desejado com os menores custo e tempo possíveis. Neste sentido a opção por um projeto hierárquico é, em geral, a mais adequada.

Em circuitos com poucos transistores é possível usar uma metodologia ascendente conectando células básicas entre si até que se obtenha o circuito completo.

Já em circuitos mais complexos, com milhares de transistores, é mais aconselhável o uso de uma metodologia descendente pois esta possibilita a simulação de cada nível antes de se passar para o projeto de um nível mais detalhado economizando tempo de computador, permitindo a verificação do projeto nas fases iniciais do mesmo e estimulando a correlação entre os diversos níveis hierárquicos .

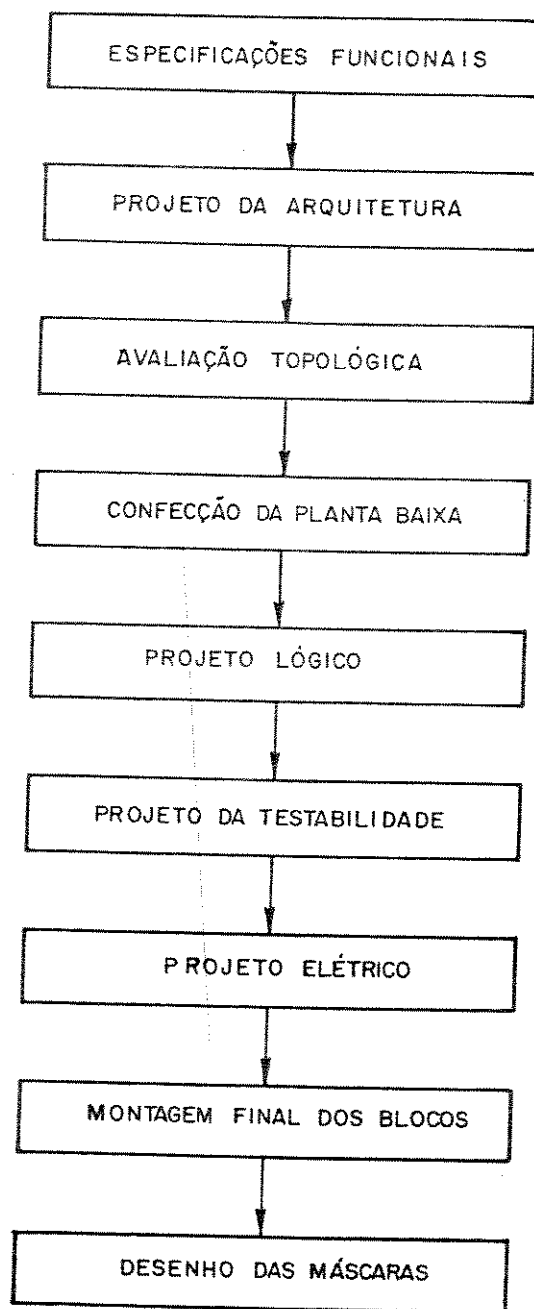


Figura 1 - Fluxograma das etapas básicas do projeto de um CI.

Dentro das técnicas de projeto pode-se optar por circuitos dedicados ou semi-dedicados, por técnicas de desenho automáticas ou não, por técnicas celulares, por lógica dinâmica ou estática, síncrona ou assíncrona, com 1, 2 ou 4 fases, etc.

Feitas as considerações acima parte-se para o projeto da arquitetura do CI. É possível definir duas arquiteturas para o CI:

-> a primeira é a arquitetura externa, que é uma arquitetura virtual vista pelo usuário sendo definida pelo conjunto de instruções e pelo comportamento externo do circuito;

-> a segunda é a arquitetura interna real do circuito que será fabricada sobre o silício.

A escolha da arquitetura interna, que é a que interessa em termos de projeto, depende dos seguintes fatores: área desejada, tempo de propagação das portas, desempenho desejado, custo de projeto, facilidade de teste e facilidade na implementação de modificações (evolução da arquitetura).

Neste sentido os blocos em lógica aleatória levam as vantagens de reduzir a área do circuito e ter menores tempos de propagação interna dos sinais enquanto as estruturas regulares possibilitam um menor tempo de projeto (devido ao menor número de células a serem projetadas por circuito, à maior facilidade de automatização do projeto e ao maior reaproveitamento de células anteriormente projetadas - biblioteca de células) e uma maior facilidade na evolução do circuito.

O projeto da arquitetura deve fornecer uma descrição precisa da estrutura e do comportamento do circuito com cada bloco tendo uma determinada função e comunicando-se com os outros de

uma maneira bem definida. Aqui é possível indicar os caminhos de dados e de controle sem, contudo, entrar nos detalhes do conteúdo de cada bloco.

Esta preocupação com as conexões nas fases mais preliminares do projeto deve-se ao fato de que em LSI/VLSI as conexões ocupam uma área, no mínimo, igual à ocupada pelos blocos lógicos e quanto mais complexo for o circuito maior será esta área.

A utilização de técnicas como a eliminação de zonas puramente de conexões pelo uso de ligações diretas entre blocos, a superposição das camadas de metalização às de portas e o uso da transparência dos blocos podem auxiliar grandemente na otimização da área do circuito antes de se começar a trabalhar com níveis hierárquicos mais baixos.

O produto final do projeto da arquitetura é uma descrição detalhada da mesma e do comportamento do circuito a qual, ao ser considerada juntamente com os parâmetros tecnológicos escolhidos, possibilita a distribuição e a avaliação topológica do circuito que resultará na planta baixa do mesmo.

A planta baixa é um diagrama dos blocos funcionais que mostra o arranjo topológico que estes terão na máscara final. Ela deve ser otimizada de modo que se tenham a complexidade das conexões e a distância dos caminhos de dados as menores possíveis.

A otimização dos blocos na planta baixa é mais importante do que a de cada bloco individualmente, pois a união das áreas mínimas de cada bloco não leva, necessariamente, à menor área do circuito.

A planta baixa formará uma base de dados que servirá de referência para a conferência de todos os níveis hierárquicos subsequentes, portanto, deve conter informações topológicas de alto nível tais como as previsões da forma e do tamanho dos blocos, as descrições das conexões e das linhas de distribuição de força e as restrições topológicas às quais os blocos estão sujeitos.

Sendo usado um sistema de Projeto Auxiliado por Computador (PAC) a planta baixa definirá, enquanto informação topológica de alto nível, a organização do banco de dados a ser utilizado no projeto.

Os blocos que constituem a planta baixa podem ser classificados em duros e moles. Aqueles só permitem uma variação descontínua na sua forma (como as ROM e PLA) e estes são bastante maleáveis (como os blocos em lógica aleatória).

Devido a isto, para que se tenha um melhor aproveitamento dos espaços vazios da planta baixa deve-se projetar primeiro os blocos duros e depois os moles.

Caso o projeto de cada bloco seja feito por uma equipe de projetistas diferente deve-se cuidar para que os projetos dos blocos sejam compatíveis entre si e com a planta baixa.

A partir daqui o trabalho será facilitado se existir uma biblioteca contendo as representações simbólicas para cada célula e, no nível mais baixo, circuitos básicos como um bit de registrador, um inversor, etc. Outra facilidade seria a possibilidade de verificação de cada célula quanto às suas correções elétrica e geométrica.

Uma vez de posse da planta baixa pode-se iniciar o projeto lógico que, partindo das informações nela contidas, praticamente resume-se em buscar na biblioteca de células (se existir) aquelas necessárias à implementação dos blocos funcionais e interliga-las convenientemente. Nesta etapa pode-se, ainda, alocar retardos e fazer análises de velocidade, de consumo de potência, de espaço e de tempo de projeto do CI. No fim desta etapa gera-se um diagrama lógico que servirá de base para as etapas seguintes que são os projetos quanto a testabilidade e elétrico.

O projeto quanto a testabilidade será estudado no item 3 e, portanto, não será considerado aqui.

No projeto elétrico parte-se do diagrama lógico transformando-o num esquema elétrico, isto é, convertem-se as portas lógicas do diagrama em associações de componentes eletrônicos (como transistores, capacitores e resistores) e definem-se as tensões e correntes em cada ponto do circuito. Este projeto é alvo de várias análises como de velocidades, de consumo de potência, de margens de ruído e dos efeitos de variações no processo. Com os resultados destas análises é possível melhorar a confiabilidade e o rendimento do produto final.

Terminado o projeto elétrico parte-se para a montagem final dos blocos de acordo com a planta baixa, alocando as funções e preparando o circuito para os desenho, verificação, expansão e depuração bem como para os testes de avaliação do projeto; estes testes devem avaliar o projeto quanto a aspectos funcionais, paramétricos, de vida (temperatura, umidade, pressão) e de rendimento.

Em quase todas as etapas acima, embora não tenham sido explicitamente mencionados, dois conceitos foram extensivamente usados, quais sejam, o de alocação (ou posicionamento) e o de roteamento. Eles são a procura da melhor disposição possível para as funções (alocação) e para as conexões (roteamento). Ambos podem ser feitos manual ou automaticamente. O método manual é mais eficiente em termos de área e o automático é mais rápido e confiável.

A etapa final do projeto é o desenho das máscaras, aqui são manipuladas as formas geométricas que serão utilizadas no processamento das máscaras. Este desenho pode ser feito manual ou automaticamente. O manual é menos frequente devido à grande complexidade dos circuitos atuais. O automático, em geral, não é mais do que o uso de ferramentas computacionais que substituem o lápis e o papel com muitas vantagens. Nesta etapa deve-se ter em mente que a expansão geométrica de tudo o que for possível melhora o rendimento da produção e que a colocação de micro-almofadas em pontos estratégicos facilita a posterior depuração com pontas de prova.

Atualmente, existem programas para a geração completamente automática de máscaras para alguns circuitos semi-dedicados como no caso das PLA, ROM e matrizes-de-portas e semi-automática de outros como as células-padrão; nos demais casos existem estudos para a automatização desta etapa mas a previsão é de que a compactação não deverá ser tão boa quanto a do processo manual.

Finalmente, é preciso verificar se o desenho corresponde ao projeto inicial, obedece as regras de projeto e não afeta negativamente o rendimento e a confiabilidade. Para tanto dis-

põe-se dos programas extratores que reconstituem o esquema a partir do desenho da máscara e os programas verificadores de regras de projeto que conferem as regras de projeto com o desenho final.

2.3-Ferramentas de Projeto

Neste item serão revisados os programas de computador existentes para auxiliar o projetista em sua tarefa de projetar e que são conhecidos como ferramentas de PAC.

A maioria dos sistemas de PAC usados atualmente se constituem de um amontoado de programas que precisam de vários formatos de dados e, frequentemente, da intervenção manual para se passar de um programa para outro.

Os únicos sistemas integrados que existem hoje em dia para projetos de CI complexos são aqueles para alguns projetos altamente específicos tais como as células-padrão e matrizes-deportas [3].

Para que se possa usar as ferramentas de PAC deve-se descrever as estruturas de cada etapa do projeto de forma compatível com os programas a serem empregados. Neste sentido dois aspectos são importantes: a regularidade, a qual pode reduzir o tempo de projeto devido à necessidade de se projetar apenas alguns circuitos básicos (células), e a hierarquia, que permite a verificação das células num determinado nível e as relações entre as células (ligações) em outros níveis.

A seguir é feita uma breve análise das ferramentas de PAC para o projeto de células, blocos e sistemas e, no fim deste item, um pequeno comentário sobre o compilador de silício.



Antes, porém, apresenta-se o quadro da fig.2 onde são mostradas as ferramentas de PAC usadas no projeto e verificação de tecnologias, dispositivos, células e blocos de CI.

		FUNCIONAL	FÍSICO
PROJETO	A	Simulação de circuito Captura de esquemas	Digitalização do desenho Compactação do desenho simbólico
	B	Análises de dispositivos, de conexões e de efeitos parasitas.	Simulação do processo e da litografia Otimização do processo
	C	Simulações do circuito, tempos e lógica; Simulação modo-misto. Síntese lógica e análise de testabilidade	Alocação e roteamento das células Síntese direta do desenho
VERIFICAÇÃO	A	Extração de esquemas Verificação de regras elétricas Simulação de circuito Comparação de esquemas	Verificação de regras de desenho e de conectividade
	B	Análises de dispositivos, conexões e efeitos parasitas	Simulação de processo Simulação da litografia
	C	Simulações de circuitos, tempos e lógica; Simulação modo-misto Extração de portas Comparação esquemática Análise de caminhos críticos e de cobertura de falhas Geração de testes	Verificação da conectividade Verificação de regras de desenho

Figura 2 – Ferramentas de PAC usadas no projeto e verificação de tecnologias, dispositivos, circuitos e sistemas integrados.

2.3.1-Células

Uma vez caracterizado o processo pode-se projetar e verificar circuitos básicos tais como NE, NOU, biestáveis, etc.

Primeiramente deve-se inserir no computador o desenho de cada nível de máscara por um processo de digitalização. Posteriormente o desenho poderá ser plotado e editado num terminal gráfico iterativo. Em alguns casos é possível inserir a informação inicial das máscaras diretamente no editor gráfico. A saída destes programas é um arquivo adequado para o acionamento de um gerador de máscaras controlado por computador.

A seguir deve-se fazer a compactação do desenho através de programas que ajustam o tamanho dos componentes não críticos respeitando as condições impostas pelas regras físicas e elétricas de uma dada tecnologia.

De posse do desenho compactado passa-se à simulação do circuito que, na maioria dos casos, é feita por programas cuja entrada é uma descrição textual dos transistores e suas conexões. Em alguns casos dispõe-se de um editor gráfico iterativo que captura o esquema e fornece a entrada para o simulador. Para se obter informações elétricas precisas do simulador é importante que se tenham modelos precisos do circuito.

Após a simulação restam duas coisas a serem feitas: a primeira é a verificação das regras físicas do desenho para ver se são obedecidas normas tais como as larguras e os espaçamentos mínimos; e a segunda é a análise do desempenho a qual usa um programa que extrai o esquema elétrico a partir do desenho e compara-o com o esquema original do circuito, este programa pode

ainda determinar parâmetros como capacitâncias parasitas, largura e comprimento efetivos do canal dos transistores MOS e áreas das difusões de fonte e dreno.

2.3.2-Blocos

Aqui faz-se a conexão dos circuitos básicos de maneira adequada para a construção de células mais complexas que serão chamadas de blocos.

Os métodos para a implementação destes blocos podem ser classificados em: matrizes programáveis, células-padrão, macrocélulas e projeto por procedimentos.

As matrizes programáveis são matrizes uni- ou bi-dimensionais de células repetidas que podem ser particularizadas pela adição ou remoção de elementos geométricos em certos níveis de máscara; como exemplo temos as matrizes-de-portas, SLA, PLA e ROM.

Nas células-padrão é utilizada uma biblioteca de circuitos básicos para implementar as funções lógicas desejadas.

As macrocélulas são grandes blocos que desempenham determinadas funções lógicas e são postos numa biblioteca de circuitos; estes blocos, de forma e tamanho irregulares, podem ser particularizados funcionalmente via interconexões ou parametrizados com relação a uma topologia específica.

No projeto por procedimentos cada projeto é gerado a partir de sua descrição por meio de um procedimento a ser executado num computador. Devido à dificuldade para os programas de verificação necessários este método praticamente só pode ser

aplicado ao nível geométrico final do circuito.

A seguir, com os programas de alocação e roteamento procuram-se otimizar o posicionamento relativo dos blocos do desenho e, concomitantemente, fazer o melhor roteamento possível de suas interconexões. Estes programas se prestam para a otimização física a nível topológico.

O próximo passo é a síntese lógica que é feita por programas que otimizam o projeto a nível funcional, após o que pode ser feita a simulação.

Os programas de simulação fornecem uma análise precisa das formas de onda. As vantagens desta técnica na avaliação de projetos tem sido tais que os projetistas continuam a usa-la para grandes circuitos mesmo que os custos se tornem altos devido aos grandes consumos de tempo e memória.

Finalmente, é preciso testar os circuitos, mas mesmo nos LSI (menores) a geração automática dos vetores de teste e a simulação das falhas torna-se praticamente impossível a menos que a testabilidade tenha sido considerada durante o projeto do circuito. As técnicas de projeto com vistas à testabilidade serão discutidas no item 3 deste capítulo.

2.3.3-Sistemas

Neste nível de projeto poucas são as ferramentas de PAC disponíveis. Aqui é feita a conversão de uma especificação desejada a nível comportamental em uma implementação a nível de registradores.

FERRAMENTAS	COMENTÁRIOS
Linguagens de descrição de circuitos (HDL)	Existem
Linguagens de descrição de máscaras	Apenas 2 se destacam : LUCIE (IMAG) e CIF (CALTECH)
Avaliadores topológicos	Existem
Avaliadores de consumo	Existem
Avaliadores de desempenho	Existem
Geradores de partes operativas	Só existem pesquisas e em fases preliminares
Geradores de estruturas regulares	
Geradores de partes de controle microprogramadas	
Geradores de blocos em lógica aleatória	Não existem e são a parte mais difícil de fazer
Compressores de circuitos	Existem
Otimizadores topológicos de PLA	Existem
Extratores de esquemas elétricos	Existem
Verificadores de regras de projeto (DRC)	Existem
Simuladores elétricos	Existem, por exemplo : MSINC, SPICE ...
Simuladores lógicos	Existem, por exemplo : TESTAID
Simuladores funcionais	Existem
Traçadores automáticos de rotas	Existem mas são aproximadamente 20% menos eficientes quanto a área do que o processo manual
Testadores utilizando SEM	Existe a tecnologia, mas e a ferramenta ?
Seletores de arquiteturas	Não existem
Técnicas de inteligência artificial para a investigação de toda esta parafernália	As pesquisas em inteligência artificial estão muito no início ainda e não devem estar disponíveis tão cedo

Figura 3 - Itens necessários ao compilador de silício.

Uma vez feita a partição funcional do projeto são usadas estimativas do tamanho do desenho, necessidades de fontes de alimentação e tamanho dos blocos de alto nível para que se façam as diversas sub-funções.

Deve-se construir uma planta-baixa da pastilha (como já foi dito) para determinar a posição relativa destes blocos a qual será refinada conforme o projeto for sendo executado.

Geralmente estas tarefas são feitas a mão ou, eventualmente, com um pequeno auxílio do computador para armazenar dados de interconexão, por exemplo.

Como foi dito, praticamente não existem ferramentas de PAC para este nível de projeto, mas estão sendo desenvolvidas várias pesquisas visando a obtenção das mesmas.

2.3.4-Compilador de Silício

O grande sonho daqueles que trabalham com o desenvolvimento das ferramentas de PAC é a construção de um compilador de silício, nome atribuído a um instrumento que permitiria a obtenção automática das máscaras de um circuito a partir de sua descrição numa linguagem de alto nível.

Pesquisando a referência [58] foi possível definir uma lista dos programas necessários para a construção de tal equipamento, a qual é transcrita na fig.3 juntamente com alguns comentários.

Da fig.3, pode-se concluir que o compilador de silício, embora não seja uma utopia, é uma ferramenta que levará ainda muito tempo antes de se tornar uma realidade.

3. Testabilidade

O teste de CI é um grande problema, especialmente devido à dificuldade de acesso a seus sinais internos.

Com o advento dos CI LSI/VLSI estes problemas se avolumaram, devido às maiores compactação e complexidade inerentes a estes CI, tornando o teste dos mesmos praticamente impossível dentro de limites de tempo e custo aceitáveis.

A solução para este problema é a reconfiguração temporária dos circuitos para serem submetidos aos testes. Esta reconfiguração temporária simplifica a aplicação do teste ao circuito, após o término do projeto, e pode ser obtida fazendo-se um Projeto Visando a Testabilidade (PVT).

O objetivo deste item é o de conceituar o PVT e, para tanto, no subitem 3.1 tem-se alguns conceitos a ele relacionados. Nos subitens 3.2 e 3.3 falar-se-á sobre as técnicas do PVT e no subitem 3.4 sobre o autoteste.

3.1-Conceitos

Devido à grande densidade de portas por pastilha dos CI LSI tem se enfrentado problemas para o teste dos mesmos. Com o advento dos CI VLSI que são em torno de 10 vezes mais compactos que os LSI estes problemas tem se agravado.

Determinar se um dispositivo, circuito ou sistema foi fabricado corretamente dentro de limites de tempo e custo aceitáveis torna-se cada vez mais difícil.

Embora o aumento na densidade de portas num circuito acarrete uma diminuição no preço por porta [45] e o consequente avanço da tecnologia necessário para tanto melhore o desempenho dos circuitos [59] este aumento na complexidade dos CI causam vários transtornos como, por exemplo, o aumento no tempo de geração dos testes [33].

Um teste consiste na aplicação de vetores de teste (conjuntos de sinais lógicos submetidos a um circuito com o fim específico de testá-lo) à entrada e na observação e na análise dos conjuntos de sinais resultantes na saída de um circuito com o objetivo de verificar se o mesmo está funcionando corretamente [45].

Defeito é uma imperfeição causada por um erro no projeto ou no processo de fabricação de um CI. Falha é a produção de um resultado incorreto por um CI. A falha não é necessariamente causada por um defeito, bem como um defeito pode não manifestar-se como uma falha.

O custo para a localização e correção de uma falha cresce por um fator de 10 à medida que se evolui, na aplicação dos testes para a detecção desta falha e sua posterior correção, do nível de pastilha, de placa, de sistema ou, finalmente, de testes de campo [33,59].

Os custos e tempos envolvidos na geração e o tempo gasto na aplicação de testes crescem exponencialmente e os custos para aplicação destes testes crescem linearmente com a complexidade dos circuitos o que tem tornado quase inviável testar CI LSI/VLSI sem que se utilizem ferramentas de PAC (Projeto Assistido por Computador) na geração dos testes e na simulação das fa-



lhas durante o projeto destes CI.

Mesmo assim, os tempos envolvidos na geração automática de testes e na simulação de falhas para circuitos lógicos combinatórios aumentam com o quadrado do número de portas lógicas enquanto para circuitos lógicos sequenciais depende do número de estados, podendo ser muito maior para estes que para aqueles [32,33,34].

Em certos casos a geração dos vetores de teste necessários tem sido tão difícil que muitos fabricantes preferem aceitar o risco de encapsular produtos defeituosos [59].

Por causa destes problemas os projetistas de CI vem, cada vez mais, tomando consciência da necessidade do uso das técnicas de PVT para levar seus trabalhos a bom termo. Contudo, para que se possa estudar tais técnicas, faz-se necessário que se conheçam alguns conceitos fundamentais, que passarão a ser enunciados.

O primeiro é o conceito de **controlabilidade**, que é a possibilidade de se impor a certos nós do circuito lógico (particularmente aos que servem para a inicialização das rotinas de teste) níveis lógicos conhecidos, através da aplicação de sinais aos terminais de entrada (pinos externos que servem como entrada) do circuito [32,44,59].

O segundo é o conceito de **observabilidade** que consiste na possibilidade de se determinar os níveis lógicos internos de um circuito através da medida dos sinais em seus terminais de saída (pinos externos que servem como saída do circuito) [32,44].

Em terceiro tem-se o que Williams & Parker [59] consideram as duas principais facetas do problema de teste que são a

geração e a verificação do teste. A **geração do teste** é o processo de enumeração de estímulos para um circuito, os quais demonstrarão sua operação correta; e a **verificação do teste** é o processo de comprovação de que um conjunto de testes cumpre efetivamente a sua finalidade [32].

O quarto é a **simulação de falhas** que consiste na aplicação do teste ao circuito proposto por meio de ferramentas de PAC com o objetivo de verificar a efetividade do teste. Obtém-se uma medida quantitativa da efetividade de um conjunto específico de vetores de teste pela **cobertura de falhas** que é a relação entre o número de falhas testadas e o número de falhas possíveis [59].

O último desta lista de conceitos é o de **particionamento** que consiste em dividir o circuito em vários circuitos menores (chamados de partições) a fim de simplificar os testes, isto significa a redução do problema de testar um circuito VLSI ao de testar vários circuitos MSI [32,44,59].

De posse destes conceitos e com o conhecimento das dificuldades anteriormente mencionadas pode-se iniciar o estudo do PVT o qual tem como objetivo principal aumentar a controlabilidade e a observabilidade dos estados internos de um circuito para que se possa determinar, de forma economicamente viável, se o mesmo foi fabricado corretamente [32,34,35,44].

O PVT começou a interessar os projetistas de circuitos LSI e tem despertado cada vez mais interesse conforme evoluem os CI VLSI, pois esta pode ser a solução efetiva em termos de custo e tempo para o problema de testes destes circuitos [44,59].

Ao se fazer um PVT deve-se ter em mente que : o número de pinos externos do circuito encapsulado para efeitos de teste deve ser o menor possível, já que quanto maior é o número de pinos maior é o custo do circuito; a perda no desempenho do circuito deve ser mínima, pois o PVT pode aumentar as cargas capacitivas e/ou os atrasos nas portas diminuindo o desempenho; e o número de circuitos adicionais para teste deve ser o menor possível já que quanto maior é o número de pinos maior é o custo do circuito; a perda no desempenho do circuito deve ser mínima, pois o PVT pode aumentar as cargas capacitivas e/ou os atrasos nas portas diminuindo o desempenho; e o número de circuitos adicionais para teste deve ser o menor possível já que o aumento na área do circuito reduz o rendimento da produção que vem a ser a relação entre o número de circuitos fabricados sem defeitos e o número total de circuitos fabricados.

Quanto a este último ítem tem-se dois casos a considerar : tratando-se de um circuito de uso geral onde se deseja um baixo custo, um grande volume de produção e cujo desempenho não necessita ser muito alto considera-se razoável um aumento de 5% a 10% na área total do circuito original; e quando se trata de circuitos especiais, como os de aplicação militar, onde a preocupação com os custos não é tão grande, onde o volume de produção é normalmente pequeno, mas onde se deseja um excelente desempenho, o aumento da área para a implantação do PVT pode ser maior do que a área total inicial do circuito [44].

No entanto, não existe uma regra geral que diga como fazer este tipo de projeto, mas sabe-se que circuitos altamente testáveis devem ser **controlados** com facilidade por um número re-

lativamente pequeno de vetores de teste aplicados às suas entradas primárias e seus estados internos devem ser facilmente observáveis tanto pelas suas saídas primárias quanto por pontos de teste especiais [10].

Portanto, o PVT consiste na utilização de certas técnicas de projeto que possibilitem a geração do menor número possível de vetores de teste os quais, ao serem aplicados às entradas primárias do CI, forneçam sinais representativos das condições de funcionamento do circuito em questão.

Para encerrar esta secção, na fig.4 são apresentados dois gráficos relacionando a cobertura de falhas e o rendimento da produção com a quantidade de defeitos encontrados (nível de defeitos) e o tamanho do CI.

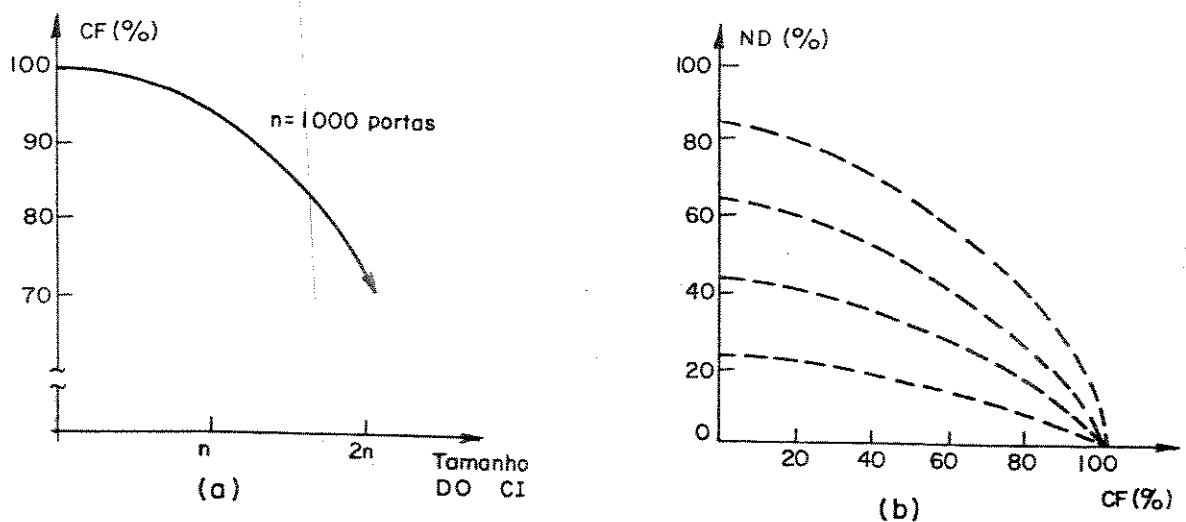


Figura 4 - (a) Relação entre a cobertura de falhas e o tamanho do CI e (b) Relação entre a cobertura de falhas (CF), o rendimento da produção (RP) e o nível de defeitos (ND). $ND = 1 - RP^{**}(1 - FC)$ onde ** significa "elevado a".

3.2-Classificações

Neste subitem ver-se-á duas classificações, uma quanto ao enfoque dado ao PVT e outra quanto ao tipo dos testes utilizados.

Quanto ao enfoque dado ao projeto pode-se classificar o PVT em específico ou estruturado.

O PVT **específico** visa resolver o problema de um projeto em particular. Este PVT não é dirigido para a solução do problema geral de teste. Ele consiste em procurar partes críticas durante o projeto e ali inserir pontos de observação e teste. O custo das técnicas aqui utilizadas é, provavelmente, menor do que as usadas no PVT estruturado. Mas, a geração de testes e a simulação de falhas, geralmente, não são tão simples e diretas como quando se usa o PVT estruturado.

O PVT **estruturado** procura resolver o problema geral de teste através de uma metodologia de projeto. Ao se fazer o projeto utilizando esta metodologia os custos da geração de testes e da simulação de falhas tornam-se bem aceitáveis. As técnicas usadas no PVT estruturado são, em geral, mais fáceis de automatizar do que as usadas no PVT específico.

Ao se aplicar testes em CI deseja-se que os mesmos verifiquem tanto a integridade estrutural quanto o desempenho funcional do circuito.

Um **teste de integridade estrutural** verifica-se existem defeitos num circuito usando vetores de teste selecionados para detetar a presença de falhas [46,47].

Um teste de desempenho funcional estabelece se as funções do circuito estão dentro das especificações [46,47].

Os testes aplicados em CI podem ser dos tipos externo ou interno.

Os testes externos são aplicados ao CI por um Equipamento de Teste Automático (ETA). Neste caso as funções para o teste do CI são armazenadas no ETA. O circuito a ser testado deve ser removido do sistema em que se encontra ou tal sistema deve ser reconfigurado para que as funções do ETA possam ser aplicadas ao CI e, com isto, se possa obter um diagnóstico do circuito em questão [32,46].

Os testes internos consistem em se incluir diretamente na pastilha algumas funções feitas pelo ETA. Estas funções vão formar uma rotina de teste (um microprograma), previamente armazenada na pastilha, que precisará de um sinal externo para ativá-la [44]. Estes testes podem ser divididos em concorrentes ou não concorrentes [32,46].

Os testes **concorrentes** são feitos durante a operação normal do circuito e utilizam redundâncias de informação, de "hardware" ou de tempos [32]. Os circuitos capazes de verificar concorrentemente tanto a validade de suas entradas quanto a sua própria operação chamam-se Verificadores Totalmente Auto Testáveis (VTAT). As técnicas concorrentes são particularmente úteis para a detecção de certos erros intermitentes.

Os testes **não concorrentes** baseiam-se na reconfiguração funcional do circuito usando tanto "hardware" quanto "software" residentes [5]. O "software" residente usado para testes é chamado pelo sistema operacional e é executado nos momentos em

que o processamento funcional normal não está sendo feito. No caso do "hardware" residente o sistema deve ser reconfigurado e testado quando termina o processamento funcional normal. Como os testes não concorrentes são feitos com o sistema fora de seu funcionamento usual, torna-se mais difícil a detecção de falhas intermitentes.

3.3-Técnicas

Durante a vida de um CI passa-se por três fases de teste importantes.

A primeira é a depuração e caracterização do protótipo que, geralmente, é feita usando um ETA e micropontas em busca de falhas de processo (como linhas abertas ou curtos-circuitos) e de projeto (como conexões erradas e contatos esquecidos); esta fase talvez seja a mais importante pois aqui pode-se localizar e corrigir as falhas.

A segunda é a dos testes de produção onde só se pode decidir se o circuito deve ou não ser encapsulado; aqui os tempos e custos dos testes são importantes e deve-se usar equipamentos de teste o mais simples e rápidos possíveis e com boa cobertura de falhas.

A terceira e última fase é a dos testes de manutenção onde a capacidade de diagnosticar falhas é bem restrita e como só se poderá decidir se o circuito está bom ou não, trocando-o se for o caso, deve-se fornecer apenas alguns estados internos mais significativos [44].



O PVT tem por objetivo facilitar cada uma destas fases pelo uso das técnicas que serão discutidas a seguir.

Talvez a primeira idéia que ocorre quando se pensa em testar um circuito seja a de aplicar-lhe um teste **exaustivo** [47], isto é, testar todos os estados possíveis nos quais o circuito pode estar.

Em circuitos combinatórios, por exemplo, isto significa estimular todas as combinações de entrada possíveis e verificar se as saídas são corretas o que, para um circuito com "n" entradas, resulta em 2 elevado à "n" (2^n) vetores de teste.

Em circuitos sequenciais isto se agrava porque além das entradas primárias tem-se entradas secundárias que são funções de estados anteriores. Se houverem "n" entradas primárias e "m" entradas secundárias precisar-se-á de (2^{n+m}) vetores de teste o que vem tornando o teste exaustivo inviável.

Uma técnica de teste bastante difundida atualmente é a de **falhas estáticas** que age no nível de descrição das portas do circuito detectando se o sinal num determinado nó está fixo em 0 ou 1 [46,47,59].

Esta técnica não considera todos os defeitos que podem prejudicar o desempenho do circuito mas apenas aqueles que causam respostas logicamente incorretas nas portas, no estado estacionário. Problemas de atrasos, por exemplo, não são detectados por esta técnica [45].

Esta técnica mostra-se particularmente interessante quando se deseja detetar apenas falhas estáticas, como as descritas acima, pois pela escolha adequada dos vetores de teste pode-se chegar a uma cobertura de falhas de 100% e praticamente sem

qualquer acréscimo na área original do CI.

Outra técnica bastante comum é a da análise de assinatura que foi introduzida em 1977 [59]. Esta técnica possui características intermediárias entre o PVT específico e o estruturado [32,59].

É uma técnica fortemente dependente do planejamento do projeto exigindo pouca área extra para construir os circuitos de teste e tendo um baixo custo [44,59]. A área extra necessária destina-se a uma ROM para a rotina de inicialização do teste, um pequeno circuito e alguns desvios para evitar caminhos fechados que poderiam provocar a propagação e a realimentação do erro com a conseqüente indefinição do bloco em que este ocorreu [59].

Como esta técnica não fornece um diagnóstico da falha ela é mais apropriada para testes de produção e manutenção [44,59]. A Análise de Assinatura chega a uma cobertura de falhas de 99,998% [27].

A alma desta técnica é um circuito chamado de Gerador de Sequência Binária Pseudo Aleatória que é constituído apenas por um registrador de deslocamento com realimentação linear.

No início aplica-se um vetor de teste às entradas do circuito em teste (CET). Depois, opera-se o CET por um certo número de ciclos de relógio obtendo do mesmo, em instantes de tempo bem determinados, estados lógicos de nós específicos.

Este conjunto de valores é então submetido ao gerador de sequência binária pseudo aleatória que transforma-lo-á numa palavra-código chamada de assinatura. A assinatura é então comparada com a assinatura esperada para se determinar o bom ou mau funcionamento do circuito [27,32,44,46,59].

Quais nós devem ser testados e o número de estágios do registrador de deslocamento dependem da cobertura de falhas especificada para o teste.

Um registrador de deslocamento de "n" estágios gera uma sequência de $(2^n - 1)$ bits. Na bibliografia existem artigos que indicam os pontos mais aconselháveis onde se deve conectar os nós para várias dimensões do gerador de sequência binária pseudo aleatória.

Finalmente, a probabilidade de detecção de um erro, com a análise de assinatura, numa sequência de "m" nós com um registrador de deslocamento de "n" estágios é dada por [32,44,59] :

$$P(m,n) = 1 - \left(\frac{2^{m-n} - 1}{2^m - 1} \right).$$

A **auto-oscilação** [46] é uma técnica não concorrente na qual o circuito é reconfigurado durante o teste de forma que ele irá oscilar se não houver falhas.

Não existe nenhum trabalho que faça referência quanto à conveniência ou à cobertura de falhas que se pode esperar com esta técnica. Sabe-se, contudo, que a busca de falhas por circuitos auto-oscilantes constitui um teste simples, fácil e parece ser particularmente útil para circuitos de alta velocidade [46].

Analisando os dados em [46] pode-se concluir que a área necessária para a fabricação dos circuitos de teste aumenta a área do circuito original em aproximadamente 5% e que a cobertura de falhas fica em torno de 80%.

Na técnica de **auto-comparação** [46] divide-se o CET em partes funcionalmente similares de modo que ao se inserir um dado vetor de teste nestas partições obtenha-se saídas idênticas. Nesta técnica temos duas opções :

A primeira consiste em dividir o circuito em partes cujas saídas serão submetidas a um comparador, o que traz um considerável problema pois deve-se, para tanto, incluir na pastilha uma área para a construção dos circuitos necessários à reconfiguração do CET; esta opção não permite testar todos os caminhos da configuração normal nem a funcionalidade dos caminhos de reconfiguração;

A segunda opção consiste em determinar um conjunto de valores de entrada para os quais as partições a serem comparadas forneçam resultados idênticos; isto requer um tempo maior para o desenvolvimento dos vetores de teste mas tem a vantagem de testar um circuito inalterado; a maior dificuldade neste caso é a geração de vetores de teste que sensibilizem todos os caminhos de todas as partições.

Aqui torna-se novamente necessário recorrer aos dados em [46] para concluir que a área original do circuito pode ser aumentada em até 20% pela inclusão dos circuitos de teste e que a cobertura de falhas pode chegar a 100%.

O **caminho de varredura** [10,32,44,46,59] é uma técnica que permite acesso a nós internos do circuito sem aumentar excessivamente o número de pinos externos do mesmo. Esta foi a primeira técnica a incorporar registradores de deslocamento para o teste de circuitos tendo sido apresentada pela NEC em 1975. Ela baseia-se na interligação de todos os registradores de um circuito, reconfigurando-os para formarem um grande registrador de deslocamento. Com isto conseguem-se excelentes controlabilidade e observabilidade mas gasta-se muito tempo com a transmissão serial entre o circuito e o equipamento de teste; este tempo de teste pode

ser reduzido se se fizer um particionamento do circuito.

A área a acrescentar, necessária para construir os circuitos de teste, depende muito da estrutura do circuito e da disponibilidade de registradores mas, em geral, fica abaixo de 20% da área do circuito original [10,44,46].

O caminho de varredura não deve ser usado em memórias e em circuitos com blocos funcionais acessíveis por barramento de dados, pois neste caso, outros métodos tais como o particionamento funcional ou o uso de microprogramas são mais convenientes.

Os circuitos adicionais (usados para teste) só afetam o desempenho do circuito testado se os registradores do caminho de varredura tiverem que ser incorporados ao projeto; no entanto se forem usados praticamente só os registradores já existentes no CI notar-se-ão apenas aumentos dos retardos devido a atrasos de roteamento e carregamento. Com esta técnica pode-se detectar mais de 99% de falhas estáticas, mas para implementá-la em VLSI pode ser necessária uma arquitetura sofisticada [10,32,44,46,59].

Tem-se fundamentalmente duas possibilidades para testar o circuito com a técnica do caminho de varredura. A primeira usa dois relógios e pode ser resumida como descrito a seguir (ver fig.5):

- a) aplica-se um vetor de teste às entradas primárias com o relógio primário;
- b) aplica-se, serialmente, outro vetor de teste à entrada de varredura através do relógio secundário;
- c) opera-se o relógio primário por um ciclo; e

d) opera-se o relógio secundário para mostrar o resultado da saída de varredura.

A segunda usa um único relógio síncrono para as funções do circuito e para a varredura dos vetores de teste e uma entrada de controle nos registradores que chaveiam o circuito para o funcionamento normal ou modo teste; esta possibilidade pode ser resumida como segue (ver fig.6):

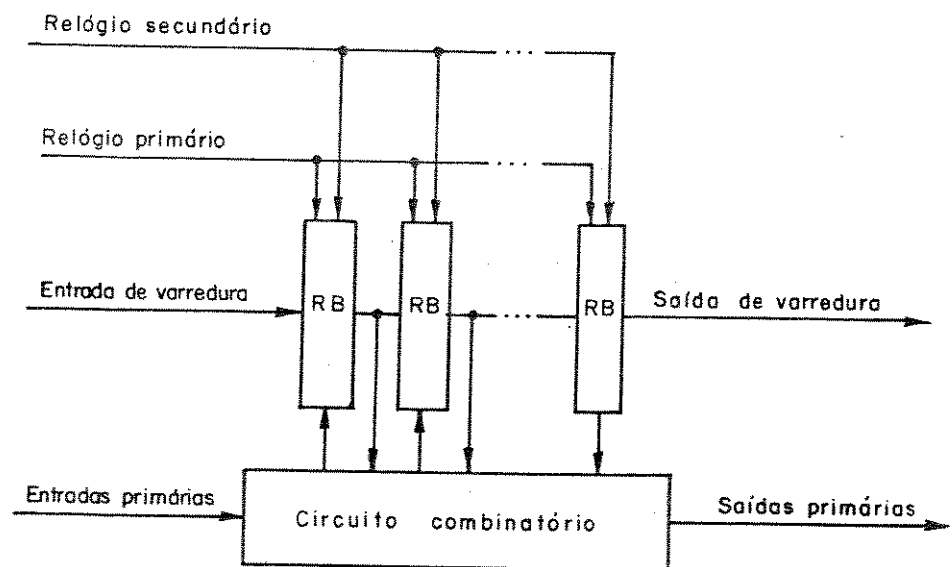


Figura 5 — Primeiro exemplo de uso do caminho de varredura : utilizam-se dois relógios, um para as funções do circuito e outro para a varredura dos vetores de teste RB = são registradores biestáveis.

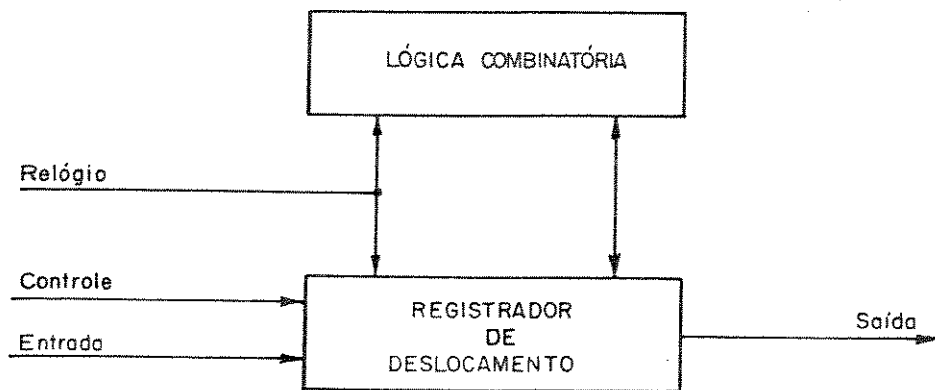


Figura 6 - Segundo exemplo de uso do caminho de varredura: usa-se um único relógio para as funções normais do sistema e de varredura dos vetores de teste.

- a) chaveia-se o circuito para o modo teste;
- b) aplica-se uma sequência qualquer na entrada e a lê-se na saída para conferir o bom funcionamento do registrador de deslocamento;
- c) aplica-se um vetor de teste no registrador de deslocamento;
- d) chaveia-se para o modo de operação normal fazendo o circuito processar, a partir das entradas primárias, o vetor de teste por um ou mais ciclos de relógio; e
- e) chaveia-se para o modo teste lendo através do registrador de deslocamento as saídas primárias obtidas, pode-se simultaneamente entrar com um novo vetor de teste.

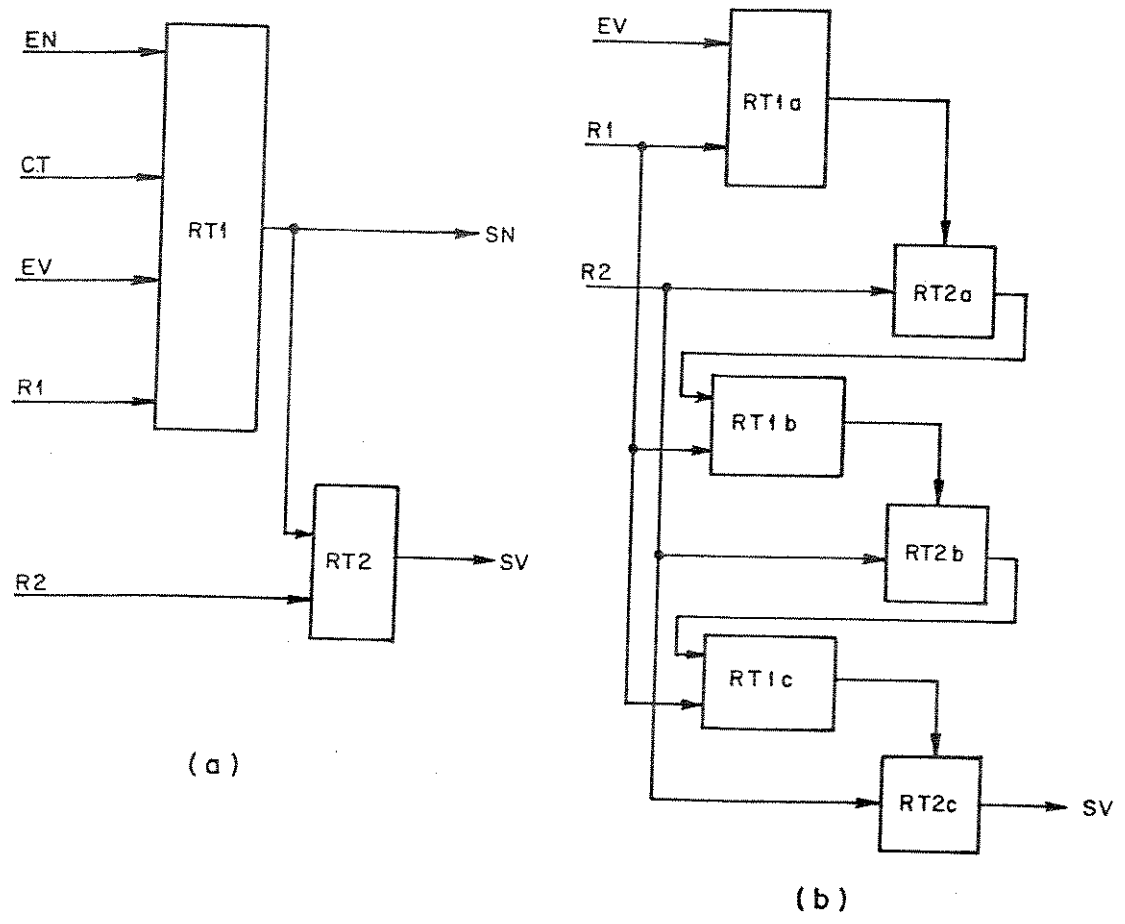


Figura 7 – Técnica de projeto de varredura sensível ao nível
(a) célula básica (b) registrador de deslocamento
RT1 e RT2 são dois registradores de transmissão; as entradas EN e CT (entradas normal e de controle) e a saída SN (saída normal) são para uso como memória normal; as entradas EV (entrada de varredura), R1 e R2 (duas fases do relógio) e a saída SV (saída de varredura) são para o uso como registrador de deslocamento quando em teste.

Outra técnica de PVT estruturado é o **Projeto de Varredura Sensível ao Nível - PVS**N [10,32,59] desenvolvido pela "IBM Corporation" [10]. O termo **varredura** refere-se à sua capacidade de deslocar estados lógicos para dentro e/ou para fora do CI; e o termo **sensível ao nível** refere-se às restrições impostas à excitação do circuito e ao manuseio dos circuitos de relógio [59].

Esta técnica consiste em se projetar estruturas lógicas sequenciais de modo que sua operação correta não dependa dos tempos de subida e descida do sinal nem dos atrasos de fiação e do circuito, mas sim do nível do sinal [10].

Aqui novamente utiliza-se a reconfiguração dos elementos de memória do circuito para que atuem como um registrador de deslocamento [32,59].

O PVS

N tem os mesmos objetivos do caminho de varredura, sendo que uma diferença básica entre as duas é que na primeira os relógios R1 e R2 (fig.7) são operados separadamente de modo que a operação sensível ao nível não dá margem à ocorrência de "races" e na segunda os relógios são operados simultaneamente no modo teste sendo a técnica suscetível aos "races" associados. Na fig.7-a tem-se a célula básica usada no PVS

N e na fig.7-b um exemplo de sua implementação. É interessante notar que qualquer que seja o nível de implementação desta técnica ter-se-á sempre apenas quatro linhas adicionais para teste [59].

Como se pode ver na fig.7 a parte do projeto sensível ao nível é conseguida usando-se um registrador armazenador de polaridade (RT1); a parte de varredura é conseguida através do uso de um segundo registrador de transmissão (RT2) que opera juntamente com o primeiro de modo a formar um registrador de desloca-

mento.

Numa configuração usual (fig.7-b) tais registradores formam um caminho por onde se deslocam os vetores de teste ou os resultados do teste usando uma sequência adequada de pulsos de relógio.

Assim como na técnica do caminho de varredura, a PVSN permite que circuitos sequenciais sejam testados como se fossem combinatórios; partilha também de um benefício comum a todas as técnicas de varredura que é a grande capacidade de detecção de falhas [10]. A cobertura de falhas desta técnica fica entre 98% e 100% [48,62].

Com a partição de grandes sistemas em subsistemas menores e a definição da localização da resposta destes subsistemas na cadeia de registradores de deslocamento o PVSN facilita o teste daqueles sistemas reduzindo os problemas de projeto, fabricação e manutenção de CI VLSI a custos razoáveis [59].

De acordo com as referências [10,32,48,59] o PVSN apresenta os seguintes problemas: o tempo gasto no teste aumenta devido à entrada/saída serial; dependendo do grau de utilização dos registradores utilizados na lógica normal do circuito o acréscimo de área na pastilha pode chegar a 20%; em cada nível de projeto precisam-se de 4 entradas/saídas primárias adicionais para o controle do registrador de deslocamento; os sinais da entrada assíncrona externa só podem mudar uma vez em cada ciclo de relógio; e os RT do registrador de deslocamento são duas a três vezes mais complexos do que RT comuns.

A técnica de Lógica de Verificação e Carga - LVC [32] foi introduzida pela "Sperry-Univac" em fevereiro de 1980 [59].

Embora seja uma técnica similar às duas últimas apresentadas, nesta os registradores utilizados não fazem parte do caminho de dados podendo ser operados independentes do fluxo normal do sistema, o que evita a degradação no desempenho do mesmo.

O conceito básico é que um circuito sequencial pode ser amostrado em até "n" pontos que são carregados num registrador de deslocamento com um único pulso de relógio e depois são varridos para fora dando uma boa observabilidade dos estados do circuito.

Quanto à controlabilidade, é possível carregar um vetor de teste no sistema se houver uma estrutura de relógio adequada.

A operação de varredura pode ocorrer durante a operação normal do sistema. Necessita-se da inclusão de uma entrada/saída primária serial e linhas de controle do registrador e de suas células de armazenamento. A fig.8 mostra um exemplo desta técnica.

A penúltima técnica que se tem para apresentar é a **Varredura com Acesso Aleatório - VAA** [32] introduzida pela Fujitsu em outubro de 1977.

Nesta técnica não se empregam registradores de deslocamento, mas sim um esquema de endereçamento (similar a uma RAM) que permite selecionar individualmente cada uma das células de armazenamento do circuito [32,59].

Enquanto o caminho de varredura e o PVSN precisam de dois RT excedentes por ponto a ser observado a VAA requer três a quatro portas a mais por célula de armazenamento [59]. Em termos de pinos gasta-se de 10 a 20 entradas/saídas primárias a mais

[32,59] O que pode ser diminuído para 6 a 12 com o uso de entrada/saída serial [59], constituindo-se na principal desvantagem desta técnica [32].

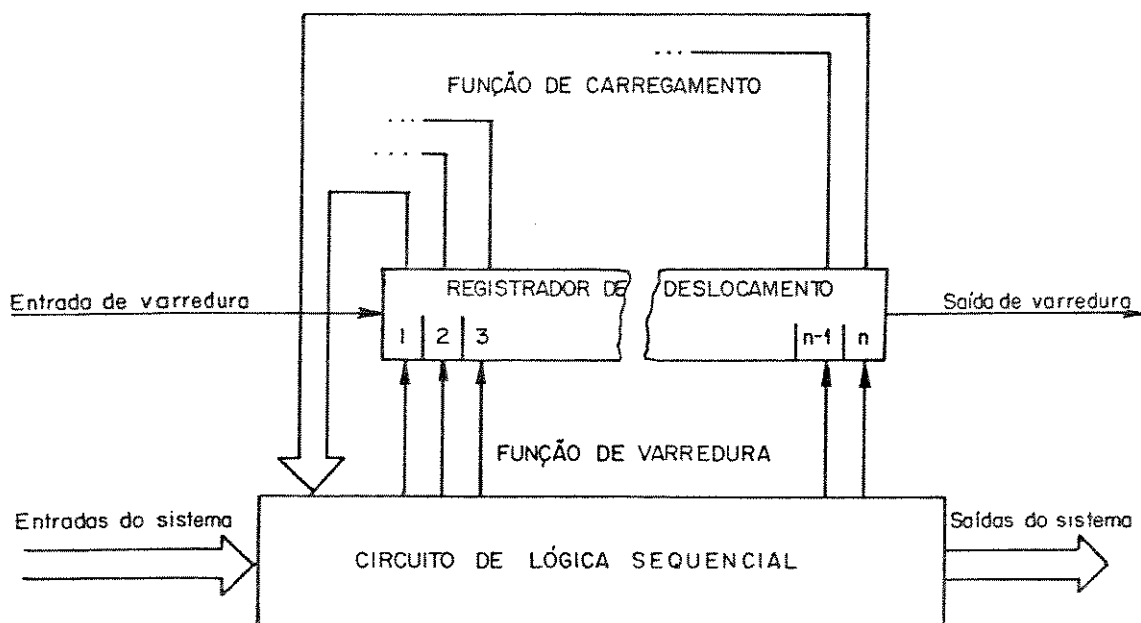


Figura 8 - Técnica da lógica de varredura e carga.

Finalmente analisar-se-á a técnica de Observação por Bloco Lógico Interno - OBLI, introduzida em outubro de 1979 [32,44,46,59]. Esta combina as excelentes controlabilidade e observabilidade das técnicas PVSN e caminho de varredura com as eficiências na geração de vetores de teste e detecção de falhas da análise de assinatura.

A cobertura de falhas desta técnica fica entre 98% e 100% [46,60]. Já a área necessária para a construção dos circuitos de teste pode variar bastante dependendo do que puder ser aproveitado do circuito original. Portanto, a área do circuito

original pode ser aumentada de 5% a 80% [46,59,62].

Na OBLI usam-se dois registradores de deslocamento com realimentação linear um dos quais é usado como GSBPA para a criação dos vetores de teste que alimentarão o circuito combinatório e o outro como um registrador de análise de assinatura (RAA) que transforma a saída do circuito numa assinatura [46].

O volume de dados a serem fornecidos ao sistema e recolhidos deste para efeitos de teste pode ser consideravelmente reduzido com a OBLI se, entre duas leituras das assinaturas, se submetiver o circuito a "n" vetores de teste aleatórios através do gerador de sequência binária pseudo aleatória.

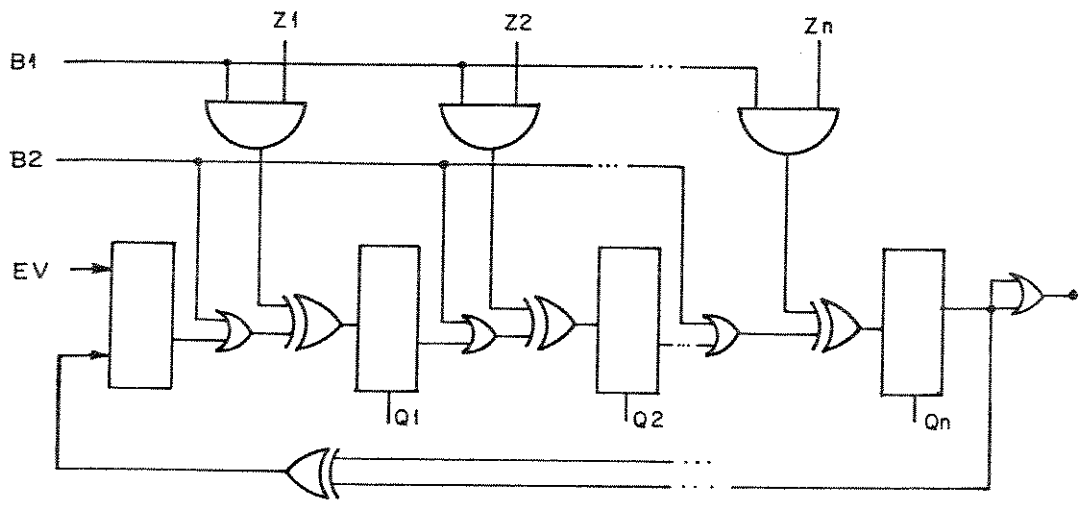
Por exemplo, se $n=100$ ter-se-á uma redução no volume de dados de teste a ser trocado com o sistema por um fator de 100 [44,46,59].

Contudo, na OBLI tem-se duas desvantagens: deve-se acrescer uma área na pastilha para a construção dos circuitos de teste maior que no PVSN já que usam-se duas portas ou-exclusivo para cada RT; e tem-se mais atrasos no caminho de dados do sistema [32,59].

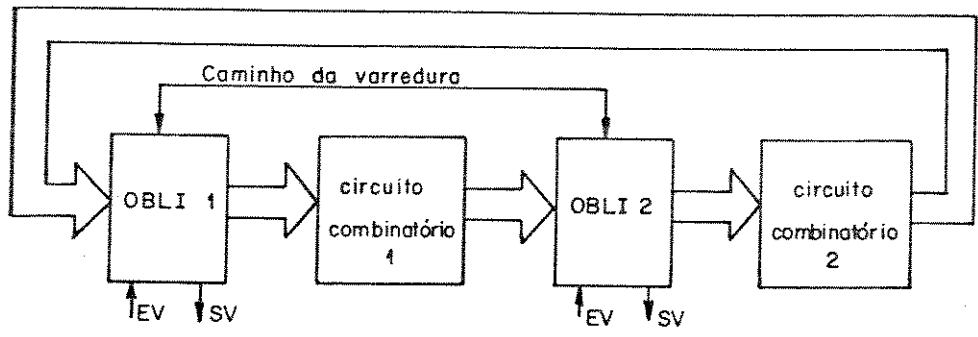
Na fig.9 mostram-se um registrador da OBLI e um exemplo de aplicação desta técnica, portanto, ela será usada para as explicações do restante desta secção.

Na fig.9-a mostra-se uma configuração de um registrador para a OBLI o qual pode ser operado num dos quatro modos descritos a seguir [32,44,59].

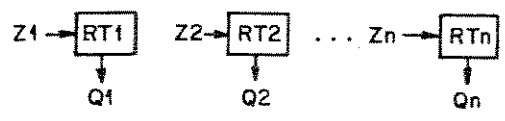
A - Modo de Carga Normal (fig.9-c) : se $B_1 = B_2 = 1$ usam-se os registradores do sistema (L_1, L_2, \dots, L_n) somente para armazenagem de dados.



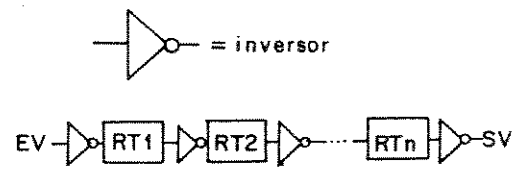
a) configuração de um registrador para OBLI



(b) exemplo de aplicação da OBLI



(c)



(d)

Figura 9 – Técnica de observação por bloco lógico interno



- B - Modo GSBPA (fig.9-d) : se $B1 = B2 = 0$ configuram-se os registradores do sistema como um registrador de deslocamento com realimentação linear.
- C - Modo RAA: se $B1 = 1$ e $B2 = 0$ tem-se um registrador de análise de assinaturas com "n" entradas múltiplas (Z_n).
- D - Modo Reinicialização : se $B1 = 0$ e $B2 = 1$ força-se todo o registrador a voltar para um estado inicial ("reset").

Na fig.9-b apresenta-se um exemplo de aplicação da OBLI onde tem-se dois circuitos combinatórios a serem testados; se o registrador OBLI1 for usado como um gerador de sequência binária pseudo aleatória e o OBLI2 como RAA pode-se testar eficientemente o circuito combinatório 1, se se inverter as funções, isto é, o registrador OBLI1 passa a atuar como RAA e o OBLI2 como gerador de sequência binária pseudo aleatória, pode-se então testar o circuito combinatório 2 [44,59].

3.4-Auto-Teste

O auto-teste consiste na inclusão de circuitos redundantes e comparadores ou outros circuitos adicionais para a geração de códigos e a detecção de falhas. Tais circuitos adicionais devem funcionar durante toda a vida útil do circuito principal. Estas técnicas necessitam de uma área adicional, exclusiva para os circuitos de teste, bastante grande. Portanto, em geral, o uso destas técnicas limita-se às partes críticas do projeto [44].

O auto-teste pode ser estrutural ou funcional, concorrente ou não concorrente e é feito com a ajuda da inteligência do circuito.

Os auto-testes estruturais, concorrentes ou não, utilizam a estrutura do circuito resultando numa boa cobertura de falhas estáticas, porém a grande quantidade de área adicional necessária na pastilha para os circuitos de controle e elementos de memória faz com que este tipo de auto-teste ainda não seja muito usado.

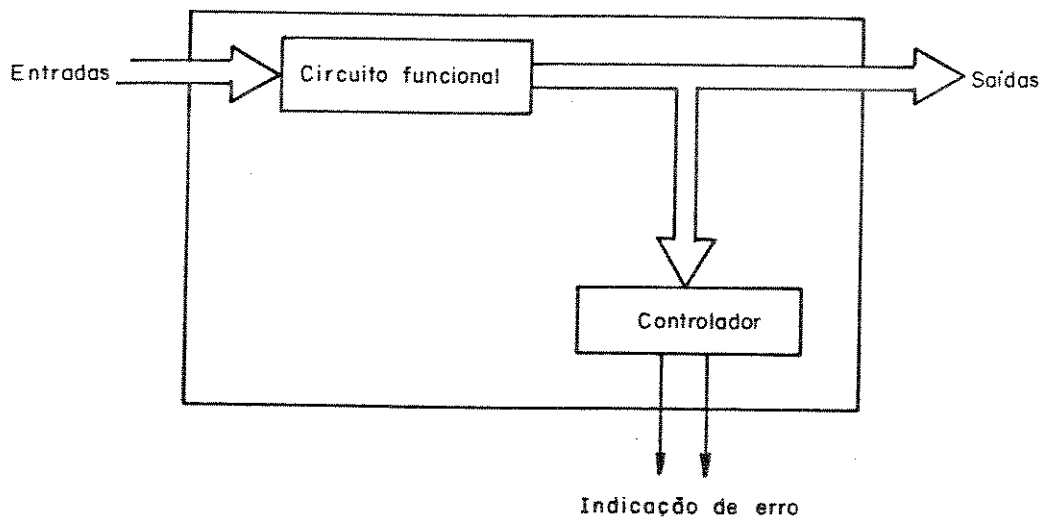


Figura 10 - Estrutura de um sistema autotestável

Nos auto-testes funcionais e não concorrentes um programa de teste é armazenado na memória e executado fora da operação normal do circuito só sendo possíveis em circuitos inteligentes; nos concorrentes acrescenta-se um "hardware" redundante e um circuito comparador toma as decisões baseado nos resultados destas partes redundantes, contudo, a quantidade de circuitos redundantes e de comparação aumenta muito a área da pastilha além do que os auto-testes funcionais não dão uma boa cobertura das falhas estáticas.

Em circuitos TAT todas as falhas causam saídas errôneas detetáveis durante sua operação normal. Estas técnicas podem ser muito úteis como teste de lâminas ou como aditivo em testes de campo, sendo imprescindíveis em circuitos dedicados a aplicações militares, espaciais, etc. Na fig.10 ve-se um exemplo de um sistema auto-testável.

4. Simulação

Deseja-se, aqui, travar um contato com as técnicas de simulação de CI bem como com alguns programas de simulação de maior evidência e consubstanciar a idéia de uma estação de projeto e simulação de CI.

Visando estes objetivos estudam-se algumas técnicas usadas nos simuladores de segunda e terceira gerações, as quais estão sintetizadas no subitem 4.1. No subitem 4.2 descrevem-se as principais características dos dois programas de simulação utilizados nesta tese. Finalmente, no subitem 4.3, da-se uma idéia do que se entende por projeto e simulação de circuitos VLSI.



4.1.Noções Sobre as Técnicas de Simulação

Os conceitos nos quais se baseia a simulação de circuitos tiveram sua fase de maturação na década de 70 e desde então os programas de simulação vem se tornando, cada vez mais, uma indispensável ferramenta no projeto de CI bem como um fator significativo no custo dos mesmos.

Atualmente é possível dividir os simuladores em duas categorias: os de segunda geração, cujo exemplo mais notável é o SPICE, que na época foram considerados revolucionários e agora constituem um conjunto de ferramentas padrão servindo, inclusive, de base para os de terceira geração cujas técnicas, na busca de uma maior capacidade de simulação, estão se afastando radicalmente das utilizadas em seus predecessores.

4.1.1-Técnicas de Simulação de Segunda Geração:

Se o sistema a ser simulado puder ser descrito por um sistema de equações diferenciais algébricas do tipo $f(x',x,t)=0$, caracteriza-se a simulação padrão pelo uso das seguintes técnicas algorítmicas [24] para a solução daquele sistema:

- a) substitui-se x' por uma expressão que é função de $x(t)$, isto é, aproxima-se x' por algo na forma

$$x'_{n+1}=(A_0[x_{n+1}-x_s(k,h)]) / h$$

onde x'_{n+1} e x_{n+1} são os valores de x' e x no instante de tempo t_{n+1} , respectivamente;

k é a ordem da aproximação;

t , t_n e t_{n+1} são instantes de tempo quaisquer;
 h é o intervalo de tempo ($t_{n+1} - t_n$); e
 $x_s(k,h)$ é o somatório de $(A_i x_{n+1-i}) / A_0$, com
 $i=1,2,\dots,k$, no qual é preciso escolher os A_i de modo
 a que se tenha um polinômio de grau n que passe pelos
 últimos $n+1$ pontos, obtendo-se um sistema de equações algébricas
 não lineares na forma $g(x_{n+1}, x_s(k,h), t_{n+1})=0$, o qual deve
 ser resolvido em cada instante de tempo t_{n+1} para o vetor
 x_{n+1} , onde n é um número inteiro, positivo e não nulo
 ($n=1,2,3,\dots$);

- b) para garantir a precisão da solução deve-se ter um controle automático do intervalo de tempo h da k -ésima diferenciação;
- c) a solução do sistema não linear resultante $g(x_{n+1}, x_s, t_{n+1})=0$ é obtida pelo método de Newton de convergência quadrática; e
- d) a solução das equações algébricas lineares envolvidas em cada passo do método de Newton é obtida por eliminação Gaussiana.

O método de Newton descrito nas páginas 719 a 721 da referência [31] converge rapidamente para as raízes de funções $y = F(x)$ em que r é solução para $F(x) = 0$ e onde:

-> $F(a)$ e $F(b)$ tem sinais opostos e $a < r < b$;

-> as derivadas de primeira e segunda ordem de $F(x)$ não são nulas no intervalo $[a,b]$ e a de segunda ordem é, também, contínua nesse intervalo.

As aproximações da solução r são obtidas pela aplicação da expressão $x_i = r_i - [f(r_i) / f'(r_i)]$ conforme mostra a referência mencionada.

O algoritmo de eliminação de Gauss, descrito na referência [20], é utilizado para resolver sistemas de equações li-

neares cujos coeficientes formam matrizes esparsas de m linhas por n colunas.

4.1.2-Técnicas de Simulação de Terceira Geração:

A simulação de circuitos pode ser feita em três níveis que são o temporal, o de equações não lineares e o de equações lineares.

Como foi dito anteriormente, os simuladores de terceira geração baseiam-se nos simuladores padrão diferindo destes pela utilização de técnicas de decomposição. Tais técnicas decompõem (dividem) o circuito a ser simulado em módulos (blocos) que são tratados individualmente. O tratamento diferenciado dado a estes módulos possibilita a adequação do circuito que estiver sendo simulado ao sistema computacional disponível.

As técnicas de decomposição podem ser aplicadas, em cada um dos níveis de simulação inicialmente mencionados, num dos seguintes modos:

a) na **decomposição por separação** as propriedades de convergência e estabilidade dos simuladores padrão são mantidas.

A decomposição por separação em sistemas lineares consiste em se representar o sistema, matricialmente, na forma $Ax = b$, a seguir buscam-se duas matrizes de permutação P e Q com as quais é feita a permutação do sistema inicial, isto é, $\bar{A} = PAQ$, $\bar{x} = Qx$ e $\bar{b} = Pb$ e o sistema permutado $\bar{A}\bar{x} = \bar{b}$ é resolvido pela fórmula de Sherman-Morrison-Woodbury [24].

A decomposição por separação dos sistemas não lineares é obtida resolvendo-se o sistema não linear $f(x', x, t) = 0$ pelo



método de Newton acrescido de laços de iteração adicionais com vistas à decomposição do sistema não linear.

b) a decomposição temporal está relacionada a métodos indiretos e tem propriedades de convergência e estabilidade completamente diferentes dos anteriores.

Na decomposição temporal de sistemas lineares é feita uma partição de $\bar{A} = I + D + S$, onde I e S são, respectivamente, matrizes triangulares estritamente inferior e superior e D é uma matriz diagonal; a seguir resolve-se a equação $\bar{A} \bar{x} = \bar{b}$, iterativamente, através do procedimento conhecido por "Gauss-Seidel Sweep" [24].

A decomposição temporal de sistemas não lineares é obtida pela solução do sistema não linear $f(x', x, t) = 0$ por técnicas de relaxação linear. Um exemplo [24] deste tipo de técnica foi descrito por Ruehli, et al. onde as equações do circuito são desmembradas ao nível de equações diferenciais ordinárias antes de serem efetivamente discretizadas.

Finalmente, a decomposição de sistemas dinâmicos explora o fato de que a maioria dos subcircuitos de um dado circuito está inativa a maior parte do tempo. Na simulação lógica isto é conseguido com o uso de um sequenciamento dos eventos e de algoritmos seletivos, os quais processam as portas lógicas somente quando elas estão ativas.

4.2. Características de Alguns Programas de Simulação

Neste subitem são dadas as características principais dos dois programas de simulação utilizados nesta tese.

4.2.1-Programa SPICE:

O SPICE é um programa de simulação de circuitos desenvolvido na Universidade da Califórnia, em Berkeley [43].

Durante este trabalho tinha-se disponível na FEE/UNICAMP a versão 2-G.6 deste programa, atualmente está em fase de implantação a versão 3-A.6.

Este programa pode ser usado, por exemplo, para a confirmação dos tempos calculados com base na previsão do desempenho dos dispositivos.

Os circuitos a serem simulados neste programa podem conter resistores, capacitores, indutores, indutâncias mútuas, fontes de tensão e corrente independentes, quatro tipos de fontes dependentes além dos quatro dispositivos semicondutores mais comuns, quais sejam, diodo, BJT (transistor de junção bipolar), JFET (transistor de efeito de campo de junção) e MOSFET (transistor de efeito de campo de metal/óxido/semicondutor) [18].

Os modelos dos dispositivos são fornecidos pela biblioteca de primitivas de circuito, sendo preciso que o usuário forneça apenas os parâmetros dos modelos.

O modelo disponível para diodos pode ser usado tanto na simulação dos de junção quanto dos de barreira Schottky.

O modelo para o BJT é o de GUMMEL-POON, podendo ser usado, opcionalmente, o modelo de EBBERS-MOLL. Para o JFET e o MOSFET o modelo utilizado é o de SHICHMAN-HODGES.

O SPICE subentende que os dados a ele fornecidos foram medidos a 27°C (300 K), podendo-se, entretanto, simular o

circuito em temperaturas diferentes desta bastando para isto informar ao programa a nova temperatura de simulação.

Os circuitos simulados no SPICE podem ser analisados sob três aspectos:

a) **análise CC** - esta análise determina o ponto de operação CC do circuito com indutores em curto e capacitores em aberto, esta análise é feita automaticamente antes de uma análise transiente ou de uma CA de pequenos sinais, esta análise também pode ser utilizada para gerar a curva de transferência CC;

b) **análise transiente** - nesta análise as variáveis de saída são analisadas em função do tempo num intervalo especificado pelo usuário; quando se faz a simulação de grandes sinais senoidais é possível optar por uma análise de Fourier do sinal de saída, portanto, obtendo-se os coeficientes de Fourier no domínio das frequências; e

c) **análise CA de pequenos sinais** - nesta análise as variáveis de saída CA são calculadas em função da frequência, podendo-se simular a geração de ruído branco pelos resistores e dispositivos semicondutores bem como o ruído de tremulação e as características de distorção do circuito, neste caso geralmente é fornecida uma função de transferência baseada na análise, dentro da faixa de frequências especificada pelo usuário, do circuito linear resultante do cálculo do ponto de operação CC e dos modelos linearizados de pequenos sinais dos dispositivos não lineares do circuito.

As soluções CC e transiente são obtidas por um processo iterativo que termina quando as correntes dos ramos não lineares convergem para uma tolerância de 0,1% ou 1pA (o maior dos

dois). Quando o algoritmo não consegue convergir para uma solução o programa fornece as últimas tensões senoidais e encerra o trabalho, o que não significa, contudo, que estas tensões sejam a solução correta ou sequer estejam perto da mesma.

A descrição do circuito é feita por meio de:

-> um subconjunto de registros de elementos que definem a topologia do circuito e os valores dos elementos; e

-> um subconjunto de registros de controle que definem os parâmetros dos modelos e controlam o andamento do programa.

4.2.2-Programa HILO:

O HILO-3 é um programa para a simulação de circuitos digitais de suporte ao projeto e o teste de novos circuitos [25]. Este programa é composto por uma família integrada de ferramentas de projeto lógico que possibilita as simulações a níveis funcional e estrutural bem como a geração de testes automáticos para o engenheiro de sistemas digitais.

Este conjunto de ferramentas computacionais para a simulação e a geração de testes é capaz de:

a) modelar virtualmente qualquer sistema ou circuito eletrônico digital;

b) simular o modelo do circuito com formas de onda em suas entradas;

c) prever o funcionamento do circuito simulado com o estímulo anteriormente citado; e

d) gerar uma lista de vetores de teste que pode ser usada para programar um equipamento automático de teste para testar o circuito após sua fabricação.

4.3. Estrutura Geral do Projeto e Simulação de Circuitos VLSI

O projeto de um circuito integrado começa com a descrição funcional do circuito passando por etapas como o projeto a nível de arquitetura, lógico e de transistores e indo até o início da confecção das máscaras.

Nestas etapas deve-se cuidar para que as velocidades sejam adequadas ao bom funcionamento do circuito e assegurar que o mesmo poderá ser fabricado e testado a um custo razoável.

Para que todas estas garantias possam ser dadas é claro que uma excelente equipe de projeto ajuda, mas não é suficiente.

Como o processo físico de integração de um circuito é caro, não é possível ficar experimentando-os fisicamente, como poderia ser feito com circuitos discretos, pois, o lote de CI que não der certo vai para o lixo.

Felizmente, hoje em dia, existem programas de simulação, como os vistos anteriormente neste capítulo, que possibilitam ao projetista levar seu trabalho a bom termo com maior facilidade e, por reduzir consideravelmente o número de integrações físicas necessárias, diminuir o custo final do projeto.

A meta final deste subitem é apresentar um fluxograma que, de certa forma, represente a materialização das várias etapas de um projeto de CI VLSI e mostre onde se encaixam as etapas

de simulação; este fluxograma é mostrado na figura.11.

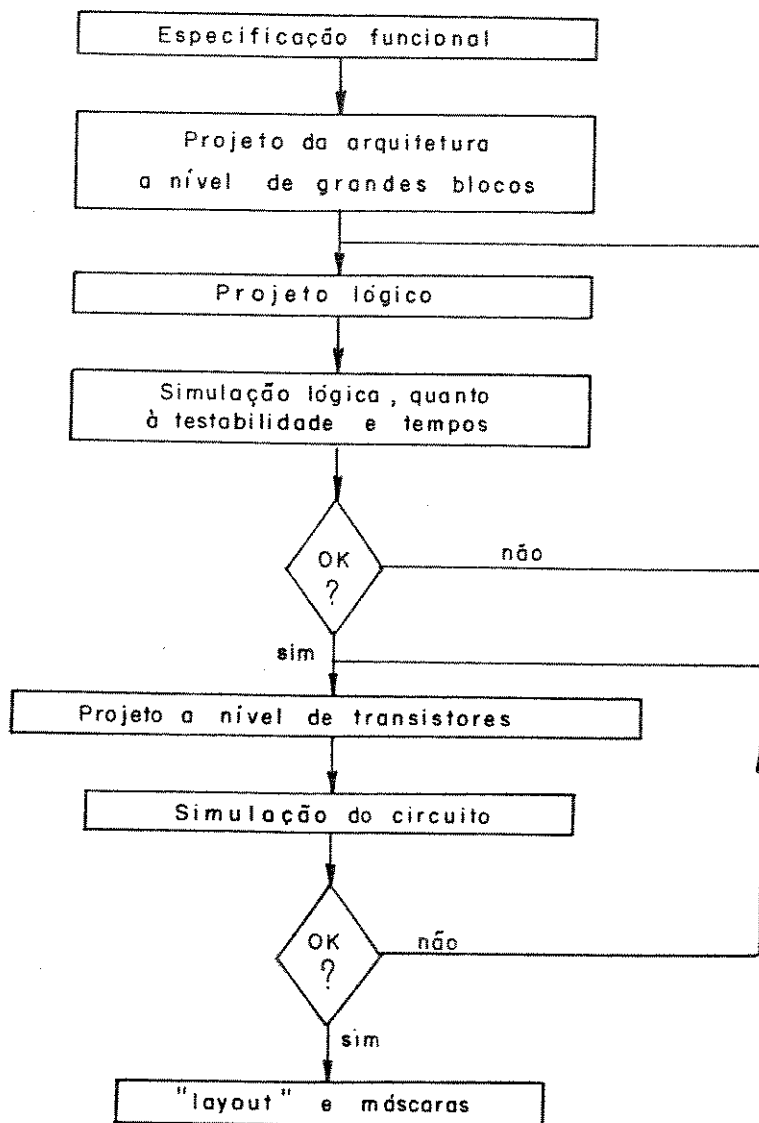


Fig.11 - Estrutura básica de um projeto de CI VSLI



CAPÍTULO IV

UM CIRCUITO INTEGRADO PARA O ACIONAMENTO DE VISORES DE CRISTAL LÍQUIDO

1. Introdução

Após consulta a várias referências [30,56] onde encontravam-se características de inúmeros CI existentes para o acionamento de VCL, constatou-se a existência de circuitos para o acionamento de virtualmente todos os tipos de visores de cristal líquido (VCL) existentes.

Todavia, todos estes CI foram projetados e fabricados no exterior. Somente o fato de se projetar um destes circuitos no Brasil, ainda que dos mais simples, já seria uma contribuição a esta área.

Contudo decidiu-se ir um pouco mais longe. Achou-se por bem fazer uma contribuição de maior alcance, projetando-se um circuito do qual não se tem notícias mesmo no exterior.

Tal circuito constitui-se numa espécie de síntese do que existe no mercado mundial.

A proposta que se faz aqui (fig.1) permite entrada de dados serial ou paralela. Com entrada serial pode-se acionar, matricialmente, até 12 dígitos de 3x3 segmentos ou 11 dígitos de 3x6 segmentos ou 6 dígitos de 5x8 pontos ou 4 dígitos de 7x10



ALGUNS ACIONADORES EXISTENTES		
FABRICANTE	CARACTERÍSTICAS	ACIONAMENTO
<i>HITACHI</i>	HMC640 4bit μ p 32seg.	DIRETO
	HD43160 control./ser. até 80 caracteres HD4410X acion. até 80 caract. 20 ou 50 seg.	MULTIPLEXADO
<i>HUGES</i>	HLCD0437 acion./decod. 4dig. 7 seg. HLCD0438 acion. 32seg. ent. ser.	DIRETO
	HLCD0515 acion. 8x25 ent. ser. HLCD0541 acion. 4bit 8x23 ent. par. HLCD0550 acion./control. 8x12 ent. ASCII // HML062 acion. 6dig. 7seg.	MULTIPLEXADO
<i>HOLT</i>	HI8010 30-38 seg. ent. ser. alta tensão	DIRETO
	HI803X acion. 3 ou 4dig. 7seg. ent. // alta tensão	MULTIPEXADO
<i>INTERSIL</i>	ICL71XX 3 $\frac{1}{2}$ dig. 7seg. DVM ICM7211 acion./decod. 4dig. 7seg. ent. BCD ICM7224 acion./decod./cont. 4 $\frac{1}{2}$ dig. 7 seg.	DIRETO
	ICL7139 8 $\frac{1}{2}$ dig. 7seg. DVM ICM7231 8seg. 7dig. ent. // ICM7232 10dig. 7seg. ent. ser. ICM7233 4dig. 16seg. ent. // ICM7234 5dig. 16seg. ent. ser. ICM7280 acion. 10 linhas ICM7281 acion. 30 colunas	MULTIPLEXADO
<i>MOTOROLA</i>	MC145438 acion. 1dig. 7seg. ent. ser.	DIRETO
	MC145000 acion. 4x12 ent. ser.	MULTIPLEXADO
<i>NATIONAL</i>	MM54XX acion. 32seg. ent. ser. MM74HC4543 acion. 1dig. 7seg. ent. //	DIRETO
	COP473 acion. 3x12 ent. ser. MM58538 acion. 8x26 ent. ser. MM58548 acion. 16x16 ent. ser.	MULTIPLEXADO
<i>NEC</i>	7225 acion. 32colunas ent. ser.	DIRETO
	7225 acion. 14x32 ent. ser. 7228 acion. 8x50 ent. ser. 750X acion. VCL μ p 4bit	MULTIPLEXADO
<i>OKI</i>	MSM5265GS acion. 160seg. ent. ser.	DIRETO
	MSM5260GS acion. 80 lin./col. ent. ser MSM6222GS acion./control. 16x40 ent. // 4 ou 8 bits	MULTIPLEXADO
<i>PHILIPS</i>	PCE2112 acion. 32seg. ent. ser.	DIRETO
	PCE2111 acion. 2x32 ent. ser.	MULTIPLEXADO
<i>TELEDYNE</i>	TSC71XX 3 $\frac{1}{2}$ dig. 7seg. DVM TSC7211 acion./decod. 4dig. 7seg. ent. BCS ou //	DIRETO
	TSC805 3 $\frac{1}{2}$ dig. 7seg. DVM	MULTIPLEXADO

Circuito Proposto - Entrada ASCII - Acionamento Multiplexado	
ENTRADA SERIAL	ENTRADA PARALELA
12 dígitos de 9 segmentos	10 dígitos de 9 segmentos
11 dígitos de 18 segmentos	9 dígitos de 18 segmentos
6 dígitos de 5x8 pontos	5 dígitos de 5x8 pontos
4 dígitos de 7x10 pontos	3 dígitos de 7x10 pontos

Figura 1 - Comparação entre alguns acionadores existentes e o proposto.



pontos. Com entrada paralela pode-se acionar, também matricialmente, até 10 dígitos de 3x3 segmentos ou 9 dígitos de 3x6 segmentos ou 5 dígitos de 5x8 pontos ou 3 dígitos de 7x10 pontos.

Neste capítulo descreve-se o circuito proposto e, para tanto, inicia-se com uma descrição geral do subsistema integrável detalhando-o a nível de suas partições funcionais e das condições de contorno do projeto.

A seguir é feito um detalhamento de cada uma das partições, seus projetos e suas peculiaridades.

2.Considerações iniciais

Neste ponto inicia-se o projeto do CI proposto. De posse das informações até agora analisadas precisa-se definir o que se deseja fazer e como é possível atingir este objetivo.

Basicamente, é preciso que se opte por uma tecnologia para a integração do subsistema, por um tipo de encapsulamento e por uma forma de seleção dos modos de operação.

Pelas características de baixo consumo de potência e baixa frequência de operação dos visores de cristal líquido (VCL) bem como a conveniência de portabilidade do sistema, optou-se por uma tecnologia CMOS para o projeto em questão.

Posteriormente surgiu a possibilidade de se fabricar o subsistema através do primeiro projeto multiusuário (PMU) que visa racionalizar os custos de produção dos CI pela fabricação de vários circuitos numa mesma lâmina [13].

Neste projeto, patrocinado pelo CTI-SEI, pelo CPqD da Telebras, pela Itaucom, pela SID-VSI e pela Elebra, conseguiu-se

uma área na qual será implementada uma partição do subsistema aqui proposto.

A tecnologia utilizada no PMU é uma tecnologia CMOS de 3um com porta auto-alinhada de silício e um nível de metalização, o que é perfeitamente compatível com as especificações inicialmente feitas para o circuito.

Ainda no PMU, tem-se dois tipos de encapsulamento disponíveis, sendo o maior deles um encapsulamento cerâmico de 48 pinos.

Considerando isto as entradas e saídas do circuito foram limitadas a estes 48 pinos conforme mostra a figura 2.

Outra decisão a ser tomada é como fazer a seleção entre as várias opções de entradas e saídas; esta seleção poderia ser feita por "software" ou por "hardware".

A seleção por "software" é indubitavelmente mais elegante e mais flexível mas tem dois grandes inconvenientes, quais sejam: consome um maior número de pinos externos e aumenta a complexidade da lógica necessária para controlar o subsistema integrável.

A seleção por "hardware", embora não tão elegante e certamente menos flexível que a anterior, tem as vantagens de minimizar o número de pinos externos necessários e simplificar, sensivelmente, a lógica de controle necessária.

Comparando-se os dois modos de seleção acima deve-se ter em conta os seguintes critérios:

a) a simplicidade do circuito, além de facilitar e acelerar o projeto aumenta a confiabilidade do mesmo e o rendimento da produção;

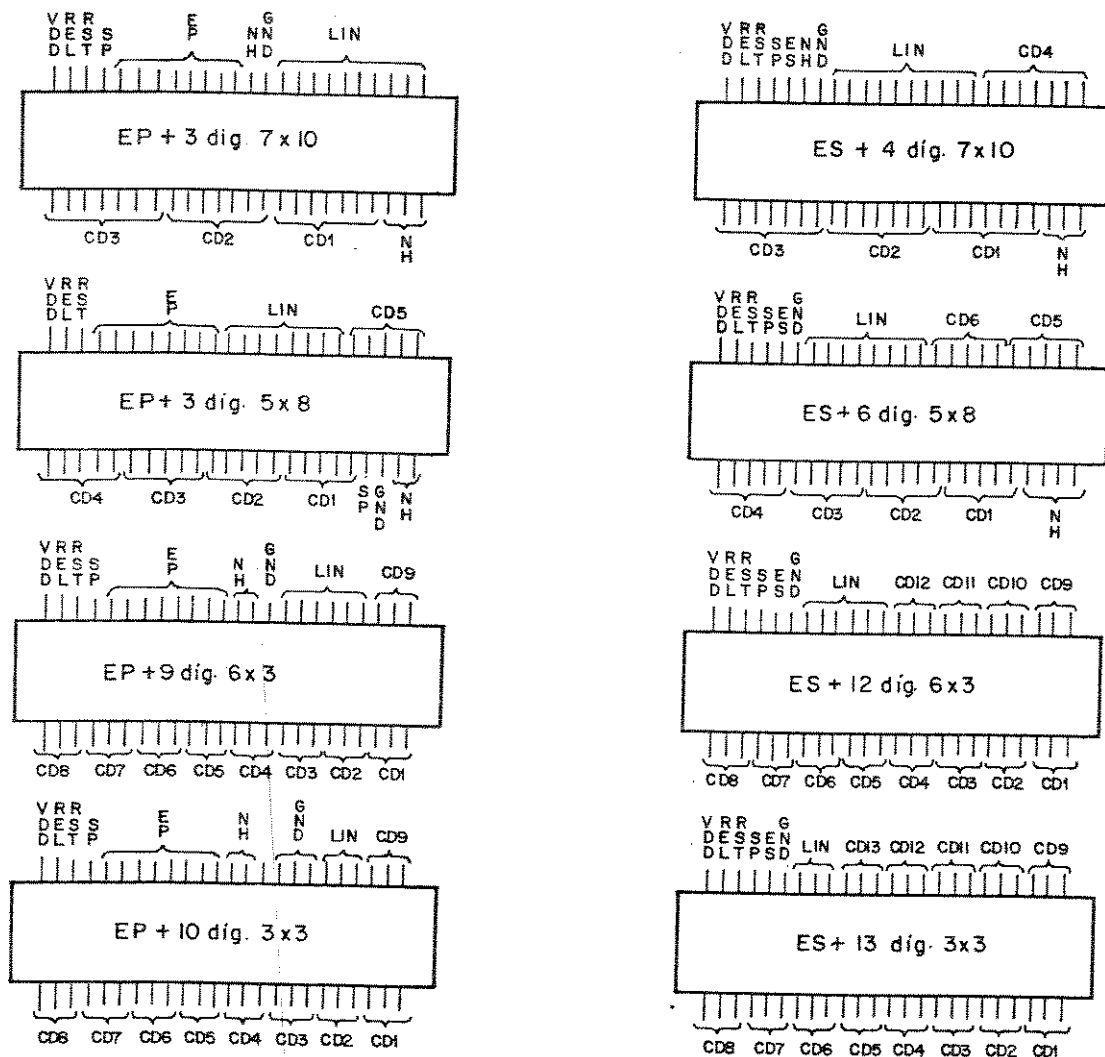


Figura 2 - Exemplo dos possíveis encapsulamentos

- Legenda:
- VDD - entrada da tensão de alimentação (5V)
 - RLL - entrada para o sinal de relógio
 - RST - entrada do sinal de "reset"
 - SP - entrada do pulso seletor da pastilha
 - EP - entradas de dados paralelos
 - NH - pino não habilitado (sem função)
 - GND - pino de ligação do aterramento do circuito
 - LIN - pinos de saída para os sinais de seleção de linha
 - CDx - pinos de saída das informações para as colunas do dígito x
 - ES - entrada de dados serial

b) o excessivo aumento no número de pinos externos, entre outros problemas, também reduz o rendimento da produção;

c) a flexibilidade na seleção é uma coisa desejável, mas, uma vez definido o sistema ao qual será ligado o circuito esta flexibilidade torna-se totalmente desnecessária, isto é, ela só é necessária a nível de fabricação, a nível de comércio torna-se apenas desejável;

d) embora a elegância seja uma coisa desejável em tudo que se faz na vida, na maioria das vezes ela é desprezível em favor da eficiência, especialmente quando se fala em termos técnicos.

Portanto, optou-se pela seleção por "hardware" via máscara de metalização durante o processamento do CI.

Finalmente, é preciso definir o subsistema a ser integrado.

Basicamente deseja-se que a partir da aplicação de um conjunto de sinais (que represente a informação a ser mostrada) à entrada do circuito, este conjunto de sinais seja adequadamente tratado de forma a gerar, na saída do circuito, outro conjunto de sinais, o qual possibilite a excitação do visor (VCL) de modo a que um observador possa ler no visor a informação correspondente ao conjunto de sinais aplicados à entrada do circuito.

Para tanto será preciso uma memória tipo ROM para a armazenagem das informações possíveis e uma vez definidos os sinais de entrada para que se obtenha dela as informações a serem visualizadas.

Se os sinais de entrada do circuito forem imaginados como sendo já o endereço para a ROM, então desde que os sinais de

entrada estejam em paralelo é só aplica-los à ROM, caso estejam em série será necessário um registrador de deslocamento serial/paralelo na entrada de modo a paralelizar estes sinais e aplica-los, posteriormente, ao barramento de endereços da ROM.

As informações obtidas da ROM deverão ser tratadas de alguma forma para que se obtenha a tensão alternada necessária ao acionamento do visor de cristal líquido (VCL).

Para tanto será usada uma RAM que irá armazenar, temporariamente, as informações atuais dos diversos dígitos do VCL, fornecendo-as ao mesmo segundo a lógica do acionador de colunas. Serão usados, também, um circuito acionador de linhas que estabelecerá qual a linha a ser acionada num determinado instante e um circuito inversor de polaridade que fará com que a polaridade das tensões sobre o VCL invertam-se a cada "varrida" do visor.

Os três seletores acima (de coluna, de linha e de polaridade) atuarão sobre um circuito gerador de níveis de tensão, manipulando as tensões geradas nesse circuito de forma a aplicá-las ao VCL.

Das considerações acima foi obtido um subsistema integrável como o da figura 3 o qual foi submetido a uma simulação funcional e considerado aceitável.

3. Descrição das partições

3.1- Introdução

Das considerações feitas no ítem anterior chegou-se a um subsistema integrável como o da fig.3. Tal subsistema é com-

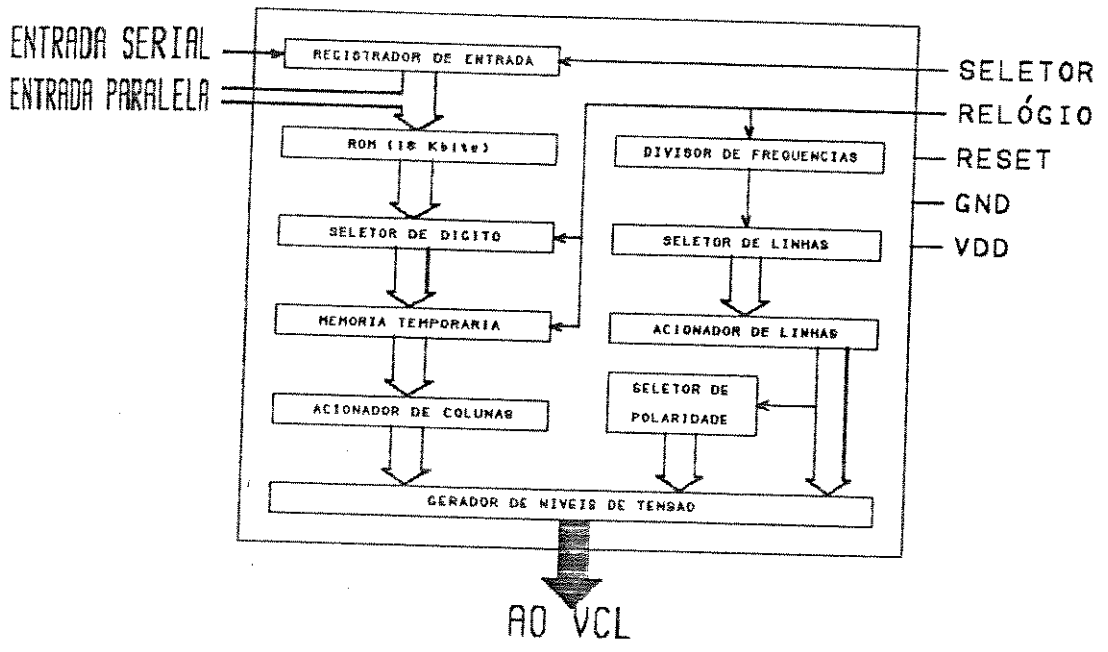


Figura 3 - Arquitetura do circuito proposto.

posto por um registrador de entrada, uma memória permanente (ROM) de 18Kbits, um seletor de dígito e um conjunto de registradores que formam a memória temporária (RAM), três seletores (um de linha, outro de coluna e outro de polaridade) e um gerador de níveis de tensão para o VCL [50].

A seguir, descreve-se cada uma destas partições em maiores detalhes.

3.2-Registrador de Entrada

O registrador de entrada (fig.4) é composto por um registrador de deslocamento de oito estágios, com entrada serial e saída paralela, e um contador de quatro estágios [15].

Caso os dados de entrada sejam paralelos este registrador é desativado, isto é, quando for feita a metalização do circuito esta parte não constará da máscara e os oito pinos da entrada paralela serão ligados diretamente aos pontos de saída do registrador de deslocamento e o pino de seleção da pastilha diretamente ao sinal de controle de entrada de dados.

Caso os dados de entrada sejam seriais tem-se uma entrada serial DES por onde entrarão os dados no registrador de deslocamento e uma entrada de seleção SP que servirá de relógio tanto para o registrador de deslocamento quanto para o contador; este, por sua vez, serve para indicar quando todos os dados já entraram no registrador de deslocamento e gera o pulso CED que comandará a transferência dos dados para o barramento de endereços da memória permanente e desencadeará o processo de transferência das informações para o VCL.

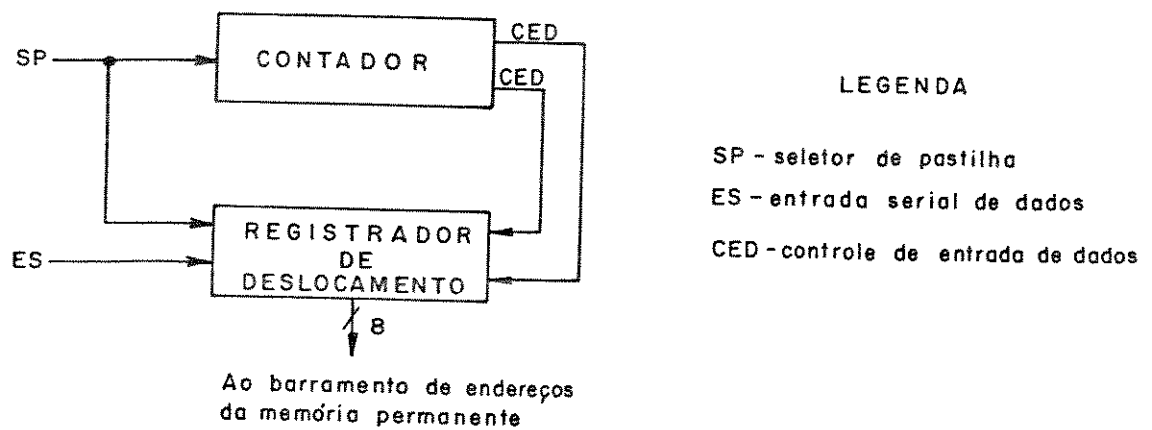
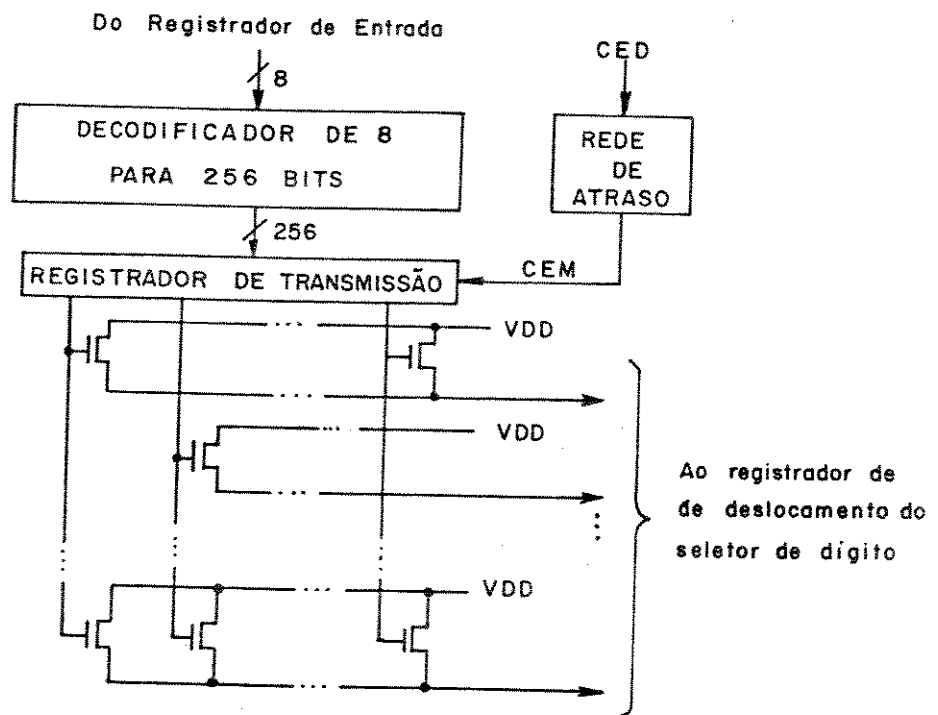


FIGURA 4 - Diagrama do Registrador de Entrada



- LEGENDA
- CED - controle de entrada de dados
 - CEM - controle de entrada da memória
 - VDD - tensão de alimentação (5V)

FIGURA 5 - Exemplo de Memória Permanente.

3.3-Memória Permanente

A memória permanente deverá ter 18Kbits (256x72) com um tempo de resposta menor ou igual a 5 μ s. Esta memória não foi projetada porque isto complicaria muito o projeto do subsistema proposto, por existirem inúmeros projetos deste tipo disponíveis e por não ser este o objetivo deste trabalho, porém, na figura 5 é fornecido um esquema possível para esta memória.

Nesta figura os dados de entrada, já paralelizados, são aplicados a um decodificador de 8 para 256, ativando a linha da memória onde se encontram armazenadas as informações relativas ao endereço em questão e estas informações são, assim, colocadas no barramento de dados da memória permanente.

3.4-Seletor de Dígito

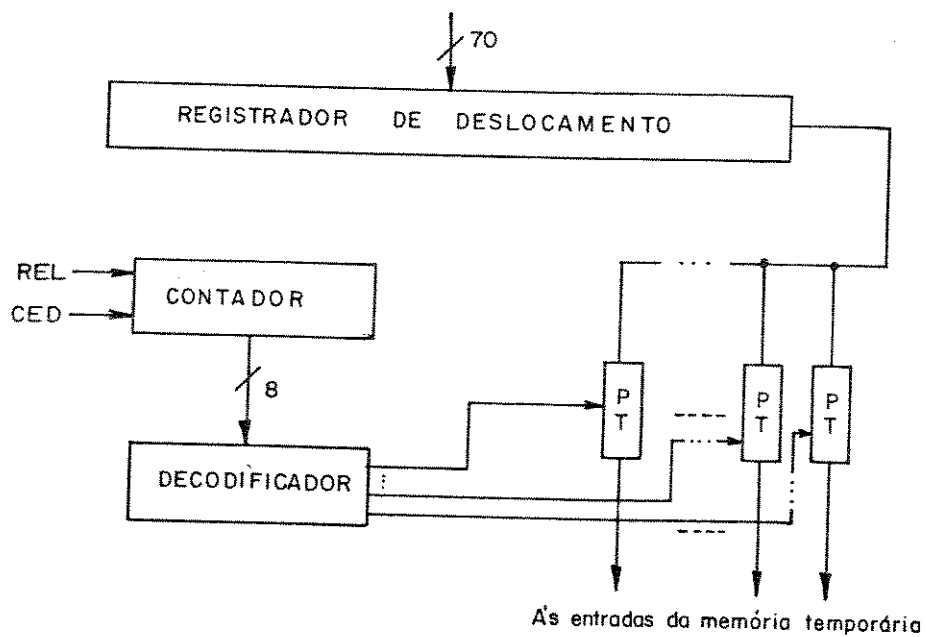
As informações vindas da memória permanente são transferidas a um registrador de deslocamento com entrada paralela e saída serial. Um controlador, composto por um contador e um decodificador (fig.6), indica a posição da memória temporária em que devem ser colocadas as informações do registrador de deslocamento.

3.5-Memória Temporária

As informações provenientes do seletor de dígito são armazenadas na memória temporária (fig.7). Esta memória é composta por vários registradores de deslocamento de tamanhos programá-

veis (via máscara de metalização) para cada tipo de visor a ser acionado.

Os registradores de deslocamento tem entrada e saída seriais formando um anel de modo a conservar as informações nele armazenadas. Os últimos estágios (o número depende do tipo de visor) tem derivações para saídas paralelas das informações que irão ao seletor de colunas.



LEGENDA

- REL - relógio
- CED - controle de entrada de dados
- PT - porta de transmissão

FIGURA 6 - Diagrama do Seletor de Dígitos

3.6-Outros Seletores

Além do seletor de dígito, comentado em 3.4, existem outros três seletores, quais sejam; o seletor de informações para

as colunas (aqui chamado simplesmente de seletor de colunas - SC), o seletor de linhas (SL) e o seletor de polaridade (SP).

O SC (fig.8) é composto de um contador e dois conjuntos de portas de transmissão que servem para amostrar as informações contidas na memória temporária e transferí-las ao gerador de níveis de tensão. Estas informações é que indicarão se o elemento de imagem do VCL está aceso ou apagado.

O SL (fig.9) é composto por um divisor de frequências, um contador e um decodificador. Nesta partição o divisor de frequências serve para adequar o relógio do contador ao resto do circuito, isto porque, como os registradores de deslocamento da memória temporária formam um anel, as informações neles contidas deslocam-se em série só chegando na posição correta para transferência com um período igual ao número de colunas do VCL vezes o período do relógio principal do circuito. O contador em conjunto com o decodificador é que indicarão a linha em que as informações vindas do SC deverão ser colocadas.

O SP (fig.10) é composto por um registrador tipo D com a saída negada (QB) realimentada para a entrada de modo a inverter o estado de suas saídas Q e QB a cada pulso do seu relógio. O relógio deste seletor é, por sua vez, derivado do SL de modo que a cada vez que o SL complete um ciclo de varredura, isto é, acione todas as linhas (uma por vez), haja uma inversão na polaridade das tensões aplicadas ao VCL.

Os sinais provenientes destes seletores, a exemplo do SC, são transferidos ao gerador de níveis de tensão.

Estes seletores são também programados via máscara de metalização de modo a se adaptar ao tipo de visor a ser acionado.

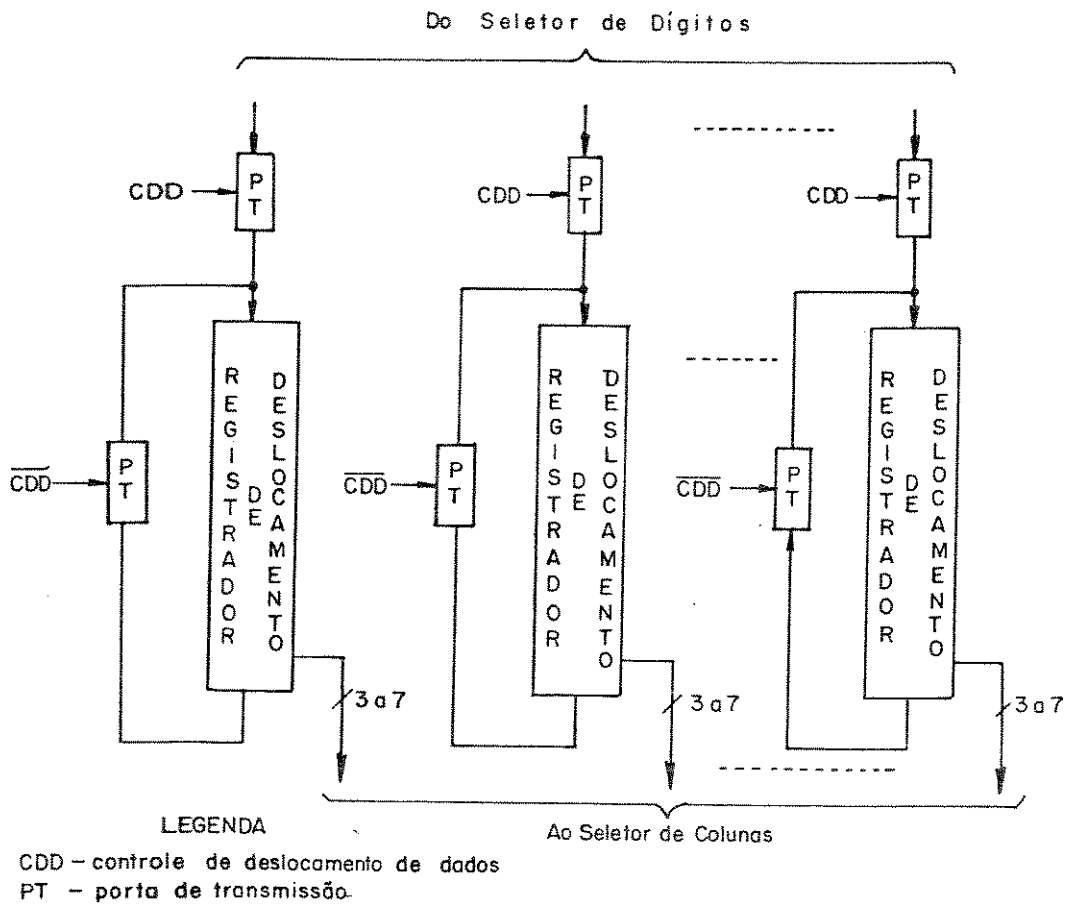


FIGURA 7 - Diagrama da Memória Temporária

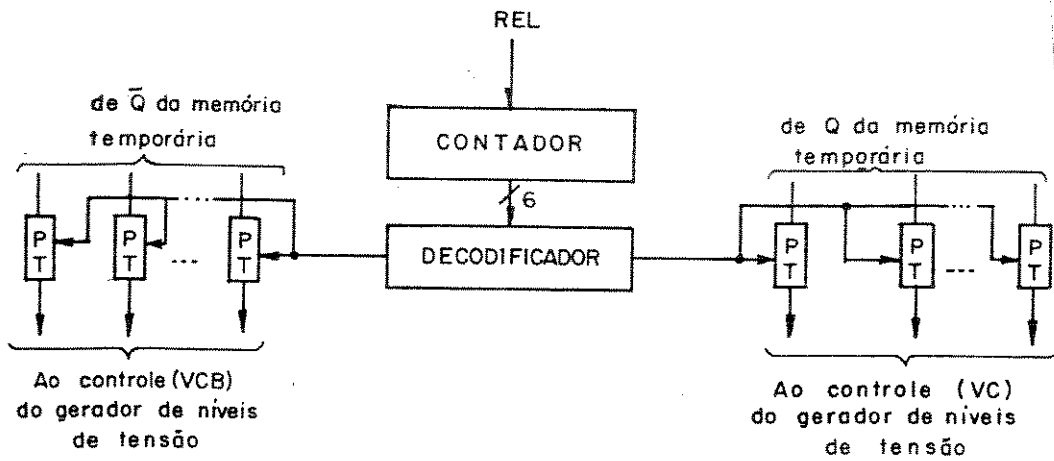


FIGURA 8 - Diagrama do Seletor de Colunas

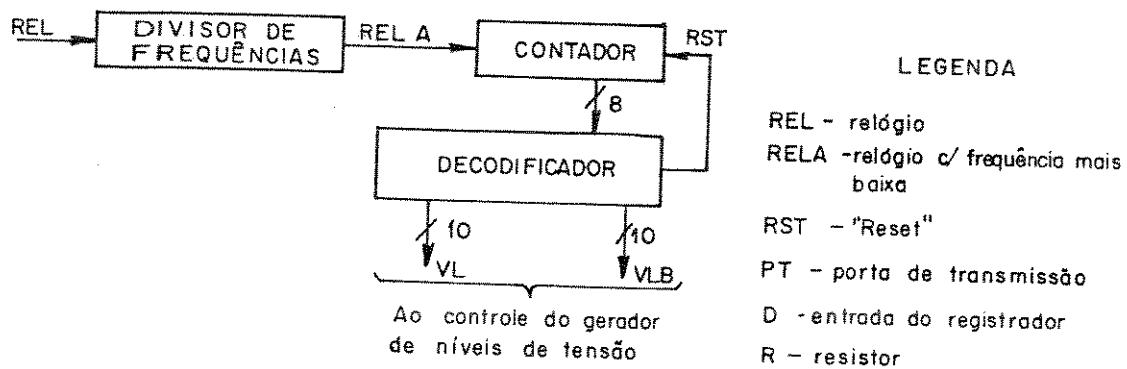


FIGURA 9 - Diagrama do seletor de linhas

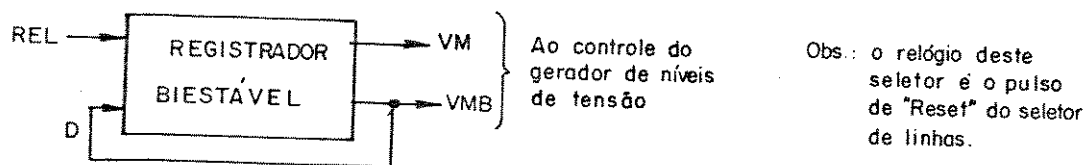


FIGURA 10 - Diagrama do seletor de polaridade

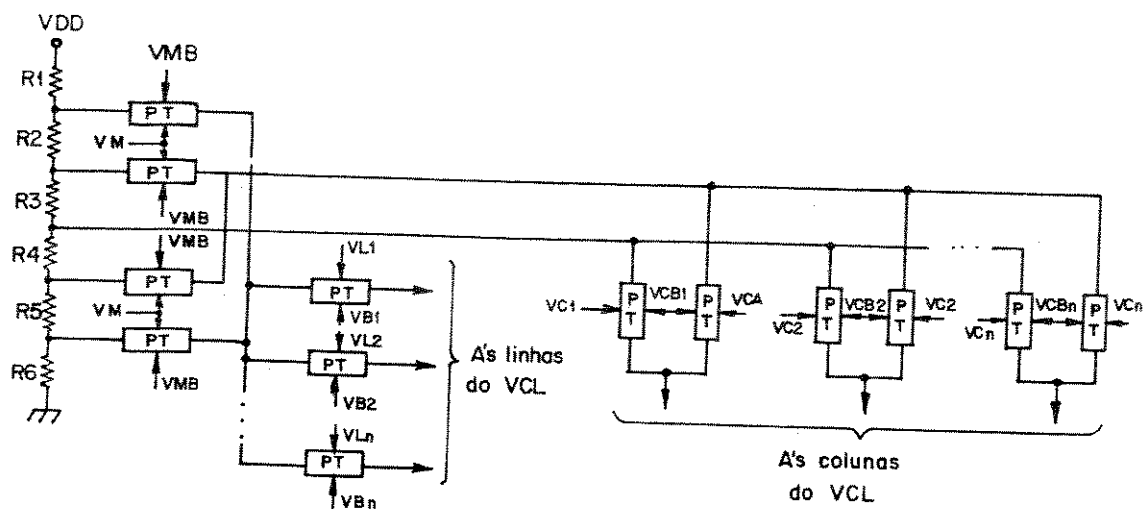


FIGURA 11 - Diagrama do gerador de níveis de tensão



3.7-Gerador de Níveis de Tensão

O gerador de níveis de tensão (fig.11) é composto por um divisor de tensão resistivo e um conjunto de portas de transmissão.

O gerador de níveis de tensão recebe os sinais provenientes dos seletores discutidos em 3.6 como sendo o controle de suas portas de transmissão.

Estes sinais, que foram previamente tratados, atuam nas portas de transmissão do gerador de níveis de tensão de modo a aplicar às linhas e colunas do VCL uma determinada diferença de potencial do divisor com uma dada polaridade.

A diferença de potencial recém referida, traduzida pela diferença entre as tensões aplicada às linhas e colunas do VCL é que definirão se um determinado elemento de imagem está aceso ou apagado.

3.8-Algumas Estruturas

Como este circuito é bastante repetitivo, foram calculadas algumas estruturas básicas sendo estas, posteriormente, utilizadas onde se fizessem necessárias no circuito.

As estruturas básicas calculadas foram um resistor, um inversor, uma porta de transmissão, uma porta NOU e uma porta NE, ambas de duas entradas.

Estas estruturas foram então usadas para formar um registrador de deslocamento tipo D e, com este, um contador.

Com as sete estruturas básicas recém mencionadas foi composto o subsistema integrável, objeto deste trabalho.

3.8.1-Cálculo do Resistor

Para que sejam obtidos os níveis de tensão desejados no gerador de níveis de tensão são necessários 6 resistores, sendo dois de 2,5 kilo-ohms e quatro de 5 kilo-ohms.

Como o mais importante neste divisor é a relação entre as tensões finais e não o valor exato de cada resistor, os resistores de 5 kilo-ohms serão feitos a partir da ligação em série de dois resistores de 2,5 kilo-ohms de modo a garantir, tanto quanto possível, a relação de 1:2 entre eles [11,16].

Isto leva ao cálculo apenas do resistor de 2,5 kilo-ohms cujo "layout" pode ser visto na figura 12.

Considerando que a resistência média por quadrado da camada de difusão P+ na tecnologia disponível (fig.22) é de 90 ohms por quadrado [13] e que a resistência entre contato e esta difusão, na mesma tecnologia, é desprezível face ao valor do resistor e o erro que se pode cometer devido a variações do processo, obtém-se para comprimento do resistor:

$$L = 2500 / 90 = 27,78 \text{ ou aproximadamente } 28 \text{ quadrados.}$$

Com os arredondamentos feitos comete-se um erro máximo de 1,2% sobre o valor absoluto desejado para o resistor.

Todavia, como já foi mencionado, o valor absoluto dos resistores não é de grande importância. Além disso, os erros nos

valores absolutos dos resistores devido a variações de processo podem chegar facilmente a 10% ou 20%, portanto, a utilização de resistores com 28 quadrados (fig.12), nesta tecnologia, deverá produzir o efeito desejado no divisor de tensões do gerador de níveis de tensão.

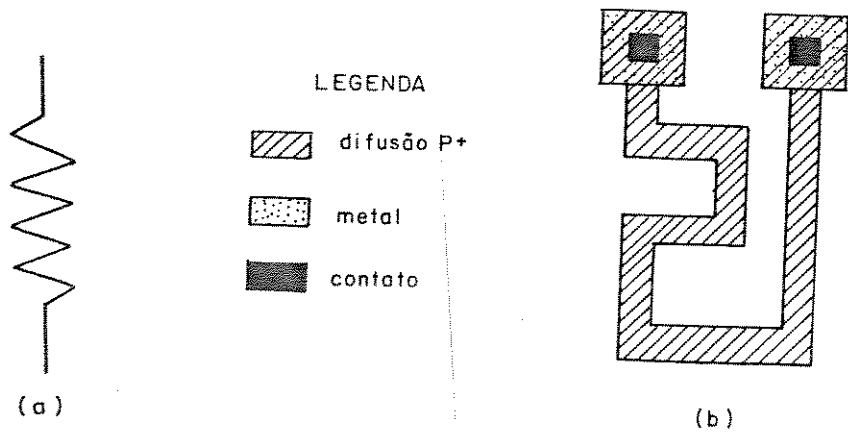


FIGURA 12 - Resistor (a) símbolo elétrico (b) "layout"

3.8.2-Cálculo do Inversor

O cálculo do inversor foi feito de acordo com a sequência sugerida na ref.51. Deste cálculo (mostrado a seguir) foram obtidos valores iniciais para W e L dos transistores a partir dos quais foi obtido um primeiro "layout" do inversor. A seguir estas dimensões foram escaladas para um melhor aproveitamento da tecnologia disponível (ref.13) e o inversor foi simulado eletri-



camente com o auxílio do programa SPICE-2 onde suas dimensões foram reajustadas através de sucessivas interações entre o "layout" e a simulação do circuito, obtendo-se as dimensões finais dos transistores. O "layout" final deste inversor pode ser visto na figura 13. Os dados utilizados neste e nos outros cálculos deste trabalho encontram-se resumidos na figura 22.

$$CL = \epsilon_0 \epsilon_{ox} WL/t_{ox} = 742,26 E 6 WL$$

$$\beta = \mu \epsilon_0 \epsilon_{ox} / t_{ox} L$$

$$\beta_n = 53,81 E -6 \left(\frac{W_n}{L_n} \right)$$

$$\beta_p = 21,53 E -6 \left(\frac{W_p}{L_p} \right)$$

utilizando-se $VDD = 5V$, tem-se $DELTA=DELTA_n=DELTA_p$ dado por:

$$I1 = (|Vt| - 0,1VDD) / (VDD - |Vt|)$$

$$I2 = 0,5 \ln \{ [19VDD - 20|Vt|] / VDD \}$$

$$DELTA = I1 + I2 = 1,43$$

expressando o tempo de transição por:

$$t = 2 DELTA CL / \beta (VDD - |Vt|)$$

tem-se, para tempo de subida :

$$ts = 2 DELTA CL / \beta_p (VDD - |Vt|) = 22,41 (L_p)^2$$



e para tempo de descida :

$$t_d = 2 \text{ DELTA } CL / \beta_n (V_{DD} - |V_{t1}|) = 8,97 (L_n)^2$$

fixando $t_s = t_d = < 50\text{ns}$, tem-se

$$L_p = (50E-9 / 22,41)^{1/2} = 47,2 \mu\text{m}$$

$$L_n = (50E-9 / 8,97)^{1/2} = 74,7 \mu\text{m}$$

arbitrando $W_n = 40 \mu\text{m}$ obtém-se $\beta_n = 28,83E-6$ e igualando-se β_n a β_p obtém-se $W_p = 63,2 \mu\text{m}$.

Para se obter o mínimo em termos de dimensões para a tecnologia disponível estes W e L foram escalados para:

$$W_n = 4 \mu\text{m} , L_n = 7,5 \mu\text{m} , W_p = 6,3 \mu\text{m} , L_p = 4,7 \mu\text{m}.$$

O inversor com estas dimensões leva aos seguintes valores teóricos:

$$t_s = t_d = 0,5\text{ns} \text{ e } t_r = (t_s + t_d) / 4 = 0,25\text{ns}.$$

Com este inversor funcionando a 200KHz, o que é possível devido ao seu tempo de resposta e já é muito mais veloz do que será necessário ao circuito proposto tem-se, considerando que $CL \leq 0,5\text{pF}$, $t_p \geq 5 \mu\text{s}$ e $V_{DD} = 5\text{V}$, a potência dissipada pelo inversor dada por:

$$P_d = \frac{V_{DD}^2 CL}{t_p} \leq 2,5 \mu\text{W}$$

e a corrente por ele drenada dada por:

$$I_{DS} = \frac{P_d}{V_{DS}} \leq 0,5 \mu\text{A}$$



Admitindo-se estes cálculos adequados às necessidades do circuito proposto passou-se à simulação elétrica deste inversor básico (apêndice) o que levou, após algumas iterações entre a simulação e o "layout", aos seguintes valores de W e L, os quais foram utilizados no "layout" final do inversor que, como foi dito, pode ser visto na figura 13.

$$W_n = 4 \mu m, L_n = 7,8 \mu m, W_p = 5,1 \mu m \text{ e } L_p = 4 \mu m.$$

3.8.3-Cálculo da Porta de Transmissão

Os cálculos da porta de transmissão são bastante semelhantes aos recém discutidos para o inversor e após um procedimento análogo ao já mencionado foram obtidas as seguintes dimensões finais para a porta de transmissão, cujo "layout" é mostrado na figura 14.

$$W_n = 4 \mu m, L_n = 7,8 \mu m, W_p = 5,1 \mu m \text{ e } L_p = 4 \mu m.$$

3.8.4-Cálculos das portas NE e NOU

Sendo a tensão de transição dada por

$$V_{tr} = [RQ \beta_{lf} (VDD - |V_{tp}|) + V_{tn}] / [1 + RQ \beta_{lf}] \quad \text{ref.2}$$

fazendo $\beta_{lf} = 1$ para que as margens de ruído dos transistores N e P sejam aproximadamente iguais, sendo $VDD = 5V$ e $|V_{tp}| = V_{tn} = 0,6V$ obtém-se: $V_{tr} = VDD / 2 = 2,5V$.

Sendo $\beta_{lf} = (n * 2) \beta$ onde n é o número de entradas (no caso duas), então $\beta = 0,25$.

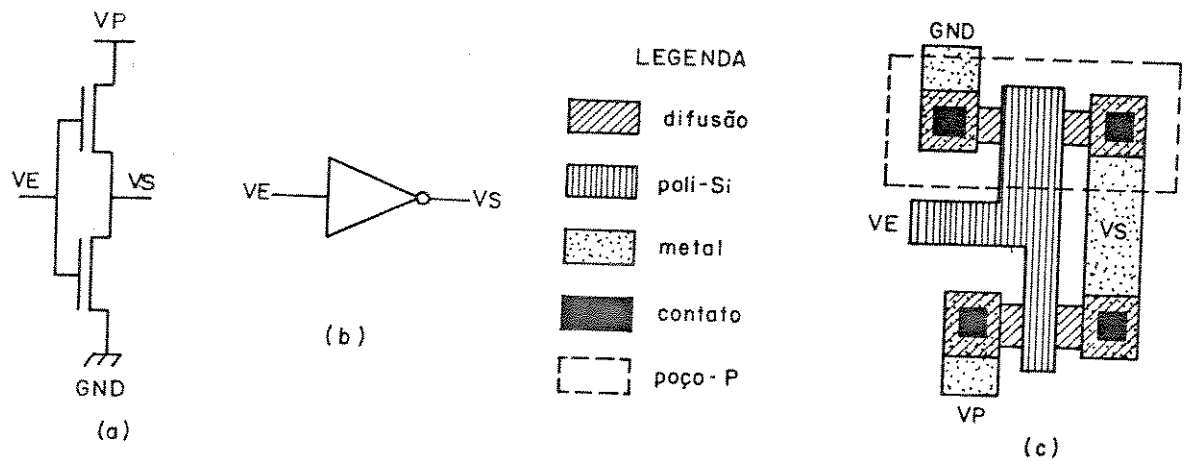


FIGURA 13 - Inversor (a) esquema elétrico (b) símbolo lógico

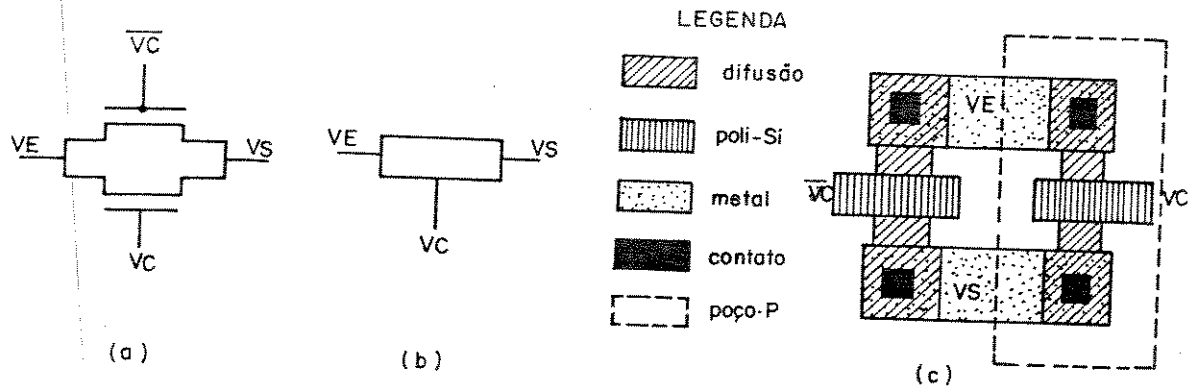
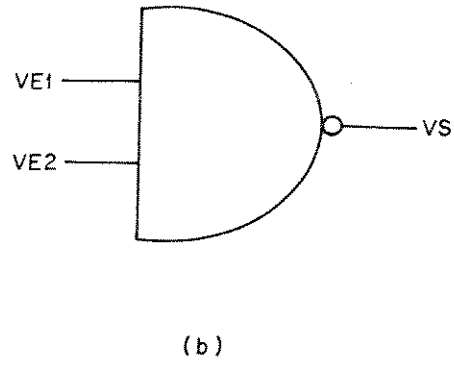
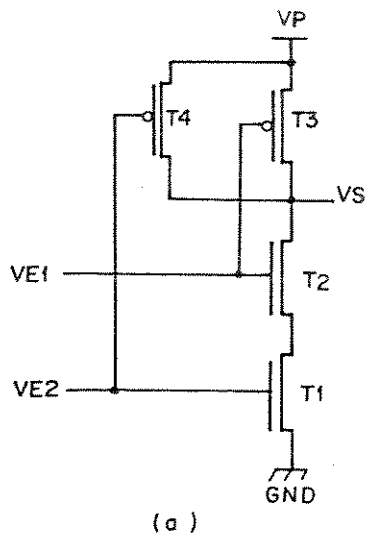







FIGURA 14 - Porta de transmissão (a) esquema elétrico (b) símbolo lógico (c) "layout"



LEGENDA

-  difusão
-  poli-Si
-  metal
-  contato
-  poço P

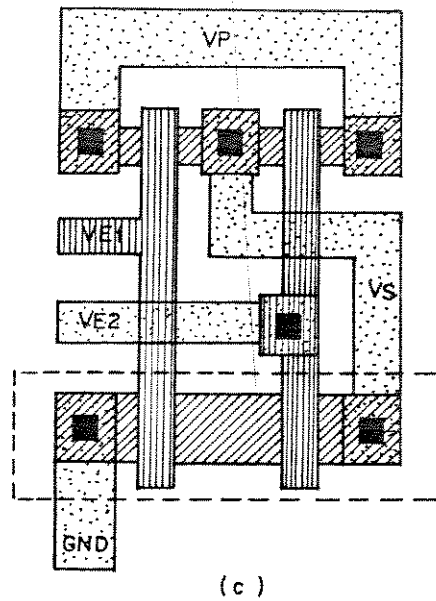
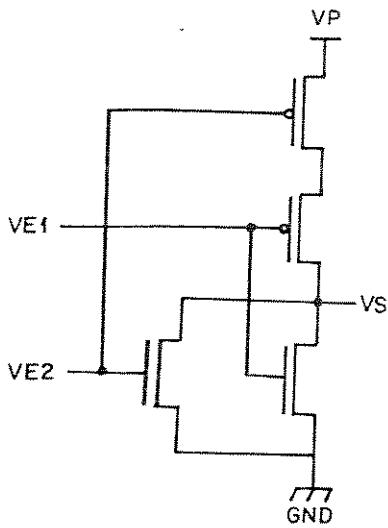
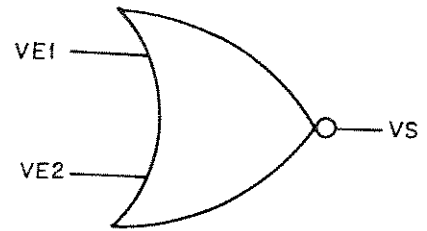


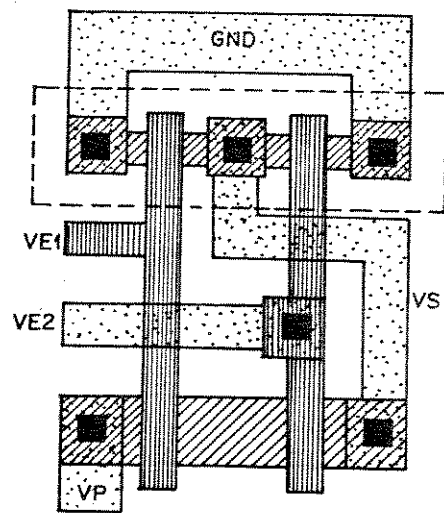
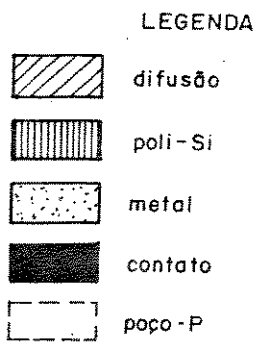
FIGURA 15 - Porta NE de duas entradas
 (a) esquema elétrico
 (b) símbolo lógico
 (c) "layout"



(a)



(b)



(c)

FIGURA 16 - Porta NOU de duas entradas
 (a) esquema elétrico
 (b) símbolo lógico
 (c) "layout"



Sendo, ainda, $\beta = \mu_p W_p L_n / \mu_n W_n L_p$ obtém-se, da figura 15(a):

$$\begin{bmatrix} W_4 & L_1 \\ \text{---} & \text{---} \\ L_4 & W_1 \end{bmatrix} = \begin{bmatrix} W_3 & L_2 \\ \text{---} & \text{---} \\ L_3 & W_2 \end{bmatrix} = \begin{bmatrix} W_4 & L_2 \\ \text{---} & \text{---} \\ L_4 & W_2 \end{bmatrix} = \begin{bmatrix} W_3 & L_1 \\ \text{---} & \text{---} \\ L_3 & W_1 \end{bmatrix} = 0,625$$

Somando membro a membro a expressão acima, tem-se:

$$\begin{bmatrix} L_1 & L_2 \\ \text{---} & \text{---} \\ W_1 & W_2 \end{bmatrix} + \begin{bmatrix} W_3 & W_4 \\ \text{---} & \text{---} \\ L_3 & L_4 \end{bmatrix} = 2,5$$

Sendo $\begin{bmatrix} L_1 & L_2 \\ \text{---} & \text{---} \\ W_1 & W_2 \end{bmatrix} = \begin{pmatrix} L_n \\ \text{---} \\ W_n \end{pmatrix}$ ef

e $\begin{bmatrix} W_3 & W_4 \\ \text{---} & \text{---} \\ L_3 & L_4 \end{bmatrix} = \begin{pmatrix} W_p \\ \text{---} \\ L_p \end{pmatrix}$ ef

obtém-se a relação:

$$W_p L_n = 2,5 W_n L_p \tag{1}$$

Utilizando-se a relação

$$C = CGSN + CGSP [(CGDN + CGDP) (1 + |Av|)] \quad \text{ref.2}$$

e admitindo-se transistores com dimensões mínimas baseados na relação (1) acima, obtém-se:

$$C = 2,772\text{pF.}$$

Computando-se as capacitâncias parasitas das junções chega-se ao valor de:

$$CL = 2,86\text{pF}$$

$$\text{Utilizando-se a expressão } t_d = 1,8 T L_n / W_n (1 - A_n)^2$$

onde

$$T = 2 t_{ox} CL L_n / \epsilon_0 \epsilon_{ox} \mu_n VDD W_n = 21,3E-9$$

$$A_n = V_{tn} / VDD = 0,12$$

$$t_d = 50\text{ns}$$

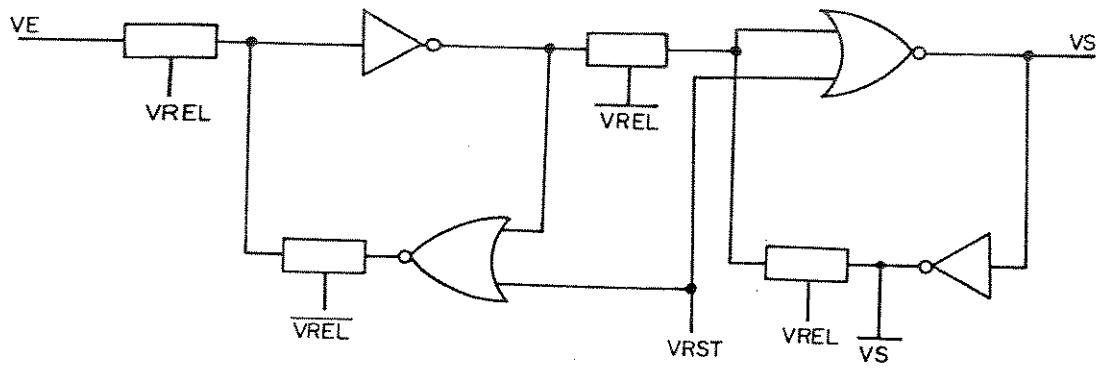
$$\text{Chega-se à relação } W_n / L_n = 1 \quad (2)$$

Utilizando $L_n = L_p = 4 \mu\text{m}$ nas relações (1) e (2) acima tem-se que: $W_n = 4 \mu\text{m}$ e $W_p = 10 \mu\text{m}$.

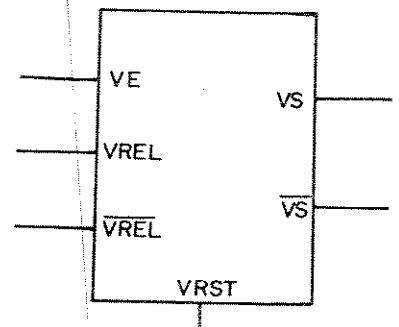
Entrando com estes valores no programa SPICE-2 simula-se esta porta com os parâmetros da ref.13 e, para obter-se os melhores resultados em termos de velocidade, ajustam-se estas dimensões até que se obtenham os seguintes valores finais para os transistores da porta NE de duas entradas cujo "layout" pode ser visto na figura 15:

$$W_n = 4 \mu\text{m} , L_n = 4 \mu\text{m} , W_p = 8 \mu\text{m} \text{ e } L_p = 4 \mu\text{m}.$$

Utilizando-se um raciocínio análogo obtém-se as mesmas dimensões para a porta NOU de duas entradas (fig.16).



(a)



(b)

FIGURA 17 - Registrador tipo "D"
 (a) diagrama lógico
 (b) símbolo lógico

3.8.5-Registrador tipo D e Contador

Uma vez projetadas as estruturas básicas acima, passou-se ao projeto do registrador tipo D e do contador, duas outras estruturas que serão utilizadas com muita frequência na confecção do circuito.

Estas estruturas foram, por conveniência, derivadas das referências [12,15,16,37,38,51].

O registrador tipo D (fig.17) é do tipo CMOS com duas fases de relógio funcionando no modo mestre escravo. Quando a fase R1 está ativa admite-se o dado que estiver presente na entrada D, sendo este dado transferido às saídas Q e QB durante a fase R2 do relógio.

Durante a fase R1 o dado de entrada deve permanecer estável sendo trocado para o próximo dado de entrada somente durante a fase R2.

O contador (fig.18) foi construído a partir do registrador da fig.17 e mais algumas portas de modo a formar um contador síncrono ascendente de até 4 estágios.

Estas estruturas foram simuladas elétrica e logicamente com os programas SPICE-2 e HILO-3, respectivamente, e suas frequências de operação bem como suas consistências lógicas foram verificadas de modo a ajustar seus atrasos.

Um vez feito isto, estas estruturas foram utilizadas, como já foi dito, para a implementação do circuito de acionamento aqui proposto.



3.8.6-Gerador de Níveis de Tensão

O gerador de níveis de tensão consiste de um divisor resistivo e um conjunto de portas de transmissão que possibilitarão a emulação de uma tensão CA com baixo nível CC residual sobre o VCL.

Utilizando-se os resistores e as portas de transmissão calculadas anteriormente simulou-se a estrutura da figura 19 chegando-se ao resultado mostrado na figura 20.

Como pode ser comprovado pelas listagens completas apresentadas no apêndice, o programa SPICE2 tem um compromisso entre o número de transistores a serem simulados e o tempo total de simulação.

A análise da listagem da simulação do contador revela tempos da ordem de uma hora de UCP e 12 horas de máquina para um circuito com pouco mais de 100 transistores.

Este compromisso levou à simulação de um gerador de níveis de tensão para o acionamento de um VCL hipotético contendo 4 elementos de imagem.

Isto é suficiente para que se tenha uma idéia razoavelmente precisa do comportamento do circuito final uma vez que sejam utilizadas as características reais dos elementos de imagem.

Tais características, utilizadas em todo este projeto, foram de um VCL com capacitância equivalente igual a 1,2pF e resistência equivalente igual a 100M Ω .

A figura 20 mostra parte desta simulação onde se pode observar uma tensão CA oscilando entre +3V e -3V para os elemen-

tos de imagem ligados e entre +1V e -1V para os elementos de imagem desligados.

3.8.7-Almofadas de Entrada e Saída

Como almofadas de entrada foram utilizadas estruturas simplificadas tipo AMI, sem "buffers" e com as dimensões adequadas às regras do PMU.

Como almofadas de saída foram utilizadas as mesmas estruturas acima mencionadas acrescidas de "buffers" de saída.

Os "buffers" de saída são necessários porque os sinais gerados pelos transistores de dimensões mínimas usados no circuito de acionamento não são suficientes para estimular os circuitos externos, os quais podem apresentar capacitâncias da ordem de 20pF e resistências de até 10Ω. Para a obtenção dos sinais de saída de amplitudes adequadas os transistores de saída deveriam ser várias vezes maiores que os transistores internos. Contudo, a ligação direta de um transistor deste porte a um de dimensões mínimas não é viável já que este não seria capaz de fornecer o sinal necessário para acionar aquele. Portanto, os "buffers" foram projetados de modo que as dimensões dos transistores dos inversores sucessivos fossem aumentadas progressivamente à razão de 1:3 [2]. Isto resultaria em "buffers" contendo três inversores ligados em cascata sendo o primeiro com larguras três vezes maior que as do inversor de dimensões mínimas, o segundo com o triplo do primeiro e o terceiro com o triplo do segundo. Porém, isto levaria a uma inversão do sinal de saída e, então, foi adicionado um quarto inversor, este de dimensões mínimas, an-



tes do primeiro para a formação, no final, de "buffers" não inversores.

3.9-Esquema de acionamento

Simplificadamente, pode-se entender o esquema de acionamento aqui proposto da seguinte forma (fig.11 e 21) [19,50].

Na figura 11 tem-se as tensões VL, VC e VM; a tensão VL indica se a linha a ela conectada está ativa ou inativa, a tensão VC indica se o elemento de imagem definido pela interconexão entre a linha ativada por VL e a coluna acionada por VC está ligada ou desligada e VM determina qual a diferença de potencial (polaridade) a ser aplicada ao elemento de imagem em questão.

Na figura 21(a) tem-se uma tabela dos sinais lógicos que formam a letra N obtidos dos seletores de polaridade (VM), de linha (VL) e de coluna (VC) que, em conjunto, acionam o gerador de níveis de tensão para o VCL.

Na tabela em questão, sempre que se tiver VM=1 o elemento de imagem que tiver VL e VC correspondentes iguais a 1 estará ligado com a polaridade direta; quando VM=0 o elemento de imagem que tiver VL e VC correspondentes iguais a 0 estará ligado com a polaridade reversa.

Os elementos de imagem das linhas em que VL=0 e VM=1 ou VL=1 e VM=0, independente do estado de VC, terão a tensão a eles imposta na última ativação; esta tensão decresce com a constante RC intrínseca ao cristal líquido utilizado .

Quando $VM=VL=1$ e $VC=0$ o elemento de imagem correspondente estará desligado com polaridade direta e quando $VM=VL=0$ e $VC=1$ estará desligado com polaridade reversa.

Na fig.21(b) tem-se o esquema de ligação das tensões de linha e coluna após passarem pelo gerador de níveis de tensão e na fig.21(c) a sequência de ativação dos VCL, ao longo do tempo, para os sinais mostrados na tabela da fig.21(a).

4.0 Circuito Completo

Finalmente, todo o subsistema integrável foi simulado logicamente, com o programa HILO-3, para testar sua consistência lógica e verificar seus atrasos.

Primeiro foram simuladas, logicamente, as partições já simuladas eletricamente com o programa SPICE-2, para a verificação da consistência lógica destas partições.

A seguir, estas partições foram agrupadas e o subsistema foi simulado a nível lógico sendo adicionadas algumas estruturas para compatibilizar os sinais de controle do fluxo de informações.

Parte da simulação lógica do circuito completo é mostrada na figura 22 para um dígito de 7×10 pontos. Nesta figura destacam-se cada linha do dígito do VCL com uma cor diferente no instante de tempo igual a 56,854 ns de simulação e, ao lado, colocam-se os sinais numa representação deste dígito, para este instante, onde o nível lógico 1, simbolizado por um quadrado preto, representa o correspondente elemento de imagem aceso e o nível lógico 0, simbolizado por um quadrado branco, representa o

correspondente elemento de imagem apagado.

Uma vez obtidos resultados satisfatórios das simulações lógica elétrica do circuito (fig.23) foi feita uma partição do mesmo que será implementada através do PMU [13], como já foi mencionado.

O PMU colocou à disposição uma tecnologia CMOS de 3um com porta de silício auto alinhada e um nível de metal. Na figura 24 tem-se um resumo dos parâmetros desta tecnologia e na figura 25 o "layout" da partição que será fabricada.

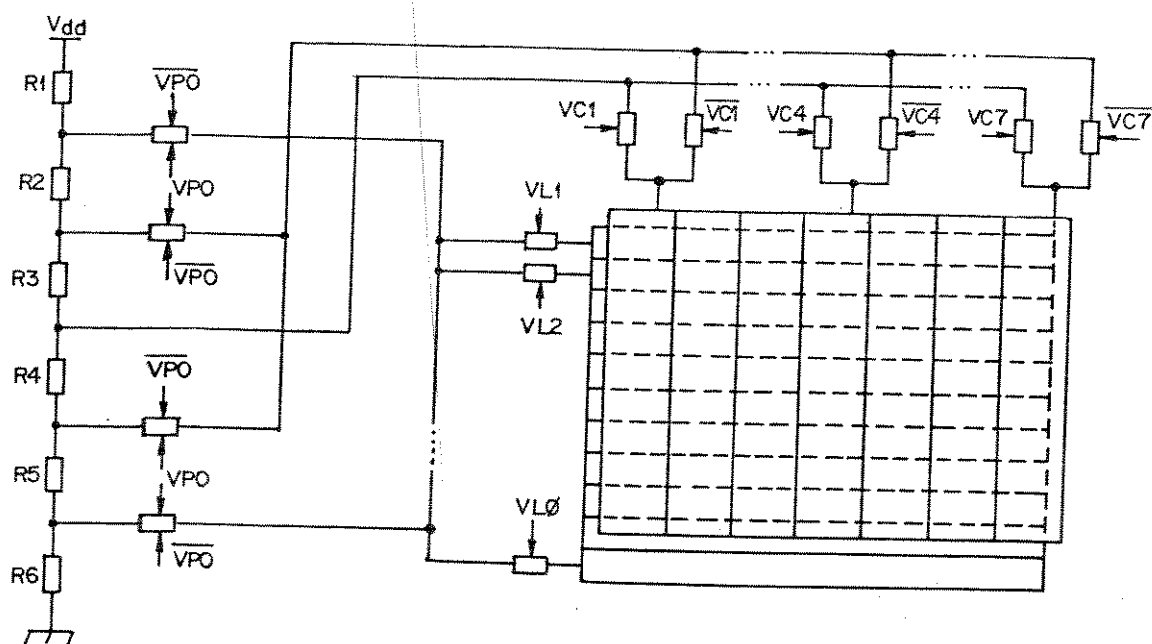


FIGURA 19 - Estrutura do gerador de níveis de tensão e suas conexões para o acionamento do visor de cristal líquido.

TESTE DO GERADOR DE NIVEIS DE TENSÃO

NOEN

TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGENE

- * : V(11,9) : W11
- + : V(11,10) : W12
- * : V(12,9) : W13
- * : V(12,10) : W14
- 0 : V(19) : W15

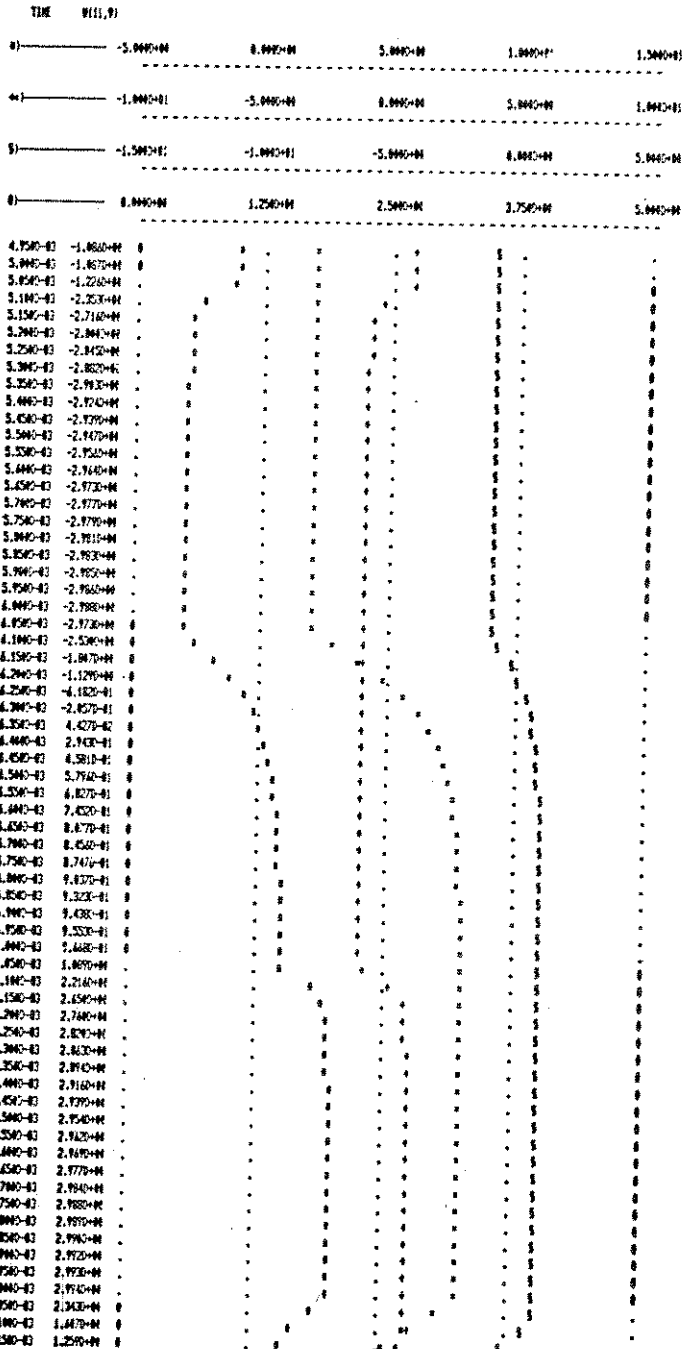
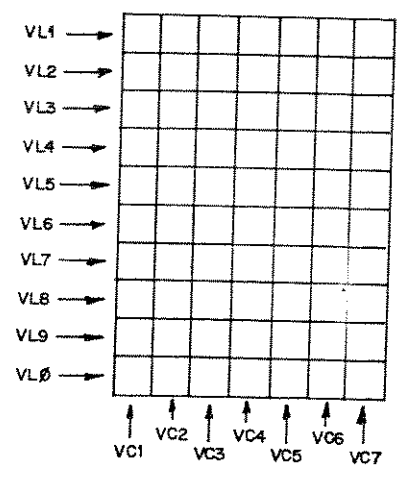


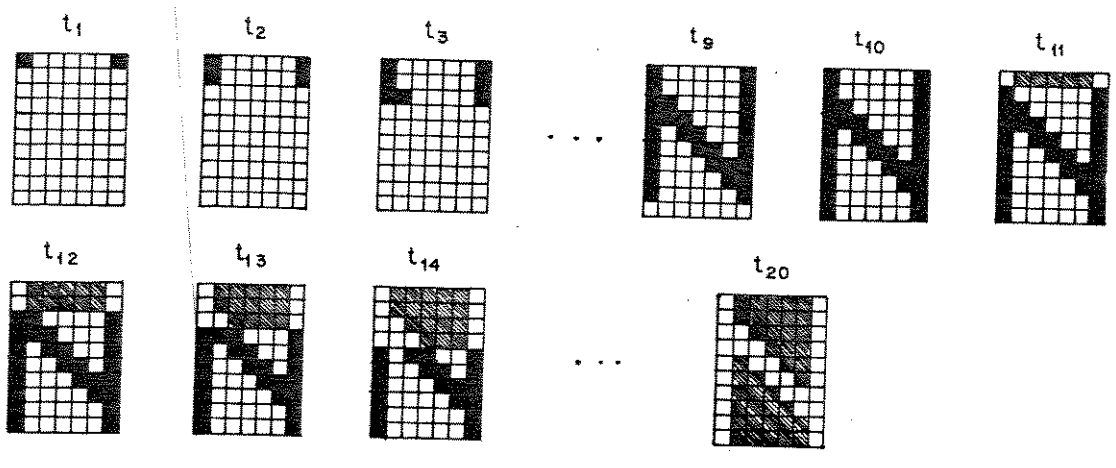
Figura 20 - Amostra da Simulação Elétrica do Gerador de Níveis de Tensão.

VM	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
VL1	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
VL2	0	1	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1
VL3	0	0	1	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1	1	1
VL4	0	0	0	1	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1
VL5	0	0	0	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
VL6	0	0	0	0	0	1	0	0	0	0	1	1	1	1	1	0	1	1	1	1
VL7	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	0	1	1	1
VL8	0	0	0	1	0	0	0	1	0	0	1	1	1	1	1	1	1	0	1	1
VL9	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	0	1
VL0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0
VL1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
VL2	0	0	1	1	0	0	0	0	0	0	1	1	0	0	1	1	1	1	1	1
VL3	0	0	0	1	1	0	0	0	0	0	1	1	1	0	0	1	1	1	1	1
VL4	0	0	0	0	1	1	0	0	0	0	1	1	1	1	0	0	1	1	1	1
VL5	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1	0	0	1	1	1
VL6	0	0	0	0	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1
VL7	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
T	t ₁	t ₂	t ₃	t ₄	t ₅	t ₆	t ₇	t ₈	t ₉	t ₁₀	t ₁₁	t ₁₂	t ₁₃	t ₁₄	t ₁₅	t ₁₆	t ₁₇	t ₁₈	t ₁₉	t ₂₀



(a)

(b)



(c)

FIGURA 21 - Exemplo do esquema de acionamento

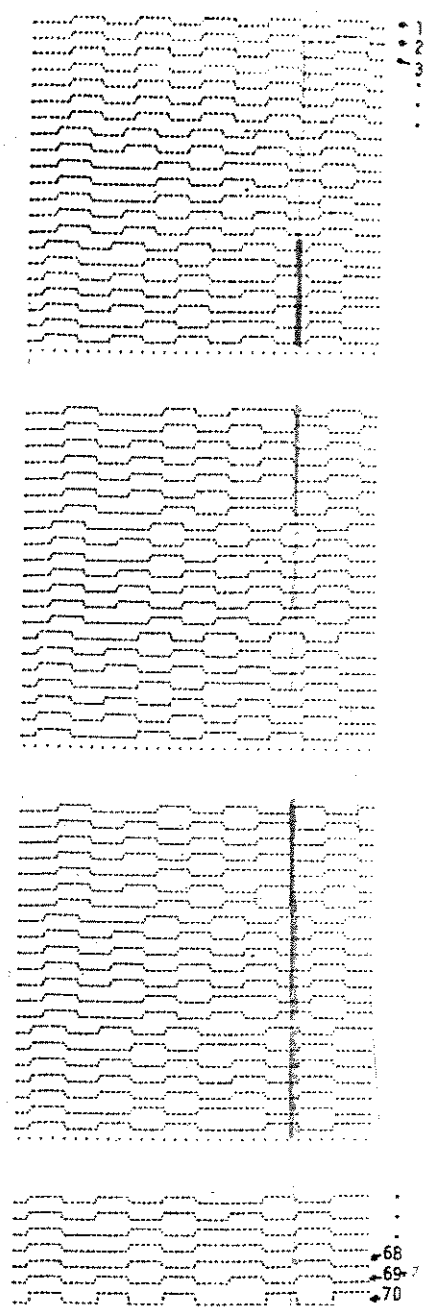
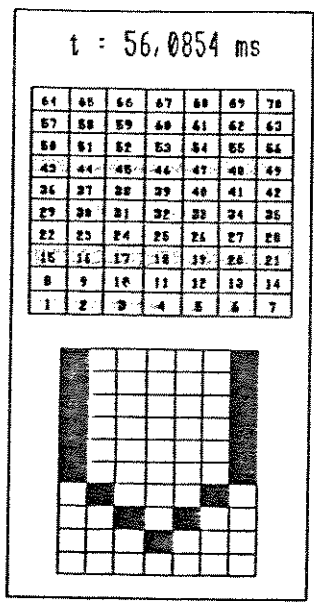


Figura 22 - Amostra do resultado da simulação l3gica. No instante de tempo indicado, cada linha de c3lulas de VCL 3 representada nas formas de onda pela sua cor correspondente no diagrama ao lado, ressaltando a forma3o da letra "v".

CARACTERÍSTICAS	
CMOS	
3 μm	
POÇO P	
PORTA DE POLISILÍCIO AUTO-ALINHADA	
UM NÍVEL DE METALIZAÇÃO	
PARÂMETROS DE SIMULAÇÃO CONSERVATIVOS	

Figura 23 - Principais características do primeiro Projeto Multiusuário (PMU).

PRINCIPAIS RESULTADOS	
FREQÜÊNCIA MÁXIMA DE OPERAÇÃO DO CIRCUITO	2160 Hz
FREQÜÊNCIA MÁXIMA DE OPERAÇÃO DO VCL	240 Hz
POTÊNCIA TOTAL DISSIPADA PELO ACIONADOR	99,66 mW
NÍVEL CC RESIDUAL SOBRE O VCL	18 mV

Figura 24 - Principais resultados obtidos das simulações do circuito acionador de VCL.

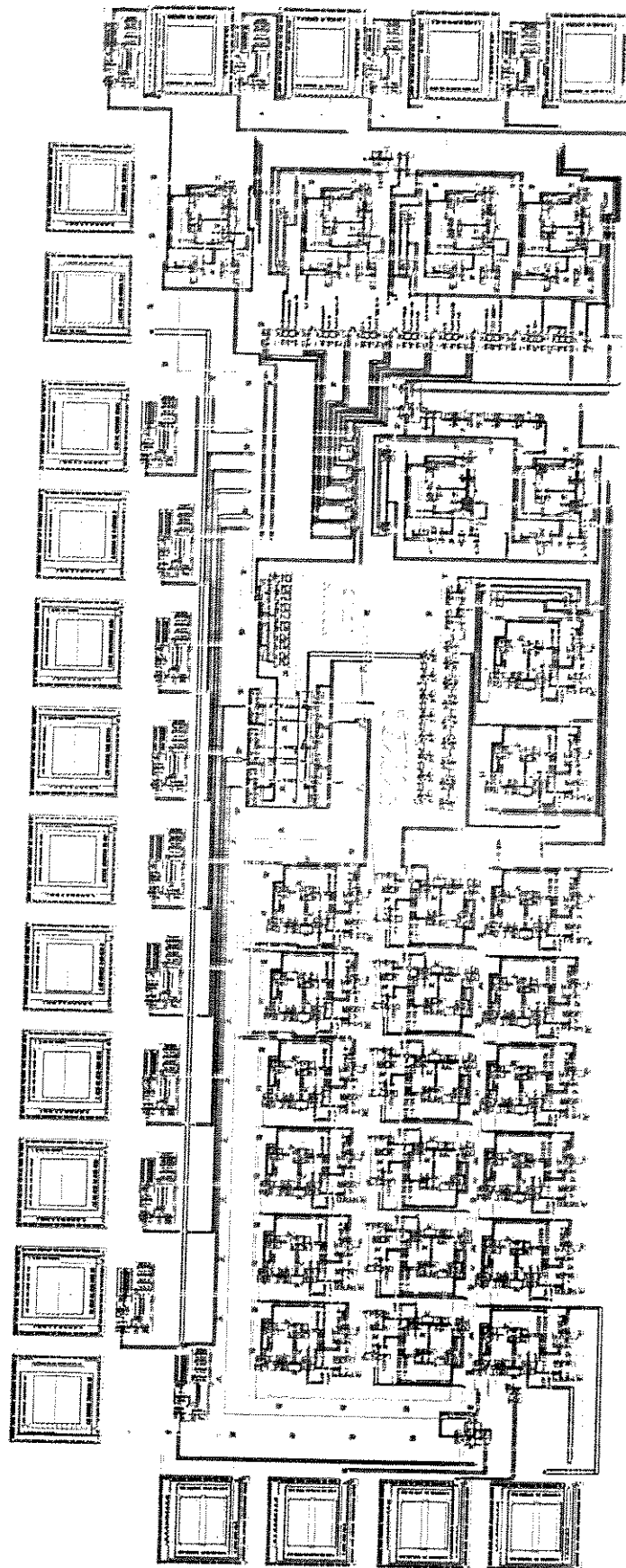


Figura 25 - "Lay-out" do subcircuito integrado.

CAPÍTULO V

CONCLUSÕES E COMENTÁRIOS

Neste trabalho foi projetado um circuito integrado para o acionamento de VCL. Suas especificações superam a maioria dos circuitos do gênero dos quais se tem notícias; motivo pelo qual considerou-se este trabalho bastante abrangente e satisfatório.

Para que se chegasse a um circuito adequado foram desenvolvidas várias etapas entre a proposição deste trabalho e a apresentação desta dissertação.

Inicialmente houve uma etapa de pesquisa bibliográfica necessária à especificação e à definição da arquitetura inicial do circuito proposto. Esta etapa teve uma duração aproximada de oito meses.

A seguir passou-se ao detalhamento da arquitetura inicial e ao dimensionamento das células básicas a serem utilizadas. Durante este período foram também feitos os contatos necessários com os coordenadores do PMU para a obtenção de uma área neste projeto e foram providenciadas, junto à TELEBRAS e ao centro de computação da UNICAMP, as ferramentas necessárias para a simulação elétrica; isto porque o PDP-10 da UNICAMP estava sendo substituído por um VAX-11/785 e era necessário obter uma versão do SPICE que rodasse no VAX. Esta etapa durou aproximadamente



quatro meses.

Feito isto, foi dado início às simulações elétricas das células básicas por meio do programa SPICE2-G.6, recém instalado no VAX da UNICAMP. Um dos grandes problemas desta etapa, que durou aproximadamente três meses, foi a difícil, quando não impossível, convergência do programa SPICE. Devido a este problema de convergência do SPICE foi necessário mudar os circuitos inicialmente propostos para o gerador de níveis de tensão e para o registrador biestável tipo D. Outro grande problema foi o tempo gasto pelo SPICE para a simulação dos circuitos. No caso de circuitos pequenos (até 20 ou 30 transistores) os tempos de simulação eram razoáveis (até 5 minutos de UCP e até 10 minutos de máquina), mas para circuitos maiores, (da ordem de 100 transistores) como o contador, a simulação gastava em torno de uma hora de UCP e foi preciso deixá-lo processando em "batch" o que resultou em esperas nunca inferiores a 12 horas para a obtenção de cada resposta de simulação. Durante esta etapa ocorreram entendimentos com a TELEBRAS para a utilização do programa HILO-3 disponível no VAX-11/785 daquela instituição.

Concluído isto, passou-se à etapa de simulação lógica, com duração aproximada de dois meses, onde foram convalidadas as células já simuladas eletricamente e foi feita a simulação do circuito de acionamento completo. O maior problema com relação a esta simulação constituiu em aprender a utilizar o HILO-3, uma vez que o manual deste programa explica muito pouco e traz inúmeros exemplos dúbios, conduzindo a várias simulações infrutíferas. Durante esta etapa foram feitas negociações com a IBM, o CTI e a TELEBRAS para a liberação de um "software" que nos possibilitasse

a geração do "layout" do circuito. Como os sistemas do CTI e da TELEBRAS estavam sobrecarregados devido à grande demanda provocada pelo PMU, foi utilizado o sistema da IBM.

A última etapa consistiu, exatamente, na geração do "layout" do circuito por meio do programa PAC-CHIP desenvolvido e implantado pela IBM num computador IBM-4381 em sua fábrica de Sumaré. Esta etapa, que durou cerca de um mes, foi cumprida na fábrica da IBM acima mencionada no período noturno (das 20H às 6H) uma vez que o PAC-CHIP, por necessitar de uma imensa base de dados, sobrecarrega o sistema e deve rodar praticamente sozinho. Infelizmente não foi possível utilizar o verificador de regras geométricas de projeto (VRGP) disponível no PAC-CHIP uma vez que as regras implantadas no VRGP não eram totalmente compatíveis com as regras do PMU, mas sim um subconjunto modificado destas regras. Infelizmente, também, não foi possível utilizar o extrator de circuitos (BOTICAO) que integra o PAC-CHIP, isto por motivos que ainda fogem ao conhecimento do autor.

Apesar de todos estes acidentes de percurso o circuito foi implementado e, acredita-se, com boas chances de funcionamento. Todavia, para que este circuito possa entrar numa linha de produção e ser, posteriormente, comercializado deve passar por algumas modificações.

Primeiramente, deve ser implantado um caminho alternativo interligando os registradores de deslocamento para que se forme um circuito de testes do tipo caminho de varredura, como foi discutido no capítulo III.

A seguir, deve ser implementada uma memória permanente, do tipo sugerido no capítulo IV, por exemplo, e adequada às



necessidades específicas do circuito.

Finalmente, é preciso implementar um caminho alternativo com um circuito que possibilite o "scroll" no visor e o cascadeamento de vários destes subsistemas.

CAPÍTULO VI

GLOSSÁRIO

Quase todos os termos foram definidos no decorrer do texto. Neste glossário apresentam-se os termos encontrados na bibliografia em inglês correspondentes aos aqui usados. Apenas onde se fizer necessário dá-se uma explicação mais completa.

Almofada(s)	---	PAD(S)
Alocação	---	PLACEMENT
Análise de Assinatura	---	SIGNATURE ANALYSIS
Caminho de Varredura	---	SCAN PATH
Células Padrão	---	STANDARD CELLS
CI Dedicado	---	FULL-CUSTOM IC
Circuito(s) Integrado(s) (CI)	---	INTEGRATED CIRCUIT(S) (IC)
CI Semi-dedicado	---	SEMI-CUSTOM IC
Falhas Estáticas	---	STUCK-AT FAULTS
Frequência de Tremulação	---	FLICKER FREQUENCY
Hardware	---	Diz-se da parte física de um determinado circuito, poder-se-ia entendê-lo como o corpo da máquina
Lay-out	---	Diz-se do desenho das máscaras de um circuito, contendo sua distribuição física.

Lógica de Verificação e		
Carga (LVC)	---	SCAN/SET LOGIC
Matriz de Portas	---	GATE ARRAY
Observação por Bloco Lógico	---	BUILT-IN LOGIC BLOCK
Interno (OBLI)		OBSERVATION (BILBO)
PLA (Matriz Lógica Programável)	---	PROGRAMABLE LOGIC ARRAY
Posicionamento (= alocação)	---	PLACEMENT
Projeto Ascendente	---	BOTTOM-UP DESIGN
Projeto Descendente	---	TOP-DOWN DESIGN
Projeto Assistido por		
Computador (PAC)*****	---	COMPUTER ADDED DESIGN (CAD)
Projeto de Varredura Sensível	---	LEVEL SENSITIVE
ao Nível (PVSN)		SCAN DESIGN (LSSD)
Projeto Visando a		
Testabilidade (PVT)	---	DESIGN FOR TESTABILITY
PVT Específico	---	<u>AD_HOC</u> DESIGN FOR TESTABILITY
		Ad Hoc é uma expressão latina que significa para este caso.
PVT Estruturado	---	STRUCTURED DESIGN FOR TESTABILITY
Registrador de Transmissão (RT)	---	LATCH
Registrador Biestável (RB)	---	FLIP-FLOP (FF)
Rendimento de Produção	---	PRODUCTION YIELD
ROM (Memória Apenas de Leitura)	---	READ ONLY MEMORY
Roteamento	---	ROUTING
Software	---	Diz-se da parte lógica de um determinado circuito, poder- se-ia entendê-lo como a alma

	da máquina	
Tensão de Limiar	---	THRESHOLD VOLTAGE
Teste Concorrente	---	ON-LINE TEST
Teste Exaustivo	---	EXHAUSTIVE TEST
Teste Externo	---	EXTERNAL TEST
Teste Interno	---	BUILT-IN TEST
Teste Não Concorrente	---	OFF-LINE TEST
Unidade Central de		
Processamento (UCP)	---	CENTRAL PROCESSING UNIT (CPU)
Varredura de Acesso		
Aleatório (VAA)	---	RANDOM ACCESS SCAN
Verificador de Regras de		
Projeto (VRP)	---	DESIGN RULE CHECKER (DRC)

"races" ==> São defasagens dos sinais devido a diferentes atrasos sofridos durante seus percursos podendo chegar num determinado ponto de tal modo defasados provocando falhas no circuito.

***** No PAC usam-se programas de computador feitos com o objetivo de automatizar e facilitar o projeto dos CI.



CAPÍTULO VII

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] A.D.Schelling "Liquid Crystal Displays" Reprinted from Electronic Components and Applications, vol.5 nº4, september 1983 by Videlec Ltd.
- [2] A.M.Kuniyoshi "Desenvolvimento Básico de uma Tecnologia CMOS Porta Metálica" tese de mestrado apresentada à EPUSP em 1979.
- [3] A.R.Newton "Computer Aided Design of VLSI Circuits" Proceedings of the IEEE, 69 (10) 1189-1199, october 1981
- [4] A.S.Grove "Physics and Technology of Semiconductor Devices" John Wiley & Sons, Inc. - 1967
- [5] A.Sobel "Some Constraints on the Operation of Matrix Displays" IEEE Transactions on Electron Devices, ED-18 (9) 797-798, september 1971
- [6] B.Bahadur "A Brief Review of History, Present Status, Developments and Market Overview of Liquid Crystal Displays" Molecular Crystals and Liquid Crystals, 99 (4) 345-374, 1983
- [7] B.Bahadur "Liquid Crystal Displays" Molecular Crystals and Liquid Crystals, 109 (1) 3-98, 1984
- [8] B.Bahadur "Multiplexed Addressing Techniques Brighten LCD Performance" Computer Systems Equipment Design, pp.27-31, march 1985
- [9] B.J.Lechner, F.J.Marlowe, E.O.Nester and J.Tults "Liquid Crystal Matrix Displays" Proceedings of the IEEE, 59 (11) 1566-1579, november 1971

- [10]B.Milne "1985 Technology Forecast: Testability" Electronic Design, pp.143-166, January 10, 1985
- [11]C.A.Desoer e E.S.Kuh "Basic Circuit Theory" McGraw-Hill Kogakusha Ltd., 1969
- [12]C.Mead e L.Conway "Introduction to VLSI Circuits" Addison-Wesley Publishing Co., 1980
- [13]CTI "Manual do Projeto Multiusuário" CTI/SKI, 1986
- [14]D.Davies, W.Fisher, G.Force, K.Harrison and S.Lu "Practical Liquid Crystal Display Forms Forty Characters" Electronics, pp.151-156, January 3, 1980
- [15]D.F.Stout e M.Kaufman "Handbook of Microcircuit Design and Application" McGraw-Hill Inc., 1980
- [16]D.J.Hamilton e W.G.Howard "Basic Integrated Circuit Engineering" McGraw-Hill Kogakusha Ltd., 1975
- [17]E.B.Priestly; P.J.Wojtowicz and P.Sheng "Introduction to Liquid Crystals" Plenum Press, 1979
- [18]E.Cohen and D.O.Pederson "User's Guide for SPICE-2" University of California at Berkeley, College of Engineering, Department of Electrical Engineering and Computer Sciences, 15 oct. 1975.
- [19]E.Kaneko "Liquid-Crystal Matrix Displays" Hitachi Research Laboratory, 86 pp., 1982
- [20]E.Kreyzig "Matemática Superior: volumes 1 e 2" traduzido por C.C. de Oliveira, LTC Editora S/A, 1976
- [21]F.Anceau e R.A.L.Reis "Complex Integrated Circuit Design Strategy" IEEE Journal of Solid State Circuits, SC-17 (3) 459-464, June 1982



[22]F.Reinitzer "Beitrage zur Kenntniss des Cholesterins" Monats-
schefte fuer Chemie und Verwandte Teile Anderer, Band 9, Sei-
ten 421-441, 1888

[23]F.Reinitzer "Zur Geschichte der Flussigen Kristalle" Annalen
der Physik, Folge 4, Band 27, Seiten 213-224, Jahr 1908

[24]G.D.Hachtel and A.L.S.Vincentelli "A Survey of Third-gener-
ation Simulation Techniques" Proceedings of the IEEE, 69 (10)
1264-1280, october 1981.

[25]Gen Rad Design Engineering Group "HILO-3 User Manual" Gen Rad
Inc., 1985

[26]G.Friedel "Les états Mésomorphes de la Matie`re" Annales de
Physique, 9^e serie, tome 18, pp.273-474, 1922

[27]G.Gordon and H.Nadig "Hexadecimal Signatures Identify
Troublespots in Microprocessor Systems" Electronics, 50 (5)
89-96, march 3, 1977

[28]G.H.Heilmeyer, L.A.Zanoni and L.A.Barton "Dynamic Scattering:
A New Electrooptic Effect in Certain Classes of Nematic Liq-
uid Crystals" Proceedings of the IEEE, 56 (7) 1162-1171, 1968

[29]G.V.R.Bolton "VLSI : The Design Problem" IEE Proceedings,
parts E and I, 132 (2) 86-90, march/april 1985

[30]Hamlin Liquid Crystal Displays Catalogs B-935NN (A a D) e
B-93600 (B a D); Epson Dot-Matrix LCD Modules EA & EG series
catalog

[31]H.E.Taylor and T.L.Wade "University Calculus and Subsets of
the Plane" John Wiley & Sons, Inc., 1962.

[32]I.E.S.Jansch "Concepção Visando a Testabilidade : Conceitos e
Técnicas" Anais do V Simpósio Brasileiro de Microeletrônica,
pp.3-12, julho 1985

- [33] I.E.S.Jansch "Circuitos Autotestáveis : Opção de Projeto de Circuitos Visando o Teste Implícito ou Concorrente" Anais do V Congresso da Sociedade Brasileira de Computação, vol.I, pp.379-387, julho 1985
- [34] I.E.S.Jansch "Concepção Celular de Controladores Autotestáveis Baseada em Hipóteses de Falhas Físicas" Anais do V Congresso da Sociedade Brasileira de Computação, vol.II, pp.278-289, julho 1985
- [35] I.E.S.Jansch and B.Courtois "On the Design of Checkers Based on Analytical Fault Hypothesis" Anais do III Simpósio Brasileiro de Microeletrônica, vol.I, pp.41-58, 25-27 julho 1983
- [36] J.Imakita "A Comparative Market Survey of Liquid Crystal Displays: U.S., Japan, and Europe" Electronic Displays '81 Conference Proceedings, vol.1, pp.13-25, 1981
- [37] J.Millman e C.C.Halkias "Integrated Electronics: Analog and Digital Circuits and Systems" McGraw-Hill Kogakusha Ltd., 1972
- [38] J.Millman e H.Taub "Circuitos de Pulsos Digitales y de Conmutación" Libros McGraw-Hill de México S.A., 1971
- [39] J.Wullshleger "Affichage à Cristaux Liquides" Microtecnic, p.5, mars, 1981
- [40] K.Suml "Photoeffekt der Flussigen Kristalle" Veb Carl Zeiss, pp.213-220, Jena - DDR
- [41] L.K.Scheffer, R.I.Dowell, and R.M.Apte "Design and Simulation of VLSI Circuits" Hewlett-Packard Journal, 32 (6) 12-15, 17-18, June 1981.
- [42] L.O.F.Gonçalves "Projeto de Circuitos Integrados Semi-Dedicados CMOS" Anais do IV Simpósio Brasileiro de Microeletrônica,

pp.489-511, julho 1984

- [43]L.W.Nagel "SPICE-2: A Computer Program to Simulate Semiconductor Circuits" 420pp., Memorandum Number ERL-M520, Electronics Research Laboratory, College of Engineering, University of California at Berkeley, 9 may 1975.
- [44]M.A.Jack "Design for Testability" Anais da IV Oficina Brasileira de Microeletrônica, pp.141-148, 1982
- [45]M.C.Graff "Testing - A Major Concern for VLSI" Solid State Technology, pp.101-108, january 1984
- [46]M.G.Buehler and M.W.Sievers "Off-line, Built-in Test Techniques for VLSI Circuits" IEEE Transactions on Computers, pp.69-82, june 1982
- [47]M.T.M.R.Segers "The Impact of Testing on VLSI Design Methods IEEE Journal of Solid State Circuits - SC-17 (3) pp.481-486, june, 1982
- [48]N.C.Berlung "Level-sensitive Scan Design Tests Chips, Boards, System" Electronics, 52 (6) 108-110, march 15, 1979
- [49]N.Marranghello e F.Damiani "Cristais Líquidos" Revista Brasileira de Aplicações de Vácuo, 6 (1/2) 346-356, 1986
- [50]N.Marranghello e F.Damiani "Proposta de um Circuito Integrado Para o Acionamento de Visores de Cristal Líquido" Anais do II Congresso da Sociedade Brasileira de Microeletrônica, p.228, julho de 1987
- [51]N.Weste e K.Eshraghian "Principles os CMOS VLSI Design - A System Perspective" AT&T Bell Laboratories, Inc. - 1985
- [52]O.Lehmann "Zur Geschichte der Flussigen Kristalle" Annalen der Physik, Folge 4, Band 25, Seiten 852-860, Jahr 1908

- [53]P.Bradshaw "Multiplexing Makes Liquid Crystal Displays Alphanumeric" Electronic Design, pp.177-184, september 17, 1981
- [54]P.M.Alt and P.Pleshko "Scanning Limitations of Liquid Crystal Displays" IEEE Transactions on Electron Devices, ED-21 (2) 146-155, february 1974
- [55]P.Pleshko, E.S.Schling, P.M.Alt and D.E.Fisher "A Versatile Selection System for Matrix Displays Requiring AC Drive Waveforms" IEEE Journal of Solid State Circuits, SC-10 (1) 60-64 february 1975
- [56]Polytronix Inc. "LCD Drivers Catalog" 1985
Refac Electronics Corp. "Optel LCD Catalog" 1984
Videlec Corp. "LCD Catalog" 1983
- [57]P.Smith "Multiplexing Liquid Crystal Displays" Electronics, pp.113-121, may 25, 1978
- [58]R.A.L.Reis "Uma Metodologia Descendente de Concepção de Circuitos Integrados" Anais do I Simpósio Brasileiro de concepção de Circuitos Integrados, pp.17-38, 7 a 11 novembro 1983
- [59]T.W.Williams and K.P.Parker "Design for Testability - A Survey" IEEE Transactions on Computers, C-31(1)2-15, january 1982
- [60]T.W.Williams; R.G.Walther; P.S.Bottorff and S.Das Gupta "Experiment to Investigate Self-testing Techniques in VLSI" IEE Proceedings - G, 132 (3) 105-107, june 1985
- [61]V.Blatt "Conciderações Sobre o Ciclo Completo de Projeto de Circuitos Integrados" Anais do I Simpósio Brasileiro de Microeletrônica, pp.321-333, julho 1981
- [62]W.Engl; J.Mucha and H.-J. Pfleiderer "Self-testing ICs Slash Overall Testing Costs" Electronic Design, pp.195-198, june 9,



1983

- [63] W.J. Haidamack e D.J. Griffin "VLSI Design Strategies and Tools"
Hewlett-Packard Journal, 32 (6) 5-7 e 10-12, June 1981
- [64] W. Maier und A. Saupe "Eine Einfache Molekulare Theorie des Nemat-
ischen Kristallin-Flüssigen Zustandes" Zeitschrift für Na-
turforschung, 13a, pp.564-566, 1958
- [65] W. Maier und A. Saupe "Eine Einfache Molekular-Statistische
Theorie der Nematischen Kristallinflüssigen Phase" Zeit-
schrift für Naturforschung, 14a (882-889) 1959 [Teil I] und
15a (287-292) 1960 [Teil II]



APÊNDICE

Listagens das Simulações



UNICAMP

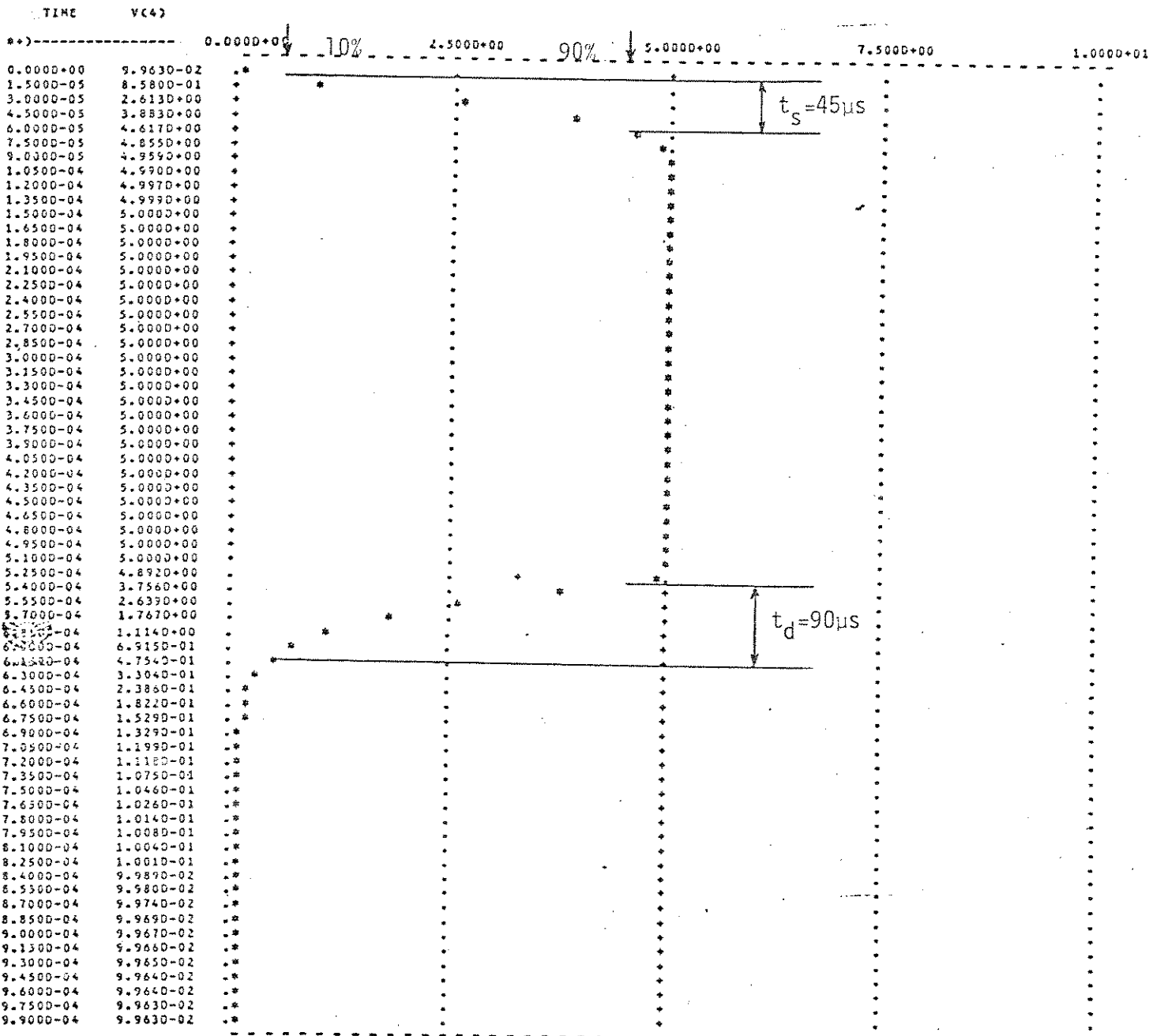
TESTE DE UM INVERSOR CMOS

TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- *: V(4)
- + : V(1)



JOB CONCLUDED

TIME	PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O
01 01 4.61	01 0122.44	52	3

TOTAL JOB TIME 4.61



TESTE DE UM INVERSOR CMOS

*** INPUT LISTING

TEMPERATURE = 27.000 DEG C

```

MP 4 1 2 2 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
KN 4 1 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
VE 1 0 PULSE(5 0 0.0N 0.0U 0.0U 500U 1M)
VP 2 0 DC 5
RC 4 0 1E20
.MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UD=290 UCRT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSD=3.2E-10 CGDD=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UD=725 UCRT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSD=2.7E-10
+CGDD=2.7E-10 CJ=285E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PB=0.67 NFS=4E11)
.TRAN 15U 1M
.PLOT TRAN V(4) V(1) (0,10)
.END

```



TESTE DE UM INVERSOR CMOS

**** MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.150-05	5.380-05
BAMNA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.200-10	2.700-10
CGDO	3.200-10	2.700-10
RSH	70.000	20.000
CJ	1.400-04	2.850-04
MJ	0.500	0.850
CJSW	2.200-10	3.050-04
MJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TP6	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UO	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.180	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000



TESTE DE UM INVERSOR CMOS

INITIAL TRANSIENT SOLUTION

TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	5.0000	(2)	5.0000	(4)	0.0796

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
------	---------

VE	0.0000+00
----	-----------

VP	-1.2600-05
----	------------

TOTAL POWER DISSIPATION 6.300-05 WATTS



TESTE DE UM INVERSOR CMOS

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**** MOSFETS

	MP	MN
MODEL	MCHP	MCHN
ID	-1.26E-05	1.26E-05
VGS	0.000	5.000
VDS	-4.900	0.100
VBS	0.000	0.000



TESTE DE UN INVERSOR CMOS

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(4) : Vsai
- + : V(1) : Ventra

TIME	V(4)	
*)-----	0.0000+00	
	2.5000+00	
	5.0000+00	
	7.5000+00	
	1.0000+01	
0.0000+00	9.9630-02	.*
1.5000-05	8.5800-01	+ *
3.0000-05	2.6130+00	+ *
4.5000-05	3.8830+00	+ *
6.0000-05	4.6170+00	+ *
7.5000-05	4.8550+00	+ *
9.0000-05	4.9590+00	+ *
1.0500-04	4.9900+00	+ *
1.2000-04	4.9970+00	+ *
1.3500-04	4.9990+00	+ *
1.5000-04	5.0000+00	+ *
1.6500-04	5.0000+00	+ *
1.8000-04	5.0000+00	+ *
1.9500-04	5.0000+00	+ *
2.1000-04	5.0000+00	+ *
2.2500-04	5.0000+00	+ *
2.4000-04	5.0000+00	+ *
2.5500-04	5.0000+00	+ *
2.7000-04	5.0000+00	+ *
2.8500-04	5.0000+00	+ *
3.0000-04	5.0000+00	+ *
3.1500-04	5.0000+00	+ *
3.3000-04	5.0000+00	+ *
3.4500-04	5.0000+00	+ *
3.6000-04	5.0000+00	+ *
3.7500-04	5.0000+00	+ *
3.9000-04	5.0000+00	+ *
4.0500-04	5.0000+00	+ *
4.2000-04	5.0000+00	+ *
4.3500-04	5.0000+00	+ *
4.5000-04	5.0000+00	+ *
4.6500-04	5.0000+00	+ *
4.8000-04	5.0000+00	+ *
4.9500-04	5.0000+00	+ *
5.1000-04	5.0000+00	+ *
5.2500-04	4.8920+00	+ *
5.4000-04	3.7560+00	+ *
5.5500-04	2.6390+00	+ *
5.7000-04	1.7670+00	+ *
5.8500-04	1.1140+00	+ *
6.0000-04	6.9150-01	+ *
6.1500-04	4.7540-01	+ *
6.3000-04	3.3040-01	+ *
6.4500-04	2.3860-01	+ *



6.6000-04	1.8220-01	.*	.	+	.	.
6.7500-04	1.529D-01	.*	.	+	.	.
6.9000-04	1.329D-01	.*	.	+	.	.
7.0500-04	1.199D-01	.*	.	+	.	.
7.2000-04	1.118D-01	.*	.	+	.	.
7.3500-04	1.075D-01	.*	.	+	.	.
7.5000-04	1.046D-01	.*	.	+	.	.
7.6500-04	1.026D-01	*	.	+	.	.
7.8000-04	1.014D-01	*	.	+	.	.
7.9500-04	1.008D-01	*	.	+	.	.
8.1000-04	1.004D-01	*	.	+	.	.
8.2500-04	1.001D-01	*	.	+	.	.
8.4000-04	9.989D-02	*	.	+	.	.
8.5500-04	9.988D-02	*	.	+	.	.
8.7000-04	9.974D-02	*	.	+	.	.
8.8500-04	9.969D-02	*	.	+	.	.
9.0000-04	9.967D-02	*	.	+	.	.
9.1500-04	9.966D-02	*	.	+	.	.
9.3000-04	9.965D-02	*	.	+	.	.
9.4500-04	9.964D-02	*	.	+	.	.
9.6000-04	9.964D-02	*	.	+	.	.
9.7500-04	9.963D-02	*	.	+	.	.
9.9000-04	9.963D-02	*	.	+	.	.

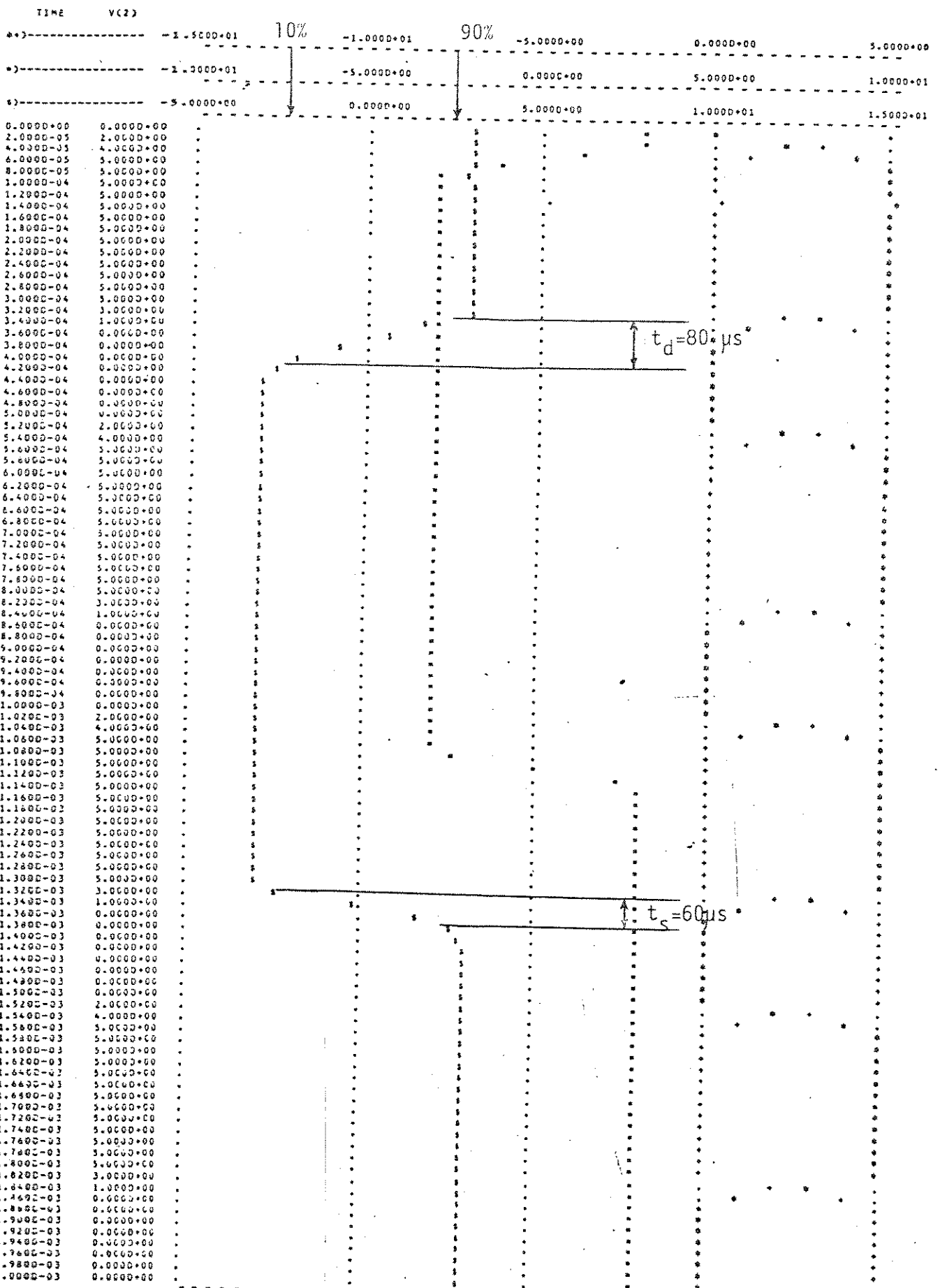
JOB CONCLUDED

TIME	PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O
0: 0: 4.61	0: 0:22.44	52	3

TOTAL JOB TIME 4.61

LEGEND:

- #1 V(2)
- +1 V(3)
- #1 V(1)
- #1 V(4)



1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100



TESTE DE UMA PORTA DE TRANSMISSAO CMOS

**** INPLT LISTING TEMPERATURE = 27.000 DEG C

```

MP 4 2 1 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 WRD=1.73
MN 4 3 1 6 MCHN W=4U L=7.0U AS=12P AD=12P PS=14U PD=14U NRS=1.33 WRD=1.33
VC 2 0 PULSE(0 5 0.0N 50U 50U 250U 500U)
VB 3 0 PULSE(5 0 0.0N 50U 50U 250U 500U)
VE 1 0 PULSE(3 -3 25U 50U 50U 1N 2M)
VP 5 0 DC 5
VN 6 0 DC -5
RC 4 0 1E20
.MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UO=290 UCRIT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSD=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRIT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CBSO=2.7E-10
+CGDO=2.7E-10 CJ=205E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PB=0.67 NFS=4E11)
.TRAN 20U 2M
.PLOT TRAN V(2) V(3) (-15,5) V(1) (-10,10) V(4) (-5,15)
.END

```



UNICAMP

TESTE DE UMA PORTA DE TRANSMISSAO CMOS

MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	NCHP	NCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTD	0.600	0.600
KP	2.150-05	5.380-05
GAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.200-10	2.700-10
CGDO	3.200-10	2.700-10
RSH	70.000	20.000
CJ	1.400-04	2.850-04
MJ	0.500	0.850
CJSW	2.200-10	3.050-04
MJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TPG	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UO	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.100	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000



TESTE DE UMA PORTA DE TRANSMISSAO CMOS

**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	3.0000	(2)	0.0000	(3)	5.0000	(4)	3.0000	(5)	5.0000	(6)	-5.0000

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VC	0.000D+00
VB	0.000D+00
VE	-1.664D-11
VF	-5.547D-12
VN	2.219D-11

TOTAL POWER DISSIPATION 1.89D-10 WATTS



TESTE DE UMA PORTA DE TRANSMISSAO CMOS

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(2) : Vctrl P
- + : V(3) : Vctrl N
- = : V(1) : Ventra
- \$: V(4) : Vsai

TIME	V(2)	V(3)	V(1)	V(4)
*)-----	-1.5000+01	-1.0000+01	-5.0000+00	0.0000+00
=)-----	-1.0000+01	-5.0000+00	0.0000+00	5.0000+00
\$)-----	-5.0000+00	0.0000+00	5.0000+00	1.0000+01
0.0000+00	0.0000+00	.	.	\$ = * +
2.0000-05	2.0000+00	.	.	\$ = * +
4.0000-05	4.0000+00	.	.	\$ = * +
6.0000-05	5.0000+00	.	.	\$ = * +
8.0000-05	5.0000+00	.	.	\$ = * +
1.0000-04	5.0000+00	.	.	\$ = * +
1.2000-04	5.0000+00	.	.	\$ = * +
1.4000-04	5.0000+00	.	.	\$ = * +
1.6000-04	5.0000+00	.	.	\$ = * +
1.8000-04	5.0000+00	.	.	\$ = * +
2.0000-04	5.0000+00	.	.	\$ = * +
2.2000-04	5.0000+00	.	.	\$ = * +
2.4000-04	5.0000+00	.	.	\$ = * +
2.6000-04	5.0000+00	.	.	\$ = * +
2.8000-04	5.0000+00	.	.	\$ = * +
3.0000-04	5.0000+00	.	.	\$ = * +
3.2000-04	3.0000+00	.	.	\$ = * +
3.4000-04	1.0000+00	.	.	\$ = * +
3.6000-04	0.0000+00	.	.	\$ = * +
3.8000-04	0.0000+00	.	.	\$ = * +
4.0000-04	0.0000+00	.	.	\$ = * +
4.2000-04	0.0000+00	.	.	\$ = * +
4.4000-04	0.0000+00	.	.	\$ = * +
4.6000-04	0.0000+00	.	.	\$ = * +
4.8000-04	0.0000+00	.	.	\$ = * +
5.0000-04	0.0000+00	.	.	\$ = * +
5.2000-04	2.0000+00	.	.	\$ = * +
5.4000-04	4.0000+00	.	.	\$ = * +
5.6000-04	5.0000+00	.	.	\$ = * +
5.8000-04	5.0000+00	.	.	\$ = * +
6.0000-04	5.0000+00	.	.	\$ = * +
6.2000-04	5.0000+00	.	.	\$ = * +
6.4000-04	5.0000+00	.	.	\$ = * +
6.6000-04	5.0000+00	.	.	\$ = * +
6.8000-04	5.0000+00	.	.	\$ = * +
7.0000-04	5.0000+00	.	.	\$ = * +
7.2000-04	5.0000+00	.	.	\$ = * +
7.4000-04	5.0000+00	.	.	\$ = * +



JOB CONCLUDED

TIME		PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O	I/O
0: 0: 9.69	0: 0: 10.96	57	6	2
TOTAL JOB TIME			9.69	

UNICAMP
TESTE DE UMA PORTA NE DE DUAS ENTRADAS

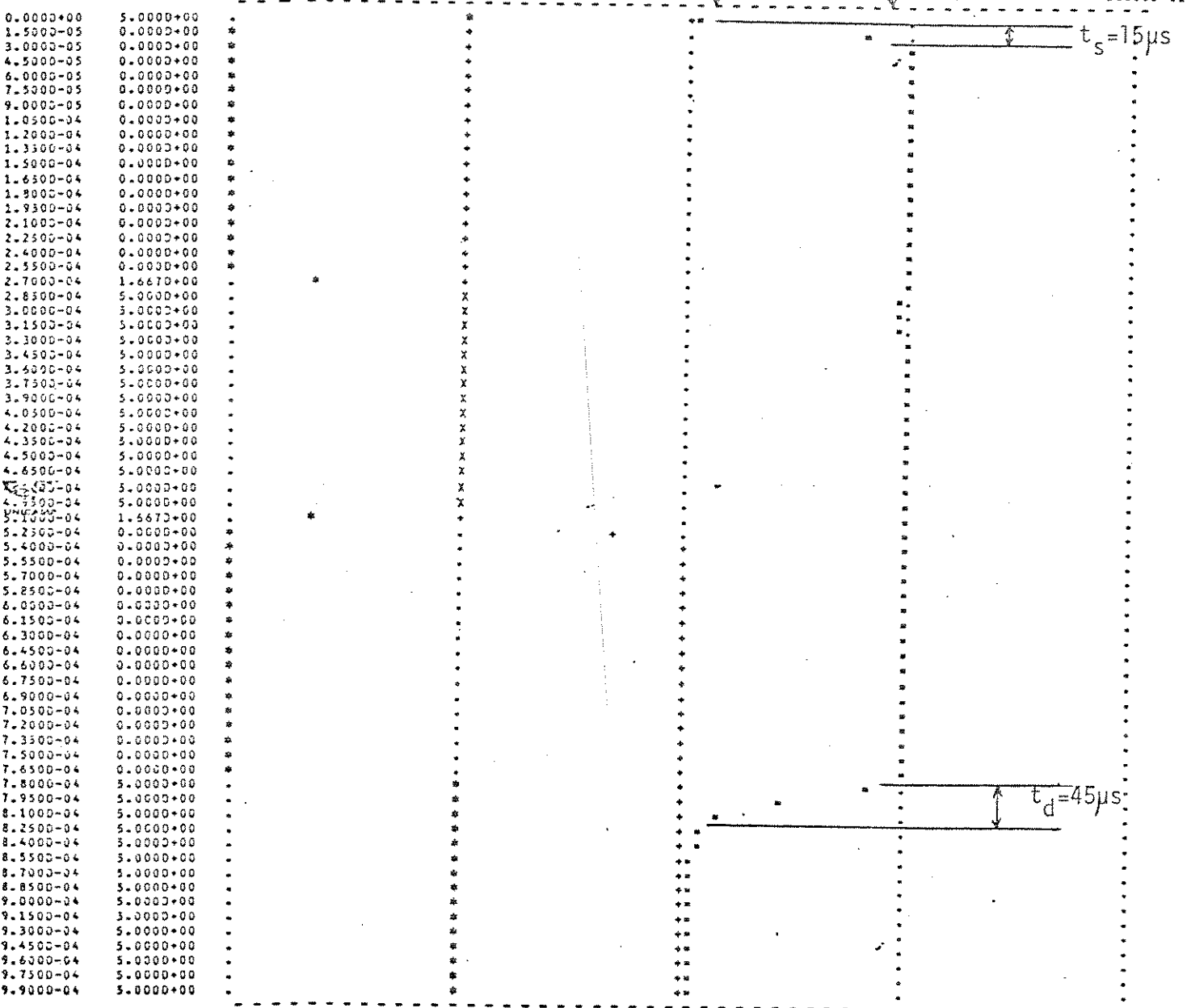
**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- *1 V(3)
- *2 V(4)
- *3 V(5)

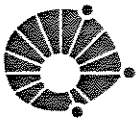
TIME	V(3)	V(4)	V(5)
0.0000+00	0.0000+00	5.0000+00	1.0000+01
5.0000+00	0.0000+00	5.0000+00	1.5000+01
1.0000+01	0.0000+00	5.0000+00	2.0000+01
1.5000+01	0.0000+00	5.0000+00	2.5000+01
2.0000+01	0.0000+00	5.0000+00	3.0000+01
2.5000+01	0.0000+00	5.0000+00	3.5000+01
3.0000+01	0.0000+00	5.0000+00	4.0000+01
3.5000+01	0.0000+00	5.0000+00	4.5000+01
4.0000+01	0.0000+00	5.0000+00	5.0000+01
4.5000+01	0.0000+00	5.0000+00	5.5000+01
5.0000+01	0.0000+00	5.0000+00	6.0000+01



JOB CONCLUDED

CPU	TIME	ELAPSED	PAGE	DIRECT	BUFFERED
			FAULTS	I/O	I/O
01	0:11.26	01:00:28.06	54	3	1

TOTAL JOB TIME . 11.26



UNICAMP

TESTE DE UMA PORTA NE DE DUAS ENTRADAS

*** INPUT LISTING TEMPERATURE = 27.000 DEG C

```

MP1 5 3 1 1 MCHP W=8U L=4U AS=24P AD=24P PS=22U PD=22U NRS=2.67 NRD=2.67
MP2 5 4 1 1 MCHP W=8U L=4U AS=24P AD=24P PS=22U PD=22U NRS=2.67 NRD=2.67
MN1 5 3 6 6 MCHN W=4U L=4U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN2 6 4 0 0 MCHN W=4U L=4U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
RC 5 0 1E20
VP 1 0 DC 5
VA 3 0 PULSE(5 0 0.0N 0.0U 0.0U 250U 500U)
VB 4 0 PULSE(5 0 0.0N 0.0U 0.0U 500U 1.0N)
.MODEL MCHP PHOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UO=290 UCRT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSO=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSO=2.7E-10
+CGDO=2.7E-10 CJ=285E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PB=0.67 NFS=4E11)
.TRAN 15U 1N
.PLOT TRAN V(3) (0,20) V(4) (-5,15) V(5) (-10,10)
.END

```



TESTE DE UMA PORTA NE DE DUAS ENTRADAS

MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.150-05	5.380-05
GAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.200-10	2.700-10
CGDD	3.200-10	2.700-10
RSH	70.000	20.000
CJ	1.400-04	2.850-04
KJ	0.500	0.850
CJSW	2.200-10	3.050-04
KJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TPG	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UD	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.180	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000



TESTE DE UMA PORTA NE DE DUAS ENTRADAS

*** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	5.0000	(3)	5.0000	(4)	5.0000	(5)	0.2624	(6)	0.1294

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VP	-3.912D-05
VA	0.000D+00
VB	0.000D+00

TOTAL POWER DISSIPATION 1.96D-04 WATTS



TESTE DE UMA PORTA NE DE DUAS ENTRADAS

OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

*** MOSFETS

	MP1	MP2	MN1	MN2
MODEL	MCHP	MCHP	MCHN	MCHN
ID	-1.96E-05	-1.96E-05	3.91E-05	3.91E-05
VGS	0.000	0.000	4.871	5.000
VDS	-4.738	-4.738	0.133	0.129
VBS	0.000	0.000	0.000	0.000

TESTE DE UMA PORTA ME DE DUAS ENTRADAS

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(3) : VE1
- + : V(4) : VE2
- = : V(5) : Vsa1

TIME	V(3)				
*)-----	0.000D+00	5.000D+00	1.000D+01	1.500D+01	2.000D+01
+)-----	-5.000D+00	0.000D+00	5.000D+00	1.000D+01	1.500D+01
=)-----	-1.000D+01	-5.000D+00	0.000D+00	5.000D+00	1.000D+01
0.000D+00	5.000D+00	*	*	+=	
1.500D-05	0.000D+00	*	+	=	*
3.000D-05	0.000D+00	*	+	=	*
4.500D-05	0.000D+00	*	+	=	*
6.000D-05	0.000D+00	*	+	=	*
7.500D-05	0.000D+00	*	+	=	*
9.000D-05	0.000D+00	*	+	=	*
1.050D-04	0.000D+00	*	+	=	*
1.200D-04	0.000D+00	*	+	=	*
1.350D-04	0.000D+00	*	+	=	*
1.500D-04	0.000D+00	*	+	=	*
1.650D-04	0.000D+00	*	+	=	*
1.800D-04	0.000D+00	*	+	=	*
1.950D-04	0.000D+00	*	+	=	*
2.100D-04	0.000D+00	*	+	=	*
2.250D-04	0.000D+00	*	+	=	*
2.400D-04	0.000D+00	*	+	=	*
2.550D-04	0.000D+00	*	+	=	*
2.700D-04	1.667D+00	*	+	=	*
2.850D-04	5.000D+00	*	X	=	*
3.000D-04	5.000D+00	*	X	=	*
3.150D-04	5.000D+00	*	X	=	*
3.300D-04	5.000D+00	*	X	=	*
3.450D-04	5.000D+00	*	X	=	*
3.600D-04	5.000D+00	*	X	=	*
3.750D-04	5.000D+00	*	X	=	*
3.900D-04	5.000D+00	*	X	=	*
4.050D-04	5.000D+00	*	X	=	*
4.200D-04	5.000D+00	*	X	=	*
4.350D-04	5.000D+00	*	X	=	*
4.500D-04	5.000D+00	*	X	=	*
4.650D-04	5.000D+00	*	X	=	*
4.800D-04	5.000D+00	*	X	=	*
4.950D-04	5.000D+00	*	X	=	*
5.100D-04	1.667D+00	*	+	=	*
5.250D-04	0.000D+00	*	.	+	*
5.400D-04	0.000D+00	*	.	+	*
5.550D-04	0.000D+00	*	.	+	*
5.700D-04	0.000D+00	*	.	+	*



5.8500-04	0.0000+00	*	.	+	"
6.0000-04	0.0000+00	*	.	+	"
6.1500-04	0.0000+00	*	.	+	"
6.3000-04	0.0000+00	*	.	+	"
6.4500-04	0.0000+00	*	.	+	"
6.6000-04	0.0000+00	*	.	+	"
6.7500-04	0.0000+00	*	.	+	"
6.9000-04	0.0000+00	*	.	+	"
7.0500-04	0.0000+00	*	.	+	"
7.2000-04	0.0000+00	*	.	+	"
7.3500-04	0.0000+00	*	.	+	"
7.5000-04	0.0000+00	*	.	+	"
7.6500-04	0.0000+00	*	.	+	"
7.8000-04	5.0000+00	.	*	+	"
7.9500-04	5.0000+00	.	*	+	"
8.1000-04	5.0000+00	.	*	+	"
8.2500-04	5.0000+00	.	*	+	"
8.4000-04	5.0000+00	.	*	+	"
8.5500-04	5.0000+00	.	*	+	"
8.7000-04	5.0000+00	.	*	+	"
8.8500-04	5.0000+00	.	*	+	"
9.0000-04	5.0000+00	.	*	+	"
9.1500-04	5.0000+00	.	*	+	"
9.3000-04	5.0000+00	.	*	+	"
9.4500-04	5.0000+00	.	*	+	"
9.6000-04	5.0000+00	.	*	+	"
9.7500-04	5.0000+00	.	*	+	"
9.9000-04	5.0000+00	.	*	+	"

JOB CONCLUDED

TIME		PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O	I/O
0: 0:11.26	0: 0:26.06	54	3	1
TOTAL JOB TIME			11.26	

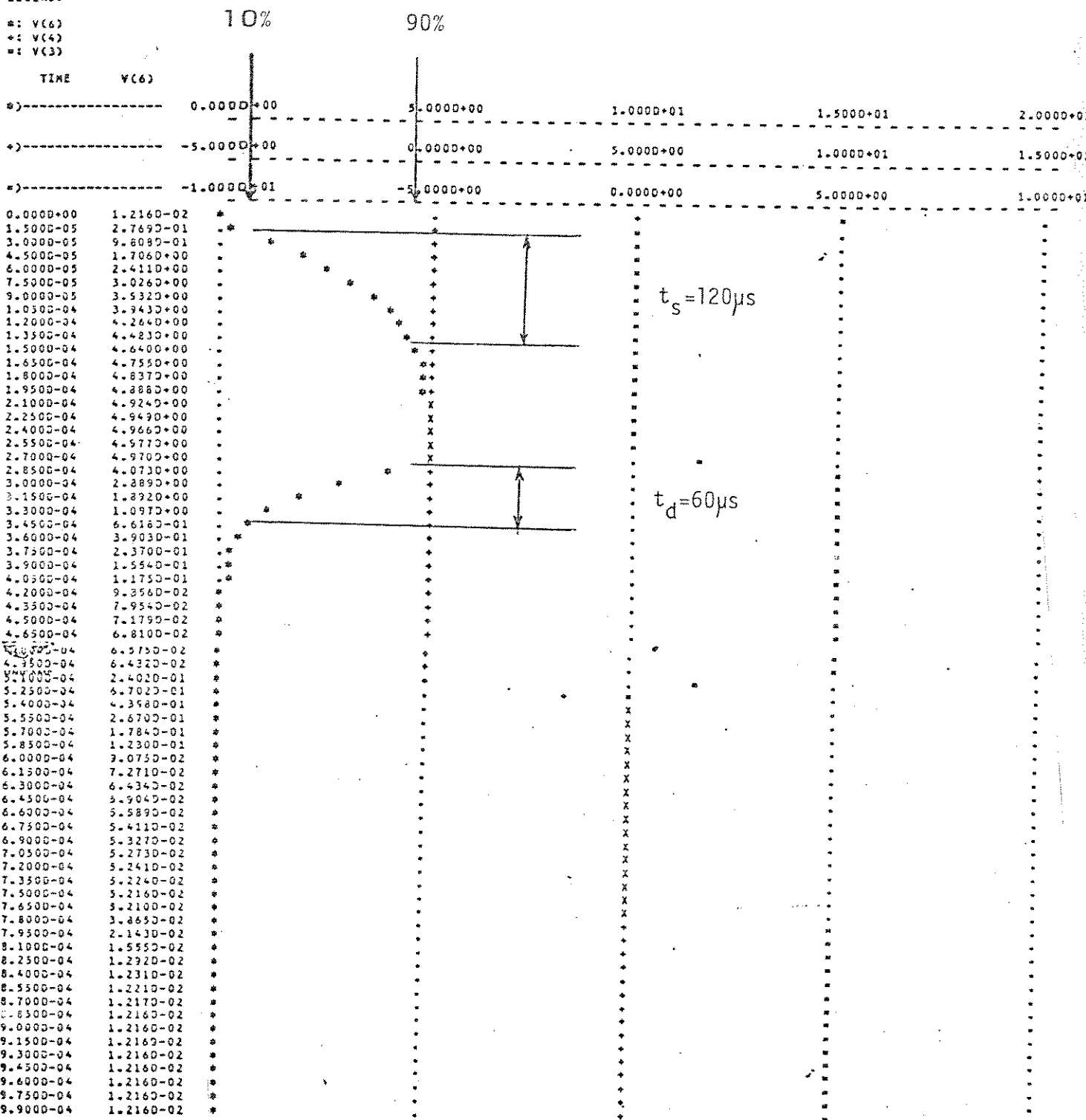
TESTE DE UMA PORTA NOU DE QUATRO ENTRADAS

***** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- *: V(6)
- + : V(4)
- : V(3)

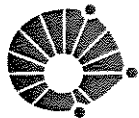


JOB CONCLUDED

TIME CPU ELAPSED
 0: 0:11.04 0: 0:31.88

PAGE DIRECT BUFFERED
 FAULTS I/O I/O
 98 3 1

TOTAL JOB TIME 11.04



UNICAMP

TESTE DE UMA PORTA NDU DE DUAS ENTRADAS

**** INPUT LISTING TEMPERATURE = 27.000 DEG C

```

MP1 5 3 1 1 MCHP W=8U L=4U AS=24P AD=24P PS=22U PD=22U NRS=2.67 NRD=2.67
MP2 6 4 5 1 MCHP W=8U L=4U AS=24P AD=24P PS=22U PD=22U NRS=2.67 NRD=2.67
MN1 6 3 0 0 MCHN W=4U L=4U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN2 6 4 0 0 MCHN W=4U L=4U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
RC 6 0 1E20
VP 1 0 DC 5
VA 3 0 PULSE(5 0 0.0N 0.0U 0.0U 250U 500U)
VB 4 0 PULSE(5 0 0.0N 0.0U 0.0U 500U 1.0N)
.MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UO=290 UCRT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSO=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 NJ=0.5 NJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSO=2.7E-10
+CGDO=2.7E-10 CJ=285E-6 CJSW=305E-6 NJ=0.85 NJSW=0.275 PB=0.67 NFS=4E11)
.TRAN 15U 1N
.PLOT TRAN V(6) (0,20) V(4) (-5,15) V(3) (-10,10)
.END

```



TESTE DE UMA PORTA NOU DE DUAS ENTRADAS

**** MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.150-05	5.380-05
GAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSD	3.200-10	2.700-10
CGDO	3.200-10	2.700-10
RSH	70.000	20.000
CJ	1.400-04	2.850-04
MJ	0.500	0.850
CJSW	2.200-10	3.050-04
MJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TPG	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UD	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.180	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000

TESTE DE UMA PORTA NOU DE DUAS ENTRADAS

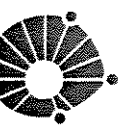
**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	5.0000	(3)	5.0000	(4)	5.0000	(5)	4.7644	(6)	0.0122

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VP	-7.479D-06
VA	0.000D+00
VB	0.000D+00

TOTAL POWER DISSIPATION 3.74D-05 WATTS



UNICAMP

TESTE DE UMA PORTA NOU DE DUAS ENTRADAS

OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

**** MOSFETS

	MP1	MP2	MN1	MN2
MODEL	MCHP	MCHP	MCHN	MCHN
ID	-7.48E-06	-7.48E-06	3.74E-06	3.74E-06
VGS	0.000	0.236	5.000	5.000
VDS	-0.236	-4.752	0.012	0.012
VBS	0.000	0.236	0.000	0.000

TESTE DE UMA PORTA NOU DE DUAS ENTRADAS

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(6) : Vsai
- + : V(4) : VE2
- = : V(3) : VE1

TIME	V(6)				
*)-----	0.000D+00	5.000D+00	1.000D+01	1.500D+01	2.000D+01
+)-----	-5.000D+00	0.000D+00	5.000D+00	1.000D+01	1.500D+01
=)-----	-1.000D+01	-5.000D+00	0.000D+00	5.000D+00	1.000D+01
0.000D+00	1.216D-02	*	.	+	=
1.500D-05	2.769D-01	.*	+	=	.
3.000D-05	9.808D-01	. *	+	=	.
4.500D-05	1.706D+00	. *	+	=	.
6.000D-05	2.411D+00	. *	+	=	.
7.500D-05	3.026D+00	. *	+	=	.
9.000D-05	3.532D+00	. *	+	=	.
1.050D-04	3.943D+00	. *	+	=	.
1.200D-04	4.264D+00	. *	+	=	.
1.350D-04	4.483D+00	. *	+	=	.
1.500D-04	4.640D+00	. *	+	=	.
1.650D-04	4.755D+00	. *	+	=	.
1.800D-04	4.837D+00	. *	+	=	.
1.950D-04	4.888D+00	. *	+	=	.
2.100D-04	4.924D+00	. *	X	=	.
2.250D-04	4.949D+00	. *	X	=	.
2.400D-04	4.966D+00	. *	X	=	.
2.550D-04	4.977D+00	. *	X	=	.
2.700D-04	4.978D+00	. *	X	=	.
2.850D-04	4.073D+00	. *	+	=	.
3.000D-04	2.889D+00	. *	+	=	.
3.150D-04	1.892D+00	. *	+	=	.
3.300D-04	1.097D+00	. *	+	=	.
3.450D-04	6.618D-01	. *	+	=	.
3.600D-04	3.903D-01	. *	+	=	.
3.750D-04	2.370D-01	. *	+	=	.
3.900D-04	1.554D-01	. *	+	=	.
4.050D-04	1.175D-01	. *	+	=	.
4.200D-04	9.356D-02	. *	+	=	.
4.350D-04	7.954D-02	. *	+	=	.
4.500D-04	7.179D-02	. *	+	=	.
4.650D-04	6.810D-02	. *	+	=	.
4.800D-04	6.575D-02	. *	+	=	.
4.950D-04	6.432D-02	. *	+	=	.
5.100D-04	2.402D-01	. *	+	=	.
5.250D-04	6.702D-01	. *	.	+	=
5.400D-04	4.398D-01	. *	.	X	.
5.550D-04	2.670D-01	. *	.	X	.
5.700D-04	1.784D-01	. *	.	X	.



6.0000-04	9.0750-02	*	.	X	.
6.1500-04	7.2710-02	*	.	X	.
6.3000-04	6.4340-02	*	.	X	.
6.4500-04	5.9040-02	*	.	X	.
6.6000-04	5.5890-02	*	.	X	.
6.7500-04	5.4110-02	*	.	X	.
6.9000-04	5.3270-02	*	.	X	.
7.0500-04	5.2730-02	*	.	X	.
7.2000-04	5.2410-02	*	.	X	.
7.3500-04	5.2240-02	*	.	X	.
7.5000-04	5.2160-02	*	.	X	.
7.6500-04	5.2100-02	*	.	X	.
7.8000-04	3.8650-02	*	.	+	.
7.9500-04	2.1430-02	*	.	+	.
8.1000-04	1.5550-02	*	.	+	.
8.2500-04	1.2920-02	*	.	+	.
8.4000-04	1.2310-02	*	.	+	.
8.5500-04	1.2210-02	*	.	+	.
8.7000-04	1.2170-02	*	.	+	.
8.8500-04	1.2160-02	*	.	+	.
9.0000-04	1.2160-02	*	.	+	.
9.1500-04	1.2160-02	*	.	+	.
9.3000-04	1.2160-02	*	.	+	.
9.4500-04	1.2160-02	*	.	+	.
9.6000-04	1.2160-02	*	.	+	.
9.7500-04	1.2160-02	*	.	+	.
9.9000-04	1.2160-02	*	.	+	.

JOB CONCLUDED

TIME		PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O	I/O
0: 0:11.04	0: 0:31.88	98	3	1
TOTAL JOB TIME		11.04		

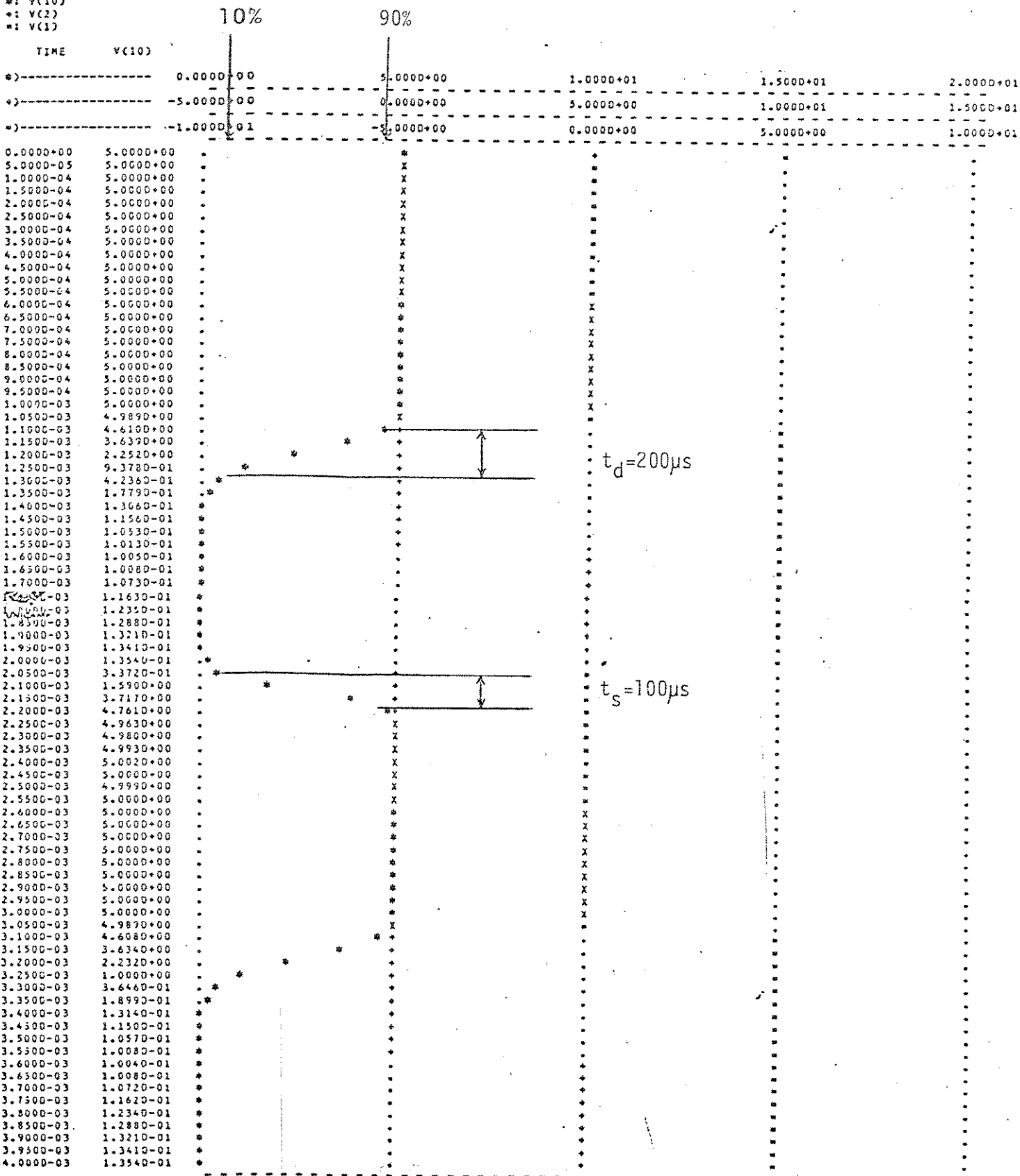
TESTE DO REGISTRADOR BIESTAVEL TIPO D

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- *: V(10)
- + : V(2)
- ~ : V(1)



JOB CONCLUDED

TIME	PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O
01:119.77	01:1143.87	273	4



TESTE DO REGISTRADOR BIESTAVEL TIPO D

**** INPUT LISTING TEMPERATURE = 27.000 DEG C

```

MP1 1 3 4 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP2 8 2 4 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP3 3 2 5 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP4 7 4 5 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP5 8 7 5 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP6 7 2 9 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP7 11 3 9 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP8 10 9 5 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP9 11 10 5 5 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MN1 1 2 4 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN2 8 3 4 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN3 3 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN4 7 4 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN5 8 7 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN6 7 3 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN7 11 2 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN8 10 9 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN9 11 10 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
VENT 1 0 PULSE(5 0 0N 0U 0U 1M 2M)
VREL 2 0 PULSE(5 0 0N 0U 0U .5M 1M)
VDD 5 0 DC 5
RC 10 0 1.0E20
.MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UO=290 UCRIT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSD=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRIT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSD=2.7E-10
+CGDO=2.7E-10 CJ=285E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PB=0.67 NFS=4E11)
.TRAN 50U 4M
.PLOT TRAN V(10) (0,20) V(2) (-5,15) V(1) (-10,10)
.NODESET V(1)=5 V(2)=5 V(3)=0 V(4)=5 V(7)=0 V(8)=5
.NODESET V(9)=0 V(10)=5 V(11)=0
.END

```


TESTE DO REGISTRADOR BIESTAVEL TIPO D

**** MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.150-05	5.380-05
BAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.200-10	2.700-10
CGDO	3.200-10	2.700-10
RSH	70.000	20.000
CJ	1.400-04	2.850-04
KJ	0.500	0.850
CJSW	2.200-10	3.050-04
KJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TPG	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UD	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.180	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000



UNICAMP

TESTE DO REGISTRADOR BIESTAVEL TIPO D

*** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

***** * *****

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	5.0000	(2)	5.0000	(3)	0.0996	(4)	5.0000	(5)	5.0000	(7)	0.0996	(8)	5.0000
(9)	0.0996	(10)	5.0000	(11)	0.0996								

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VENT	-2.123D-11
VREL	0.000D+00
VDD	-3.780D-05

TOTAL POWER DISSIPATION 1.89D-04 WATTS



TESTE DO REGISTRADOR BIESTAVEL TIPO D

OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

**** MOSFETS

	MP1	MP2	MP3	MP4	MP5	MP6	MP7	MP8	MP9	MN1	MN2	MN3
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHN	MCHN	MCHN
ID	1.39E-11	0.00E+00	-1.26E-05	-1.26E-05	-1.71E-11	-1.89E-12	-3.37E-12	-1.06E-11	-1.26E-05	1.93E-12	1.93E-12	1.26E-05
VGS	-4.900	0.000	0.000	0.000	-4.900	4.900	0.000	-4.900	0.000	0.000	-4.900	5.000
VDS	0.000	0.000	-4.900	-4.900	0.000	0.000	0.000	0.000	-4.900	0.000	0.000	0.100
VBS	0.000	0.000	0.000	0.000	0.000	4.900	4.900	0.000	0.000	-5.000	-5.000	0.000

	MN4	MN5	MN6	MN7	MN8	MN9
MODEL	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN
ID	1.26E-05	5.58E-12	3.85E-14	-1.18E-11	5.58E-12	1.26E-05
VGS	5.000	0.100	0.000	4.900	0.100	5.000
VDS	0.100	5.000	0.000	0.000	5.000	0.100
VBS	0.000	0.000	-0.100	-0.100	0.000	0.000

TESTE DO REGISTRADOR IESTAVEL TIPO D

**** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(10) : Saida
- + : V(2) : Relogio
- = : V(1) : Entrada

TIME	V(10)	V(2)	V(1)
*)-----	0.000D+00	5.000D+00	1.000D+01
+)-----	-5.000D+00	0.000D+00	5.000D+00
=)-----	-1.000D+01	-5.000D+00	0.000D+00
0.000D+00	5.000D+00	*	X
5.000D-05	5.000D+00	.	X
1.000D-04	5.000D+00	.	X
1.500D-04	5.000D+00	.	X
2.000D-04	5.000D+00	.	X
2.500D-04	5.000D+00	.	X
3.000D-04	5.000D+00	.	X
3.500D-04	5.000D+00	.	X
4.000D-04	5.000D+00	.	X
4.500D-04	5.000D+00	.	X
5.000D-04	5.000D+00	.	X
5.500D-04	5.000D+00	.	X
6.000D-04	5.000D+00	.	X
6.500D-04	5.000D+00	.	X
7.000D-04	5.000D+00	.	X
7.500D-04	5.000D+00	.	X
8.000D-04	5.000D+00	.	X
8.500D-04	5.000D+00	.	X
9.000D-04	5.000D+00	.	X
9.500D-04	5.000D+00	.	X
1.000D-03	5.000D+00	.	X
1.050D-03	4.989D+00	.	X
1.100D-03	4.610D+00	.	X
1.150D-03	3.639D+00	.	X
1.200D-03	2.252D+00	.	X
1.250D-03	9.378D-01	.	X
1.300D-03	4.236D-01	.	X
1.350D-03	1.779D-01	.	X
1.400D-03	1.306D-01	.	X
1.450D-03	1.156D-01	.	X
1.500D-03	1.053D-01	.	X
1.550D-03	1.013D-01	.	X
1.600D-03	1.005D-01	.	X
1.650D-03	1.008D-01	.	X
1.700D-03	1.073D-01	.	X
1.750D-03	1.163D-01	.	X
1.800D-03	1.235E-01	.	X
1.850D-03	1.288D-01	.	X
1.900D-03	1.321D-01	.	X
1.950D-03	1.341D-01	.	X
2.000D-03	1.354D-01	.	X



2.1000-03	1.5900+00	*	+	=
2.1500-03	3.7170+00	*	+	=
2.2000-03	4.7610+00		**	=
2.2500-03	4.9630+00		X	=
2.3000-03	4.9800+00		X	=
2.3500-03	4.9930+00		X	=
2.4000-03	5.0020+00		X	=
2.4500-03	5.0000+00		X	=
2.5000-03	4.9990+00		X	=
2.5500-03	5.0000+00		X	=
2.6000-03	5.0000+00		*	X
2.6500-03	5.0000+00		*	X
2.7000-03	5.0000+00		*	X
2.7500-03	5.0000+00		*	X
2.8000-03	5.0000+00		*	X
2.8500-03	5.0000+00		*	X
2.9000-03	5.0000+00		*	X
2.9500-03	5.0000+00		*	X
3.0000-03	5.0000+00		*	X
3.0500-03	4.9890+00		X	=
3.1000-03	4.6080+00		*+	=
3.1500-03	3.6340+00	*	+	=
3.2000-03	2.2320+00	*	+	=
3.2500-03	1.0000+00	*	+	=
3.3000-03	3.6460-01	*	+	=
3.3500-03	1.8990-01	*	+	=
3.4000-03	1.3140-01	*	+	=
3.4500-03	1.1500-01	*	+	=
3.5000-03	1.0570-01	*	+	=
3.5500-03	1.0080-01	*	+	=
3.6000-03	1.0040-01	*	+	=
3.6500-03	1.0080-01	*	+	=
3.7000-03	1.0720-01	*	+	=
3.7500-03	1.1620-01	*	+	=
3.8000-03	1.2340-01	*	+	=
3.8500-03	1.2880-01	*	+	=
3.9000-03	1.3210-01	*	+	=
3.9500-03	1.3410-01	*	+	=
4.0000-03	1.3540-01	*	+	=

JOB CONCLUDED

TIME	PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O
0: 1:19.77	0: 1:43.87	273	6 4

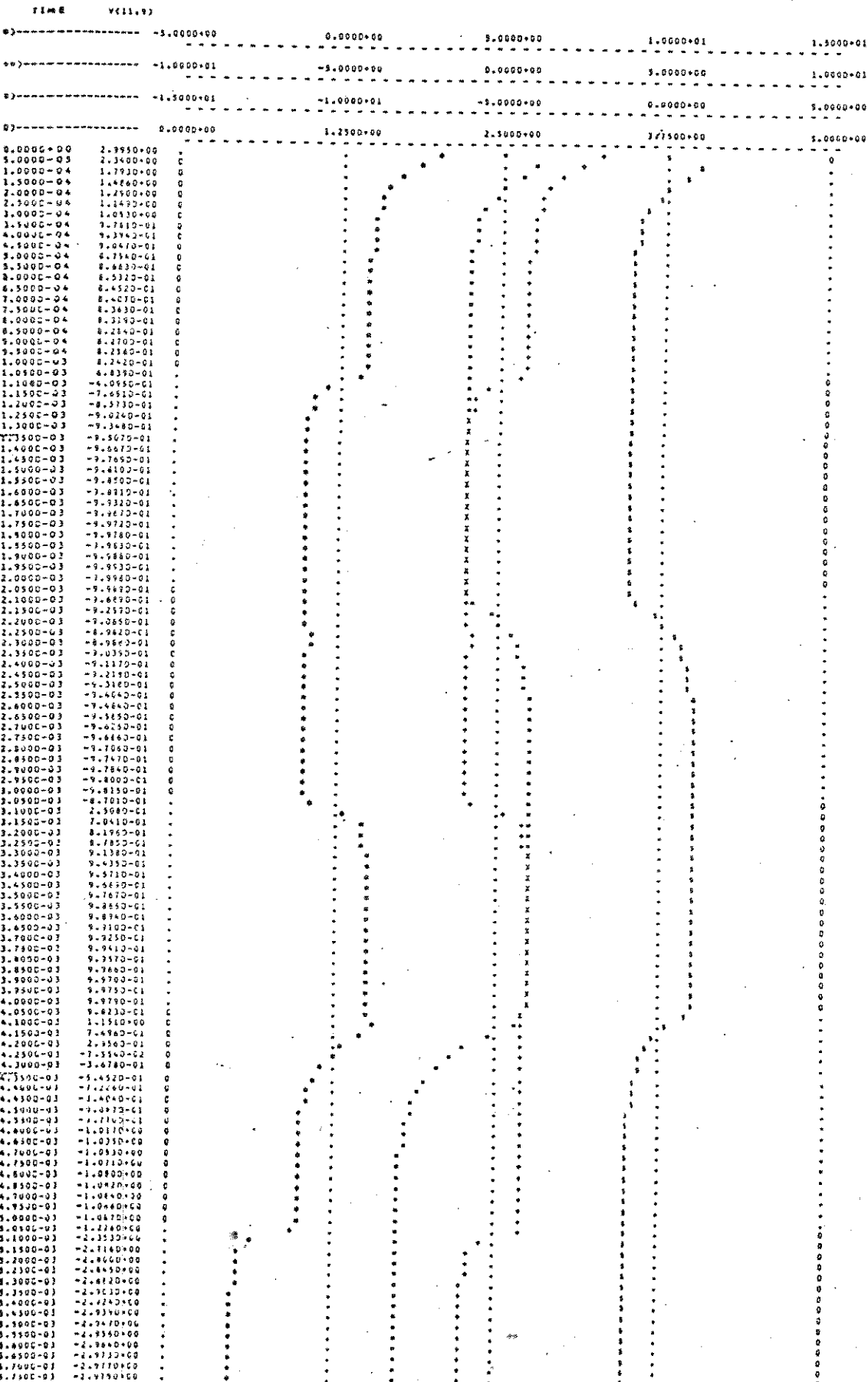
TOTAL JOB TIME 79.77

LEGEND

$V_L = +3V$

$V_D = +1V$

- 01 V(12.9)
- 02 V(12.9)
- 03 V(12.9)
- 04 V(12.9)
- 05 V(12.9)





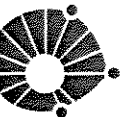
TESTE DO GERADOR DE NIVEIS DE TENSAD

*** INPUT LISTING TEMPERATURE = 27.000 DEG C

```

MP01 7 13 2 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP02 8 14 3 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP03 8 13 5 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP04 7 14 6 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP05 9 16 7 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP06 9 15 4 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP07 10 17 4 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP08 10 18 7 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP09 11 20 8 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
MP10 12 19 8 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP11 14 13 1 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP12 16 15 1 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP13 18 17 1 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MP14 20 19 1 1 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
MN01 2 14 7 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN02 3 13 8 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN03 5 14 8 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN04 6 13 7 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN05 7 15 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN06 4 16 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN07 4 18 10 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN08 7 17 10 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN09 8 19 11 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN10 8 20 12 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
MN11 14 13 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN12 16 15 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN13 18 17 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
MN14 20 19 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
VP 1 0 DC 5
VL 19 0 PULSE(5 0 0N 0U 0U 1K 2M)
VM 13 0 PULSE(5 0 0N 0U 0U 2K 4M)
VC1 15 0 PULSE(5 0 0N 0U 0U 4K 8M)
VC2 17 0 PULSE(5 0 0N 0U 0U 8K 16M)
RCL11 11 9 100MEG
CCL11 11 9 1.2P
RCL12 11 10 100MEG
CCL12 11 10 1.2P
RCL21 12 9 100MEG
CCL21 12 9 1.2P
RCL22 12 10 100MEG
CCL22 12 10 1.2P
R0 1 2 2.5K
R1 2 3 5K
R2 3 4 5K
R3 4 5 5K
R4 5 6 5K
R5 6 0 2.5K
.MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
+UO=290 UCRIT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6
+CGSO=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
.MODEL MCHN NMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRIT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSO=2.7E-10

```



UNICAMP

+CGDD=2.7 -10 CJ=285E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PR=0.67 NFS=4E11)
.TRAN 50U 16K
.PLOT TRA V(11,9) (-5,15) V(11,10) V(12,9) (-10,10)
+V(12,10) (-15,5) V(19) (0,5)
.OPTIONS IMPTS=641 ITL5=5500
.END



TESTE DO GERADOR DE NIVEIS DE TENSÃO

MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.15D-05	5.30D-05
GAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.20D-10	2.70D-10
CGDO	3.20D-10	2.70D-10
RSH	70.000	20.000
CJ	1.40D-04	2.85D-04
MJ	0.500	0.850
CJSW	2.20D-10	3.05D-04
MJSW	0.270	0.275
TOX	4.65D-08	4.65D-08
NSUB	1.10D+15	6.00D+15
NFS	3.00D+11	4.00D+11
TPG	1.000	1.000
XJ	5.00D-07	5.00D-07
LD	6.50D-07	6.50D-07
UO	290.000	725.000
UCRIT	8.50D+04	9.30D+04
UEXP	0.100	0.100
VMAX	3.00D+04	5.00D+04
NEFF	3.500	3.300
DELTA	0.600	1.000



TESTE DO GERADOR DE NIVEIS DE TENSÃO

INITIAL TRANSIENT SOLUTION

TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	5.0000	(2)	4.4993	(3)	3.4994	(4)	2.4999	(5)	1.5003	(6)	0.5007	(7)	0.5033
(8)	3.4990	(9)	0.5035	(10)	0.5035	(11)	3.4985	(12)	0.5038	(13)	5.0000	(14)	0.0996
(15)	5.0000	(16)	0.0996	(17)	5.0000	(18)	0.0996	(19)	5.0000	(20)	0.0996		

VOLTAGE SOURCE CURRENTS

NAME CURRENT

VP -2.5070-04

VL 0.0000+00

VM 0.0000+00

VC1 0.0000+00

VC2 0.0000+00

TOTAL POWER DISSIPATION 1.250-03 WATTS



TESTE DO GERADOR DE NIVEIS DE TENSÃO

OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

**** MOSFETS

	MP01	MP02	MP03	MP04	MP05	MP06	MP07	MP08	MP09	MP10	MP11	MP12
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP
ID	-3.15E-07	-5.74E-08	-5.80E-13	8.43E-08	6.75E-09	-1.74E-12	-1.74E-12	6.75E-09	-5.74E-08	-1.74E-12	-1.26E-05	-1.26E-05
VGS	0.501	-3.400	3.500	-0.401	-0.404	2.500	2.500	-0.404	-3.399	1.501	0.000	0.000
VDS	-3.996	0.000	1.999	0.003	0.000	-1.996	-1.996	0.000	0.000	-2.995	-4.900	-4.900
VBS	0.501	1.501	3.500	4.499	4.497	2.500	2.500	4.497	1.501	1.501	0.000	0.000

	MP13	MP14	MN01	MN02	MN03	MN04	MN05	MN06	MN07	MN08	MN09	MN10
MODEL	MCHP	MCHP	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN	MCHN
ID	-1.26E-05	-1.26E-05	1.74E-12	2.49E-09	5.80E-13	-2.91E-07	-2.32E-08	9.67E-13	9.67E-13	-2.32E-08	2.50E-09	1.35E-12
VGS	0.000	0.000	-0.404	1.501	-3.399	4.497	4.496	-0.404	-0.404	4.496	1.502	-0.404
VDS	-4.900	-4.900	3.996	0.000	-1.999	-0.003	0.000	1.996	1.996	0.000	0.000	2.995
VBS	0.000	0.000	-0.503	-3.499	-3.499	-0.503	-0.504	-0.504	-0.504	-0.504	-3.498	-0.504

	MN11	MN12	MN13	MN14
MODEL	MCHN	MCHN	MCHN	MCHN
ID	1.26E-05	1.26E-05	1.26E-05	1.26E-05
VGS	5.000	5.000	5.000	5.000
VDS	0.100	0.100	0.100	0.100
VBS	0.000	0.000	0.000	0.000

TESTE DO GERADOR DE NIVEIS DE TENSÃO

TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(11,9) : Ve11
- + : V(11,10) : Ve12
- = : V(12,9) : Ve13
- \$: V(12,10) : Ve14
- 0 : V(19) : Vre1

TIME	V(11,9)	V(11,10)	V(12,9)	V(12,10)	V(19)
*)-----	-5.000D+00	0.000D+00	5.000D+00	1.000D+01	1.500D+01
+-----	-1.000D+01	-5.000D+00	0.000D+00	5.000D+00	1.000D+01
\$)-----	-1.500D+01	-1.000D+01	-5.000D+00	0.000D+00	5.000D+00
0)-----	0.000D+00	1.250D+00	2.500D+00	3.750D+00	5.000D+00
0.000D+00	2.995D+00	.	.	.	0
5.000D-05	2.340D+00	0	.	.	0
1.000D-04	1.793D+00	0	.	.	0
1.500D-04	1.486D+00	0	.	.	0
2.000D-04	1.290D+00	0	.	.	0
2.500D-04	1.149D+00	0	.	.	0
3.000D-04	1.053D+00	0	.	.	0
3.500D-04	9.781D-01	0	.	.	0
4.000D-04	9.394D-01	0	.	.	0
4.500D-04	9.047D-01	0	.	.	0
5.000D-04	8.794D-01	0	.	.	0
5.500D-04	8.663D-01	0	.	.	0
6.000D-04	8.532D-01	0	.	.	0
6.500D-04	8.452D-01	0	.	.	0
7.000D-04	8.407D-01	0	.	.	0
7.500D-04	8.363D-01	0	.	.	0
8.000D-04	8.319D-01	0	.	.	0
8.500D-04	8.284D-01	0	.	.	0
9.000D-04	8.270D-01	0	.	.	0
9.500D-04	8.256D-01	0	.	.	0
1.000D-03	8.242D-01	0	.	.	0
1.050D-03	6.839D-01	.	.	.	0
1.100D-03	-4.095D-01	.	.	.	0
1.150D-03	-7.681D-01	.	.	.	0
1.200D-03	-8.573D-01	.	.	.	0
1.250D-03	-9.024D-01	.	.	.	0
1.300D-03	-9.348D-01	.	.	.	0
1.350D-03	-9.507D-01	.	.	.	0
1.400D-03	-9.667D-01	.	.	.	0
1.450D-03	-9.769D-01	.	.	.	0
1.500D-03	-9.810D-01	.	.	.	0
1.550D-03	-9.850D-01	.	.	.	0
1.600D-03	-9.891D-01	.	.	.	0
1.650D-03	-9.932D-01	.	.	.	0



1.7500-03	-9.9720-01	*	.	X	.	\$.	.	.
1.8000-03	-9.9780-01	*	.	X	.	\$.	.	.
1.8500-03	-9.9830-01	*	.	X	.	\$.	.	.
1.9000-03	-9.9880-01	*	.	X	.	\$.	.	.
1.9500-03	-9.9930-01	*	.	X	.	\$.	.	.
2.0000-03	-9.9980-01	*	.	X	.	\$.	.	.
2.0500-03	-9.9890-01	*	.	X	.	\$.	.	.
2.1000-03	-9.6890-01	*	.	+=	.	\$.	.	.
2.1500-03	-9.2990-01	*	.	+ =	.	\$.	.	.
2.2000-03	-9.0650-01	*	.	+ =	.	\$.	.	.
2.2500-03	-8.9820-01	*	.	+ =	.	\$.	.	.
2.3000-03	-8.9880-01	*	.	+ =	.	\$.	.	.
2.3500-03	-9.0390-01	*	.	+ =	.	\$.	.	.
2.4000-03	-9.1170-01	*	.	+ =	.	\$.	.	.
2.4500-03	-9.2180-01	*	.	+ =	.	\$.	.	.
2.5000-03	-9.3180-01	*	.	+ =	.	\$.	.	.
2.5500-03	-9.4040-01	*	.	+ =	.	\$.	.	.
2.6000-03	-9.4840-01	*	.	+ =	.	\$.	.	.
2.6500-03	-9.5650-01	*	.	+ =	.	\$.	.	.
2.7000-03	-9.6260-01	*	.	+ =	.	\$.	.	.
2.7500-03	-9.6660-01	*	.	+ =	.	\$.	.	.
2.8000-03	-9.7060-01	*	.	+ =	.	\$.	.	.
2.8500-03	-9.7470-01	*	.	+ =	.	\$.	.	.
2.9000-03	-9.7840-01	*	.	+ =	.	\$.	.	.
2.9500-03	-9.8000-01	*	.	+ =	.	\$.	.	.
3.0000-03	-9.8150-01	*	.	+ =	.	\$.	.	.
3.0500-03	-8.7010-01	*	.	+ =	.	\$.	.	.
3.1000-03	2.5080-01	*	.	+ =	.	\$.	.	.
3.1500-03	7.0410-01	*	.	+=	.	\$.	.	.
3.2000-03	8.1960-01	*	.	+=	.	\$.	.	.
3.2500-03	8.7850-01	*	.	+=	.	\$.	.	.
3.3000-03	9.1380-01	*	.	X	.	\$.	.	.
3.3500-03	9.4350-01	*	.	X	.	\$.	.	.
3.4000-03	9.5710-01	*	.	X	.	\$.	.	.
3.4500-03	9.6690-01	*	.	X	.	\$.	.	.
3.5000-03	9.7670-01	*	.	X	.	\$.	.	.
3.5500-03	9.8660-01	*	.	X	.	\$.	.	.
3.6000-03	9.8940-01	*	.	X	.	\$.	.	.
3.6500-03	9.9100-01	*	.	X	.	\$.	.	.
3.7000-03	9.9250-01	*	.	X	.	\$.	.	.
3.7500-03	9.9410-01	*	.	X	.	\$.	.	.
3.8000-03	9.9570-01	*	.	X	.	\$.	.	.
3.8500-03	9.9660-01	*	.	X	.	\$.	.	.
3.9000-03	9.9700-01	*	.	X	.	\$.	.	.
3.9500-03	9.9750-01	*	.	X	.	\$.	.	.
4.0000-03	9.9790-01	*	.	X	.	\$.	.	.
4.0500-03	9.8230-01	*	.	X	.	\$.	.	.
4.1000-03	1.1510+00	*	.	=+	.	\$.	.	.
4.1500-03	7.4960-01	*	.	= +	.	\$.	.	.
4.2000-03	2.9560-01	*	.	= +	.	\$.	.	.
4.2500-03	-7.5540-02	*	.	= +	.	\$.	.	.
4.3000-03	-3.6780-01	*	.	= +	.	\$.	.	.
4.3500-03	-5.4520-01	*	.	= +	.	\$.	.	.
4.4000-03	-7.2260-01	*	.	= +	.	\$.	.	.
4.4500-03	-8.4040-01	*	.	= +	.	\$.	.	.
4.5000-03	-9.0870-01	*	.	= +	.	\$.	.	.
4.5500-03	-9.7700-01	*	.	= +	.	\$.	.	.
4.6000-03	-1.0170+00	*	.	= +	.	\$.	.	.
4.6500-03	-1.0350+00	*	.	= +	.	\$.	.	.
4.7000-03	-1.0530+00	*	.	= +	.	\$.	.	.
4.7500-03	-1.0710+00	*	.	= +	.	\$.	.	.
4.8000-03	-1.0800+00	*	.	= +	.	\$.	.	.
4.8500-03	-1.0820+00	*	.	= +	.	\$.	.	.
4.9000-03	-1.0840+00	*	.	= +	.	\$.	.	.



1.4750-02	7.3130-01	0	.	*	.	+	=	.	5	.
1.4800-02	7.7300-01	0	.	*	.	+	=	.	5	.
1.4850-02	8.0330-01	0	.	*	.	+	=	.	5	.
1.4900-02	8.3360-01	0	.	*	.	+	=	.	5	.
1.4950-02	8.6400-01	0	.	*	.	+	=	.	5	.
1.5000-02	8.9290-01	0	.	*	.	+	=	.	5	.
1.5050-02	1.0240+00	.	.	*	.	+	=	.	5	.
1.5100-02	2.1220+00	5	0
1.5150-02	2.6120+00	5	0
1.5200-02	2.7190+00	.	.	*	.	.	+	=	.	0
1.5250-02	2.7830+00	.	.	*	.	.	+	=	.	0
1.5300-02	2.8340+00	.	.	*	.	.	+	=	.	0
1.5350-02	2.8660+00	.	.	*	.	.	+	=	.	0
1.5400-02	2.8990+00	.	.	*	.	.	+	=	.	0
1.5450-02	2.9210+00	.	.	*	.	.	X	.	5	0
1.5500-02	2.9330+00	.	.	*	.	.	X	.	5	0
1.5550-02	2.9450+00	.	.	*	.	.	X	.	5	0
1.5600-02	2.9580+00	.	.	*	.	.	X	.	5	0
1.5650-02	2.9700+00	.	.	*	.	.	X	.	5	0
1.5700-02	2.9800+00	.	.	*	.	.	X	.	5	0
1.5750-02	2.9820+00	.	.	*	.	.	X	.	5	0
1.5800-02	2.9840+00	.	.	*	.	.	X	.	5	0
1.5850-02	2.9860+00	.	.	*	.	.	X	.	5	0
1.5900-02	2.9880+00	.	.	*	.	.	X	.	5	0
1.5950-02	2.9900+00	.	.	*	.	.	X	.	5	0
1.6000-02	2.9920+00	.	.	*	.	.	X	.	5	0

JOB CONCLUDED

TIME		PAGE	DIRECT	BUFFERED
CPU	ELAPSED	FAULTS	I/O	I/O
0: 4:48.15	0: 6:26.26	195	24	7

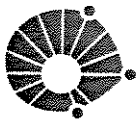
TOTAL JOB TIME 288.15

TESTE DO CONTADOR ASCENDENTE DE QUATRO ESTAGIOS

**** INPUT LISTING TEMPERATURE = 27.000 DEG C

***** * *****

- MP01 6 4 7 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP02 8 7 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP03 8 5 9 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP04 10 2 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP05 11 9 10 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP06 6 11 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP07 6 4 9 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP08 13 8 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP09 12 2 13 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP10 12 5 7 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP11 4 1 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP12 5 4 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP13 14 4 15 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP14 16 15 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP15 16 5 17 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP16 18 2 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP17 19 17 18 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP18 19 11 14 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP19 20 6 14 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP20 20 19 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP21 20 4 17 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP22 22 16 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP23 21 2 22 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP24 21 5 15 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP25 26 4 27 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP26 28 27 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP27 28 5 29 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP28 30 2 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP29 31 29 30 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP30 31 25 26 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP31 32 23 26 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP32 32 31 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP33 32 4 29 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP34 34 28 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP35 33 2 34 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP36 33 5 27 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP37 23 11 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP38 23 19 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP39 25 23 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP40 38 4 39 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP41 40 39 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP42 40 5 41 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP43 42 2 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP44 43 41 42 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP45 38 37 43 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP46 38 35 44 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP47 44 43 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP48 44 4 41 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP49 46 40 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
- MP50 45 2 46 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP51 45 5 39 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
- MP52 35 48 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73



UNICAMP

MP53 35 23 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
 MP54 37 35 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
 MP55 47 31 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73
 MP56 48 47 3 3 MCHP W=5.1U L=4U AS=15.6P AD=15.6P PS=16.4U PD=16.4U NRS=1.73 NRD=1.73 OFF
 MN01 6 5 7 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN02 8 7 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN03 8 4 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN04 11 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN05 11 9 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN06 6 11 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN07 6 5 9 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN08 12 8 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN09 12 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN10 12 4 7 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN11 4 1 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN12 5 4 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN13 14 5 15 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN14 16 15 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN15 16 4 17 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN16 19 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN17 19 17 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN18 19 6 14 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN19 20 11 14 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN20 20 19 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN21 20 5 17 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN22 21 16 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN23 21 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN24 21 4 15 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN25 26 5 27 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN26 28 27 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN27 28 4 29 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN28 31 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN29 31 29 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN30 31 23 26 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN31 32 25 26 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN32 32 31 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN33 32 5 29 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN34 33 28 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN35 33 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN36 33 4 27 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN37 23 11 24 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN38 24 19 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN39 25 23 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN40 38 5 39 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN41 40 39 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN42 40 4 41 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN43 43 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN44 43 41 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN45 43 35 38 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN46 44 37 38 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN47 44 43 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN48 44 5 41 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN49 45 40 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN50 45 2 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN51 45 4 39 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN52 35 48 36 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN53 36 25 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN54 37 35 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 MN55 47 31 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33 OFF
 MN56 48 47 0 0 MCHN W=4U L=7.8U AS=12P AD=12P PS=14U PD=14U NRS=1.33 NRD=1.33
 VREL 1 0 PULSE(0 5 0N 0U 0U .5K 1M)
 VRST 2 0 PULSE(5 0 0N 0U 0U 19K 20M)
 VP 3 0 DC 5
 .MODEL MCHP PMOS (LEVEL=2 VTO=0.6 TOX=465E-10 NSUB=1.1E15 XJ=0.5U LD=0.65U
 +UD=290 UCRT=0.85E5 UEXP=0.18 VMAX=3E4 NEFF=3.5 DELTA=0.6 RSH=70 CJ=140E-6



UNICAMP

+CGSD=3.2E-10 CGDO=3.2E-10 CJSW=220E-12 MJ=0.5 MJSW=0.27 PB=0.65 NFS=3E11)
•MODEL MCHN NMDS (LEVEL=2 VTO=0.6 TOX=465E-10 MSUS=6.0E15 XJ=0.5U LD=0.65U
+UO=725 UCRIT=0.93E5 UEXP=0.1 VMAX=5E4 NEFF=3.3 DELTA=1.0 RSH=20 CGSD=2.7E-10
+CGDO=2.7E-10 CJ=205E-6 CJSW=305E-6 MJ=0.85 MJSW=0.275 PB=0.67 NFS=4E11)
•TRAN 50U 25M
•PLOT TRAN V(11) (0,20) V(19) (-5,15) V(31) (-10,10) V(43) (-15,5)
+V(2) V(1) (0,5)
•OPTIONS LIMPTS=1001 ITL5=10000
•END

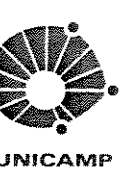


TESTE DO CONTADOR ASCENDENTE DE QUATRO ESTAGIOS

MOSFET MODEL PARAMETERS

TEMPERATURE = 27.000 DEG C

	MCHP	MCHN
TYPE	PMOS	NMOS
LEVEL	2.000	2.000
VTO	0.600	0.600
KP	2.150-05	5.380-05
GAMMA	0.257	0.601
PHI	0.581	0.669
PB	0.650	0.670
CGSO	3.200-10	2.700-10
CGDO	3.200-10	2.700-10
RSR	70.000	20.000
CJ	1.400-04	2.850-04
KJ	0.500	0.850
CJSW	2.200-10	3.050-04
MJSW	0.270	0.275
TOX	4.650-08	4.650-08
NSUB	1.100+15	6.000+15
NFS	3.000+11	4.000+11
TPG	1.000	1.000
XJ	5.000-07	5.000-07
LD	6.500-07	6.500-07
UD	290.000	725.000
UCRIT	8.500+04	9.300+04
UEXP	0.180	0.100
VMAX	3.000+04	5.000+04
NEFF	3.500	3.300
DELTA	0.600	1.000



TESTE DO CONTADOR ASCENDENTE DE QUATRO ESTAGIOS

INITIAL TRANSIENT SOLUTION

TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	0.0000	(2)	5.0000	(3)	5.0000	(4)	5.0000	(5)	0.0996	(6)	4.9438	(7)	0.1329
(8)	4.9936	(9)	4.9872	(10)	4.7593	(11)	0.0189	(12)	0.0593	(13)	4.7686	(14)	0.1499
(15)	0.0187	(16)	4.9927	(17)	4.9854	(18)	4.7588	(19)	0.0661	(20)	4.9346	(21)	0.0187
(22)	4.7683	(23)	5.0000	(24)	0.0106	(25)	0.0996	(26)	0.1331	(27)	0.0187	(28)	4.9937
(29)	4.9873	(30)	4.7598	(31)	0.0596	(32)	4.9436	(33)	0.0187	(34)	4.7681	(35)	5.0000
(36)	0.0116	(37)	0.0996	(38)	0.1331	(39)	0.0187	(40)	4.9937	(41)	4.9873	(42)	4.7598
(43)	0.0596	(44)	4.9436	(45)	0.0187	(46)	4.7681	(47)	5.0000	(48)	0.0996		

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VREL	0.0000+00
VRST	0.0000+00
VP	-1.3170-04

TOTAL POWER DISSIPATION 6.590-04 WATTS



TESTE DO CONTADOR ASCENDENTE DE QUATRO ESTAGIOS

OPERATING POINT INFORMATION

TEMPERATURE = 27.000 DEG C

**** MOSFETS

	MP01	MP02	MP03	MP04	MP05	MP06	MP07	MP08	MP09	MP10	MP11	MP12
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP
ID	1.03E-05	-1.04E-06	1.04E-06	-4.84E-06	-4.85E-06	-9.28E-06	-1.04E-06	-4.77E-06	-4.77E-06	-1.13E-06	-7.63E-12	-1.26E-05
VGS	4.867	-4.867	-4.888	0.000	0.228	-4.981	0.013	-0.006	0.231	-0.033	-5.000	0.000
VDS	4.811	-0.006	0.006	-0.241	-4.740	-0.056	-0.043	-0.231	-4.709	-0.074	0.000	-4.900
VBS	4.867	0.000	0.013	0.000	0.241	0.000	0.013	0.000	0.231	4.867	0.000	0.000

	MP13	MP14	MP15	MP16	MP17	MP18	MP19	MP20	MP21	MP22	MP23	MP24
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP
ID	-1.88E-12	-1.21E-06	1.21E-06	-4.85E-06	-4.85E-06	-1.61E-06	1.19E-05	-1.07E-05	-1.21E-06	-4.78E-06	-4.78E-06	-3.28E-12
VGS	4.981	-4.981	-4.888	0.000	0.227	-0.131	4.794	-4.934	0.015	-0.007	0.232	0.001
VDS	0.131	-0.007	0.007	-0.241	-4.693	-0.004	4.785	-0.065	-0.051	-0.232	-4.750	0.000
VBS	4.981	0.000	0.015	0.000	0.241	4.850	4.850	-0.000	0.015	0.000	0.232	4.981

	MP25	MP26	MP27	MP28	MP29	MP30	MP31	MP32	MP33	MP34	MP35	MP36
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP
ID	-1.88E-12	-1.05E-06	1.05E-06	-4.84E-06	-4.84E-06	-1.13E-06	1.03E-05	-9.26E-06	-1.05E-06	-4.77E-06	-4.77E-06	-3.30E-12
VGS	4.981	-4.981	-4.888	0.000	0.227	-0.033	4.867	-4.940	0.013	-0.006	0.232	0.001
VDS	0.114	-0.006	0.006	-0.240	-4.700	-0.073	4.810	-0.056	-0.044	-0.232	-4.749	0.000
VBS	4.981	0.000	0.013	0.000	0.240	4.867	4.867	0.000	0.013	0.000	0.232	4.981

	MP37	MP38	MP39	MP40	MP41	MP42	MP43	MP44	MP45	MP46	MP47	MP48
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP
ID	-3.48E-12	-3.46E-12	-1.26E-05	-1.68E-12	-1.05E-06	1.05E-06	-4.84E-06	-4.84E-06	1.13E-06	-1.03E-05	-9.26E-06	-1.05E-06
VGS	-4.981	-4.934	0.000	4.981	-4.981	-4.888	0.000	0.227	0.040	0.056	-4.940	0.013
VDS	0.000	0.000	-4.900	0.114	-0.006	0.006	-0.240	-4.700	0.073	-4.810	-0.056	-0.044
VBS	0.000	0.000	0.000	4.981	0.000	0.013	0.000	0.240	4.940	0.056	0.000	0.013

	MP49	MP50	MP51	MP52	MP53	MP54	MP55	MP56	MN01	MN02	MN03	MN04
MODEL	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHP	MCHN	MCHN	MCHN	MCHN
ID	-4.77E-06	-4.77E-06	-3.28E-12	-3.58E-12	-3.58E-12	-1.26E-05	-0.74E-12	-1.26E-05	2.05E-12	8.44E-12	1.93E-12	2.43E-06
VGS	-0.006	0.232	0.001	-4.900	-4.900	0.000	-4.940	0.000	-0.033	0.133	0.013	5.000
VDS	-0.232	-4.749	0.000	0.000	0.000	-4.900	0.000	-4.900	4.811	4.994	0.006	0.019
VBS	0.000	0.232	4.981	0.000	0.000	0.000	0.000	0.000	-0.133	0.000	-4.987	0.000

TESTE DO CONTADOR SCENDENTE DE QUATRO ESTAGIOS

*** TRANSIENT ANALYSIS

TEMPERATURE = 27.000 DEG C

LEGEND:

- * : V(11) : Vsai1
- + : V(19) : Vsai2
- = : V(31) : Vsai3
- \$: V(43) : Vsai4
- @ : V(2) : Vreset
- (< : V(1) : Vrelog

TIME	V(11)	V(19)	V(31)	V(43)	V(2)	V(1)
0.000+00	0.000+00	-5.000+00	-1.000+01	-1.500+01	0.000+00	0.000+00
5.000+00	5.000+00	0.000+00	-5.000+00	-1.000+01	1.250+00	1.250+00
1.000+01	1.000+01	5.000+00	0.000+00	-5.000+00	2.500+00	2.500+00
1.500+01	1.500+01	1.000+01	5.000+00	0.000+00	3.750+00	3.750+00
2.000+01	2.000+01	1.500+01	1.000+01	5.000+00	5.000+00	5.000+00
0.000+00	1.895D-02	X	+	=	\$	@
5.000-05	5.022D-02	X	+	=	\$	@
1.000-04	9.925D-02	X	+	=	\$	<
1.500-04	1.884D-01	0*	+	=	\$	<
2.000-04	2.558D-01	0*	+	=	\$	<
2.500-04	2.640D-01	0*	+	=	\$	<
3.000-04	2.439D-01	0*	+	=	\$	<
3.500-04	2.079D-01	0*	+	=	\$	<
4.000-04	1.802D-01	0*	+	=	\$	<
4.500-04	1.555D-01	0*	+	=	\$	<
5.000-04	1.317D-01	0*	+	=	\$	<
5.500-04	1.235D-01	X*	+	=	\$	<
6.000-04	1.979D-01	X*	+	=	\$.
6.500-04	6.095D-01	X *	+	=	\$.
7.000-04	1.445D+00	X *	+	=	\$.
7.500-04	2.523D+00	X *	+	=	\$.
8.000-04	3.487D+00	X *	+	=	\$.
8.500-04	4.197D+00	X *	+	=	\$.
9.000-04	4.582D+00	X *	+	=	\$.
9.500-04	4.907D+00	X *	+	=	\$.
1.000-03	4.965D+00	X *	+	=	\$.
1.050-03	4.985D+00	@	+	=	\$	<
1.100-03	4.994D+00	@	+	=	\$	<
1.150-03	4.992D+00	@	+	=	\$	<
1.200-03	4.981D+00	@	+	=	\$	<
1.250-03	4.978D+00	@	+	=	\$	<
1.300-03	4.982D+00	@	+	=	\$	<
1.350-03	4.988D+00	@	+	=	\$	<
1.400-03	4.993D+00	@	+	=	\$	<
1.450-03	4.997D+00	@	+	=	\$	<



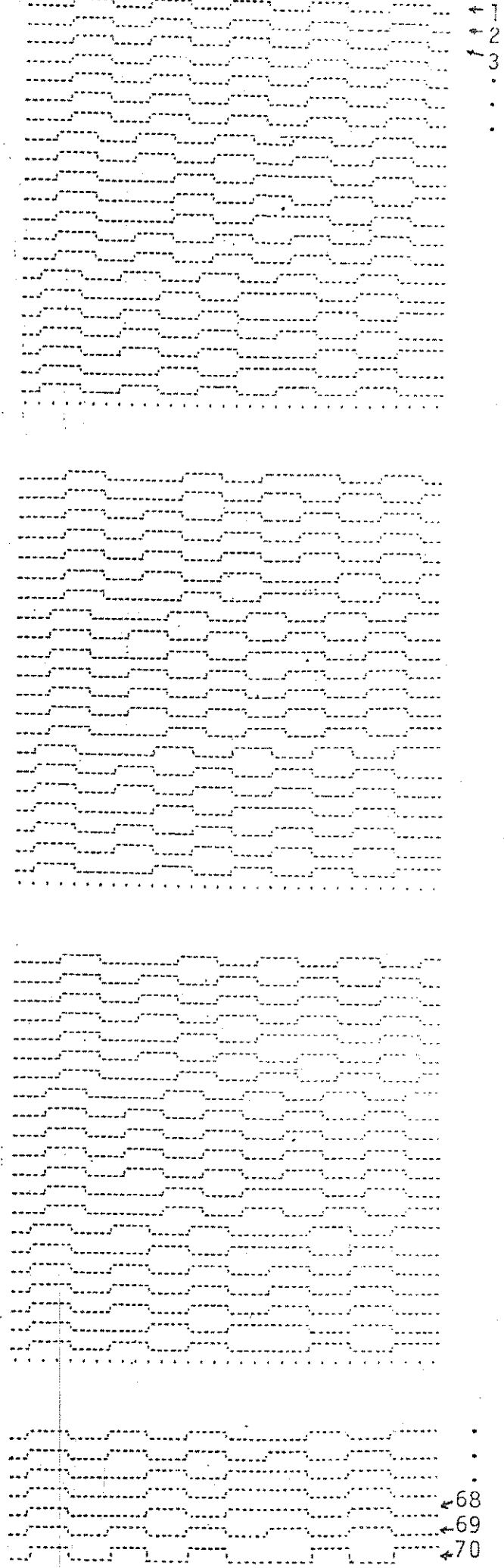
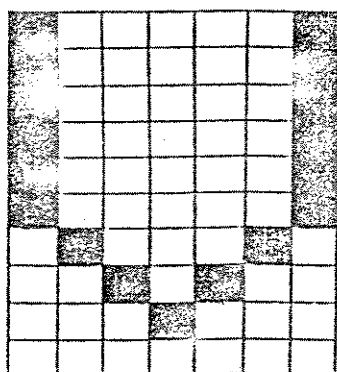
1.1150-02	4.9930+00	0	*	+	=	.	X
1.1200-02	4.9810+00	0	*	+	=	.	X
1.1250-02	4.9780+00	0	*	+	=	.	X
1.1300-02	4.9810+00	0	*	+	=	.	X
1.1350-02	4.9870+00	0	*	+	=	.	X
1.1400-02	4.9930+00	0	*	+	=	.	X
1.1450-02	4.9960+00	0	*	+	=	.	X
1.1500-02	4.9990+00	0	*	+	=	.	X
1.1550-02	5.0000+00	X	*	+	=	.	S
1.1600-02	4.9940+00	X	*	+	=	.	S
1.1650-02	4.8150+00	X	*	+	=	.	S
1.1700-02	4.2430+00	X	*	+	=	.	S
1.1750-02	3.3120+00	X	*	+	=	.	S
1.1800-02	2.2310+00	X	*	+	=	.	S
1.1850-02	1.2630+00	X	*	+	=	.	S
1.1900-02	6.2870-01	X	*	+	=	.	S
1.1950-02	3.5780-01	X	*	+	=	.	S
1.2000-02	2.0490-01	X	*	+	=	.	S
1.2050-02	1.4760-01	0*	.	+	=	.	S
1.2100-02	1.4980-01	0*	.	+	=	.	S
1.2150-02	2.1490-01	0*	.	+	=	.	S
1.2200-02	2.6910-01	0*	.	+	=	.	S
1.2250-02	2.6890-01	0*	.	+	=	.	S
1.2300-02	2.4160-01	0*	.	+	=	.	S
1.2350-02	2.0660-01	0*	.	+	=	.	S
1.2400-02	1.7860-01	0*	.	+	=	.	X
1.2450-02	1.5060-01	0*	.	+	=	.	X
1.2500-02	1.3270-01	0*	.	+	=	.	X
1.2550-02	1.2350-01	X*	.	+	=	.	S
1.2600-02	1.9430-01	X*	.	+	=	.	S
1.2650-02	6.0430-01	X	*	.	+	=	S
1.2700-02	1.4450+00	X	*	.	+	=	S
1.2750-02	2.5230+00	X	*	.	+	=	S
1.2800-02	3.4790+00	X	*	.	+	=	S
1.2850-02	4.2330+00	X	*	.	+	=	S
1.2900-02	4.5780+00	X	*	.	+	=	S
1.2950-02	4.9180+00	X	*	.	+	=	S
1.3000-02	4.9670+00	X	*	.	+	=	S
1.3050-02	4.9860+00	0	*	.	+	=	X
1.3100-02	4.9940+00	0	*	.	+	=	X
1.3150-02	4.9920+00	0	*	.	+	=	X
1.3200-02	4.9810+00	0	*	.	+	=	X
1.3250-02	4.9790+00	0	*	.	+	=	X
1.3300-02	4.9810+00	0	*	.	+	=	X
1.3350-02	4.9870+00	0	*	.	+	=	X
1.3400-02	4.9930+00	0	*	.	+	=	X
1.3450-02	4.9970+00	0	*	.	+	=	X
1.3500-02	4.9990+00	0	*	.	+	=	X
1.3550-02	4.9990+00	X	*	.	+	=	S
1.3600-02	4.9900+00	X	*	.	+	=	S
1.3650-02	4.8060+00	X	*	.	+	=	S
1.3700-02	4.2580+00	X	*	.	+	=	S
1.3750-02	3.3120+00	X	*	.	+	=	S
1.3800-02	2.2040+00	X	*	.	+	=	S
1.3850-02	1.3690+00	X	*	.	+	=	S
1.3900-02	6.5280-01	X	*	.	+	=	S
1.3950-02	4.0960-01	X	*	.	+	=	S
1.4000-02	1.6640-01	X*	.	+	=	.	S
1.4050-02	1.2830-01	0*	.	+	=	.	X
1.4100-02	1.4030-01	0*	.	+	=	.	X
1.4150-02	2.0800-01	0*	.	+	=	.	X
1.4200-02	2.6180-01	0*	.	+	=	.	X
1.4250-02	2.6240-01	0*	.	+	=	.	X
1.4300-02	2.4200-01	0*	.	+	=	.	X
1.4350-02	2.0560-01	0*	.	+	=	.	X



1.4400-02	1.7440-01	0*	.	+	=	.	X
1.4450-02	1.5450-01	0*	.	+	=	.	X
1.4500-02	1.3470-01	0*	.	+	=	.	X
1.4550-02	1.2180-01	X*	.	+	=	.	S
1.4600-02	2.0360-01	X*	.	+	=	.	S
1.4650-02	6.1700-01	X *	.	+	=	.	S
1.4700-02	1.4420+00	X	*	.	+	=	S
1.4750-02	2.5290+00	X	*	.	+	=	S
1.4800-02	3.5330+00	X	*	.	+	=	S
1.4850-02	4.1460+00	X	*	.	+	=	S
1.4900-02	4.6460+00	X	*	.	+	=	S
1.4950-02	4.8700+00	X	*	.	+	=	S
1.5000-02	4.9650+00	X	*	.	+	=	S
1.5050-02	4.9850+00	0	*	.	+	=	S
1.5100-02	4.9940+00	0	*	.	+	=	S
1.5150-02	4.9920+00	0	*	.	+	=	S
1.5200-02	4.9820+00	0	*	.	+	=	S
1.5250-02	4.9790+00	0	*	.	+	=	S
1.5300-02	4.9820+00	0	*	.	+	=	S
1.5350-02	4.9880+00	0	*	.	+	=	S
1.5400-02	4.9930+00	0	*	.	+	=	S
1.5450-02	4.9960+00	0	*	.	+	=	S
1.5500-02	4.9990+00	0	*	.	+	=	S
1.5550-02	5.0000+00	X	*	.	+	=	S
1.5600-02	4.9930+00	X	*	.	+	=	S
1.5650-02	4.8210+00	X	*	.	+	=	S
1.5700-02	4.2470+00	X	*	.	+	=	S
1.5750-02	3.3330+00	X	*	.	+	=	S
1.5800-02	2.2260+00	X	*	.	+	=	S
1.5850-02	1.2100+00	X	*	.	+	=	S
1.5900-02	6.3590-01	X *	.	+	=	.	S
1.5950-02	3.5240-01	X *	.	+	=	.	S
1.6000-02	2.1510-01	X*	.	+	=	.	S
1.6050-02	1.5320-01	0*	.	+	=	.	S
1.6100-02	1.5240-01	0*	.	+	=	.	S
1.6150-02	2.1510-01	0*	.	+	=	.	S
1.6200-02	2.6680-01	0*	.	+	=	.	S
1.6250-02	2.6810-01	0*	.	+	=	.	S
1.6300-02	2.4520-01	0*	.	+	=	.	S
1.6350-02	2.0860-01	0*	.	+	=	.	S
1.6400-02	1.7380-01	0*	.	+	=	.	S
1.6450-02	1.5450-01	0*	.	+	=	.	S
1.6500-02	1.3510-01	0*	.	+	=	.	S
1.6550-02	1.2240-01	X*	.	+	=	.	S
1.6600-02	1.9550-01	X*	.	+	=	.	S
1.6650-02	6.1100-01	X *	.	+	=	.	S
1.6700-02	1.4440+00	X	*	.	+	=	S
1.6750-02	2.5280+00	X	*	.	+	=	S
1.6800-02	3.5570+00	X	*	.	+	=	S
1.6850-02	4.2230+00	X	*	.	+	=	S
1.6900-02	4.6420+00	X	*	.	+	=	S
1.6950-02	4.8150+00	X	*	.	+	=	S
1.7000-02	4.9880+00	X	*	.	+	=	S
1.7050-02	4.9950+00	0	*	.	+	=	S
1.7100-02	4.9980+00	0	*	.	+	=	S
1.7150-02	4.9930+00	0	*	.	+	=	S
1.7200-02	4.9820+00	0	*	.	+	=	S
1.7250-02	4.9770+00	0	*	.	+	=	S
1.7300-02	4.9820+00	0	*	.	+	=	S
1.7350-02	4.9870+00	0	*	.	+	=	S
1.7400-02	4.9920+00	0	*	.	+	=	S
1.7450-02	4.9970+00	0	*	.	+	=	S
1.7500-02	4.9980+00	0	*	.	+	=	S
1.7550-02	5.0000+00	X	*	.	+	=	S
1.7600-02	4.9930+00	X	*	.	+	=	S

$t = 56,0854 \text{ ms}$

64	65	66	67	68	69	70
57	58	59	60	61	62	63
50	51	52	53	54	55	56
43	44	45	46	47	48	49
36	37	38	39	40	41	42
29	30	31	32	33	34	35
22	23	24	25	26	27	28
15	16	17	18	19	20	21
8	9	10	11	12	13	14
1	2	3	4	5	6	7

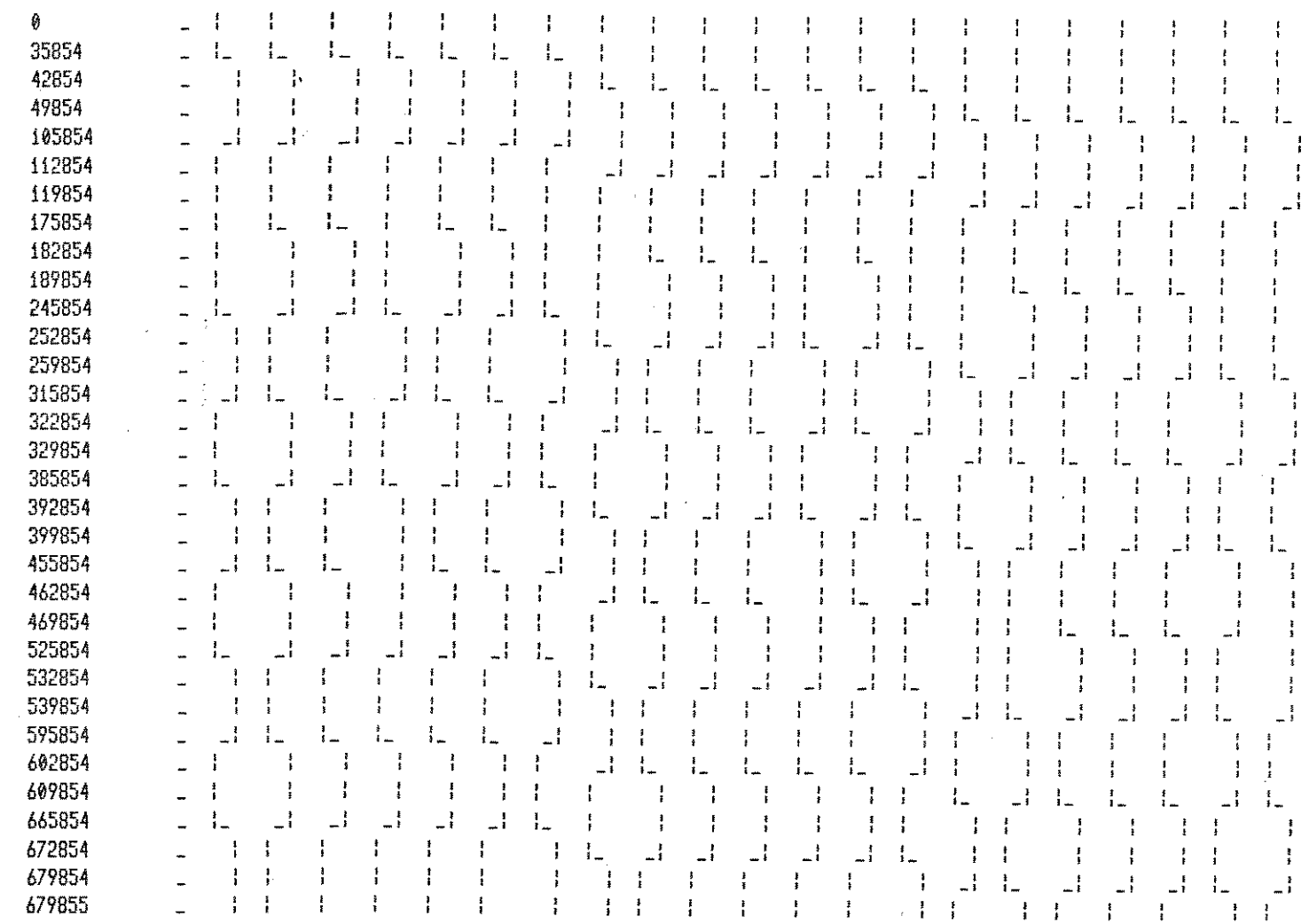


FAULT-FREE SIMULATION TRANSITION TIME TRACE

Circuit: ACIONA
Waveform: ACWAVE
Date: 11-AUG-87 14:23:19

V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V
E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E
4	4	4	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	2
2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3

TIME

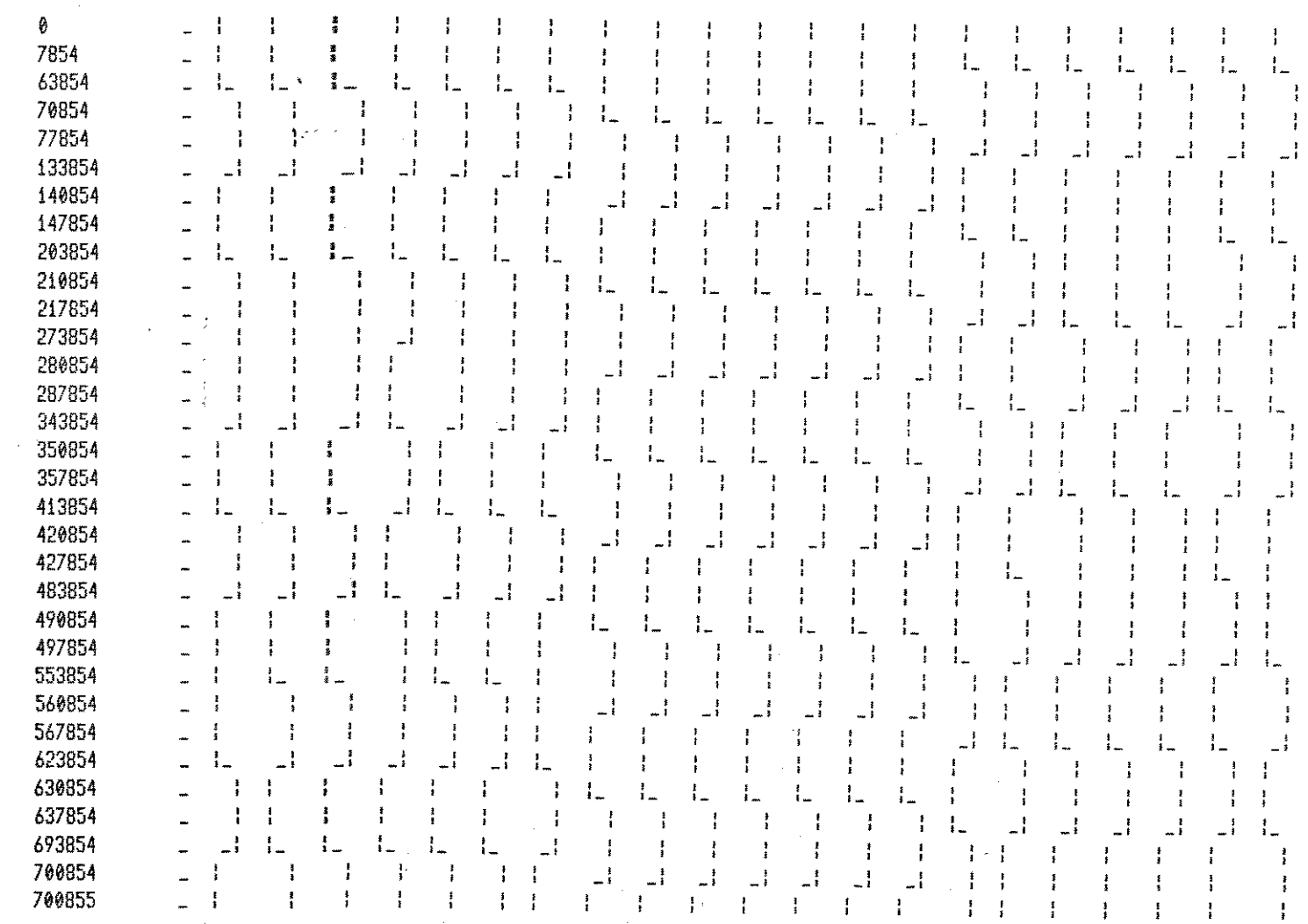


FAULT-FREE SIMULATION TRANSITION TIME TRACE

Circuit: ACIONA
 Waveform: ACWAVE
 Date: 11-AUG-87 14:30:57

V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V
E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E	E
8	8	8	8	8	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5

TIME

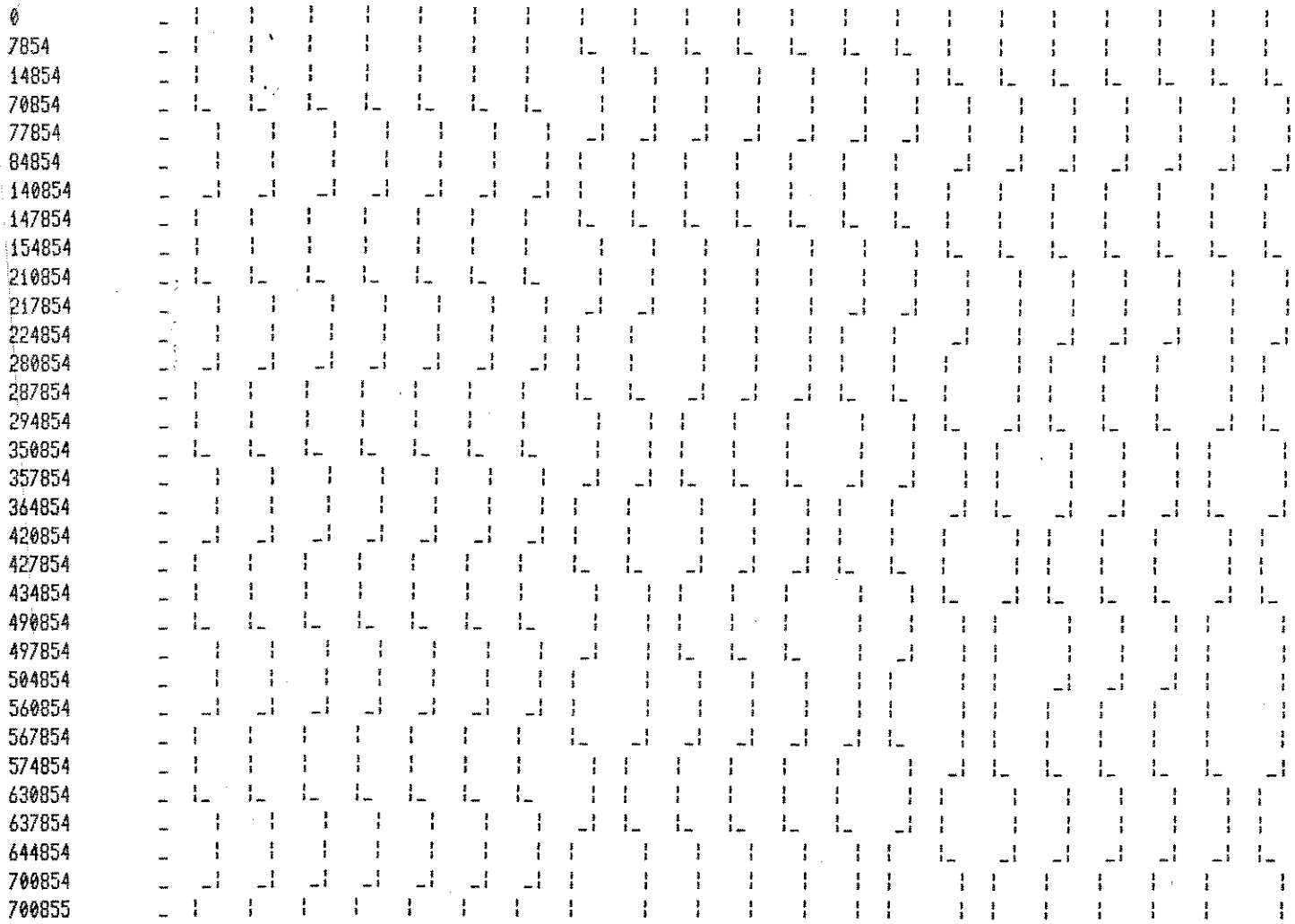


FAULT-FREE SIMULATION TRANSITION TIME TRACE

Circuit: ACIONA
Waveform: ACWAVE
Date: 11-AUG-87 14:38:43

Table with 20 columns and 4 rows of numerical data. Row 1: V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V. Row 2: E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E. Row 3: 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1. Row 4: 4, 4, 4, 4, 4, 4, 4, 4, 3, 3, 3, 3, 3, 3, 3, 3, 3, 2, 2, 2.

TIME

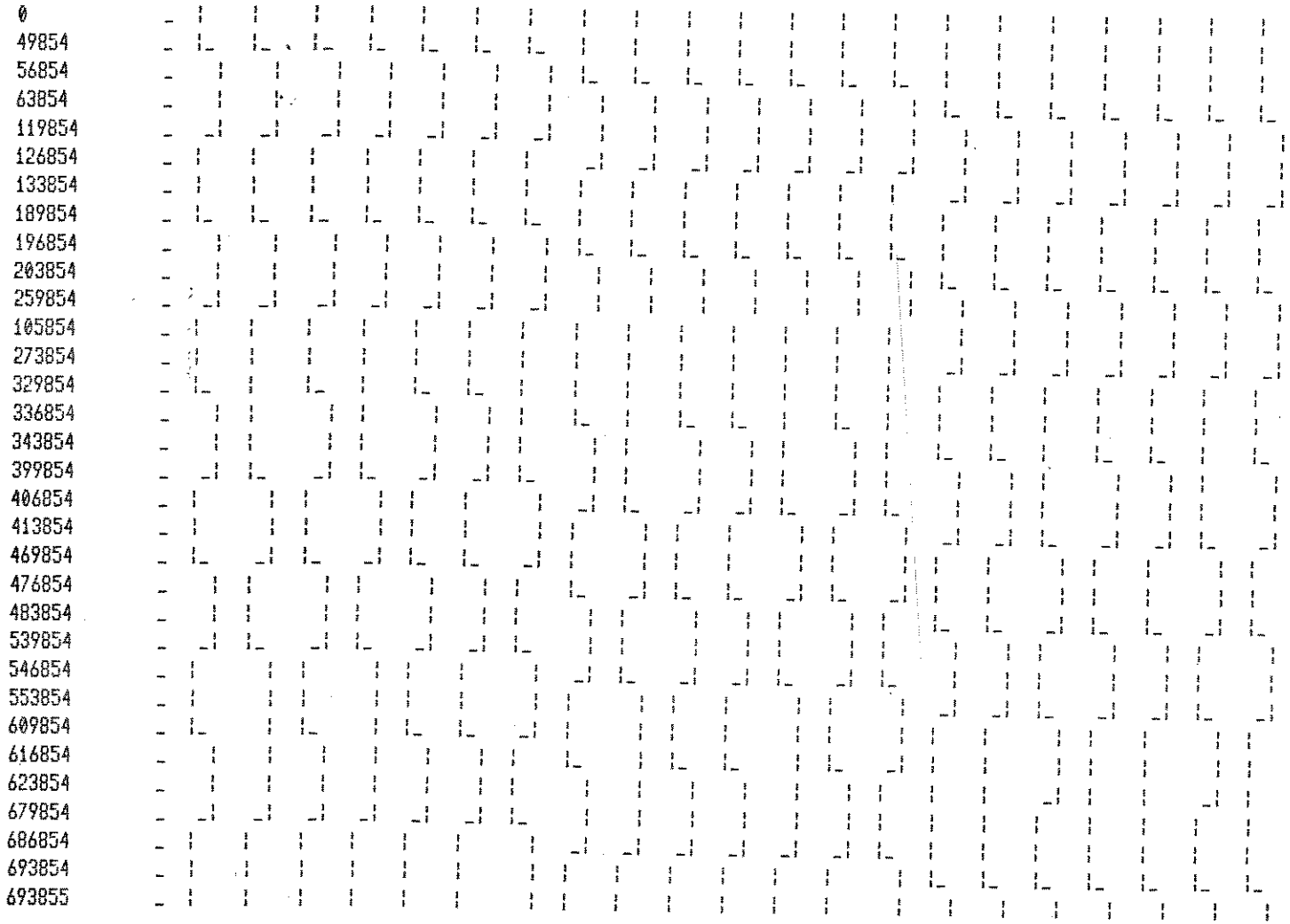


FAULT-FREE SIMULATION TRANSITION TIME TRACE

Circuit: ACIONA
Waveform: ACWAVE
Date: 11-AUG-87 14:41:29

Table with 20 columns and 4 rows of data. Row 1: V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V. Row 2: E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E. Row 3: 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1. Row 4: 6, 6, 6, 6, 6, 6, 6, 6, 5, 5, 5, 5, 5, 5, 5, 5, 5, 5, 4, 4.

TIME



FAULT-FREE SIMULATION TRANSITION TIME TRACE

Circuit: ACIONA
Waveform: ACWAVE
Date: 11-AUG-87 14:43:45

Table with 20 columns and 4 rows of data. Row 1: V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V, V. Row 2: E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E, E. Row 3: 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 1. Row 4: 8, 8, 8, 8, 8, 8, 8, 8, 8, 8, 7, 7, 7, 7, 7, 7, 7, 7, 7, 6.

TIME

