

UNIVERSIDADE ESTADUAL DE CAMPINAS
FEEC – FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DSIF – DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E
FOTÔNICA.

**Determinação de Regras de Projeto e de
Parâmetros de Simulação de um Processo
nMOS para Fabricação de Circuitos Integrados**

Dissertação apresentada à Faculdade de
Engenharia Elétrica e Computação da
Universidade Estadual de Campinas
para a obtenção do título de Mestre em
Engenharia Elétrica.

Autor: Leandro Tiago Manera

Orientador: Peter Jürgen Tatsch

Banca Examinadora:

Dr. Marcelo Arturo Jara Perez

Prof. Dr. José Alexandre Diniz

Prof. Dr. Edson Moschim

Prof. Dr. Furio Damiani

Campinas - Julho de 2002

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

M313d Manera, Leandro Tiago
Determinação de regras de projeto e de parâmetros de simulação de um processo nMOS para fabricação de circuitos integrados / Leandro Tiago Manera.-- Campinas, SP: [s.n.], 2002.

Orientador: Peter Jürgen Tatsch.
Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Transistores de efeito de campo. 2. Spice (Programa de computador). 3. Silício. I. Tatsch, Peter Jürgen. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Dedico este trabalho aos meus pais,
Amauri Manera e Cleuza Maria
Martins Manera e aos meus irmãos,
Gleison e Suzi e agradeço pela
confiança e apoio no meu trabalho.

Dedico também este trabalho à
minha companheira Suellen Volski.

Este trabalho foi realizado com o apoio das seguintes entidades:

- CNPq – Auxílio Bolsa de Mestrado
- FAPESP – Auxílio Bolsa de Mestrado
- CCS/UNICAMP
- FEEC/DSIF/UNICAMP

AGRADECIMENTOS

Agradeço todas as pessoas e instituições que de qualquer forma contribuíram com o desenvolvimento deste trabalho, em destaque:

- Ao meu orientador, o Prof. Dr. Peter Jürgen Tatsch, pela amizade e pelo grande apoio e dedicação na realização deste trabalho;
- Ao Prof. Dr. Jacobus Willibrordus Swart pela oportunidade;
- Ao Prof. Dr. José Alexandre Diniz, pelo companheirismo, pelos esclarecimentos e pela grande ajuda na realização deste trabalho;
- Ao pessoal do laboratório do CCS, Godoy, Regina, Mara e Eudócio pela colaboração nos processos de fabricação de dispositivos;
- A todos os amigos do CCS que compartilharam horas de conversa pertinentes ao trabalho;
- A Deus...

RESUMO

Este trabalho trata do desenvolvimento e do aperfeiçoamento dos processos de fabricação de dispositivos nMOS utilizados em pesquisas e no ensino de microeletrônica no centro de componentes semicondutores da Unicamp (CCS). A caracterização elétrica e a determinação dos parâmetros para simulação também são apresentados.

Inicialmente realizou-se um estudo do processo de fabricação de dispositivos nMOS, anteriormente utilizados em cursos e em pesquisas no centro. Em seguida foi elaborado um novo processo de fabricação com novos parâmetros de fabricação.

A estrutura do processo de fabricação é descrita a partir das etapas básicas que foram pesquisadas, simuladas, implementadas e caracterizadas. Alguns dos critérios elétricos e tecnológicos são relatados e testados, visando propor melhorias no processo de fabricação existente no laboratório.

Para a especificação das etapas de fabricação foram utilizados simuladores de processos de fabricação e de simulação elétrica. Os ajustes dos parâmetros da simulação, foram obtidos após comparações com o dispositivo real. O processo de fabricação obtido foi empregado na confecção das pastilhas testes desenvolvidas para a tese e em pastilhas já utilizadas em cursos de fabricação. Foram fabricados transistores do tipo enriquecimento e do tipo depleção com comprimento efetivo de canal de $5\mu\text{m}$, capacitores, portas lógicas e estruturas de testes. Com o novo processo proposto foram fabricados transistores com comprimento mínimo efetivo de canal de $1.7\mu\text{m}$ e profundidade de junção de $0.2\mu\text{m}$. Após a confecção das pastilhas foram extraídos os parâmetros para simulação SPICE seguindo a metodologia tradicional.

Paralelamente, visando a descrição de modelos que acompanhem o avanço da tecnologia e a redução das dimensões dos dispositivos, foi estudado o modelo de simulação BSIM3v3. Para a extração de parâmetros e para a validação desse modelo utilizaram-se as lâminas cedidas pelo IMEC da Bélgica.

Os resultados mostraram que os modelos dos simuladores, quando bem interpretados seja na metodologia de extração ou no equacionamento matemático, podem representar com boa precisão o comportamento dos dispositivos. A concordância entre as curvas dos dispositivos fabricados e dos dispositivos simulados é satisfatória de acordo com as publicações referentes ao assunto, com uma imprecisão menor que 10%, tanto nos dispositivos de geometria pequena quanto nos de grande dimensões. Com isto disponibilizou-se para o CCS ferramentas de projeto de dispositivos e circuitos adequadas ao processo utilizado para fabricação.

ABSTRACT

This work presents the development and the improvement of an nMOS device fabrication process used for microelectronics research and education. The electric characterization and the parameter extraction procedure for SPICE simulation were also presented.

Initially, a study of the nMOS device fabrication process used in courses and researches at the center for semiconductor components (CCS/UNICAMP) was accomplished. Following, another fabrication process with some new parameters was proposed.

The fabrication process structure is described from the basic stages of fabrication, which were researched, simulated, implemented and characterized. Some of the electrical and technological criteria are related and tested, seeking to propose improvements in the CCS fabrication process.

The nMOS device fabrication processes steps and electrical characteristic simulations were obtained by semiconductor devices software simulator. The adjustments in the simulation parameters, were obtained after comparisons with the experimental device. The final process sequence was applied in the fabrication of tests wafers and in the wafers already used in CCS courses. Enhancement and depletion transistors with $5\mu\text{m}$ effective channel length, capacitors, logic gates and tests structures were fabricated. By using a new proposed process, transistors with $1.7\mu\text{m}$ minimum effective channel length and junction depth of $0.2\mu\text{m}$ were fabricated. After the wafer fabrication, the SPICE simulation parameters were extracted following the traditional methodology.

Looking for models descriptions that keep up with technology progress and with devices dimensions reduction, the BSIM3v3 simulation model was presented. For parameters extraction and model validation, wafers provided from IMEC-Belgium were used.

The results showed that the simulators models when well performed, even in the extraction methodology or in the mathematical equations, may represent the device behavior with good precision. In conformity with the publications regarding this subject, the agreement between the fabricated devices and the simulated devices curves is satisfactory, with a imprecision smaller than 10%, either in small or long geometry devices dimensions. Using this results, a design kit for devices and circuits projects had been made available at CCS.

SUMÁRIO.

RESUMO.....	vi
ABSTRACT	vii
RELAÇÃO DOS PRINCIPAIS SÍMBOLOS	x
RELAÇÃO DAS FIGURAS	xi
I. INTRODUÇÃO	1
I.1 – HISTÓRICO.	1
I.2 – OBJETIVOS DESTE TRABALHO.....	2
I.3 – ESTRUTURAÇÃO DO TEXTO.....	4
II - FABRICAÇÃO DOS DISPOSITIVOS	5
II.1 - PROCESSO DE FABRICAÇÃO DOS DISPOSITIVOS MOS DE PORTA METÁLICA.....	5
II.1.1 – TECNOLOGIA DE FABRICAÇÃO – 5 μ m.	6
II.1.2 - TECNOLOGIA DE FABRICAÇÃO – 2 μ m.	11
II.2 – DESCRIÇÃO DOS DISPOSITIVOS FABRICADOS.....	15
II.3 – DESCRIÇÃO DAS REGRAS DE PROJETO UTILIZADAS.....	18
III – SIMULADORES.....	21
III.1 – SUPREM E PISCES.....	21
III.2 - SPICE E BSIM.....	22
III.3 – SIMULAÇÕES DE PROCESSO DE FABRICAÇÃO – SUPREM.....	22
III.4 – SIMULAÇÃO ELÉTRICA – PISCES.	26

III.5 – MODELOS SPICE.....	31
III.5.1 – PARÂMETROS SPICE.....	39
III.6 – O MODELO BSIM3V3.....	40
IV – METODOLOGIA DE EXTRAÇÃO DE PARÂMETROS.....	61
IV.1- MEDIDAS E ANÁLISE DOS RESULTADOS EXPERIMENTAIS.	61
IV.1.1 - EXTRAÇÃO DE PARÂMETROS PARA A TECNOLOGIA DE 5 μ m.	62
IV.1.2 – EXTRAÇÃO DE PARÂMETROS PARA A TECNOLOGIA DE 2 μ m.	72
IV.1.3 – EXTRAÇÃO DE PARÂMETROS NOS DISPOSITIVOS DO IMEC.....	78
V – RESULTADOS FINAIS.....	87
V.1 – REGRAS DE PROJETO - <i>DESIGN KIT</i>	87
V.2 – CONCLUSÕES E PERSPECTIVAS.....	90
REFERÊNCIAS BIBLIOGRÁFICAS.....	91
ANEXO A – DISPOSITIVOS M.O.S. (METAL-ÓXIDO-SEMICONDUCTOR).	95
A.1 – CAPACITOR MOS.	95
A.2 – O TRANSISTOR MOSFET.	99
ANEXO B – ARQUIVOS DE SIMULAÇÕES.	105
B.1 – ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 5 μ m.....	105
B.2 – ALGORITMO DA SIMULAÇÃO PISCES – PROCESSO 5 μ m.	108

RELAÇÃO DOS PRINCIPAIS SÍMBOLOS.

C_{ox}	Capacitância do óxido
ϵ_{si}	Permitividade do silício
ϵ_{ox}	Permitividade do óxido
E_f	Nível de Fermi
E_g	Largura da banda proibida do semiconductor
L	Comprimento do canal num transistor MOS
L_{eff}	Comprimento efetivo do canal
n_i	Concentração intrínseca de portadores
N_{sub}	Dopagem de substrato
q	Carga do elétron
K	Constante de Boltzman
R_{ds}	Resistência série entre fonte e dreno
T	Temperatura
t_{ox}	Espessura do óxido de porta
γ	Fator de corpo
I_{ds}	Corrente de dreno
V_{gs}	Tensão entre porta e fonte
V_{ds}	Tensão entre dreno e fonte
V_{bs}	Tensão entre substrato e fonte
V_{dsat}	Tensão de saturação de dreno
V_t	Tensão de limiar de condução
V_{fb}	Tensão de banda plana
ϕ_f	Potencial de Fermi
ϕ_s	Potencial de superfície
ϕ_{ms}	Diferença da função trabalho entre o metal e o semiconductor
X_j	Profundidade de junção de fonte e dreno
W	Largura do canal do num transistor MOS
μ	Mobilidade dos portadores
μ_{eff}	Mobilidade efetiva

RELAÇÃO DAS FIGURAS.

Fig. II.1 – Lâmina de silício.....	7
Fig. II.2 – Implantação Iônica para correção de V_t	7
Fig. II.3 – Oxidação.	7
Fig. II.4 – Aplicação do fotorresiste	Fig. II.5 – Exposição à luz UV.....
8	8
Fig. II.6 – Abertura das janelas de fonte e dreno com HF/NH_4	8
Fig. II.7 – Remoção do fotorresiste com acetona.....	8
Fig. II.8 – Implantação iônica.	9
Fig. II.9 – Recozimento e oxidação.	9
Fig. II.10 – Fotogravação de canal e contatos.....	9
Fig. II.11 – Formação do óxido de porta.....	10
Fig. II.12- Fotogravação de contatos.....	10
Fig. II.13 – Evaporação do alumínio.....	10
Fig. II.14 – Corrosão do alumínio.....	11
Fig. II.15 – Difusão lateral.	12
Fig. II.16 – Exemplos de fotogravação	14
Fig. II.17 - Transistor nMOS usando barreira de titânio como proteção.	15
Fig. II.18 - Dispositivos no “chip didático”.....	16
Fig. II.19 - Dispositivos no “chip teste”.....	17
Fig.II.20 - Layout e regras de projeto.	19
Fig. III.1 – Gráfico da implantação de Boro para ajuste da tensão de limiar (V_t).....	23
Fig. III.2 - Perfil da implantação de boro após recozimento e oxidação.....	23
Fig. III.3 - Perfil da implantação de Fósforo antes do recozimento.....	24
Fig. III.4 - Perfil da implantação de Fósforo após o recozimento e a oxidação.....	25
Fig. III.5 - Perfil final completo de uma estrutura nMOS.....	26
Fig. III.6 - Linhas de concentração de portadores minoritários.	27
Fig. III.7 - Linhas de concentração de portadores majoritários.	27
Fig. III.8 - Corrente num dispositivo nMOS.....	28
Fig. III.9 - Curva $I_{dx}V_{ds}$ -Transistor nMOS enriquecimento ($L_{\text{masc}}=8\mu\text{m}/W=20\mu\text{m}$). ...	29
Fig. III.10 - Curva $I_{dx}V_{gs}$ -Transistor nMOS enriquecimento ($L_{\text{masc}}=8\mu\text{m}/W=20\mu\text{m}$). ...	29
Fig. III.11 - Curva $\text{Log}(I_{dx}V_{gs})$ – Transistor nMOS enriquecimento.....	30

Fig. III.12- Comparação entre a simulação PISCES e o dispositivo medido para um transistor nMOS ($L=8\mu\text{m}/W=20\mu\text{m}$) – Curva $I_{dx}V_{ds}$	30
Fig. III.13 - Comparação entre a simulação PISCES e o dispositivo medido para um transistor nMOS ($L_{\text{masc}}=8\mu\text{m}/W=20\mu\text{m}$) – Curva $I_{dx}V_{gs}$	31
Fig. III.14 – Definição das tensões num transistor MOS.	32
Fig. III.15 - Depleção num transistor de canal curto.	37
Fig. III.16 - Perfil de dopagem vertical do canal.	42
Fig. III.17 - Perfil de dopagem lateral do canal.	43
Fig. III.18 - Tensão efetiva ($V_{gs}-V_{th}$)	47
Fig. III.19 - Tensão de dreno efetiva, $V_{d\text{seff}}$	48
Fig. III.20 - Influência da velocidade de portadores na corrente de dreno.	49
Fig. III.21 - Região de depleção ao longo do canal.	49
Fig. III.22- Influência do fator “voff” e “nfactor” na corrente de dreno (sublimiar).	50
Fig. III.23 – Resistências de um MOSFET.	51
Fig. III.24 - Influência da resistência de dreno/fonte.	51
Fig. III.25 - Corrente de dreno e a resistência de saída na região linear e de saturação. ..	52
Fig. III.26 - Modulação do comprimento de canal.	53
Fig. III.27 - Diagrama de bandas na interface Si-SiO ₂	54
Fig. III.28 - Geração da corrente de substrato num MOSFET canal-n.	55
Fig. III.29 - Junção pn entre corpo e dreno de um transistor nMOS.	56
Fig. IV.1 - Grupos de curvas capacitância-tensão.	62
Fig. IV.2 – Média dos valores das curvas C_xV	63
Fig. IV.3 - Curva característica do transistor nMOS.	65
Fig. IV.4 - Esquema de medida da tensão de Early.	65
Fig. IV.5 – Curva $I_{dx}V_{gs}$ e o parâmetro V_{t0}	66
Fig. IV.6 - Curva $\partial(I_d) \times V_{gs}$ - Transcondutância.	67
Fig. IV.7 - Mobilidade no transistor nMOS.	68
Fig. IV.8 - Curva para extração do parâmetro θ	68
Fig. IV.9 - Curva na região de sublimiar.	69
Fig. IV.10 - Comparação entre o transistor medido e simulado, $I_{ds} \times V_{ds}$	71
Fig. IV.11 – Comparação entre o transistor medido e simulado, $I_{ds} \times V_{gs}$	71

Fig. IV.12 - Comparação entre o transistor medido e simulado, $\text{Log}(I_{ds}) \times V_{gs}$.	71
Fig. IV.13 - Curva $C \times V$ de um capacitor nMOS utilizado na extração de parâmetros.	72
Fig. IV.14 - Curva característica do transistor nMOS.	73
Fig. IV.15 - Curva $I_{ds} \times V_{gs}$ do transistor nMOS.	74
Fig. IV.16 – Curva $\partial I_{ds} \times V_{gs}$ - Transcondutância.	74
Fig. IV.17 - Mobilidade em função da tensão de porta.	75
Fig. IV.18 - Curva na região de sublimiar para diferentes tempos de recozimento.	75
Fig. IV.19 – Comparação entre a simulação e a curva do transistor medido do tipo enriquecimento.	76
Fig. IV.20 – Curva na região de sublimiar para o transistor simulado e medido.	77
Fig. IV.21 – Comparação entre a simulação e a curva do transistor medido do tipo depleção.	78
Fig. IV.22 – Transistores nMOS e seus respectivos contatos.	78
Fig. IV.23 - Transistor nMOS-Imec ampliado.	79
Fig. IV.24 - Transistor nMOS-Imec.	79
Fig. IV.25 - Transistores pequenos (nMOS e pMOS)	79
Fig. IV.26 - Capacitores - Imec.	80
Fig. IV.27 - 1) Curva característica - transistor nMOS. 2) Curva $I_{ds} \times V_{gs}$.	80
Fig. IV.28 - 1) Curva $\partial(I_{ds}) \times V_{gs}$ 2) Curva $\text{log}(I_{ds}) \times V_{gs}$.	80
Fig. IV.29 – Programa BSIMSolv.	81
Fig. IV.30 - Arquivos do programa BSIMSolv.	81
Fig. IV.31 - Grupo de curvas $I_{ds} \times V_{gs}$. a) $V_{ds}=70\text{mV}$ e b) $V_{ds}=2.5\text{V}$.	82
Fig. IV.32 - Grupos de curvas $I_{ds} \times V_{ds}$ para $V_{bs}=0\text{V}$.	82
Fig. IV.33 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $I_{ds} \times V_{ds}$ - IMEC.	83
Fig. IV.34 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $I_{ds} \times V_{gs}$ - IMEC.	83
Fig. IV.35 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $\text{Log}(I_{ds}) \times V_{gs}$ – IMEC.	84
Fig. V.1 - Regras de projeto atualizadas.	88
Fig. V.2 - Curva $I_{ds} \times V_{ds}$ enriquecimento.	88

Fig. V.3 - Curva I_{ds} x V_{gs} e transcondutância.	89
Fig. V.4 – Curva I_{ds} x V_{ds} depleção.	89
Fig. V.5 - Curva I_{ds} x V_{gs} e transcondutância.	90
Fig. A.1- Estrutura de um capacitor MOS.	95
Fig. A.2 - Cargas no capacitor MOS.	96
Fig. A.3 - Capacitância do óxido em alta e baixa frequência.	99
Fig. A.4 - Mosfet 4 terminais.	100
Fig. A.5 - Vista frontal do transistor MOS.	100
Fig. A.6 - Formação do canal num transistor nMOS.	101
Fig. A.7 - Transistor nMOS em operação.	102
Fig. A.8 - Transistor nMOS em operação para $V_{gs}=V_t$	102
Fig. A.9 - Transistor nMOS em operação para $V_{gs}>V_t$	103
Fig. A.10 - Estreitamento do canal num transistor nMOS.	103
Fig. A.11 - Transistor nMOS em saturação.	104

I. INTRODUÇÃO

I.1 – HISTÓRICO.

A história da microeletrônica nos mostra a necessidade da busca de inovações e de conhecimentos científicos aplicados ao desenvolvimento de novas tecnologias.

A evolução da microeletrônica [1] teve início com as pesquisas sobre semicondutores e em paralelo a idéia de modular a condutividade de um semicondutor por campo elétrico. Em 1946, a *Bell Labs* cria seu grupo de pesquisa em estado sólido sob a liderança de *William Shockley*, concentrando esforços na pesquisa dos semicondutores *Ge* e *Si* e de transistores de efeito de campo - FET. Nesta época, um dos pesquisadores do grupo, *Bardeen*, sugere uma explicação para o insucesso da fabricação do transistor FET; alta densidade de estados de superfície dentro da banda proibida dos semicondutores. Persistindo na pesquisa do FET, *Bardeen* e *Brattain* descobrem por acaso no final de 1947 o efeito de transistor bipolar. A pesquisa do transistor de efeito de campo foi mantida, apesar do descobrimento do transistor bipolar. Em 1952, *I. Ross* e *G. Dacey* demonstram o primeiro transistor tipo JFET, onde a porta era constituída por uma junção *pn* que controlava a passagem de corrente pelo canal.

Contemporaneamente *J. Kilby*, da *Texas Instruments*, construiu no ano de 1958 um circuito sobre um único bloco de *Si*, contendo um transistor, um capacitor e um resistor (primeiro circuito integrado) e um grupo liderado por *J. Hoerni* da *Fairchild* desenvolveu um processo para fabricar transistores; o processo planar. Este mesmo processo foi adaptado logo em seguida por *R. Noyce* para a fabricação de circuitos integrados. Seu princípio básico, acrescido de inovações e evoluções, vem sendo usado até hoje na fabricação de *CI's*. A comercialização de *CI's* iniciou-se no ano de 1962, tendo crescido em termos de volume e de densidade de transistores por pastilha.

Em 1952, *C. Fuller* da *Bell Labs* publica seu estudo sobre a difusão de dopantes doadores e aceitadores no *Si*. No ano de 1955, *Frosch* e *Derick* usam camadas de SiO_2 para delimitar as áreas de difusão. Em 1955, *Andrus* e *Bond* desenvolvem materiais tipo sensíveis à luz (fotorresistes) para a gravação de padrões em filmes de SiO_2 . O estudo e desenvolvimento dos processos de oxidação de *Si* permitiu finalmente o desenvolvimento do tão sonhado transistor de efeito de campo com porta isolada, ou seja, o transistor MOSFET ou simplesmente MOS. Em 1960, pesquisadores da *Bell Labs*, *D. Kahng* e *M. Atalla* fabricam o transistor MOS com interface SiO_2/Si de muito boa qualidade, com baixa densidade de estados de superfície. Apesar disto, os dispositivos MOS apresentavam pouca estabilidade, causando um atraso de mais 10 anos para seu uso em grande escala. O motivo era a falta de controle de contaminação de impurezas, mais especificamente do sódio (Na^+), que gera cargas positivas no isolante de porta que causa uma deriva na tensão de limiar dos transistores por alterar a densidade de portadores induzida no canal. A combinação de transistores MOS de canal *n* e de canal *p* num mesmo substrato, levou *F. Wanlass* a propor a tecnologia CMOS em 1963. Outros marcos históricos que contribuíram para o avanço das tecnologias MOS foram o uso de filme de silício policristalino dopado a partir de 1966, e o uso da técnica de implantação de íons para o ajuste da tensão de limiar pela dopagem controlada da região de canal.

Atualmente a tecnologia MOS adquiriu um caráter dominante na confecção de circuitos integrados.

I.2 – OBJETIVOS DESTE TRABALHO.

O objetivo desse trabalho é o estudo dos modelos SPICE e BSIM3v3 e a sua utilização na simulação de estruturas nMOS fabricadas pelo Centro de Componentes Semicondutores - CCS da Unicamp e dispositivos MOS sub-micrométricos fabricados no laboratório IMEC - Bélgica. É também intenção desse trabalho propor melhorias nas etapas de processos de fabricação de dispositivos do CCS e desenvolver novos processos adequados às tecnologias atuais, determinando um conjunto de regras de projeto que vão compor, como resultado final, um completo processo de fabricação e simulação de dispositivos.

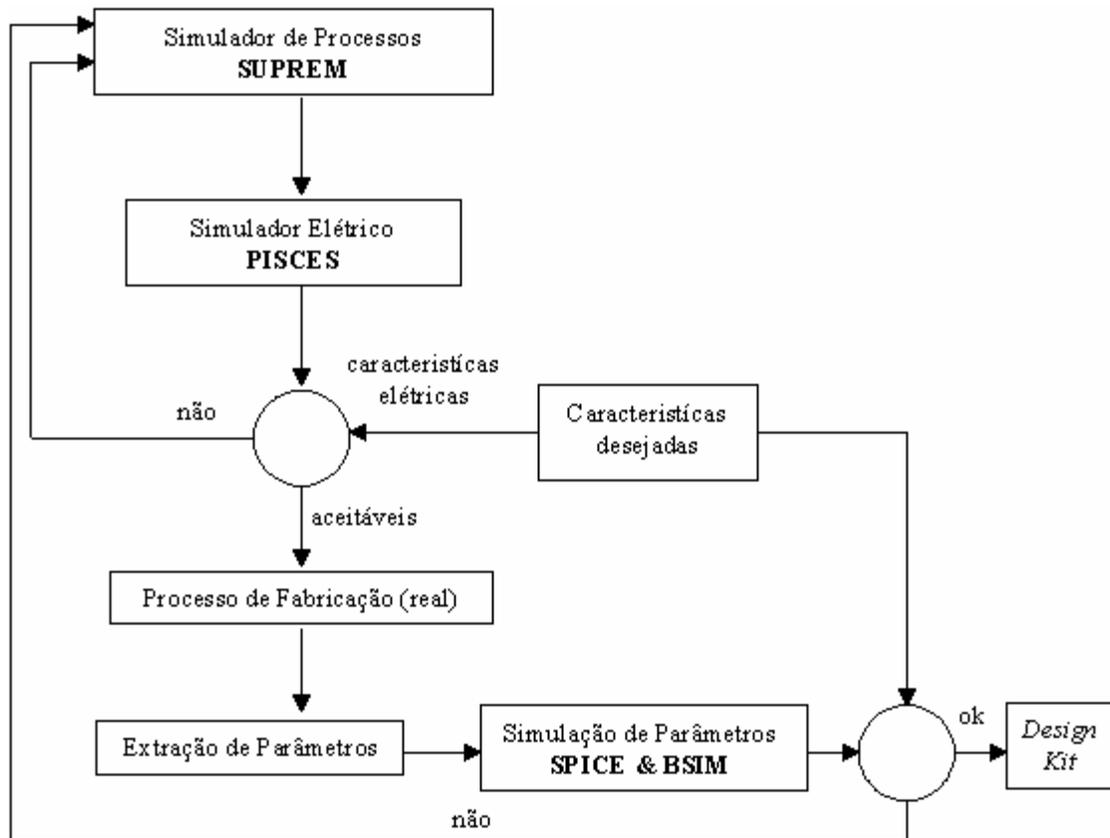
Os dispositivos sub-micrométricos fornecidos pelo IMEC e os nMOS fabricados pela tecnologia disponível no CCS foram caracterizados e os parâmetros extraídos foram utilizados nos modelos. Isto permitiu tanto um ajuste ótimo dos parâmetros de fabricação dos dispositivos como uma melhor previsibilidade do comportamento dos circuitos projetados e fabricados. Os parâmetros dos modelos serão determinados a partir dos dados de caracterização e serão depois comparados com o objetivo de ajustar os modelos para uma simulação mais precisa. Serão fabricados dispositivos nMOS com diferentes dimensões e circuito simples como portas inversoras e flip-flops. O conhecimento dos modelos utilizados pelos simuladores e a determinação dos seus parâmetros adequados aos dispositivos fabricados no CCS e no IMEC e as melhorias propostas nas estruturas fabricadas no centro e a elaboração de um processo tecnológico voltado para pesquisa são objeto deste trabalho.

A fabricação de transistores de enriquecimento e depleção com porta de alumínio com comprimento mínimo de canal (máscara) de $2\mu\text{m}$ utilizando os equipamentos disponíveis no CCS também é objetivo deste trabalho. Sabe-se que atualmente a fabricação de dispositivos de dimensões reduzidas é feita usando-se porta de poli-silício e dispositivos auto-alinhados [2,3] e não mais a tecnologia com porta de metal. O motivo de estarmos usando esse processo de fabricação deve-se ao fato da adequação de um processo de fabricação utilizando os equipamentos disponíveis no laboratório e de ser um processo extremamente barato, com quatro níveis de máscara e apenas com um nível de metal. Pode ser usado facilmente em cursos de ensino básico de processo e na fabricação de circuitos integrados simples.

A simulação de circuitos é uma ferramenta fundamental no desenvolvimento de projetos de circuitos integrados. Pela simulação é possível prever o comportamento dos circuitos e aperfeiçoá-los antes da sua fabricação, reduzindo os ciclos de projeto e re-projeto e os custos de produção. A exatidão de uma simulação depende tanto dos modelos utilizados para os transistores e dispositivos do circuito como da determinação precisa dos parâmetros dos modelos. Portanto, uma parte essencial para o uso dos simuladores é a determinação precisa dos valores dos parâmetros para os modelos utilizados a partir da caracterização dos dispositivos reais. A determinação dos parâmetros, também denominada extração, nem sempre é uma tarefa fácil. É fundamental o entendimento dos modelos utilizados no projeto dos circuitos, dos parâmetros dos modelos, das suas restrições e condições de aplicabilidade e da física dos dispositivos.

Outro objetivo deste trabalho é a determinação de parâmetros de simulação e a definição de um conjunto de regras de projeto que caracterizem o processo de fabricação de circuitos integrados utilizados no CCS.

No desenvolvimento do trabalho foram utilizados o simulador de processos de fabricação *SUPREM* e o simulador elétrico *PISCES*, adotando-se o seguinte procedimento:



Fluxograma da seqüência utilizada para a obtenção das regras de projeto.

Através do simulador de processos *SUPREM*, fez-se uma análise das etapas de processo. Com a análise dos dados do simulador *SUPREM* e o simulador elétrico *PISCES*, em comparação com os resultados das medidas elétricas dos dispositivos, determinam-se os parâmetros dos modelos e, se necessário pode-se alterar os parâmetros de processo e refazer a simulação do processo e a simulação elétrica e novamente comparar com dados experimentais. É também feita nessa etapa a extração de parâmetros através do analisador de parâmetros *HP4145B*. Com um conjunto de parâmetros extraídos é obtido um modelo *SPICE* ou *BSIM3* para simulação de dispositivos que agora serão comparados com os dados das medidas elétricas onde é feito o ajuste dos parâmetros dos modelos. Utilizando o processo desenvolvido foram fabricados circuitos integrados simples como portas inversoras e flip-flops. Diante de um modelo final de simulação podemos agora comparar estes circuitos simulados e medidos eletricamente para garantir assim um conjunto de regras de projetos e modelos de simulação, ou seja, um “design kit” que é o objeto principal desta tese.

I.3 – ESTRUTURAÇÃO DO TEXTO.

Os comentários básicos sobre a evolução da microeletrônica e o desenvolvimento da tecnologia MOS foram abordados neste capítulo I, onde se procurou também mostrar a escolha da tecnologia e as ferramentas utilizadas no desenvolvimento deste trabalho.

As principais etapas envolvidas na fabricação dos circuitos integrados MOS são detalhadas no capítulo II onde são apresentados os dois processos de fabricação de dispositivos que foram implementados neste trabalho. Os dispositivos fabricados utilizando estes processos, os níveis de mascaras e as regras de projeto utilizadas e testadas também são abordadas nesse capítulo.

Uma breve descrição dos simuladores e a sua utilização na obtenção das etapas de fabricação de dispositivos bem como as simulações do processo de fabricação e as simulações elétricas são apresentadas no capítulo III, juntamente com os modelos SPICE e BSIM3 utilizados nos simuladores.

As descrições dos métodos e estratégias de otimização utilizadas para a correta determinação dos parâmetros para os simuladores é apresentada no capítulo IV. A metodologia utilizada para a extração de parâmetros dos dispositivos de 5 μ m, 2 μ m e dos dispositivos do IMEC bem como seus modelos finais também são apresentados nesse capítulo.

No capítulo V são apresentados os resultados obtidos através das medidas elétricas nos dispositivos fabricados. Estes resultados e os resultados das simulações permitiram determinar as regras de projeto. As definições das regras finais de projeto, o *design kit*, e as perspectivas futuras quanto à integração dos processos tecnológicos no centro também são apresentados.

II - FABRICAÇÃO DOS DISPOSITIVOS.

II.1 – PROCESSO DE FABRICAÇÃO DOS DISPOSITIVOS MOS DE PORTA METÁLICA.

As etapas básicas envolvidas na fabricação dos circuitos integrados em tecnologia MOS serão descritas a seguir. Algumas destas etapas [4,5] podem ser repetidas várias vezes no processo de fabricação, em diferentes combinações e condições de operação. A fabricação dos dispositivos é realizada em salas ultra-limpas com controle de temperatura e umidade.

Limpeza: A limpeza das lâminas de silício é fundamental. Ela é feita para remover resíduos de gordura ou impurezas indesejáveis presentes na superfície da lâmina. Utiliza-se um processo padrão de limpeza denominado RCA [6,7], que consiste na seguinte seqüência de etapas:

As lâminas são colocadas em recipientes que contém as soluções para limpeza.

- i. Solução de $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$, 4:1 a 80°C : esta solução tem o nome usual de "piranha", e é utilizada para remover principalmente material orgânico da superfície das lâminas de silício;
- ii. $\text{HF}/\text{H}_2\text{O}$, 1:10: utiliza-se esta solução para a remoção de SiO_2 da superfície;
- iii. $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$, 1:1:5, a 70°C : utiliza-se esta solução para remoção de material orgânico e alguns metais;
- iv. $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$, 1:1:5, a 70°C : esta solução é usada para a remoção de metais da superfície do silício.

Entre um banho e outro, as lâminas são submetidas a um enxágüe com água altamente purificada, 18 *Mohms x cm*, denominada DI (deionizada). A secagem destas lâminas é feita com jato de nitrogênio puro e filtrado. As operações de limpeza são feitas em capelas com fluxo laminar e todos os componentes químicos são de grau de pureza eletrônica.

Oxidação: É um processo químico de reação do silício com o oxigênio puro (oxidação seca) ou com vapor d'água (oxidação úmida) para formar um filme de dióxido de silício. Para acelerar a reação, é necessário aquecer a lâmina a uma temperatura na faixa de 900°C a 1200°C . O aquecimento é feito em fornos especiais de alta temperatura. O ambiente oxidante é ultra-limpo.

Implantação de íons: É um método utilizado para introduzir dopantes (átomos) no silício. O implantador de íons é um acelerador de partículas por campo elétrico que produz feixes de íons de alta velocidade que penetram na lâmina de silício. Ele é composto por uma fonte de íons onde é formado o plasma contendo as impurezas, por um analisador de massas que seleciona o íon desejado, por uma coluna de alta-tensão onde as partículas são aceleradas e por um sistema de varredura. A profundidade de penetração está relacionada com a energia do feixe de íons, que pode ser controlada pela tensão de aceleração. A implantação permite um controle preciso da distribuição dos dopantes.

Metalização: É um método de deposição através da evaporação de metais em uma câmara de alto vácuo. A evaporação pode ser feita por feixe de elétrons que atingem o

metal a ser evaporado ou filamentos de metais que são elevados a alta temperatura, evaporados e depositados na lâmina. O objetivo da metalização é fazer a interconexão de vários componentes do circuito integrado e a formação de eletrodos para contato.

Fotolitografia: A geometria de superfície (topologia) de vários componentes do circuito integrado é definida por um processo fotolitográfico: a superfície do silício é revestida com uma camada fotossensível chamada de fotorresiste ou simplesmente resiste. Com o fotorresiste espalhado, a lâmina de silício é levada para uma estufa ou colocada numa placa quente para a cura do resiste, evaporando o solvente do produto. Após a cura, a lâmina é levada para uma fotoalinhadora onde será exposta a radiação UV. Uma placa fotográfica (máscara) com as regiões opacas determinadas é posicionada sobre a superfície da lâmina e exposta à radiação. Esta luz atravessa as partes transparentes da máscara, sensibilizando o fotorresiste, tornando-o solúvel (resiste positivo) ou insolúvel (resiste negativo) nas regiões atingidas pela luz. O fotorresiste sensibilizado é então revelado expondo a lâmina nos locais desejados.

Deposição por vapor químico: Também conhecida como CVD (*chemical vapor deposition*) é um processo pelo qual gases ou vapores reagem quimicamente, levando a formação de um filme sólido sobre o substrato. O método CVD pode ser usado para depositar dióxido de silício sobre o substrato de silício.

Sinterização: Similar ao processo de oxidação, é um processo térmico utilizado para reorganizar a rede cristalográfica do metal depositado. É realizado em fornos ultra-limpas, em ambiente de N₂ e vapor d'água, sob uma temperatura inferior a temperatura de fusão do metal.

II.1.1 – TECNOLOGIA DE FABRICAÇÃO – 5µm.

No CCS foi desenvolvido um processo de fabricação de dispositivos nMOS de porta metálica de dimensões mínimas de 5µm que é utilizado em disciplinas de graduação e pós-graduação. Para o desenvolvimento deste trabalho foi feita inicialmente uma simulação SUPREM do processo com intuito de propor melhorias. Após a análise dos resultados experimentais e da simulação, foram ajustados parâmetros de processo como tempos de oxidação e de recozimento, doses e energia de implantação.

A seguir descreve-se o detalhamento das etapas do processo de fabricação:

- Etapa 1: Caracterização.

Utiliza-se no processo lâminas da *Silicon Sens* de plano cristalográfico (100). Quando necessário caracterizar as lâminas pode-se determinar o tipo de portadores, se elétrons (*n*) ou lacunas (*p*) através do método da ponta quente e medir a condutividade através do método das 4 pontas. Neste trabalho foram utilizadas lâminas tipo *p* com dopagem inicial de $1 \times 10^{15} \text{ cm}^{-2}$.



Fig. II.1 – Lâmina de silício.

- Etapa 2: Limpeza.
Limpeza RCA.

- Etapa 3: Implantação iônica de boro para ajuste da tensão de limiar.
É feita nesta etapa a implantação de boro para compensar a parcela de boro que migrará para o óxido durante as etapas térmicas e garantir o valor esperado da tensão de limiar.

I/I $^{11}\text{B}^+$, Energia de 65 KeV e dose de $1 \times 10^{13} \text{ cm}^{-2}$.

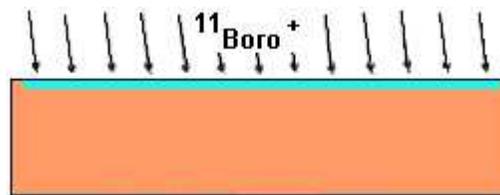


Fig. II.2 – Implantação Iônica para correção de V_t .

- Etapa 4: Limpeza.
Limpeza RCA após implantação.
- Etapa 5: Recozimento e Oxidação térmica.

Nesta etapa é feita a primeira oxidação para criar o óxido de campo. A oxidação é úmida e é realizada colocando-se as lâminas no forno onde são expostas seqüencialmente a diferentes gases, em diferentes tempos. Abaixo estão as etapas da oxidação realizada à temperatura de 1000°C com fluxo de gases no forno de 1 litro por minuto. A espessura do óxido obtida foi de aproximadamente $0,7\mu\text{m}$:

Etapas:

- i. Fluxo de nitrogênio durante 35 minutos;
- ii. Fluxo de oxigênio durante 5 minutos;
- iii. Fluxo de oxigênio mais vapor d'água durante 180 minutos;
- iv. Fluxo de oxigênio durante 5 minutos;
- v. Retirada das lâminas com fluxo de nitrogênio durante 10 minutos.

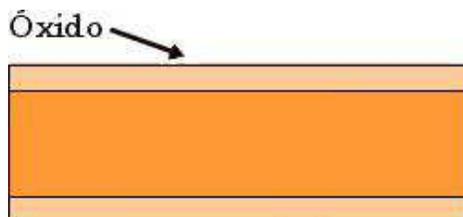


Fig. II.3 – Oxidação.

- Etapa 6: Aplicação do fotorresiste e exposição à luz ultravioleta para a fotogração de fonte e dreno.

Após a limpeza e a secagem das lâminas, aplica-se sobre a amostra uma substância (HMDS) para melhorar a aderência do fotorresiste na lâmina e submete-se a amostra a 4000 rpm por 30 segundos. Em seguida, uma camada de fotorresiste é aplicada:

- i. Depositam-se algumas gotas de fotorresiste (AZ 1350J) sobre a lâmina;
- ii. Espalha-se o fotorresiste através de centrifugação à 7000 rpm durante 40 segundos;
- iii. Coloca-se a lâmina em estufa na temperatura de 80°C para fixação do fotorresiste.

Após a fixação, a lâmina é levada à fotoalinhadora e preparada para a exposição. Estando alinhadas a máscara e a lâmina, é feita a exposição aos raios ultravioleta (UV) a uma potência de $9\text{mW}\cdot\text{cm}^{-2}$ durante aproximadamente 20 segundos, que polimeriza o fotorresiste nas regiões expostas.

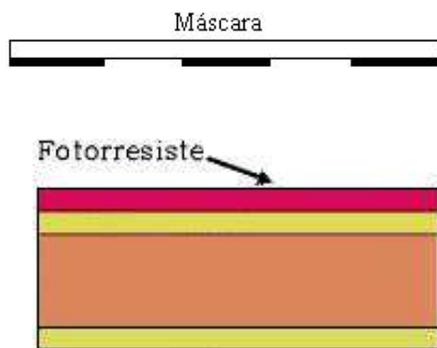


Fig. II.4 – Aplicação do fotorresiste

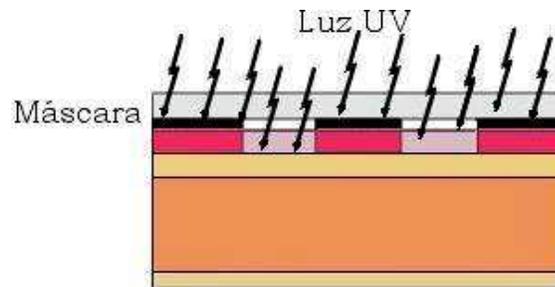


Fig. II.5 – Exposição à luz UV.

- Etapa 7: Corrosão.

Em seguida faz-se a abertura de janelas (*etch*). A corrosão do óxido é feita utilizando-se uma solução contendo HF e NH₄F, também chamada de *Buffer*. Esta solução ataca o óxido de silício a uma taxa de aproximadamente 1500 angstroms por minuto. A lâmina deve ser retirada da solução e verificada se está seca ou sem gotículas da solução espalhadas pela lâmina, indicando que o óxido foi removido da região onde ficou exposto ao ataque químico.

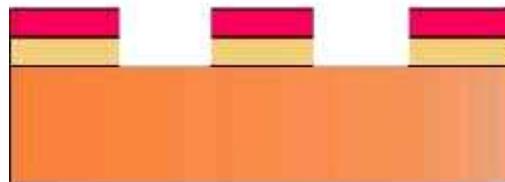


Fig. II.6 – Abertura das janelas de fonte e dreno com HF/NH₄.

Então, faz-se a remoção do fotorresiste com acetona seguido do enxágüe com água deionizada.

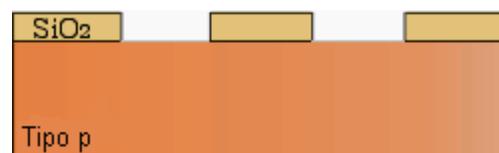


Fig. II.7 – Remoção do fotorresiste com acetona.

- Etapa 8: Implantação Iônica.

Após a abertura das regiões de fonte e dreno faz-se uma implantação iônica, realizada em um implantador GA-4204 EATON. São implantados íons de Fósforo, para formação de regiões n^+ nas áreas de fonte e dreno. Os parâmetros da implantação iônica são:

- i. Isótopo $^{31}\text{P}^+$, Energia de 65 keV e dose de $5 \times 10^{15} \text{ cm}^{-2}$;

A lâmina é posicionada no implantador com ângulo de 7° ao feixe incidente para evitar a canalização de íons [8].

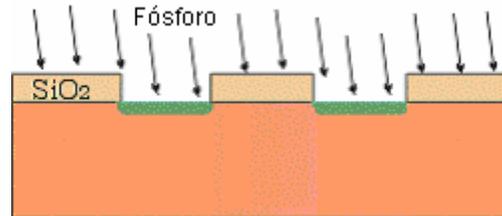


Fig. II.8 – Implantação iônica.

- Etapa 9: Recozimento e Oxidação Úmida.

O próximo passo é o recozimento para a ativação dos dopantes e a oxidação úmida. Abaixo estão as características do recozimento e da oxidação realizada à temperatura de 1000°C com fluxo de gases de 1 litro por minuto.

Etapas:

- i. Fluxo de nitrogênio durante 25 minutos;
- ii. Fluxo de oxigênio durante 5 minutos;
- iii. Fluxo de oxigênio mais vapor d'água durante 100 minutos;
- iv. Fluxo de oxigênio durante 5 minutos;
- v. Fluxo de nitrogênio durante 10 minutos.

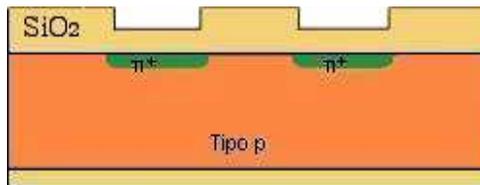


Fig. II.9 – Recozimento e oxidação.

- Etapa 10: Fotogravação de canal e contatos.

Após a fotogravação de canal e de contatos, faz-se a remoção do óxido (mesma solução usada na etapa 7) e em seguida a remoção do fotorresiste com acetona, finalizando com a limpeza RCA.

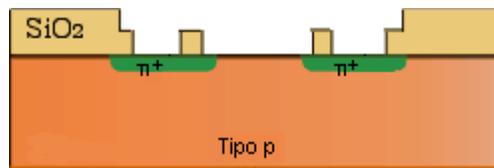


Fig. II.10 – Fotogravação de canal e contatos.

- Etapa 11: Formação do óxido de isolamento de porta, utilizando a oxidação seca.

A oxidação seca de porta é realizada colocando-se as lâminas no forno para o crescimento de uma fina camada de óxido (cerca de 56nm). Abaixo estão as etapas da oxidação realizada à temperatura de 1000°C com fluxo de gases de 1 litro por minuto:

Etapas:

- i. Fluxo de nitrogênio durante 5 minutos;
- ii. Fluxo de oxigênio durante 5 minutos;
- iii. Fluxo de oxigênio mais 1% de TCE (tricloroetileno) durante 30 minutos;
- iv. Fluxo de oxigênio durante 5 minutos;
- v. Fluxo de nitrogênio durante 30 minutos.

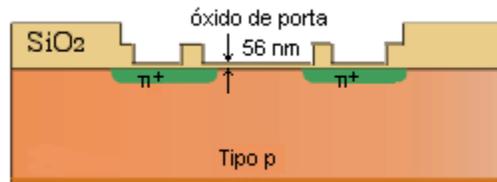


Fig. II.11 – Formação do óxido de porta.

- Etapa 12: Fotogravação de contatos de fonte e dreno seguida da remoção do óxido, remoção do fotorresiste e limpeza RCA.

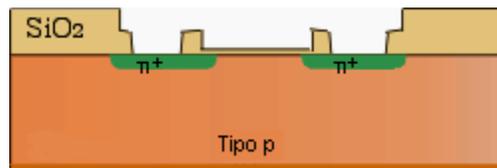


Fig. II.12- Fotogravação de contatos.

- Etapa 13: Deposição por evaporação de alumínio para formação dos contatos de fonte, dreno e porta.

A evaporação é feita por feixe de elétrons. A taxa de evaporação é de cerca de 100Å por segundo. A pressão na câmara durante a evaporação é de 3×10^{-5} Torr. A espessura do alumínio depositado é de 1 µm.

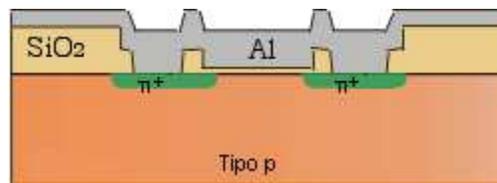


Fig. II.13 – Evaporação do alumínio.

- Etapa 14: Fotogravação das interconexões e remoção do alumínio.

Após a metalização por evaporação térmica, é feita a corrosão do alumínio nas partes não protegidas pelo fotorresiste. A solução utilizada para esta corrosão é composta de ácido fosfórico e nítrico, na proporção 9,5:0,5.

Em seguida remove-se o fotorresiste, faz-se a deposição de alumínio nas costas da lâmina e por último a sinterização dos contatos de alumínio, que é feita à temperatura de 450°C durante 30 minutos em ambiente de N₂ e vapor d'água.

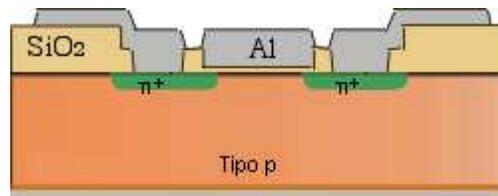


Fig. II.14 – Corrosão do alumínio.

Com esta última etapa está finalizado o processo de fabricação dos dispositivos que têm comprimento efetivo de canal [2,9] de 5µm. Visando o acompanhamento tecnológico e a aplicação de novos conceitos à fabricação de dispositivos para cursos de microfabricação, elaborou-se também um processo de fabricação de dispositivos de comprimento efetivo de canal de 1.7µm.

II.1.2 - TECNOLOGIA DE FABRICAÇÃO – 2µm.

Um dos fatores no aumento do desempenho dos dispositivos na microeletrônica é a redução das suas dimensões. Enquanto as dimensões horizontais dependem principalmente dos processos de litografia e corrosão (que nesse caso são críticas para essa tecnologia), a dimensão vertical exige perfis de dopagem cada vez mais rasos na região de fonte/dreno. Uma das maneiras para formação de junções rasas tipo *n* foi implantar As⁺, que, por ser um elemento de maior massa que o Fósforo, atinge uma profundidade menor para mesmas energias de implantação, seguido de recozimento em forno RTP [10] e utilizando as litografias e corrosões convencionais (já utilizados no laboratório sem a necessidade de mudanças). Utilizando os equipamentos disponíveis no CCS pode-se fabricar dispositivos de dimensões menores. Seguindo o procedimento de fabricação descrito abaixo, conseguimos obter junções com 0.2µm de profundidade e dispositivos com comprimento efetivo de canal de 1,7µm.

- Etapa 1: Caracterização.

Para este processo foram processadas quatro lâminas denominadas de Tr1u A, B, C e D. A lâmina D foi usada como acompanhamento de processo (teste). Foram usadas lâminas tipo *p* com resistividade inicial de 4,5 Ω*cm (Na ≅ 3x10¹⁵ at/cm²).

- Etapa 2: Limpeza.

Limpeza RCA padrão e retirada do óxido nativo (a mesma limpeza descrita no processo de fabricação anterior – etapa 2).

- Etapa 3: Implantação iônica de boro para ajuste da tensão de limiar.

I/I ¹¹B⁺, Energia de 65 KeV e dose de 2x10¹⁴ cm⁻²;

Com a medida de 4 pontas na lâmina teste verificou-se que o valor da resistividade após tratamento térmico (etapa 5) diminui. O valor obtido foi por volta de 3,26 Ω*cm.

- Etapa 4: Limpeza.

Limpeza padrão RCA após implantação.

- Etapa 5: Recozimento e oxidação térmica.

Recozimento da implantação e formação do óxido de isolamento feita em forno convencional à temperatura de 1000°C com fluxo de gases de 1 L/min.

Etapas:

- i. Fluxo de nitrogênio para recozimento durante 35 minutos;
- ii. Fluxo de oxigênio durante 5 minutos;
- iii. Fluxo de oxigênio mais vapor d'água durante 180 minutos;
- iv. Fluxo de oxigênio durante 5 minutos;
- v. Fluxo de nitrogênio durante 10 minutos.

A espessura de óxido medido por elipsometria (índice de refração $\eta=1.45$) foi de 0,73 μm .

- Etapa 6: Fotogração do primeiro nível (Fonte/Dreno).

A fotogração de fonte e dreno para a tecnologia de 2 μm é crítica pois estamos próximo do limite da resolução da fotoalinhadora. Vários métodos foram testados, o melhor resultado foi:

- i. Deposição do fotorresiste AZ5214 a 5000 rpm durante aproximadamente 40s;
- ii. Pré-recozimento em placa quente por 4 minutos a 118°C;
- iii. Exposição no modo CII (7mW/cm²) durante 40s (equipamento alinhadora Karl Suss MJB3);
- iv. Revelação com MIF312 e água (1:1) durante aproximadamente 30s.

- Etapa 7: Corrosão.

Para a remoção do óxido na região de fonte/dreno utilizou-se a remoção por plasma [11]. Inicialmente utilizou-se o plasma com a mistura de gases SF₆/Ar que corrói o óxido com uma taxa de corrosão de 57nm/min e em seguida o plasma com a mistura de gases CF₄/H₂/Ar com uma taxa de corrosão de 30nm/min.

- Etapa 8: Implantação Iônica de fonte/dreno.

Arsênio dose 1x10¹⁵ cm⁻² e energia 30 KeV.

Várias dificuldades foram encontradas para a otimização do processo para a fabricação dos transistores com comprimento de canal 2 μm . É interessante notar que estamos utilizando o limite de resolução dos equipamentos disponíveis. Um dos problemas mais críticos está relacionado com o comprimento efetivo de canal. Isto pode ser verificado observando-se a figura II.15:

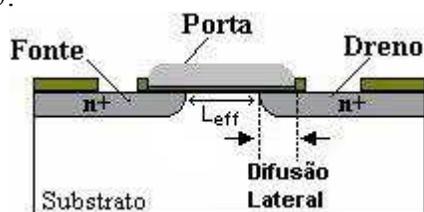


Fig. II.15 – Difusão lateral.

Sabe-se que quando se faz uma implantação para formação de fonte/dreno, parte dos dopantes tende a entrar no sentido lateral, abaixo da porta (figura II.15). Este efeito, conhecido como difusão lateral, implica diretamente no comprimento efetivo do canal (L_{eff}). Com as etapas de recozimento e oxidações posteriores, a difusão lateral pode aumentar consideravelmente e, em dispositivos menores, pode fazer com que ocorra um curto circuito da fonte e do dreno. A extensão da difusão lateral é tipicamente 0,7 vezes a profundidade de junção. Para transistores de pequenas dimensões é portanto necessária uma profundidade de junção rasa, o que evita, entre outras coisas, o contato entre a fonte e o dreno, pois a difusão lateral é menor. Para a obtenção de junções rasas optou-se então por implantar Arsênio que tem um coeficiente de difusão menor que o Fósforo no silício. Para diminuir ainda mais a difusão, utilizou-se em certas etapas do processo o recozimento térmico rápido, RTP (*rapid thermal process*). O valor esperado (simulado) e o valor obtido pelas medidas por desbaste em ângulo (*Groove and Stain technique*) [12,13] e análise SIMS [13] da profundidade de junção foi de $0.2\mu\text{m} \pm 0.01\mu\text{m}$.

- Etapa 9: Recozimento e oxidação úmida.

Realizada em forno convencional à temperatura de 1000°C com fluxo de gases de 1 litro por minuto.

Etapas:

- i. Fluxo de nitrogênio para recozimento durante 35 minutos;
- ii. Fluxo de oxigênio durante 5 minutos;
- iii. Fluxo de oxigênio mais vapor d'água durante 30 minutos;
- iv. Fluxo de oxigênio durante 5 minutos;
- v. Fluxo de nitrogênio durante 5 minutos.

A espessura do óxido crescido medido por elipsometria foi de $0.35\mu\text{m}$ feito na lâmina teste D. Espessura total do óxido = $0.82\mu\text{m}$.

- Etapa 10: Fotogravação de canal e contatos e remoção do óxido.

- i. Deposição do fotorresiste AZ1350 a 7000 rpm durante aproximadamente 40s;
- ii. Pré-recozimento na estufa por 30 minutos a 100°C ;
- iii. Exposição no modo CP (190mW) durante 25s (alinhadora Karl Suss MJB3);
- iv. Revelação com MIF312 e água (1:1) durante aproximadamente 60s.

Para a remoção do óxido utilizou-se a solução *Buffer* de HF que corrói o óxido numa taxa $\approx 1500-1700 \text{ \AA}/\text{min}$. A remoção do fotorresiste foi feita utilizando acetona seguido de isopropanol e depois, enxágüe com água deionizada.

- Etapa 11: Fotogravação para implantação de depleção.

- i. Deposição do fotorresiste AZ5214 a 4500 rpm durante aproximadamente 40s;
- ii. Pré-recozimento na placa quente durante 2 minutos a 118°C ;
- iii. Exposição no modo CI1 ($7\text{mW}/\text{cm}^2$) durante 40s (alinhadora Karl Suss MJB3);
- iv. Revelação com MIF312 e água (1:1) durante aproximadamente 80s.

- Etapa 12: Implantação de depleção.

Para a formação do transistor de depleção realizou-se a implantação iônica de Arsênio com dose de $8 \times 10^{12} \text{ cm}^{-2}$ e energia de 10 KeV na região do canal.

- Etapa 13: Limpeza RCA.

Limpeza completa.

- Etapa 14: Recozimento e oxidação seca de porta.

O processo térmico para o recozimento da implantação foi realizado no forno RTP (*rapid thermal process*) do CCS. O principal motivo da utilização deste método foi o comprometimento com a profundidade de junção.

- i. Fluxo de nitrogênio para recozimento durante 40 s à temperatura de 960°C.

Para a formação do óxido de porta, utilizou-se a oxidação seca, realizada em forno convencional à temperatura de 1000°C.

- i. Fluxo de nitrogênio durante 1 minuto;
- ii. Fluxo de oxigênio durante 2 minutos;
- iii. Fluxo de nitrogênio durante 20 minutos.

A espessura de óxido obtida com a simulação SUPREM foi de aproximadamente 100Å. Este valor foi confirmado pelas medidas realizadas nos capacitores fabricados e seus resultados serão apresentados no item IV.1.2.

- Etapa 15: Fotogravação de contatos de fonte e dreno seguida da remoção do óxido.

Foi utilizado o mesmo procedimento da fotogravação da etapa 10. Para a remoção do óxido na região de contato foi utilizado também o “Buffer de HF”.

- Etapa 16: Fotogravação das interconexões.

Para fotografar o nível de metal utilizou-se a fotogravação invertida ou negativa. Ela consiste em inverter a imagem contida na máscara, conforme a figura II.16:

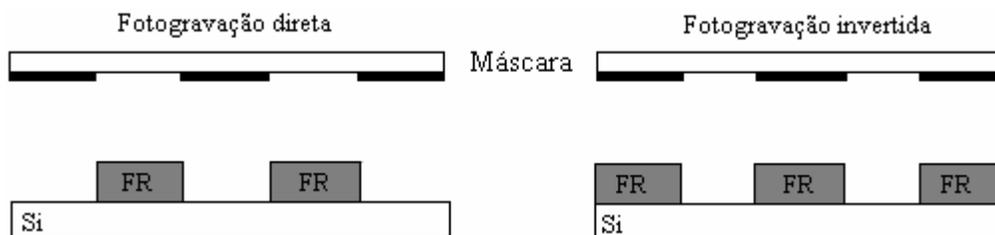


Fig. II.16 – Exemplos de fotogravação

- i. Deposição do fotorresistivo AZ5214 a 4000 rpm durante aproximadamente 40s;
- ii. Pré recozimento na placa quente durante 4 minutos a 90°C;
- iii. Exposição no modo CI2 (10mW/cm²) durante 16s;
- iv. Pós recozimento na placa quente durante aproximadamente 100s a 118°C;
- v. Exposição em raios ultravioleta sem máscara para negativar o fotorresistivo durante 40s, “flood”;
- vi. Revelação com MIF312 durante aproximadamente 15s.

- Etapa 17: Deposição de titânio/alumínio e remoção dos metais.

Por se tratar de um processo de fabricação com profundidade de junção muito rasa, a deposição direta do alumínio sob as junções de fonte e dreno poderia danificá-las, pois

pode ocorrer a formação de *spikes* nas junções que podem até perfurá-las. Para resolver este problema, foi proposto, a deposição de titânio seguida da deposição de alumínio (figura II.17), pois o titânio serve como barreira de difusão do alumínio [14,15]. A deposição destes metais foi realizada no IFGW/LPD da Unicamp.

- i. Deposição de titânio/alumínio com espessura de 100 / 2000 Å respectivamente, feita por evaporação de feixe de elétrons;
- ii. *Lift-off* (remoção do fotorresiste com acetona).

- Etapa 18: Sinterização do filme de Ti/Al.

Como se tratava de um processo novo, foram feitos testes para diferentes tempos de sinterização. O tempo de sinterização com os melhores resultados (para valores de resistência de contato e para cargas de contaminação) foi de quatro minutos à 430°C. A determinação destes valores serão apresentados no item IV.2.

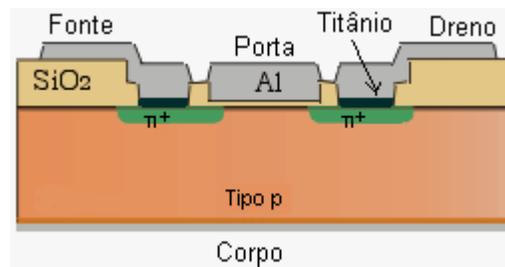


Fig. II.17 - Transistor nMOS usando barreira de titânio como proteção.

II.2 – DESCRIÇÃO DOS DISPOSITIVOS FABRICADOS.

O CCS utiliza em disciplina de microfabricação para graduação e pós-graduação um conjunto de máscaras para a fabricação da pastilha chamada de “*chip* didático” projetada pelo próprio centro. Os dispositivos desta pastilha foram utilizados neste trabalho para a caracterização do processo e extração de parâmetros. Na figura II.18 mostramos os dispositivos que compõem esse *CI*.

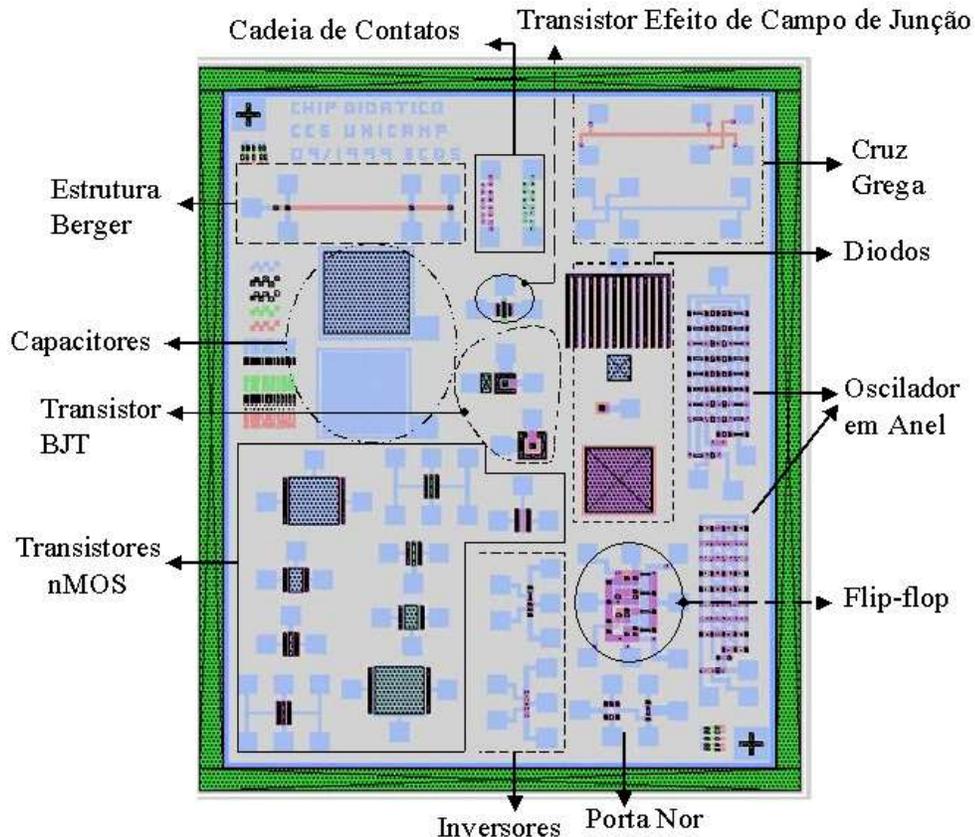


Fig. II.18 - Dispositivos no "chip didático".

Com área de 2483 X 3104 microns a pastilha possui duas marcas de alinhamento, uma estrutura de medida de resistividade Berger, estrutura tipo Kelvin (uma para camada de metal e outra para camada de dopagem de boro/fósforo), cadeia de contatos entre metal e camada dopada (boro ou fósforo), vernier para estimar erro de alinhamento litográfico e estruturas para caracterizar corrosões e fotografações entre todos os níveis conhecidos como *under* e *over etch*. Capacitores com anel de guarda, de óxido fino (porta) e de óxido de campo, transistores MOS de diversos tamanhos de porta, de depleção e enriquecimento, e transistor com óxido de campo. Os diodos são de três tipos: "área pequena", "área grande", e interdigital. Os transistores bipolares são do tipo lateral e de substrato. Há também um transistor JFET. Os circuitos disponíveis são: Flip-flop RS síncrono (com MOS E/E), NOR (MOS E/E), inversor (um com MOS E/E e outro com E/D), oscilador em anel de 17 estágios com saída em "buffer" (um com MOS E/E e outro E/D). A descrição de cada estrutura que efetivamente foi utilizada nas medidas é descrita abaixo:

- Capacitores com anel de guarda:
 - 1) Óxido de porta – Área de 350x350 μm .
 - 2) Óxido de campo – Área de 350x350 μm .
- Transistores MOS:
 - 1) Tipo Enriquecimento: $W \times L (\mu\text{m}) = 200 \times 200; 100 \times 50; 100 \times 10; 100 \times 2$.
 - 2) Tipo Depleção: $W \times L (\mu\text{m}) = 200 \times 200; 100 \times 50; 100 \times 10; 100 \times 2$.

- Inversor MOS do tipo Enriquecimento/Enriquecimento:
W(carga)=8 μ m L(carga)=32 μ m, W=20 μ m L=8 μ m
- Inversor MOS do tipo Enriquecimento/Depleção:
W(carga)=12 μ m L(carga)=8 μ m, W=12 μ m L=8 μ m.
- Circuito NOR com transistor MOS tipo E/E:
Wc=20 μ m, Lc=8 μ m, W=8 μ m L=32 μ m
- Flip-Flop síncrono com transistor MOS tipo E/E:
Wc=8 μ m Lc=32 μ m, W=20 μ m L=8 μ m e Diodo 12x12 μ m

Um segundo *CI* chamado “*chip teste*” elaborado pelo autor através do projeto Multi-Usuário (PMU) do CCS foi projetado para testes de dispositivos, teste de regras de projeto e para extração de parâmetros para o simulador de circuitos SPICE. As regras de projeto utilizadas nessa pastilha serão descritas no item II.3. Os dispositivos que compõem esta pastilha são mostrados na figura II.19:

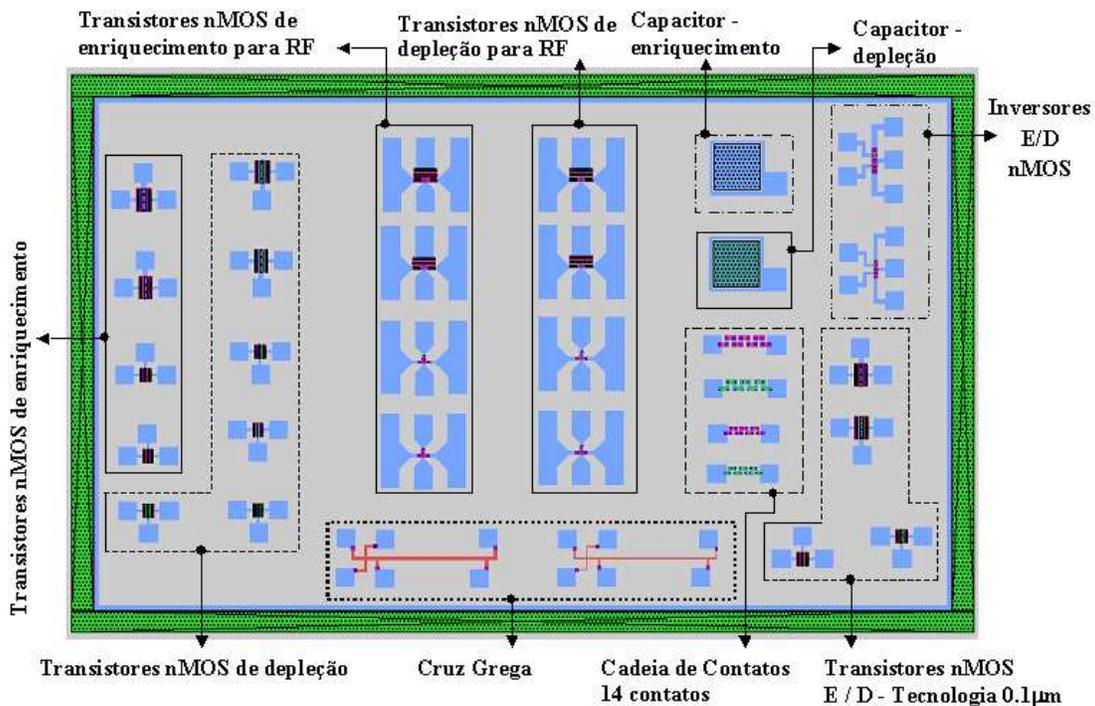


Fig. II.19 - Dispositivos no “*chip teste*”.

Os componentes desta pastilha são:

- Transistores MOS tipo Enriquecimento:
L=10 μ m e W=100 μ m, L=6 μ m e W=60 μ m, L=4 μ m e W=60 μ m.
- Transistores MOS tipo Depleção:
L=10 μ m e W=100 μ m, L=6 μ m e W=60 μ m, L=4 μ m e W=60 μ m.
- Transistores MOS para RF tipo Enriquecimento:
L=4 μ m e W=100 μ m, L=2 μ m e W=10 μ m, L=1 μ m e W=10 μ m.
- Transistores MOS para RF tipo Depleção:
L=4 μ m e W=100 μ m, L=2 μ m e W=10 μ m, L=1 μ m e W=10 μ m.

- Capacitor tipo Enriquecimento e Depleção:
Área 200x200 μm , idem para depleção.
- Inversores E/D:
 - 1) $L_E=8\mu\text{m}$ $W_E=12\mu\text{m}$, $L_D=8\mu\text{m}$ $W_D=12\mu\text{m}$.
 - 2) $L_E=4\mu\text{m}$ $W_E=6\mu\text{m}$, $L_D=4\mu\text{m}$ $W_D=6\mu\text{m}$.
- Transistores MOS E/D (Arquivo Magic - tecnologia CCS01):
Espaçamento entre vias de 1,5 μm . $L=10\mu\text{m}$ $W=100\mu\text{m}$ e $L=4\mu\text{m}$ $W=60\mu\text{m}$.
- Cadeia de Contatos:
 - 1) 14 contatos, Área 12x12 μm .
 - 2) 14 contatos, Área 6x6 μm .
- Cruz Grega:
 - 1) largura de linha=10 μm .
 - 2) largura de linha=2 μm .

Através dessas duas pastilhas será possível fazer todas as medidas necessárias para a obtenção dos parâmetros de qualquer modelo SPICE (1, 2 ou 3) e determinar regras de projetos para elaborar um *Design Kit*, que é um dos principais objetivos da tese.

II.3 – DESCRIÇÃO DAS REGRAS DE PROJETO UTILIZADAS.

As regras de projeto utilizadas na fabricação de circuitos integrados e de dispositivos no CCS foram obtidas através de conhecimentos práticos de fabricação, porém, não haviam sido testadas. Através da fabricação da pastilha teste para extração de parâmetros, foi possível estudar o limite mínimo da tecnologia utilizada e estabelecer um conjunto de regras de projeto para a fabricação de CI's com o processo do CCS. Além disso, foi possível determinar o limite de precisão dos equipamentos atualmente disponíveis.

- Níveis de máscaras:



Oxidação de porta – N01.



Implantação iônica de depleção – N03.



Implantação iônica de fonte e dreno – N04.



Metalização – N05.



Abertura de vias – N09.

As regras de projeto (R1, R2...) que foram empregadas na fabricação de dispositivos (figura II.20) antes desta proposta bem como as novas regras sugeridas para fabricação foram:

R1: Dimensão mínima para qualquer nível: $5\mu\text{m}$.

Regras testadas, $1\mu\text{m}$, $2\mu\text{m}$ e $3\mu\text{m}$.

R2: Separação mínima entre N04 e N09 no sentido do comprimento do canal: $2\mu\text{m}$.

Regras testadas, $1\mu\text{m}$ e $1,5\mu\text{m}$.

R3: Separação mínima entre regiões de difusão $5\mu\text{m}$.

Regras testadas, $6\mu\text{m}$ e $4\mu\text{m}$.

R4: Superposição mínima de N01 e N04: $2\mu\text{m}$.

Regras testadas, $1\mu\text{m}$ e $1,5\mu\text{m}$.

R5: Distância mínima de N04 além de N05, no sentido da largura do canal (W): $2\mu\text{m}$.

Regras testadas, $1\mu\text{m}$ e $1,5\mu\text{m}$.

R6: Distância mínima de N01 e N09: $2\mu\text{m}$.

Regras testadas, $1\mu\text{m}$ e $1,5\mu\text{m}$.

R7: Distância mínima entre N09 e N05: $2\mu\text{m}$.

Regras testadas, $1\mu\text{m}$ e $1,5\mu\text{m}$.

R8: Distância mínima entre metalizações (N05): $8\mu\text{m}$.

Regra testada $7\mu\text{m}$.

R9: Área mínima do "pad": $80 \times 80 \mu\text{m}$.

R10: Distância mínima de superposição entre N04 e N03, no sentido do comprimento do canal (L): $6\mu\text{m}$.

Regras testadas, $3\mu\text{m}$ e $4\mu\text{m}$.

R11: Distância mínima de N05 além de N04 no sentido de W do canal: $2\mu\text{m}$.

Regras testadas: $1\mu\text{m}$ e $1,5\mu\text{m}$.

R12: Igual a R2, no sentido da largura do canal.

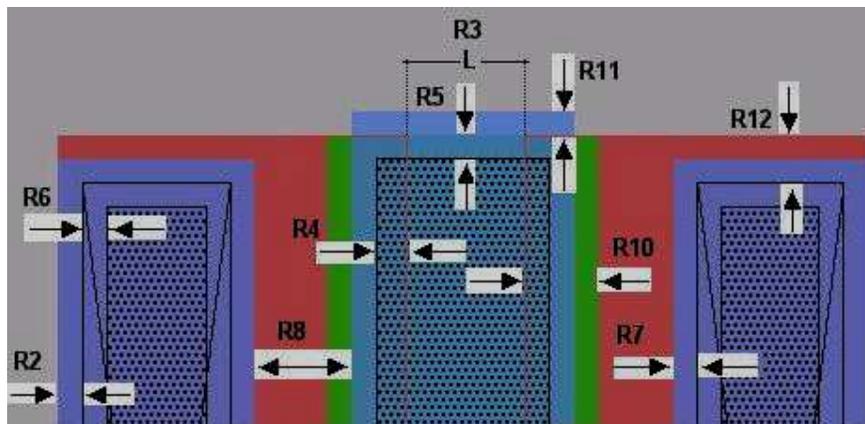


Fig.II.20 - Layout e regras de projeto.

As dimensões mínimas permitidas pelo processo de fabricação e os parâmetros para os modelos SPICE de simulação de circuitos foram obtidos através da análise das medidas elétricas realizadas nos dispositivos e da extração de parâmetros, respectivamente. As dimensões mínimas e os parâmetros de simulação compõem as regras de projeto.

Os resultados obtidos através das análises das medidas elétricas e a adequação das regras de projeto quanto ao processo de fabricação utilizado no laboratório, serão mostrados no item V.1. Os dados que compõem as regras de projeto, fazem parte do *design kit* do CCS, que permite a realização de projetos e simulações de circuitos no CCS.

III – SIMULADORES.

Na década de 1970, dispositivos MOS emergiram como a mais importante tecnologia para fabricação de circuitos integrados [4]. Ao mesmo tempo os simuladores de circuitos, principalmente o SPICE, apareceram como ferramenta para projeto de circuitos. Hoje há comercialmente vários tipos de simuladores SPICE, tais como HSPICE (Avant), SPECTRE (Cadence) e ELDO (Mentor Graphics).

Para descrever o comportamento dos dispositivos são utilizados modelos. Os modelos, de certa forma, são a representação do comportamento do dispositivo real nos simuladores.

Para a simulação e obtenção dos parâmetros das etapas de fabricação e a simulação elétrica utilizamos os programas SUPREM-IV.GS e PISCES-2ET respectivamente. No desenvolvimento deste trabalho estudaram-se os modelos SPICE 1, 2 e 3 e o modelo BSIM3. Estes modelos foram utilizados no simulador de circuitos da ORCAD (PSPICE).

III.1 – SUPREM E PISCES.

Os programas SUPREM-IV.GS e PISCES-2ET [16,17] disponibilizados pela universidade de Stanford na Califórnia em 1993 são usados respectivamente na simulação de processo de fabricação e na simulação elétrica dos dispositivos.

O SUPREM-IV.GS é a versão seguinte do programa SUPREM-IV que além de incluir a tecnologia de fabricação em lâminas de silício deste último também permite a modelagem de GaAs e seus dopantes. O SUPREM é um simulador avançado de processo em duas dimensões, desenvolvido para estruturas de silício micrométricas. O programa é baseado em modelos físicos para implantação iônica, difusão, oxidação e recozimento. Os modelos são baseados em interações de defeitos pontuais da rede cristalina. Permite verificar cortes de seção na estrutura durante a simulação o que possibilita uma previsão do comportamento do dispositivo. Ele foi elaborado para interagir com outros programas como PISCES ou, por exemplo, programas que simulem mais precisamente a corrosão e a deposição de filmes finos na superfície do semicondutor, embora modelos básicos destes processos também existam no SUPREM.

O programa PISCES-2ET é um simulador de dispositivos em duas dimensões para silício e heteroestruturas. É uma versão do PISCES-II que foi desenvolvido baseado na versão do 9009 de Stanford. O programa realiza a solução bidimensional da equação de Poisson e da equação da continuidade de portadores, tendo como condição de contorno a estrutura física e as tensões aplicadas aos terminais. É possível obter as curvas de simulação elétricas dos dispositivos de duas maneiras. Na primeira é necessário descrever todo o dispositivo, desde seu processo de fabricação (dopagem, tamanho, características físicas) até os métodos usados para simulação. A outra maneira, e talvez a mais usual, é utilizar um arquivo de saída do simulador de processos (SUPREM), onde já consta toda a característica de sua fabricação, sendo necessário definir apenas os métodos que serão utilizados pelo PISCES para a simulação elétrica e para a obtenção das curvas dos dispositivos.

Esses programas foram utilizados no processo de fabricação e simulação elétrica dos dispositivos com resultados bem satisfatórios. O arquivo de simulação (SUPREM e

PISCES), as curvas e as comparações com os resultados experimentais serão apresentados no item III.3.

III.2 - SPICE E BSIM.

O programa SPICE (*Simulation Program with Integrated Circuit Emphasis*) cujo desenvolvimento iniciou-se no final da década de 60 na Universidade da Califórnia em Berkeley, tem sido o mais utilizado no projeto de circuitos MOS com ótimos resultados. No entanto, é essencial para uma simulação adequada a precisa extração dos parâmetros e o entendimento de cada parâmetro dos modelos utilizados. Existem três tipos de modelos SPICE [18] de dispositivos MOSFET.

Nível 1 - Shichman-Hodges ou MOS1;

Nível 2 - Modelo analítico, baseado na geometria ou MOS2;

Nível 3 – Modelo de canal curto, semi-empírico ou MOS3.

Na medida em que as dimensões dos dispositivos têm se reduzido continuamente com o avanço da tecnologia, outros programas de simulação, com novos modelos, têm sido desenvolvidos. Isto se deve ao fato do aparecimento do efeito de mecanismos físicos antes desprezíveis. Um desses programas, de domínio público, é o BSIM (“**B**erkeley **S**hort channel **I**GFET **M**odel”). O BSIM foi desenvolvido numa análise quasi-bidimensional do transistor MOSFET. O modelo considera explicitamente o efeito de muitas variáveis concernentes ao tamanho do dispositivo e ao processo, para simulação conveniente do escalamento e previsão correta do comportamento dos dispositivos. Isto evita a necessidade da alteração dos parâmetros do modelo com a redução das dimensões dos dispositivos.

No desenvolvimento deste trabalho utilizaram-se os modelos [19] SPICE3 e BSIM3v3, sendo que, o primeiro foi utilizado para os dispositivos fabricados no CCS e o segundo para os dispositivos fabricados pelo IMEC (item IV.1.3). No item III.5 será descrito cada modelo SPICE apresentado acima e o modelo BSIM3v3 será apresentado no item III.6.

III.3 – SIMULAÇÕES DE PROCESSO DE FABRICAÇÃO – SUPREM.

O processo de fabricação de dispositivos do CCS e a simulação dos dispositivos fabricados foram simulados pelo programa de simulação de processos SUPREM e pelo programa de simulação elétrica PISCES com o intuito de propor melhorias no processo. Através destas simulações, é possível prever em que etapa do processo é necessária uma mudança para otimizar o processo de fabricação, evitando vários ciclos de projeto e re-projeto. Foram feitas várias simulações até chegar aos parâmetros do processo de fabricação que foi descrito no capítulo II.

Os resultados finais da simulação de um transistor nMOS de enriquecimento com comprimento de canal definido pela máscara de $L_{\text{masc.}}=8\mu\text{m}$ e largura $W=20\mu\text{m}$ é mostrado abaixo. Nestes resultados já constam os ajustes ou refinamentos do processo feitos baseados na simulação tais como tempos de recozimentos, espessura de óxido, doses e energias de implantação para um correto funcionamento dos dispositivos. O código fonte utilizado na simulação está descrito no apêndice B.

O gráfico da figura III.1 nos mostra o perfil pearson IV da implantação de boro antes do recozimento. O boro foi implantado com energia de 65 KeV e dose de $1 \times 10^{13} \text{ cm}^{-2}$. Podemos notar que na posição de 0,38 micron em direção ao substrato (eixo y), a implantação tende a concentração inicial de boro da lâmina ($1 \times 10^{15} \text{ cm}^{-2}$).

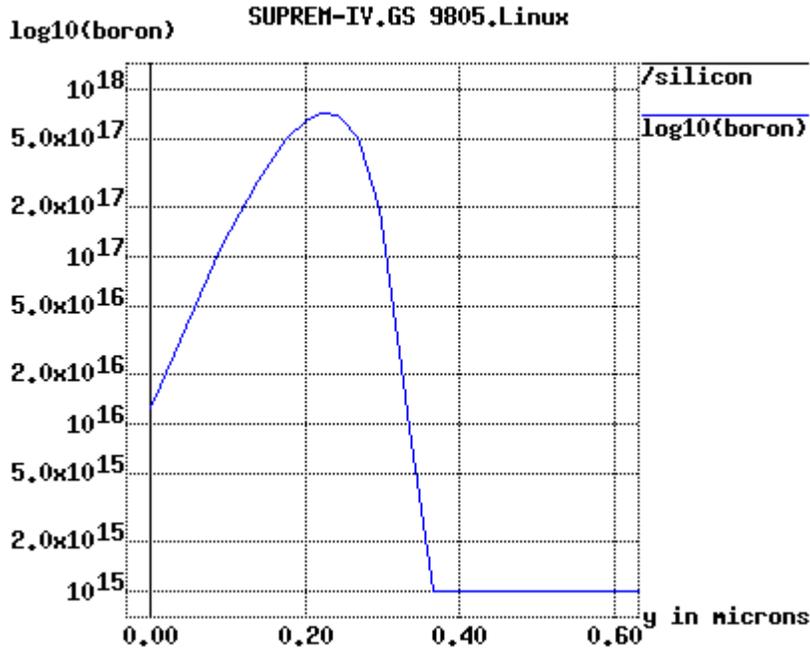


Fig. III.1 – Gráfico da implantação de Boro para ajuste da tensão de limiar (V_t)

O gráfico da figura III.2 mostra o perfil de implantação de boro após o recozimento. Podemos perceber o aprofundamento da implantação (a concentração de dopantes tende à concentração do substrato próximo a 1 micron) devido à redifusão de dopantes para dentro do substrato.

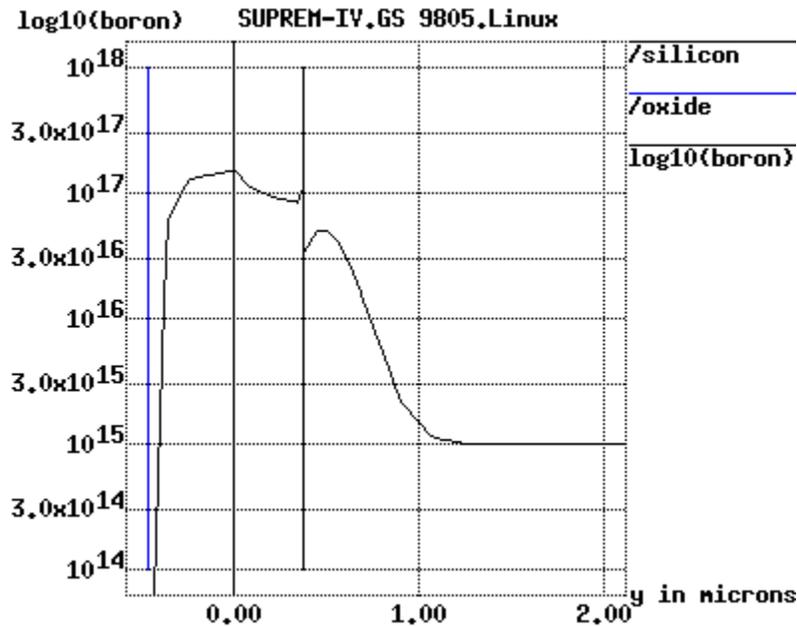


Fig. III.2 - Perfil da implantação de boro após recozimento e oxidação.

O gráfico da figura III.3 nos mostra o perfil de implantação de fósforo para a formação da região de fonte e dreno antes do recozimento. O fósforo foi implantado com energia de 65 keV e dose de $5 \times 10^{15} \text{ cm}^{-2}$. Para uma interpretação do comportamento dos dopantes numa implantação mostramos o gráfico bidimensional com os dois perfis de concentração. O primeiro corresponde à concentração de fósforo de $1 \times 10^{17} \text{ cm}^{-2}$ e o segundo corresponde à concentração de $1 \times 10^{20} \text{ cm}^{-2}$. Por este gráfico podemos notar que a maior concentração está mais próxima da superfície.

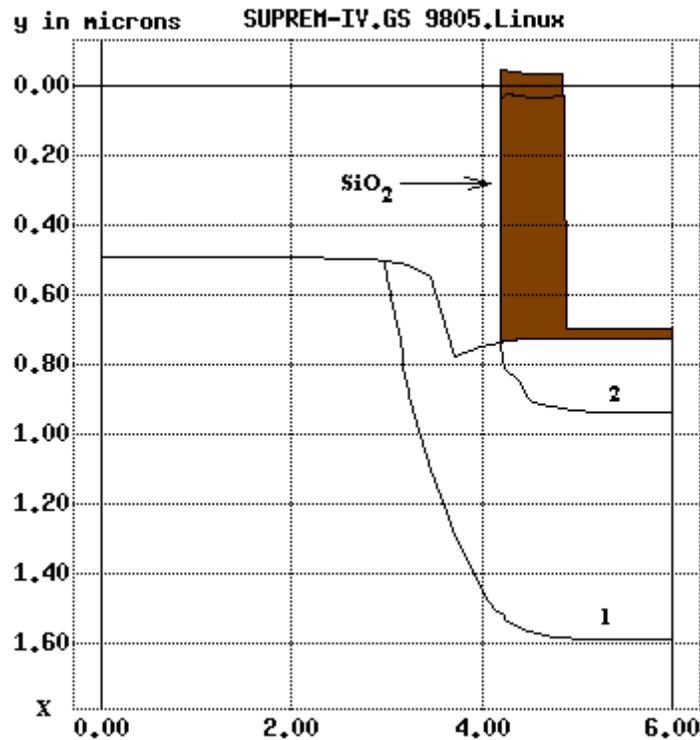


Fig. III.3 - Perfil da implantação de Fósforo antes do recozimento.

A figura III.4 mostra o perfil de implantação de fósforo após as etapas de recozimento da implantação e da oxidação seca de porta. No detalhe percebemos o óxido de porta, o efeito de difusão de dopantes para o substrato aumentando a profundidade de junção (X_j), e também a difusão lateral de dopantes.

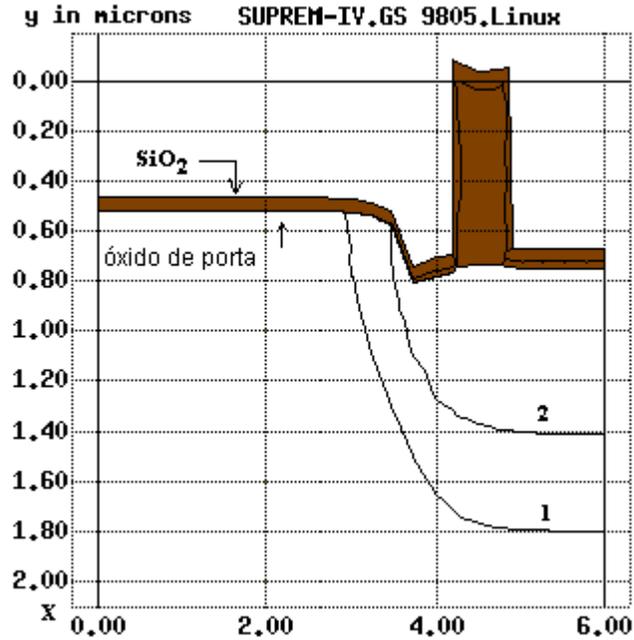


Fig. III.4 - Perfil da implantação de Fósforo após o recozimento e a oxidação.

O perfil final completo de uma estrutura nMOS após as etapas de fotogração de contatos e fotogração da metalização é mostrado na figura III.5. Podemos notar a profundidade da junção, a metalização para contatos de fonte, dreno e porta, o óxido de porta e o óxido de isolamento. O índice G corresponde ao eletrodo de porta, para o dreno D e para o eletrodo da fonte S.

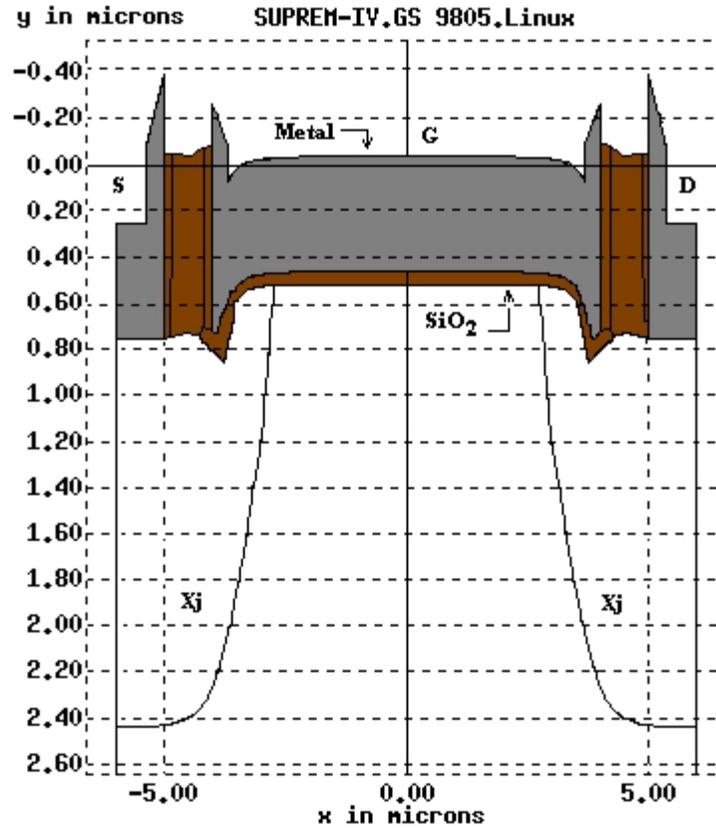


Fig. III.5 - Perfil final de uma estrutura nMOS.

III.4 – SIMULAÇÃO ELÉTRICA – PISCES.

Com o arquivo de saída da simulação SUPREM (apêndice B) é possível fazer a simulação elétrica PISCES. Através destas simulações podemos analisar o comportamento elétrico da estrutura simulada no Suprem, tais como campos elétricos, curvas características e o comportamento dos portadores como perfuramento de junções (*punchthrough*) e elétrons quentes [2].

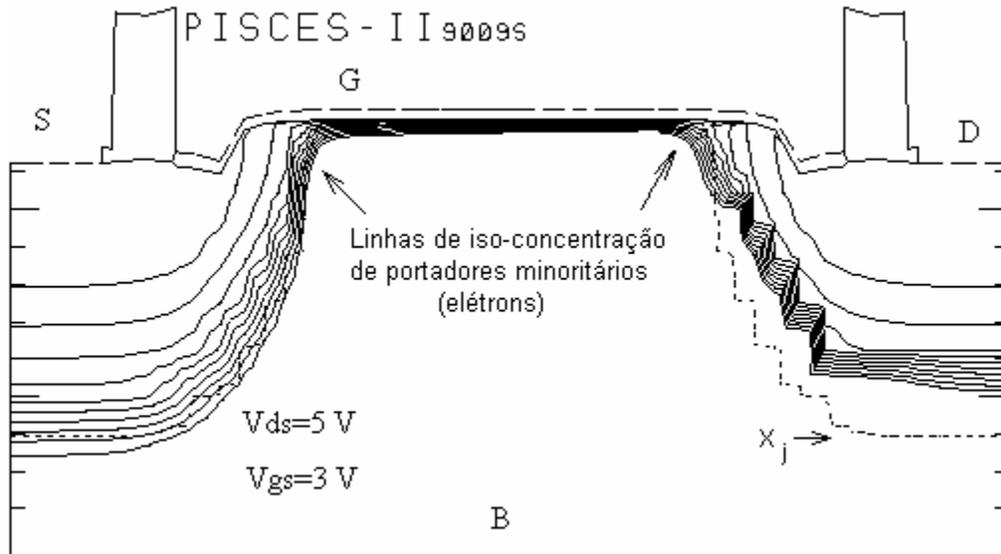


Fig. III.6 - Linhas de iso-concentração de portadores minoritários.

No gráfico da figura III.6 podemos notar a distribuição dos portadores minoritários (elétrons) quando o dispositivo é polarizado com 5 V entre fonte e dreno (V_{ds}) e 3 V aplicados ao terminal da porta (V_{gs}). É possível perceber que a condução elétrica se dá muito próximo à superfície verificando que as linhas de maior concentração dos portadores estão bem próximas à superfície na região do eletrodo de porta. No gráfico da figura III.7 verificamos o comportamento dos portadores majoritários (lacunas) com a mesma polarização anterior.

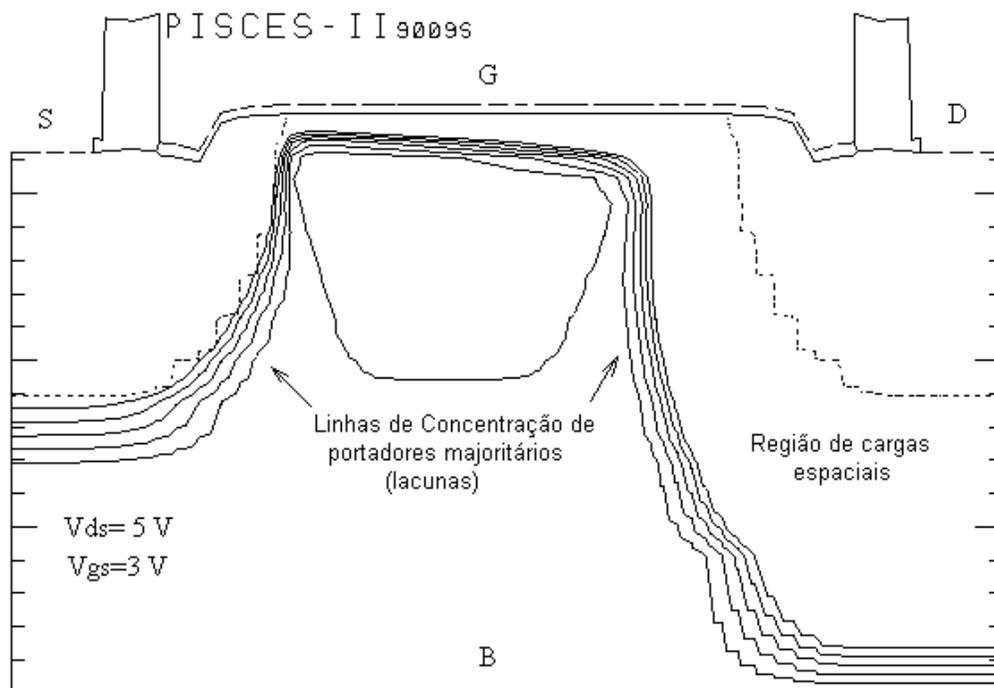


Fig. III.7 - Linhas de iso-concentração de portadores majoritários.

Podemos notar na simulação que devido à polarização, ocorrem dois efeitos que também acontecem num dispositivo real. O primeiro é o fato da maior concentração de elétrons estar bem próxima a superfície do óxido, o que nos mostra que a condução se dá bem próxima desta superfície. Este efeito pode ser verificado na figura III.8. A tensão positiva de porta afasta os portadores majoritários e atrai os portadores minoritários (elétrons) para próximo da superfície. Analisando este efeito num gráfico Corrente x Profundidade percebemos que quanto mais próximo da superfície maior é o valor da corrente, ou seja, mais portadores se encontram naquela região. Podemos notar também na figura III.6 um estreitamento do canal (portadores minoritários) quando seguimos da fonte para o dreno indicando o aparecimento do efeito de modulação do canal para maiores valores de tensão. Outro fato importante (quando comparados os dois gráficos) é o visível aparecimento de uma região desprovida de cargas móveis (portadores) ou região de cargas espaciais. Novamente devido á polarização, as lacunas são “empurradas” para dentro do substrato fazendo aparecer à região de carga espacial, que igualmente ocorre num dispositivo real, é maior próximo do dreno do que na fonte.

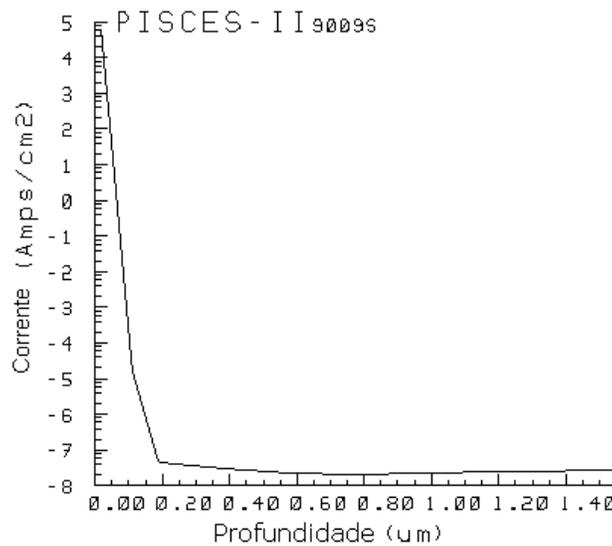


Fig. III.8 – Densidade de corrente em função da profundidade na porta num dispositivo nMOS.

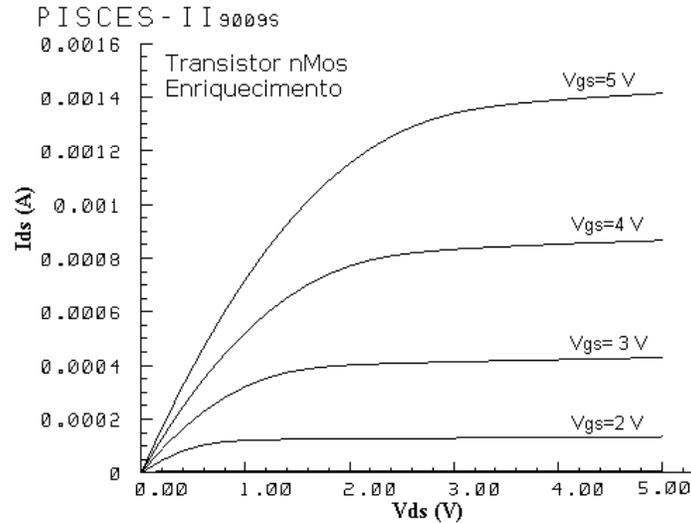


Fig. III.9 - Curva $I_{ds}V_{ds}$ - Transistor nMOS enriquecimento ($L_{masc}=8\mu m/W=20\mu m$).

Nos gráficos das figuras III.9, III.10 e III.11 mostramos as simulações PISCES da curva característica, da curva $I_{ds}V_{gs}$ e logaritmo da curva $I_{ds}V_{gs}$. Pela curva característica do transistor podemos analisar os efeitos de modulação de canal ou da resistência do canal do dispositivo antes de sua fabricação de modo a evitar ou corrigir estes efeitos (esses efeitos serão descritos no capítulo IV). Pela simulação PISCES da curva $I_{ds}V_{gs}$ podemos estimar o valor da tensão de limiar que é um parâmetro importante na confecção de circuitos integrados. Pela gráfico da figura III.11 podemos estimar o valor da corrente de fuga dos transistores.

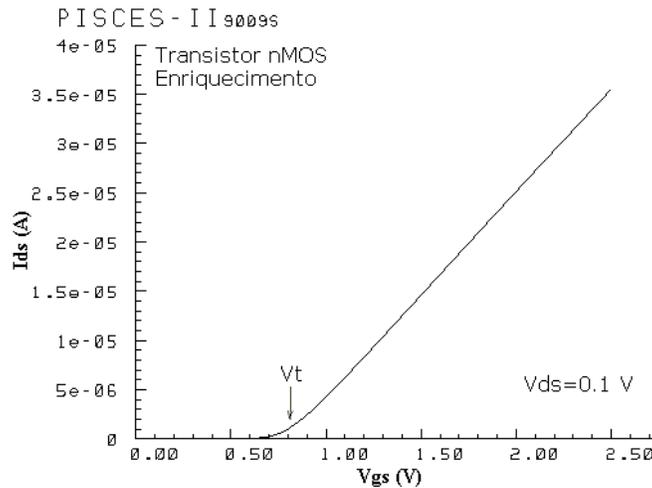


Fig. III.10 - Curva $I_{ds}V_{gs}$ - Transistor nMOS enriquecimento ($L_{masc}=8\mu m/W=20\mu m$).

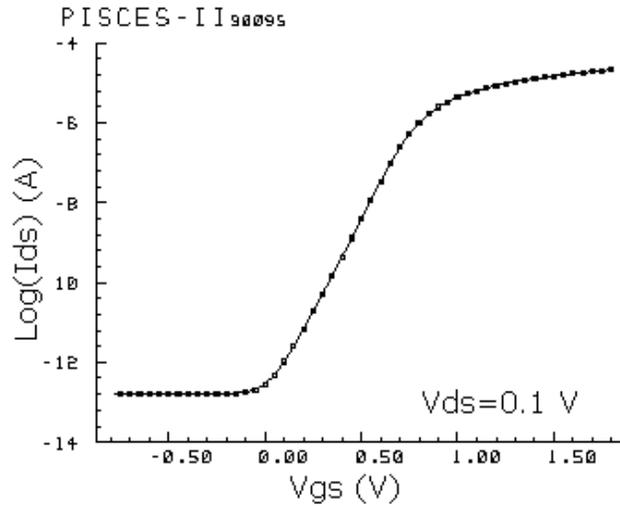


Fig. III.11 - Curva Log(I_{ds}) vs V_{gs} – Transistor nMOS enriquecimento.

Uma parte importante na simulação do processo de fabricação é sua comparação com o dispositivo já fabricado, pois desta forma podemos analisar a validade da simulação. Nas figuras III.12 e III.13 são comparadas as simulações PISCES com as medidas nos dispositivos reais. Por estas comparações podemos perceber a validade da simulação PISCES. Para tensões de porta (V_{gs}) iguais a 4 e 5 V na figura III.12 percebemos uma ligeira diferença entre a simulação e o dispositivo medido. A comparação PISCES com o dispositivo real na figura III.13 apresenta uma boa precisão na primeira estimativa do valor da tensão de limiar. Apesar das imprecisões o erro foi menor que 10%. As medidas efetuadas nos dispositivos reais utilizadas nestas comparações serão apresentadas no capítulo IV.

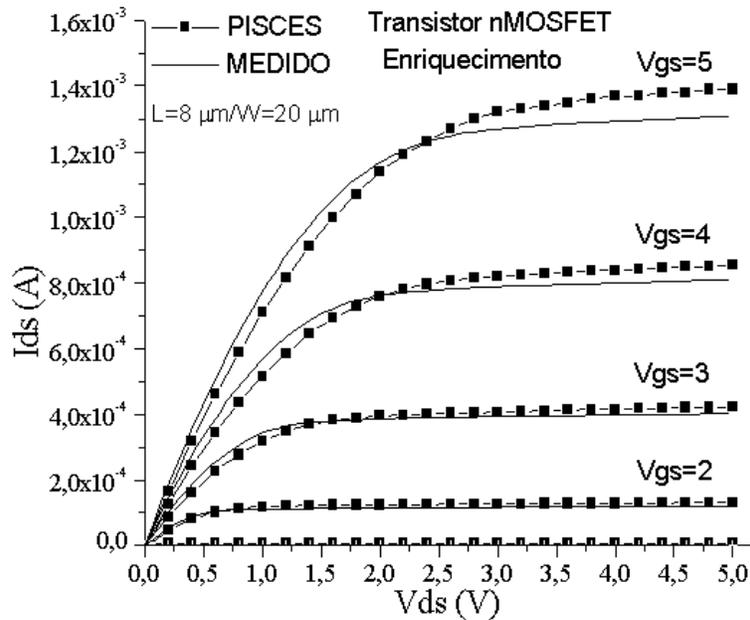


Fig. III.12- Comparação entre a simulação PISCES e o dispositivo medido para um transistor nMOS ($L=8\mu\text{m}/W=20\mu\text{m}$) – Curva I_{ds} vs V_{ds}

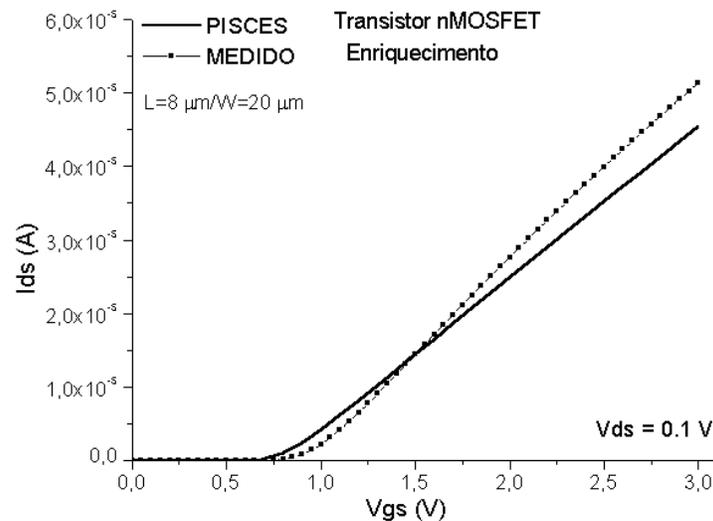


Fig. III.13 - Comparação entre a simulação PISCES e o dispositivo medido para um transistor nMOS ($L_{\text{masc}}=8\mu\text{m}/W=20\mu\text{m}$) – Curva $I_{\text{ds}}V_{\text{gs}}$.

De acordo com alguns artigos citados na referência bibliográfica e segundo as publicações de artigos referentes a este tipo de análise [20,21,22], as discrepâncias observadas nos gráficos entre os resultados da simulação e os dados experimentais são aceitáveis. Portanto os dispositivos estão sendo simulados satisfatoriamente.

III.5 – MODELOS SPICE.

Pode se definir um modelo matemático, como sendo uma construção matemática, pela qual, com adição de uma certa interpretação verbal, descreve-se o fenômeno observado (John von Neumann).

A precisão de uma simulação de um circuito depende tanto da precisão dos modelos utilizados para os transistores e dispositivos do circuito como da determinação precisa dos parâmetros dos modelos. Os parâmetros são extraídos de medidas feitas nos dispositivos reais. Portanto, uma parte essencial no uso dos simuladores é a extração precisa, dos dispositivos reais, dos valores dos parâmetros para os modelos utilizados. Por isso é fundamental o entendimento dos modelos utilizados nos simuladores e sua relação com os dispositivos reais. Neste capítulo descrevem-se as principais equações utilizadas no simulador de circuitos SPICE.

Como mencionado anteriormente, existem três tipos de modelos SPICE [18] para o transistor MOS;

1) NÍVEL 1 - Shichman-Hodges ou MOS1

O modelo SPICE nível 1 é um modelo bem simples para simulação e é usado para MOSFET de grandes dimensões. É um modelo obsoleto, mas tem a vantagem da simplicidade, permitindo previsões rápidas de primeira ordem.

As condições de operação de um transistor MOS em função das polarizações aplicadas aos seus terminais podem ser divididas em três regiões distintas (anexo A.2).

- Região linear: onde $V_{gs} > V_t$ e $V_{ds} < V_{gs} - V_t$.

A tensão que indica o limiar de condução nos transistores MOS é definida por V_t . As tensões de porta, V_{gs} , de dreno V_{ds} , podem ser visualizadas na figura III.14.

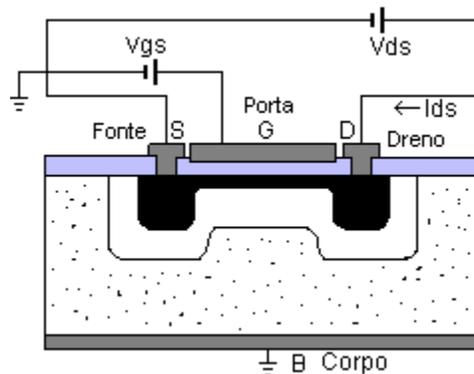


Fig. III.14 – Definição das tensões num transistor MOS.

A equação que descreve a corrente no dreno I_{ds} nesta região é;

$$I_{ds} = KP * \frac{W}{L_{eff}} * \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) * V_{ds} (1 + \lambda * V_{ds}) \quad (1)$$

onde :

W é a largura do canal (Anexo A.2)

KP é conhecido como parâmetro de transcondutância. $KP = \mu * C'_{ox}$;

μ é a mobilidade dos portadores;

L_{eff} é o comprimento efetivo do canal. $L_{eff} = L_{masc} - 2L_D$;

L_{masc} é o comprimento do canal definido na máscara;

L_D é a difusão lateral (fonte ou dreno). $L_D = 0.7 * X_j$;

X_j é a profundidade de junção;

λ é a modulação de canal. $\lambda = 1/V_A$;

V_A é a tensão de Early.

A equação que define a tensão de limiar é;

$$V_t = V_{t_0} + \gamma \left(\sqrt{\text{abs}(V_{bs}) + \text{abs}(2\phi_F)} - \sqrt{\text{abs}(2\phi_F)} \right) \quad (2)$$

onde:

V_{t_0} é o valor da tensão de limiar para $V_{bs} = 0$;

$$\gamma \text{ é o fator de corpo. } \gamma = \frac{\sqrt{2 * \epsilon_{si} * \epsilon_0 * Na}}{C'_{ox}}; \quad (3)$$

ϵ_{si} é a permissividade do silício monocristalino (11.9);

ϵ_0 é a permissividade (8.845×10^{-14} F/cm²);

Na é a dopagem de substrato;

$$C'_{ox} \text{ é a capacitância do óxido por área. } C'_{ox} = \frac{\epsilon_0 * \epsilon_{ox}}{t_{ox}}; \quad (4)$$

ϵ_{ox} é a permissividade do óxido de silício (3.9);

$$\phi_F \text{ é o potencial de Fermi. } \phi_F = \frac{kT}{q} * \ln\left(\frac{Na}{ni}\right); \quad (5)$$

ni é a concentração intrínseca de portadores do silício, ($T=300$ K, 1.18×10^{10} cm⁻³),

K , constante de Boltzman (1.38×10^{-23} J/K),

$\phi_F > 0$ para substratos tipo p e $\phi_F < 0$ para tipo n .

- Região de Saturação: onde $V_{gs} > V_t$ e $V_{ds} > V_{gs} - V_t$

A equação que descreve a corrente no dreno para essa região é;

$$I_{ds} = \frac{KP}{2} * \frac{W}{L_{eff}} (V_{gs} - V_t)^2 (1 + \lambda * V_{ds}) \quad (6)$$

O termo $(1 + \lambda * V_{ds})$ no modelo é uma correção empírica da condutância na região de saturação.

Não é modelada no nível 1 a região de sublimiar.

2) NÍVEL 2 - Modelo analítico ou MOS2, baseado na geometria.

O modelo de descrição de dispositivos sugerido por J. E. Meyer [23] foi criado para permitir uma descrição dos transistores MOS de pequenas dimensões. No entanto, tornou-se matematicamente e fisicamente complicado. Por esse motivo, é muito pouco utilizado.

As equações usadas para o modelo SPICE nível 2 são:

- Região linear:

A corrente de dreno é descrita como sendo:

$$I_{ds} = \frac{KP}{1 - \lambda * V_{ds}} * \frac{W}{L_{eff}} * \left\{ \left(V_{gs} - V_{fb} - 2\phi_F - \frac{V_{ds}}{2} \right) * V_{ds} - \frac{2}{3} \gamma \left[\frac{(V_{ds} - V_{bs} + 2\phi_F)^3}{2} - \frac{(-V_{bs} + 2\phi_F)^3}{2} \right] \right\} \quad (7)$$

A tensão de limiar pode ser calculada a partir dos parâmetros físicos através da equação:

$$V_{t_0} = \phi_{ms} - \frac{q * N_{ss}}{C'_{ox}} + 2\phi_F + \gamma \sqrt{2\phi_F} \quad (8)$$

onde:

ϕ_{ms} é a diferença entre as funções trabalho do metal e do semiconductor .

N_{ss} é a densidade de estados de superfície.

$$\phi_{ms} = - TPG \frac{E_g}{2} - \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right). \quad (9)$$

TPG representa o tipo do material da porta. Para transistores de porta de alumínio TPG é igual a 0, para transistores de porta de polisilício com o mesmo tipo de dopantes do substrato TPG é igual à -1 e para tipo oposto de dopantes, TPG é igual a +1;

E_g é a largura da banda proibida do semiconductor (1.12eV para o silício).

- Região de Saturação:

A corrente de dreno passa agora a ser definida como:

$$I_{ds} = I_{d_{sat}} \frac{1}{1 - \lambda * V_{ds}} \quad (10)$$

A corrente de saturação de dreno, $I_{d_{sat}}$, é calculada a partir da expressão de I_{ds} na região linear (eq. 7) utilizando na expressão o valor de V_{ds} igual ao de $V_{d_{sat}}$, com o valor de $V_{d_{sat}}$ definido por:

$$V_{d_{sat}} = V_{gs} - V_{fb} - 2\phi_F + \gamma^2 \left(1 - \sqrt{1 + \frac{2}{\gamma^2} (V_{gs} - V_{fb})} \right) \quad (11)$$

V_{fb} é a tensão de banda plana que pode ser obtida através da medida CxV (anexo A.1).

- Região de Inversão fraca ou sublimiar:

O modelo básico implementado calcula a corrente de difusão quando o potencial de superfície é igual ou maior que $2\phi_F$. Esse modelo introduz uma dependência exponencial entre a corrente de dreno e a tensão de porta e define uma tensão (V_{on}) que atua como limite entre as regiões de inversão fraca e forte [2,24,25].

$$I_{ds} = I_{on} * e^{\left(\frac{V_{gs} - V_{on}}{n * kT} \right)} \quad (12)$$

onde:

I_{on} é a corrente em inversão forte, para $V_{gs} = V_{on}$.

$$V_{ON} = Vt + \frac{n * kT}{q} \quad \text{onde} \quad n = 1 + \frac{q * N_{FS}}{C'_{ox}} + \frac{Cd}{C'_{ox}} \quad (13)$$

$$Cd \text{ é a capacitância associada a região de depleção, } Cd = \frac{\gamma}{2\sqrt{2\phi_F - V_{bs}}}; \quad (14)$$

N_{FS} é o numero de estados rápidos de superfícies e é determinado pela inclinação da curva no gráfico $\text{Log}(Id) \times Vgs$ [18,21].

- KP' – Parâmetro de transcondutância.

A redução da mobilidade com o aumento na tensão de porta Vgs , altera o valor da transcondutância. Esse efeito é incorporado no novo valor de KP' .

$$KP' = KP \left(\frac{\epsilon_s}{\epsilon_{ox}} \frac{Uc * tox}{Vgs - Vt - Ut * Vds} \right)^{ue} \quad (15)$$

O termo em parêntesis é limitado a 1.

O parâmetro UC representa o campo crítico na região entre porta e canal. Acima desse valor, a mobilidade começa a diminuir. O parâmetro Ut representa o campo entre porta e canal devido à tensão de dreno e seu valor é escolhido entre 0 e 0,5. Esta fórmula apresenta bons resultados somente na região de inversão forte.

- Variação do comprimento do canal na região de saturação:

Devido ao efeito da modulação de canal, que pode ocorrer quando o transistor está polarizado na saturação, o comprimento efetivo do canal de um transistor é modificado e seu novo valor passa ser:

$$L' = L_{eff} (1 - \lambda * Vds) \quad (16)$$

No caso de não se determinar o valor do parâmetro de λ nas medidas, usa-se equação abaixo como cálculo:

$$\lambda = \frac{L_{eff} - L'}{L_{eff} * Vds}$$

onde:

$$L_{eff} - L' = X_D \left[\frac{Vds - Vd_{sat}}{4} + \sqrt{1 + \left(\frac{Vds - Vd_{sat}}{4} \right)^2} \right] \quad \text{e} \quad X_D = \sqrt{\frac{2 * \epsilon_s}{q * Na}} \quad (17,18)$$

- Efeito do comprimento do canal na tensão de limiar.

A tensão de limiar é afetada pela diminuição do comprimento do canal [2,22,25]. A dependência da tensão de limiar com o comprimento do canal, para transistores de canal curto é modelado com a equação abaixo. Esse efeito é conhecido como efeito de canal curto.

$$\gamma' = \gamma \left[1 - \frac{X_j}{2L_{eff}} \left(\sqrt{1 + \frac{2W_s}{X_j}} + \sqrt{1 + \frac{2W_d}{X_j}} - 2 \right) \right] \quad (19)$$

O valor de γ' substitui o γ nas equações 10, 11, 14 e 16.

onde:

$$W_s \text{ é a largura da região de depleção na fonte, } W_s = X_D \sqrt{2\phi_F - V_{bs}} \quad (20)$$

$$W_d \text{ é a largura da região de depleção no dreno, } W_d = X_D \sqrt{2\phi_F - V_{bs} + V_{ds}} \quad (21)$$

- Efeito da largura do canal na tensão de limiar.

Verifica-se um aumento na tensão de limiar com a diminuição da largura do canal [2,25]. Para modelar esse efeito utiliza-se uma equação modificada para a tensão de limiar.

$$V_t = V_{fb} + 2\phi_F + \gamma' \sqrt{2\phi_F - V_{bs}} + \frac{\epsilon_s * \delta * \pi}{4 * C_{ox}' * W} (2\phi_F - V_{bs}) \quad (22)$$

O valor de I_{ds} também será afetado pelo aumento na tensão de limiar;
 δ é um parâmetro de ajuste.

3) NÍVEL 3 – Modelo de canal curto ou MOS3, semi-empírico.

É uma versão simplificada do nível 2 ambos desenvolvidos para modelar dispositivos de menores dimensões. As equações básicas foram sugeridas por L. M. Dang [26]. Como esse modelo não é tão complicado, tornou-se popular.

As equações usadas para o modelo SPICE nível 3 são na sua maioria empíricas:

- Região linear:

Corrente de dreno;

$$I_{ds} = KP * \frac{W}{L_{eff}} \left(V_{gs} - V_t - \left(\frac{1 + F_b}{2} \right) V_{ds} \right) V_{ds} \quad (23)$$

onde:

F_b expressa a dependência das cargas de corpo na geometria tridimensional do transistor MOS.

$$F_b = \frac{\gamma * F_s}{2\sqrt{2\phi_F - V_{bs}}} + F_n; \quad (24)$$

F_n representa o efeito de canal estreito (W) na tensão de limiar (ΔV_{th}).

$$F_n = \frac{\epsilon_s * \delta * \pi}{4 * C'_{ox} * W}; \quad (25)$$

Uma das expressões mais complicadas nesse modelo por envolver vários parâmetros distintos é a da tensão de limiar.

$$V_t = V_{fb} + 2\phi_F - \sigma * V_{ds} + \gamma * F_s \sqrt{2\phi_F - V_{bs}} + F_n(2\phi_F - V_{bs}) \quad (26)$$

onde:

σ representa empiricamente a dependência de V_t com V_{ds} e η é um parâmetro para ajuste.

$$\sigma = \eta \frac{8.15 \times 10^{-22}}{C'_{ox} * L_{eff}^3} \quad e \quad \eta = \frac{\Delta V_{th}}{\Delta V_{ds}} * \frac{C'_{ox} * L_{eff}^3}{8.15 \times 10^{-22}} \quad (27)$$

Em um transistor de dimensões intermediárias, o potencial de superfície no centro do canal, é igual à de um transistor de grandes dimensões. Entretanto, as regiões de depleção de fonte e dreno ocupam uma região considerável do canal, conforme indica a figura III.15. O potencial de superfície nas bordas do canal, ao longo de seu comprimento, é maior que em seu centro, ocasionando maior concentração de portadores livres. A condutividade média do canal é aumentada, correspondendo a uma redução na tensão de limiar. Esse efeito é modelado por F_s [27].

$$F_s = 1 - \frac{X_j}{L_{eff}} \left(\frac{L_D + W_c}{X_j} \right) \sqrt{1 - \frac{W_p}{X_j + W_p} - \frac{L_D}{X_j}} \quad (28)$$

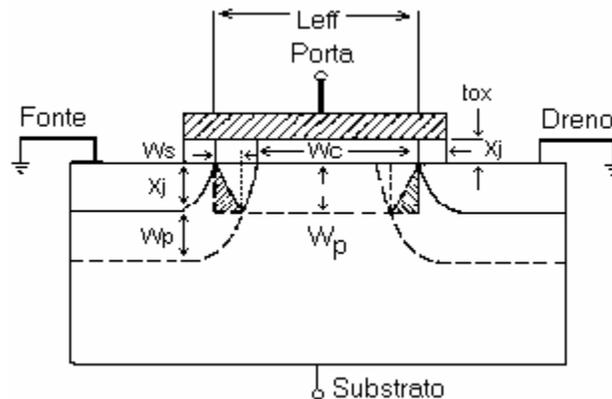


Fig. III.15 - Depleção num transistor de canal curto.

W_p é a largura de região de depleção plana no canal.

W_c é a largura de depleção da junção cilíndrica.

Esse modelo utiliza uma correção da mobilidade de superfície μ_s dependente do campo vertical aplicado à estrutura por meio de uma expressão empírica, porém muito prática para fins de simulação.

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{gs} - V_t) + \theta * V_{bs}} \quad (29)$$

μ_0 é a mobilidade superficial independente do campo e θ é o coeficiente de constante de proporcionalidade.

- Região de Saturação:

A tensão de saturação de dreno é representada por:

$$V_{ds_{sat}} = \frac{V_{gs} - V_t}{1 + Fb} - \frac{\mu_s}{2 * v_{max}} \left[\frac{V_{gs} - V_t}{1 + Fb} \right]^2 \quad (30)$$

v_{max} é a velocidade limite (máxima) dos portadores.

O comprimento efetivo do canal de um transistor sofre uma redução para altos valores de tensões de dreno. A correção do comprimento do canal é baseada na teoria de Baum [18,27]:

$$\Delta L = \sqrt{\left(\frac{Ep}{2B} \right)^2 + Kappa \left(\frac{V_{ds} - V_{ds_{sat}}}{B} \right)} - \frac{Ep}{2B} \quad (31)$$

onde:

Kappa é uma parâmetro de ajuste empírico, com o valor típico igual a 1.

$$B = \frac{q * N_{sub}}{2 * \epsilon_{Si}} \quad e \quad Ep = \frac{I_{ds_{sat}}}{G_{ds_{sat}} * L}; \quad (32,33)$$

sendo $I_{ds_{sat}}$ e $G_{ds_{sat}}$ a corrente e a condutância na tensão $V_{ds_{sat}}$, respectivamente. Após a saturação, a corrente I_{ds} é dada por:

$$I_{ds} = I_{ds_{sat}} \frac{L}{L - \Delta L} \quad (34)$$

- Saturação da Velocidade dos Portadores:

A saturação da velocidade dos elétrons influencia também as características tensão-corrente de transistores de geometria pequena. Além de degradar a mobilidade de superfície, à medida que o campo longitudinal aumenta, satura quando o campo elétrico atinge o valor crítico. A expressão que estabelece esta dependência é dada por:

$$\mu_{eff} = \frac{\mu_s}{1 + \frac{\mu_s * V_{ds}}{v_{max} * L_{eff}}} \quad (35)$$

Para a inversão fraca, usa-se o mesmo modelo do nível 2.

III.5.1 – Parâmetros SPICE.

A tabela III.1 apresenta a definição e o conjunto de parâmetros utilizados nos modelos SPICE 1, 2 e 3.

SÍMBOLO	SPICE	DESCRIÇÃO	UNID	NÍVEL
V_t	VTO	V_t para $v_{bs}=0$	V	1-3
K_P	KP	Transcondutância	A/V^2	1-3
γ	GAMMA	Efeito de corpo	$V^{1/2}$	1-3
$2\phi_F$	PHI	Potencial de superfície em inversão	V	1-3
λ	LAMBDA	Modulação de canal	V^{-1}	1,2
T_{ox}	TOX	Espessura de Óxido	m	1-3
N_b	NSUB	Dopagem de Substrato	cm^{-3}	1-3
N_{ss}	NSS	Densidade de estados de superfície	cm^{-2}	2,3
N_{fs}	NFS	Densidade de estados rápidos de superfície	cm^{-2}	2,3
X_j	XJ	Profundidade da junção metalúrgica	m	2,3
X_{jl}	LD	Difusão lateral	m	1-3
T_{pg}	TPG	Tipo do material da porta	--	2,3
μ_0	UO	Mobilidade	$cm^2/V.s$	1-3
U_c	UCRIT	Campo elétrico crítico para mobilidade	V/cm	2
U_e	UEXP	Coefficiente exponencial para mobilidade	--	2
U_t	UTRA	Coefficiente do campo transversal	--	2
v_{max}	VMAX	Máxima velocidade de deriva de portadores	m/s	2,3
X_{qc}	XQC	Fração de carga no canal atribuída ao dreno	--	2,3
δ	DELTA	Efeito da largura na tensão de limiar	--	2,3
η	ETA	Efeito de V_d sobre V_t	--	3
κ	KAPPA	Fator de saturação de campo	--	3
θ	THETA	Modulação da mobilidade V_g	V^{-1}	3
V_{dd}	VDD	Faixa de tensão de Polarização	V	3
A_f	AF	<i>Flicker noise</i> expoente	--	1-3
K_f	KF	<i>Flicker noise</i> coeficiente	--	1-3
Parâmetros de efeitos parasitários*				
I_s	IS	Corrente de Saturação de Junção	A	1-3
J_s	JS	Densidade de Corrente de Saturação de Junção	A/m^2	1-3
ϕ_j	PB	Potencial de junção	V	1-3
C_j	CJ	Capacitância por área para $V_{bs}=0$	F/m^2	1-3
M_j	MJ	Coefficiente de graduação da junção	--	1-3
C_{jsw}	CJSW	Capacitância de perímetro por metro para $V_{bs}=0$	F/m	1-3
M_{jsw}	MJSW	Coefficiente de graduação da junção no perímetro	--	1-3
FC	FC	Coefficiente de junção polarizada diretamente	--	1-3
C_{cbo}	CGBO	Capacitância entre porta e corpo	F/m	1-3
C_{gdo}	CGDO	Capacitância entre porta e dreno	F/m	1-3
C_{gso}	CGSO	Capacitância entre porta e fonte	F/m	1-3
R_d	RD	Resistência do dreno	Ω	1-3
R_s	RS	Resistência da fonte	Ω	1-3
R_{sh}	RSH	Resistência de folha de fonte e dreno	Ω	1-3

Tabela III.1 – Parâmetros SPICE 1, 2 e 3.

*mesma modelagem para os três níveis.

III.6 – O MODELO BSIM3V3.

III.6.1 - INTRODUÇÃO.

Na medida em que as dimensões dos dispositivos têm se reduzido continuamente com avanço da tecnologia, programas de simulação com novos modelos, têm sido desenvolvidos. Isto se deve ao fato do aparecimento do efeito de mecanismos físicos antes desprezíveis. O modelo BSIM3 [25,28] (*Berkeley Short channel Isolated gate field effect transistor Model*) foi apresentado pela Universidade de Berkeley em julho de 1993. O programa é de domínio público e tem como objetivo simular circuitos analógicos e digitais com dispositivos submicrométricos, com comprimento de canal de até 0,15 microm.

O BSIM3 é um modelo físico que utiliza parâmetros de processo e de dimensões de dispositivos como comprimento e largura de canal, espessura do óxido, concentração de dopagem do substrato e estruturas LDD (*Lightly Doped Drain*).

Os seguintes efeitos físicos dos dispositivos submicrométricos podem ser modelados:

- Tensão de Limiar:
 - Dopagem vertical e lateral não-uniforme.
 - Efeito de canal curto.
 - Efeito de canal estreito.
- Mobilidade:
 - Redução da mobilidade devido a campos verticais.
- Velocidade de Saturação de Portadores.
- Corrente no Dreno.
 - Efeito de carga de corpo (*Bulk charge effect*).
 - Condução na região de sublimiar.
 - Resistência parasitária de Fonte/Dreno.
- Corrente no Corpo.
- Resistência de Saída:
 - Efeito DIBL (*Drain induced barrier lowering*).
 - Modulação do comprimento de canal.
 - Efeito SCBE (*Substrate current induced body effect*).
- Modelo de capacitância para canal curto.
- Dependência do comportamento do dispositivo com a temperatura.

III.6.1.2 - DIFERENTES VERSÕES DO BSIM3.

Existem atualmente três versões do BSIM3. Entre essas versões existem diferenças entre alguns parâmetros dos modelos e alguns deles não são compatíveis. Podemos citar como exemplo o parâmetro UC que será definido posteriormente e faz parte do equacionamento da mobilidade:

No BSIM3 versão 2 a mobilidade efetiva (μ_{eff}) é calculada de acordo com a seguinte fórmula:

$$\mu_{eff} = \frac{\mu_0}{1 + UA((Vgs + Vth)/tox) + UB((Vgs + Vth)/tox)^2 + UC * Vbs}$$

E na versão 3:

$$\mu_{eff} = \frac{\mu_0}{1 + (UA + UC * Vbs)(Vgst_{eff} + 2 * Vth / tox) + UB(Vgst_{eff} + 2 * Vth / tox)^2}$$

Pode ser facilmente notado que o parâmetro UC atua diferentemente em ambas as equações. Isto significa que se for utilizada a versão 2 do simulador e o parâmetro foi extraído para a versão 3, o simulador vai dar resultados errados. Portanto é necessário que a extração seja compatível com a versão utilizada na simulação.

III.6.2 - **O** MODELO I-V DO BSIM3V3.

As principais equações [29] que compõem o modelo BSIM3v3 serão apresentadas a seguir. Esse conjunto de equações corresponde à versão BSIM3v3.2.

III.6.2.1 - TENSÃO DE LIMIAR, Vth .

A tensão de limiar é um dos parâmetros mais importantes dos transistores MOS submicrométricos e é afetada por vários diferentes efeitos quando os dispositivos são da ordem de 0.1 micron. A equação completa da tensão de limiar no BSIM3v3 é:

$$\rightarrow Vth = Vt_{ideal} + \Delta Vth_1 + \Delta Vth_2 - \Delta Vth_3 - \Delta Vth_4 + \Delta Vth_5 - \Delta Vth_6 \quad (36)$$

onde:

$$Vt_{ideal} = Vth_0 = Vfb + \phi_s - K1\sqrt{\phi_s};$$

$$\Delta Vth_1 = K1(\sqrt{\phi_s - Vbs} - \sqrt{\phi_s}) - K2 * Vbs;$$

$$\Delta Vth_2 = K1 \left(\sqrt{1 + \frac{NLX}{L} \sqrt{\frac{\phi_s}{\phi_s - Vbs}}} - 1 \right) \sqrt{\phi_s};$$

$$\Delta Vth_3 = DVT0 \left[e^{\left(\frac{-DVT1 L}{2lt} \right)} + 2e^{\left(\frac{-DVT1 L}{lt} \right)} \right] (Vbi - \phi_s);$$

$$\Delta Vth_4 = DVT0W \left[e^{\left(\frac{-DVT1W W * L}{2ltw} \right)} + 2e^{\left(\frac{-DVT1W W * L}{ltw} \right)} \right] (Vbi - \phi_s);$$

$$\Delta Vth_5 = (K3 + K3B * Vbs) \frac{tox}{(W + W0)} \phi_s;$$

$$\Delta V_{th_6} = \left[e^{\left(\frac{-DSUB \cdot L}{2lt} \right)} + 2e^{\left(\frac{-DSUB \cdot L}{lt} \right)} \right] \left(ETA0 + ETAB * Vbs \right) * Vds .$$

Cada termo que compõem a equação 36 é apresentada a seguir.

a) Tensão de limiar ideal: $V_{t_{ideal}}$.

A equação básica da tensão de limiar é:

$$V_{t_{ideal}} = V_{th_0} = V_{fb} + \phi_s - K1 \sqrt{\phi_s} \quad (37)$$

sendo,

$$\phi_s = 2 * V_{tm0} * \ln \left(\frac{N_{CH}}{n_{i0}} \right) \text{ e } V_{tm0} = \frac{K_B * T_{nom}}{q} \quad (38,39)$$

onde:

V_{fb} é a tensão de banda plana;

ϕ_s é o potencial de superfície;

$K1$ é o fator de corpo, equação 41;

V_{tm0} é o potencial térmico;

K_B é a constante de Boltzmann.

Essa equação é utilizada no modelamento de transistores MOS de grande dimensões e dopagem uniforme de substrato.

b) Dopagem vertical não uniforme no canal: ΔV_{th_1} .

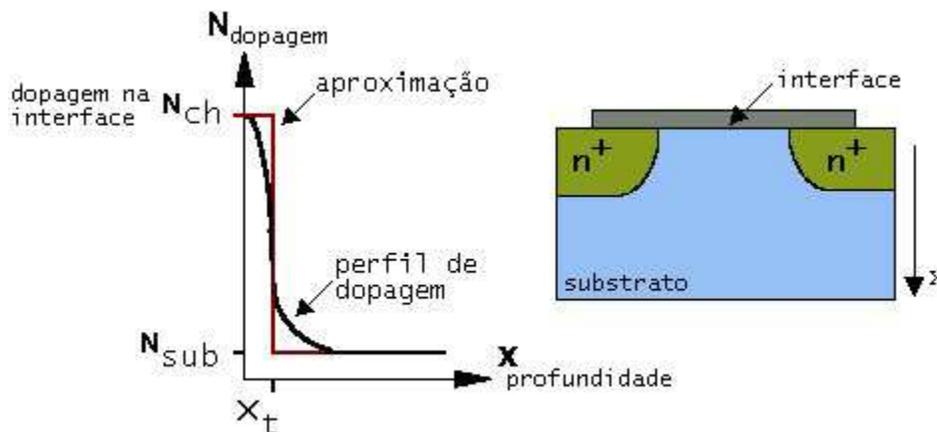


Fig. III.16 - Perfil de dopagem vertical do canal.

A concentração N de dopantes no substrato não é constante na direção vertical do canal como é mostrado na figura acima. Geralmente a concentração é mais alta próxima da interface silício/óxido do que na região do substrato. Essa concentração mais alta é usada para ajustar a tensão de limiar do dispositivo. O parâmetro N_{ch} é o pico de concentração de dopantes próximo à interface enquanto que o parâmetro N_{sub} é concentração de dopantes no substrato. A dopagem não uniforme no canal afeta a tensão de limiar quando é aplicada uma tensão entre o corpo e a fonte do dispositivo e é representada aqui por ΔV_{th_1} .

$$\Delta V_{th1} = K1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K2 * V_{bs} \quad (40)$$

$$K1 = \gamma_2 - 2 * K2(\sqrt{\phi_s - V_{bm}}) \quad (41)$$

onde:

V_{bm} é máxima tensão aplicada no corpo utilizada no cálculo de V_{th} .

$$K2 = \frac{(\gamma_1 - \gamma_2)(\sqrt{\phi_s - V_{bx}} - \sqrt{\phi_s})}{2\sqrt{\phi_s}(\sqrt{\phi_s - V_{bx}} - \sqrt{\phi_s}) + V_{bx}} \quad (42)$$

onde:

V_{bx} é a tensão de corpo que faz com que a largura de região de depleção seja igual à X_t (X_t é a posição no substrato onde a concentração de dopantes tende a concentração de dopantes do substrato, vide figura III.16).

$$\gamma_1 = \frac{\sqrt{2 * q * \epsilon_{si} * N_{ch}}}{C_{ox}} \quad e \quad \gamma_2 = \frac{\sqrt{2 * q * \epsilon_{si} * N_{sub}}}{C_{ox}} \quad (43,44)$$

Portanto no BSIM3, os parâmetros $K1$ e $K2$ ou NCH , $NSUB$, VBM ou XT podem ser usados para modelar a dopagem vertical não uniforme do canal.

c) Dopagem lateral não uniforme no canal: ΔV_{th2} .

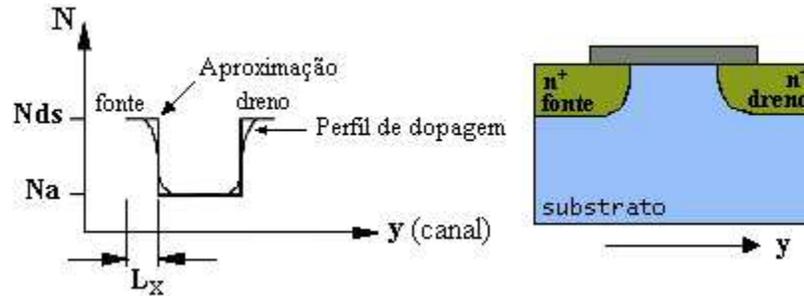


Fig. III.17 - Perfil de dopagem lateral do canal.

A concentração da dopagem N_{ds} próximo ao dreno e à fonte é maior do que a concentração N_a no meio do canal. Isto é conhecido como dopagem lateral não uniforme e é mostrado na figura III.17. Quando o canal se torna cada vez menor, este efeito causa um aumento significativo da tensão de limiar, pois a concentração média de dopagem no canal se torna maior. Esta parte da tensão de limiar é modelada com o parâmetro NLX que é representado por ΔV_{th2} na equação completa de V_{th} .

$$\Delta V_{th2} = K1 \left(\sqrt{1 + \frac{NLX}{L} \sqrt{\frac{\phi_s}{\phi_s - V_{bs}}}} - 1 \right) \sqrt{\phi_s} \quad (45)$$

$$NLX = 2 * Lx \frac{Nds - Nch}{Nch} \quad (46)$$

NLX é um parâmetro de ajuste.

d) Efeito de canal curto: ΔVth_3 e ΔVth_4 .

A tensão de limiar de um dispositivo de canal longo independe do comprimento do canal e da tensão de dreno, como é mostrado na equação da tensão de limiar para um dispositivo ideal (equação 37). A diminuição das dimensões do dispositivo causa o efeito de canal curto: variação na tensão de limiar e a degradação da curva na região de sublimiar, que por sua vez aumenta a corrente de fuga e a dissipação de potência. Dessa forma a tensão de limiar depende dos parâmetros geométricos como o comprimento efetivo do canal e a forma das junções fonte/corpo e dreno/corpo. Essas dimensões do dispositivo têm uma forte influência no potencial de superfície ao longo do canal. É desejável, para o controle do efeito de canal curto, uma junção rasa com pouco espalhamento lateral. A resistência da fonte e do dreno deve ser mantida tão baixa quanto possível. No entanto, deve se manter um compromisso entre a procura de junções rasas e a degradação da máxima corrente alcançável através das resistências parasitárias nas regiões de baixa dopagem (estruturas LDD). As equações seguintes são usadas para modelar o efeito de canal curto, representado por ΔVth_3 , no modelo BSIM3v3:

$$\Delta Vth_3 = DVT0 \left[e^{\frac{(-DVT1)L}{2lt}} + 2e^{\left(-DVT1 \frac{L}{lt}\right)} \right] (Vbi - \Phi_s) \quad (47)$$

$$lt = \sqrt{\frac{\epsilon si * tox * X_{dep}}{\epsilon si o_2}} (1 + DVT2 * Vbs) \quad (48)$$

$$X_{dep} = \sqrt{\frac{2 * \epsilon si (\Phi_s - Vbs)}{q * Nch}} \quad (49)$$

Para dispositivos com comprimento de canal curto e com largura de canal estreita, deve se acrescentar a seguinte expressão ΔVth_4 .

$$\Delta Vth_4 = DVT0W \left[e^{\frac{(-DVT1W)L}{2ltw}} + 2e^{\left(-DVT1 \frac{L}{ltw}\right)} \right] (Vbi - \Phi_s) \quad (50)$$

$$l_{t0} = \sqrt{\frac{\epsilon si * tox * X_{dep}}{\epsilon si o_2}} \quad (51)$$

e) Efeito de canal estreito: ΔVth_5 .

Todos os efeitos na tensão de limiar são baseados na não uniformidade da dopagem ao longo do comprimento do canal. Em relação à largura do canal, a região de depleção é sempre mais larga, devido à existência de campos laterais. Este efeito se torna mais aparente quando a largura do canal diminui e a região de depleção formada por campos laterais se torna comparável à região de depleção formada por campos verticais. Esta região de depleção adicional resulta num aumento da tensão de limiar com a diminuição da largura de canal. Este efeito é expresso por ΔV_{th5} .

$$\Delta V_{th5} = (K3 + K3B * Vbs) \frac{tox}{(W + W0)} \phi_s \quad (52)$$

f) Redução da tensão de limiar através do efeito DIBL: ΔV_{th6} .

O efeito DIBL (*drain induced barrier lowering*) será explicado mais adiante. O BSIM3 usa a seguinte equação para modelar esse efeito na tensão de limiar.

$$\Delta V_{th6} = \left[e^{\frac{(-DSUB)L}{2It0}} + 2e^{\frac{(-DSUB)L}{It0}} \right] (ETA0 + ETAB * Vbs) * Vds \quad (53)$$

III.6.2.2- REDUÇÃO DA MOBILIDADE DOS PORTADORES.

O modelo BSIM3v3 fornece 3 equações diferentes para modelar a redução da mobilidade. Eles podem ser selecionados pelo comando MOBMOD:

MOBMOD=1

$$\mu_{eff} = \frac{\mu_0}{1 + (UA + UC * Vbs)(Vgst_{eff} + 2 * Vth / Tox) + UB(Vgst_{eff} + 2 * Vth / Tox)^2} \quad (54)$$

MOBMOD=2

$$\mu_{eff} = \frac{\mu_0}{1 + (UA + UC * Vbs)(Vgst_{eff} / Tox) + UB(Vgst_{eff} / Tox)^2} \quad (55)$$

MOBMOD=3

$$\mu_{eff} = \frac{\mu_0}{1 + \left[UA(Vgst_{eff} + 2 * Vth / Tox) + UB(Vgst_{eff} + 2 * Vth / Tox)^2 \right] (1 + UC * Vbs_{eff})} \quad (56)$$

Os termos UA, UB e UC estão definidos na tabela III.2 no conjunto de parâmetros BSIM.

III.6.2.3- COMPRIMENTO EFETIVO E LARGURA EFETIVA DE CANAL.

a) Comprimento efetivo.

O comprimento efetivo do canal é definido abaixo:

$$L_{eff} = L_{Masc} - 2dL$$

A redução do comprimento do canal dL é composto por vários termos empíricos:

$$dL = LINT + \frac{LL}{LL^{LLN}} + \frac{LW}{W^{LWN}} + \frac{LWL}{LL^{LLN} W^{LWN}} \quad (57)$$

Os termos LL, LLN, LWN, LW e LWL são usados apenas como parâmetros de ajuste e por isso são críticos. Por outro lado, eles são necessários para garantir bons resultados quando usados para modelar uma grande quantidade de dispositivos com comprimentos e larguras de canais diferentes.

b) Largura efetiva.

A largura efetiva do canal é definida abaixo:

$$W_{eff} = W_{Masc} - 2dW$$

A redução da largura do canal dW é também composta por vários termos empíricos:

$$dW = WINT + \frac{WL}{L^{WLN}} + \frac{WW}{W^{WWN}} + \frac{WWL}{L^{WLN} W^{WWN}} \quad (58)$$

III.6.2.4- CORRENTE NO DRENO.

a) Equação simples.

A corrente no dreno nas três regiões de operação, região de sublimiar, região linear e saturação é representada através de uma simples equação. Todas as derivadas de primeira ordem são contínuas, o que é um pré-requisito importante para simulações analógicas. No caso de não serem informadas as resistências parasitárias de dreno e de fonte, a equação para a corrente no dreno será:

$$I_{ds0} = \mu_{eff} * C_{ox} * \frac{W}{L} \left[\frac{V_{gsteff} \left(1 - A_{bulk} \frac{V_{dseff}}{2(V_{gsteff} + 2 * V_{tm})} \right) * V_{dseff}}{1 + \frac{V_{dseff}}{E_{sat} * L}} \right] \quad (59)$$

$$E_{sat} = \frac{2 * v_{sat}}{\mu_{eff}}, \quad v_{sat} = \text{velocidade de saturação dos portadores.} \quad (60)$$

$$V_{tm} = \frac{K_B * T}{q}, \quad \text{potencial térmico.} \quad (61)$$

Essa equação é válida para as três regiões de operação do transistor porque as tensões de dreno, porta e corpo são trocadas pela tensão efetiva de dreno V_{dseff} , tensão efetiva de porta V_{gsteff} e tensão efetiva de corpo V_{bseff} , todas definidas por equações contínuas descritas a seguir:

V_{gsteff} - Tensão efetiva ($V_{gs}-V_{th}$).

$$V_{gsteff} = \frac{2 * n * vt \left(1 + \exp \left(\frac{V_{gs} - V_{th}}{2 * n * vt} \right) \right)}{1 + 2 * n * Cox \sqrt{\frac{2 * \Phi_s}{q * \epsilon_{si} * NCH}} \exp \left(- \frac{V_{gs} - V_{th} - 2 * V_{OFF}}{2 * n * vt} \right)} \quad (62)$$

O fator n é definido na equação (67). O parâmetro NCH é o pico de concentração de dopantes próxima a interface (ver figura III.16).

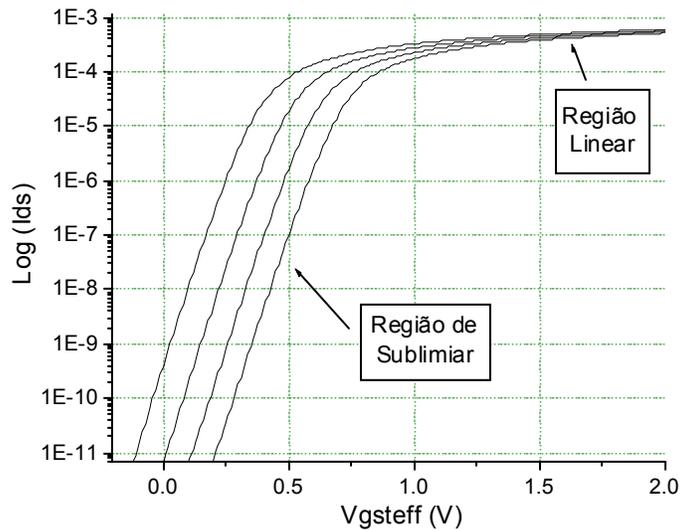


Fig. III.18 - Tensão efetiva ($V_{gs}-V_{th}$)

A figura III.18 mostra a tensão V_{gsteff} em escala logarítmica que corresponde a uma função linear para valores de V_{gs} maiores que V_{th} enquanto que a região de sublimiar corresponde a uma função exponencial. A primeira derivada é contínua entre ambas as regiões de operação do transistor MOS.

V_{dseff} - Tensão efetiva de fonte e dreno.

$$V_{dseff} = V_{d_{sat}} - \frac{1}{2} \left(V_{d_{sat}} - V_{ds} - \delta + \sqrt{(V_{d_{sat}} - V_{ds} - \delta)^2 + 4 * \delta * V_{d_{sat}}} \right) \quad (63)$$

δ é um parâmetro especificado pelo usuário com valor padrão de 0,01.

A figura III.19 mostra V_{dseff} nas regiões linear e de saturação de operação de um transistor MOS. V_{dseff} modela a transição entre a região linear e a região de saturação sem descontinuidade na derivada de primeira ordem da corrente no canal.

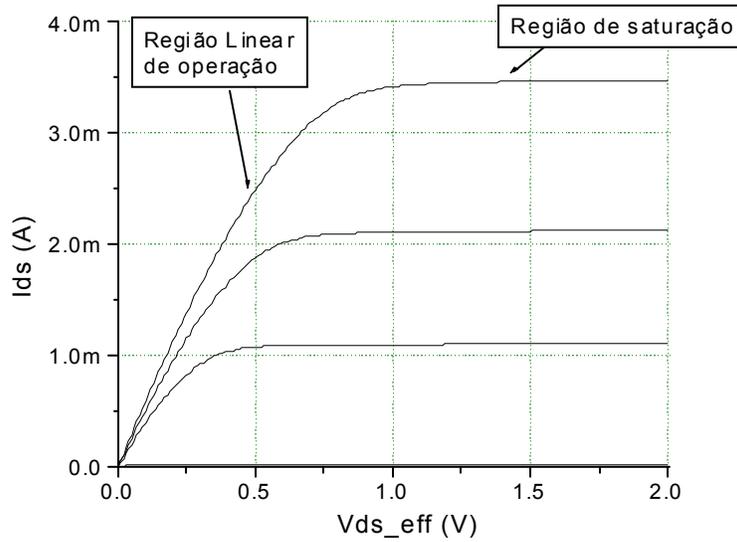


Fig. III.19 - Tensão de dreno efetiva, V_{dseff} .

b) Tensão de saturação de dreno V_{dsat} .

A equação da tensão de saturação de dreno é dividida em dois casos; o intrínseco com, $R_{ds}=0$, e o extrínseco com $R_{ds}>0$:

$$V_{dsat} = \frac{E_{sat} * L (V_{gst_{eff}} + 2 * V_{tm})}{A_{bulk} * E_{sat} * L + (V_{gst_{eff}} + 2 * V_{tm})} \quad \text{para } R_{ds}=0 \quad (64)$$

$$V_{dsat} = \frac{-b - \sqrt{b^2 - 4 * a * c}}{2 * a} \quad \text{para } R_{ds} \neq 0 \quad (65)$$

onde:

$$a = A_{bulk}^2 * R_{ds} * C_{ox} * W * v_{sat} + \left(\frac{1}{\lambda} - 1 \right) * A_{bulk}$$

$$b = -(V_{gst_{eff}} + 2 * V_{tm}) \left(\frac{2}{\lambda} - 1 \right) + A_{bulk} * E_{sat} * L + 3 * A_{bulk} * R_{ds} * C_{ox} * W * v_{sat} (V_{gst_{eff}} + 2 * V_{tm})$$

$$c = E_{sat} * L (V_{gst_{eff}} + 2 * V_{tm}) + 2 * R_{ds} * C_{ox} * W * v_{sat} (V_{gst_{eff}} + 2 * V_{tm})$$

A_{bulk} , ver equação (66).

A influência da máxima velocidade de portadores v_{sat} na corrente do dreno e na condutância é mostrada na figura III.20. Quanto maior v_{sat} , maior a corrente de dreno.

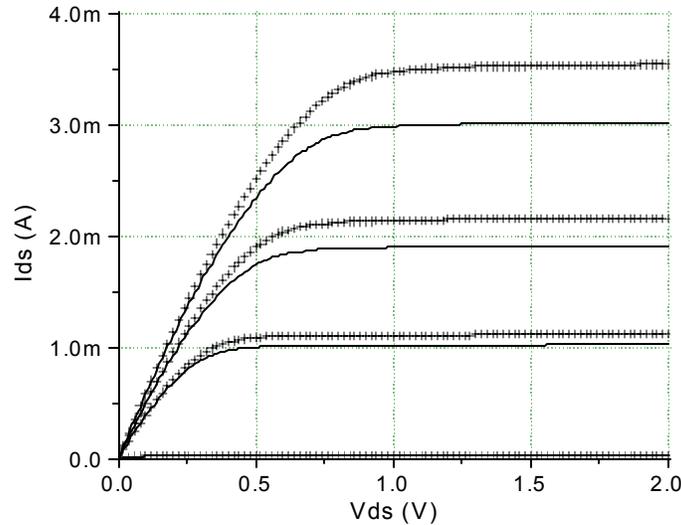


Fig. III.20 - Influência da velocidade de portadores na corrente de dreno.

c) Efeito de carga do corpo. (“Bulk charge effect”)

Quando a tensão no dreno é alta e um dispositivo de canal longo, a profundidade da região de depleção ao longo do canal não é uniforme. Isto causa uma variação na tensão de limiar ao longo do canal que é conhecida como efeito de carga do corpo. A figura III.21 mostra a profundidade da depleção em função do comprimento do canal. Para canais longos, esse efeito causa uma redução na corrente de dreno.

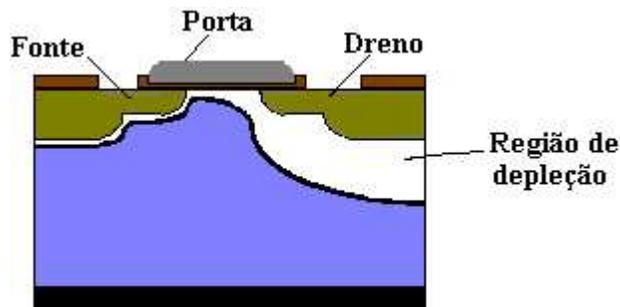


Fig. III.21 - Região de depleção ao longo do canal.

O efeito de carga do corpo é modelado no BSIM3 pelos parâmetros A0, AGS, B0, B1 e KETA como mostra a equação abaixo (66).

$$A_{bulk} = \left\{ 1 + \frac{K1}{2\sqrt{\Phi_s - V_{bs}}} * \left[\frac{B0}{W + B1} + \frac{A0 * L}{L + 2\sqrt{X_j} * X_{dep}} * \left(1 - AGS * V_{gst_{eff}} \left(\frac{L}{L + 2\sqrt{X_j} * X_{dep}} \right)^2 \right) \right] \right\} \frac{1}{1 + KETA * V_{bs}}$$

d) Corrente de dreno na região de sublimiar.

A corrente de dreno na região de sublimiar é modelada no BSIM3v3 pela tensão efetiva $V_{gst_{eff}}$. Os parâmetros $VOFF$ e $NFACTOR$ da equação descrevem a corrente de sublimiar para transistores longos enquanto que os parâmetros $CDSC$, $CDSCD$ e $CDSCB$ são usados para modelar o comportamento da região de sublimiar em função do comprimento do canal. Todos esses fatores contribuem para o fator “n” na equação (62) de $V_{gst_{eff}}$.

$$n = 1 + NFACTOR * \frac{CD}{Cox} + \frac{(CDSC + CDSCD * V_{ds} + CDSCB * V_{bs_{eff}}) * \theta_{th}}{Cox} + \frac{CIT}{Cox} \quad (67)$$

$$\theta_{th} = e^{\left(-DVT1 \frac{L}{2 * lt}\right)} + 2 * e^{\left(-DVT1 \frac{L}{lt}\right)} \quad (68)$$

A influência dos parâmetros $VOFF$ e $NFACTOR$ na corrente de dreno na região de sublimiar é mostrada na figura III.22:

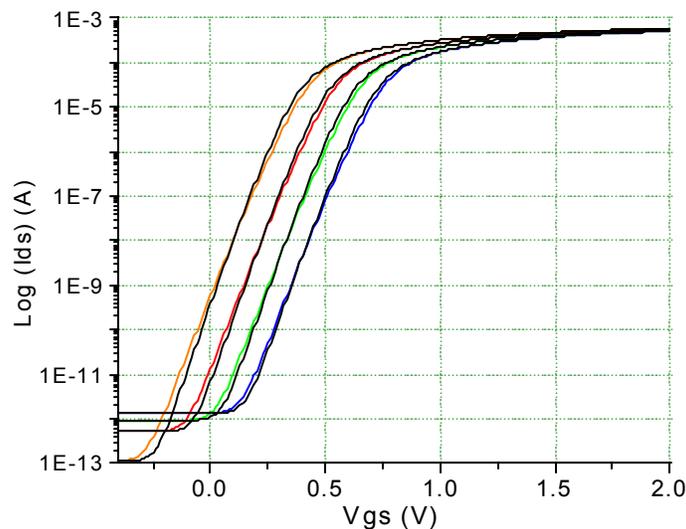


Fig. III.22 - Influência do fator “voff” e “nfactor” na corrente de dreno na região de sublimiar.

e) Resistência Parasita.

Quando os dispositivos MOS têm dimensões submicrométricas, a condutância (gm) e a corrente do dispositivo aumentam. A queda de tensão através da resistência série na fonte e no dreno se torna uma fração não desprezível em relação à tensão aplicada nesses terminais. Os diferentes tipos de resistências de um MOSFET são mostrados na figura III.23. São as resistências de contato ($R_{contact}$) entre a metalização e a área de fonte e dreno, a resistência de folha da difusão de fonte e dreno (R_{sheet}), a resistência de espalhamento (R_{spread}) devido ao espalhamento da corrente e a resistência da camada de acumulação (R_{accum}).

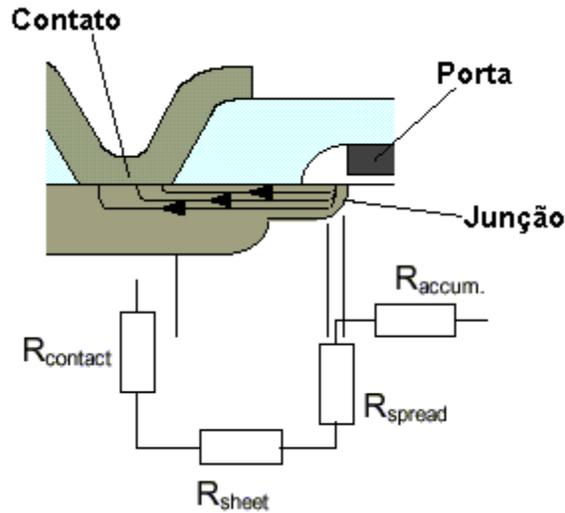


Fig. III.23 – Resistências de um MOSFET.

Esses componentes são usados na seguinte equação:

$$R_{ds} = \frac{R_{DSW}[1 + PRWG * V_{gst_{eff}} + PRWB(\sqrt{\Phi_s - V_{bs_{eff}}} - \sqrt{\Phi_s})]}{(10^6 * W)^{WR}} \quad (69)$$

Deve ser notado que o modelo BSIM3v3 assume que a resistência de dreno é igual à resistência de fonte. Com a inclusão desse efeito, a equação para a corrente de dreno pode ser escrita:

$$I_{ds} = \frac{I_{ds_0}}{1 + R_{ds} * \frac{I_{ds_0}}{V_{ds}}} \quad (70)$$

A influência da resistência parasita na corrente de dreno é mostrada na figura III.24:

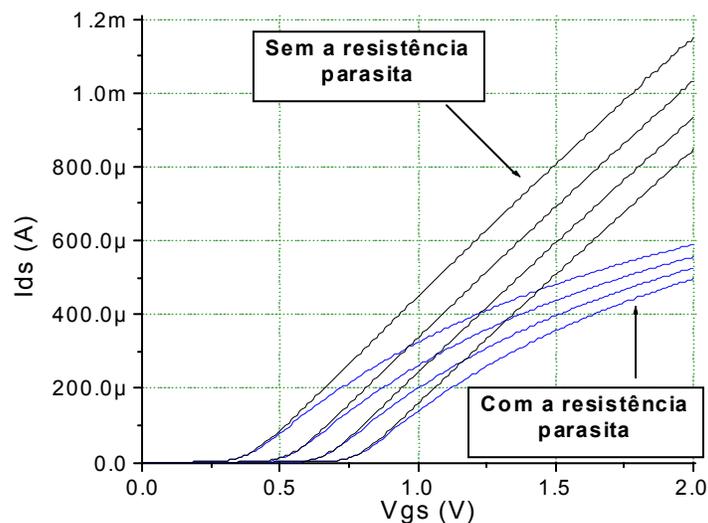


Fig. III.24 - Influência da resistência de dreno/fonte.

III.6.2.5- RESISTÊNCIA DE SAÍDA.

a) Tensão de Early.

A corrente de dreno na região de saturação é influenciada pela modulação do comprimento de canal (CLM, *channel length modulation*), pela diminuição da barreira induzida no dreno (DIBL, *drain induced barrier lowering*) e pelo efeito da corrente de substrato induzido pelo corpo. Esses efeitos são claramente observados quando se analisa a resistência de saída R_{out} do dispositivo, que é definida como:

$$R_{out} = \frac{\delta V_{ds}}{\delta I_{ds}} \quad (71)$$

Na figura III.25 é mostrada a corrente do dreno e a resistência de saída para um transistor com comprimento de canal de $0,5\mu\text{m}$. Na parte esquerda do gráfico é mostrada a região linear, na qual a velocidade dos portadores não é saturada. A resistência de saída então é pequena, pois a corrente de dreno tem uma forte dependência da tensão de dreno. As outras três regiões pertencem à região de saturação onde podem ser notados os três efeitos (CLM, DIBL e SCBE) que serão discutidos em seqüência.

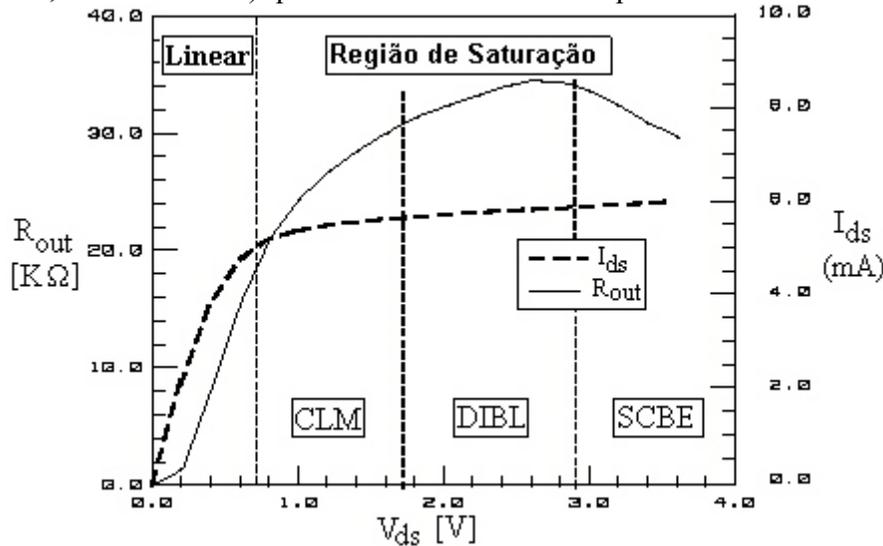


Fig. III.25 - Corrente de dreno e a resistência de saída na região linear e de saturação.

Com a resistência de saída são acrescentados dois termos adicionais na equação (70) da corrente de dreno:

$$I_{ds} = \frac{I_{ds0}}{1 + R_{ds} * \frac{I_{ds0}}{V_{ds}}} * \left(1 + \frac{V_{ds} - V_{ds_{eff}}}{V_A} \right) \left(1 + \frac{V_{ds} - V_{ds_{eff}}}{V_{ASCBE}} \right) \quad (72)$$

V_A diz respeito aos efeitos DIBL e CLM e V_{ASCBE} ao efeito SCBE.

$$V_A = V_{Asat} + \left(1 + \frac{PVAG * V_{gst_{eff}}}{E_{sat} * L} \right) \left(\frac{1}{V_{ACLM}} + \frac{1}{V_{ADIBL}} \right)^{-1} \quad (73)$$

Onde V_{Asat} é a tensão de Early para V_{dsat} .

$$V_{Asat} = \frac{Esat * L + Vdsat + 2 * Rds * vsat * Cox * W * Vgst_{eff} \left(1 - \frac{Abulk * Vdsat}{2 * (Vgst_{eff} + 2 * Vtm)} \right)}{\frac{2}{\lambda} - 1 + Abulk * Rds * vsat * Cox * W} \quad (74)$$

b) Modulação do comprimento de canal (CLM - “channel length modulation”).

Quando a polarização do dreno se aproxima da tensão de saturação, um alto campo elétrico é estabelecido próximo a região de dreno e a velocidade dos elétrons nessa região satura. Na saturação, o comprimento ΔL na região desse campo elétrico aumenta no sentido do dreno para a fonte quando se aumenta a tensão V_{ds} . O dispositivo se comporta como se o comprimento de canal efetivo tivesse sido reduzido por uma quantidade ΔL . Esse fenômeno é conhecido como modulação do comprimento de canal e esse efeito é mais notável em dispositivos com espessuras de óxido fino, portanto ele pode aparecer tanto em dispositivos pequenos como grandes.

$$V_{ACLM} = \frac{1}{PCLM} \frac{Abulk * Esat * L + Vgst_{eff} (Vds - Vds_{eff})}{Abulk * Esat * l} \quad (75)$$

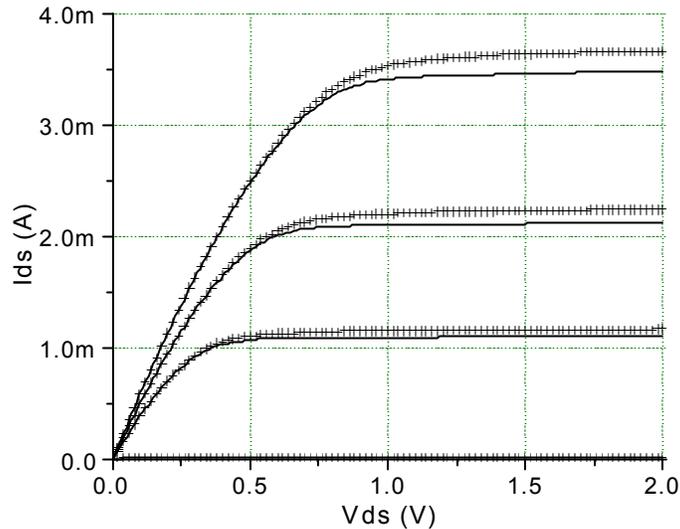


Fig. III.26 - Modulação do comprimento de canal.

c) Diminuição da barreira induzida no dreno (DIBL - “drain induced barrier lowering”).

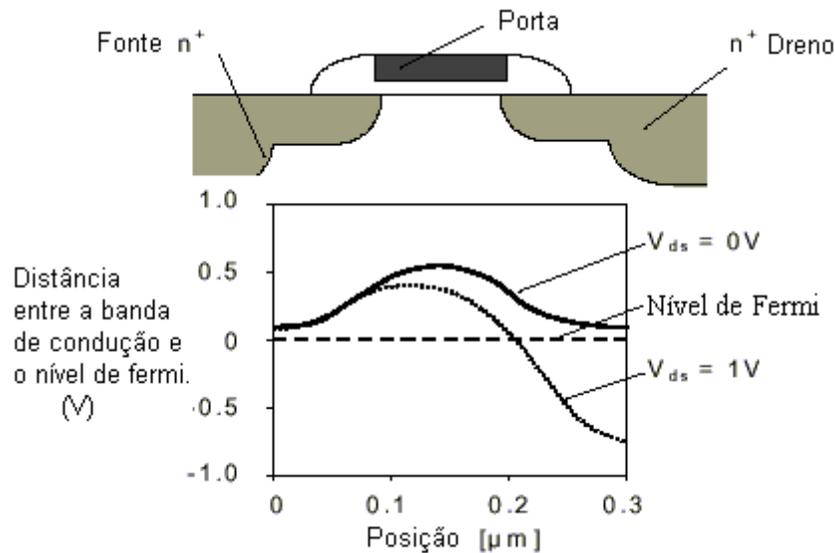


Fig. III.27 - Diagrama de bandas na interface Si-SiO₂.

As cargas de depleção próximas à fonte e dreno são controladas por estes contatos e pela porta. Num dispositivo de canal curto, estas cargas compartilhadas serão uma fração relativa considerável da carga de depleção da porta e pode ser mostrado que com a diminuição do comprimento do canal isto pode provocar um grande aumento no valor da tensão de limiar. Nota-se também que estas cargas compartilhadas próximas ao dreno aumentam com o aumento da tensão V_{ds} , resultando numa dependência adicional de V_t com V_{ds} . Esse efeito é relacionado com a diminuição da barreira de injeção induzida pelo dreno. A figura III.27 mostra o diagrama de bandas na interface entre o semiconductor e o isolante obtida por um simulador. Os perfis simétricos correspondem a $V_{ds}=0$ e os perfis assimétricos a $V_{ds}>0$. Na figura podemos observar que a barreira de potencial próxima a fonte diminui com o aumento da tensão de V_{ds} o que nos indica a ocorrência deste efeito. Ele é modelado no BSIM3v3 através da seguinte fórmula:

$$V_{ADIBLC} = \frac{(V_{gst_{eff}} - 2 * V_{tm})}{\Theta_{rout} (1 + PDIBLC * V_{bs_{eff}})} \left[1 - \frac{A_{bulk} * V_{dsat}}{A_{bulk} * V_{dsat} + V_{gst_{eff}} + 2 * V_{tm}} \right] \quad (76)$$

$$\text{com: } \Theta_{rout}(L) = PDIBLC1 \left[e^{-\frac{DROUT * L}{2 * lt0}} + 2 * e^{-\frac{DROUT * L}{lt0}} \right] + PDIBLC2 \quad (77)$$

d) **Efeito da corrente de substrato induzida no corpo** (SCBE – “*substrate current induced body effect*”).

Como será descrito na seção seguinte, a corrente de substrato para altos valores de tensões de dreno é induzida através de elétrons de alta energia denominados quentes. É sugerido que a corrente de substrato aumenta exponencialmente com a tensão de dreno. A

corrente total então irá mudar por causa da soma da corrente no canal provida da fonte com a corrente pelo substrato, expressa por:

$$I_{ds} = I_{fonte} + I_{substrato} \quad (78)$$

O aumento da corrente I_{ds} devido aos elétrons quentes será descrito em parte pela expressão de V_{ASCBE} , relacionada com a tensão de Early, que resulta numa diminuição da resistência de saída para altas tensões de dreno (ver figura III.25):

$$V_{ASCBE} = \left[\frac{PSCBE2}{L} * e^{\left(-\frac{PSCBE1}{V_{ds} - V_{dsat}} \right)} \right]^{-1} \quad (79)$$

III.6.2.6- CORRENTE DE SUBSTRATO.

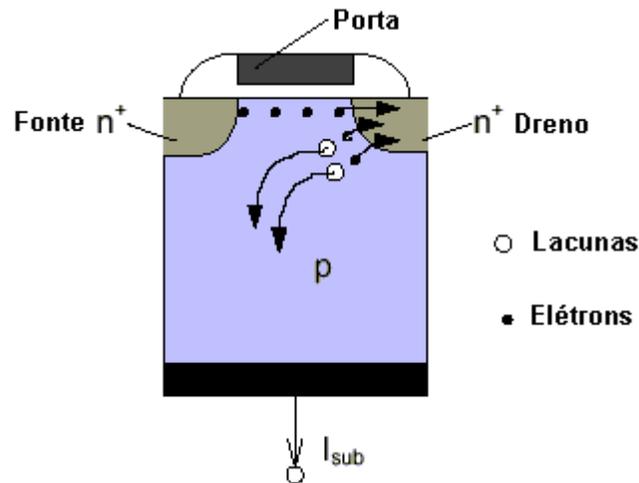


Fig. III.28 - Geração da corrente de substrato num MOSFET canal-n.

Num MOSFET de canal tipo n , os elétrons estão submetidos a um campo elétrico muito alto próximo ao dreno. Nesse campo, alguns elétrons provenientes da fonte terão energia suficiente para causar ionização por impacto, e os elétrons e lacunas adicionais são gerados pelo efeito avalanche. Os elétrons gerados por avalanche são atraídos para o dreno e adicionados à corrente total enquanto que as lacunas serão coletadas pelo terminal do substrato, resultando na corrente de substrato. O efeito da corrente de substrato na corrente resultante de dreno é descrito pelo parâmetro do efeito SCBE na resistência de saída. Comparando as equações para a corrente total de dreno (72) e (79) com equações para a corrente de substrato (80) conclui-se que os parâmetros PSCBE1 e PSCBE2 do modelo para o efeito SCBE e os parâmetros ALPHA0, BETA0 para a corrente de substrato devem ser correlacionados para determinar a equação completa das correntes num transistor MOS dadas pela equação (78). A corrente de substrato é dada por:

$$I_{sub} = \frac{ALPHA0}{L} (V_{ds} - V_{dsat}) e^{\left(-\frac{BETA0}{V_{ds} - V_{dsat}} \right)} \frac{Ids0}{1 + \frac{Rds * Ids0}{V_{ds}}} \left(1 + \frac{V_{ds} - V_{ds_{eff}}}{V_A} \right) \quad (80)$$

III.6.2.7- DIODOS – DRENO/CORPO E FONTE/CORPO.

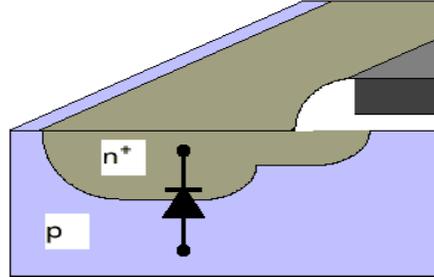


Fig. III.29 - Junção pn entre corpo e dreno de um transistor nMOS.

As junções *pn* de dreno/corpo e fonte/corpo podem ser usadas como diodos nas tecnologias MOS. O modelo BSIM3v3 usa um modelo DC simples para a corrente *Ibs* ou *Ibd* através desses diodos (81).

$$I_{bs} = \left\{ \begin{array}{ll} I_{sbs} \left(e^{\left(\frac{0.5}{NJ * V_{tm}} \right)} - 1 \right) + GMIM * V_{bs} & \text{para } V_{bs} \leq 0.5 \\ I_{sbs} \left(e^{\left(\frac{0.5}{NJ * V_{tm}} \right)} - 1 \right) + (V_{bs} - 0.5) \frac{I_{sbs}}{NJ * V_{tm}} * e^{\left(\frac{0.5}{NJ * V_{tm}} \right)} + GMIM * V_{bs} & \text{para } V_{bs} > 0 \end{array} \right\}$$

NJ é o coeficiente de emissão da junção e a corrente de saturação *I_{sbs}* é calculada por:

$$I_{sbs} = AS * J_s + PS * J_{ssw} \quad (82)$$

J_s é a densidade de corrente de saturação do diodo fonte/corpo, *AS* é a área da junção da fonte, *J_{ssw}* é a densidade de corrente de saturação lateral (*sidewall*) do diodo fonte/corpo e *PS* é o perímetro da junção. *J_s* e *J_{ssw}* são funções da temperatura e podem ser descritos como:

$$J_s = JS * e^{\left(\frac{\frac{Eg0}{V_{tm0}} - \frac{Eg}{V_{tm}} + XTI * \ln\left(\frac{T}{T_{nom}} \right)}{NJ} \right)} \quad (83)$$

$$J_{ssw} = JSW * e^{\left(\frac{\frac{Eg0}{V_{tm0}} - \frac{Eg}{V_{tm}} + XTI * \ln\left(\frac{T}{T_{nom}} \right)}{NJ} \right)} \quad (84)$$

III.6.3 PARÂMETROS DE MODELO (SPICE).

A seguir apresenta-se em uma tabela os principais parâmetros dos modelos descritos.

III.6.3.1 PARÂMETROS PRINCIPAIS.

Os parâmetros [25] do modelo BSIM3v3 podem ser divididos em diversos grupos. Os parâmetros principais são utilizados para modelar o comportamento em regime DC e CV. Os outros parâmetros estão relacionados ao processo de fabricação, à temperatura e o comportamento em regime AC.

- Tensão de limiar, V_t .

Parâmetro	Descrição	Padrão	UNID.
VTH0	Tensão de limiar.	0.7	V
K1	Coeficiente de primeira ordem para efeito de corpo.	0.5	$V^{0.5}$
K2	Coeficiente de segunda ordem para efeito de corpo.	0.5	--
K3	Coeficiente de canal estreito.	80	--
K3B	Coeficiente de efeito de corpo de K3.	0	1/V
W0	Parâmetro de canal estreito.	2.5e-6	m
NLX	Coeficiente de dopagem lateral não uniforme.	1.74e-7	m
VBM	Máxima tensão aplicada no corpo para o cálculo de V_t .	-5.0	V
DVT0	Primeiro coeficiente do efeito de canal curto em V_t .	2.2	--
DVT1	Segundo coeficiente do efeito de canal curto em V_t .	0.53	--
DVT2	Coeficiente de tensão de corpo do efeito de canal curto em V_t .	-0.032	1/V
DVT0W	Primeiro coeficiente do efeito de canal estreito em V_t .	0	--
DVT1W	Segundo coeficiente do efeito de canal estreito em V_t .	5.3e6	--
DVT2W	Coeficiente de tensão de corpo do efeito de canal estreito em V_t .	-0.032	1/V
ETA0	Coeficiente DIBL na região de sublimiar.	0.08	--
ETAB	Tensão de corpo para o efeito DIBL em sublimiar.	-0.07	1/V
DSUB	Coeficiente DIBL em sublimiar.	--	--

- Mobilidade.

Parâmetro	Descrição	Padrão	UNID.
U0	Mobilidade.	670/250	$\text{cm}^2/\text{V}\cdot\text{s}$
UA	Coeficiente de degradação da mobilidade de primeira ordem.	2.25e-9	m/V
UB	Coeficiente de degradação da mobilidade de segunda ordem.	5.87e-9	$(\text{m}/\text{V})^2$
UC	Efeito de corpo da degradação da mobilidade.	-4.6e-11	$(\text{m}/\text{V})^2$

- Corrente de Dreno.

Parâmetro	Descrição	Padrão	UNID.
VSAT	Velocidade de saturação dos portadores.	8.0e-6	cm/s
A0	Coeficiente efeito carga de corpo	1.0	--
A1	Primeiro fator de não saturação.	0/0.23	1/V
A2	Segundo fator de não saturação.	1/0.08	--

Parâmetro	Descrição	Padrão	UNID.
AGS	Tensão de porta para o coeficiente Abulk.	0.0	1/V
B0	Coeficiente do efeito de carga de corpo para a largura de canal.	0.0	m
B1	Efeito de carga de corpo na largura (<i>width offset</i>).	0.0	m
KETA	Coeficiente da tensão de corpo do efeito de carga de corpo.	-0.047	1/V

- Região de sublimiar.

Parâmetro	Descrição	Padrão	UNID.
VOFF	Tensão de <i>offset</i> na região de sublimiar.	-0.11	V
NFACTOR	Fator de inclinação na região de sublimiar.	1.0	--
CIT	Densidade de cargas “capturadas” na interface.	0	F/m ²
CDSC	Capacitância de acoplamento entre fonte/dreno e o canal.	2.4e-4	F/m ²
CDSCB	Coeficiente de polarização de corpo para CDSC.	0	F/Vm ²
CDSCD	Coeficiente de polarização de dreno para CDSC.	0	F/Vm ²

- Resistência Fonte/Dreno.

Parâmetro	Descrição	Padrão	UNID.
RDSW	Resistência parasitária por unidade de largura.	0	$\Omega \cdot \mu\text{m}$
WR	Largura de “Weff” para o cálculo de Rds.	1.0	--
PRWB	Coeficiente de efeito de corpo para RDSW.	0	V ^{-0.5}
PRWG	Coeficiente do efeito da tensão de porta para RDSW.	0	1/V

- Resistência de saída.

Parâmetro	Descrição	Padrão	UNID.
PCLM	Coeficiente da modulação do comprimento de canal.	1.3	--
PDIBLC1	Primeiro coeficiente da resistência de saída para o efeito DIBL.	0.39	--
PDIBLC2	Segundo coeficiente da resistência de saída para o efeito DIBL.	8.6	--
PDIBLCB	Coeficiente do efeito de corpo da resistência de saída para o efeito DIBL.	0	1/V
DROUT	Dependência de L com o efeito DIBL na resistência de saída.	0.56	--
PSCBE1	Primeiro coeficiente da corrente de substrato do efeito de corpo.	4.24e8	V/m
PSCBE2	Segundo coeficiente da corrente de substrato do efeito de corpo.	1.0e-5	m/V
PVAG	Dependência da porta na tensão de Early.	0	--
ALPHA0	Primeiro parâmetro para a ionização por impacto.	0	m/V
BETA0	Segundo parâmetro para a ionização por impacto.	30	V

- Capacitância.

Parâmetro	Descrição	Padrão	UNID.
CJ	Capacitância da junção fonte/dreno por unidade de área.	5.0e-4	F/m ²
CJSW	Capacitância da junção lateral de fonte/dreno por unidade de comprimento.	5.0e-10	F/m
CJSWG	Capacitância da junção lateral de fonte/dreno e porta por unidade de comprimento.	CJSW	F/m
MJ	Coeficiente da graduação da capacitância na junção.	0.5	--

Parâmetro	Descrição	Padrão	UNID.
MJSW	Coefficiente da graduação da capacitância na junção lateral de fonte/dreno.	0.33	--
MJSWG	Coefficiente da graduação da capacitância na junção lateral de fonte/dreno e porta.	MJSW	--
PB	Potencial interno da junção.	1.0	V
PBSW	Potencial interno da junção lateral de fonte/dreno.	1.0	V
PBSWG	Potencial interno da junção lateral de fonte/dreno e porta.	PBSW	V
CGSO	Capacitância de sobreposição de porta/fonte por unidade de largura.	Xj.Cox/2	F/m
CGDO	Capacitância de sobreposição de porta/dreno por unidade de largura.	Xj.Cox/2	F/m
CGBO	Capacitância de sobreposição de porta/corpo por unidade de largura.	0	F/m
CGSL	Capacitância de sobreposição na região fracamente dopada de fonte/porta (para estruturas LDD- <i>lightly doped drain</i>).	0.0	F/m
CGDL	Capacitância de sobreposição da região fracamente dopada de dreno/porta (para estruturas LDD).	0.0	F/m
CKAPPA	Coefficiente de sobreposição na região LDD.	0.6	F/m
CF	Capacitância de campos laterais.	--	F/m
CLC	Termo constante para o modelo de canal curto.	0.1e-6	m
CLE	Termo exponencial para o modelo de canal curto.	0.6	--
DLC	Parâmetro de ajuste do comprimento para medida C-V.	LINT	m
DWC	Parâmetro de ajuste da largura para medida C-V.	WINT	m

• Diodo.

Parâmetro	Descrição	Padrão	UNID.
JS	Densidade de corrente de saturação de fonte e dreno.	1e-4	A/m ²
JSSW	Densidade de corrente de saturação lateral. (Sidewall).	0	A/m
NJ	Coefficiente de emissão da junção	1	--

Tabela II.2 - Principais parâmetros do modelo BSIM3v3.

III.6.3.2 PARÂMETROS RELACIONADOS AO PROCESSO.

Parâmetro	Descrição	Padrão	UNID.
TOX	Espessura do óxido de porta.	15e-9	m
XJ	Profundidade de junção.	150e-9	m
NCH	Concentração da dopagem próxima à interface.	1.7e17	1/cm ³
NSUB	Concentração da dopagem distante da interface.	2.1e16	1/cm ³
NGATE	Concentração da dopagem de poli-silício na porta.	0	cm ³
VFB	Tensão de bandas plana.	-1.0	V
PHI	Potencial de superfície.	--	--
Gamma1	Efeito de corpo próximo à interface.	--	--
Gamma2	Efeito de corpo distante da interface.	--	--
XT	Profundidade de dopagem.	1.55e-7	V
RSH	Resistência de folha.	0	--

Tabela III.3 – Parâmetros de processo do modelo BSIM3v3.

Dependendo das exigências requeridas para a simulação podemos escolher entre um ou outro modelo. Na tabela III.4 apresentamos de forma resumida as características da maioria dos modelos existentes.

Modelo	L mínimo (μm)	Tox mínimo (nm)	Precisão de Id na inversão forte	Precisão de Id em sublimiar	Parâmetros de pequenos sinais
MOS 1	5	50	Pobre	Não é modelado	Pobre
MOS 2	2	25	Pobre	Pobre	Pobre
MOS 3	1	20	Regular	Pobre	Pobre
Bsim 1	0,8	15	Boa	Regular	Pobre
Bsim 2	0,35	7,5	Boa	Boa	Regular
Bsim3v2	0,25	5	Boa	Boa	Boa
Bsim3v3	0,15	4	Boa	Boa	Boa

Tabela III.4 – Características dos Modelos [25]

IV – METODOLOGIA DE EXTRAÇÃO DE PARÂMETROS.

A extração de parâmetros para simuladores é realizada a partir de medidas elétricas e físicas de dispositivos [2,18,25]. Certos parâmetros são obtidos indiretamente o que pode implicar em imprecisão[30]. Outros podem ser empíricos, ou seja, são determinados por apresentarem os melhores resultados. Mesmo valores precisos e conhecidos de parâmetros físicos podem não ser os melhores para um modelo em particular, sendo necessário alterá-los devido às premissas e aproximações assumidas na elaboração do modelo. Portanto é fundamental para uma simulação a precisa extração dos parâmetros.

Há duas estratégias [2,25] diferentes de otimização que podem ser usadas para extração de parâmetros: a otimização global e a otimização local. No primeiro método faz-se a otimização de um grupo de parâmetros que melhor condiz com todos os dados experimentais disponíveis. A otimização global pode minimizar os erros que existem entre os resultados da simulação e o dados experimentais, mas os parâmetros extraídos podem não ter uma ligação direta com o seu valor físico real. Na otimização local cada parâmetro é extraído numa certa região de operação onde esse parâmetro é dominante no comportamento do dispositivo, por isso eles podem não ajustar perfeitamente com os dados experimentais em todas as regiões de operação, mas esses parâmetros são bem próximos de seus valores físicos ou de processo.

Há ainda duas estratégias diferentes para extração de parâmetros; a extração em um único dispositivo e a extração em um grupo de dispositivos. No primeiro utiliza-se apenas um dispositivo para se obter o conjunto completo de parâmetros. Essa técnica pode ser boa apenas para dispositivos daquela geometria e não para outros com geometrias diferentes. No método de extração por grupos de dispositivos, os parâmetros são extraídos usando vários dispositivos com “W’s e L’s” diferentes. Esse método pode não combinar extremamente com os dados de um único dispositivo, mas pode cobrir razoavelmente bem vários dispositivos de geometrias diferentes. Idealmente, o modelo obtido ou um conjunto de parâmetros, deve cobrir todos os tipos diferentes de geometrias existentes numa dada tecnologia.

IV.1- MEDIDAS E ANÁLISE DOS RESULTADOS EXPERIMENTAIS.

Uma maneira usual de se obter valores de parâmetros de modelos ou uma primeira aproximação dos valores, é a partir de medidas obtidas em condições de operação nas quais o parâmetro tem um efeito predominante. Pode-se também identificar regiões onde existem relações de primeira ordem entre uma variável dependente e uma independente, escolhendo-se os valores dos parâmetros de modo que o modelo apresente mínimo erro em relação às curvas experimentais. Portanto para uma simulação mais precisa das ferramentas de projeto de circuitos se faz necessário um trabalho aprofundado [31] de determinação de seus parâmetros, para adequá-los ao processo utilizado.

Neste capítulo vamos apresentar as curvas e as medidas necessárias para a correta extração dos parâmetros dos modelos obedecendo aos métodos e as estratégias propostas para a extração, e analisar quando possível a validação desses métodos com os resultados das medidas reais efetuadas nos dispositivos.

Os processos de fabricação apresentados no item II foram utilizados na construção das pastilhas do “CI didático” e na pastilha para testes. Para extração de parâmetros dos dispositivos foram utilizadas ambas as pastilhas. Os parâmetros extraídos dos capacitores e dos transistores nMOS de enriquecimento e depleção dessas lâminas irão formar o conjunto de parâmetros que descreverão o comportamento desses dispositivos para a tecnologia. Portanto, os dispositivos fabricados serão descritos por dois conjuntos de parâmetros, ambos com os mesmos métodos de extração, um para o processo de fabricação de dispositivos de tecnologia 5 μm utilizado em projetos como por exemplo, o programa multi-usuário PMU e disciplinas que são oferecidas pelo laboratório e outro para o processo de fabricação de dispositivos de 2 μm , utilizado para pesquisa de tecnologia com diferentes tipos de materiais isolantes de porta, silicetos, junções rasas e LOCOS, por exemplo.

Foi também elaborado um conjunto de parâmetros para os dispositivos cedidos pelo IMEC, como forma de validação da extração dos parâmetros para o modelo BSIM3v3, que também poderão ser utilizados em disciplinas que abordam tópicos de caracterização de dispositivos.

IV.1.1 - EXTRAÇÃO DE PARÂMETROS PARA A TECNOLOGIA DE 5 μm .

Os métodos de medidas [18,32,33] mostrados a seguir foram utilizados para extração de parâmetros [34,35] dos dispositivos com tecnologia de 5 μm . Esses parâmetros vão compor o conjunto de parâmetros SPICE para simulação baseados no modelo do nível 3.

As curvas seguintes foram obtidas através do equipamento de medidas HP4145B ligado a uma placa GPIB (que faz a conversão para dados) de um PC no laboratório de medidas do CCS. Essas curvas foram utilizadas para a extração dos parâmetros SPICE de simulação de dispositivos.

Uma medida importante para verificar o comportamento do dispositivo e para extração de parâmetros é a medida CxV. Através dessa medida podemos analisar as propriedades do substrato e da interface óxido-silício. O gráfico da figura IV.1 é o resultado de várias medidas CxV realizadas no *chip* didático e no *chip* de extração.

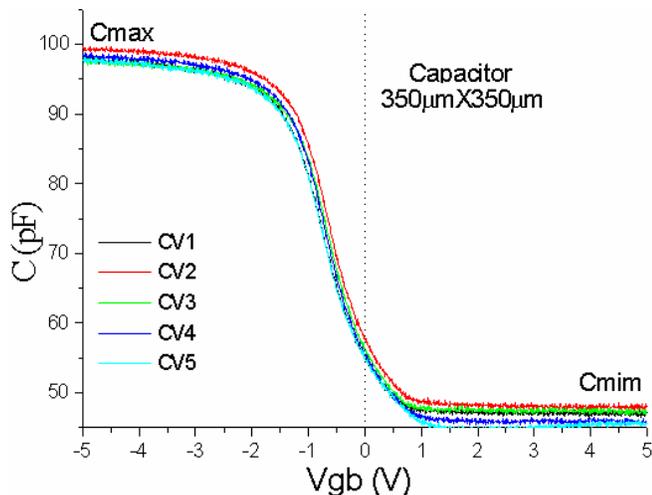


Fig. IV.1 - Grupos de curvas capacitância-tensão.

A curva seguinte é a média dos valores dessas medidas e essa curva foi utilizada para extração dos parâmetros.

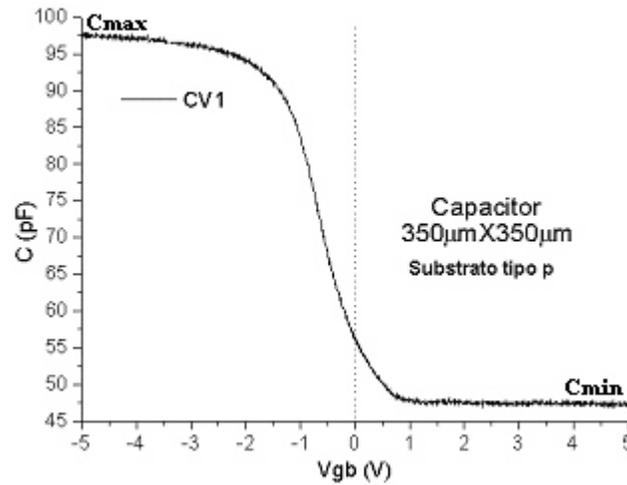


Fig. IV.2 – Média dos valores das curvas CxV.

O procedimento abaixo [36] foi utilizado para extração dos parâmetros referentes à curva CxV anterior:

- Para determinar a espessura do óxido (t_{ox}) utilizamos a seguinte expressão:

$$t_{ox} = \frac{\epsilon_0 * \epsilon_{ox} * A}{C_{ac}} \quad (85)$$

onde:

$\epsilon_0 = 8.854 \times 10^{-14}$ F/cm;

$\epsilon_{ox} \approx 3.9$ (para SiO_2);

A=área do capacitor em cm^2 ;

C_{ac} =capacitância na região de acumulação (C_{max}).

- Em seguida, determina-se o valor da largura da camada de depleção (W_f):

$$W_f = \left[\frac{C_{ac}}{C_{inv}} - 1 \right] * \frac{\epsilon_0 * \epsilon_{si} * A}{C_{ac}} \quad (86)$$

$\epsilon_{si} = 11.9$;

C_{inv} =capacitância na região de inversão (C_{min}).

- Com o valor da largura de depleção, determina-se a concentração de portadores ($N_{a,d}$) através de um cálculo recursivo, sendo que a primeira estimativa para o cálculo é em torno do valor utilizado pela simulação SUPREM que foi de $N_{a,d} = 1 \times 10^{15}$.

$$Na,d(n+1) = \frac{4 * \epsilon_0 * \epsilon_{si} \left(\frac{KT}{q} \right) * \ln \left(\frac{Na,d}{ni} \right)}{q * Wf^2} \quad (87)$$

ni é a dopagem intrínseca do silício, a 300 Kelvin ni é igual a $1.18 \times 10^{10} \text{ cm}^{-3}$.

- Na seqüência determina-se capacitância de banda plana Cfb (*flat-bland*):

$$Cfb = \frac{\epsilon_0 * \epsilon_{ox} * A}{tox + \frac{\epsilon_{ox}}{\epsilon_{si}} \left[\frac{\epsilon_0 * \epsilon_{si} \left(\frac{kT}{q} \right)}{q * Na,d} \right]^{\frac{1}{2}}} \quad (88)$$

Com o valor da capacitância de banda plana é possível obter o valor da tensão de banda plana Vfb, através do gráfico da figura IV.2, pois Vfb é a tensão Vgb onde a capacitância é igual a Cfb.

- Para a determinação das cargas efetivas de interface (Qef/q), calcula-se primeiro a função trabalho do metal para o semiconductor, ϕ_{ms} :

$$\phi_{ms} = 0.6 - \phi_f \quad (89)$$

onde:

$$\phi_f = \frac{KT}{q} \ln \left(\frac{Na,d}{ni} \right) \quad \phi_f > 0 \text{ tipo p}$$

$$\phi_f < 0 \text{ tipo n}$$

e com este valor determina-se as cargas efetivas de interface Qef/q (parâmetro NFS para o SPICE).

$$\frac{Qef}{q} = (Vfb - \phi_{ms}) \frac{Cac}{q * A} \quad (90)$$

Os valores obtidos através do procedimento acima para o capacitor de substrato tipo *p* referente ao gráfico da figura IV.2 foram:

$C_{max} = 97 \text{ pF}$	$C_{min} = 47 \text{ pF}$
$\text{Área} = 122500 \text{ } \mu\text{m}^2;$	
$Tox = 4.32e-06 \text{ cm}$	$Tox = 430 \text{ \AA};$
$Wf = 1.403e-05 \text{ cm}$	$Wf = 1400 \text{ \AA};$
$Na,d = 5.2e+16 \text{ cm}^{-3};$	
$Cfb = 85.9 \text{ pF}$	$Vfb = -1.12 \text{ V};$
$\phi_{ms} = -0.99 \text{ V}$	$Qef/q = 6.0e+10 \text{ cm}^{-2}.$

Através deste procedimento pudemos obter alguns parâmetros de simulação SPICE, tais como: espessura de óxido TOX, dopagem do substrato (Na,d) NSUB, potencial de superfície (ϕ_f), PHI (para o SPICE é utilizado o valor de $2\phi_f$), tensão de banda plana para o cálculo de V_t e cargas de interface (Q_{ef}/q), NFS.

Antes de verificar outras curvas vamos mostrar alguns parâmetros que podem ser verificados durante o processo de fabricação. A profundidade de junção (X_j) pode ser obtida através da ranhura que é feita na lâmina na região da junção ou através da simulação SUPREM. Os valores de simulação e de fabricação para X_j deram por volta de $1,85 \mu\text{m}$. A resistência de folha (Rsh) [2,5] é medida através da fórmula: $R=k*(V/I)$, onde k é uma constante e depende da geometria da lâmina (no nosso caso $k=4,53$) e a resistência (V/I) é obtida através do método das quatro pontas, assim o valor de $R_{sh}=10,6\Omega/\square$ ($R_{sh}=4,53*2,35$).

Para o próximo passo da extração de parâmetros vamos utilizar a curva característica dos transistores nMOS dos inversores com comprimento de canal de $8 \mu\text{m}$ e largura igual a $20 \mu\text{m}$. Essa curva foi obtida variando a tensão V_{ds} de 0 a 5 V em função da corrente de dreno e tendo como parametrização a tensão de V_{gs} , variando de 0 a 5 V (6 curvas).

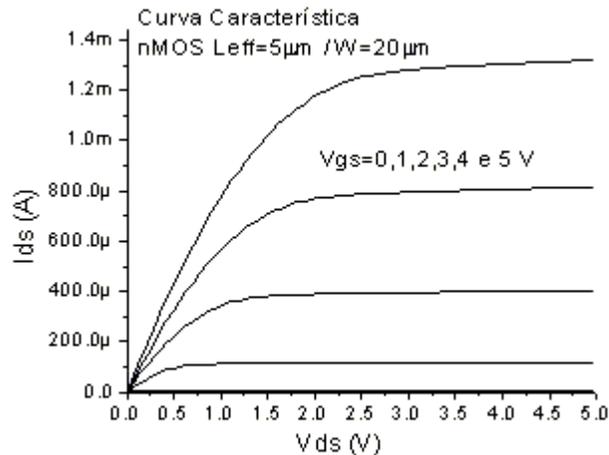


Fig. IV.3 - Curva característica do transistor nMOS.

Pela interseção da curva característica com o eixo x (eixo das tensões) e para altos valores de tensão de porta, como mostra a figura IV.4 determina-se o valor da tensão de Early (V_A), e assim determinamos o parâmetro λ (efeito da modulação de canal) de modo que: $\lambda=1/V_A$ [18].

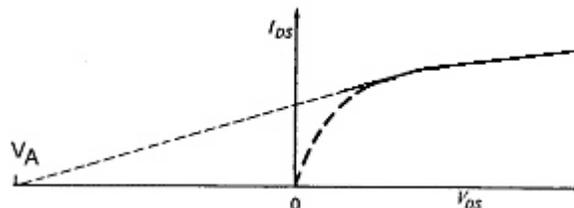


Fig. IV.4 - Esquema de medida da tensão de Early.

A variação do valor de lambda esteve em torno de $0,0240$ a $0,0159 \text{ V}^{-1}$ sendo que o seu valor médio foi $\lambda=0,0198 \text{ V}^{-1}$. Esse parâmetro é utilizado apenas nos modelos SPICE nível 1 e 2.

A curva seguinte é utilizada para extração da tensão de limiar (V_t) [37] e do efeito de corpo (γ) [2,18]. O transistor é polarizado com 0,1 V no dreno, variando a tensão de porta V_{gs} de 0 a 3 V e parametrizado por V_{bs} , variando de 0 a -3 V.

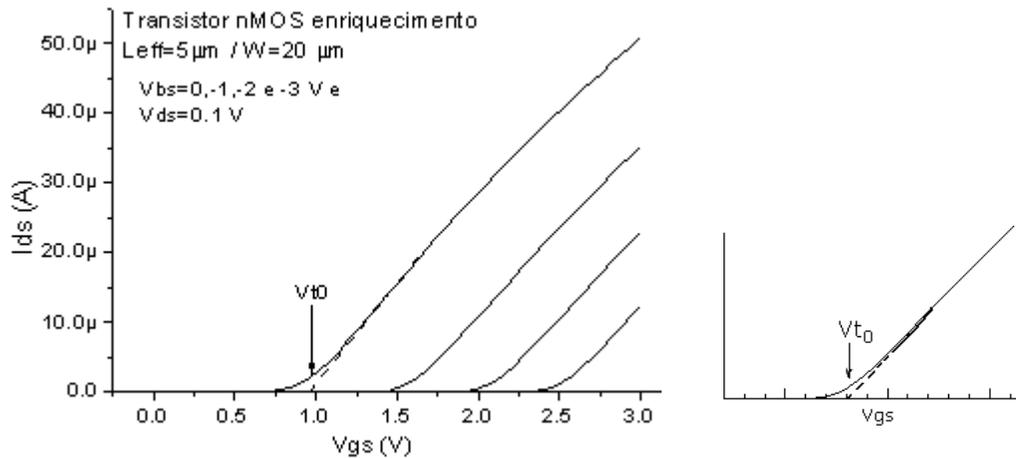


Fig. IV.5 – Curva I_{ds} vs V_{gs} e no detalhe o parâmetro V_{t0} .

O valor de V_{t0} é extraído [38] do gráfico acima através da extrapolação da curva I_{ds} vs V_{gs} para $V_{bs}=0$ [18]. O seu valor esteve em torno de $0,85 \text{ V} \pm 0,05$. Alguns autores usam como cálculo de V_{t0} como sendo $V_{t0} = V_{t_{extr}} - V_{ds}/2$. Usando esse método o valor de V_{t0} seria $0,8 \text{ V}$ ($0,85 - 0,05$).

Para obtermos o valor de γ usamos o seguinte procedimento:

Na curva da figura IV.5 extraímos os valores de V_t correspondente a cada tensão V_{bs} aplicada ($V_{bs}=0 \text{ } V_{t0}$, $V_{bs}=-1 \text{ } V_{t1}$, $V_{bs} \dots$) e utilizamos a equação (91) para determinar o V_t :

$$V_t = V_{t0} + \gamma(\sqrt{|2\phi_F| + |V_{bs}|} - \sqrt{2\phi_F}) \quad (91)$$

Por essa equação podemos notar que para $V_{bs}=0$ temos $V_t=V_{t0}$ e para cada valor de V_{bs} teremos um valor de V_t . Assim, usando o valor de V_{t0} podemos determinar um valor de γ para cada valor de V_{bs} utilizando $\phi_{fn}=0,39$ (medida CxV);

$V_{t1} = V_{t0} + \gamma_1(\sqrt{2\phi_F + V_{bs1}} - \sqrt{2\phi_F})$, $V_{t2} = V_{t0} + \gamma_2(\sqrt{2\phi_F + V_{bs2}} - \sqrt{2\phi_F})$, e assim por diante. O valor de γ utilizado é a média desses valores e o seu valor esteve em torno de $\gamma=1.1484 \text{ V}^{-1}$.

Podemos também calcular o fator de efeito de corpo através da fórmula [2,22]:

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_{si} \cdot \epsilon_o \cdot q \cdot Na}}{C'_{ox}} \quad (92)$$

Pela equação (92) o valor de γ foi de $\gamma=1,25 \text{ V}^{-1}$ sendo que Na é dopagem do substrato e o valor usado para dopagem foi de $3 \times 10^{16} \text{ cm}^{-3}$. C'_{ox} é a capacitância por unidade de área ($C_{ac}/A=80 \times 10^{-9} \text{ F/cm}$).

A transcondutância de um transistor MOS é a derivada corrente que passa pelo canal dividido pela derivada da tensão de porta, ou seja $g_m = \partial I_{ds} / \partial V_{gs} \text{ (A/V)}$. Através da transcondutância é possível calcular a mobilidade dos portadores (μ).

O gráfico da figura IV.6 que é justamente a derivada do gráfico da figura IV.5, nos informa a transcondutância máxima desse dispositivo (o máximo valor da curva para $V_{bs}=0$) que esteve por volta de $27\mu S$.

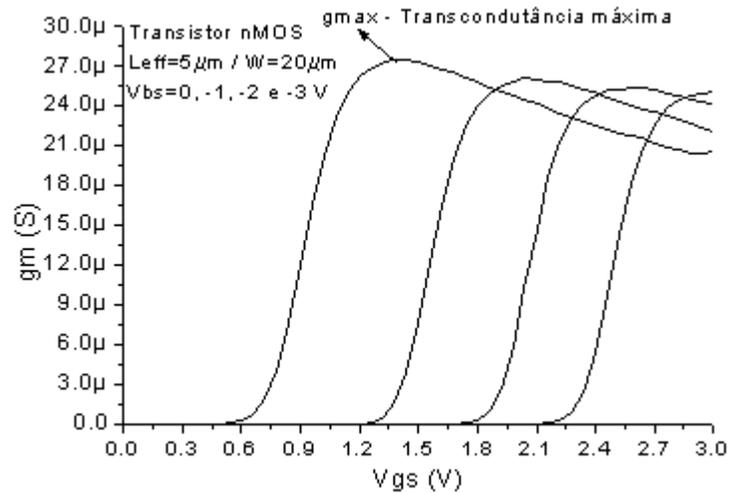


Fig. IV.6 - Curva $\partial(I_d) \times V_{gs}$ - Transcondutância.

Utilizando a equação (93) e com o valor da transcondutância obtida pelo gráfico podemos calcular a mobilidade [8,36]:

$$\mu = \frac{L_{eff} * g_m * A}{W * C_{ac} * V_{ds}} \quad (\text{cm}^2/\text{V.s}) \quad (93)$$

onde:

$$L_{eff} = L_m - 2 * L_D; \quad (94)$$

$$L_D = 0,7 * X_j \quad (X_j = 1,8 \mu\text{m} - \text{simulação SUPREM e medidas no laboratório});$$

A = Área do capacitor em cm^2 ;

$C_{ac} = C_{max}$ tirado da curva $C_x V$.

Fazendo a média de todas as medidas realizadas, o valor para a mobilidade foi de $\mu = 942 \text{ cm}^2/\text{V.s}$, com uma variação de $\pm 10 \text{ cm}^2/\text{V.s}$.

Tendo todos os valores da equação (93) podemos obter equação da mobilidade em função da transcondutância $\mu = K * g_m$ ($\mu = 3.434e7 * g_m$), dessa forma podemos obter curvas de mobilidade em função de V_{gs} :

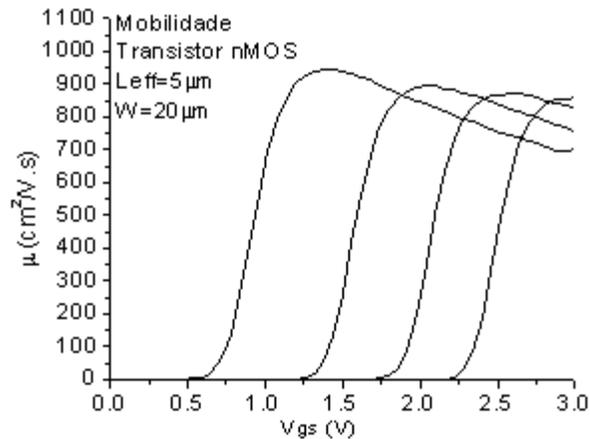


Fig. IV.7 - Mobilidade no transistor nMOS.

É importante salientar que uma das maiores dificuldades em extração de parâmetros diz respeito à extração do correto valor da mobilidade. Vários fatores como campo elétrico efetivo, cargas de interface, rugosidade de superfície, dopagem e temperatura influenciam no cálculo da mobilidade. Várias publicações são até discordantes quanto à maneira de interpretar os dados sobre a mobilidade [39,40,41]. De forma geral a mobilidade segue um certo comportamento que é relacionado com o campo elétrico efetivo vertical aplicado ao dispositivo, que muitos autores chamam de Curva Universal da Mobilidade [41].

O gráfico da figura IV.7 é utilizado para a extração do parâmetro que relaciona a tensão V_{gs} (campo elétrico na direção vertical) aplicada com a variação da mobilidade, o θ [42].

O parâmetro se relaciona com a mobilidade através da equação do SPICE nível 3, para $V_{bs}=0$:

$$\frac{\mu_0}{\mu_s} = 1 + \theta(V_{gs} - V_t) \quad (\text{ver equação 29 do item III.5})$$

Portanto o valor de teta pode ser obtido do inverso do valor extrapolado da interseção da curva $\mu \times V_{gs} - V_t$ com o eixo das tensões (para $V_{bs}=0$), conforme o gráfico abaixo:

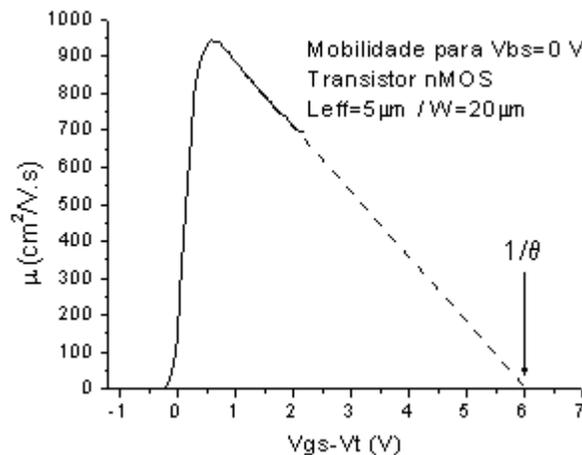


Fig. IV.8 - Curva para extração do parâmetro θ .

O valor médio para teta de todas as medidas realizadas foi $\theta = 0,164 \text{ V}^{-1}$

Para determinar os parâmetros que descrevem a região de sublimiar do transistor utilizamos a curva da figura IV.9 que foi obtida variando a tensão V_{gs} de 0 até 1,8 V para $V_{ds}=0.1 \text{ V}$ (apenas para garantir que uma corrente irá fluir pelo canal) em função do logaritmo da corrente no canal. Nessa região a condução se comporta segundo uma equação exponencial [2,18] por isso para efeito de cálculo usa-se o $\text{Log}(I_{ds})$.

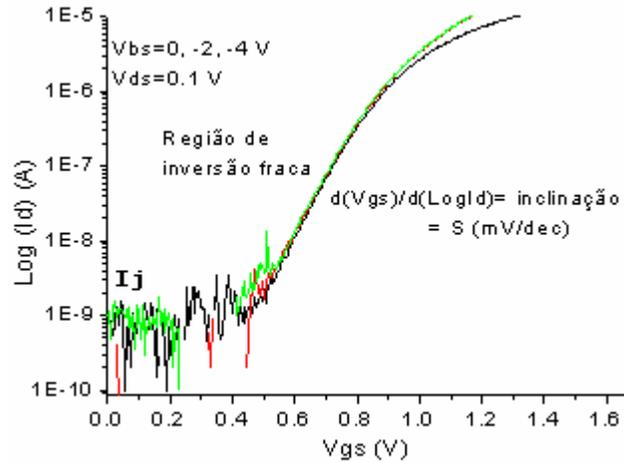


Fig. IV.9 - Curva na região de sublimiar.

É dito que a corrente que passa pela região de canal de um transistor quando o mesmo está desligado é zero, ou seja, quando a tensão de porta V_{gs} for igual a zero, nenhuma corrente iria circular pelo canal, o que na realidade não acontece. Uma pequena corrente passa pelo canal mesmo quando o transistor está desligado. Essa corrente é chamada de corrente de fuga de junção, I_j (para SPICE, I_S). Para a tecnologia que estamos descrevendo essa corrente esta por volta de 1nA como mostra o gráfico da figura IV.9.

Um parâmetro muito importante nessa região é o parâmetro S (*gate swing* ou *slope*) [2,18,43]. Ele é definido como sendo o quanto é necessário reduzir V_{gs} para que a corrente na inversão fraca seja reduzida de uma ordem de magnitude (mV/dec). Esse parâmetro é obtido através do inverso da inclinação da curva $\text{Log}(I_d) \times V_{gs}$ na região de inversão fraca (figura IV.9). Através desse parâmetro é possível também calcular a densidade de cargas de estados rápidos [18,22] localizadas na interface óxido-semicondutor (parâmetro NFS para o SPICE) através da fórmula:

$$\text{NFS} = \left(\frac{\Delta V_{gs}}{\Delta \text{Log}(I_{ds})} \frac{q}{kT} - 1 \right) * \frac{C'_{ox}}{q}, \text{ ou seja, } \text{NFS} = \left(S * \frac{q}{kT} - 1 \right) * \frac{C'_{ox}}{q} \quad (95)$$

Foram mostrados dois procedimentos para calcular as cargas de interface (NFS). O procedimento no qual se obteve os melhores resultados foi esse último. O primeiro resultado, obtido pela curva $C_x V$, NFS foi igual a $6 \times 10^{10} \text{ cm}^{-2}$. Para o segundo método, o valor de S esteve por volta de 120 mV/dec .

O valor da capacitância de junção pode ser calculado a partir da equação:

$$C_j = \frac{\sqrt{2 * \epsilon_s * q * N_a}}{2 * \sqrt{\phi_{bi}}} \quad C_j = 4,2 \times 10^{-4} \text{ F/m}^2 \quad (96)$$

ϕ_{bi} é o potencial interno da junção ($\phi_{bi}=0.93 \text{ V}$, para N_a da ordem de 10^{16} cm^{-3}) [2]

Na tabela IV.1 são apresentados os parâmetros SPICE nível 3 obtidos para o transistor nMOS tipo enriquecimento seguindo a metodologia de extração apresentada.

<i>Parâmetros SPICE</i>	<i>Unidades</i>	<i>Parâmetros SPICE</i>	<i>Unidades</i>
.MODEL nmose NMOS	---	+ LAMBDA=19.8e-3	V ⁻¹
+ LEVEL=3	---	+ IS=1e-9	A
+ L=8.0000e-6	m	+ NSUB=1.8e16	cm ⁻³
+ W=20.000e-6	m	+ NSS=3e10*	cm ⁻²
+ VTO=0.8	V	+ NFS=3e10	cm ⁻²
+ RSH=10.6	Ω/□	+ LD=1.32e-6	m
+ TOX=43.20e-9	m	+ THETA=0.131	V ⁻¹
+ GAMMA=1.1484	V ⁻¹	+ TPG=0	---
+ UO=983	cm ² /V.s	+ VDD=5**	V
+ CJ=4.2e-4	F/m ²	+ ETA=0.42***	--
+ XJ=1.8e-6	m	+ TEMP=27	°C

Tabela IV.1 – Parâmetros SPICE para o transistor nmos tipo enriquecimento, obtidos com a extração. *Densidade de estados de superfície (NSS). Normalmente usa-se a mesma ordem de grandeza de NFS. **Faixa de tensão de polarização. ***Efeito de V_d sobre V_t . O valor foi obtido por ajuste.

A mesma metodologia de extração de parâmetros foi utilizado nos transistores tipo depleção e seria repetitiva a apresentação do mesmo procedimento. Porém os parâmetros obtidos para simulação SPICE foram:

<i>Parâmetros SPICE</i>	<i>Unidades</i>	<i>Parâmetros SPICE</i>	<i>Unidades</i>
.MODEL nmosd NMOS	---	+ LAMBDA=28.7E-3	V ⁻¹
+ LEVEL=3	---	+ IS=1e-9	A
+ L=8.0000e-6	m	+ NSUB=1.8e16	cm ⁻³
+ W=20.000e-6	m	+ NSS=3e10	cm ⁻²
+ VTO=-1.2	V	+ NFS=3e10	cm ⁻²
+ RSH=10.6	Ω/□	+ LD=1.32e-6	m
+ TOX=43.20e-9	m	+ THETA=0.164	V ⁻¹
+ GAMMA=1.1484	V ⁻¹	+ TPG=0	---
+ UO=765	cm ² /V.s	+ VDD=5	V
+ CJ=5e-4	F/m ²	+ ETA=1	--
+ XJ=1.8e-6	m	+ TEMP=27	°C

Tabela IV.2 – Parâmetros SPICE obtidos com a extração para transistores tipo depleção.

Com base nesse modelo de extração de parâmetros foi possível obter a grande maioria dos parâmetros utilizados nos modelos SPICE 1, 2 e 3. Agora é possível, através de comparações com o dispositivo real, testar a validade do método de extração, para

desenvolver um “*design kit*”. Os resultados das simulações e as comparações são apresentadas nos gráficos das figuras IV.10, IV.11 e IV.12

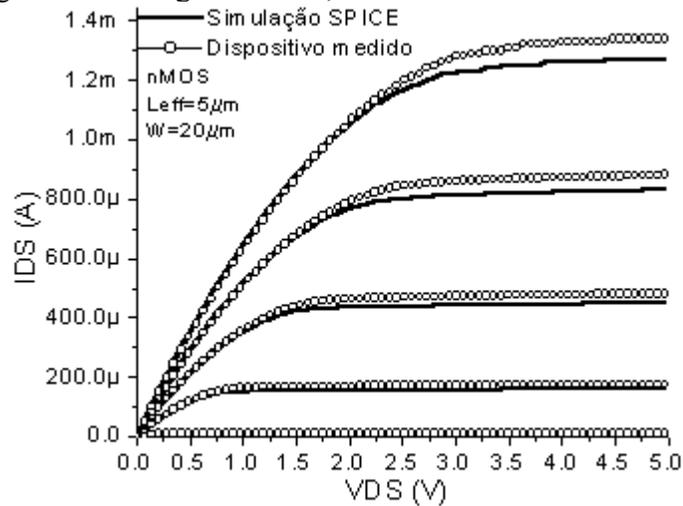


Fig. IV.10 - Comparação entre o transistor medido e simulado, I_{ds} x V_{ds} .

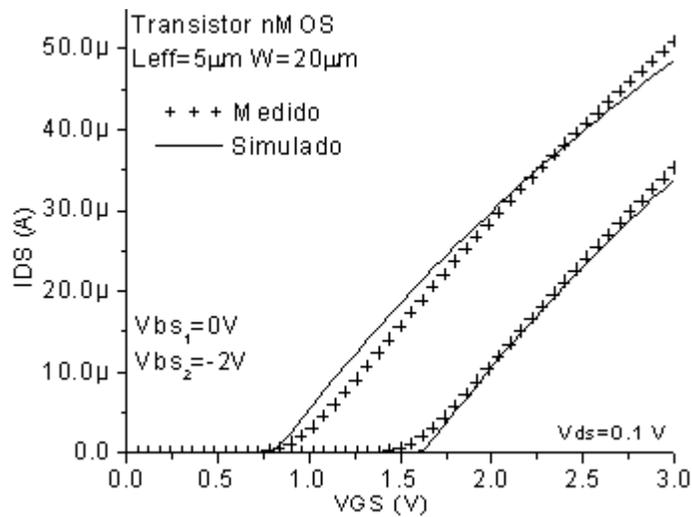


Fig. IV.11 - Comparação entre o transistor medido e simulado, I_{ds} x V_{gs} .

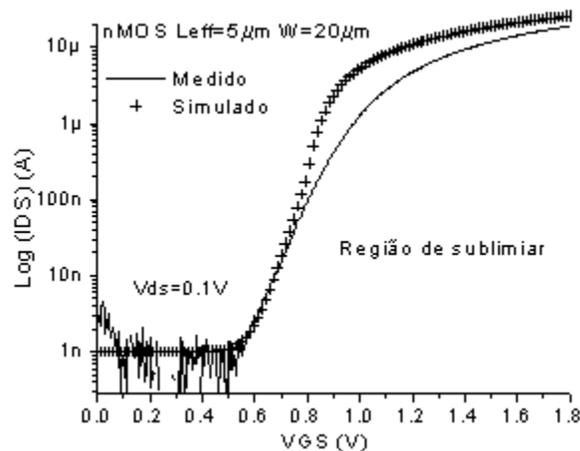


Fig. IV.12 - Comparação entre o transistor medido e simulado, $\text{Log}(I_{ds})$ x V_{gs} .

IV.1.2 – EXTRAÇÃO DE PARÂMETROS PARA A TECNOLOGIA DE 2 μ m.

Basicamente foram utilizados os mesmos procedimentos [44] (equações 85 até 96) do capítulo IV.1.1 para determinar os parâmetros de simulação SPICE. O gráfico da figura IV.13 foi utilizado para determinar os parâmetros obtidos com a curva capacitância-tensão do capacitor com substrato tipo *p*. Esta curva corresponde ao valor médio das medidas realizadas e seu desvio padrão foi de 5pF.

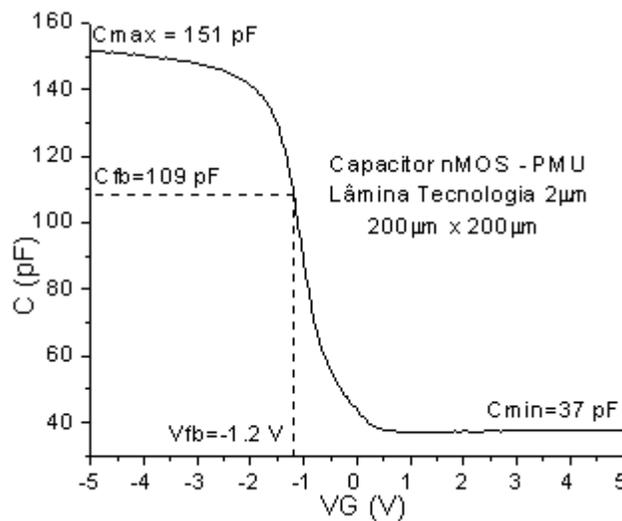


Fig. IV.13 - Curva CxV de um capacitor nMOS utilizado na extração de parâmetros.

Os valores para a capacitância de acumulação e de inversão e a área do capacitor foram:

$$C_{ac} = C_{max} = 151 \text{ pF}$$

$$C_{in} = C_{min} = 37 \text{ pF}$$

$$\text{Área} = 40000 \text{ } \mu\text{m}^2$$

Assim a espessura média para o óxido de porta (TOX) para esta tecnologia foi de:

$$tox = 9.110 \times 10^{-7} \text{ cm} \quad \text{ou} \quad tox = 9 \text{ nm};$$

e a espessura da camada de depleção:

$$Wf = 8.610 \times 10^{-6} \text{ cm} \quad \text{ou} \quad Wf = 86 \text{ nm};$$

Para o valor inicial do cálculo da dopagem de substrato (NSUB) utilizamos o valor da simulação SUPREM, que foi de $N_{a,d} = 1 \times 10^{16} \text{ cm}^{-3}$, assim após as interações o valor final da dopagem foi de $N_{a,d} = 1.5 \times 10^{17} \text{ cm}^{-3}$;

O valor da capacitância de junção:

$$C_j = 1.15 \times 10^{-3} \text{ F/m}^2; \quad \phi_{bi} = 0.96 \text{ V.}$$

O valor da capacitância de banda plana foi de $C_{fb}=109$ pF (ver equação 88). Com este valor e pelo gráfico da figura IV.13 obtemos o valor da tensão de banda plana que foi de $V_{fb} = -1.2$ V.

Para determinação das cargas efetivas de interface (NFS para o SPICE) temos:

$$\phi_{fn} = -0.42 \text{ V};$$

$$\phi_{ms} = -1.01 \text{ V};$$

$$Q_{ef}/q = 4.3 \times 10^{11} \text{ cm}^{-2}.$$

Portanto os parâmetros SPICE obtidos com a curva CxV foram:

$$TOX=9\text{nm}, NSUB=1.5 \times 10^{17} \text{ cm}^{-3} \text{ e NFS}=4.3 \times 10^{11} \text{ cm}^{-2}.$$

Nas figuras IV.14 até IV.18 serão apresentadas as curvas dos transistores que foram utilizadas para extração. Os transistores utilizados têm comprimento de canal de $2\mu\text{m}$ e largura de $10\mu\text{m}$ (máscara). A profundidade de junção, obtida por simulação SUPREM e pelo método da ranhura [12,13] (*Groove and Stain technique*), foi de $0.2\mu\text{m}$. Assim o comprimento efetivo do canal que é dado pela equação (94) foi de aproximadamente $1,7\mu\text{m}$. A resistência de folha foi de $14.7 \Omega/\square$ ($R_{sh}=4.53*3,26$).

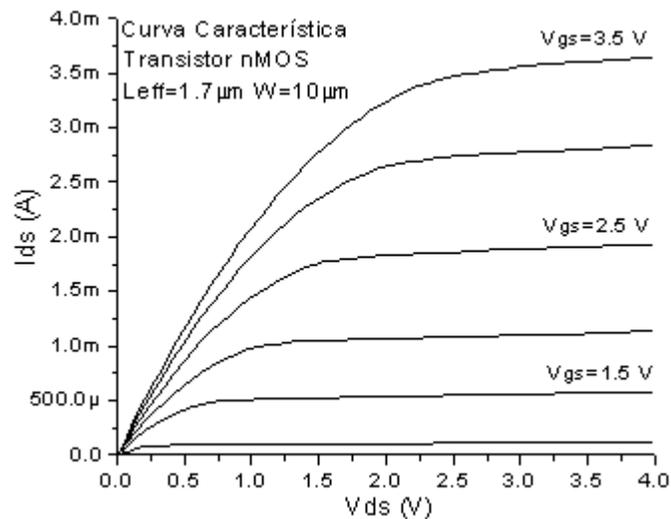


Fig. IV.14 - Curva característica do transistor nMOS.

O transistor correspondente a figura IV.14 foi polarizado com V_{ds} variando de 0 a 4 volts, parametrizado por V_{gs} variando de 0 a 3.5 volts com passo de 0.5 volt. O módulo do valor de tensão de Early foi de 171 volts o que resulta λ igual a $5.84 \times 10^{-3} \text{ V}^{-1}$ (λ é o efeito de modulação de canal, parâmetro SPICE nível 1 e 2).

Da curva da figura IV.15 determinamos o valor da tensão de limiar, V_{t0} e o fator de corpo, γ utilizando ϕ_f igual $0,418$ V (medida CxV). O transistor foi polarizado com 0,1 volts no dreno com a tensão de porta variando de 0 a 3 volts parametrizado pela tensão de corpo variando de 0 a $-1,8$ volts com passos de $-0,6$ volts. O valor da tensão de limiar para esta tecnologia este por volta de $0,70 \text{ V} \pm 0,05$. O fator de corpo teve seu valor por volta de $0,69 \text{ V}^{-1} \pm 0,05$.

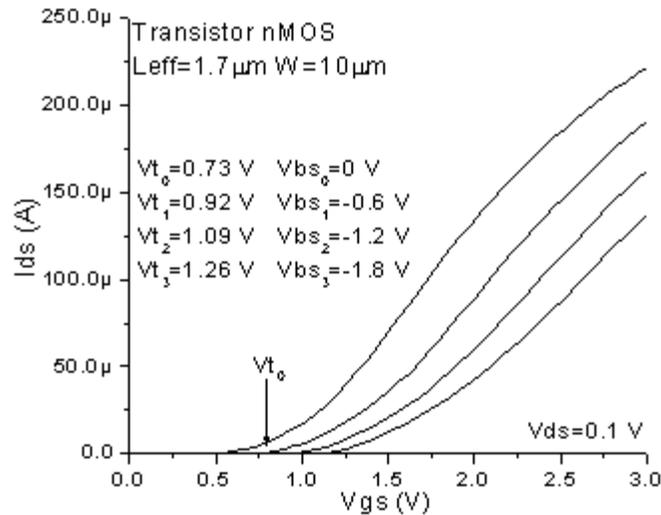


Fig. IV.15 - Curva $I_{ds} \times V_{gs}$ do transistor nMOS.

A transcondutância é determinada a partir da derivada do gráfico da figura IV.15. Através do valor da transcondutância determinamos [45] o valor da mobilidade efetiva de canal. A figura IV.16 apresenta o valor da transcondutância deste transistor.

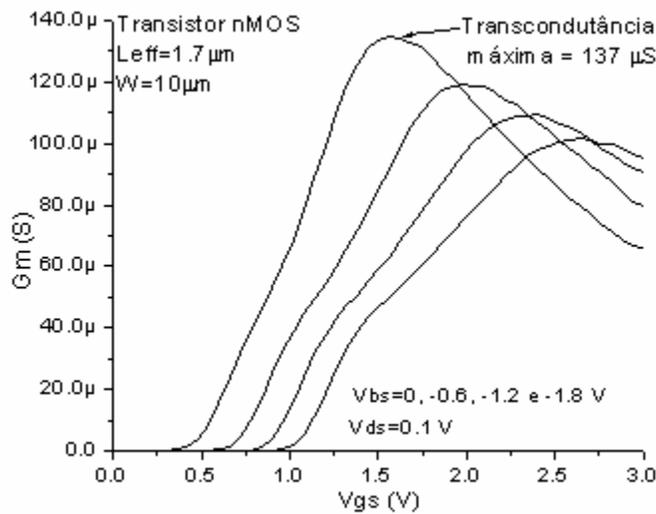


Fig. IV.16 – Curva $\partial I_{ds} \times V_{gs}$ - Transcondutância.

A curva da figura IV.17 apresenta a mobilidade efetiva em função da tensão de porta. O valor máximo calculado a partir da equação (93) foi de $637 \text{ cm}^2/\text{V.s}$, porém o valor calculado entre um transistor e outro teve uma variação de $\pm 20 \text{ cm}^2/\text{V.s}$. Desta figura obtemos também o valor do parâmetro TETA (θ) que relaciona a variação da mobilidade com a tensão V_{gs} (campo elétrico na direção vertical) e seu valor esteve por volta de $0,29 \text{ V}^{-1} \pm 0,02$.

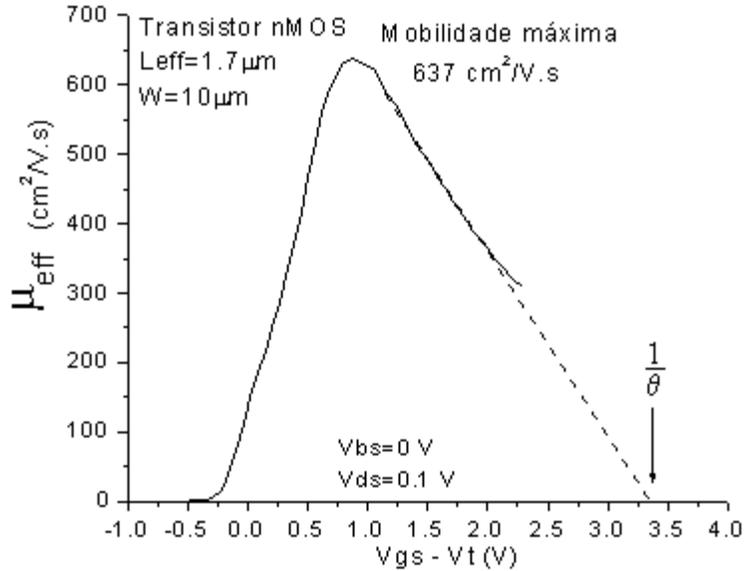


Fig. IV.17 - Mobilidade em função da tensão de porta.

Na região de sublimiar obtemos a corrente de fuga de junção ou corrente de escuro, I_j , e o parâmetro S (*Swing* ou *Slope*). A figura IV.18 apresenta o logaritmo da corrente de dreno pela tensão de porta variando de 0 a 1,8 volts com 0,1 volts aplicado no dreno.

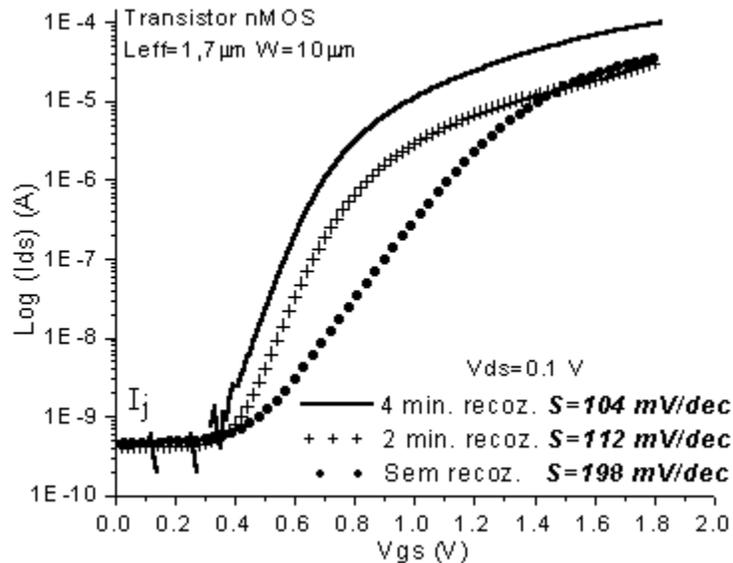


Fig. IV.18 - Curva na região de sublimiar para diferentes tempos de recozimento.

Como foi dito no item II.1.2 o tempo de recozimento ou de sinterização para o processo de fabricação de $2\mu\text{m}$ foi testado para se obter os melhores resultados para fabricação já que se tratava de um processo inédito. Na figura IV.18 para o tempo de recozimento de quatro minutos o parâmetro S teve o menor valor o que indica também menores quantidades de contaminação (equação 95). Por esta equação o valor de NFS foi de aproximadamente $1 \times 10^{12} \text{cm}^{-2}$. Este valor está distante daquele calculado pela curva CxV que foi de $4.3 \times 10^{11} \text{cm}^{-2}$ e de valores usuais [18,20]. Uma das hipóteses para esta diferença deve se a espessura de óxido. Esta equação parece ser inválida para óxidos

muito finos e sua aplicação deve ser comprovada com estudos posteriores ou com estudos sobre filmes finos. O valor da corrente de fuga de junção foi da ordem de 4×10^{-10} A.

Portanto o conjunto de parâmetros para os transistores tipo enriquecimento que compõem esta tecnologia é:

Parâmetros SPICE	Unidades	Parâmetros SPICE	Unidades
.MODEL Mos2ume NMOS	---	+LAMBDA=5.84e-3	V ⁻¹
+ LEVEL=3	---	+ IS=4e-10	A
+ L=2.0000e-6	m	+ NSUB=1.5e17	cm ⁻³
+ W=10.000e-6	m	+ NSS=4.3e11	cm ⁻²
+ VTO=0.7	V	+ NFS=4.3e11	cm ⁻²
+ RSH=14.7	Ω/□	+ LD=1.4e-7	m
+ TOX=9e-9	m	+ THETA=0.280	V ⁻¹
+ GAMMA=0.70	V ⁻¹	+ TPG=0	---
+ UO=660*	cm ² /V.s	+ VDD=4	V
+ CJ=1.15e-3	F/m ²	+ ETA=0.88*	
+ XJ=0.2e-6	m	+ TEMP=27	°C

Tabela IV.3 – Parâmetros SPICE do transistor tipo enriquecimento para tecnologia de 2μm. *O valor foi atribuído por ajuste.

Os resultados das simulações e as comparações são apresentadas nos gráficos das figuras IV.19, IV.20 e IV.21

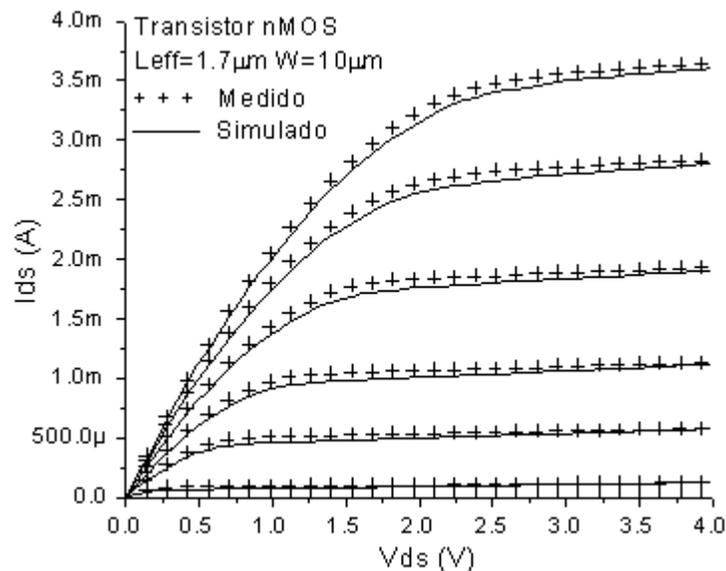


Fig. IV.19 – Comparação entre a simulação e a curva do transistor medido do tipo enriquecimento.

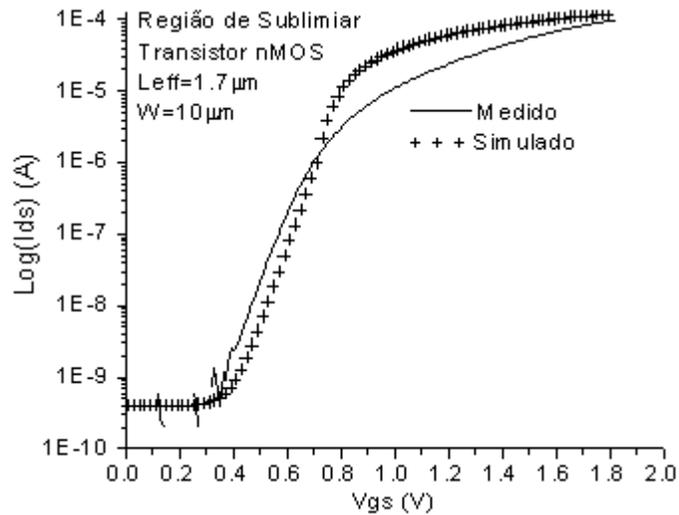


Fig. IV.20 – Curva na região de sublimiar para o transistor simulado e medido

A extração dos parâmetros para os transistores tipo depleção seguiu os mesmos procedimentos.

Parâmetros SPICE	Unidades	Parâmetros SPICE	Unidades
.MODEL Mos2umd NMOS	---	+LAMBDA=7.40e-3	V ⁻¹
+ LEVEL=3	---	+ IS=4e-10	A
+ L=2.0000e-6	m	+ NSUB=1.5e17	cm ⁻³
+ W=10.000e-6	m	+ NSS=4.3e11	cm ⁻²
+ VTO=-1.0	V	+ NFS=4.3e11	cm ⁻²
+ RSH=14.7	Ω/□	+ LD=1.4e-7	m
+ TOX=9e-9	m	+ THETA=0.280	V ⁻¹
+ GAMMA=0.70	V ⁻¹	+ TPG=0	---
+ UO=540*	cm/V.s	+ VDD=4	V
+ CJ=1.15e-3	F/m ²	+ ETA=0.38*	
+ XJ=0.2e-6	m	+ TEMP=27	°C

Tabela IV.4 – Parâmetros SPICE do transistor tipo depleção para tecnologia de 2 μm.
*O valor foi atribuído por ajuste.

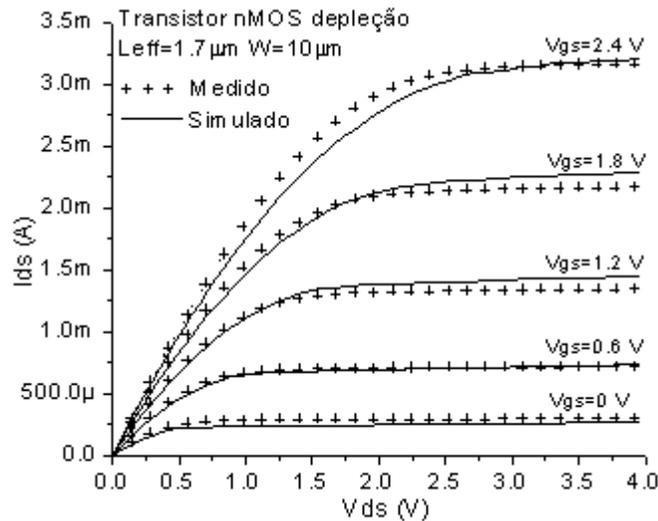


Fig. IV.21 – Comparação entre a simulação e a curva do transistor medido do tipo depleção.

IV.1.3 – EXTRAÇÃO DE PARÂMETROS NOS DISPOSITIVOS DO IMEC.

Alguns circuitos integrados foram cedidos pelo IMEC (Interuniversity MicroElectronics Center - Bélgica) [46] para que fossem medidos e extraídos os parâmetros para simulação BSIM3v3. Dentre os vários componentes que fazem parte da pastilha do IMEC vamos descrever os diversos transistores (CMOS) e os capacitores que foram usados para a extração dos parâmetros.

Transistores:

A figura IV.22 mostra os transistores que foram usados para a extração de parâmetros. Nesse dispositivo temos transistores nMOS (para os transistores pMOS a figura é a mesma) com a largura fixa $W=10\mu\text{m}$ e comprimentos variáveis iguais a $L=10, 5, 2, 1, 0.8, 0.6, 0.5, 0.4$ e $0.3 \mu\text{m}$. Os números identificam os contatos, que são:

- 1- Poço p. 2- $L=0.3\mu\text{m}$ 3- Porta 4- Fonte 5- $L=10\mu\text{m}$ 6- $L=5\mu\text{m}$
 7- $L=0.4\mu\text{m}$ 8- $L=0.5\mu\text{m}$ 9- $L=0.6\mu\text{m}$ 10- $L=0.8\mu\text{m}$ 11- $L=1\mu\text{m}$ 12- $L=2\mu\text{m}$

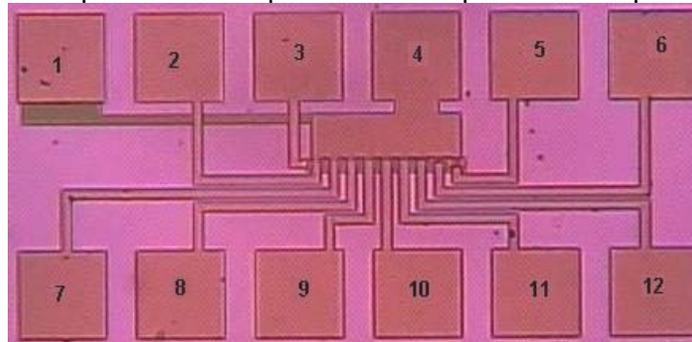


Fig. IV.22 – Transistores nMOS e seus respectivos contatos.

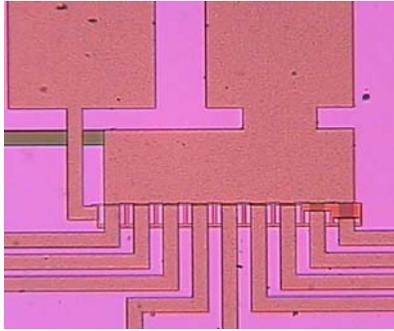


Fig. IV.23 - Transistor nMOS-Imec ampliado.

No dispositivo da figura IV.24 a largura também é fixa, com $W=10\mu\text{m}$ e com comprimento de canal variando de $L=0.22, 0.20, 0.18, 0.15, 0.14, 0.13$ e $0.12\mu\text{m}$. Estes dispositivos também foram usados nas medidas.

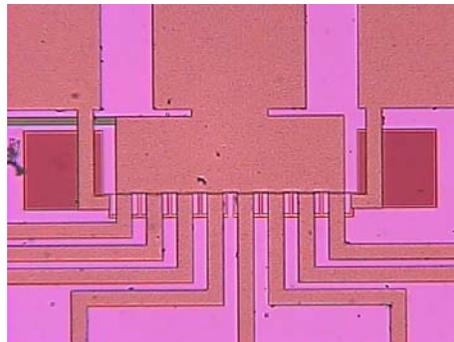


Fig. IV.24 - Transistor nMOS-Imec.

A figura IV.25 mostra os menores transistores que existem nesse CI.

1- $W=0.3\mu\text{m}, L=0.13\mu\text{m}$ 2- $W=0.4\mu\text{m}, L=0.13\mu\text{m}$ 3- $W=0.4\mu\text{m}, L=0.15\mu\text{m}$

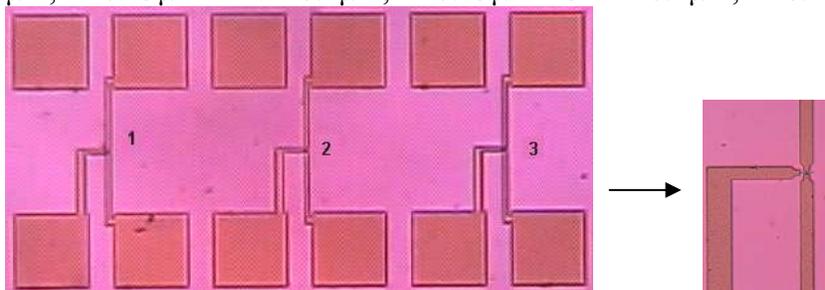


Fig. IV.25 - Transistores pequenos (nMOS e pMOS)

Capacitores.

A figura IV.26 mostra os capacitores que foram usados nas medidas. São capacitores com óxido de porta e capacitores com óxido de campo.

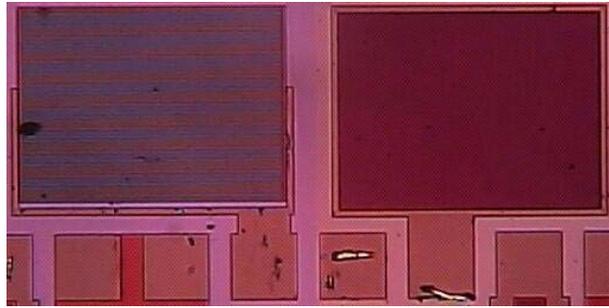


Fig. IV.26 - Capacitores - Imec.

Para a realização das medidas elétricas utilizou-se o analisador de parâmetros HP4145B e também, para comparação de resultados, um equipamento de extração de parâmetros Keithley (Keithley 4200SCS).

Foram medidos os transistores nMOS mostrados na figura IV.22 Os resultados das medidas são mostrados no gráfico das figuras IV.27 e IV.28:

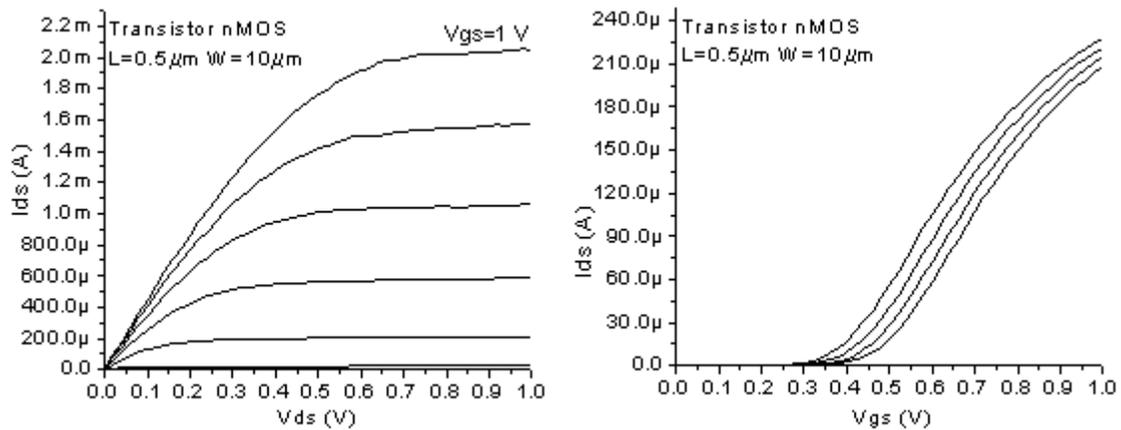


Fig. IV.27 - 1) Curva característica - transistor nMOS. 2) Curva I_{ds} x V_{gs} .

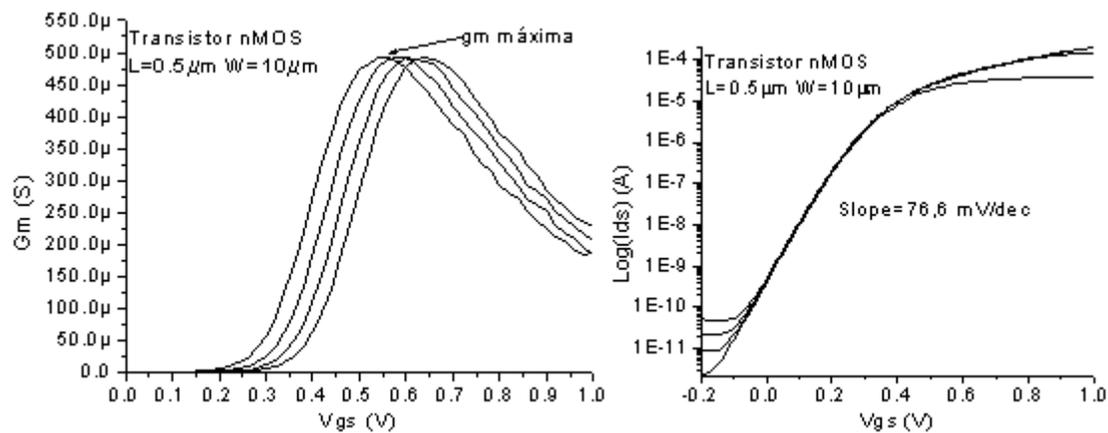


Fig. IV.28 - 1) Curva $\partial(I_d) \times V_{gs}$ 2) Curva $\log(I_{ds}) \times V_{gs}$.

Através destas medidas podemos extrair alguns dos parâmetros necessários [47] para a simulação BSIM3v3. Para uma exata simulação são necessários alguns parâmetros de processo como profundidade de junção, dopagens de canal e substrato. Estes parâmetros

foram fornecidos pelo IMEC. No entanto, podemos usar valores típicos publicados em artigos [20,22] como uma primeira estimativa. O modelo final BSIM3v3 desses dispositivos foi obtido utilizando o programa de ajuste de valores de parâmetros chamado BSIMSolv (propriedade de Sitaramarao Yechuri e pode ser encontrado na rede mundial no endereço www.yechuri-software.com ou com o autor).

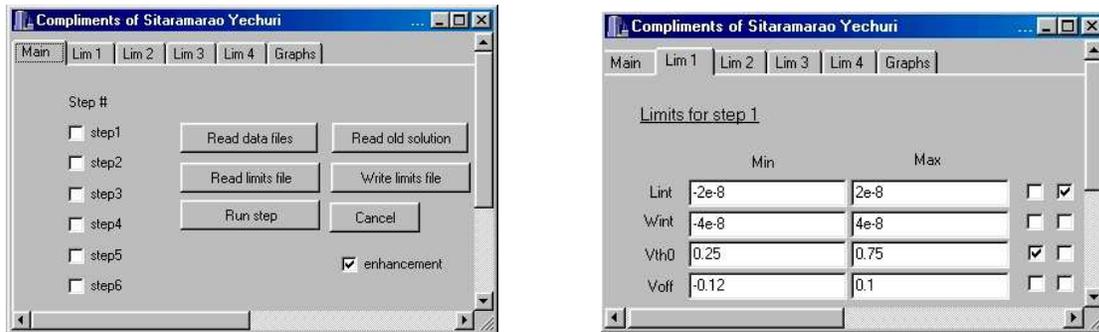


Fig. IV.29 – Programa BSIMSolv.

O programa baseia-se em comparações entre as curvas das medidas elétricas feitas nos dispositivos e as curvas do modelo de simulação existente no programa. Através dessas comparações o programa faz os ajustes no modelo de simulação (“step 1, step2 ...”) e fornece, após cada ajuste, um conjunto de parâmetros que vai compor o modelo para aquele resultado. O usuário entra com os resultados das medidas elétricas num formato pré-estabelecido pelo programa (os arquivos de medidas I x V) e alguns parâmetros de processo como espessura de óxido e a dopagem no canal e também quando necessário um melhor ajuste, os limites. No arquivo de limites estão os valores máximos e mínimos de cada parâmetro que o programa vai usar para ajustar com os valores reais, e quanto mais próximos do valor real mais preciso e rápido é o ajuste. Estes limites com seus valores padrões já vêm com o programa.



Fig. IV.30 - Arquivos do programa BSIMSolv.

O programa utiliza cinco dispositivos com diferentes comprimentos e larguras de canal. No nosso caso, pela disponibilidade dos dispositivos da lâmina do IMEC, utilizamos os seguintes transistores;

- 1° – L=10 μ m e W=10 μ m;
- 2° – L=0.8 μ m e W=10 μ m;
- 3° – L=0.5 μ m e W=10 μ m;
- 4° – L=0.3 μ m e W=10 μ m;
- 5° – L=10 μ m e W=1 μ m.

Para cada transistor utiliza-se o seguinte grupo de curvas;

A - Curvas I_{ds} x V_{gs} .

No total são três grupos. A figura IV.31 mostra um grupo de curvas para V_{ds} igual a 70mV e para V_{ds} igual a 2.5 V. O outro grupo de curvas é para V_{ds} igual á 770mV. Em cada grupo há três tipos de curva, uma para cada valor de V_{bs} correspondente.

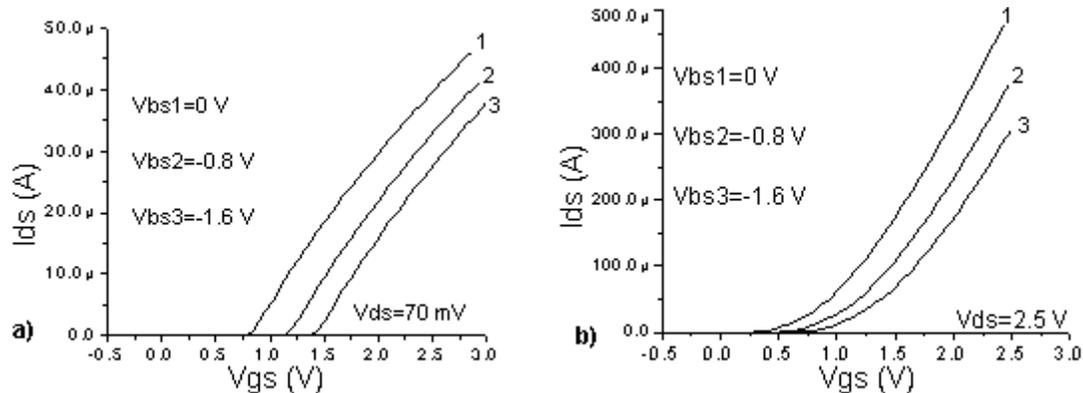


Fig. IV.31 - Grupo de curvas I_{ds} x V_{gs} . a) $V_{ds}=70mV$ e b) $V_{ds}=2.5V$

B – Curvas I_{ds} x V_{ds} .

São dois grupos, um para V_{bs} igual a 0 V que é mostrado na figura IV.32, e outro para V_{bs} igual -1.3 V. Em cada um têm-se onze curvas, uma para cada valor de V_{gs} correspondente.

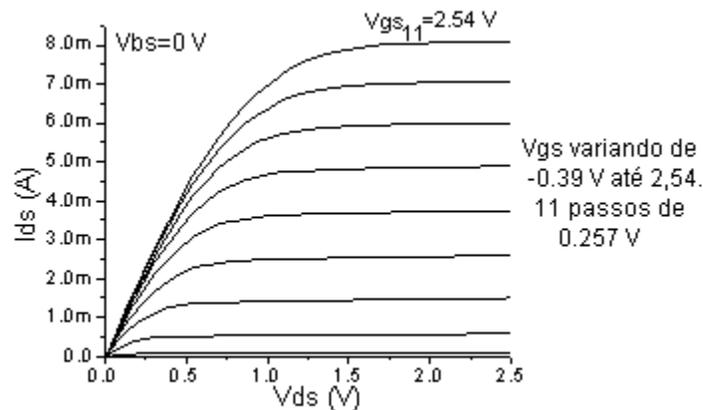


Fig. IV.32 - Grupos de curvas I_{ds} x V_{ds} para $V_{bs}=0 V$

Deve-se também fornecer as curvas destes dois grupos numa temperatura de aproximadamente 60°C acima daquela primeira medida elaborada em temperatura ambiente. Depois de fornecido todos estes arquivos o programa inicia as etapas de ajustes. Na primeira etapa os parâmetros são ajustados para modelar os dispositivos de grandes dimensões e os parâmetros iniciais para o cálculo básico de V_t . Na segunda etapa são ajustados os parâmetros relacionados ao efeito de canal curto. A terceira e a quarta

etapa são as mais críticas, pois nelas são feitos os ajustes dos parâmetros para inúmeros efeitos, tais como, velocidade de saturação dos portadores, modulação de canal, resistência de canal e o efeito da diminuição da barreira induzida no dreno (estes efeitos estão explicados no item III.6). A quinta etapa otimiza os parâmetros de temperatura e o efeito de canal estreito e a sexta etapa serve apenas para ler os resultados de qualquer etapa anterior.

Para a validação da metodologia empregada na determinação dos parâmetros para simulação, foi feita a comparação com os resultados das medidas feitas no dispositivo real. Os resultados finais desta otimização são mostrados nas figuras IV.33, IV.34 e IV.35 seguido dos parâmetros obtidos pelo programa BSIMSolV apresentados na tabela IV.4.

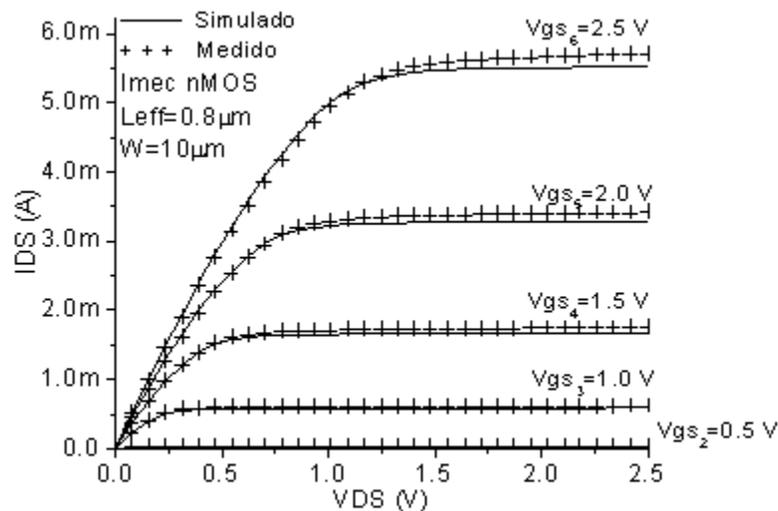


Fig. IV.33 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $I_{ds} \times V_{ds}$ – Imec.

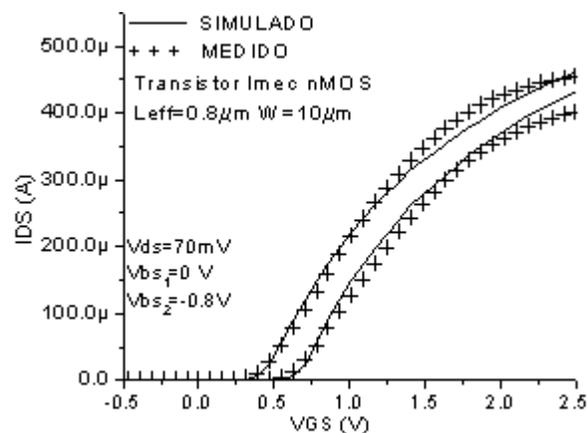


Fig IV.34 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $I_{ds} \times V_{gs}$ – Imec.

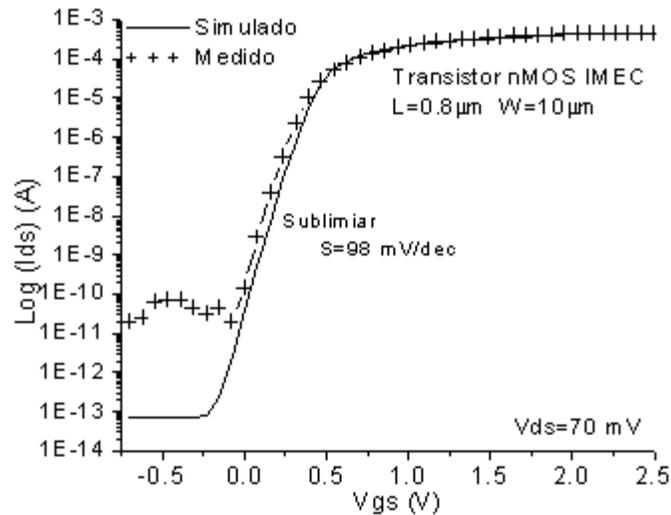


Fig IV.35 - Comparação entre as curvas do dispositivo simulado e o dispositivo medido $\text{Log}(I_{ds}) \times V_{gs}$ – Imec.

Essas comparações mostram a validade da aplicação deste método com erros menores que 10% [48]. Ele mostrou-se eficiente para a determinação de parâmetros para o modelo BSIM3v3.

<u>PARÂMETROS BSIM3V3 – NMOS – IMEC</u>			
.MODEL IMEC nMOS Level=7 L=0.80E-6 m W=10.00E-6 m			
* “Flags” *			
MOBMOD=1.00E+00	---	CPMOD=2.000e+00	---
NLEV=0	---	NOIMOD=1.000e+00	---
* Parâmetros relacionados à Tensão de Limiar *			
K1=6.044E-01	$V^{1/2}$	DVT1=1.051E+00	---
K2=2.945E-03	---	DVT2=3.393E-03	V^{-1}
K3=-1.72E+00	---	KETA=-6.201E-04	V^{-1}
K3B=6.325E-01	V^{-1}	PSCBE1=2.756E+08	V/m
NCH=5.310E+17	cm^{-3}	PSCBE2=9.645E-08	m/V
VTH0=2.550E-01	V	DVT0W=0.000E+00	---
VOFF=-5.720E-02	V	DVT1W=0.000E+00	---
DVT0=2.227E+01	---	DVT2W=0.000E+00	V^{-1}
* Parâmetros relacionados à Mobilidade *			
+UA=2.000E-19	m/V	UC=5.756E-18	$(\text{m}/\text{V})^2$
UB=1.723E-21	$(\text{m}/\text{V})^2$	U0=6.284E+02	$\text{cm}^2/\text{V}\cdot\text{s}$
* Parâmetros relacionados à região de Sublimiar *			
DSUB=5.000E-01	---	ETAB=-3.950E-02	V^{-1}
ETA0=3.085E-02	---	NFACTOR=1.119E-01	---
* Parâmetros relacionados à Saturação *			
EM=4.100E+07	V/m	PVAG=0.000E+00	---
PCLM=2.831E-03	---	VSAT=1.178E+06	cm/s
PDIBLC1=1.076E-01	---	AGS=4.523E-01	V^{-1}
PDIBLC2=1.453E-03	---	B0=-1.760E-08	m
DROUT=5.000E-01	---	B1=0.000E+00	m

A0=5.482e+00	---	DELTA=1.000E-02	---
A1=0.000E+00	V ⁻¹	PDIBLCB=2.583E-01	V ⁻¹
A2=1.000E+00	---		
* Parâmetros relacionados à Modulação de Geometria *			
W0=1.184E-07	m	LLN=1.000E+00	---
DLC=4.000E-09	m	LWN=1.000E+00	---
DWB=0.000E+00	m/V ^{1/2}	WL=0.000E+00	m
DWG=0.000E+00	m/V	WW=0.000E+00	m
LL=0.000E+00	m	WWL=0.000E+00	m
LW=0.000E+00	m	WLN=1.000E+00	---
LWL=0.000E+00	m	WWN=1.000E+00	---
* Parâmetros do efeito da Temperatura *			
AT=3.300E+04	m/s	UA1=0.000E+00	m/V
UTE=-1.800E+00	---	UB1=0.000E+00	(m/V) ²
KT1=-3.300E-01	V	UC1=0.000E+00	m/V ²
KT2=2.200E-02	---	PRT=0.000E+00	Ω.µm
KT1L=0.000E+00	V.m		
* Parâmetros Dinâmicos e de Capacitância *			
CGDO=1.120E-10	F/m	CF=0.000E+00	F/m
CGSO=1.120E-10	F/m	ELM=5.000E+00	---
CGBO=1.100E-10	F/m	XPART=1.000E+00	---
CGDL=1.350E-10	F/m	CLC=1.000E-15	m
CGSL=1.350E-10	F/m	CLE=6.000E-01	---
CKAPPA=6.000E-01	F/m		
* Parâmetros de Resistência Parasitária e de capacitância *			
RDSW=7.743E+02	Ω.µm	PRWB=0.000E+00	V ^{-1/2}
CDSC=0.000E+00	F/m ²	PRWG=0.000E+00	V ⁻¹
CDSCB=0.000E+00	F/V.m ²	CIT=1.000E-03	F/m ²
CDSCD=8.448E-05	F/V.m ²		
* Parâmetros relacionados ao Processo *			
TOX=2.117E-09	m	NLX=1.918E-07	m
NGATE=1.000E+20	cm ³		
* Parâmetros relacionados a Corrente de Substrato *			
ALPHA0=0.000E+00	m/V	BETA0=3.000E+01	V
* Parâmetros relacionados ao Ruído *			
AF=1.400E+00	---	NOIA=1.000E+20	---
KF=2.810E-27	---	NOIB=5.000E+04	---
EF=1.000E+00	---	NOIC=-1.400E-12	---
* Parâmetros extrínsecos mais comuns *			
LINT=-1.670e-07	m	IS=1.000E-11	A
WINT=2.676E-07	m	MJ=3.100E-01	---
XJ=1.000E-07	m	N=1.000E+00	---
RSH=8.200E+01	Ω/□	MJSW=1.900E-01	---
JS=2.000E-05	A/m ²	PB=6.900E-01	V
CJ=9.300E-04	F/m ²	PBSW=6.900E-01	V
CJSW=2.800E-10	F/m		

Tabela IV.4 - ParâmetrosBSIM3v3 obtidos com o programa BSIMSol.

Os resultados mostraram que esta metodologia pode ser facilmente empregada na determinação dos parâmetros de dispositivos submicrométricos com ótimos resultados. Trata-se de uma maneira relativamente simples para determinação dos parâmetros de simulação modelo BSIM3v3 e torna viável sua utilização em disciplinas que abordem tópicos de caracterização de dispositivos de dimensões reduzidas ou submicrométricos.

V – RESULTADOS FINAIS.

V.1 – REGRAS DE PROJETO - *DESIGN KIT*.

Os resultados obtidos através das medidas elétricas nos dispositivos que compõem a pastilha de extração e o *chip* didático, permitiram determinar as regras de projeto com o limite mínimo da tecnologia utilizada e a adequação destas regras no processo de fabricação. As regras de projeto juntamente com os parâmetros de simulação vão compor o *design kit*. As regras finais de projeto para a fabricação de circuitos integrados determinadas a partir do processo de fabricação de dispositivos de $5\mu\text{m}$ e de $2\mu\text{m}$ foram:

As regras podem ser melhor interpretadas olhando a figura V.1

R1: O tamanho mínimo da abertura de contato foi de $8\mu\text{m}$.

R2: A separação mínima entre a região implantada de fonte/dreno, nível N04 e abertura de vias, nível N09, no sentido do comprimento do canal foi de $1\mu\text{m}$.

R3: O comprimento do canal que é a separação entre regiões de implantação de fonte e de dreno (N04) foi de no mínimo $4\mu\text{m}$ para o processo de fabricação de tecnologia $5\mu\text{m}$ e de $2\mu\text{m}$ para a tecnologia de $2\mu\text{m}$. A separação entre regiões de implantação para transistores distintos foi de $8\mu\text{m}$.

R4: A superposição da oxidação de porta (N01) e da implantação de fonte/dreno (N04) foi de no mínimo $2\mu\text{m}$.

R5: A distância mínima da região implantada de fonte/dreno (N04) além da metalização, (N05), no sentido da largura do canal (W) foi de $1\mu\text{m}$.

R6: A distância mínima entre a oxidação de porta, (N01) e a abertura de vias (N09) foi de $1\mu\text{m}$.

R7: A distância mínima entre a abertura de vias (N09) e metalização (N05) foi de $1\mu\text{m}$.

R8: A distância mínima entre metalizações (N05) foi de $7\mu\text{m}$.

R9: Área mínima do “*pad*” é de $80 \times 80 \mu\text{m}$.

R10: Distância mínima de superposição entre implantação de fonte/dreno (N04) e implantação de depleção (N03), no sentido do comprimento do canal (L) foi de $4\mu\text{m}$.

R11: Distância mínima entre a metalização (N05) além da região implantada de fonte/dreno (N04) no sentido da largura do canal foi de $1\mu\text{m}$.

R12: A separação mínima entre a abertura de vias (N09) e a região implantada de fonte/dreno (N04) no sentido da largura do canal foi de $2\mu\text{m}$.

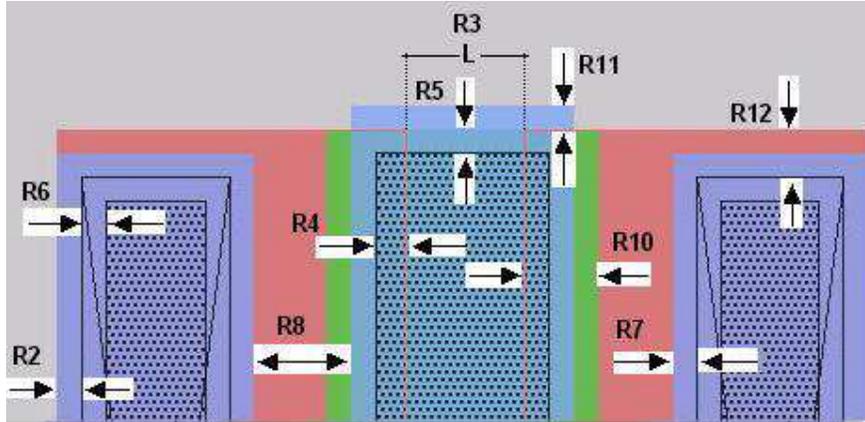


Fig. V.1 - Regras de projeto atualizadas (a figura não está em escala).

As curvas dos transistores que foram fabricados obedecendo as regras de projeto descritas na figura V.1 são apresentados a seguir. Como os dispositivos apresentaram ótimos resultados, pudemos validar essas novas regras de projeto e agora podem ser empregadas na confecção de circuitos integrados no CCS.

- Transistor tipo enriquecimento da pastilha teste com $L=4\mu\text{m}$ e $W=100\mu\text{m}$.

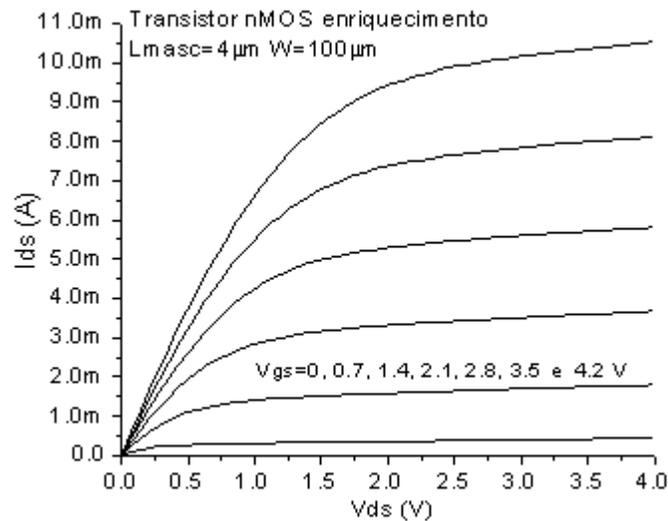


Fig. V.2 - Curva I_{ds} x V_{ds} enriquecimento.

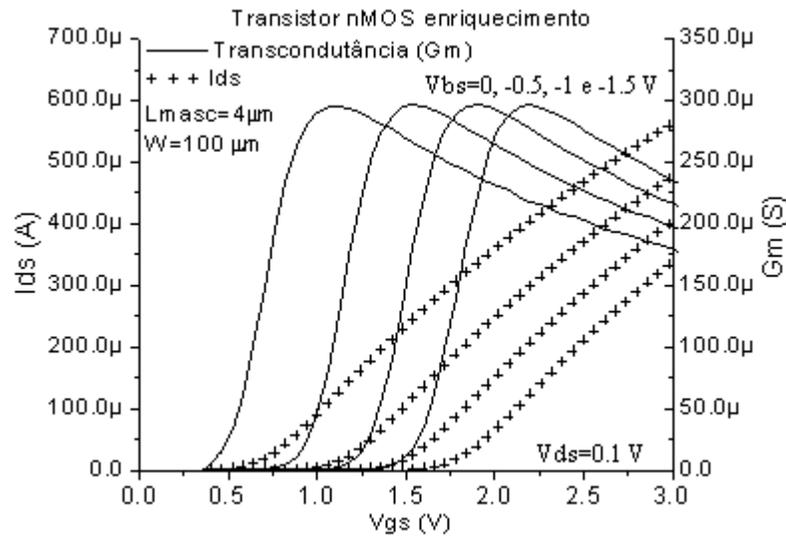


Fig. V.3 - Curva Ids x Vgs e transcondutância.

- Transistor tipo depleção da pastilha teste com L=4µm e W=100µm.

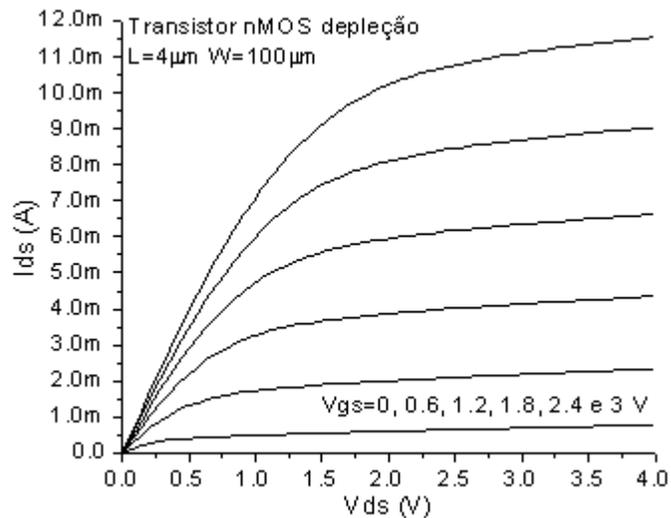


Fig. V.4 – Curva Ids x Vds depleção.

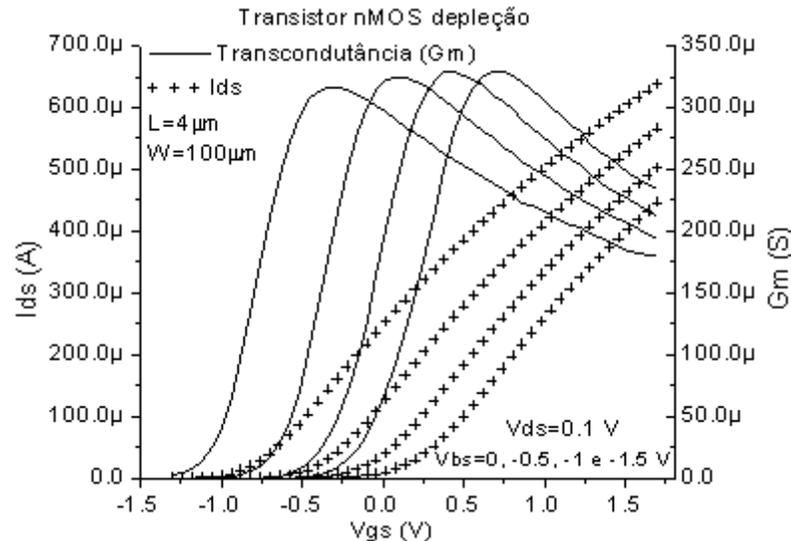


Fig. V.5 - Curva I_{ds} x V_{gs} e transcondutância.

V.2 – CONCLUSÕES E PERSPECTIVAS.

Os resultados apresentados indicam a viabilidade da utilização das etapas de fabricação de dispositivos estabelecida no desenvolvimento das tecnologias nMOS mostradas neste trabalho. Os parâmetros extraídos, a partir dos dispositivos, mostraram-se viáveis para simulação de circuitos. Os métodos utilizados para a extração, embora simples, apresentaram resultados satisfatórios, viabilizando sua aplicação em cursos e disciplinas.

Com a metodologia proposta para a fabricação de dispositivos pudemos determinar uma correta ligação entre as diversas etapas de projeto de circuitos integrados. A concordância entre a simulação de processo, a fabricação de dispositivos e a simulação de circuitos permite, baseado neste conjunto de regras, uma boa confiabilidade para a elaboração de projetos de CI's no CCS.

É importante destacar a necessidade da repetibilidade dos processos elaborados. O processo de fabricação de $5\mu\text{m}$ já é utilizado com certa frequência em disciplinas de microfabricação no CCS e está sendo utilizado também no programa multi-usuário. O processo de fabricação de $2\mu\text{m}$ foi elaborado em três lâminas distintas e para uma maior confiabilidade é sugerido repetir este processo mais vezes. Isto pode ser conseguido através da utilização deste processo nos próximos programas multi-usuário.

Finalmente queremos destacar a utilização de algumas etapas de fabricação sugeridas neste trabalho no desenvolvimento da tecnologia CMOS e teses de mestrado. Devido às suas características tecnológicas atuais, a profundidade de junção rasa e a espessura de óxido de porta desenvolvidas para a fabricação de dispositivos com tecnologia de $2\mu\text{m}$ podem ser utilizadas na fabricação de circuitos CMOS submicrométricos usando os equipamentos disponíveis no centro. Da mesma forma algumas teses de mestrado já utilizam o procedimento desenvolvido neste trabalho para a obtenção de junções rasas.

REFERÊNCIAS BIBLIOGRÁFICAS:

- 1- J. W. Swart, Notas de aula, *www.ccs.unicamp.br*
- 2- Yannis Tsvividis: "Operation and Modeling of the MOS Transistor", *WCB/McGraw-Hill*, 1999.
- 3- Robert W. Dutton, "Modeling of the Silicon Integrated-Circuit design and manufacturing process" *IEEE Transc. on Electron Devices*, Vol 30, September, 1983.
- 4- Richard C. Jaeger: "Modular series on solid state devices - Introduction to Microelectronic Fabrication", Vol. V, *Addison-Wesley Publishing Company*, 1993.
- 5- S. Wolf, "Silicon Processing for the VLSI Era", Vol 1, *Lattice Press*, 1990.
- 6- W. Kern and D. A. Poutien, "Cleaning solutions based on hydrogen peroxide for use in silicon semiconductor technology", *RCA Corporation, RCA Review* 31 (2) 187, 1970.
- 7- W. A. Cody, M. Varadarajan, "RCA Clean Replacement", *J. Eletrochem. Soc.*, Vol. 143, 6, June, 1996.
- 8- Peter B. Griffin, James D. Plummer, Michael D. Deal, "Silicon VLSI Technology: Fundamentals, Praticce and Modeling", 1ª edição, *Prentice Hall Inc.*, 2000
- 9- Khaled Ahmed, Indranil De, "Limitations of the modified shift-ratio technique for extraction of the bias dependence of I_{eff} and R_{sd} of LDD Mosfet's", *IEEE Transactions on Electron Devices*, Vol. 47, April, 2000
- 10- José A. Diniz, "Construção de um sistema de processamento térmico rápido (RTP) com lâmpadas de tungstênio-halogênio como fonte radiante de energia", *Tese de mestrado*, FEEC/UNICAMP, 1992.
- 11- Dennis M. Manos, Daniel L. Flamm, "Plasma Etching, an introduction", *Academic Press Inc.*, 1989
- 12- S. Pussin, "Junction depth measurement for VLSI structures", *J. Electrochem. Soc.* 130, 184-187, January, 1983.
- 13- Dieter K. Schroder, "Semiconductor material and device characterization", *Wiley-Interscience*, 1990
- 14- C. T. Ting, B. L. Crowder, "Electrical Properties of Al/Ti contact metallurgy for VLSI technology", *Journal Electrochem. Soc.*, Vol.129, nº11, pg.2590, 1982.
- 15- M. A. Nicolet, "Diffusion barriers in thin films", *Thin Solid Films*, vol.52, pg. 415, 1978.

- 16- S. E. Hansen and M. D. Deal, “SUPREM IV.GS 2D process simulation for Si and GaAs manual”, *Integrated Circuits laboratory*, Stanford University, 1993.
- 17- Zhiping Yu, Datong Chen, Lydia So and Robert W. Dutton, “PISCES-2ET and its applications an subsystems”, *Integrated Circuits laboratory*, Stanford University, 1994.
- 18- Paolo Antognetti, Giuseppe Massobrio: “Semiconductor Device Modeling with SPICE”, *McGraw-Hill*, 1988.
- 19- D. Foty, “Effective Mosfet modeling for SPICE circuit simulation”, *IEEE Circuits & Devices Magazine*, July, 1998.
- 20- Jun-ichi Matsuda: “Direct Extraction of Spice level 3 Parameters without Optimization”, *Proc. IEEE Int.Conference on Microelectronics Test Structures*, Vol 6, March 1993.
- 21- Peter R. Karlsson, Kjell O. Jeppson: “An efficient parameter extraction algorithm for MOS transistor models”, *IEEE Trans. on Electron Devices*, Vol 39, September 1992.
- 22- Peter R. Karlsson, Kjell O. Jeppson, “An analytical strategy for fast extraction of MOS transistor dc parameters applied to the SPICE MOS3 and BSIM models”, *Proc. IEEE 1992 Int. Conference on Microelectronics Test Structures*, Vol 5, March 1992.
- 23- Meyer: J.E. Meyer, “Mos models and circuit simulation”, *RCA Rev.*, 32, 1971.
- 24- Adel S. Sedra, Kenneth C. Smith: “Microeletrônica”, Quarta Edição, *Makron Books*, 2000.
- 25- Yuhua Cheng, Chenming Hu: “Mosfet modeling & BSIM3 user’s guide”, *Kluwer Academic Publishers*, 1999.
- 26- L. M. Dang, “A simple current model for short channel IGFET and its application to circuit simulation”, *IEEE J. Solid-States Circuits*, 14(2), 1979.
- 27- L. S. Zasnicoff, “Desenvolvimento de um processo Nmos de alto desempenho: análise, caracterização e extração de parâmetros elétricos e tecnológicos”, *Tese de doutorado*, USP, 1987.
- 28- Q. Zangh, J. J. Liou, “Modeling of mismatch effect in submicron MOSFETs based on BSIM3 model and parametric tests”, *IEEE Electron device letters*, vol. 22, March, 2001.
- 29- Thomas Gneiting, “Modeling and simulation of deep submicron MOS transistor using BSIM3v3 model”, *Advanced modeling solutions (AMS)*;

- 30- Peter R. Karlsson, Kjell O. Jeppson, "Extraction of series-resistance-independent MOS transistor model parameters", *IEEE Electron Device Letters*, Vol 13, November, 1992.
- 31- Colin C. McAndrew, Paul A. Layman, "Mosfet effective channel length, treshold voltage, and series resistance determination by robust optimization", *IEEE Transc. on Electron Devices*, Vol 39, October, 1992.
- 32- Metin Yazgi, Hakan Kuntman: "A new approach for parameter extraction of complex models and an application for SPICE Mosfet level-3 static model", *Microelectronics Journal*, 30 pg. 149-155, September, 1999.
- 33- L. Larcher, P. Pavan, "A new model of gate capacitance as a simple tool to extract MOS parameters", *IEEE Transactions on electrons devices*, vol.48, May, 2001.
- 34- C. Perelló, M. Losano, "Dependence of SPICE level 3 model parameters with transistor size", *Proc. IEEE Int. Conference on Microelectronic Test Structures*, Vol. 5, March, 1992.
- 35- P. Bendix, "Subtleties of SPICE mosfet parameter extraction", *Proc. IEEE Int. Conference on Microelectronic Test Structures*, Vol. 2, March, 1989.
- 36 – E. H. Nicollian and J. R. Brews, "MOS (Metal Oxide Semiconductor) Technology", 763, *John Wiley & Sons*, New York, 1982
- 37- W. L. Zhang, Z. L. Yang, "A new threshold voltage model for deep-submicron MOSFETs with nonuniform substrate dopings", *Microelectronics Reliability*, pag. 1465-1469, 1998.
- 38- J. Benson, N. V. D'Halleweyn, W. R. White, "A Physically based relation between extracted threshold voltage and surface potential flat-band voltage for Mosfet compact modeling", *IEEE Transactions on electrons devices*, vol. 48, May, 2001.
- 39- S. Lee, H. K. Yu, "A new technique to extract channel mobility in submicron MOSFETs using inversion charge slope obtained from measured S-parameter", *IEEE Transactions on electrons devices*, vol 48, April, 2001.
- 40- A. Pirovano, A. L. Lacaita, "Explaining the dependence of the hole and electron mobilities in Si inversion layers", *IEEE Transactions on Electron Devices*, vol. 47, April, 2000.
- 41- Shih-Wuu Lee, "Universality of mobility-gate field characteristics of electrons in the inversion charge layer and it's application in Mosfet modeling", *IEEE Trans. on Computer-Aided Design*, vol. 8, July, 1989.

- 42- J. He, X. Zhang, Y. Wang and R. Huang “New method for extraction of MOSFET parameters”, *IEEE Electron Device Letters*, vol. 22, December, 2001.
- 43- S. B. Thakare, A. K. Dutra, “A new improved model for subthreshold slope for submicron MOSFETs”, *Microelectronics journal*, 31, pag. (105-111), 2000.
- 44- R. F. Vogel, “Analytical MOSFET model with easily extraction parameter”, *IEEE Trans. Computer-Aided design*, Cad-4, 1985.
- 45- F. J. G. Sanches, A. O. Conde, “A method to extract mobility degradation and total series resistance of fully-depleted SOI mosfets”, *IEEE Trans. Electron Devices*, Vol. 49, January, 2002.
- 46- IMEC, www.imec.be, 2002.
- 47- M. Miyama, S. Kamohara, M. Hiraki, “Pre-Silicon generation methodology using BSIM3 for circuit performance-oriented device optimization”, *IEEE Trans. on Semiconductors Manufacturing*, Vol. 14, May, 2001.
- 48- K. Doganis and D. L. Scharfetter, “General optimization and extraction of IC device model parameters”, *IEEE Trans. on Electron Device*, pp. 1219-12284, September, 1983.
- 49- José A. Diniz, “Formação de filmes finos de oxinitreto de silício por implantação de íons de nitrogênio e de oxido nítrico”, *Tese de doutorado*, FEEC/UNICAMP, 1996.
- 50- Robert F. Pierret, Gerold W. Neudeck: “Modular series on solid state devices - Field Effect Devices”, second edition, Vol. IV, *Addison-Wesley Publishing Company*, 1990.
- 51- L. M. Dang, “A simple current model for short channel IGFET and its application to circuit simulation”, *IEEE J. Solid-States Circuits*, 14(2), 1979.
- 52- Q. Zangh, J. J. Liou, “SPICE Modeling and quick estimation of Mosfet mismatch based on BSIM3 model and parametric tests”, *IEEE Journal of Solid-State Circuits*, vol. 36, October, 2001.
- 53- R. Dutton, “Modeling silicon integrated circuits”, *IEEE Trans. Electron Devices*, Ed-30, 1983.

ANEXO A – DISPOSITIVOS M.O.S. (METAL-ÓXIDO-SEMICONDUCTOR).

A.1 – CAPACITOR MOS.

O capacitor MOS ou a estrutura MOS de dois terminais têm sido objeto de estudo por vários anos [2,33,35]. Esses estudos contribuíram para uma compreensão detalhada de estruturas M.O.S. e identificaram as causas dos efeitos que impossibilitavam o funcionamento das estruturas MOS. Isto permitiu o desenvolvimento de melhores métodos de fabricação o que tornou possível a fabricação de transistores MOS de pequenas dimensões e alto desempenho.

O processo de fabricação de um capacitor MOS se dá seguinte forma: sobre uma lâmina semicondutora (substrato - Si) é crescida por oxidação térmica uma fina camada de material isolante (óxido - SiO_2). Em seguida faz-se a deposição de um material condutor (metal) para se formar os dois eletrodos; o primeiro sobre a camada de óxido (eletrodo superior) e o segundo sob a parte inferior de lâmina (eletrodo de substrato).

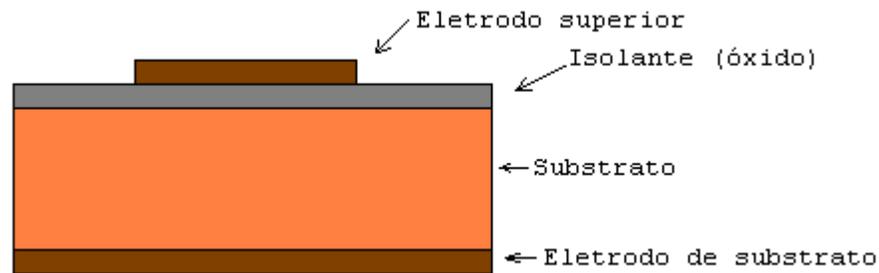


Fig. A..1 – Estrutura de um capacitor MOS.

A causa da instabilidade dos dispositivos MOS está relacionada entre outras coisas com a contaminação dos dispositivos por cargas durante o processo de fabricação. Há quatro tipos de carga que normalmente são observadas na estrutura do óxido de silício e na interface silício/óxido de silício (figura A.2); cargas móveis, carga capturadas no óxido, cargas fixas e cargas capturadas na interface. A carga efetiva no óxido compreende estes quatro tipos de cargas. A presença delas no óxido ou na interface contribui com a diminuição da integridade do filme isolante e aumenta a instabilidade do comportamento dos dispositivos MOS, gera ruído, aumenta as correntes de fuga das junções e da superfície, diminui a tensão de ruptura dielétrica, altera o potencial de superfície ψ_s e afeta a tensão de limiar V_t . Níveis aceitáveis de contaminação de carga efetiva no óxido são da ordem de 10^{10}cm^{-2} .

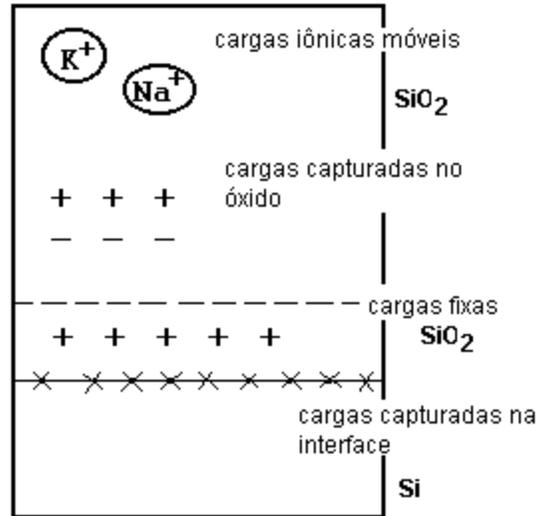


Fig. A.2 – Cargas no capacitor MOS.

A.1.2 – CARGAS MÓVEIS.

As cargas móveis Q_m são associadas à contaminação do óxido de silício por íons dos metais alcalinos Na^+ , K^+ , e L^+ e H_3O^+ . Estes íons são móveis no óxido sob efeito de campo elétrico à temperatura maior ou igual à temperatura ambiente, alteram o potencial de superfície ψ_s e provocam instabilidade nas características elétricas dos dispositivos MOS. As cargas móveis, principalmente os íons de sódio, podem incorporar-se ao óxido de silício nos processos de evaporação, oxidação térmica, recozimento térmico, aplicação de fotorresiste e em qualquer etapa de fabricação, em que se utiliza o manuseio das lâminas.

A.1.3 – CARGAS CAPTURADAS NA INTERFACE SiO_2/Si .

Por localizar-se na interface entre o óxido de silício (material amorfo) e o silício (material cristalino) as cargas capturadas na interface Q_{it} ocorrem devido aos defeitos de posicionamento atômico de uma estrutura silício-oxigênio (Si parcialmente oxidado ou Si não saturado) e a presença de impurezas metálicas. Estados quânticos de energia são introduzidos na banda proibida do silício por estas cargas, permitindo uma maior facilidade de contaminação elétrica entre as bandas de valência e condução do silício. Conforme o potencial de superfície, esta facilidade de comunicação elétrica permite variar o estado de carga Q_{it} capturando (carregando) ou emitindo (descarregando) portadores. Portanto, estas cargas são positivas ou negativas.

A neutralização efetiva das cargas Q_{it} é executada por processos de recozimento pós-metalização (sinterização) em baixa temperatura (aproximadamente 450°C) em ambientes com a presença de hidrogênio que reduz a presença de Q_{it} pois satura as ligações dos átomos de oxigênio e de silício e remove os defeitos estruturais na interface SiO_2/Si .

A.1.4 – CARGAS FIXAS.

As cargas fixas Q_f localizam-se na camada do óxido a menos de 2.5nm da interface SiO_2/Si que é a região de óxido tensionado (óxido não estequiométrico, com composição do tipo SiO_x). As cargas fixas não se comunicam eletricamente entre as bandas de valência e de condução do silício (não há troca de portadores com o semiconductor) e mantêm seu estado de carga (são cargas positivas).

A presença de Q_f no óxido depende de vários parâmetros; a orientação cristalina dos substratos de silício, o ambiente de oxidação, a temperatura de oxidação, as condições de resfriamento dos substratos de silício após a oxidação e a pressão de O_2 no ambiente de oxidação.

A.1.5 – CARGAS CAPTURADAS NO ÓXIDO.

As cargas capturadas no óxido, Q_{ot} , localizam-se por todo o volume do filme de SiO_2 e podem ser lacunas ou elétrons em armadilhas (“traps”) no corpo do óxido. Estas armadilhas são impurezas e ligações atômicas quebradas (provocadas por tensões e defeitos no óxido). Normalmente são cargas neutras, mas tornam-se carregadas quando elétrons ou lacunas são introduzidos no óxido por tunelamento, injeção de portadores por avalanche ou por exposição à radiação ionizante.

As cargas capturadas no óxido Q_{ot} não variam com a polarização de eletrodo superior, como ocorre com as cargas capturadas na interface. Recozimentos em ambiente com hidrogênio em aproximadamente 450°C são eficazes na minimização das cargas capturadas no óxido.

A.1.6 – CARACTERÍSTICAS C-V DO CAPACITOR MOS.

De acordo com a polarização do eletrodo superior a característica C-V do capacitor MOS pode ser dividida em três regiões [2,49,50]; região de acumulação, região de depleção e região de inversão.

a) Região de acumulação: para substratos tipo p , aplicando-se uma tensão negativa no eletrodo superior, as lacunas que são os portadores majoritários, são atraídas à superfície do substrato (interface óxido-semiconductor) assim formará uma região de acumulação de lacunas. Essa camada de acumulação, para uma concentração alta de portadores majoritários, pode ser considerada como segundo eletrodo de um capacitor de placas paralelas, sendo o eletrodo superior o primeiro. Sob essas condições (acumulação forte) e desde que ocorra um contato ôhmico direto entre o substrato e a região de acumulação das lacunas, a capacitância da estrutura MOS é máxima e aproximadamente igual à capacitância do óxido, que é:

$$C_{\max} = C_{ox} = \frac{(\epsilon_0 * \epsilon_{OX} * A)}{tox} \quad \text{onde;} \quad (\text{A.1})$$

C_{ox} = capacitância do óxido; ϵ_0 = permitividade no vácuo;
 ϵ_{OX} = permitividade do óxido; tox = espessura do óxido;

A= área do eletrodo superior.

Diminuindo-se a tensão negativa no eletrodo superior, a camada de acumulação de portadores majoritários é reduzida, pois o campo elétrico no óxido fica menos intenso e diminuindo-se ainda mais a tensão no eletrodo a camada é extinta tornando as concentrações de portadores na superfície semelhante as do corpo do substrato. Nestas condições a tensão aplicada no eletrodo superior é denominada de tensão de banda plana [2,50] V_{fb} (referindo-se a condição de não encurvamento das bandas de energia no diagrama de bandas) sendo C_{fb} a capacitância de banda plana correspondente. Para o capacitor MOS ideal a tensão C_{fb} é nula (nesse caso estamos considerando que não há nenhum tipo de contaminação por cargas na estrutura).

b) Região de depleção: para uma tensão no eletrodo superior maior que a tensão de banda plana, ocorre um deslocamento das lacunas da superfície do substrato, expondo os íons das impurezas aceitadoras (no nosso caso cargas negativas). Assim forma-se uma região de depleção de portadores com largura W_d constituída pelos íons aceitadores logo abaixo do óxido. A largura W_d é proporcional ao potencial de superfície ψ_s que é função da tensão no eletrodo de porta.

A capacitância relacionada à região de depleção (C_{SD}) é associada em série com a capacitância do óxido do eletrodo superior, resultando numa capacitância total da estrutura do capacitor MOS:

$$C_t = \sqrt{\frac{1}{C_{OX}} + \frac{1}{C_{SD}}}; \quad C_{SD} = \frac{\epsilon_{Si}}{W_d}; \quad W_d = \sqrt{\frac{2 * \epsilon_{Si} * \psi_s}{q * N_{A,D}}}; \quad (\text{A.2, A.3 e A.4})$$

onde;

C_{SD} e a capacitância da região de depleção.

C_t é a capacitância total da estrutura MOS;

C_{OX} é a capacitância do óxido (Eq. A.1);

ϵ_{Si} - coeficiente de permissividade elétrica do silício;

$N_{A,D}$ e a concentração de dopantes aceitadores ou doadores no silício.

ψ_s - potencial de superfície (ψ_s (tensão do eletrodo)).

c) Região de inversão: aumentando-se ainda mais a tensão aplicada no eletrodo superior consegue-se igualar as concentrações de portadores (majoritários e minoritários) com a concentração nível intrínseco do semiconductor ($n=p=ni$) formando-se uma pequena camada de inversão do tipo n na interface Si/SiO₂. Com um valor maior de tensão (muito maior que V_{fb}), há um aumento na concentração de elétrons na superfície do substrato. Assim W_d torna-se constante alcançando um valor máximo. Esta é a condição de inversão forte.

O valor da capacitância da estrutura MOS, em condição de inversão, é função da frequência do sinal ac de polarização aplicado no eletrodo superior (figura A.3). Para as medidas C-V em baixa frequência, tipicamente entre 5 a 100 Hz, o período de um sinal ac é muito maior que o tempo de reposta dos portadores minoritários. Então, quando formada a camada de inversão, ocorre a geração de pares elétrons-lacunas suficiente para

compensar o sinal aplicado, ou seja, os elétrons em alta concentração acompanham o sinal ac de baixa frequência, mantendo-se em equilíbrio. Dessa maneira, a capacitância total para a condição de inversão torna-se igual a C_{ox} (Eq. A.1).

Para medidas C-V em alta frequência (>1 kHz), em condições de acumulação e depleção, há portadores majoritários em concentração suficiente para responder á um sinal ac deste tipo. Mas, na inversão, a capacitância é determinada pelo tempo de resposta dos portadores minoritários. Para um sinal de polarização em alta frequência, há um atraso dos portadores minoritários em relação a este sinal, ou seja, estes portadores não são gerados em taxa alta suficiente para compensar o sinal aplicado. Ocorre a modulação da camada de depleção de largura máxima e constante. Na condição de inversão forte, portanto, a capacitância total da estrutura MOS torna-se mínima:

$$C_{mim} = \sqrt{\frac{1}{C_{OX}} + \frac{Wd_{max}}{\epsilon_{Si}}} \quad (A.5)$$

onde;

C_{mim} - capacitância total mínima para condição de inversão.

Wd_{max} - largura máxima da camada de depleção.

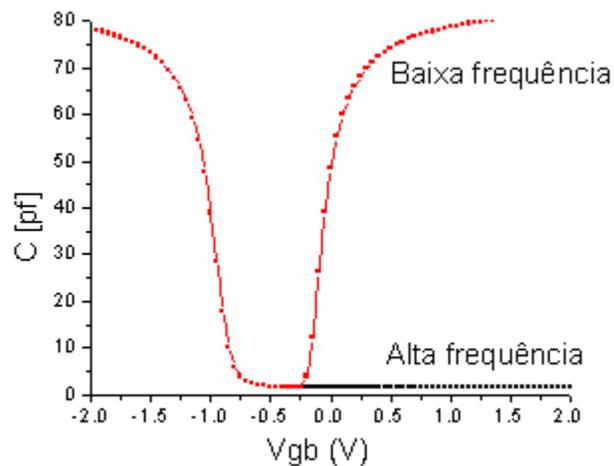


Fig. A.3 – Capacitância do óxido em alta e baixa frequência.

A análise do capacitor MOS [33] é um grande artifício utilizado para verificar a quantidade de contaminação por cargas e pode nos fornecer grande parte dos parâmetros relacionados ao processo de fabricação de dispositivos MOS tais como, espessura de óxido de porta dos transistores, dopagem de substrato e o potencial de superfície.

A.2 – O TRANSISTOR MOSFET.

O nome de transistor de efeito de campo (FET) origina-se de seu princípio físico de operação [24]. A tensão entre dois terminais controla a corrente que circula no terceiro terminal. Esse mecanismo de controle é baseado no campo elétrico estabelecido pela tensão aplicada no terminal de controle.

Embora o conceito básico do FET tenha sido conhecido desde 1930, o dispositivo tornou-se uma realidade prática apenas na década de 1960. Desde o final de 1970, um tipo particular de FET, o *transistor de efeito de campo* tipo *metal-óxido-semicondutor* (MOSFET), tornou-se muito comum. Dentre as várias famílias de dispositivos FET, trataremos apenas dos dispositivos MOSFET tipo enriquecimento e depleção, pois todas as simulações de processos e fabricação de circuitos foram realizadas com estes tipos de dispositivos.

A figura A.4 mostra a estrutura física do MOSFET tipo enriquecimento. O dispositivo é tratado como de quatro terminais, porta (*gate-G*), fonte (*source-S*) e terminal do dreno (*drain-D*) e o terminal do substrato ou corpo (*body ou bulk-B*).

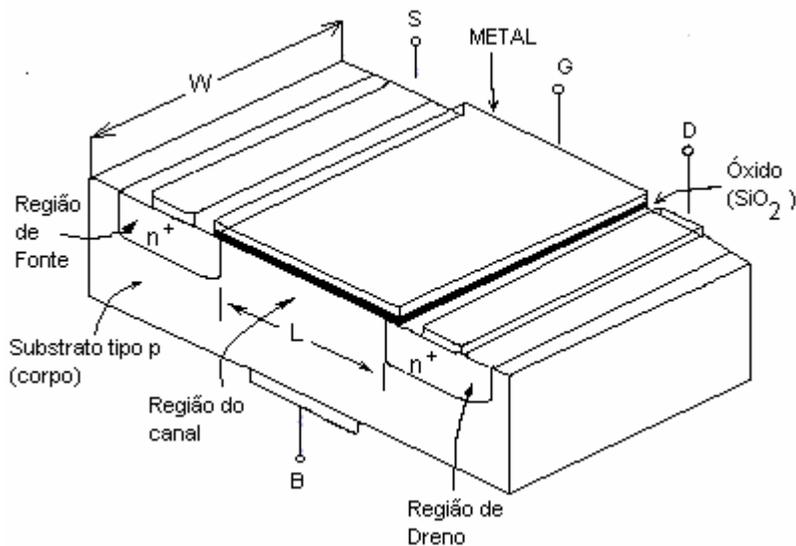


Fig. A.4 – Mosfet 4 terminais.

Seu funcionamento básico se dá através de uma tensão aplicada na porta que controla o fluxo de corrente entre o dreno e a fonte. Essa corrente circulará do dreno para a fonte na região denominada “região do canal”, essa região tem um comprimento L e uma largura W .

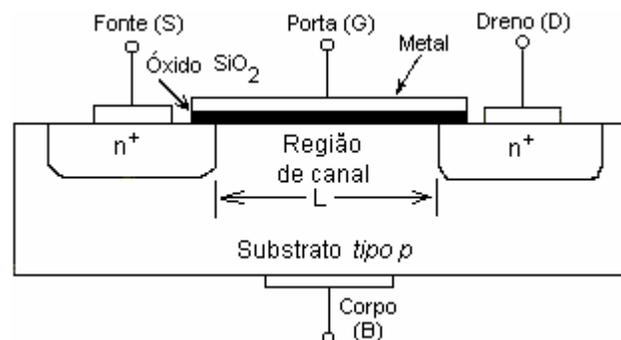


Fig. A.5 – Vista frontal do transistor MOS.

A figura A.6 mostra como é criada a região do canal. Nesta figura temos a fonte e o dreno aterrados e uma tensão positiva aplicada á porta. Como a fonte está aterrada, o

efeito da tensão na porta aparece entre a porta e a fonte e, portanto, é representado por V_{gs} . A tensão positiva na porta faz com que as lacunas livres (as quais estão positivamente carregadas) sejam repelidas da região de substrato sobre a porta (a região do canal).

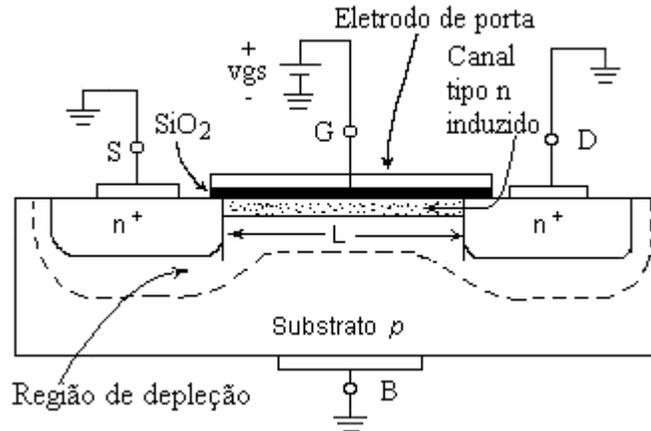


Fig. A.6 – Formação do canal num transistor nMOS.

Essas lacunas são empurradas para baixo no substrato, deixando atrás uma região depleta de portadores. A região de depleção está repleta de ligações covalentes de cargas negativas associadas aos átomos aceitadores. Essas cargas estão em descoberto por causa das lacunas que foram empurradas para dentro do substrato.

Além disso, a tensão positiva na porta atrai elétrons das regiões n^+ da fonte e do dreno (onde são abundantes) para a região do canal. Quando for acumulado um número suficiente de elétrons próximos a superfície do substrato sob a porta, uma região n é criada, conectando as regiões da fonte e do dreno, conforme indicado na figura A.8. Se agora uma tensão for aplicada entre o dreno e a fonte, uma corrente circulará por essa região n induzida, onde ocorre transporte de elétrons móveis. A região n induzida, portanto, forma um canal para a circulação da corrente do dreno para a fonte e por isso este nome, canal. Esse dispositivo é chamado MOSFET de canal n , ou apenas nMOS.

Transistor nMOS em operação:

Vamos considerar o transistor com um canal induzido e vamos agora aplicar uma tensão V_{ds} entre fonte e dreno, conforme a figura A.7:

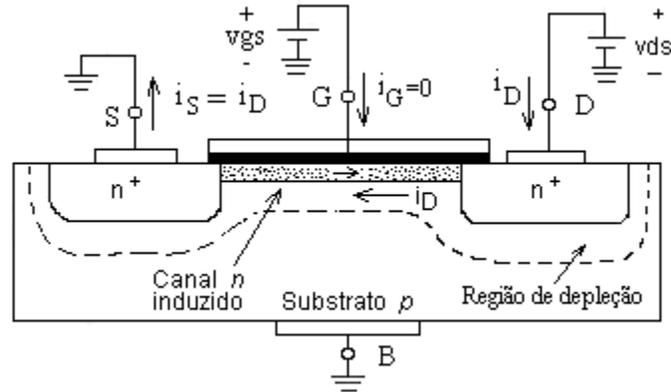


Fig. A.7 – Transistor nMOS em operação.

A tensão V_{ds} faz com que a corrente i_D circule pelo canal n induzido. A corrente surge devido ao movimento dos elétrons livres da fonte para o dreno (daí os nomes). O valor de i_D depende da densidade de elétrons no canal, a qual por sua vez, depende do valor de V_{gs} . Especificamente para $V_{gs}=V_t$ o canal está fracamente induzido (V_t é a tensão V_{gs} para a qual um número suficiente de elétrons se acumula na região do canal para formar um canal de condução), assim;

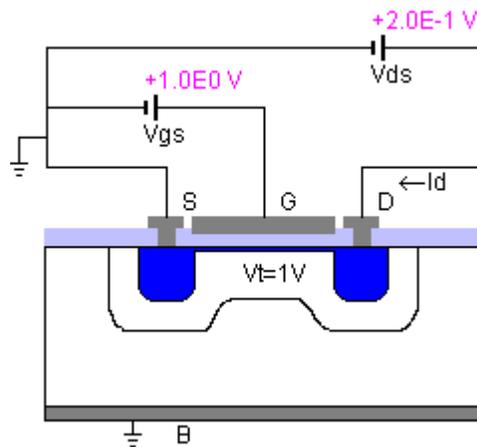


Fig. A.8 – Transistor nMOS em operação para $V_{gs}=V_t$.

Quando V_{gs} excede V_t , mais elétrons são atraídos para o canal. O resultado é um aumento de portadores de carga no canal, ou seja, um canal de maior condutância ou de resistência reduzida:

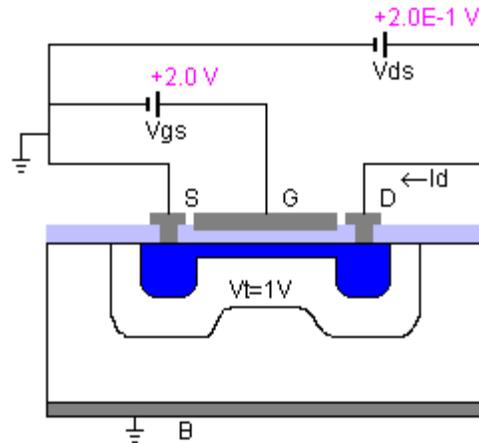


Fig. A.9 – Transistor nMOS em operação para $V_{gs} > V_t$.

Se agora aumentarmos V_{ds} e mantendo V_{gs} constante com um valor acima de V_t podemos notar uma mudança no formato do canal, ou seja, pela figura A.11 podemos observar que V_{ds} aparece como uma queda de tensão na extensão do canal. Isto é, à medida que caminhamos ao longo do canal da fonte para o dreno, a tensão aumenta a partir 0 até V_{ds} . Portanto, a tensão entre a porta e os pontos ao longo do canal diminui de V_{gs} na fonte até $V_{gs} - V_{ds}$ no dreno. Como a profundidade do canal depende dessa tensão, concluímos que o canal não mantém sua profundidade; ao contrário, o canal tomará a forma de um estreitamento, então:

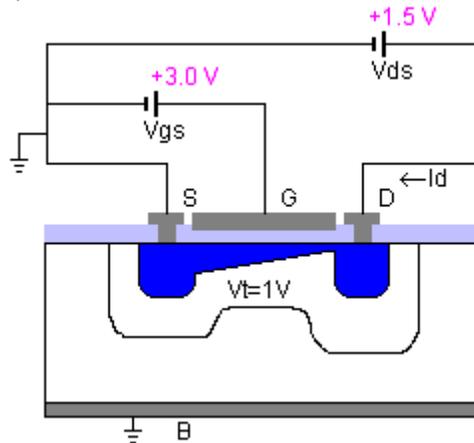


Fig. A.10 – Estreitamento do canal num transistor nMOS.

Assim, à medida que aumentamos V_{ds} , o canal se torna mais estreito e sua resistência aumenta correspondentemente. Portanto, a curva $I_D - V_{ds}$ não será mais uma linha reta, mas uma curva, e quando aumentarmos V_{ds} até o valor que reduz a tensão entre porta e o canal no final do dreno para V_t , isto é, $V_{gs} - V_{ds} = V_t$, a profundidade do canal no final do dreno diminui até próximo de zero e dizemos que o canal está estrangulado (*pinched-off*):

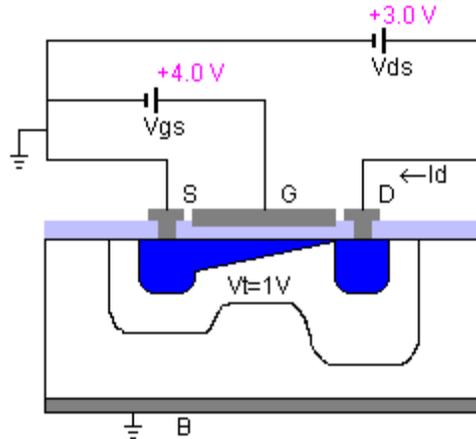


Fig. A.11 – Transistor nMOS em saturação.

Aumentando V_{ds} , além desse valor, o efeito é pequeno (teoricamente não surte mais efeito) sobre a forma do canal, e a corrente através deste se mantém constante a partir de $V_{ds}=V_{gs}-V_t$. A corrente de dreno então satura com esse valor e dizemos que o transistor inicia sua operação na região de saturação.

Portanto baseado nessas explicações podemos definir três regiões de operação de um MOSFET, a região de corte, a região de triodo (ou região linear) e a região de saturação. Essas regiões têm um importante efeito na metodologia de extração de parâmetros e a partir da observação dessas regiões podemos descrever as equações matemáticas (modelos) que descrevem um transistor MOSFET.

ANEXO B – ARQUIVOS DE SIMULAÇÕES.

B.1 – ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 5 μ m.

O arquivo (código fonte) utilizado para a simulação do processo de fabricação de dispositivos com comprimento mínimo efetivo de canal de 5 μ m é apresentado abaixo. O arquivo de simulação foi executado no programa SUPREM-IV.GS sob plataforma Linux. Esse código fonte pode ser utilizado nos cursos preparatórios para aprendizagem de microeletrônica.

```
# Processo nMOS - CCS Unicamp
# Arquivo nccs8x20 09 - 04 - 2001
# Estrutura 8um x 20um nMOS transistor
# Oxidação térmica: etapa 3, 8 e 12.
#1) Definição do eixo horizontal e vertical

line x loc=0.00          tag=esq
line x loc=0.50 spacing=0.1
line x loc=3.00 spacing=0.2
line x loc=4.00 spacing=0.25
line x loc=6.00 spacing=0.25 tag=dir

line y loc=0.0   tag=sup
line y loc=0.2   spacing=0.02
line y loc=0.5   spacing=0.05
line y loc=1.50  spacing=0.25
line y loc=2.0   spacing=0.25
line y loc=4.00  tag=inf

# Substrato de silício
region silicon xlo=esq xhi=dir ylo=sup yhi=inf

# Escolha da superfície de exposição
bound exposed xlo=esq xhi=dir ylo=sup yhi=sup
bound backside xlo=esq xhi=dir ylo=inf yhi=inf

# 2a) Lâmina P - transistor nMOS.
init boron conc=1.0e15 ori=100
plot.2d bound grid fill

# 2b) Implantação de Boro para ajuste da tensão de limiar (Vt)
implant boron dose=1e13 energy=65 pearson angle=7
select z=log10(boron)
plot.1d x.v=0.2 x.max=0.6 y.min=15.0 y.max=18 bound

# 3) Recozimento da I/I do B e oxidação úmida (700 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=35 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
```

```
diffuse time=180 temp=1000 wet
diffuse time=5 temp=1000 dry
diffuse time=10 temp=1000 nitrogen
plot.2d bound fill y.max=2.0
```

```
# Perfil da implantação do Boro após recozimento
select z=log10(boron)
plot.1d x.v=0.2 x.max=2.0 y.min=14.0 y.max=18 bound
```

```
# 4) Fotogravação n.º 1 (fonte/dreno)
deposit photores thick=1.0
etch photores right p1.x=4.0 p1.y=0.410 p2.x=3.90 p2.y=-1.50
plot.2d bound fill y.max=2.0
```

```
#5) Remoção o óxido na região fonte/dreno após fotogravação n.º 1
etch oxide right p1.x=4.0 p1.y=0.400 p2.x=3.90 p2.y=-0.50
plot.2d bound fill x.max=6.0 y.max=4.0
```

```
#6) Remoção do fotorresiste
etch photores all
plot.2d bound fill x.max=6.0 y.max=4.0
```

```
# 7) Implantação de fósforo na região D/S
implant phosp dose=5e15 energy=65 pearson angle=7
```

```
# Perfil de implantação de fósforo para várias concentrações
select z=log10(phos)
plot.2d bound fill y.max=2.0
foreach v (18.0 to 20.0 step 0.5)
contour val=v
end
```

```
# 8) Recozimento da I/I do P e oxidação úmida
diffuse time=0.001 temp=1000 dry
diffuse time=25 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
diffuse time=100 temp=1000 wet
diffuse time=5 temp=1000 dry
diffuse time=10 temp=1000 nitrogen
```

```
# 9) Fotogravação n 2 (canal e contatos)
deposit photores thick=1.0
etch photores left p1.x=4.2 p1.y=0.1 p2.x=4.3 p2.y=-2.0
etch photores right p1.x=4.9 p1.y=0.1 p2.x=4.8 p2.y=-2.0
plot.2d bound fill x.max=6.0 y.max=4.0
```

```
# 10) Remoção do óxido na região do canal e contato D/S após fotogravação n.º 2
etch oxide right p1.x=4.9 p1.y=0.7 p2.x=4.8 p2.y=-1.0
etch oxide left p1.x=4.2 p1.y=1 p2.x=4.2 p2.y=-1.2
```

```
plot.2d bound fill x.max=6.0 y.max=4.0
```

```
#11) Remoção de fotorresiste  
etch photores all  
plot.2d bound fill x.max=6.0 y.max=4.0  
select z=log10(abs(doping))  
plot.2d bound fill y.max=2.0  
foreach v (16.0 to 20.0 step 1)  
contour val=v  
end
```

```
# 12) Oxidação para formação do óxido de porta  
diffuse time=0.001 temp=1000 dry  
diffuse time=5 temp=1000 nitrogen  
diffuse time=5 temp=1000 dry  
# oxido HCL pc=% lin=linear par=parabolico  
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5  
diffuse time=30 temp=1000 dry  
oxide hcl.pc=0  
diffuse time=5 temp=1000 dry  
diffuse time=30 temp=1000 nitrogen
```

```
select z=log10(abs(doping))  
plot.2d bound fill y.max=2.0  
foreach v (16.0 to 20.0 step 1.0)  
contour val=v  
end
```

```
#13) Fotogravação n 3 (contatos)  
deposit photores thick=1.0  
etch photores right p1.x=5.0  
plot.2d bound fill y.max=4.0
```

```
# 14) Remoção do óxido na região de contato (D/S)após fotogravação n.º 3  
etch oxide right p1.x=5.0  
plot.2d bound fill x.max=6.0 y.max=4.0
```

```
# 15) Remoção total de fotorresiste.  
etch photores all
```

```
# 16) Deposição de alumínio  
deposit alum thick=0.5
```

```
# Refletir a estrutura  
struct mirror left  
plot.2d bound fill x.max=6.0 y.max=2.0
```

```
#17) Fotogravação n 4 (metal)  
deposit photores thick=0.5
```

```
etch photores start x=4.0 y=0.8
```

```
etch photores cont x=5.0 y=0.8
etch photores cont x=5.0 y=-2.0
etch photores done x=4.0 y=-2.0
```

```
etch photores start x=-4.0 y=0.8
etch photores cont x=-5.0 y=0.8
etch photores cont x=-5.0 y=-2.0
etch photores done x=-4.0 y=-2.0
plot.2d bound fill x.max=6.0 y.max=4.0
```

18) Remoção do alumínio após fotogração n.º 4

```
etch alumin start x=4.0 y=0.8
etch alumin cont x=5.0 y=0.8
etch alumin cont x=5.0 y=-1.3
etch alumin done x=4.0 y=-1.3
```

```
etch alumin start x=-4.0 y=0.8
etch alumin cont x=-5.0 y=0.8
etch alumin cont x=-5.0 y=-1.3
etch alumin done x=-4.0 y=-1.3
plot.2d bound fill x.max=6.0 y.max=4.0
```

19) Remoção total de fotorresiste.

```
etch photores all
```

20) Perfil completo

```
select z=log10(abs(doping))
plot.2d bound fill y.max=2.0
foreach v (17.0 to 18.0 step 1)
contour val=v
end
```

21) Perfil da junção

```
plot.2d bound fill y.max=2.5
select z=(log10(boron)-log10(phos))
contour val=0
end
```

Salvar arquivo para o formato do programa Pisces.

```
struct pisc=mesh8x20
end
```

B.2 – ALGORITMO DA SIMULAÇÃO PISCES – PROCESSO 5µm.

```
title NMOS ** potencial, campo elétrico, densidade de corrente.**
$ *** FILE potces
options plotdev=xterm
options plotdev=lw plotfile=gpot8x20E.ps
```

```

$ * * * define rectangular grid
mesh infile=mesh8x20 ASCII.In Geometry W=20
$ drain=1 source=3 gate=2 substrate=4 defined with 5nmos.p2
$ gerado com o arquivo NCMOS_bi.in (Suprem) : simulação de
$ processo do transistor NMOS em estrutura 8um x 6um (corte transv

$ * * * Materials/Contacts
contac num=1 alum
contac num=2 alum

$ * * * Symbolic Factorization (Gummel) and Parameters
symb gummel carriers=1 electrons
$ method iccg damped

$ * * * Models
models temp=300 print fldmob

$ * * * find initial solution
solve initial outf=n5slv0.slv
$.

$ * * * Switch to Newton Method
symb newton carriers=1 electrons
method autonr
$.

$ * * Perfil do doping in y=0
plot.1d dop log abs a.x=0.0 a.y=0.70 b.x=4.0 b.y=0.70 pause
$ * * Perfil vertical em x=-1.2 (Source)
plot.1d dop log abs a.x=-3.8 b.x=-3.8 a.y=0.6 b.y=2.5 pause

$ * * Perfil vertical em x=0.0 (gate)
plot.1d dop log abs a.x=0.0 b.x=0.0 a.y=0.6 b.y=2.5 pause

$ * * Perfil vertical em x=1.25 (drain)
plot.1d dop log abs a.x=3.8 b.x=3.8 a.y=0 b.y=2.5 pause

$.

$ * * * solve for n , for poten and for Efield
solve v1=0.0 vstep=0.1 nstep=35 elect=1
solve v2=0.0 v1=3.5 v3=0.0 v4=0.0 outf=5bias.slv
$.

$ * * *Perfil do potential in y=0
plot.1d poten abs a.x=0 a.y=0.7 b.x=4 b.y=0.7 pause

```

```
$ * * * Perfil do potential in y=0.15
$plot.1d poten abs a.x=0 a.y=0.15 b.x=1.25 b.y=0.15 pause

$ * * Perfil do potential bidimen max=3.5
plot.2d no.top bound junction pause
contour poten min=0.0 max=5.0 del=0.5 pause

$ * * electron concentration in y=0
plot.1d electron log abs a.x=0.0 a.y=0.70 b.x=3.8 b.y=0.70
+ min=0.0 max=20 spline nspl=300 points pause

$ * * electron concentration in y=0.15
plot.1d electron log abs a.x=0.0 a.y=0.85 b.x=3.8 b.y=0.85
+ min=0 max=20 spline nspl=300 points pause

$ * * electron concentration - bidimen min=14
plot.2d no.top bound junction pause
contour electron log min=12 max=20 del=0.5 pause

$ * * Electric field in y=0
plot.1d E.field abs a.x=0 a.y=0.70 b.x=3.8 b.y=0.70 pause

$ * * Electric field in y=0.15
$plot.1d E.field abs a.x=0 a.y=0.15 b.x=1.25 b.y=0.15 pause

$ * * Electric field - bidimen
Plot.2d no.top bound junction pause
contour E.field log min=0 max=15 del=1 pause

$ * * *current densities in y=0
plot.1d J.Electr log abs a.x=0.0 a.y=0.70 b.x=3.8 b.y=0.70 pause

$ * * *current densities in y=0.4
$plot.1d J.C a.x=0.0 a.y=0.0 b.x=0.0 b.y=0.4 pause

$ * * current densities - bidimen
plot.2d no.top bound junction pause
contour J.Electr log min=-7 max=20 del=1 pause

end
```

```

title nMOS - Ids-Vds characteristics
$ * * * FILE ivdreno.p2

options plotdev=lw plotfile=givds8x20E.ps

contac num=3 alum

$ * * * solve for drain characteristics
$ * * Solve for Vgs = v2 volts; Save in nbias1.slv
solve v3=0.0 vstep=0.5 nstep=10 electr=3
solve v3=5.0 outf=nbias.slv

$ * * * setup I-V Log File
log outf=n_ivds.log

$ * * Step Vds from 0 to 5.0 volts (vgs=v1 volts)
solve v1=0.0 vstep=0.2 nstep=25 elect=1

$ * * Plot Id vs Vds ( Linear Scales)
plot.1d x.axis=v1 y.axis=i1 ascii outf=ctdata1

$.-----
load infile=n5slv01.slv
solve v3=0.0 vstep=0.5 nstep=6 electr=3
solve v3=3.0 outf=nbias.slv
log outf=n_ivds.log
solve v1=0.0 vstep=0.2 nstep=25 elect=1

$ * * Plot Id vs Vds ( Linear Scales)
plot.1d x.axis=v1 y.axis=i1 ascii outf=ctdata3 unch

$.-----
load infile=n5slv01.slv
solve v3=0.0 vstep=0.5 nstep=4 electr=3
solve v3=2.0 outf=nbias.slv
log outf=n_ivds.log
solve v1=0.0 vstep=0.2 nstep=25 elect=1

$ * * Plot Id vs Vds ( Linear Scales)
plot.1d x.axis=v1 y.axis=i1 ascii outf=ctdata4 unch

$.-----
load infile=n5slv01.slv
solve v3=0.0 vstep=0.5 nstep=2 electr=3
solve v3=1.0 outf=nbias.slv
log outf=n_ivds.log

```

```
    solve v1=0.0 vstep=0.2 nstep=25 elect=1

$ * * * Plot Id vs Vds ( Linear Scales)
plot.1d x.axis=v1 y.axis=i1 ascii outf=ctdata5 unch

$.....

    load  infile=n5slv01.slv
    solve v3=0.0  elect=3  outf=nbias.slv
    log  outf=n_ivds.log
    solve v1=0.0 vstep=0.2 nstep=25 elect=1

$ * * * Plot Id vs Vds ( Linear Scales)
plot.1d x.axis=v1 y.axis=i1 ascii outf=ctdata6 unch

$.....

end
```

```
title NMOS  Ids-Vgs characteristics
$ * * *  FILE  IV_porta.p2

$options plotdev=lw plotfile=gvt8x20E.ps

$ * * * Cargas de Interface
$interfac y.max=0.1 Qf=1E10

$ * * * solve for gate characteristics

    solve v1=0.1 elect=1
    solve v4=0.0 elect=4
    log  outf=ivgs.log
    solve v3=0.0 vstep=0.1 nstep=30 elect=3

$ * * * Plot Id vs Vgs (Linear Scales)
plot.1d x.axis=v3 y.axis=i1 ascii outf = vtdata

end
```