

UNIVERSIDADE ESTADUAL DE CAMPINAS  
FEEC – FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO  
DSIF – DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTAÇÃO E  
FOTÔNICA.

## **PROCESSOS TÉRMICOS RÁPIDOS RTO / RTA PARA FABRICAÇÃO DE DISPOSITIVOS MOS**

Dissertação apresentada à Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas para a obtenção do título de Mestre em Engenharia Elétrica.

Autor: **Fábio Aparecido Cavarsan**

Orientador: **Prof. Dr. José Alexandre Diniz**

Banca examinadora:

**Prof. Dr. José Alexandre Diniz**

**Prof. Dr. Jacobus W. Swart**

**Prof. Dr. Peter Jürgen Tatsch**

**Prof. Dr. Marcelo A. Hayashi**

**Campinas – Junho 2005**

FICHA CATALOGRÁFICA ELABORADA PELA  
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE -  
UNICAMP

C314p Cavarsan, Fábio Aparecido  
Processos térmicos rápidos RTO / RTA para fabricação  
de dispositivos MOS. / Fábio Aparecido Cavarsan. --  
Campinas, SP: [s.n.], 2005.

Orientador: José Alexandre Diniz  
Dissertação (Mestrado) - Universidade Estadual de  
Campinas, Faculdade de Engenharia Elétrica e de  
Computação.

1. Dielétricos. 2. Filmes finos – Propriedades elétricas. 3.  
Semicondutores amorfos. 4. Semicondutores - Difusão. 5.  
Filmes semicondutores. 6. Transistores de efeito de campo.  
I. Diniz, José Alexandre. II. Universidade Estadual de  
Campinas. Faculdade de Engenharia Elétrica e de  
Computação. III. Título.

Título em Inglês: Rapid thermal process RTO / RTA for MOS devices  
fabrication

Palavras-chave em Inglês: Oxide, Ativation, RTO, RTA, Annealing

Área de concentração: [Microeletrônica e Optoeletrônica](#)

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Jacobus Willibrordus Swart, Peter Jürgen Tatsch,  
Marcelo Assaoka Hayashi

Data da defesa: 10/06/2005

Programa de Pós-Graduação: Engenharia Elétrica

Dedico este trabalho a Deus, aos meus pais Sérgio e Odete, ao meu irmão Sérgio Júnior por terem me dado apoio, incentivo e sempre acreditarem que era possível a conclusão deste trabalho.

Também dedico este trabalho a minha amada esposa Juliana por estar ao meu lado e me apoiar sempre.

## Agradecimentos

- Agradeço a Deus, pois sem ele nada seria possível.
- Ao professor Dr. José Alexandre Diniz, pela excelente orientação, amizade, ajuda constante para a realização deste trabalho e acima de tudo pela chance de realizar um sonho.
- Ao professor Dr. Jacobus W. Swart pela oportunidade de me formar Mestre.
- Ao Cleber amigo de longa data que sempre me incentivou e ajudou durante todo esse trabalho.
- Ao Godoy pelas Fotograções, Fornos de Recozimento e pela amizade.
- Ao Anderson por sua ajuda fundamental nas caracterizações dos dispositivos.
- A todos técnicos e funcionários do CCS, que contribuíram com o trabalho.
- A Regina pelas limpezas RCA e pela amizade.
- Ao Eudócio pelas implantações iônicas.
- Ao Ricardo pelas deposições de Si-Poli.
- Ao Regis pelas medidas TEM e ao LNLS por autorizar o uso do equipamento.
- Aos meus amigos, Leonardo, Gleison, Leandro, Gorni, Pablo, Roberto, e todos os outros pela amizade e companhia durante todo o trabalho.
- A CNPq pelo suporte financeiro.
- E a todos que direta ou indiretamente contribuíram com o trabalho.

Este trabalho foi realizado com o apoio das seguintes entidades:

- CNPq
- CCS/Unicamp
- DSIF/Unicamp
- IFGW/Unicamp
- FEEC/Unicamp

## Resumo

Filmes ultra-finos e finos de óxido de silício ( $\text{SiO}_2$ ) foram obtidos por oxidação (RTO) e recozimento (RTA) térmicos rápidos, usando diferentes temperaturas de 600, 700, 800 e  $960^\circ\text{C}$  por 40s, em ambiente de oxigênio e de nitrogênio, respectivamente. A caracterização por elipsometria (para índice de refração fixo de 1.46), por microscopia eletrônica de transmissão (TEM) e por espectrometria de infra-vermelho (FTIR) revelou valores de espessura do óxido entre 2 e 10 nm, a presença de ligações Si-O, confirmando a formação dos filmes de óxido de silício, e baixa rugosidade na interface óxido-Si, respectivamente. Estes filmes foram usados como isolantes de porta de capacitores MOS (Metal-Óxido-Semicondutor). Estes dispositivos foram fabricados com diferentes eletrodos de porta de Al, Al/Ti, poli-Si  $\text{N}^+$  (com resistência de folha de  $20 \Omega/\square$ , obtida por ativação RTA) e sinterizados em  $450^\circ\text{C}$  em ambiente de gás verde. Os capacitores MOS foram usados para se obter as medidas de capacitância-tensão (C-V) e corrente-tensão (I-V). Adotou-se uma constante dielétrica relativa de 3.9 ( $\text{SiO}_2$ ) para extrair das curvas C-V sob condição de acumulação a espessura elétrica efetiva (EOT) dos filmes, resultando em valores entre 2 e 10 nm. Foram obtidas densidades de corrente de fuga entre  $1.23 \mu\text{A}/\text{cm}^2$  e  $2.3 \text{ A}/\text{cm}^2$ , extraídas das medidas I-V para tensão de porta de  $-1 \text{ V}$ .

Além disso, empregou-se o recozimento térmico rápido (RTA), em  $1000^\circ\text{C}$  por 40s, para a ativação de dopantes tipo N (P e As) em camadas de Si mono cristalino e em camadas policristalinas de SiGe, respectivamente, para a fabricação de diodos e de capacitores MOS. Foram fabricados diodos com estrutura N+/P, usando a implantação de íons de  $^{75}\text{As}^+$  e a ativação RTA. Uma profundidade de junção de  $0.3 \mu\text{m}$  (resultado simulado por programa de computador ATHENA) e um fator de idealidade de 1.16 foram obtidos para estes diodos. Foram fabricados capacitores MOS com eletrodos de porta de poli-SiGe  $\text{N}^+$  (obtidos por implantação de íons de  $^{31}\text{P}^+$  e ativação RTA), e com dielétricos de porta de oxinitreto de silício crescidos por oxinitreção por plasma de alta densidade. Estes filmes de  $\text{SiO}_x\text{N}_y$  apresentaram um EOT de 3.2 nm e uma densidade de corrente de fuga de  $6\text{mA}/\text{cm}^2$ . Obteve-se baixa resistência de folha de  $8 \Omega/\square$  para os eletrodos de porta de poli-SiGe  $\text{N}^+$ .

Todos estes resultados indicaram que as junções N+/P e os dielétricos e os eletrodos policristalinos de porta obtidos por processos RTO e/ou RTA podem ser usados para tecnologias MOS com dimensões maiores que 130 nm.

## Abstract

Ultra-thin and thin silicon oxide ( $\text{SiO}_2$ ) insulating films have been obtained by rapid thermal oxidation (RTO) and annealing (RTA), using different temperatures of 600, 700, 800 and 960°C for 40s, in oxygen and nitrogen, respectively. Characterization by Ellipsometry (for fixed refractive index of 1.46), transmission electron microscopy (TEM), Fourier transform infrared (FTIR) analysis reveals oxide thickness values between 2 and 10 nm, and the presence of Si-O bonds, confirming the ultra-thin silicon oxide film formation, respectively. These films have been used as gate insulators in MOS capacitors. These devices, with different Al, Al/Ti,  $\text{N}^+$  poly-Si (sheet resistance of  $20 \Omega/\square$ ) gate electrodes and sintering at 450°C in forming gas, were fabricated. MOS capacitors were used to obtain capacitance-voltage (C-V) and current-voltage (I-V) measurements. A relative dielectric constant of 3.9 was adopted to extract the Equivalent Oxide Thickness (EOT) of films from C-V curves under strong accumulation condition, resulting in values between 2 nm and 10 nm. Leakage gate current densities between  $1.23 \mu\text{A}/\text{cm}^2$  and  $2.3 \text{ A}/\text{cm}^2$  were obtained by I-V measurements for gate voltage of  $-1 \text{ V}$ .

Furthermore, N-type (P and As) doping activation of mono-crystalline Si layers, and poly-crystalline SiGe layers was carried out by rapid thermal annealing (RTA) at 1000°C for 40s, in nitrogen, respectively, for diode and MOS capacitor fabrication. Diodes with N+/P structure were fabricated, using  $^{75}\text{As}^+$  ion implantation and RTA activation. A junction depth of  $0.3 \mu\text{m}$  (simulated by ATHENA software) and an ideality factor of 1.16 (extracted by I-V curves) were obtained by these diodes. MOS capacitors were fabricated with  $\text{N}^+$  poly-SiGe gate electrodes (obtained by  $^{31}\text{P}^+$  ion implantation and RTA activation), and silicon oxynitride gate dielectric grown on Si by high density plasma oxynitridation. These  $\text{SiO}_x\text{N}_y$  films presented EOT of 3.2 nm and leakage current density of  $6\text{mA}/\text{cm}^2$ . Low sheet resistance of  $8 \Omega/\square$  was obtained for  $\text{N}^+$  poly-SiGe gate electrodes. These results indicated that these RTA processes can be used to fabricate devices with CMOS technology.

All these results indicated that the N+/P junctions and gate dielectrics and poly-crystalline electrodes obtained by RTO and/or RTA processes can be used for MOS technologies with dimensions higher than 130 nm.

## Sumário

<b>CAPÍTULO 1 – INTRODUÇÃO.....</b>	<b>1</b>
1.1 - OBJETIVO.....	1
1.2 - MOTIVAÇÃO.....	1
1.3 - PROCESSAMENTO TÉRMICO RÁPIDO.....	2
1.4 - PROCESSOS PARA OBTENÇÃO DE ÓXIDOS DE SILÍCIO.....	4
1.4.1 – OBTENÇÃO DE ÓXIDOS ATRAVÉS DE FORNO CONVENCIONAL.....	4
1.4.2 – PROCESSO DE DEPOSIÇÃO À PARTIR DA FASE VAPOR.....	5
1.4.3 – ÓXIDAÇÃO TÉRMICA RÁPIDA.....	5
1.5 – ATIVAÇÃO DE DOPANTES .....	8
1.5.1 – PARA FORMAÇÃO DE REGIÕES DE FONTE/DRENO DE TRANSISTORES MOS.....	8
1.5.2 – PARA FORMAÇÃO DE ELETRODOS DE PORTA MOS DE Si E DE SiGe POLICRISTALINO TIPO N+.....	9
1.5.2.1 – HISTÓRICO- EVOLUÇÃO DO METAL GATE PARA O POLI-GATE.....	9
1.5.2.2 – O CMOS E A UTILIZAÇÃO DO <i>HOME MADE</i> RTP CCS/UNICAMP.....	14
<b>CAPÍTULO 2 - PROCEDIMENTO EXPERIMENTAL.....</b>	<b>17</b>
2.1 – FABRICAÇÃO DE CAPACITORES MOS.....	17
2.1.1 – GRUPOS DE AMOSTRAS PARA FABRICAÇÃO DE CAPACITORES.....	18
2.1.2 - DESCRIÇÃO DAS ETAPAS DE PROCESSO.....	20
2.2 – FABRICAÇÃO DE DIODO N <sup>+</sup> /P.....	25
<b>CAPÍTULO 3 - RESULTADOS EXPERIMENTAIS.....</b>	<b>33</b>
3.1 – CARACTERIZAÇÃO DOS FILMES DE ÓXIDOS DE Si.....	33
3.1.1 – CARACTERIZAÇÃO ESTRUTURAL.....	33
3.1.1.2 - ELIPSOMETRIA.....	33
3.1.1.3 – MICROSCOPIA ELETRÔNICA DE TRANSMISSÃO.....	35
3.3 – CARACTERIZAÇÃO ELÉTRICA.....	35
3.1.2 - CARACTERIZAÇÃO ELÉTRICA.....	37
3.2 – CARACTERIZAÇÃO DO DIODO N <sup>+</sup> /P.....	52
3.3 – CARACTERIZAÇÃO DA UNIFORMIDADE DE AQUECIMENTO NOS SISTEMAS RTP DO CCS/ UNICAMP.....	55
3.3.1 – PROCESSO DE OBTENÇÃO DAS AMOSTRAS.....	55
3.3.2- RESULTADOS OBTIDOS.....	56
3.4 – ATIVAÇÃO POR PROCESSO RTA DE ELETRODOS DE SiGe POLICRISTALINO N+ PARA PORTA DE DISPOSITIVOS MOS	58
<b>CAPÍTULO - 4 CONCLUSÕES E PERSPECTIVAS FUTURAS.....</b>	<b>61</b>
REFERÊNCIAS BIBLIOGRÁFICAS.....	64
<b>ANEXOS.....</b>	<b>67</b>

<b>ANEXO A- DISPOSITIVOS M.O.S. (METAL-ÓXIDO-SEMICONDUCTOR).....</b>	<b>67</b>
A.1 - CAPACITOR M.O.S.- INTRODUÇÃO.....	67
A.2 - CAPACITOR MOS- CARACTERÍSTICA C-V.....	69
A.2.1 - CARGAS NO ÓXIDO DE SÍLCIO.....	75
A.2.1.1 - $Q_m$ - CARGAS MÓVEIS.....	76
A.2.1.2 - $Q_{it}$ - CARGAS CAPTURADAS NA INTERFACE $SiO_2/Si$ .....	77
A.2.1.3 - $Q_f$ - CARGAS FIXAS.....	77
A.2.1.4 - $Q_{ot}$ - CARGAS CAPTURADAS NO ÓXIDO.....	78
A.3 - DETERMINAÇÃO DA RESISTÊNCIA SÉRIE ( $R_s$ ).....	78
A.4 -DETERMINAÇÃO DA DENSIDADE DE CARGAS EFETIVAS NA ESTRUTURA $SiO_2/Si$ .....	80
A.4.1 - PROCEDIMENTO - DETERMINAÇÃO DE $Q_o/q$ .....	81
A.4.1.1 - MÉTODO RECURSIVO DE OBTENÇÃO DE $Q_o/q$ .....	81
A.5 - CÁLCULO DE ERRO DO EQUIPAMENTO.....	84
<b>ANEXO B - ELIPSOMETRIA.....</b>	<b>85</b>
B.1 - INTRODUÇÃO.....	85
B.2 - FORMULAÇÃO MATEMÁTICA.....	85
B.2.1 - PRINCIPIOS FÍSICOS.....	85
B.2.2 - TEORIA MACROSCÓPICA (EQUAÇÕES GERAIS).....	85
B.2.3 - SISTEMA DE TRÊS FASES.....	87
<b>ANEXO C - MEDIDAS FTIR.....</b>	<b>89</b>
C.1 - INTRODUÇÃO.....	89
C.2 - ABSORÇÃO DA RADIAÇÃO IR.....	90
C.3 - MODOS DE VIBRAÇÃO STRETCHING, BENDING E ROCKING .....	90
C.4 - APLICAÇÃO DA TÉCNICA EM FILMES ISOLANTES DE ÓXIDO DE SILÍCIO..	91
<b>ANEXO D – MEDIDAS TEM.....</b>	<b>93</b>
D.1 - INTRODUÇÃO.....	93
D.2 - FUNCIONAMENTO DO TEM(DESCRIZAÇÃO).....	94
D.3 - LENTES MAGNÉTICAS E ABERTURAS.....	96
D.4 - PROBLEMAS DAS LENTES.....	96
D.5 - PREPARAÇÃO DE AMOSTRAS.....	97
D.6 - PREPARAÇÃO DE AMOSTRAS AUTO-SUSTENTÁVEIS.....	97
D.6.1 - PRÉ-AFINAMENTO.....	97
D.7 - PREPARAÇÃO DAS AMOSTRAS EM GRADES.....	97
D.7.1 - PROCEDIMENTO PARA PREPARAÇÃO DAS AMOSTRAS.....	98
D.8 - ACABAMENTO FINAL.....	101
D.8.1 – ELETROPOLIMENTO.....	101
D.8.2 - DESBASTE IÔNICO.....	101
D.8.3 - ELETROPOLIMENTO – MÉTODO DA JANELA PARA METAIS E LIGAS.....	102

D.8.4 – TRITURAÇÃO.....	102
D.8.5 – LITOGRAFIA.....	102
<b>ANEXO E – DIODO - DETERMINAÇÃO DO FATOR DE IDEALIDADE.....</b>	<b>103</b>
E.1 – FATOR DE IDEALIDADE.....	103

## Lista de Símbolos

$V_{DS}$ - tensão de dreno;
$I_G$ - corrente de porta;
$I_D$ - corrente de dreno;
$V_{GS}$ - tensão de porta;
$g$ - transcondutância;
$g_M$ - transcondutância máxima;
$V_T$ - tensão de limiar;
$J_G$ - densidade de corrente de porta;
$\mu$ - mobilidade no canal;
$\mu_M$ - mobilidade máxima no canal;
$\eta$ - índice de refração;
$\lambda$ - comprimento de onda;
$S$ - inclinação da curva $\log I_D \times V_{GS}$ ;
$\tau$ - tempo ótimo de sinterização;
$L$ - comprimento de canal;
$L_{eff}$ - comprimento de canal efetivo;
$W$ - largura de canal;
<b>SiGe-poli</b> - silício germânio policristalino;
<b>Si-poli</b> - silício policristalino;
$Q_0/q$ - densidade de carga efetiva no óxido;
$\epsilon_{ox}$ - constante dielétrica ou permissividade elétrica do óxido;
$\epsilon_0$ - permissividade elétrica do espaço livre;
$\epsilon_{si}$ - permissividade elétrica do silício;
$R_S$ - resistência série;
$V_{FB}$ - tensão de banda plana;
$tox$ - espessura medida por elipsometria;
$E_c$ - energia do limite inferior da banda de condução;
$E_{FS}$ - energia do nível de Fermi no semiconductor tipo-p;
$E_{FM}$ - energia do nível de Fermi no metal;
$E_v$ - energia do limite superior da banda de valência;
$E_i$ - energia do nível de Fermi no semiconductor intrínseco;
$E_g = E_c - E_v$ - magnitude da energia da banda proibida;
$E_{vac}$ - energia de referência no nível de vácuo;
$\phi_M$ - função trabalho do metal;
$\phi_S$ - função trabalho do semiconductor;
$\chi_s$ - afinidade eletrônica do semiconductor;
$\chi_{ox}$ - afinidade eletrônica do óxido;
$\psi_s$ - potencial de superfície do semiconductor;
$\psi_f = (E_i - E_{FS})/q$ - potencial de Fermi.;
$W_d$ - largura da região de depleção;
$C_{max}$ - capacitância máxima;
$C_{min}$ - capacitância mínima;
$C_{sd}$ - capacitância da região de depleção;

<b>C<sub>ma</sub></b> – capacitância medida na região de acumulação;
<b>C<sub>c</sub></b> – capacitância corrigida;
<b>G<sub>ma</sub></b> – condutância medida na região de acumulação;
<b>t<sub>ox</sub></b> – espessura equivalente ao óxido de silício;
<b>C<sub>ox</sub></b> – capacitância no óxido;
<b>Ti</b> – titânio;
<b>Cu</b> – cobre.
<b>Cr</b> – cromo

### Lista de Abreviaturas

<b>CCS</b> – Centro de Componentes Semicondutores
<b>CMOS</b> – <i>Complementary Metal Oxide Semiconductor</i> (Complementar MOS);
<b>CTA</b> – <i>Conventional Thermal Annealing</i> (Recozimento Térmico Convencional);
<b>CTO</b> – <i>Conventional Thermal Oxidation</i> (Oxidação Térmica Convencional);
<b>ECR</b> – <i>Electron Cyclotron Resonance</i> (Resonância Ciclotrônica do Elétron);
<b>EOT</b> – <i>Equivalent Oxide Thickness</i> (Espessura Equivalente ao Óxido de Silício);
<b>FTIR</b> – <i>Fourier Transformed Infra-Red</i> (Espectrometria de Absorção do Infra-Vermelho);
<b>MOS</b> – <i>Metal Oxide Semiconductor</i> ( <i>Metal Óxido Semicondutor</i> );
<b>MOSFET</b> – <i>Field Effect Transistor MOS</i> (transistor de efeito de campo com estrutura metal-óxido-semicondutor);
<b>RTA</b> – <i>Rapid thermal Annealing</i> (Recozimento Térmico Rápido);
<b>RTN</b> – <i>Rapid thermal Nitritation</i> (Nitretação Térmica Rápida);
<b>RTO</b> – <i>Rapid thermal Oxidation</i> (Oxidação Térmica Rápida);
<b>RTP</b> – <i>Rapid thermal Process</i> (Processo térmico rápido);
<b>RIE</b> – <i>Reactive Ion Etching</i> (Corrosão do Ion Reativo);
<b>ULSI</b> – <i>Ultra Large Scale Integration</i> ( Integração de Escala Muito Ampla);
<b>CVD</b> – <i>Chemical Vapor Deposition</i> (Deposição em Fase Vapor).
<b>VD</b> - Tensão do diodo
<b>ID</b> - Corrente no diodo

## APRESENTAÇÃO

Esta dissertação foi subdividida em duas seções. A primeira, em capítulos, descreve o trabalho executado. A segunda, em anexos, apresenta os modelos teóricos envolvidos e as técnicas de medidas utilizadas. A seguir apresenta-se uma descrição sumária dos tópicos que compõe a dissertação.

## CAPÍTULOS

**1-INTRODUÇÃO**, que apresenta a motivação, os processos para obtenção do  $\text{SiO}_2$ , e a utilização dos processos térmicos rápidos em dispositivos MOS.

**2-PROCEDIMENTO EXPERIMENTAL**, que apresenta as quatro seqüências de fabricação (Grupos I, II, III e IV) dos capacitores MOS, a descrição das etapas de processo, a preparação das amostras, obtenção e métodos de caracterização do diodo fabricado;

**3-CARACTERIZAÇÃO ESTRUTURAL E ELÉTRICA DOS ÓXIDOS**, apresenta os resultados e discussões sobre as medidas de microscopia eletrônica de transmissão (TEM), de espectrometria de absorção do infra-vermelho (FTIR), de elipsometria, de capacitância versus tensão (C-V) e corrente versus tensão (I-V), de uniformidade dos processos e de ativação de dopantes;

**4-CONCLUSÕES E PERSPECTIVAS FUTURAS**, que apresenta a análise dos resultados da caracterização, as discussões sobre as estruturas dos óxidos e sobre a técnica desenvolvida e a proposta de continuação do trabalho.

## ANEXOS

**A - DISPOSITIVO M.O.S.**, apresenta um breve histórico sobre a tecnologia MOS e um estudo sobre os capacitores MOS, a característica C-V, as cargas no óxido e na interface, a resistência série do capacitor e o método recursivo para determinação de cargas efetivas no filme;

**B - ELIPSOMETRIA**, apresenta a teoria básica da elipsometria e o método para determinação dos parâmetros elipsométricos;

**C - FTIR**, apresenta a teoria básica da espectrometria de absorção do infravermelho utilizando um sistema FTIR (*Fourier Transform Infra-Red*);

**D - TEM**, apresenta a teoria básica da Microscopia Eletrônica de Transmissão.

**E- DIODO**, apresenta a teoria básica da determinação do fator de idealidade do dispositivo.

# 1-INTRODUÇÃO

## 1.1-OBJETIVO

Esta dissertação tem por objetivo a obtenção de filmes ultra-finos (com espessura menor que 10 nm) de óxido de silício ( $\text{SiO}_2$ ) e a ativação de dopantes em camadas de Si mono e poli-cristalino, e em camadas de SiGe poli-cristalino, através da oxidação (RTO) e do recozimento (RTA) térmicos rápidos, respectivamente. As oxidações RTO, para a formação do óxido de silício ( $\text{SiO}_2$ ), com posterior recozimento RTA, para reestruturação do filme formado, foram executadas em 600°C, 700°C, 800°C e 960°C, com tempo de 40s. Os recozimentos RTA, para a ativação de dopantes, em camadas de Si mono e poli-cristalino, e em camadas de SiGe poli-cristalino foram executadas em 960°C e em 600°C, respectivamente. Os óxidos RTO foram caracterizados por elipsometria (espessura), por espectrometria de absorção do infra-vermelho (FTIR)(ligações químicas) e por microscopia eletrônica de transmissão (TEM)(espessura e rugosidade de interface). A caracterização elétrica dos filmes foram executadas em capacitores de estruturas MOS (Metal-Óxido-Semicondutor), com eletrodos de porta de Al, Al/Ti, Si-poli N+ e SiGe-poli N+, através de medidas de capacitância x tensão (C-V) (espessura e densidade de carga efetiva no isolante) e de corrente x tensão (I-V) (densidade de corrente de fuga pelo dielétrico). A ativação dos dopantes foram caracterizadas por medida de resistência pelo método 4 pontas e simuladas em programa de computador (*software*). Diodos de junção rasa (n+/p), formados por implantação de íons de As (dopante n) em substrato de Si tipo p, foram caracterizados por medidas I-V.

## 1.2-MOTIVAÇÃO

O estudo de dispositivos MOS utilizando óxidos finos e ultra-finos se tornou importante devido ao óxido térmico crescido sobre Si ter propriedades físicas e elétricas compatíveis, tais como: as baixas densidades de cargas (da ordem de  $10^{10}$  cargas/cm<sup>2</sup>) tanto na estrutura do óxido quanto nas interfaces óxido e substrato semicondutor (Si), e óxido e eletrodo de Si poli-cristalino dopado, possibilitando, por exemplo, campos de ruptura dielétrica maiores que 10 MV/cm. Estas propriedades compatíveis do  $\text{SiO}_2$  com o Si facilitou o processo de fabricação destes dispositivos, com conseqüente estabilização da tecnologia CMOS (*Complementary* MOS), usada nos atuais componentes e circuitos integrados com dimensões sub-micrométricas. A tecnologia CMOS avança no sentido de diminuir as dimensões (Figura 1.1), necessitando-se de óxidos de porta cada vez mais finos, junções de fonte/dreno cada vez mais rasas e eletrodos de porta formados por Si e/ou SiGe policristalino com resistência de folha cada vez menores, quando não forem utilizados silicetos na porta que diminuem significativamente a resistência de folha, para que os dispositivos possam ficar cada vez mais velozes. Para aplicação como dielétrico de porta ultra-fino dos atuais transistores com estrutura MOS, os filmes deverão apresentar espessuras de óxido menores que 5 nm e densidades de corrente de fuga menores que 10 A/cm<sup>2</sup>. Para aplicação como eletrodo de porta de transistor MOS, as estruturas policristalinas dopadas N+ de Si ou de SiGe deverão apresentar resistência de folha menor que

20  $\Omega/\square$ . Os diodos de junção rasa (menor que 0.2  $\mu\text{m}$  de profundidade) N+/P deverão apresentar fator de idealidade próximo de 1.

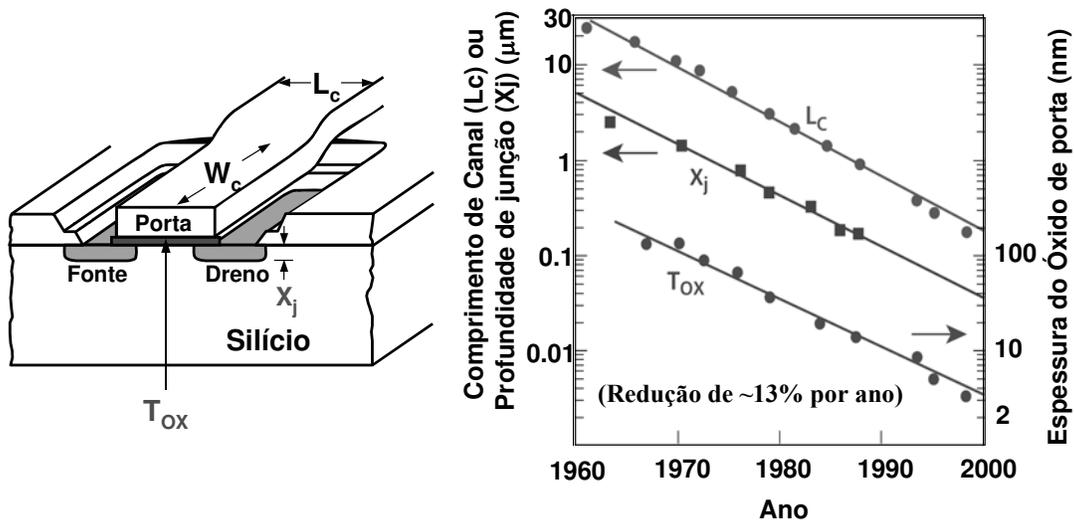


Figura 1.1- Redução das Dimensões dos Dispositivos MOS [1]

### 1.3- PROCESSAMENTO TÉRMICO RÁPIDO (RTP)

A Figura 1.2 apresenta o esquema padrão de um sistema RTP. No RTP são utilizados substratos individuais colocados em uma câmara de processo (normalmente de quartzo), expostos a uma fonte radiante de energia e aquecidos em altas temperaturas ( $> 600^\circ\text{C}$ ) ou baixas (entre  $350^\circ\text{C}$  e  $550^\circ\text{C}$ ) por curtíssimos intervalos de tempo (entre 1 e 300 segundos). As fontes radiantes podem ser lâmpadas halógenas (como apresentado na Figura 1.2), lâmpadas de arco-de-plasma ou por porta amostra de grafite para o aquecimento direto da lâmina de silício. [2]

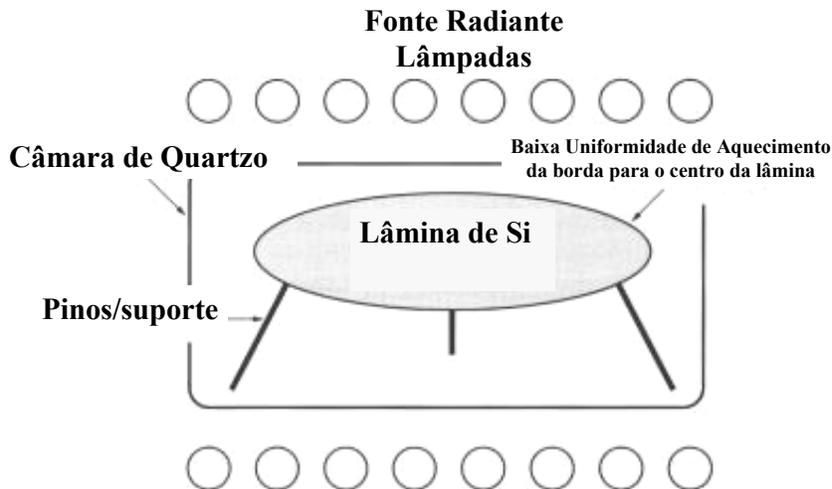


Figura 1.2- Esquemático padrão de um sistema RTP [2]

Com o aumento da complexidade dos circuitos e dispositivos, com o aumento crescente do diâmetro do substrato (de até 12") e com a redução das dimensões laterais e verticais (Figura 1.1), exige-se cada vez mais do processamento térmico rápido (RTP), que

apresenta, quando comparado com o processamento térmico convencional, as seguintes vantagens[2]:

- Na contaminação das lâminas nos processamentos em lotes através da geração de partículas e difusão de contaminantes para dentro do ambiente de processo:

Esta contaminação provém das partes do sistema do forno convencional (Figura 1.3) como: resistência elétrica, suporte das amostras, paredes do ambiente de processo, que são mantidos em alta temperatura por longos períodos de tempo. Já nos fornos de processamento rápido, esta contaminação é reduzida pelo curto período de tempo que as lâminas são submetidas e pelo processo ser executado lâmina a lâmina, e não em lote.

- Na formação de contatos (*alloying*):

O recozimento de alumínio realizado via RTP, produz resistências de contatos comparáveis às obtidas por recozimentos em fornos convencionais, com a vantagem da não formação de morros (*hillocks*) e uma redução de 50 à 60% no número de cunhas de Al (*spike*), isto para um ciclo de RTP em temperatura baixa em um curto espaço de tempo [2];

- No recozimento térmico rápido (RTA):

No recozimento rápido das camadas dopadas por implantação iônica, para um intervalo pequeno de tempo, em um ciclo de alta temperatura da ordem de 1000°C, ciclo este que permite ativar as impurezas e eliminar os defeitos cristalinos provocados pela implantação, obtendo-se assim junções rasas no local implantado, diminuindo-se a difusão para camadas inferiores [3];

- Na oxidação térmica rápida (RTO):

Na oxidação rápida obtém-se a formação de camadas finas de óxido de silício entre 2 e 10 nm de espessura, com características elétricas iguais ou melhores que as dos filmes crescidos em fornos convencionais, e melhores que os filmes depositados por qualquer método de deposição. O óxido de silício sobre substrato de Si é crescido em ambiente de O<sub>2</sub> em intervalos curtos de tempos de até 300s com altas temperaturas entre 700 em 1100°C[4].

- Na nitretação térmica rápida (RTN):

O recozimento rápido em ambiente de amônia (NH<sub>3</sub>) resulta na nitretação do filme de óxido de silício, obtendo assim a formação de oxinitretos de silício, aumentando a qualidade do dielétrico fino [2], por fornecer uma barreira de difusão de impurezas implantadas, além de diminuir a densidade de cargas móveis no óxido. A associação da amônia com o óxido promove a formação de uma camada superficial rica em nitrogênio e na interface entre o silício substrato e o óxido, resultando assim em um oxinitreto de silício. Este processo também é conseguido em forno convencional, salientando o grande aumento do tempo da ordem de segundos para ordem de minutos.

- Na obtenção de silicetos:

Pode-se, através de processo de pulverização catódica (*sputtering*), depositar filmes de titânio (ou outros materiais como níquel) com espessuras variadas sobre o silício. Em um processo com uma ou duas etapas de recozimentos térmicos rápidos (RTA), são crescidos filmes de silicetos de titânio, níquel e outros, estáveis e estequiométricos, com resistividade bem menor que as obtidas em fornos convencionais. Os silicetos são caracterizados por sua

baixa resistividade, inferiores a  $15\text{m}\Omega\cdot\text{cm}$ , boa adesão e uniformidade em temperaturas altas [5].

- Nos recozimentos em semicondutores de compostos III-V: Através de processos RTA, pode-se ativar camadas implantadas em compostos do grupo III-V, como arseneto de gálio (GaAs), fosfeto de índio (InP), InGaAs e InGaAsP [2]. Em particular, para o GaAs, os curtos espaços de tempo em altas temperaturas dos processos RTA reduzem a perda preferencial do As, minimizando a degradação das heterojunções baseadas em GaAs [2].

Como desvantagem pode-se citar [2]:

- As tensões nas lâminas, com maior intensidade em lâminas maiores que 3 polegadas de diâmetro, quando submetidas a processos em alta temperatura, sofrem deformações, provocadas pela falta de uniformidade térmica da borda para o centro do substrato, como indicado na Figura 1.2. Estas tensões podem provocar defeitos na rede cristalina (tais como os *slips*, que são linhas/falhas na rede cristalina da borda para o centro da amostra) e deformar os substratos, introduzindo níveis de energia na banda proibida do material e armadilhas de carga na interface. Isto causa o aparecimento de correntes de fuga nos dispositivos e, conseqüentemente, perda de amostras e diminuição do rendimento de produção [2-4]. Para verificar se esta baixa uniformidade térmica ocorre ou não em um substrato processado em um sistema RTP, deve-se executar sobre a lâmina um mapeamento de espessura de óxido (crescido por RTO). Esta caracterização de uniformidade de aquecimento dos sistemas RTP (existentes no Centro de Componentes Semicondutores (CCS) da Unicamp) foi executada neste trabalho e será mostrada no capítulo 3.

## 1.4- PROCESSOS PARA A OBTENÇÃO DE ÓXIDOS DE SILÍCIO

Os filmes finos utilizados na fabricação dos circuitos ULSI devem apresentar características rigorosamente controladas. A espessura, a estrutura atômica e a composição química devem ser uniformes, com baixa densidade de defeitos e mínima contaminação por partículas [2]. Dentre estes filmes, o que apresenta estas excelentes características é o  $\text{SiO}_2$ . Vários processos são utilizados para obtenção do óxido de Si. Os principais processos são: a oxidação térmica e o processo por deposição química a partir da fase vapor (CVD), que são executados em forno convencional e reatores CVD, respectivamente. Estes processos com altas taxas de oxidação/deposição caracterizam-se por formar óxidos com espessuras maiores que 5 nm. E para a formação de óxidos finos e ultra finos, com espessuras entre 2 e 5 nm, é necessário a utilização do forno de oxidação rápida RTO [2, 6].

### 1.4.1 – OBTENÇÃO DE ÓXIDOS ATRAVÉS DE FORNO CONVENCIONAL.

Basicamente, o óxido de silício térmico é crescido através do processo químico de reação do silício do substrato com a espécie oxidante ( $\text{O}_2$  e/ou  $\text{H}_2\text{O}$ ). No forno de oxidação

térmica convencional, os substratos são aquecidos por um gás (espécie oxidante) que é introduzido no ambiente. Este gás é aquecido pela energia térmica dissipada em uma resistência elétrica (Figura 1.3). Os principais mecanismos de aquecimento existentes na câmara são: a convecção (condução térmica) através do gás quente. Como estes dois mecanismos transportam a energia térmica (calor) através da matéria, eles são bastantes lentos. Podemos também transmitir calor através de radiação, que é mais rápido, mas a resistência elétrica utilizada nos fornos convencionais, não é uma boa fonte de radiação. Portanto, devido à grande massa térmica do gás existente na câmara de processo, um forno térmico terá baixas taxas de aquecimento. Por este motivo, a utilização dos fornos térmicos convencionais impõe sérias limitações para o controle dos processos de fabricação de dispositivos semicondutores de dimensões reduzidas e de lâminas com diâmetros grandes [2].

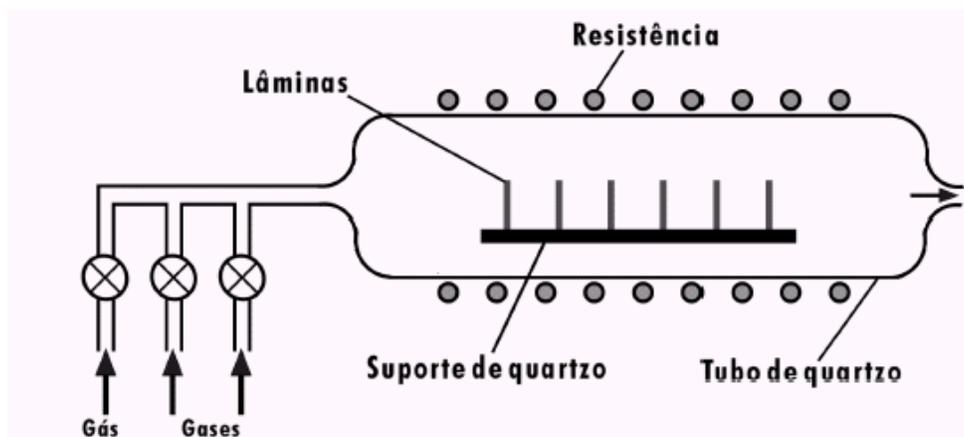


Figura 1.3- Esquemático do Forno Térmico Convencional [7]

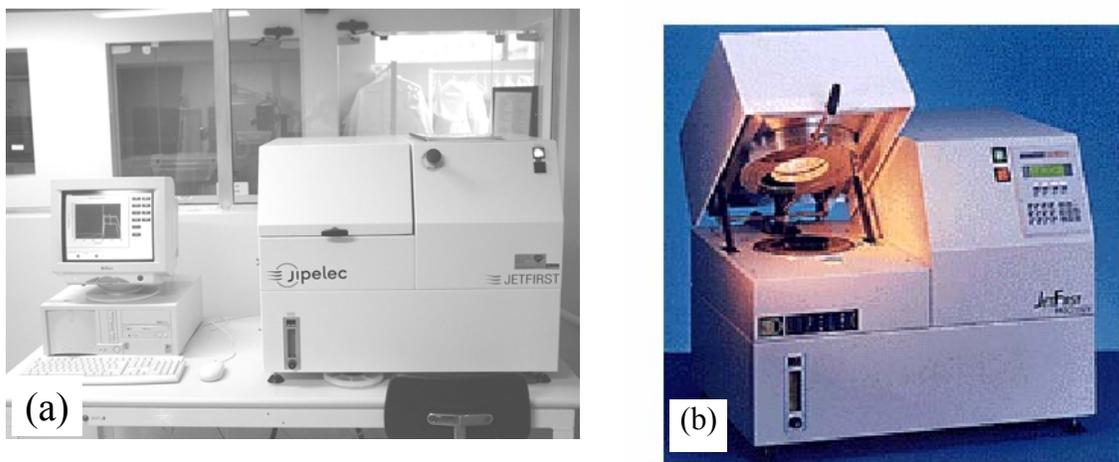
#### 1.4.2- PROCESSO DE DEPOSIÇÃO A PARTIR DA FASE VAPOR (CVD - *Chemical Vapor Deposition*)

O conceito básico do processo CVD é a formação de um filme sólido sobre um substrato pela reação de espécies químicas em fase vapor. No processo CVD, o filme sólido é formado a partir da reação de uma mistura de gases, que contêm os elementos que compõem o filme a ser depositado em um substrato. Esta reação, que é induzida pela temperatura e pode ser assistida por plasma ou por fótons, ocorre sobre o substrato aquecido. No processo CVD, utiliza-se composições de gases (mistura gasosa) com fontes de Si (silana ( $\text{SiH}_4$ ) ou diclorosilana ( $\text{SiCl}_2\text{H}_2$ )) e de oxigênio ( $\text{O}_2$  ou  $\text{N}_2\text{O}$ ) para a deposição de uma camada sólida de óxido de silício sobre o substrato. Esta técnica não fornece um filme de tão boa qualidade quanto aos crescidos termicamente, pois apresentam incorporação de hidrogênio devido aos gases utilizados [8] (silana ( $\text{SiH}_4$ ) ou diclorosilana ( $\text{SiCl}_2\text{H}_2$ )), mas apresenta algumas vantagens como:

- Temperaturas de deposição baixas (menor que  $800^\circ\text{C}$ );
- Baixo tempo de processo (altas taxas de deposição maiores que  $10 \text{ nm/min}$ );
- Não há consumo do substrato;
- Pode-se utilizar qualquer material como substrato.

### 1.4.3 - OXIDAÇÃO TÉRMICA RÁPIDA (*RTO-Rapid Thermal Oxidation*)

Como exemplo, pode-se descrever um processo básico de oxidação térmica rápida executada no CCS/Unicamp (Figura 1.4(a)): no sistema de processamento térmico rápido da JIPELEC, modelo *JetFirst 150*, colocamos a amostra dentro da câmara de processo. Primeiramente, o ambiente de processo é saturado de nitrogênio, para que o mesmo se torne inerte. Em seguida se satura a câmara com oxigênio subindo a temperatura à uma taxa aproximadamente de 50°C/s até se atingir o patamar de 960°C, para executar a oxidação RTO. Este patamar é mantido por 40s. Após este intervalo, executa-se o recozimento RTA do óxido. Para isto, o ambiente é modificado para nitrogênio, mantendo-se o patamar de 960°C com tempo adicional de 40s. Este recozimento é executado para reestruturar a camada crescida de óxido. Para finalizar, executa-se a etapa de resfriamento da amostra em ambiente de N<sub>2</sub>. Este processo fornece filmes com 10 nm de espessura. O tempo total deste processo é da ordem de 300s. Este ciclo RTO/RTA executado no *JetFirst 150* (Figura 1.4) foi baseado no ciclo desenvolvido no sistema RTP *home-made* (Figura 1.5) do CCS/Unicamp para finalização de trabalhos apresentados nas referências [6-8]. Com este ciclo RTO/RTA do sistema *home-made* tem-se desenvolvido transistores nMOS e pMOS com óxidos (de controle) e oxinitretos de Si e de Al, respectivamente. As curvas características  $\log I_D \times V_{GS}$  (onde:  $I_D$  é a corrente elétrica entre fonte-dreno, e  $V_{GS}$  é a tensão elétrica entre porta e fonte) dos transistores nMOS (Figura 1.6) e pMOS (Figura 1.7) apresentam bons resultados, pois para um dispositivo MOS ideal, o *slope* é de 60mV/dec, que indica baixa corrente de fuga e estados de interface que podem atuar armadilhando cargas. Das Figuras 1.6 e 1.7 (curvas  $\log I_D \times V_{GS}$ ), com uma tensão  $V_{DS} = 0.1V$  (onde  $V_{DS}$  é a tensão elétrica entre dreno e fonte) e pelo gradiente de  $\log I_D \times V_{DS}$  foram determinados os valores de *slopes* entre 65mV/dec e 120mV/dec. Estes valores são próximos do valor ideal, e foram considerados como bons resultados [6-8]. Portanto, os dielétricos de porta formados no sistema *home made* já estão caracterizados e confiáveis. Para o sistema *JetFirst 150* deve se estabelecer processos RTO/RTA para a formação de dielétricos de porta MOS confiáveis como os formados no *home-made*.



**Figura 1.4- Sistema RTP *Jet first 150*: em (a) sistema completo, mostrando o controle por microcomputador [10], e em (b) a câmara de processo aberta com as lâmpadas acesas [11].**

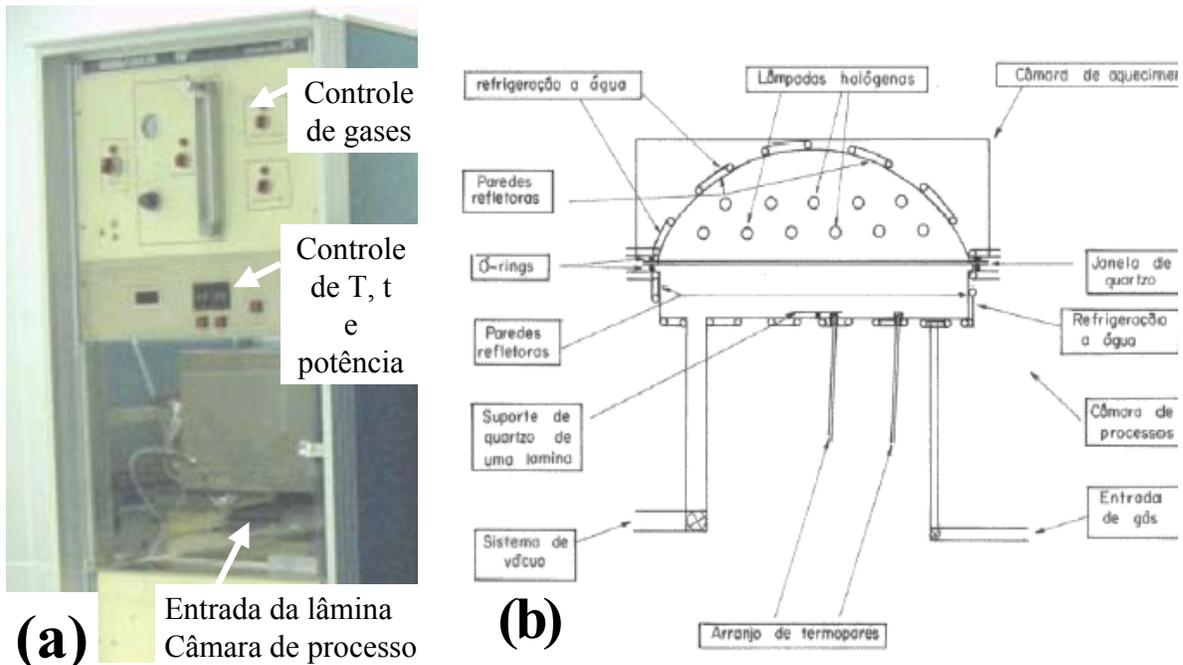


Figura –1.5- Sistema RTP *home-made*: em (a) sistema completo, mostrando a entrada das lâminas na câmara de processo e os controles de temperatura (T), tempo (t), potência e de gases e em (b) o esquemático das câmaras de aquecimento e de processo [2].

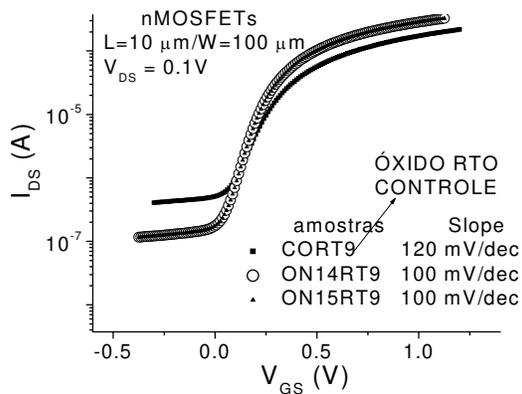


Figura 1.6 -Curvas  $\log I_{Dx}V_{GS}$  ( $V_{DS}=0.1\text{V}$ ) dos transistores nMOSFETs com dielétrico de porta de óxido (CORT9) e de oxinitretos (ON14RT9 e ON15RT9) de Si formados por processo térmico rápido em temperaturas de  $960^{\circ}\text{C}$  [6]

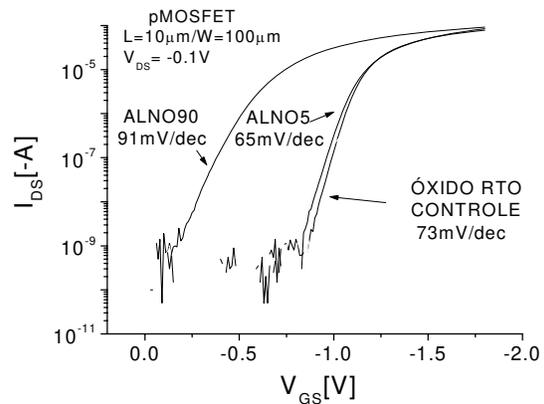


Figura 1.7 -Curvas  $\log I_{Dx}V_{GS}$  ( $V_{DS}=-0.1\text{V}$ ) dos transistores pMOSFETs com dielétrico de porta de óxido (RTO) e de oxinitretos (ALNO5 e ALNO90) de Al formados por processo térmico rápido em temperaturas de  $960^{\circ}\text{C}$  [9].

## 1.5 – ATIVAÇÃO DE DOPANTES

### 1.5.1 – PARA FORMAÇÃO DE REGIÕES DE FONTE/DRENO DE TRANSISTORES MOS [3-7-12].

Tradicionalmente, obtêm-se as regiões de fonte/dreno através da implantação iônica de  $^{31}\text{P}^+$  ou de  $^{75}\text{As}^+$  para os transistores nMOS, e implantação iônica de  $^{11}\text{B}^+$  ou  $^{49}\text{BF}_2^+$  para os transistores pMOS. Para estas implantações, utilizam-se doses típicas entre 2 e 7 x  $10^{15}/\text{cm}^2$  e baixas energias (menores que 50 keV), o que reduz a profundidade de junção  $X_j$  no substrato de Si. Como mostrado na Figura 1.1, transistores com dimensões reduzidas também requerem junções  $X_j$  bem rasas (menores que 50 nm). Para reduzir os efeitos de canal curto e de *punchthrough*, esta dimensão  $X_j$  deve também ser reduzida na mesma proporção da redução das dimensões horizontais. Assim, para a formação de regiões tipos n+ e p+ utilizam-se íons  $^{75}\text{As}^+$  ao invés do íon  $^{31}\text{P}^+$  e radical  $^{49}\text{BF}_2^+$  ao invés do  $^{11}\text{B}^+$ , respectivamente, pois estes íons possuem maior massa e apresentam alcance (profundidade) menor para dentro do substrato, sendo assim mais apropriados para junções rasas. Após a etapa das implantações, necessita-se realizar uma etapa de recozimento em fornos térmicos convencional ou rápido para recristalizar a camada amorfa e defeituosa do Si (danificada pela implantação) e ao mesmo tempo ativar os dopantes, colocando-os em posições substitucionais da rede cristalina. As Figuras 1.8 e 1.9 mostram os resultados da ativação de dopantes por recozimentos térmicos convencional e rápido obtidos por medidas de efeito Hall. Esta medida mede a condutividade da camada implantada e recozida (ativada) e indica qual a porcentagem de ativação de dopantes. Quando a dose Hall normalizada for igual a 1.0, todos os dopantes implantados no substrato estão substitucionais na rede cristalina, ou seja, após o recozimento, 100% dos dopantes estão ativos eletricamente. Na Figura 1.8, para se obter dose Hall normalizada igual a 1.0, necessita-se de recozimento convencional por 30 min em 1000°C, independente do tipo de dopante (boro (a) ou fósforo(b)), da dose de implantação e da estrutura do Si (cristalina ou amorfa) [12]. A Figura 1.9 mostra que a ativação total dos dopantes é obtida para recozimentos rápidos por aproximadamente 100 s em torno de 1000°C, independente do tipo de dopante (boro (a) ou arsênio (b)) [3]. Ambas as figuras mostram que a temperatura de recozimento para a ativação dos dopantes é da ordem de 1000°C, mas os processamentos térmicos rápidos apresentam resultados similares ao convencional para ciclos com tempos menores que 100 s. Este tempo é bem menor que os 30 minutos usados nos processos convencionais.

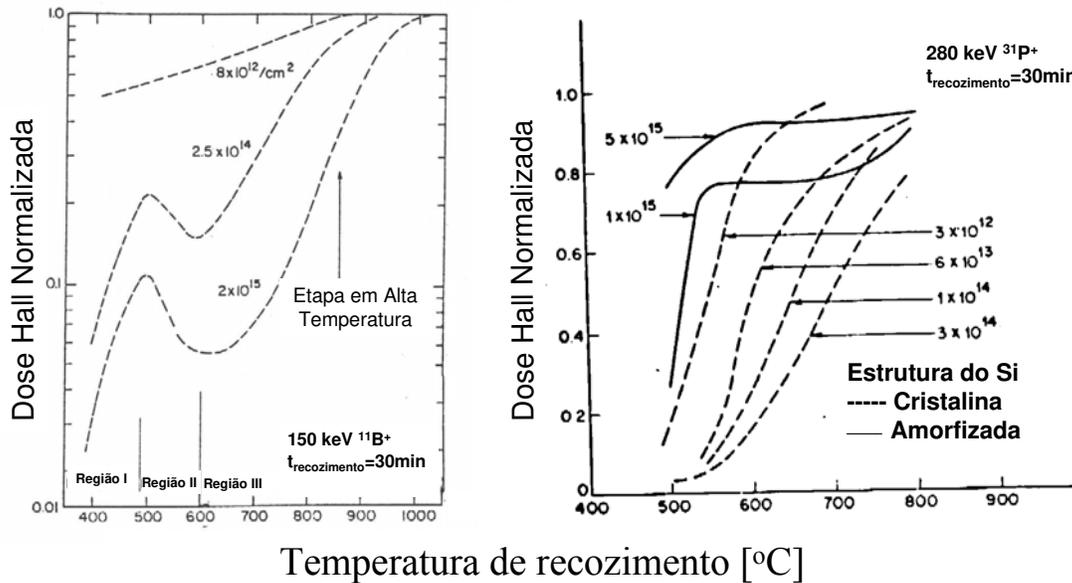


Figura 1.8 - Resultados da ativação de dopantes por recozimentos térmicos convencional obtidos por medidas de efeito Hall [12].

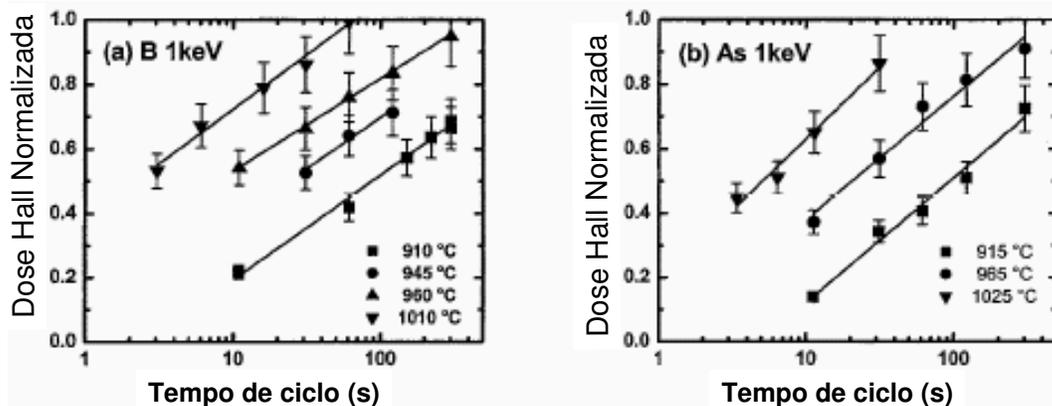


Figura 1.9 - Resultados da ativação de dopantes por recozimentos térmicos rápida obtidos por medidas de efeito Hall [3].

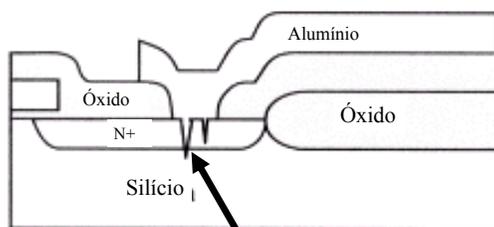
## 1.5.2 – PARA A FORMAÇÃO DE ELETRODOS DE PORTA MOS de Si e de SiGe POLICRISTALINO DO TIPO N+.

### 1.5.2.1 – HISTÓRICO – EVOLUÇÃO DO METAL-GATE PARA O POLI-GATE [13]

No início, nos componentes, o eletrodo mais utilizado em estruturas MOS era o de Al (tecnologia denominada como *metal-gate*). As principais características são: baixa resistividade elétrica ( $3 \mu\Omega\cdot\text{cm}$ ) em temperatura ambiente, boa aderência ao Si e ao  $\text{SiO}_2$ , e bom contato elétrico com Si altamente dopado. Normalmente executa-se um recozimento pós-deposição, denominado por sinterização, em  $450^\circ\text{C}$  por 30 minutos em ambiente inerte, mas podendo mudar esse tempo sinterização, como será mostrado nos capítulos posteriores, para assegurar um bom contato ôhmico (com resistividade de contato menor que  $10 \Omega$ ) entre metal/semicondutor e metal/dielétrico. O Al, quando depositado sobre o  $\text{SiO}_2$ , reage

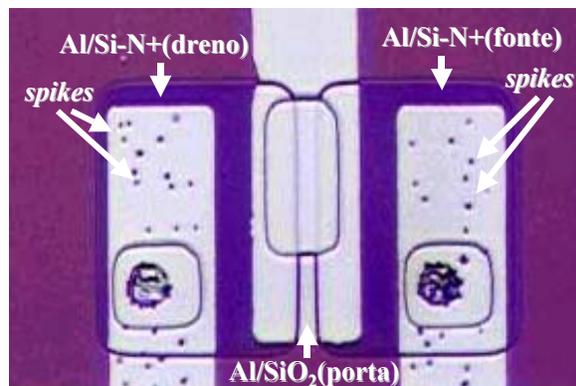
com o óxido, formando uma fina camada de  $\text{Al}_2\text{O}_3$  na interface eletrodo/isolante e ligando o Al ao  $\text{SiO}_2$ .

No caso do contato do Al com Si sobre regiões de fonte/dreno (Figura 1.10), durante o recozimento, o Al corrói o óxido nativo (com espessura menor que 3 nm) e o Si superficial da região. Entretanto, o Si é solúvel em Al (cerca de 0.5% e 1% em temperaturas de  $450^\circ\text{C}$  e  $500^\circ\text{C}$ , respectivamente), provocando uma difusão do Si, proveniente do substrato, para dentro do eletrodo de Al. Como resultado, perde-se uma quantidade significativa de Si para o Al, formando-se buracos no substrato, que são preenchidos pelo Al. Esta penetração do Al no substrato não ocorre uniformemente, o que pode acarretar a formação de cunhas (*spikes*) na região de fonte/dreno, como mostrado na Figura 1.10 [14,15]. Se a junção de fonte/dreno for rasa (com profundidade menor que  $0,8\ \mu\text{m}$ ), os *spikes* formados podem ser mais profundos do que a profundidade da junção, o que provoca um curto com o substrato, danificando o dispositivo (Figura 1.10(a)). Da mesma forma, podem ocorrer *spikes* na porta com estruturas Al/ $\text{SiO}_2$ /Si formadas com óxidos ultra-finos de espessuras menores que 5 nm. O Al pode corroer o óxido ultra-fino de porta, que tem aproximadamente a mesma espessura de óxidos nativos e interagir com o Si do substrato, podendo formar *spike*. A Figura 1.10(b) mostra que sobre a porta do transistor MOS (fabricado no CCS, com sinterização em  $450^\circ\text{C}$  por 30 minutos em ambiente gás verde (92%  $\text{N}_2$ / 8% de  $\text{H}_2$ )) não ocorreu a formação de *spikes*, pois o óxido é espesso (50 nm) [15]. Como barreira para impedir o *spike* de Al através do óxido ultra-fino de porta pode-se utilizar uma fina camada de Ti (menor que 50 nm) entre o isolante e o eletrodo de Al. O Ti apresenta boa aderência e bom contato ôhmico tanto sobre o  $\text{SiO}_2$  quanto sobre o Si. O Ti pode formar  $\text{TiO}_x$  e  $\text{TiSi}_x$  sobre o  $\text{SiO}_2$  e Si, respectivamente, durante a sinterização, mas não se formam os *spikes*. [14]. O óxido de titânio ( $\text{TiO}_x$ ) crescido na interface entre o eletrodo e o filme isolante, forma um dielétrico de porta constituído por pelo menos duas camadas  $\text{TiO}_x/\text{SiO}_2$ . Assim, este dielétrico poderá apresentar constante dielétrica entre 3.9 e 86, e largura da banda proibida entre 8.8 eV e 3.0 eV do  $\text{SiO}_2$  e do  $\text{TiO}_2$ , respectivamente [16].



### *Spike do Al*

(a) Formação de spike com curto em contatos de Al/Si [14]



(b) Vista de cima de um transistor nMOS mostrando a precipitação de Silício, que formam spikes sobre fonte e dreno. Note que em cima da porta não ocorreu a formação de spikes [15]

**Figura 1.10 - Formação de spike em contatos de Al/Si.**

Na fabricação de dispositivos MOS com tecnologia *metal-gate*, o Al somente é depositado após todas as etapas em altas temperaturas ( $\sim 1000^\circ\text{C}$ ) executadas, pois, trata-se de um material não refratário (temperatura de fusão em  $660^\circ\text{C}$ ), que não suportaria tais

tratamentos [14]. Assim, as regiões ativas, tais como as de fonte/dreno, devem ser dopadas e ativadas (em altas temperaturas) antes da formação do isolante e da estrutura MOS de porta, o que dificulta a fabricação de dispositivos auto-alinhados com a porta. Nestes dispositivos (Figura 1.11), primeiro são fabricadas as estruturas MOS da porta, que funciona como máscara contra a dopagem no canal do transistor, e depois as regiões ativas dopadas, que são tratadas em altas temperaturas, necessitando-se, portanto, de um eletrodo de porta refratário, como é o Si-policristalino altamente dopado N<sup>+</sup> ou P<sup>+</sup> (tecnologia denominada *poly-gate*). Utiliza-se principalmente o Si-poli dopado N<sup>+</sup>, pois o Si-poli P<sup>+</sup>, que é dopado com boro, durante os processos subsequentes à formação da estrutura MOS da porta, perde por segregação boro para o SiO<sub>2</sub> de porta. Esta perda aumenta a resistividade do material, o que reduz o desempenho do dispositivo com o aumento do atraso RC. Além disso, a difusão de boro no óxido pode alcançar o substrato e alterar a dopagem de superfície do semiconductor, o que modifica a tensão de limiar de condução do transistor, degradando ainda mais o dispositivo. No Si-poli N<sup>+</sup>, não existe este problema, pois os dopantes (fósforo ou arsênio) não segregam para o isolante de porta, permanecendo no eletrodo. Os processos auto-alinhados permitem a redução das capacitâncias parasitas entre fonte-porta e fonte-dreno, uma maior integração e compactação dos circuitos integrados, e um menor número de etapas de litografia, o que diminui o custo de fabricação dos componentes eletrônicos [17,14,15,18].

A deposição do Si-policristalino, executada normalmente por LPCVD (*Low-Pressure Chemical Vapor Deposition*) em temperaturas entre 600°C e 800°C pela pirólise do gás silano, é um processo mais limpo do que a evaporação de Al, obtendo-se uma menor contaminação (por cargas iônicas, como o Na<sup>+</sup>) na estrutura MOS de porta. Como indicado pela Figura 1.12, após a deposição, o Si-poli é dopado e ativado, normalmente, por tratamento RTA em temperaturas em torno de 1000°C, para se obter resistividade de folha menor que 20 Ω/□. Define-se a área de porta de Si-poli através de etapas de litografia e de corrosão por plasma RIE (*Reactive Ion Etching*) para se obter paredes bem verticais, permitindo-se obter linhas do comprimento de porta menores que 100 nm, que são usadas para os atuais dispositivos eletrônicos [15,18]. Como exemplo, a Figura 1.11 mostra um transistor nMOS, fabricado com processo auto-alinhado, com porta de Si-poli com 35 nm de comprimento [17]. Também mostra que em cima do Si-poli existe uma camada de siliceto de tungstênio. Este siliceto foi formado sobre o Si-poli para reduzir a resistência de folha do Si-poli original de ~20 Ω/□ para ~2 Ω/□. Pois, os eletrodos de Si-poli altamente dopados apresentam alta resistividade em torno de 500 μΩ.cm. A alta resistividade aumenta o atraso RC do componente, o que pode prejudicar a propagação do sinal. Para reduzir este atraso e a resistência de folha do Si-poli, utiliza-se da formação de silicetos sobre Si-poli. Os silicetos, tais como: TiSi<sub>2</sub>, CoSi<sub>2</sub>, NiSi, podem apresentar resistividades entre 13 e 18 μΩ.cm. O siliceto de tungstênio, como o da Figura 1.8, apresenta resistividades entre 30 e 50 μΩ.cm. [15,18].

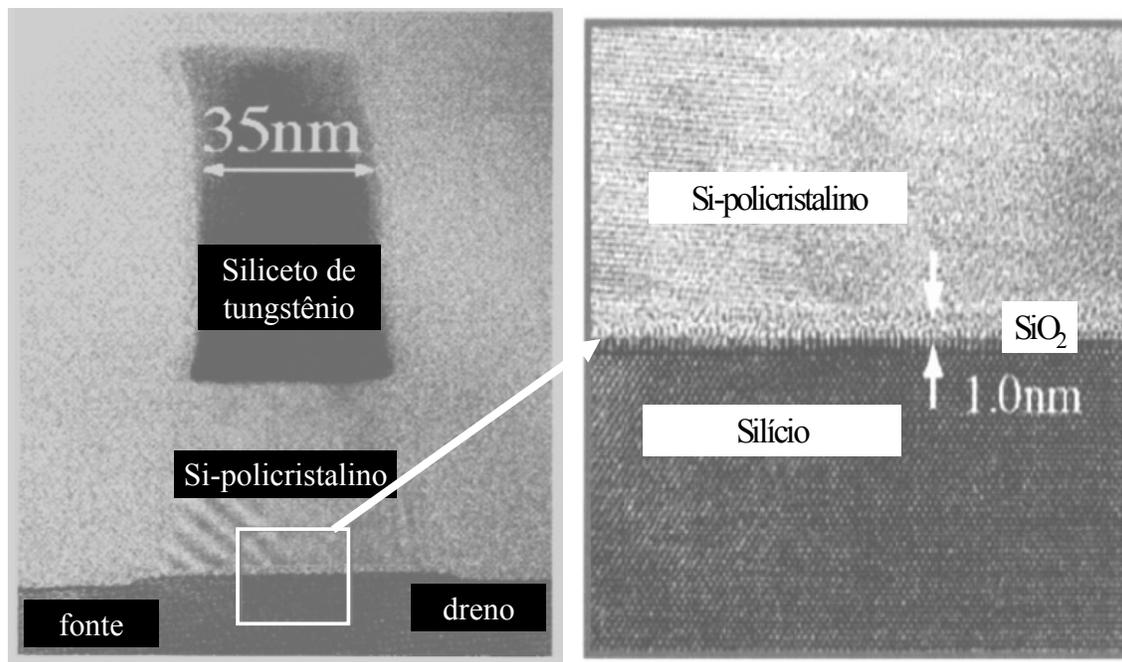


Figura 1.11 – Análise TEM de Transistores nMOS, fabricado com tecnologia auto-alinhada com comprimento de canal de 35 nm [17].

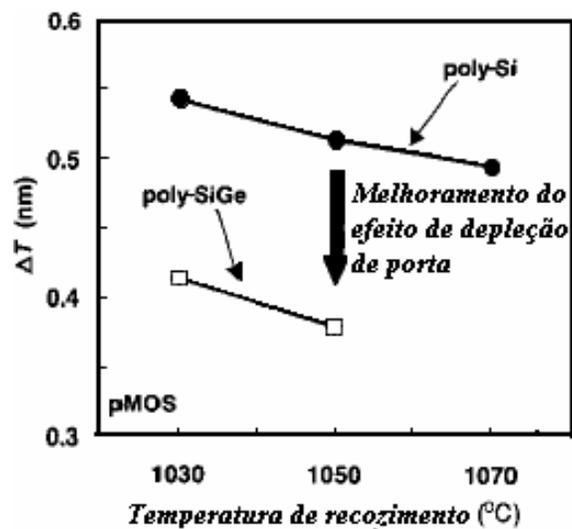
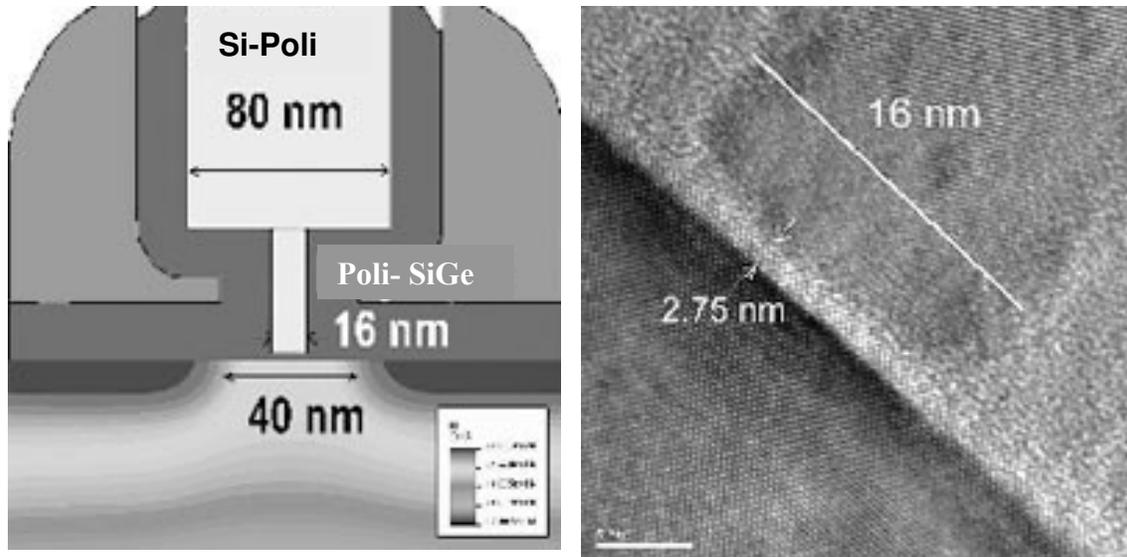


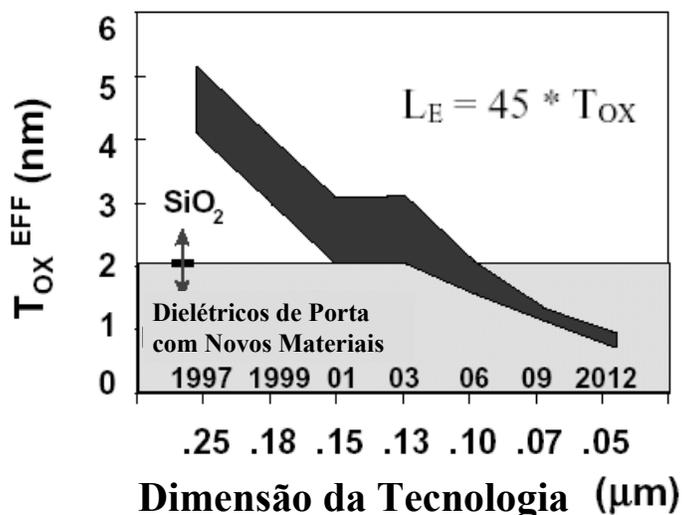
Figura 1.12 - Comparação entre o eletrodo de Si-Poli e o eletrodo de SiGe-Poli pelo efeito de depleção de porta variando a temperatura de recozimento térmico rápido ( $\Delta T$  é a variação da espessura do óxido equivalente EOT, o qual corresponde à largura da camada de depleção no *poli gate*)[19].



**Figura 1.13 – Transistor, com estrutura MOS (análise TEM) formada por dielétrico High-K com espessura de 2.75 nm e eletrodo de SiGe-poli com largura de porta de 16 nm[20]**

Um material promissor [21] entre os eletrodos de porta, que é completamente compatível com a tecnologia CMOS, é o SiGe-policristalino. Como exemplo, a Figura 1.13 mostra um transistor, com estrutura MOS formada por dielétrico *High-K* (que será definido a seguir) com espessura de 2.75 nm e eletrodo de SiGe-poli com largura de porta de 16 nm [20]. Este material tem mostrado vantagens pela mais baixa resistividade (em torno de uma ordem de grandeza menor do que o Si-poli), o que melhora o desempenho do dispositivo com relação ao atraso RC, pode ser dopado com boro, pois segrega menos que o Si-poli, e pode ser ativado em baixas temperaturas menores que 800°C, o que diminui o *stress* térmico sobre os substratos. Como ilustrado pelas Figuras 1.1, 1.11 e 1.13, exige-se dielétricos de porta com espessuras do isolante de porta menores que 3 nm. A largura da camada de depleção do eletrodo de Si-poli dopado (localizada próximo da interface eletrodo/isolante), que é da mesma ordem de grandeza da espessura do isolante de porta, pode reduzir a capacitância efetiva do óxido, o que aumenta as espessuras *EOT* (*Equivalent Oxide Thickness*). Para definir o EOT e dielétricos *high-K* têm-se que[13]: o estudo de novos materiais, tais como os isolantes de porta com altas constantes dielétricas (*high K*), é uma das principais exigências para o desenvolvimento da tecnologia CMOS (*Complementary MOS*) com dimensões de canal menores que 100 nm (Figuras 1.1 e 1.14). Isolantes com *high-K* podem apresentar valores de constante dielétrica entre 4 e 80, que são maiores que o valor de 3.9 do óxido de silício (SiO<sub>2</sub>). Esta característica pode reduzir o efeito da corrente de fuga por tunelamento apresentado por isolantes de porta de SiO<sub>2</sub>, com espessuras ultra-finas menores que 2 nm. A Figura 1.14 mostra a espessura elétrica efetiva ( $T_{ox}^{EFF}$  ou EOT) em função da dimensão da tecnologia (que é representado pela largura mínima efetiva  $L_E$  de canal do transistor MOS), resultando em uma equação de escalamento do tipo  $L_E = 45 * T_{ox}$  [13,22]. Além disso, para  $T_{ox}^{EFF}$  menor que 2 nm, esta figura mostra a necessidade de se estudar novos dielétricos de porta que possam ocupar o lugar do SiO<sub>2</sub>. Assim, para determinação de EOT, quando o eletrodo é de Si-poli, deve-se corrigir o efeito da camada de depleção do poli (Anexo A). Mas, para reduzir este efeito, ou se utiliza um eletrodo metálico, como o Al, Ti/Al, TiN ou W, ou se utiliza o SiGe-poli. Pois, devido a mais baixa resistividade destes materiais, podemos obter melhor

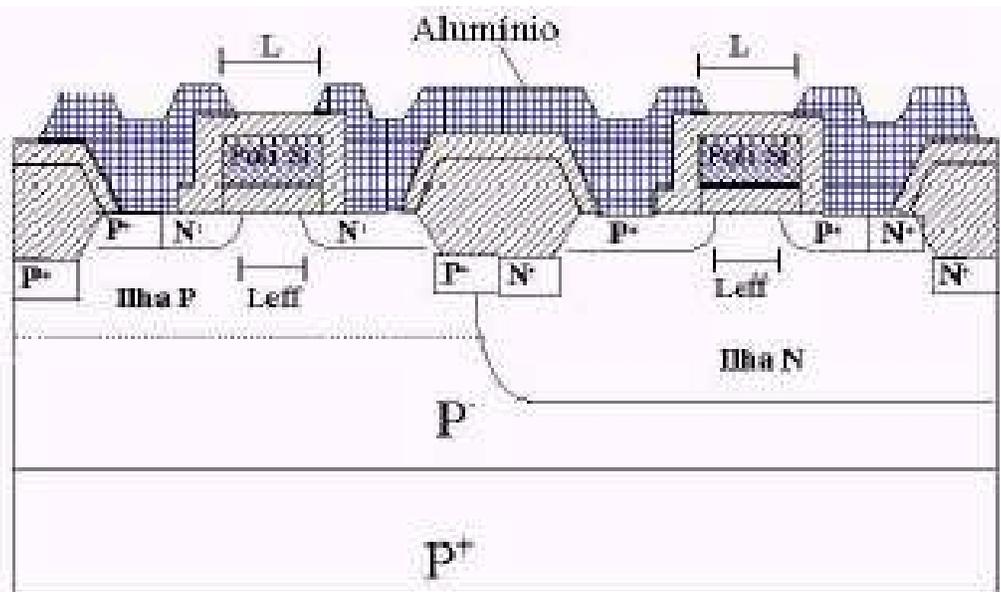
desempenho. Como exemplo, pode-se observar na Figura 1.12, que mostra os resultados da ativação de dopantes em eletrodos de Si e de SiGe policristalinos, que o SiGe-poli apresenta uma menor variação  $\Delta T$  na determinação da espessura EOT em relação aos eletrodos de Si-poli, sendo ambos os eletrodos dopado com boro [19-23].



**Figura 1.14-** Espessura elétrica efetiva ( $T_{ox}^{EFF}$ ) em função da dimensão da tecnologia (que é representado pela largura mínima efetiva  $L_E$  de canal do transistor MOS)[13].

### 1.5.2.2 – O CMOS [24] e a utilização do *home-made* RTP do CCS/Unicamp

O Centro de Componentes Semicondutores (CCS) da Unicamp vem desde 2002 fabricando dispositivos com tecnologia CMOS com dupla ilha e comprimento de canal de 2  $\mu\text{m}$ , visando a fabricação de um *Chip* didático para ser utilizado nos cursos de graduação, pós-graduação e extensão oferecidos pela Faculdade de Engenharia Elétrica e de Computação (FEEC) da Unicamp. A Figura 1.15 mostra um desenho esquemático em corte de um inversor CMOS fabricado no CCS. A Figura 1.16 mostra um fluxograma das etapas de processo para a fabricação destes dispositivos CMOS. Esta tecnologia CMOS foi executada de duas formas (Figura 1.16): primeiro, iniciando-se a fabricação com a formação da ilha P, e segundo, iniciando-se com a formação da ilha N. As duas formas foram comparadas e os resultados podem ser analisados mais profundamente em [24].



**Figura 1.15- Estrutura CMOS CCS-UNICAMP [24].**

Após a etapa V da formação da região ativa, mostrada na Figura 1.16, têm-se as etapas VI, VII e VIII de formação da porta de Si-poli, das regiões P+ e N+ de fonte/dreno, respectivamente. Estas etapas necessitaram de tratamento térmico rápido RTA para ativação dos dopantes tanto no eletrodo de porta Si-poli quanto na fonte/dreno dos transistores MOS. O RTA foi necessário para não ocorrer difusão mais profundas de dopantes, que é indesejável tanto no eletrodo de porta Si-poli (com espessura de  $0.5 \mu\text{m}$ ), que poderia difundir através do óxido de porta e alterar a dopagem do canal, alterando a tensão de limiar do transistor, quanto na fonte/dreno (com profundidade de junção de  $0.45 \mu\text{m}$ ), que deve apresentar a profundidade de junção exigida (menor que  $0.5 \mu\text{m}$ ) para a tecnologia com dimensão de  $2 \mu\text{m}$  [24]. Todos os tratamentos RTA foram executados no sistema *home-made* do CCS [2]. Alguns destes processos RTA foram repetidos e serão mostrados nos próximos capítulos. Portanto, os eletrodos de porta de Si-poli e as junções para fonte/dreno formados no sistema *home made* já estão caracterizados e confiáveis. Para o sistema *JetFirst 150* deve se estabelecer processos de ativação RTA para a formação de eletrodos de porta de Si-poli e de junções para fonte/dreno confiáveis como os formados no *home-made*.

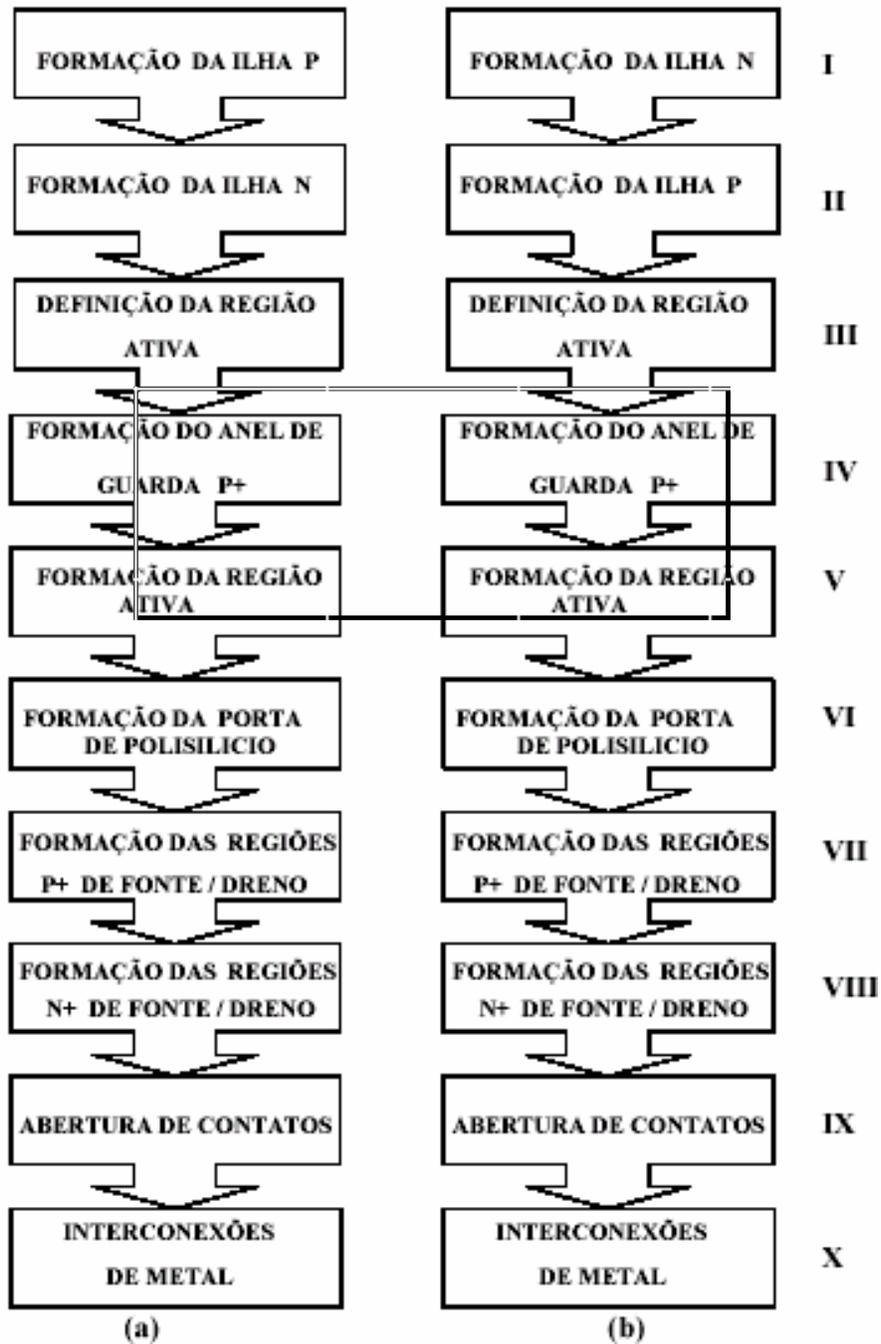


Figura 1.16 - Fluxogramas da Seqüência de Etapas do Processo *CMOS*:  
 a) Iniciando com ilha P e b) Iniciando com ilha N [24].

## CAPÍTULO 2 – PROCEDIMENTO EXPERIMENTAL

### 2.1 – Fabricação de Capacitores MOS

Filmes ultra-finos de óxido de silício (com espessuras menores que 10 nm) foram crescidos sobre substratos de Si por oxidação seguida de recozimento térmico rápido. Utilizou-se o sistema RTP, modelo *Jet First 150*, da Jipelec. Este sistema RTP pertence ao Centro de Componentes Semicondutores (CCS). A Figura 1.4 apresenta duas fotografias deste sistema. Neste RTP, colocamos a amostra dentro da câmara de processo. Primeiramente, o ambiente de processo é saturado de nitrogênio, para que o mesmo se torne inerte. Em seguida se satura a câmara com oxigênio (com pureza de 99,9999%) subindo a temperatura à uma taxa aproximadamente de 70°C/s até se atingir o patamar de temperatura de processo, para executar a oxidação RTO. Este patamar é mantido por 40s. Após este intervalo, executa-se o recozimento RTA do óxido. Para isto, o ambiente é modificado para nitrogênio, mantendo-se o patamar de temperatura com tempo adicional de 40s. Este recozimento é executado para reestruturar a camada crescida de óxido. Para finalizar, executa-se a etapa de resfriamento da amostra em ambiente de N<sub>2</sub>. Para se obter filmes com espessuras entre 2 e 10 nm, foram utilizados quatro patamares diferentes de temperatura nos processos RTO/RTA: 600°C, 700°C, 800°C e 960°C, como mostra a Figura 2.1. A característica física deste óxidos foi executada através de medidas FTIR, elipsométrica e TEM.

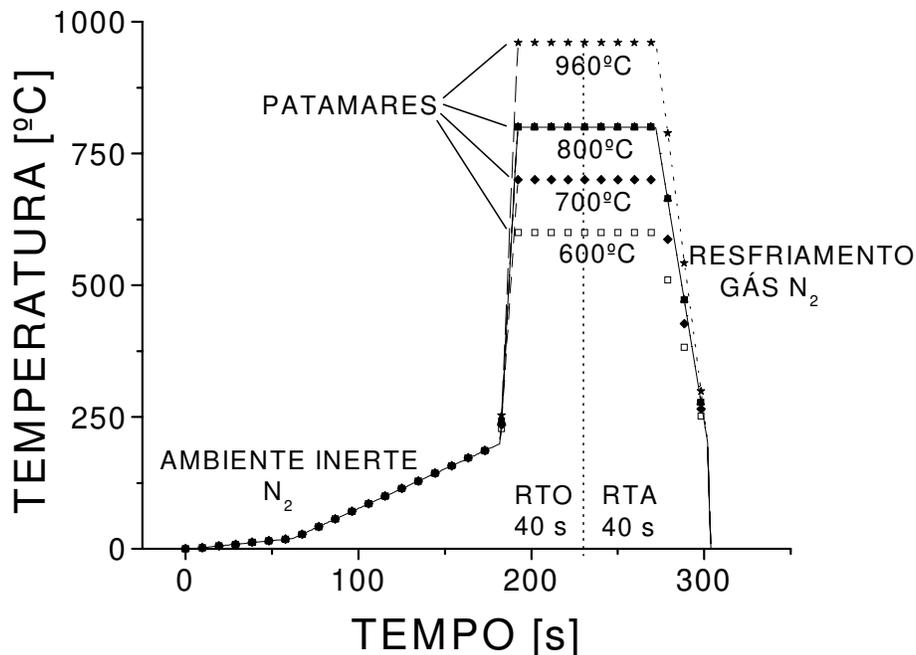


Figura 2.1 – Ciclos RTO/RTA no sistema *JetFirst 150* para crescimento de filmes SiO<sub>2</sub>

Para caracterizar, tanto o processo de obtenção dos filmes ultra-finos de óxido de silício como suas propriedades elétricas (tais como: espessura EOT e corrente de fuga), foram fabricados capacitores circulares de 200µm de diâmetro, formando estruturas MOS,

com quatro tipos de eletrodos: Al (200 nm de espessura) depositado em duas evaporadoras distintas, Al(180 nm)/Ti (20 nm), Si-poli-N<sup>+</sup> (500 nm). Utilizaram-se substratos de silício do tipo-p, com resistividades  $\rho$  entre 1 e 10  $\Omega$ .cm, com orientação <100>, com aproximadamente 300  $\mu$ m de espessura e 4” de diâmetro. As lâminas foram clivadas em quatro quartos para caber no porta-amostra de 3” de diâmetro da fotoalinhadora do CCS.

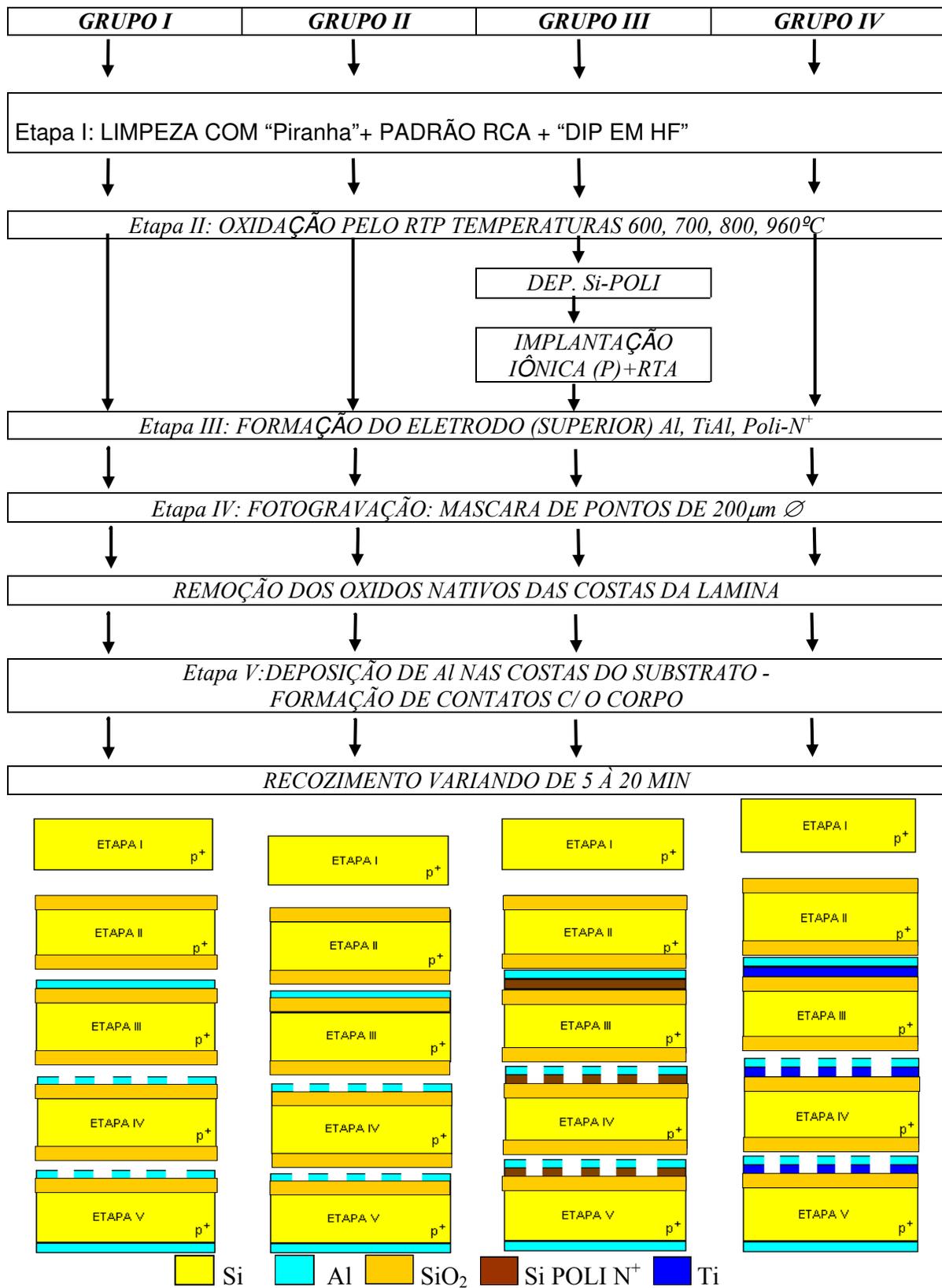
### 2.1.1- GRUPOS DE AMOSTRAS PARA A FABRICAÇÃO DE CAPACITORES.

Conforme mostra a Figura 2.2., os capacitores MOS foram fabricados em 4 grupos distintos:

**GRUPOS (I)** – Amostras com estruturas **Al(200 nm)/SiO<sub>2</sub>/Si/Al(200 nm)**. Após a limpeza piranha+ *DIP em HF*+ RCA foram crescidos filmes de óxido conforme descrito item 2.1 e mostrado na Figura 2.1. Etapas seqüenciais de deposição de alumínio pela evaporadora por feixe de elétrons com vácuo de aproximadamente 10<sup>-6</sup> Torr, fotogração para definição dos contatos superiores (fotorresiste AZ1350J), corrosão úmida do Al, remoção do fotorresiste, limpeza orgânica, remoção do óxido nativo nas costas das lâminas, deposição de alumínio (pela evaporadora por feixe de elétrons com vácuo de 10<sup>-6</sup> Torr) para formação de contatos com o corpo do semiconductor e recozimento/sinterização dos contatos.

**GRUPOS (II)** – Amostras com estruturas **Al(200 nm)/SiO<sub>2</sub>/Si/Al(200 nm)**. Após a limpeza piranha+ *DIP em HF*+ RCA das lâminas foram crescidos filmes de óxido conforme descrito item 2.1 e mostrado na Figura 2.1. Etapas seqüenciais de deposição de alumínio pela evaporadora por feixe de elétrons com vácuo de aproximadamente 10<sup>-9</sup> Torr, fotogração (tipo *lift-off*) para definição dos contatos superiores (fotorresiste AZ5214E), deposição (pela evaporadora por feixe de elétrons com vácuo de 10<sup>-9</sup> Torr) por feixe de elétrons de Al(200 nm), processo *lift-off* para remoção do fotorresiste e definição dos contatos, remoção do óxido nativo nas costas das lâminas, deposição de alumínio (pela evaporadora por feixe de elétrons com vácuo de 10<sup>-9</sup> Torr) para formação de contatos com o corpo do semiconductor e recozimento/sinterização dos contatos.

**GRUPO (III)** – Amostras com estruturas **Al(1  $\mu$ m)/Si-poli(500 nm)/SiO<sub>2</sub>/Si/Al(200 nm)**. Após a limpeza piranha + RCA+ *DIP em HF* das lâminas foram crescidos filmes de óxido conforme descrito item 2.1 e mostrado na Figura 2.1. Etapas seqüenciais de deposição LPCVD de silício policristalino, implantação de íons de fósforo para dopagem, recozimento para ativação de dopantes, deposição de alumínio pela evaporadora por feixe de elétrons com vácuo de aproximadamente 10<sup>-6</sup> Torr, fotogração para definição dos contatos superiores (fotorresiste AZ1350J), corrosão úmida do Al e do poli, limpeza orgânica, remoção de óxido nativo nas costas das lâminas, deposição de alumínio (evaporadora por feixe de elétrons com vácuo de aproximadamente 10<sup>-6</sup> Torr) para formação de contatos com o corpo do semiconductor e recozimento/sinterização dos contatos.



**Figura 2.2 - Sequência das etapas de processos de fabricação dos capacitores MOS: Grupo I; Grupo II; Grupo III e Grupo IV.**

**GRUPO (IV)** – Amostras com estruturas **Al(180 nm)/Ti(20 nm)/SiO<sub>2</sub>/Si/Al(200 nm)**. Após a limpeza piranha+ *DIP em HF*+ RCA das lâminas foram crescidos filmes de óxido conforme descrito item 2.1 e mostrado na Figura 2.1. Etapas seqüenciais de fotogração (tipo *lift-off*) para definição dos contatos superiores (fotorresiste AZ5214E), deposição (pela evaporadora por feixe de elétrons com vácuo de 10<sup>-9</sup> Torr) de Al(180 nm)/Ti(50 nm), processo *lift-off* para remoção do fotorresiste e definição dos contatos, limpeza orgânica, remoção de óxido nativo nas costas das lâminas, deposição de alumínio (pela evaporadora por feixe de elétrons com vácuo de 10<sup>-9</sup> Torr) para formação de contatos com o corpo do semiconductor e recozimento/sinterização dos contatos.

## 2.1.2 - DESCRIÇÃO DAS ETAPAS DE PROCESSO

As etapas de processos foram as seguintes:

- i) **Caracterização do substrato:** os métodos de ponta quente e quatro pontas foram utilizadas para determinar, respectivamente, o tipo (n ou p) e a resistividade das lâminas de Si.
- ii) **Limpeza completa com piranha+ *DIP em HF*+ RCA** [25]: A Tabela 2.1 mostra o processo inicial de limpeza da lâmina de silício, sendo também que após cada etapa de processo de fabricação dos capacitores MOS, empregou-se uma limpeza específica, em seus respectivos itens, que será relatada.

Após a limpeza completa da Tabela 2.1, as lâminas de silício foram secas com jatos nitrogênio ultra puro.

- iii) **Óxidos pelo RTP** –para se obter os filmes de oxido de silício crescidos sobre Si pelo RTP foram utilizadas os processos descritos no item 2.1 e mostrado na Figura 2.1. Após cada oxidação utilizou-se as etapas PL 03 e o PL 04, (para evitar qualquer tipo de contaminação) apresentadas na Tabela 2.1;
- iv) **Formação dos eletrodos superiores** – foram quatro tipos de eletrodos nos seguintes processos:
  - **Eletrodos de Al (formado pela evaporadora de alto vácuo):** filmes de alumínio de 1µm foram depositados na parte superior (polida) dos substratos, em alto vácuo de 10<sup>-6</sup> Torr, em evaporadora com canhão de elétrons, fabricada pela EDWARDS, modelo E-19E. Em seguida foram efetuadas as fotograções, utilizando-se o fotorresiste AZ1350J, revelador MIF312, ácidos orto fosfórico e nítrico e água deionizada 18 MΩ.cm de acordo com a seguinte receita:
    - aplicação do fotorresiste com umidade relativa do ar de 50% e temperatura de 22°C e espalhamento por centrifugação em um sistema *spinner* com rotação de 7000 rpm durante um tempo de 30 segundos;
    - cura do fotorresiste (*pré-bake*) em uma estufa a 98°C durante 30 minutos;

- exposição das amostras com fotorresiste aos raios ultra-violeta ( $S=9\text{mW/cm}^2$ ) durante 26 segundos no modo CP (ajuste da fotoalinhadora);
- revelação em solução  $\text{H}_2\text{O}/\text{MIF312}$  (1:1) por 45 segundos;
- pós *Bake* a  $98^\circ\text{C}$  durante 30 minutos;
- corrosão do alumínio em solução de ácido orto fosfórico + ácido nítrico (9.5: 0.5) durante 35 segundos;
- remoção do fotorresiste. Para remover o fotorresiste foi utilizada uma limpeza, que consiste da fervura em acetona durante 10min, seguido de fervura em isopropanol por 10 min e enxágüe durante 5 min em água deionizada.

**Tabela 2.1 - Apresenta o processo para a limpeza da lâmina de silício, T.A. indica que é à Temperatura Ambiente e PL 01 indica que é o Processo 01 de Limpeza**

$\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ (4:1)	80°C por 10 minutos	Esta solução é conhecida como “piranha” e é utilizada para remover principalmente compostos orgânicos grosseiros presentes na superfície das lâminas de silício, obtendo-se como um sub-produto da reação um óxido químico crescido sobre o substrato[14];	PL 01
$\text{H}_2\text{O D.I.}$ (18 M $\Omega$ .cm)	T.A. por 3 minutos	Enxágüe da Lâmina	PL 01
$\text{HF}/\text{H}_2\text{O}$ (1:10)	T.A. por 10 segundos	Esta solução remove o óxido nativo/químico da superfície do silício. A reação química do processo é a seguinte: $\text{SiO}_2 + 6\text{HF} \rightarrow \text{H}_2\text{SiF}_6 + 2\text{H}_2\text{O}$ [26,53];	PL 02
$\text{NH}_4\text{OH}/$ $\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5)	80°C por 10 minutos	Esta solução remove compostos orgânicos e dissolve os íons alcalinos ( $\text{Na}^+$ , $\text{K}^+$ ) e hidróxidos de $\text{Fe}^{+3}$ , $\text{Al}^{+3}$ e $\text{Mg}^{+3}$ das superfícies dos substratos[14,25];	PL 03
$\text{H}_2\text{O D.I.}$ (18 M $\Omega$ .cm)	T.A. por 3 minutos	Enxágüe da Lâmina	PL 03
$\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5)	80°C por 10 minutos	Esta solução remove e os metais do grupo IB e IIIB ( $\text{Cu}$ , $\text{Ag}$ , $\text{Zn}$ , $\text{Cd}$ )[14,25];	PL 04
$\text{H}_2\text{O D.I.}$ (18 M $\Omega$ .cm)	T.A. por 3 minutos	Enxágüe da Lâmina	PL 04
$\text{HF}/\text{H}_2\text{O}$ (1:10)	T.A. por 10 segundos	Esta solução remove o óxido nativo/químico da superfície do silício[14,25].	PL 02

- **Eletrodos de Al (formado pela evaporadora de ultra-alto vácuo):** neste processo foi utilizada a técnica de *lift-off* para a formação destes eletrodos da seguinte maneira:

- aplicação do fotorresiste AZ5214 com umidade relativa do ar de 45% e temperatura de 22°C na sala. A velocidade do *spinner* foi de 3000 rpm com tempo de 30s;
- pré cura do fotorresiste numa placa quente (*hot plate*) com temperatura de 90°C durante 4 minutos;
- exposição em luz ultra-violeta ( $S=9\text{mW/cm}^2$ ) do fotorresiste durante 0,8 segundos no modo CI-II (ajuste da fotoalinhadora) sem máscara.;
- cura do fotorresiste numa placa quente (*hot plate*) com temperatura de 110°C durante 1 minuto e 45 segundos;
- exposição em luz ultra-violeta ( $S=9\text{mW/cm}^2$ ) do fotorresiste durante 80 segundos no modo CI-II (ajuste da fotoalinhadora) ;
- revelação do fotorresiste sensibilizado com solução reveladora: H<sub>2</sub>O/MIF312 (1:1). O tempo de revelação foi de aproximadamente 1 minuto e 30 segundos;
- deposição do filme de alumínio (200 nm) utilizando um sistema de evaporação por feixe de elétrons de ultra-alto vácuo (o processo foi executado em ambiente com vácuo de 10<sup>-9</sup> bar);
- as lâminas foram mergulhadas em um béquer com acetona durante 1 hora para remoção do fotorresiste levando junto o metal depositado sobre o fotorresiste (processo de *lift-off*). Para remover resíduo de fotorresiste e metal, utilizou-se o aparelho de ultra-som durante 30 segundos, seguido de limpeza orgânica.

- **Eletrodo de Ti-Al (formado pela evaporadora de ultra-alto vácuo):** neste processo foi utilizada a técnica de *liftoff* para os eletrodos da seguinte maneira:

- processo de litografia para *lift-off* igual ao apresentando no item acima;
- deposição sequencial dos filmes de titânio (50 nm) e alumínio (180 nm) utilizando um sistema de evaporação por feixe de elétrons de ultra-alto vácuo (o processo foi executado em ambiente com vácuo de 10<sup>-9</sup> mbar);
- as lâminas foram mergulhadas em um béquer com acetona durante 1 hora para remoção do fotorresiste levando junto o metal depositado sobre o fotorresiste (processo de *lift-off*). Para remover resíduo de fotorresiste e metal, utilizou-se o aparelho de ultra-som durante 30 segundos, seguido de limpeza orgânica.

- **Eletrodo de Si-poli:** Os filmes de silício policristalino (com espessura de 500nm) foram obtidos por LPCVD em um reator vertical tipo Pancake PMC200 em temperatura de 800°C, pressão de 5 Torr e 10 minutos de deposição. Os gases utilizados no processo LPCVD foram: 4.800 sccm de H<sub>2</sub> e 40 sccm de SiH<sub>4</sub>. Após a deposição do Si-poli as amostras foram dopadas com fósforo por implantação iônica. Após as implantações, as amostras foram colocadas em um sistema RTP (*Jipelec JetFirst 150*) para a ativação de dopantes. Obtiveram-se resistências de folha de em torno de 30Ω/□ para os filmes de Si poli N<sup>+</sup>. As etapas de evaporação de alumínio, fotogração (fotorresiste AZ1350J) e limpeza orgânica foram às mesmas utilizadas na formação dos eletrodos de Al. O processo de fabricação dos eletrodos foi o seguinte:

- deposição do Si-poli;
- implantação de íons de <sup>31</sup>P<sup>+</sup> com energia de 160 KeV e dose de 1x10<sup>16</sup> íons/cm<sup>2</sup> para formação do poli-N<sup>+</sup>;

- tratamento térmico em forno RTP (*Jipelec JetFirst 150*) para a ativação de dopantes em 1000°C durante 30s em ambiente de N<sub>2</sub> (1l/min);
- limpeza RCA;
- evaporação de alumínio, que foi utilizado como máscara para corrosão do Si-poli;
- fotogração para definição do alumínio evaporado sobre o Si-poli ;
- corrosão seca no reator RIE (*Reactive Ion Etching*) do Si-poli.

Os parâmetros utilizados para a corrosão do Si-poli no RIE foram:

- ambiente gasoso de SF<sub>6</sub> + O<sub>2</sub>
- fluxos = 25 sccm;
- pressão = 50 mTorr;
- potência RF = 50 W;
- tempo total de corrosão = 5 minutos

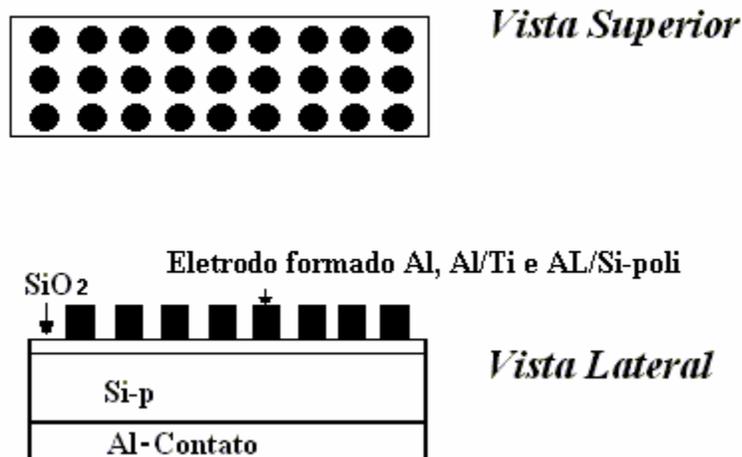
O controle de seletividade é feito através do tempo de corrosão e *stop etching* no silício, pois a taxa de corrosão é bem menor no silício

- v) ***Remoção/Óxidos Nativos das Costas da Lamina*** - Antes da deposição do alumínio de contato das costas, para a remoção do óxido nativo, empregou-se a solução de HF: H<sub>2</sub>O (proporção 1:10). A aplicação desta solução nas costas dos substratos foi feita com auxílio de um cotonete e com extremo cuidado, para que a solução ácida não escorresse para a parte da frente desprotegida dos substratos. Além disso, um método auxiliar foi usado: a corrosão das costas dos substratos por plasma RIE. Esta corrosão foi usada tanto para retirada de óxidos nativos, quanto para a retirada de resíduos de fotorresiste (proveniente da parte superior da amostra, quando depositado no *spinner* durante o processo de fotogração). Este resíduo, se não bem retirado durante o processo de limpeza orgânica, pode danificar a caracterização do dispositivo.

Os parâmetros utilizados para a corrosão do silício no RIE foram os mesmos apresentados para corroer Si-poli no item anterior.

- vi) ***Deposição (pela evaporadora de alto vácuo) de Al nas Costas do Substrato:***  
 – A deposição de alumínio nas costas foram os mesmos procedimentos utilizados para o eletrodo de alumínio.
- vii) ***Recozimento/Sinterização*** - os recozimentos dos contatos de alumínio foram executados em ambiente de mistura verde (92%N<sub>2</sub> + 8%H<sub>2</sub>), com temperatura de 450<sup>0</sup>C e tempos de 2 minutos até 20 minutos. O hidrogênio, no ambiente de recozimento, consome as cargas de superfície que surgem nos óxidos, através da sua exposição à radiação ionizante durante as etapas de evaporação por feixe de elétrons e de fotolitografia. Além disso, os recozimentos das estruturas isolante/semicondutor em baixas temperaturas (aproximadamente 400<sup>0</sup>C) possibilitam a redução de cargas capturadas na interface, que podem surgir nos óxidos durante as etapas de crescimento do oxido por processamento térmico rápido.

A Figura 2.3 mostra, esquematicamente, em vistas superior e em corte, como resultaram as estruturas dos Grupos I, II, III e IV.



**Figura 2.3 –Vistas superior e em corte das estruturas dos Grupos I, II, III e IV.**

As denominações das amostras seguiram o seguinte critério :

**Al06** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-6}$  Torr, seguido do número 06 que determina a temperatura de oxidação de  $600^{\circ}\text{C}$ .

**Al07** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-6}$  Torr, seguido do número 07 que determina a temperatura de oxidação de  $700^{\circ}\text{C}$ .

**Al08** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-6}$  Torr, seguido do número 08 que determina a temperatura de oxidação de  $800^{\circ}\text{C}$ .

**Al09** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-6}$  Torr, seguido do número 09 que determina a temperatura de oxidação de  $960^{\circ}\text{C}$ .

**AlLPD06** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 06 que determina a temperatura de oxidação de  $600^{\circ}\text{C}$ . **Nota:** LPD (laboratório de pesquisa em dispositivo/IFGW/Unicamp) é o local onde está instalada esta evaporadora.

**AlLPD07** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 07 que determina a temperatura de oxidação de  $700^{\circ}\text{C}$ .

**AlLPD08** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 08 que determina a temperatura de oxidação de  $800^{\circ}\text{C}$ .

**AlLPD09** – amostras de alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 09 que determina a temperatura de oxidação de  $960^{\circ}\text{C}$ .

**TiAl06** – amostras de titânio e alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 06 que determina a temperatura de oxidação de  $600^{\circ}\text{C}$ .

**TiAl07** – amostras de titânio e alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 07 que determina a temperatura de oxidação de  $700^{\circ}\text{C}$ .

**TiAl08** – amostras de titânio e alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 08 que determina a temperatura de oxidação de  $800^{\circ}\text{C}$ .

**TiAl09** – amostras de titânio e alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr, seguido do número 09 que determina a temperatura de oxidação de  $960^{\circ}\text{C}$ .

**POLI06** – amostras de silício policristalino formado por LPCVD com alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr como eletrodo de porta, seguido do número 06 que determina a temperatura de oxidação de  $600^{\circ}\text{C}$ .

**POLI07** – amostras de silício policristalino formado por LPCVD com alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr como eletrodo de porta, seguido do número 07 que determina a temperatura de oxidação de  $700^{\circ}\text{C}$ .

**POLI08** – amostras de silício policristalino formado por LPCVD com alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr como eletrodo de porta, seguido do número 08 que determina a temperatura de oxidação de  $800^{\circ}\text{C}$ .

**POLI09** – amostras de silício policristalino formado por LPCVD com alumínio depositados na evaporadora com vácuo de  $10^{-9}$  Torr como eletrodo de porta, seguido do número 09 que determina a temperatura de oxidação de  $960^{\circ}\text{C}$ .

## 2.2 – FABRICAÇÃO DE DIODO N<sup>+</sup>/P

Utilizaram-se substratos de silício do tipo-p, com resistividades  $\rho$  entre 1 e  $10 \Omega\cdot\text{cm}$ , com orientação  $\langle 100 \rangle$ , com aproximadamente  $300 \mu\text{m}$  de espessura e  $4''$  de diâmetro. As lâminas foram clivadas em quatro quartos para ser posicionadas no porta-amostra de  $3''$  de diâmetro da fotoalinhadora do CCS.

### a) *Caracterização do substrato:*

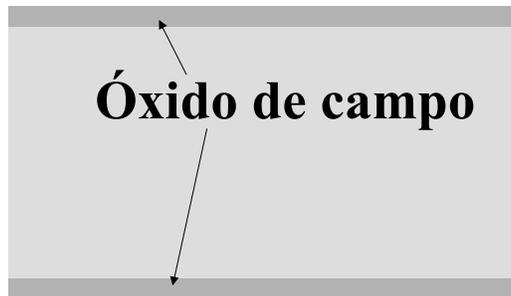
Os métodos de ponta quente e quatro pontas foram utilizadas para determinar, respectivamente, o tipo (n ou p) e a resistividade das lâminas de Si.

**b) *Limpeza completa com piranha+ DIP em HF+ RCA*** [25]: A Tabela 2.1 mostra o processo inicial de limpeza da lâmina de silício, sendo também que após cada etapa de processo de fabricação dos diodos, empregou-se uma limpeza específica, em seus respectivos itens, que será relatada.

### c) **Oxidação úmida de campo para isolamento de dispositivos (Figura 2.4)**

A oxidação úmida é realizada colocando-se as lâminas de Si em forno térmico convencional com temperatura de  $1000^{\circ}\text{C}$  e em ambiente de  $\text{H}_2\text{O}$  (vapor) e de  $\text{O}_2$ . Esta etapa é executada para formação do óxido de Si de campo, que isola um dispositivo do outro na lâmina. A espessura do óxido obtida foi de aproximadamente  $1 \mu\text{m}$  com o seguinte processo:

- fluxo de gases:  $\text{N}_2$  (1l/min),  $\text{O}_2$  (1l/min),  $\text{H}_2\text{O}$  (63 gotas/min)
- entrada no forno em  $\text{N}_2 > 3\text{min}$ ;
- fluxo de  $\text{N}_2$  durante 30 minutos;
- fluxo de  $\text{O}_2$  durante 10 minutos;
- fluxo de  $\text{O}_2 + \text{H}_2\text{O}$  durante 180 minutos;
- fluxo de  $\text{N}_2$  durante 10 minutos.
- saída do forno em  $\text{N}_2 > 3\text{min}$ ;



**Figura 2.4- Representação da lâmina de Si-p em corte lateral com óxido de campo crescido.**

#### **d) Obtenção da região n+ dos diodos**

Primeiramente foi realizada a fotogração para transferência de padrão da máscara para o óxido através da exposição da lâmina sob incidência de raios ultra-violeta emitidos pela fonte UV/400 da fotoalinhadora, da seguinte maneira (Figura 2.5):

- aplicação do fotorresiste (umidade relativa do ar e temperatura ambiente de 50% e 22°C, respectivamente) sobre as amostras e espalhamento por centrifugação em um sistema *spinner* com rotação de 7000 rpm durante um tempo de 30 segundos;
- cura do fotorresiste *pré-Bake* em uma estufa em 98°C durante 30 minutos;
- exposição das amostras com fotorresiste aos raios ultra-violeta ( $S=9\text{mW/cm}^2$ ) durante 26 segundos no modo CP (ajuste da fotoalinhadora);
- revelação em solução  $\text{H}_2\text{O}/\text{MIF312}$  (1:1) por 45 segundos.

Em seguida fez-se a abertura de janelas (*etch*) (Figura 2.6). A corrosão do óxido foi feita utilizando-se uma solução contendo HF e  $\text{NH}_4\text{F}$ , também chamada de *Buffer* (BHF), em 30°C. Esta solução ataca o óxido de silício a uma taxa de aproximadamente 170nm/min com.

#### **e) Remoção do fotorresiste + limpeza orgânica + limpeza completa com piranha+ DIP em HF+ RCA (Figura 2.7)**

Para remover o fotorresiste sobre o óxido de campo foi utilizada uma limpeza orgânica, que consiste da fervura em acetona durante 10min, seguido de fervura em isopropanol por 10 min e enxágue durante 5 min em água deionizada. Em seguida as lâminas foram limpas com o procedimento mostrado na Tabela 2.1

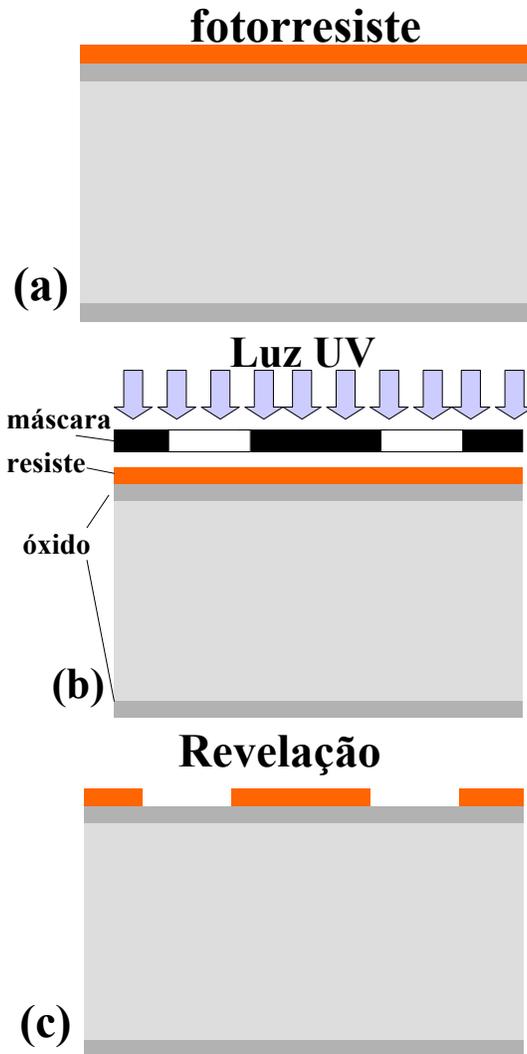


Figura 2.5- Representação da lâmina de Si-p em corte lateral com óxido de campo crescido. Representa-se em (a) o fotorresiste espalhado sobre o óxido; em (b) a polimerização do resiste pela exposição à luz ultravioleta para transferência de padrão da máscara para o óxido; e em (c) a revelação.

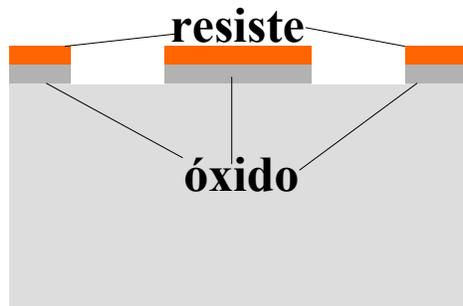


Figura 2.6- Representação da lâmina de Si-p em corte lateral com óxido de campo removido nas áreas sem proteção do resiste.

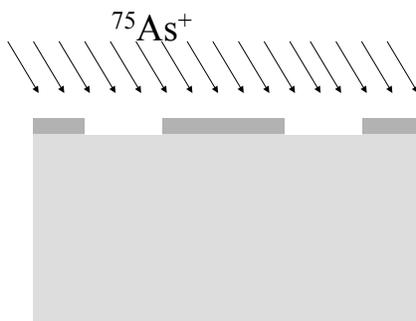


**Figura 2.7- Representação da lâmina de Si-p em corte lateral sem a camada protetora de fotoresista sobre o óxido e as áreas expostas do substrato.**

#### **f) Implantação de íons de Arsênio para obtenção da região n+ no substrato p.**

Após a abertura das regiões de fonte e dreno executou-se uma implantação iônica, realizada em um implantador GA-4204 EATON. Foram implantados íons de Arsênio, para formação de regiões  $n^+$  nas áreas expostas, mostradas na Figura 2.8. Os parâmetros da implantação iônica são:

- Isótopo  $^{75}\text{As}^+$ , Energia de 20 keV e dose de  $7 \times 10^{15} \text{ cm}^{-2}$ ;
- Posicionamento da lâmina no implantador com ângulo de  $7^\circ$  ao feixe incidente para minimizar a canalização de íons.



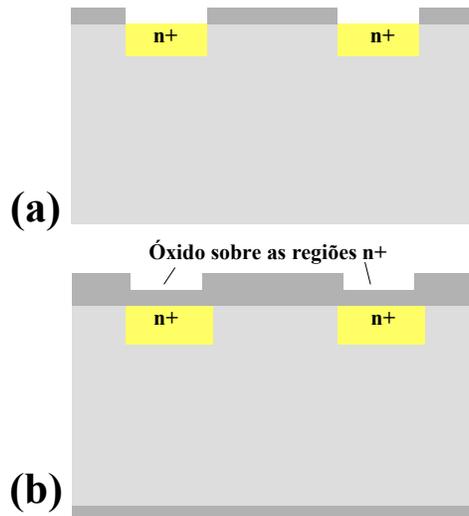
**Figura 2.8- Representação da lâmina de Si-p em corte lateral com óxido de campo crescido protegendo as áreas do substrato que não devem ser implantadas. Representa-se a implantação de Arsênio para obtenção da camada n+ no substrato p.**

#### **g) Recozimento com posterior oxidação úmida**

Nesta etapa foi realizado um recozimento térmico à  $960^\circ\text{C}$  pós-implantação para reconstrução das camadas implantadas e ativação de dopantes nas regiões  $n^+$ . Utilizou-se o sistema RTP, modelo *Jet First 150*, da Jipelec. Primeiramente, o ambiente de processo é saturado de nitrogênio, para que o mesmo se torne inerte. Em seguida se satura a câmara com nitrogênio (com pureza de 99,9999%) subindo a temperatura à uma taxa aproximadamente de  $70^\circ\text{C/s}$  até se atingir o patamar de temperatura de processo, para executar o recozimento RTA (Figura 2.9(a)). Este patamar é mantido por 40s. Para finalizar, executa-se a etapa de resfriamento da amostra em ambiente de  $\text{N}_2$ . Para se obter profundidades de junção em torno de  $0.2 \mu\text{m}$ . A oxidação úmida foi realizada para a formação do óxido na região  $n^+$  do diodo (figura 2.9(b)). A seguir estão as características da oxidação realizada à temperatura de  $1000^\circ\text{C}$  com fluxo de gases de 1 litro por minuto:

- fluxo de gases:  $\text{N}_2$  (1l/min),  $\text{O}_2$  (1l/min),  $\text{H}_2\text{O}$  (63 gotas/min)

- entrada no forno em  $N_2 > 3\text{min}$ ;
- fluxo de  $N_2$  durante 5 minutos;
- fluxo de  $O_2$  durante 5 minutos;
- fluxo de  $O_2 + H_2O$  durante 100 minutos;
- fluxo de  $N_2$  durante 10 minutos.
- saída do forno em  $N_2 > 3\text{min}$ .



**Figura 2.9- Representação da lâmina de Si-p em corte lateral submetida ao recozimento RTA (em (a)) para ativação de dopantes implantados com posterior oxidação úmida (em (b)) para formação de óxido na região  $n^+$  do diodo.**

#### **h) Fotogravação de contatos e corrosão do óxido sobre as regiões $n^+$ .**

Após a fotogravação de contatos (mesma utilizada no item d, sendo a seqüência apresentada na Figura 2.10 (a), (b) e (c), representando, respectivamente, a deposição e cura do resiste, exposição à luz UV e revelação do resiste), fez-se a remoção do óxido com a solução BHF (Figura 2.10 (d)) e em seguida a remoção do fotorresiste com limpeza orgânica quente, finalizando com a limpeza mostrada na Tabela 2.1 (Figura 2.10 (e)).

Nesta etapa foi utilizada a técnica de fotogravação invertida (negativa) para processo *lift-off* para a formação destes eletrodos da seguinte maneira:

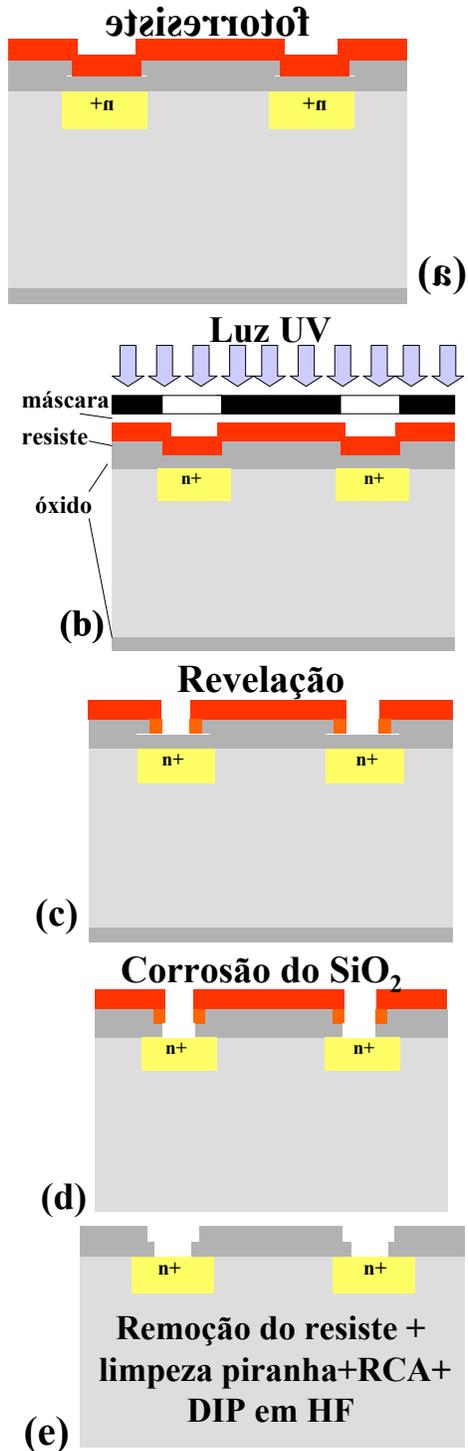
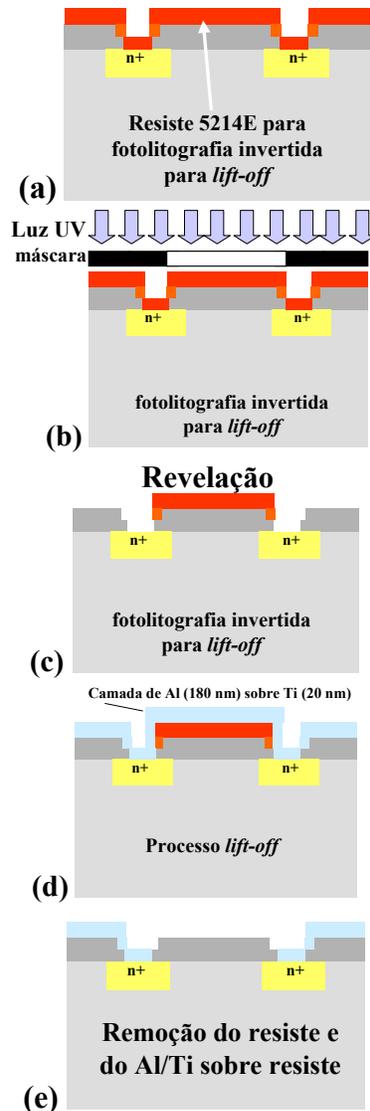


Figura 2.10- Representação da lâmina de Si-p em corte lateral submetida ao processo fotolitográfico do segundo nível de máscara para definição das áreas de contatos metálicos da região n+(em (a), (b) e (c)), com posterior remoção do óxido sobre esta região (em (d)), seguido (em (e)) da remoção do resiste, finalizando com a limpeza *piranha*+RCA+Dip em HF.



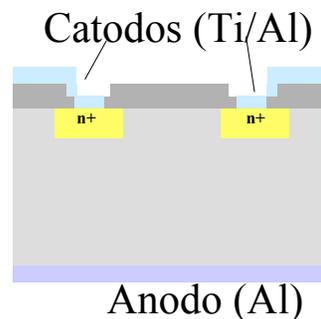
**Figura 2.11- Representação da lâmina de Si-p em corte lateral submetida ao processo fotolitográfico invertido para processo *lift-off* (em (a), (b) e (c)) do último nível de máscara para remoção de Ti-Al (em (d)), e remoção do resisto (limpeza orgânica) (em (e)), obtendo-se a formação de contatos metálicos de região n+ e de interconexão metálica entre dispositivos.**

- aplicação do fotorresiste AZ5214 com umidade relativa do ar de 45% e temperatura de 22°C na sala. A velocidade do *spinner* foi de 3000 rpm com tempo de 30s;
- pré cura do fotorresiste numa placa quente (*hot plate*) com temperatura de 90°C durante 4 minutos;
- exposição em luz ultra-violeta ( $S=9\text{mW}/\text{cm}^2$ ) do fotorresiste durante 16 segundos no modo CI-II (ajuste da fotoalinhadora) sem máscara.;
- cura do fotorresiste numa placa quente (*hot plate*) com temperatura de 110°C durante 1 minuto e 45 segundos;
- exposição em luz ultra-violeta ( $S=9\text{mW}/\text{cm}^2$ ) do fotorresiste durante 40 segundos no modo CI-II (ajuste da fotoalinhadora) ;
- revelação do fotorresiste sensibilizado com solução reveladora: H<sub>2</sub>O/MIF312 (1:1). O tempo de revelação foi de aproximadamente 1 minuto e 30 segundos;

- deposição sequencial dos filmes de titânio (50 nm) e alumínio (180 nm) utilizando um sistema de evaporação por feixe de elétrons de ultra-alto vácuo (o processo foi executado em ambiente com vácuo de  $10^{-9}$  mbar) – esta deposição foi executada para minimizar o *spike* do Al sobre as regiões n+ (conforme discutido no Capítulo 1);
- as lâminas foram mergulhadas em um béquer com acetona durante 1 hora para remoção do fotorresiste levando junto o metal depositado sobre o fotorresiste (processo de *lift-off*). Para remover resíduo de fotorresiste e metal, utilizou-se o aparelho de ultra-som durante 30 segundos, seguido de limpeza orgânica.

#### k) Evaporação de Al para formação de contato metálico nas costas do substrato e sinterização

Evaporou-se 0.5  $\mu\text{m}$  de Al sobre as costas da lâmina. No processo de sinterização executou-se o recozimento das estruturas metal/semicondutor em baixa temperatura de aproximadamente 430°C e ambiente de  $\text{N}_2$  (92%)+ $\text{H}_2$ (8%). A presença do hidrogênio é muito importante no ambiente de sinterização, pois consome as cargas de superfície que surgem nos óxidos através da sua exposição à radiação ionizante durante as etapas de evaporação por feixe de elétrons, de implantação de íons e de fotolitografia. Além disso, os recozimentos das estruturas isolante/semicondutor em baixas temperaturas (aproximadamente 400°C) possibilitam a redução de cargas capturadas na interface, que podem surgir nos óxidos durante as etapas de implantação de íons [20]. Como se tratava de um processo para ser calibrado, foram feitos testes para diferentes tempos de sinterização. O melhor tempo encontrado (para valores de resistência de contato) foi de 20 min.



**Figura 2.12- Representação da lâmina de Si em corte lateral submetida ao processo evaporação de Al para formação de contatos metálico nas costas do substrato com posterior sinterização dos contatos de Al e de Ti/Al.**

## CAPÍTULO 3

### RESULTADOS EXPERIMENTAIS

#### 3.1- CARACTERIZAÇÃO DOS FILMES DE ÓXIDO DE Si.

As estruturas dos filmes de óxido foram caracterizados por elipsometria (espessura), por espectrometria de absorção do infra-vermelho (FTIR)(ligações químicas), por microscopia eletrônica de transmissão (TEM) (morfologia das estruturas) e espectrometria da energia dispersiva do raio-X (EDS) (elementos químicos). A caracterização elétrica dos capacitores MOS será feita pelas medidas de capacitância x tensão (C-V) (espessura e dopagem da lâmina) e de corrente x tensão (I-V) (corrente de fuga). As medidas C-V e I-V dos capacitores foram realizadas após cada etapa de sinterização, cujo tempo variou entre 2 min e 20min.

Para minimizar os problemas de contaminações por manipulação dos substratos, foram produzidas pelo menos duas amostras do mesmo tipo, fabricadas nas mesmas condições de processo, sendo uma delas utilizada especialmente para a fabricação de dispositivos (conseqüentemente, para a execução das medidas C-V, I-V, TEM e EDS) e a outra utilizada nas medidas elipsométricas e FTIR. Isto minimizava a manipulação das amostras nas quais foram fabricados os capacitores.

#### 3.1.1- CARACTERIZAÇÃO ESTRUTURAL

##### 3.1.1.1- ELIPSOMETRIA

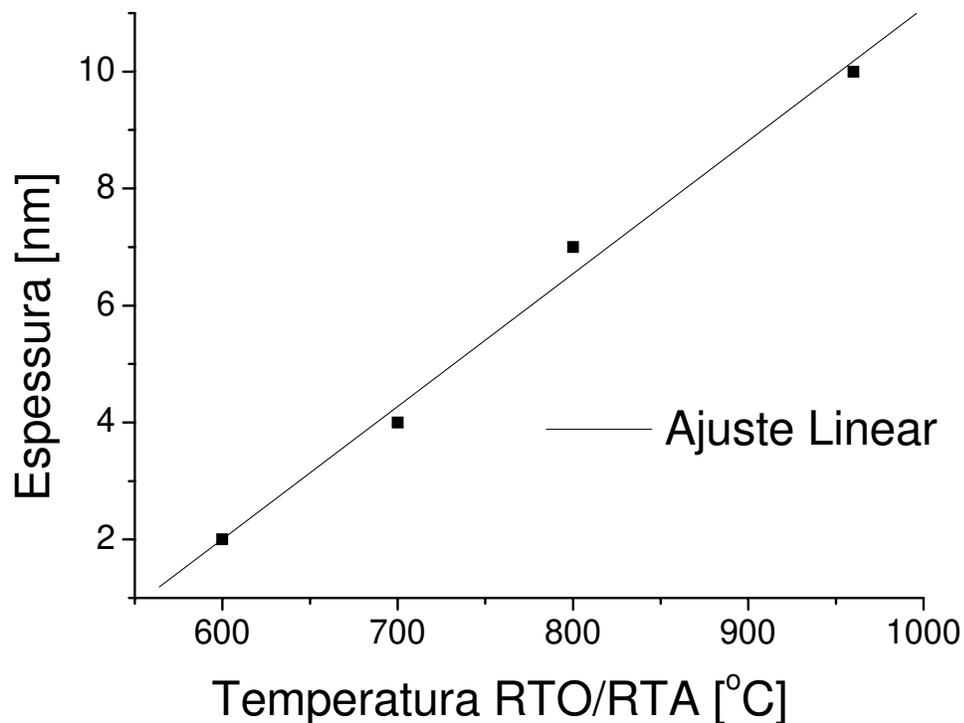
As medidas elipsométricas foram realizadas para a determinação da espessura dos filmes formados. Utilizou-se um equipamento Rudolph, modelo Auto-EL NIR 2 [54], que utiliza uma fonte de laser He-Ne de comprimento de onda  $\lambda = 632,8$  nm e de ângulo de incidência  $=70^\circ$ . O elipsômetro permite determinar automaticamente os ângulos  $\Psi$  e  $\Delta$  (Anexo-B), e calcula a espessura e o índice de refração ( $\eta$ ) dos filmes formados. Para verificar a calibração do equipamento, mede-se uma lâmina padrão com estrutura  $\text{SiO}_2/\text{Si}$ , em que o óxido de silício tem espessura de 100 nm e  $\eta = 1.462$ . Para a inicialização [26] do processo, é necessário o alinhamento do sistema óptico polarizador/analizador com a amostra e a introdução de parâmetros de entrada, como espessura da ordem de 5 nm (valor esperado) e índice de refração do  $\text{SiO}_2$  de 1.462 fixo.

Este valor também pode não ser real para óxidos de Si ultra-finos, com espessuras menores que 10 nm, pois são filmes não estequiométricos  $\text{SiO}_x$  (para  $x < 2$ ), ricos em Si. Os índices de refração para estes casos são maiores que o 1.462 fixado durante as medidas elipsométricas. Assim, podem ocorrer erros nestas medidas. Devido às dificuldades (já apresentadas) para se medir filmes com espessuras menores que 20 nm, os valores obtidos encontram-se dentro de um erro de  $\pm 100\%$  [26]. Assim, da Tabela 3.1 e da Figura 3.1, observa-se que os filmes de óxido de Si apresentam espessuras entre 2.0 nm e 130 nm, indicando a formação de filmes ultra-finos.

**Tabela 3.1-Valores dos ângulos  $\Delta$  e  $\Psi$  de espessura ( $t_{ox}$ ) dos filmes de  $SiO_2$  determinados por elipsometria**

AMOSTRAS	TEMPERATURA RTO/RTA[°C]	$\Delta$	$\Psi$	ESPESSURA $t_{ox}$ [nm]	Desvio Padrão (%)
06	600	173,96	10,44	2,0	$\pm 0,62$
07	700	169,64	10,52	3,9	$\pm 0,55$
08	800	157,64	10,96	7,2	$\pm 0,54$
09	960	148,05	10,48	10,4	$\pm 0,50$

A Tabela 3.1 mostra os valores de espessura dos filmes crescidos por processo térmico rápido com o índice de refração fixo de 1,462 com seus respectivos desvios. As denominações 06, 07, 08 e 09 para as amostras estão relacionadas às temperaturas de processos RTO/RTA de 600°C, 700°C, 800°C e 960°C com 40 segundos de oxidação em  $O_2$  seguido de 40 segundos de recozimento em  $N_2$  (conforme mostra a Figura 2.1), executados no *Jipelec JetFirst 150*. Respectivamente, estas amostras têm óxidos crescidos com espessuras de 2, 3.9, 7.9 e 10.6 nm. O ajuste apresentado na Figura 3.1, indica que a espessura dos óxidos é linear com a temperatura dos processos RTO/RTA. O gráfico da figura 3.1 foi apresentado, devido a proximidade de valores obtidos por outro métodos de análise (medidas elétricas, TEM).



**Figura 3.1 Espessuras (medidas por elipsometria) dos óxidos versus temperaturas dos processos RTO/RTA.**

### 3.1.1.2-MEDIDAS DE ESPECTROMETRIA DE ABSORÇÃO DO INFRA-VERMELHO

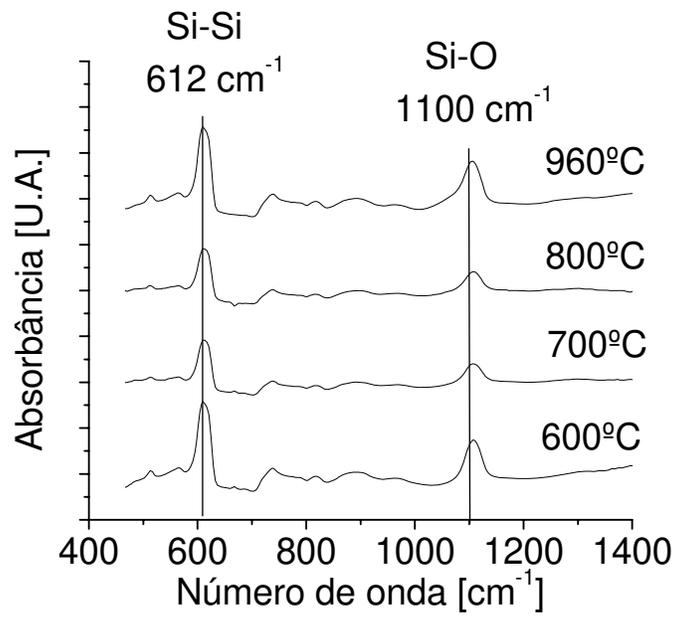
A espectrometria de absorção de infra-vermelho é uma técnica que permite analisar as ligações químicas existentes em uma amostra. As ligações dos átomos que formam as moléculas possuem frequências específicas de vibração, que variam de acordo com a estrutura, a composição e o modo de vibração[27,28,29].

As análises de absorção do infra-vermelho nos filmes de SiO<sub>2</sub> foram executadas em um espectrômetro do tipo FTIR (*Fourier Transform Infra-Red*), modelo Digilab-BIO-RAD FTS-4000. Esse equipamento permite que as medidas sejam executadas em uma câmara com ambiente inerte (nitrogênio), minimizando-se a detecção de ligações das moléculas de H<sub>2</sub>O e de CO<sub>2</sub> presentes no meio ambiente (ar), que podem indicar a falsa presença de hidrogênio e de carbono nos filmes. O procedimento utilizado para as medidas de absorção foi: executa-se uma medida sem nenhuma amostra na câmara. Essa análise sem amostra na câmara determina a medida de referência (*background*). Após, executa-se as medidas das lâminas com os filmes. O equipamento subtrai automaticamente da medida realizada a medida de referência. Como os filmes são ultra-finos, de mesma dimensão de óxidos nativos (~ 3 nm), não utilizamos um substrato de Si como referência, para que não houvesse imprecisão na determinação das ligações existentes na amostra. Assim, é esperado que a análise apresente o pico de absorção (posição (número de onda) entre 600 e 660 cm<sup>-1</sup>) relacionada com as ligações Si-Si. Além disso, a intensidade do pico de cada ligação identificada na análise está relacionada com as espessuras dos filmes (< 10 nm). Quanto maior a espessura maior a intensidade. Como estamos próximo do limite mínimo de detecção do equipamento (obtem-se espectros para filmes com espessura > 3 nm), os espectros que serão mostrados a seguir, apresentarão picos característicos das ligações Si-O (em torno de 1100 cm<sup>-1</sup>- modo de vibração *stretching*) e Si-Si com intensidades (absorbância) bem baixas. Para filmes de SiO<sub>2</sub> estequiométricos, o valor da posição do pico (número de onda) relacionado a este modo de vibração é de 1080 cm<sup>-1</sup>. A Figura 3.2 mostra os espectros FTIR e os valores da posição do pico de Si-O (1100 cm<sup>-1</sup>) e Si-Si (612 cm<sup>-1</sup>) para todas as temperaturas de oxidação das amostras, indicando a formação de filmes de óxido de Si.

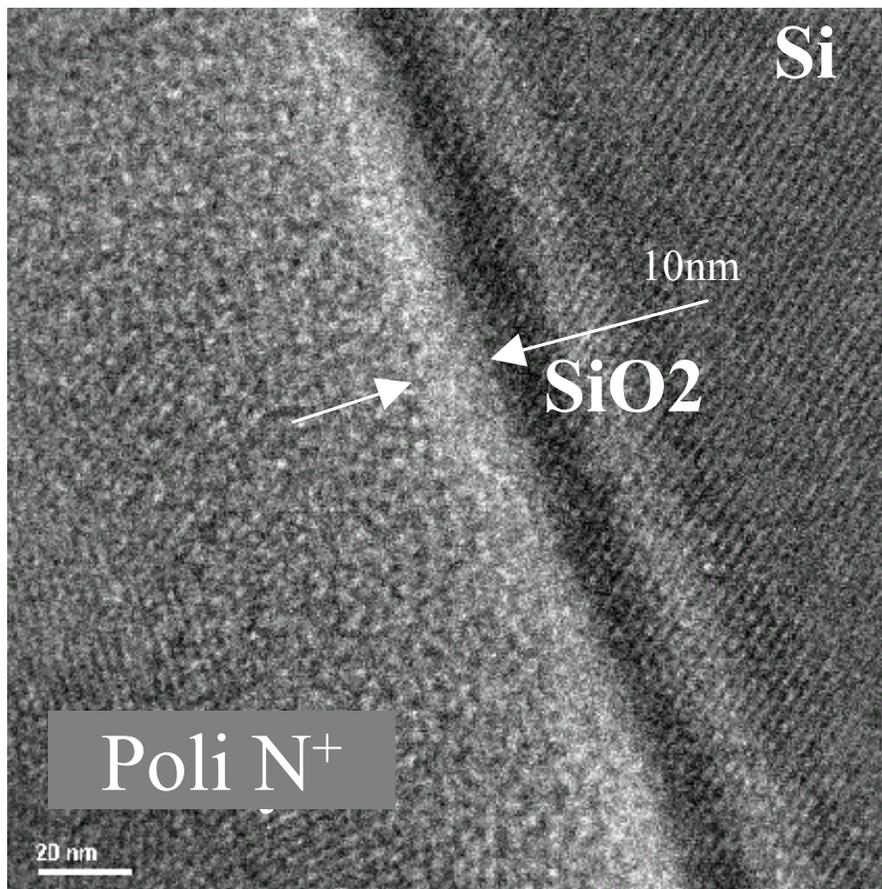
A Figura 3.2 mostra os espectros FTIR e os valores da posição do pico de Si-O (1100 cm<sup>-1</sup>) e Si-Si (612 cm<sup>-1</sup>) para todas as temperaturas de oxidação das amostras, indicando a formação de filmes de óxido de Si.

### 3.1.1.3 MICROSCOPIA ELETRÔNICA DE TRANSMISSÃO (TEM)

A Figura 3.3 mostra a análise TEM da amostra poli09, que é formada por óxido RTO crescido em 960°C e eletrodo de Si-Poli N+ (como citado no capítulo anterior). Por esta análise, a espessura do óxido é de 10 nm, similar ao medido por elipsometria (Tabela 3.1 e Figura 3.1). Observa-se uma baixa rugosidade (menor que 0.5 nm), tanto na interface poli-óxido quanto na interface óxido-semicondutor. A Figura 3.6(d) mostra a curva C-V desta estrutura da Figura 3.3, indicando uma espessura EOT de 10.8 nm, o que é similar com as espessuras medidas por elipsometria e por microscopia TEM.

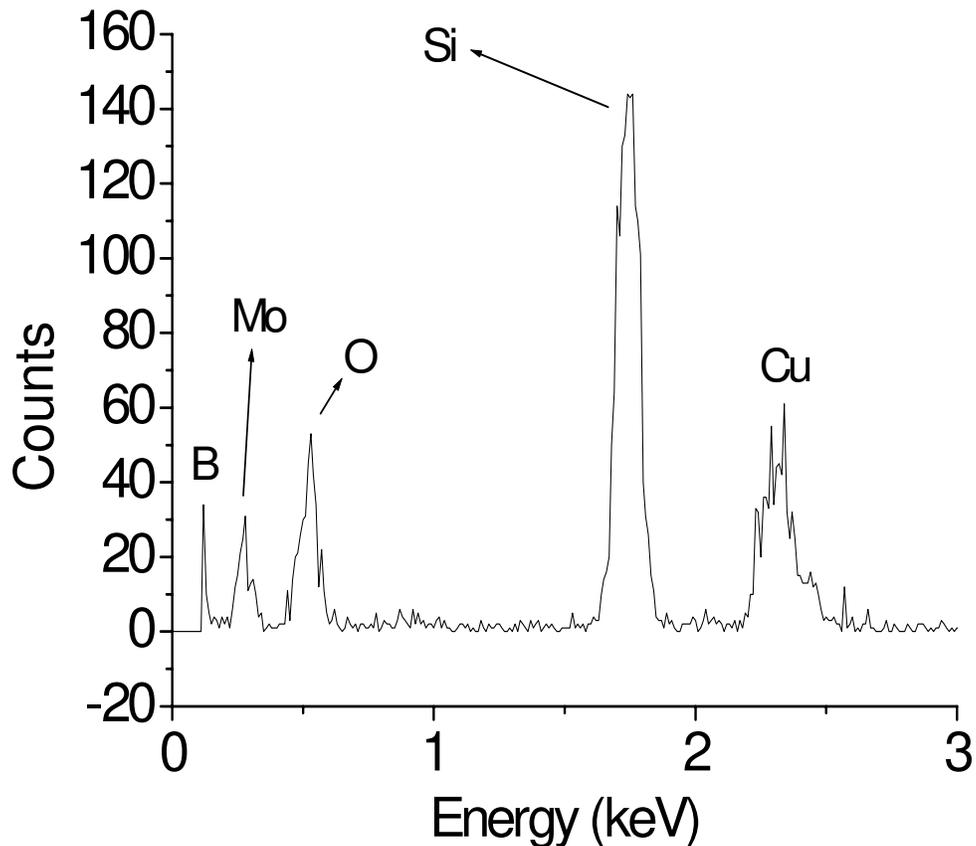


**Figura 3.2- Espectros FTIR dos óxidos RTO**



**Figura 3.3 Característica TEM da estrutura Si-poli N<sup>+</sup>/SiO<sub>2</sub>/Si com óxido crescido em RTP em 960°C**

No mesmo equipamento TEM é realizada a análise de espectrometria da energia dispersiva do raio-X (EDS) mostrada na Figura 3.4. Esta análise foi executada no corpo do óxido. Observa-se um pico de B, proveniente da lâmina (já que o poli é dopado por fósforo), e picos de Mo e Cu, provenientes da cola que é utilizada para o posicionamento da lâmina no porta amostra do microscópio. A presença dos picos de Si e de O indica a formação do óxido de Si, conforme já mostrado pela análise FTIR.



**Figura 3.4** Característica EDS da estrutura Si-poli N+/SiO<sub>2</sub>/Si com óxido crescido em RTP em 960°C

### 3.1.2- CARACTERIZAÇÃO ELÉTRICA

Como visto no capítulo 2, os capacitores MOS (área de  $3.14 \times 10^{-4} \text{ cm}^2$ ) foram fabricados com quatro diferentes tipos de eletrodos superiores. Os equipamentos utilizados para as medidas elétricas foram um analisador de parâmetros Keithley 4200-SCS e um capacitômetro Keithley 590. As curvas C-V (Figuras 3.5 e 3.6) foram extraídas em alta frequência (1MHz), medindo-se a capacitância e a condutância simultaneamente e corrigindo-se alterações na capacitância máxima provocadas pela resistência série ( $R_s$ ) do capacitor (Anexo-A3). Para confiarmos no erro inserido pela instrumentação durante a medida C-V, utilizamos uma expressão de erro instrumental (vide anexo A [30]), denominada nas Tabelas 3.2, 3.3, 3.4 e 3.5 como Erro C-V. As medidas, que apresentam erro instrumental menor que 1%, são consideradas confiáveis. Observando-se estas

Tabelas, nota-se que a maioria das medidas apresentaram erro instrumental menor que 1%. Através da análise da curva C-V corrigida, foram determinados os parâmetros *EOT* (*Equivalent Oxide Thickness*),  $N_{A,D}$  (concentração (aceitador ou doador) de dopantes no substrato) e  $V_{FB}$  (tensão de banda-plana) pelo método recursivo que se encontra no Anexo A. Para cada tempo de recozimento (sinterização em forno convencional), as Tabelas 3.2, 3.3, 3.4 e 3.5 apresentam os valores de espessura física ( $t_{ox}$ ), extraídos pelo elipsômetro, de espessuras elétricas (*EOT*), extraídas da medida C-V (*EOT/C-V*) e do simulador CVC (*EOT/CVC*), de resistência série ( $R_s$ ), da dopagem da lâmina, da tensão de banda plana ( $V_{FB}$ ), extraídos da medida C-V, e de densidade de corrente de fuga, extraídos da medida I-V (Figuras 3.7 e 3.8), dos capacitores MOS fabricados com eletrodos superiores de Al, Al (depositado na evaporadora de ultra-alto-vácuo localizada no LPD), Al/Ti e Si-poli N+, respectivamente. Para confiarmos nas medidas C-V, utilizamos um programa desenvolvido pelo Prof. John R Hauser [30,31] da NCSU, chamado CVC. Neste programa, executa-se a simulação das medidas C-V, tendo como entrada os dados das curvas C-V medidas e corrigidas pelos valores de  $R_s$ . Resultados confiáveis são aqueles em que o erro entre os valores medidos e simulados (denominado nas Tabelas 3.2, 3.3, 3.4 e 3.5 como Erro CVC) são menores que 10%.

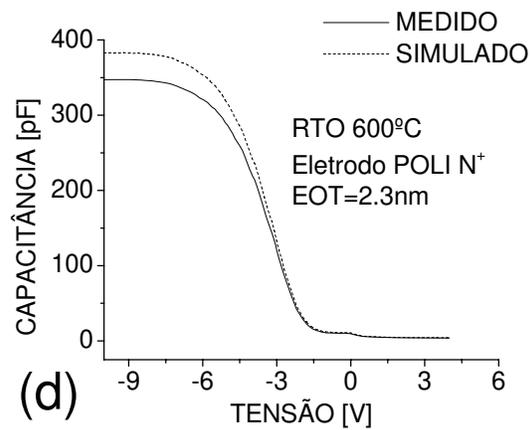
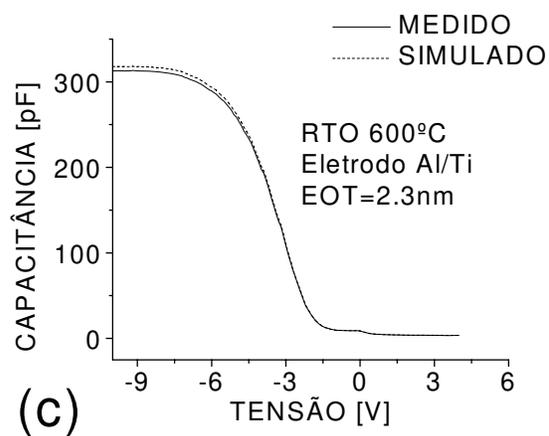
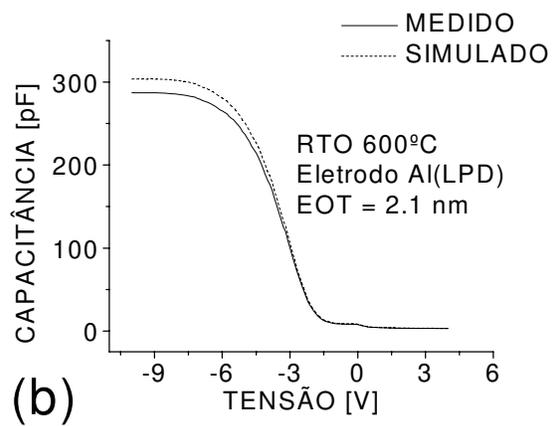
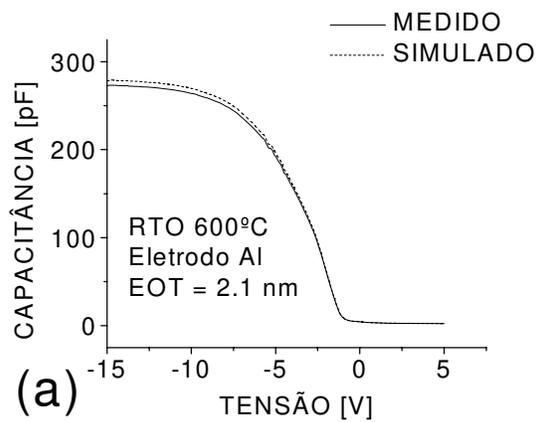
A Figura 3.9 (Erro CVC x tempo de sinterização) mostra que o Erro CVC é menor que 10% para tempo de sinterização dos contatos de 10 minutos para qualquer tipo de eletrodo superior usado nos capacitores MOS. A Figura 3.10 (tensão de banda plana  $V_{FB}$  versus tempo de sinterização) indica que para tempo de sinterização dos contatos de 10 minutos, os valores obtidos de  $V_{FB}$  para todos os capacitores são os maiores, se aproximando de  $V_{FB} \sim -0.9$  V, que é considerado para capacitores fabricados sobre substratos tipo-p como o valor que indica densidade de carga efetiva mínima (da ordem de  $10^{10}$  cm<sup>-2</sup>) na estrutura MOS. Assim, nas Tabelas 3.2, 3.3, 3.4 e 3.5, as linhas correspondentes ao tempo de sinterização de 10 minutos estão em negrito para destacar os resultados, que são os mais confiáveis tanto pelo Erro C-V (instrumental) quanto pelo Erro CVC (que compara os valores medidos e simulados) e são os que apresentam menores densidades de cargas efetivas (entre  $10^{10}$  e  $10^{11}$  cm<sup>-2</sup>) extraídos dos valores de  $V_{FB}$ . Para este tempo de sinterização de 10 minutos, as curvas de densidades de corrente de fuga  $J_g$  versus a tensão de porta  $V_G$  são apresentadas nas Figuras 3.7 e 3.8 para capacitores MOS formados com óxidos RTO crescidos em 600°C e 960°C, respectivamente, indicando  $J_g$  entre 2.3 A/cm<sup>2</sup> e  $1.2 \times 10^{-6}$  A/cm<sup>2</sup> (para  $V_G = -1$  V, onde os capacitores MOS operam na região de acumulação, que é a de máxima corrente de fuga pelo isolante de porta). Estes resultados indicam que óxidos ultra-finos, com espessura menores que 10 nm (Figuras 3.1 e 3.11), não necessitam do tradicional tempo de sinterização de 30 minutos, como usado tradicionalmente no CCS para óxidos de 50 nm, para reduzir a densidade de carga efetiva para níveis ( $\sim 10^{10}$  cm<sup>-2</sup>) aceitáveis para uso em dispositivos MOS. Como estes filmes ultra-finos praticamente não tem mais corpo (veja Figura 3.3), pois o crescimento do óxido é finalizado próximo da região de interface, cargas como as móveis e as armadilhadas no óxido, que são detectadas acima de 10 nm da interface isolante-semicondutor (como mostra Figura A.7 do Anexo A) em óxidos finos tradicionais (com espessura maior que 30 nm), praticamente não são mais medidas nas estruturas MOS formadas com dielétricos ultra-finos. Portanto, reduzindo naturalmente a densidade de carga efetiva na estrutura MOS. Vale ressaltar que todos os cuidados necessários (como mostrado no Anexo A) para a redução destas “cargas do corpo do óxido” devem ser mantidos por segurança e confiabilidade no processo. Assim, é esperado que 10 minutos de sinterização sejam suficientes para corrigir as cargas fixas e de interface, que se localizam próximo da

interface óxido-semicondutor. Maiores tempos pode incorporar incorretamente mais hidrogênio, proveniente do ambiente em gás verde (92% de N<sub>2</sub> e 8% de H<sub>2</sub>), do que o necessário para a passivação de ligações insaturadas no sistema MOS (Apêndice A). Hidrogênio em excesso ao invés de passivar ligações insaturadas, pode introduzir cargas na forma de íons H<sup>+</sup> na estrutura MOS, reduzindo a tensão V<sub>FB</sub> pelo conseqüente aumento da densidade de cargas efetivas no sistema óxido/semicondutor (Figura 3.10). Como em 10 minutos de sinterização obtivemos os melhores resultados de V<sub>FB</sub> e os menores Erros CVC e C-V, acreditamos que este tempo é o melhor para os nossos dispositivos.

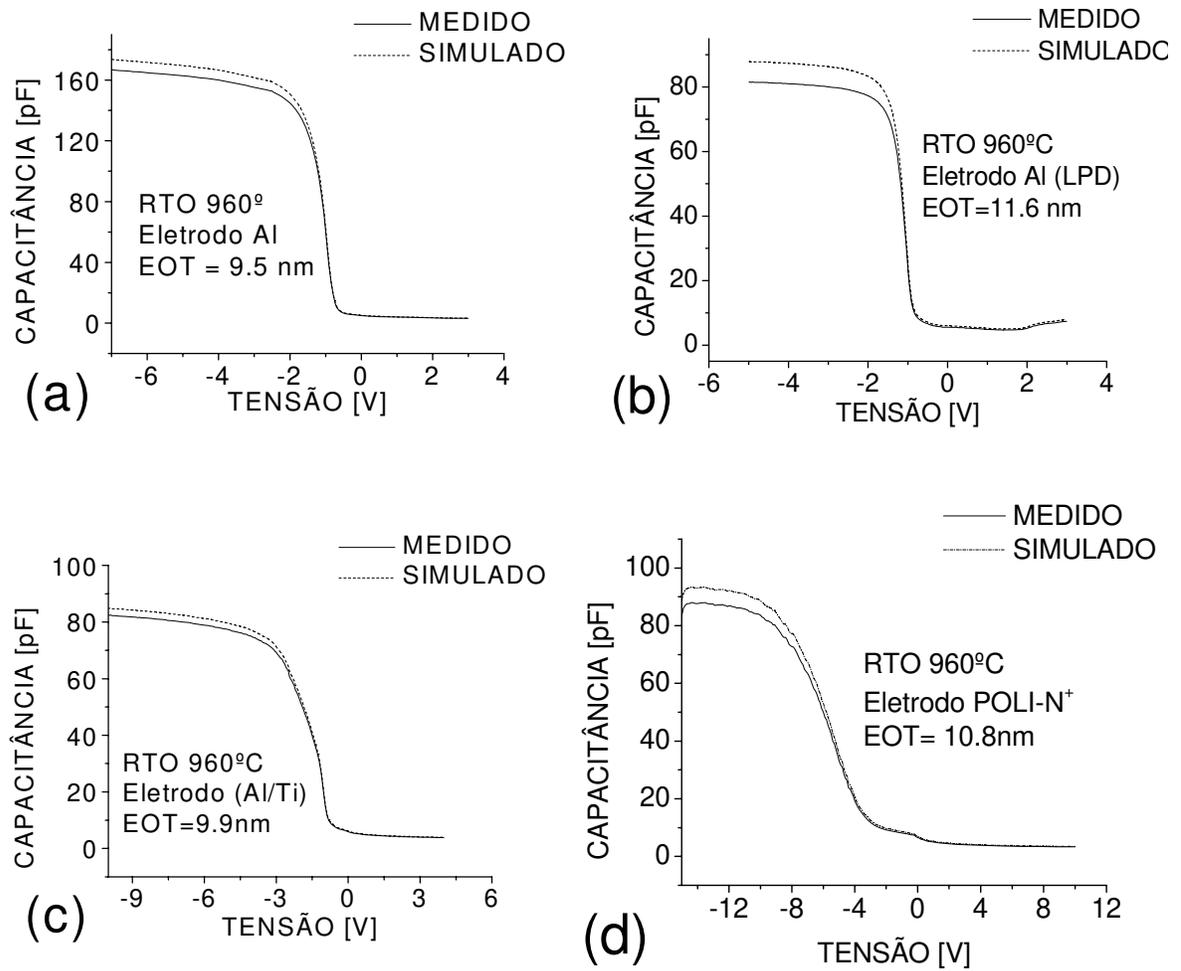
As curvas C-V apresentadas nas Figuras 3.5 e 3.6 e as curvas Jg-V<sub>G</sub> apresentadas nas Figuras 3.7 e 3.8 para capacitores MOS formados com óxidos RTO crescidos em 600°C e 960°C, respectivamente, e tempo de sinterização de 10 minutos, mostram que os nossos processos podem formar óxidos de porta com espessura entre 2 e 10 nm (Figuras 3.1 e 3.11), e com densidades de corrente de fuga Jg entre 2.3 A/cm<sup>2</sup> e 1.2x10<sup>-6</sup> A/cm<sup>2</sup>, que podem ser usados com eletrodos tradicionais, como os de Al ou de Si -poli N+, ou com eletrodos baseados em Ti, como o Al\_Ti. Salienta-se que o eletrodo de Si-poli N+ foi ativado por processo RTA (como descrito no capítulo 3). Portanto, dispositivos MOS podem ser fabricados com eletrodos policristalinos com dopantes ativados por RTA e óxidos de porta obtidos por RTO. O sistema *home-made* do CCS, como mostrado no capítulo 1, já vem sendo usado nas etapas de processo CMOS. Além deste equipamento, devido aos resultados apresentados até esta parte do trabalho, o sistema *Jipelec Jet First 150* está calibrado para também ser usado para processar as portas dos dispositivos e circuitos CMOS produzidos no CCS.

Como também previamente discutido no capítulo 1, eletrodos baseados em Ti ou Ta, tais como TiN ou TaN, que são materiais refratários alternativos aos atuais Si-poli, não apresentam os efeitos da depleção apresentados no poli (que altera a extração do EOT), são excelentes barreiras contra a difusão de Cu no sistema SiO<sub>2</sub>/Si, e são depositados por processo de *sputtering* em temperatura ambiente bem menor que o intervalo entre 600°C e 800°C exigido nas deposições LPCVD no Si-poli. Assim, alternativamente ao Si-poli, eletrodos baseados em Ti ou Ta vêm sendo usados em dispositivos MOS com canal de SiGe formado sobre substrato de Si ou formados sobre substratos de Ge. Pois, como são depositados em temperatura ambiente, diminuem o pacote térmico sobre o substrato, mantendo-se a integridade do canal de SiGe ou do substrato de Ge, que pode ser destruída (pela perda preferencial de Ge) se durante o processo de fabricação ocorrer várias etapas térmicas com temperaturas maiores que 600°C[32]. Portanto, nossos óxidos RTO, principalmente os crescidos em 600°C, podem ser usados com estes eletrodos alternativos.

Vale salientar que em nossa revisão bibliográfica para a dissertação deste trabalho, não foi encontrado nenhum artigo que tenha crescido óxido de Si em processo RTO em 600°C para formação de estruturas MOS. As curvas C-V da Figura 3.5 estão bem comportadas, pois não apresentam nem histerese, nem variação grande de V<sub>FB</sub> (menores que -3V) e nem deformação típicas de curvas de capacitores MOS com densidade de carga efetiva maior que 10<sup>12</sup> cm<sup>-2</sup>. Isto mostra que os nossos processos RTO em 600°C podem formar óxidos de porta de capacitores MOS com espessura de 2 nm, que podem ser usados com os quatro eletrodos superiores empregados neste trabalho. Acreditamos que esta é uma contribuição importante deste trabalho, pois acrescenta mais um estudo sobre os limites da estrutura SiO<sub>2</sub>/Si na tecnologia dos atuais dispositivos MOS com dimensões menores que 100 nm.



**Figura 3.5- Curvas C-V simuladas e medidas (mostrando valores de EOT extraídos pelo simulador CVC) com óxidos RTO crescidos em 600°C.**



**Figura 3.6- Curvas C-V simuladas e medidas (mostrando valores de EOT extraídos pelo simulador CVC) com óxidos RTO crescidos em 960°C.**

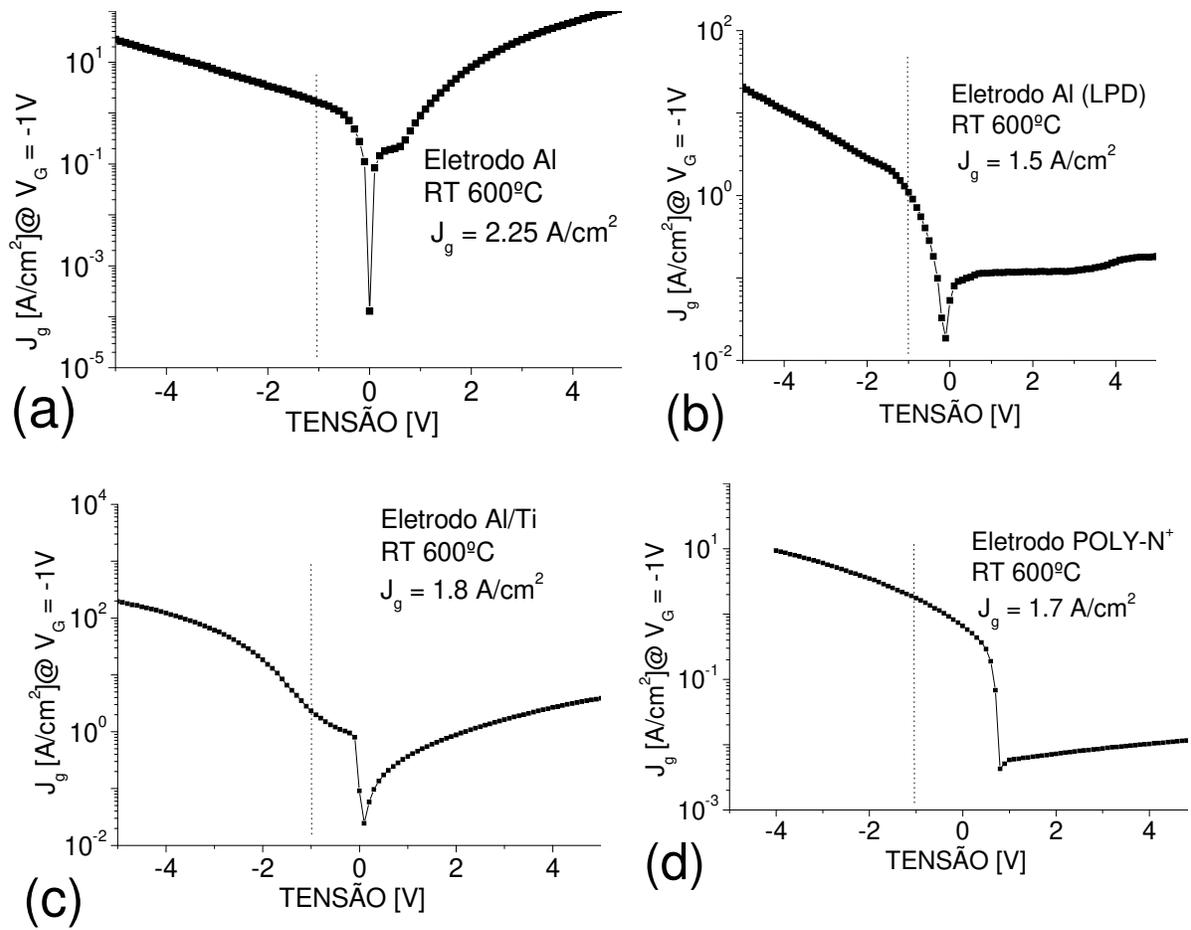
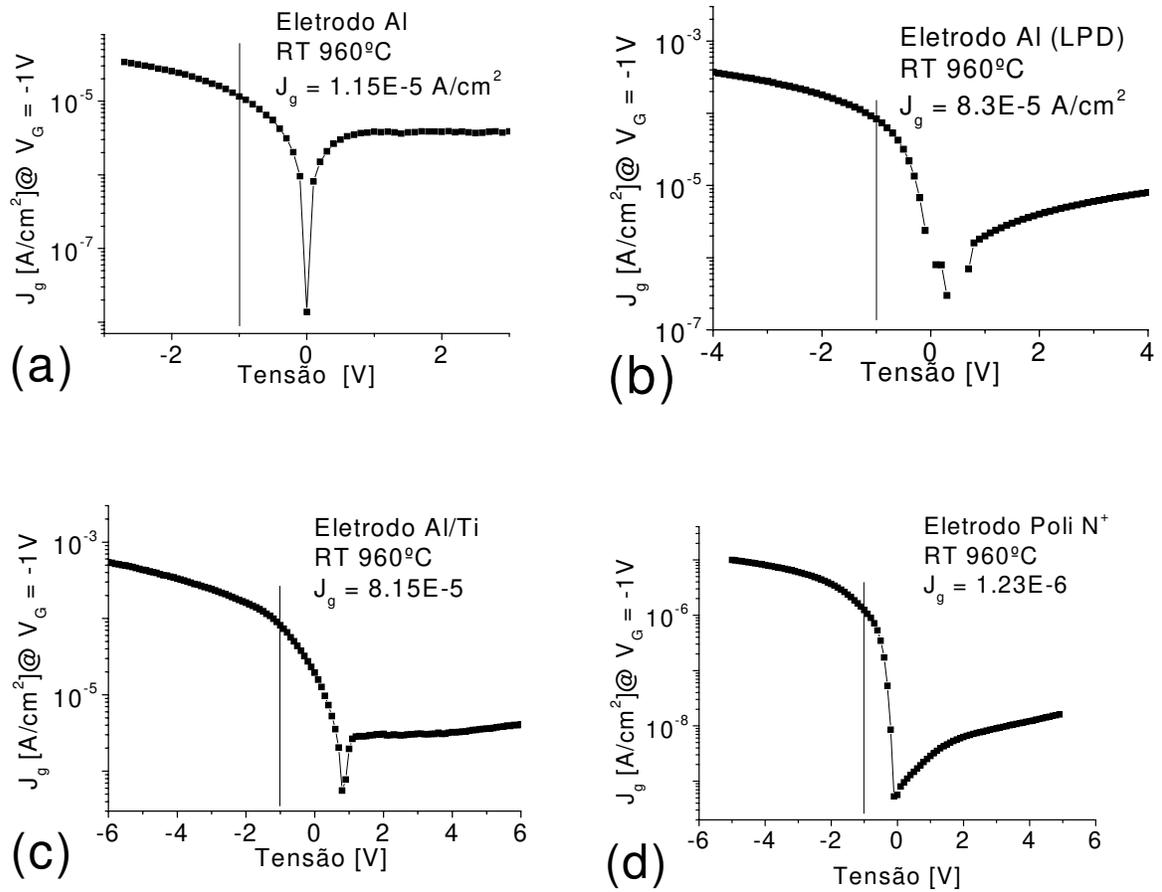


Figura 3.7- Curvas I-V para extração da densidade de corrente de fuga com óxidos RTO crescidos em 600°C.



**Figura 3.8- Curvas I-V para extração da densidade de corrente de fuga com óxidos RTO crescidos em 960°C.**

**Tabela 3.2- Características elétricas dos capacitores MOS  
com eletrodo superior de Al**

AMOSTRAS	TEMPO Recozimento [min]	VFB [V]	$t_{ox}$ [nm]	EOT [nm] C-V	Erro [%] C-V	EOT [nm] CVC	Erro [%] CVC	$R_s$ [ $\Omega$ ]	$N_{A,D}$ [cm <sup>-3</sup> ]	$J_G, V_G=-1V$ (A/cm <sup>2</sup> )
Al06	0	-1.9	2	7.5	0.23	5.6	53.1	646	8.1E14	1.6
Al06	2	-4.71	2	6.6	0.10	8.2	19.4	2953	5.3E15	4.3
Al06	5	-2.1	2	5.8	0.14	5.2	13.2	668	5.2E14	3.2
<b>Al06</b>	<b>10</b>	<b>-1.0</b>	<b>2</b>	<b>2.2</b>	<b>0.16</b>	<b>2.1</b>	<b>2.1</b>	<b>203</b>	<b>1.1E15</b>	<b>2.25</b>
Al06	15	-1.9	2	3.3	0.15	3.5	4.1	569	7.1E14	11.6
Al06	20	-2.4	2	2.8	0.24	2.5	12.3	721	3.5E14	62
Al07	0	-1.4	4	1.1	0.21	1.1	0.2	315	8.3E14	1.0E-3
Al07	2	-2.9	4	6.74	0.10	6.2	8.0	1039	3.1E15	1.8E-3
Al07	5	NC	4	NC	NC	NC	NC	NC	NC	NC
<b>Al07</b>	<b>10</b>	<b>-1.3</b>	<b>4</b>	<b>4.4</b>	<b>0.10</b>	<b>4.2</b>	<b>4.5</b>	<b>316</b>	<b>9.5E14</b>	<b>0.96E-3</b>
Al07	15	-2.5	4	6.1	0.16	5.8	5.4	745	8.4E14	0.42E-3
Al07	20	-3.2	4	8.3	0.17	7.2	15.2	1450	1.5E15	0.88E-3
Al08	0	-1.7	7	4.5	0.16	4.7	1.2	430	9.15E14	13.1E-4
Al08	2	NC	7	NC	NC	NC	NC	NC	NC	NC
Al08	5	-3.0	7	13.4	0.12	13.5	1.9	1050	8.0E14	63.7E-4
<b>Al08</b>	<b>10</b>	<b>-1.1</b>	<b>7</b>	<b>7.7</b>	<b>0.11</b>	<b>7.5</b>	<b>2.5</b>	<b>266</b>	<b>9.3E14</b>	<b>2.7E-4</b>
Al08	15	-2.4	7	NC	0.10	NC	NC	684	5.8E14	20.4E-4
Al08	20	-2.3	7	5.5	0.18	5.28	5.2	645	1.8E15	3.1E-4
Al09	0	-1.8	10	4.8	0.12	4.7	1.2	508	1.8E15	1.9E-5
Al09	2	-1.8	10	6.2	0.11	5.7	8.1	514	4.2E15	1.4E-5
Al09	5	-1.8	10	4.5	0.12	4.7	1.5	517	1.1E15	4.5E-5
<b>Al09</b>	<b>10</b>	<b>-1.1</b>	<b>10</b>	<b>9.1</b>	<b>0.11</b>	<b>9.5</b>	<b>4.1</b>	<b>264</b>	<b>9.9E14</b>	<b>1.15E-5</b>
Al09	15	-1.7	10	14.1	0.10	12.6	12.7	508	7.9E14	1.4E-5
Al09	20	-1.6	10	8.5	0.11	7.9	8.0	503	0.4E15	1.0E-5

NC= Não convergiu

**Tabela 3.3- Características elétricas dos capacitores MOS com eletrodo superior de Al (depositado através da evaporadora do LPD)**

AMOSTRAS	TEMPO Recozimento [min]	VFB [V]	t <sub>ox</sub> [nm]	EOT [nm] C-V	Erro [%] C-V	EOT [nm] CVC	Erro [%] CVC	R <sub>s</sub> [Ω]	N <sub>A,D</sub> [cm <sup>-3</sup> ]	J <sub>G</sub> , V <sub>G</sub> =-1V (A/cm <sup>2</sup> )
AILPD06	0	-2.3	2	12.4	0.23	9.8	77.8	642	8.1E14	4.4
AILPD06	2	-2.1	2	13.6	0.11	11.0	20.1	591	2.2E15	2.2
AILPD06	5	-2.0	2	3.8	0.11	3.3	7.9	540	3.2E15	9.3
<b>AILPD06</b>	<b>10</b>	<b>-1.3</b>	<b>2</b>	<b>2.3</b>	0.11	<b>2.1</b>	<b>5.8</b>	<b>361</b>	<b>9.0E14</b>	<b>2.0</b>
AILPD06	15	-2.0	2	2.4	0.11	2.0	22.3	582	2.1E14	17.0
AILPD06	20	-1.9	2	4.2	0.10	3.7	87.0	504	5.3E14	12.0
AILPD07	0	-2.4	4	7.3	0.12	7.5	9.7	663	1.1E15	3.1E-3
AILPD07	2	-2.0	4	8.3	0.11	8.1	5.1	554	6.5E11	8.0E-3
AILPD07	5	-1.9	4	6.1	0.11	6.0	7.2	511	8.9E14	1.1E-3
<b>AILPD07</b>	<b>10</b>	<b>-1.2</b>	<b>4</b>	<b>4.8</b>	0.11	<b>4.4</b>	<b>10.3</b>	<b>310</b>	<b>5.2E14</b>	<b>1.2E-3</b>
AILPD07	15	-1.9	4	5.5	0.10	5.1	10.1	519	7.8E14	1.0E-3
AILPD07	20	-2.1	4	6.1	0.11	5.1	18.3	613	2.3E14	0.2E-3
AILPD08	0	-2.0	7	8.7	0.12	8.0	7.1	541	1.55E15	1.7E-4
AILPD08	2	-1.7	7	9.8	0.11	9.2	8.8	431	3.5E15	2.1E-4
AILPD08	5	-1.7	7	6.7	0.11	6.1	9.9	427	8.5E14	1.3E-4
<b>AILPD08</b>	<b>10</b>	<b>-1.2</b>	<b>7</b>	<b>8.34</b>	<b>0.11</b>	<b>7.7</b>	<b>4.0</b>	<b>322</b>	<b>9.1E14</b>	<b>8.3E-4</b>
AILPD08	15	-1.3	7	9.7	0.11	9.0	9.5	395	5.2E14	6.9E-4
AILPD08	20	-1.2	7	8.1	0.11	7.7	12.2	331	1.0E15	1.2E-4
AILPD09	0	-2.0	10	13.8	0.10	13.4	6.6	559	1.4E15	2.3E-5
AILPD09	2	-1.8	10	12.6	0.10	12.5	4.0	460	9.0E15	1.1E-5
AILPD09	5	-1.6	10	13.8	0.10	12.7	9.2	414	5.7E15	3.1E-5
<b>AILPD09</b>	<b>10</b>	<b>-1.2</b>	<b>10</b>	<b>11.1</b>	0.10	<b>10.7</b>	<b>7.8</b>	<b>327</b>	<b>1.7E15</b>	<b>8.3E-5</b>
AILPD09	15	-1.9	10	18.8	0.10	17.2	15.7	515	3.5E15	1.0E-5
AILPD09	20	-2.0	10	23.5	0.10	18.4	19.1	559	4.1E15	1.4E-5

NC= Não convergiu

**Tabela 3.4- Características elétricas dos capacitores MOS com eletrodo superior de Al Ti**

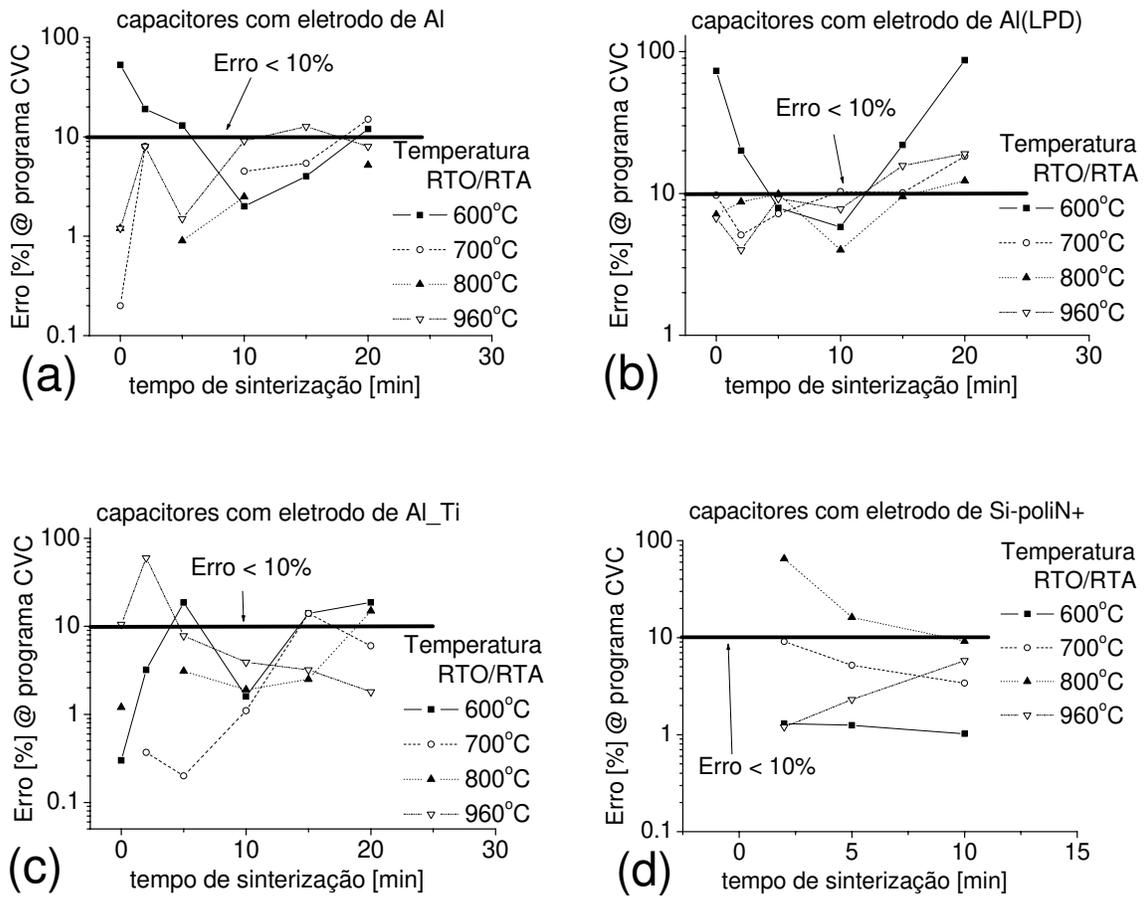
AMOSTRAS	TEMPO Recozimento [min]	VFB [V]	$t_{ox}$ [nm]	EOT [nm] C-V	Erro [%] C-V	EOT [nm] CVC	Erro [%] CVC	$R_s$ [ $\Omega$ ]	$N_{A,D}$ [cm <sup>-3</sup> ]	$J_G, V_G=-1V$ (A/cm <sup>2</sup> )
AlTi06	0	-1.6	2	1.6	0.20	1.62	3.0	416	1.0E15	3.6
AlTi06	2	-2.9	2	3.5	0.20	3.73	3.2	927	2.8E15	4.6
<b>AlTi06</b>	5	-6.2	2	NC	0.13	91.7	185.6	2711	7.5E10	11.2
<b>AlTi06</b>	<b>10</b>	<b>-1.2</b>	<b>2</b>	<b>2.35</b>	<b>0.10</b>	<b>2.4</b>	<b>1.6</b>	<b>298</b>	<b>1.8E15</b>	<b>1.8</b>
AlTi06	15	-1.7	2	4.2	0.16	3.19	14.1	463	8.3E14	3.4
AlTi06	20	-2.2	2	4.34	0.19	3.03	18.7	653	3.2E14	6.3
AlTi07	0	NC	4	NC	NC	NC	NC	NC	NC	NC
AlTi07	2	-1.5	4	0.93	0.10	0.95	4.0	356	8.1E13	1.4E-3
AlTi07	5	-1.6	4	1.11	0.10	1.12	2.0	402	4E14	3.2E-3
<b>AlTi07</b>	<b>10</b>	<b>-1.1</b>	<b>4</b>	<b>4.31</b>	<b>0.10</b>	<b>4.30</b>	<b>1.12</b>	<b>212</b>	<b>1.8E15</b>	<b>0.9E-3</b>
AlTi07	15	-2.0	4	7.1	0.15	6.2	14.6	555	8.6E14	0.43E-3
AlTi07	20	-2.2	4	9.0	0.10	8.5	6.2	647	9.2E14	0.85E-3
AlTi08	0	-1.8	7	4.6	0.10	4.68	1.2	491	2.1E14	76E-4
AlTi08	2	NC	7	NC	NC	NC	NC	NC	NC	70E-4
AlTi08	5	-1.5	7	5.5	0.10	5.34	3.1	363	9.3E13	25E-4
<b>AlTi08</b>	<b>10</b>	<b>-1.1</b>	<b>7</b>	<b>7.67</b>	<b>0.10</b>	<b>7.53</b>	<b>1.8</b>	<b>223</b>	<b>2.4E15</b>	<b>93E-4</b>
AlTi08	15	-1.4	7	8.4	0.10	8.2	2.5	300	8.8E14	100E-4
AlTi08	20	-1.7	7	14.0	0.10	12.2	14.9	441	4.9E14	130E-4
AlTi09	0	-2.0	10	13.8	0.11	12.6	10.5	575	5.6E14	70E-5
AlTi09	2	-2.5	10	23.1	0.10	15.1	59.8	745	8.7E14	4E-5
AlTi09	5	-1.7	10	12.3	0.10	11.5	7.8	484	9.2E14	80E-5
<b>AlTi09</b>	<b>10</b>	<b>-1.1</b>	<b>10</b>	<b>10.9</b>	<b>0.10</b>	<b>10.5</b>	<b>3.9</b>	<b>238</b>	<b>1.3E15</b>	<b>8.15E-5</b>
AlTi09	15	-1.2	10	12.7	0.10	12.3	3.2	299	1.6E15	7.9E-5
AlTi09	20	-1.7	10	14.0	0.10	14.2	1.8	453	2.3E15	8.2E-5

NC= Não convergiu

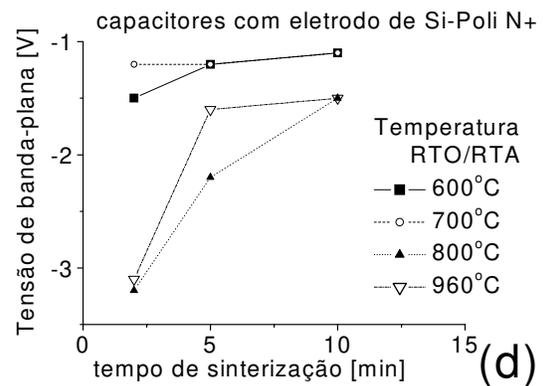
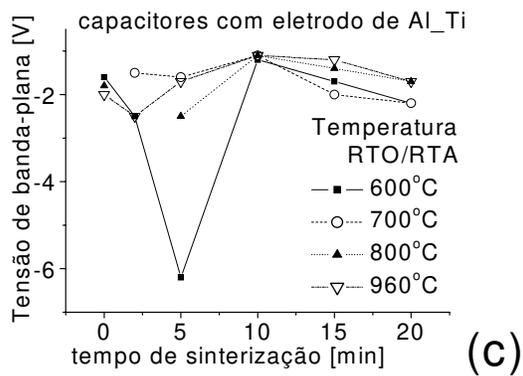
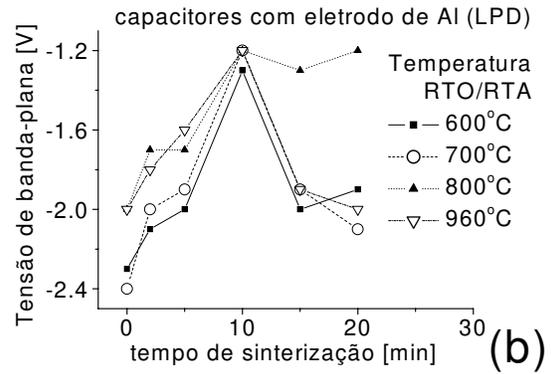
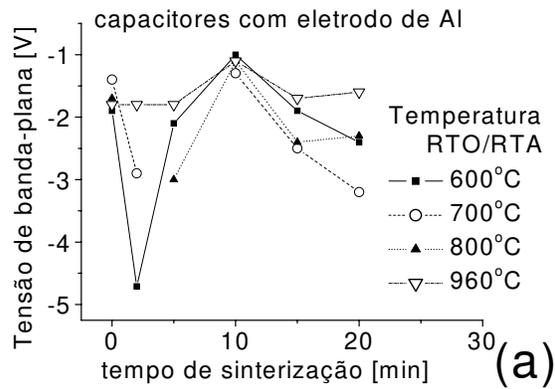
**Tabela 3.5- Características elétricas dos capacitores MOS  
com eletrodo superior de Poli-N<sup>+</sup>**

AMOSTRAS	TEMPO Recozimento [min]	VFB [V]	t <sub>ox</sub> [nm]	EOT [nm] C-V	Erro [%] C-V	EOT [nm] CVC	Erro [%] CVC	R <sub>s</sub> [Ω]	N <sub>A,D</sub> [cm <sup>-3</sup> ]	J <sub>G</sub> ·V <sub>G</sub> <sup>-1</sup> (A/cm <sup>2</sup> )
Poli06	0	NC	2	NC	NC	NC	NC	NC	NC	NC
Poli06	2	-1.5	2	3.8	0.16	3.4	13	358	4.5E14	1.9
Poli06	5	-1.2	2	1.2	0.13	1.6	12.5	298	4.7E14	2.3
<b>Poli06</b>	<b>10</b>	<b>-1.1</b>	<b>2</b>	<b>2.4</b>	<b>0.15</b>	<b>2.3</b>	<b>10.2</b>	<b>256</b>	<b>8.5E14</b>	<b>1.7</b>
Poli06	15	NC	2	NC	NC	NC	NC	NC	NC	NC
Poli06	20	NC	2	NC	NC	NC	NC	NC	NC	NC
Poli07	0	NC	4	NC	NC	NC	NC	NC	NC	NC
Poli07	2	-1.2	4	3.59	0.15	3.8	9.1	309	8.9E14	1.8E-3
Poli07	5	-1.2	4	3.39	0.13	3.02	5.2	286	9.1E14	1.9E-3
<b>Poli07</b>	<b>10</b>	<b>-1.1</b>	<b>4</b>	<b>4.4</b>	<b>0.10</b>	<b>4.2</b>	<b>3.4</b>	<b>262</b>	<b>3.2E15</b>	<b>0.85E-3</b>
Poli07	15	NC	4	NC	NC	NC	NC	NC	NC	NC
Poli07	20	NC	4	NC	NC	NC	NC	NC	NC	NC
Poli08	0	NC	7	NC	NC	NC	NC	NC	NC	NC
Poli08	2	-3.2	7	2.5	0.27	3.8	65.2	1320	2.5E15	0,23E-4
Poli08	5	-2.2	7	3.7	0.34	4.2	16.2	544	1.5E15	98E-4
<b>Poli08</b>	<b>10</b>	<b>-1.5</b>	<b>7</b>	<b>8.1</b>	<b>0.14</b>	<b>7.5</b>	<b>9.2</b>	<b>365</b>	<b>9.6E14</b>	<b>7.7E-4</b>
Poli08	15	NC	7	NC	NC	NC	NC	NC	NC	NC
Poli08	20	NC	7	NC	NC	NC	NC	NC	NC	NC
Poli09	0	NC	10	NC	NC	NC	NC	NC	NC	NC
Poli09	2	-3.1	10	14	0.34	13.8	1.25	1121	4.8E15	90E-5
Poli09	5	-1.6	10	15.1	0.53	14.7	2.3	453	2.3E15	120E-5
<b>Poli09</b>	<b>10</b>	<b>-1.5</b>	<b>10</b>	<b>11.8</b>	<b>0.24</b>	<b>10.8</b>	<b>6.1</b>	<b>355</b>	<b>1.3E15</b>	<b>1.23E-6</b>
Poli09	15	NC	10	NC	NC	NC	NC	NC	NC	NC
Poli09	20	NC	10	NC	NC	NC	NC	NC	NC	NC

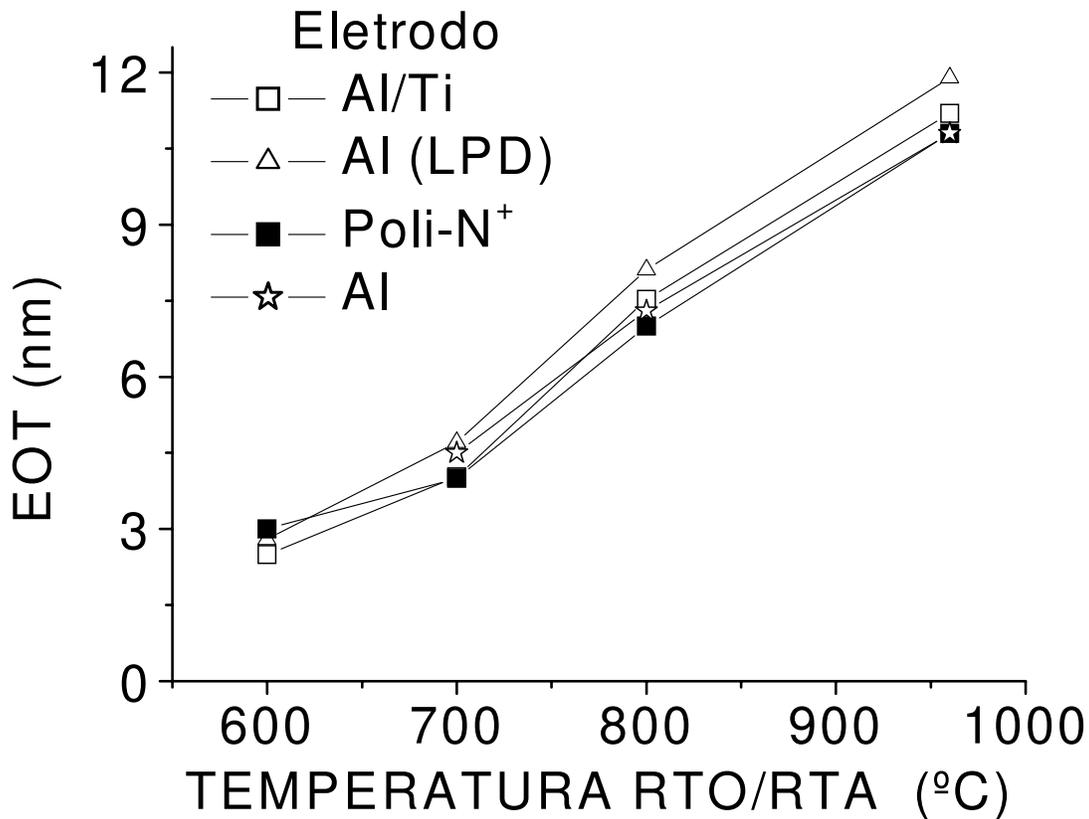
NC= Não convergiu



**Figura 3.9-** Erro CVC versus tempo de sinterizaçaõ de contatos/eletrodos superiores dos capacitores MOS em (a) eletrodo de Al; em (b) eletrodo de Al (depositado atraves da evaporadora localizada no LPD); em (c) eletrodo de Al\_Ti; e em (d) eletrodo de Si-poli N+.



**Figura 3.10- Tensão de banda plana x tempo de sinterização de contatos/eletrodos superiores dos capacitores MOS em (a) eletrodo de Al; em (b) eletrodo de Al (depositado através da evaporadora localizada no LPD); em (c) eletrodo de Al\_Ti; e em (d) eletrodo de Si-poli N+.**



**Figura 3.11- Espessuras EOT (extraídas das Curvas C-V para tempo de sinterização de 10 minutos) versus Temperaturas dos processos RTO/RTA.**

A Figura 3.11, que apresenta as espessuras EOT (extraídas das Curvas C-V para tempo de sinterização de 10 minutos) em relação às temperaturas dos processos RTO/RTA, mostra um comportamento linear da espessura com a temperatura. Isto confirma o resultado obtido por elipsometria apresentado na Figura 3.1. A Figura 3.12, que apresenta os valores de densidade de corrente de fuga  $J_g$  (para  $V_G = -1$  V) em relação às espessuras EOT, indica, através dos dois ajustes lineares, que para óxidos com espessuras entre 2 nm e 5 nm, e maiores que 5 nm, as variações da espessura EOT por década de densidade de corrente são em torno de 0.6 nm/década e 1 nm/década, respectivamente. Estes valores quando comparados à variação de 0.3 nm/década para os óxidos RTO entre 2 nm e 2.9 nm

da referência 50, apresentado na Figura 3.13, mostram que os nossos óxidos são de qualidade comparável ao dos reportados na literatura.

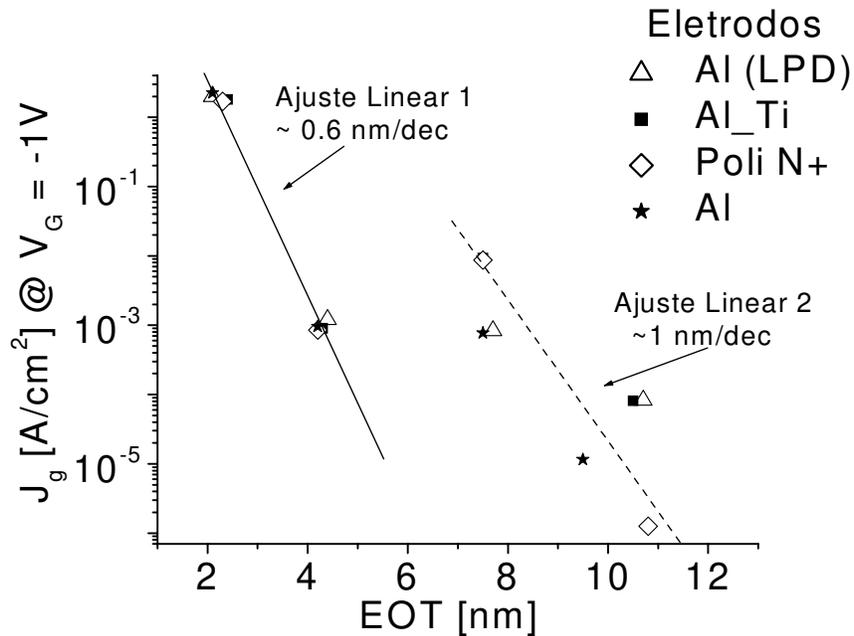


Figura 3.12 – Densidade de Corrente de Fuga  $J_g$  (para  $V_G = -1$  V) versus EOT.

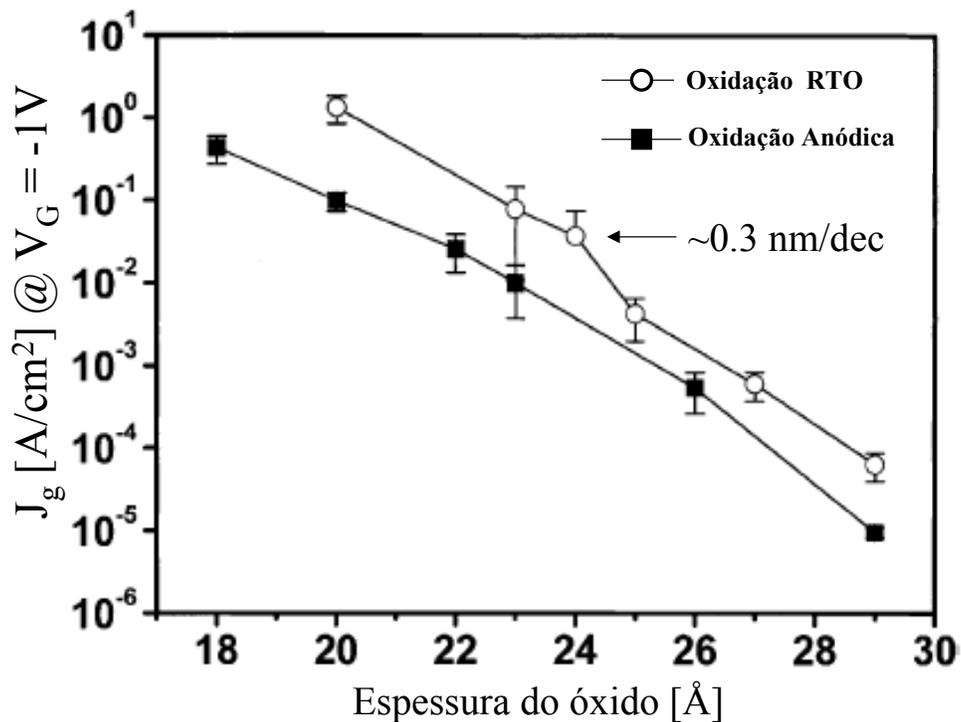


Figura 3.13- Densidade de Corrente de Fuga  $J_g$  versus Espessura do Óxido [50]

### 3.2- CARACTERIZAÇÃO DO DIODO N<sup>+</sup>/P

A fabricação do diodo N<sup>+</sup>/P foi descrita no capítulo 2 (item 2.3). As Figuras 3.14 e 3.15 mostram as simulações de processo de fabricação e de característica elétrica do diodo N<sup>+</sup>/P através dos programas *ATHENA* e *ATLAS* da companhia *Silvaco Int.* [51,52].

As Figuras 3.14 (a), (b) e (c) mostram que a profundidade de junção é de 0.3  $\mu\text{m}$  e a concentração de arsênio (dopante tipo N em Si) é de  $10^{20} \text{ cm}^{-3}$ . A profundidade de junção não foi medida fisicamente pois o equipamento disponível no CCS para este fim tem um limite de detecção em torno de 0.2  $\mu\text{m}$ , que é muito próximo do valor simulado. O sistema de espectrometria de massa do íon secundário (SIMS), que é a análise mais precisa para este fim, atualmente não está operacional. Mas, é imprescindível a caracterização física desta junção para realimentação de dados para o programa *ATHENA*. Isto será executado em trabalhos futuros.

As Figuras 3.15 (a) e (b) mostram as curvas I-V experimental e simulada do diodo N<sup>+</sup>/P, respectivamente. Os inversos da inclinação das curvas são de 70 mV/dec e 60 mV/dec, correspondendo aos valores de fator de idealidade de 1.16 e 1.0, respectivamente. Por este parâmetro, verifica-se que estas curvas apresentam uma variação entre experimental e teórico em torno de 16%. Para reduzir esta variação, se faz necessário um melhor ajuste dos parâmetros dos modelos teóricos disponíveis no programa *ATLAS*.

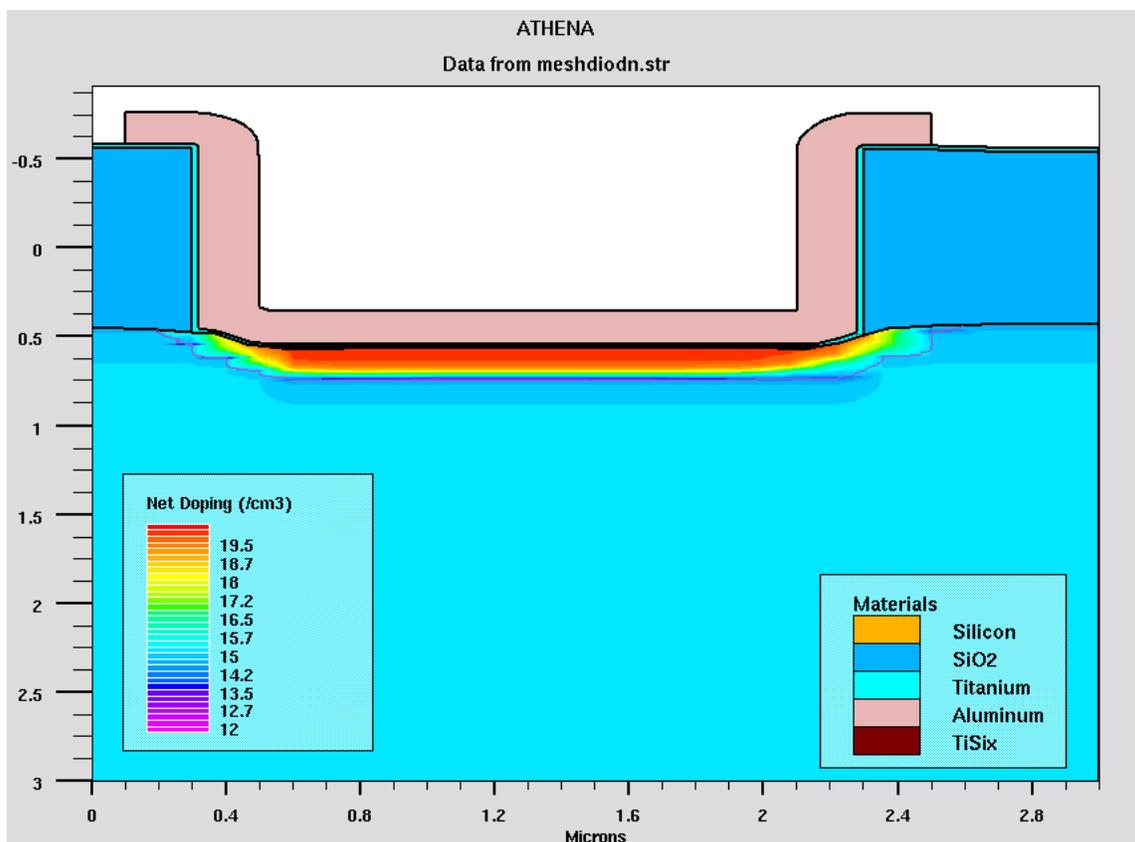
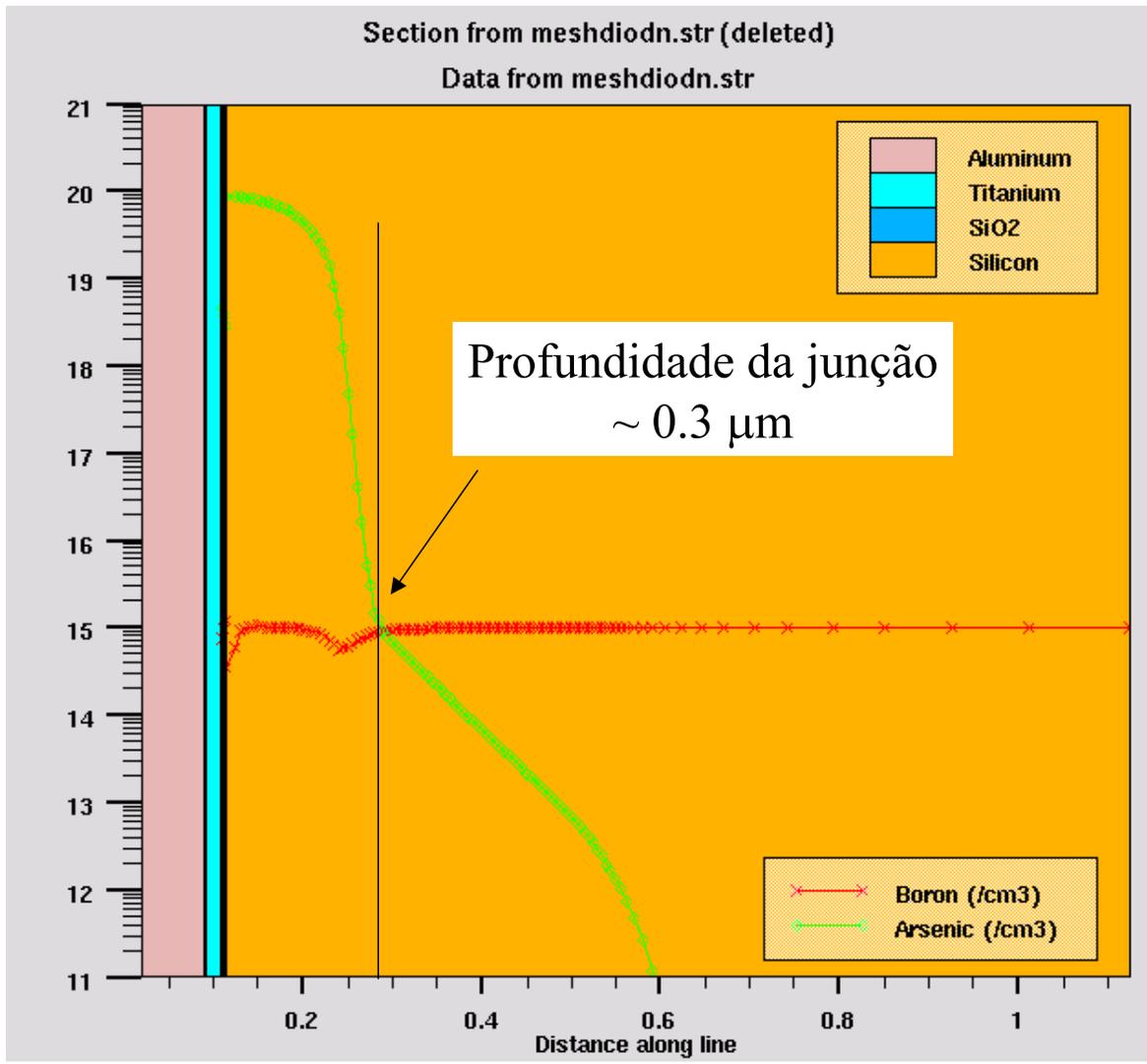


Figura 3.14(a) – Simulação da fabricação do diodo N<sup>+</sup>/P através do programa ATHENA: diodo em corte transversal.



**Figura 3. 14 (b) – Simulação da fabricação do diodo N+/P através do programa ATHENA: perfis da junção formada por implantação de arsênio e da dopagem de boro do substrato após a ativação RTA.**

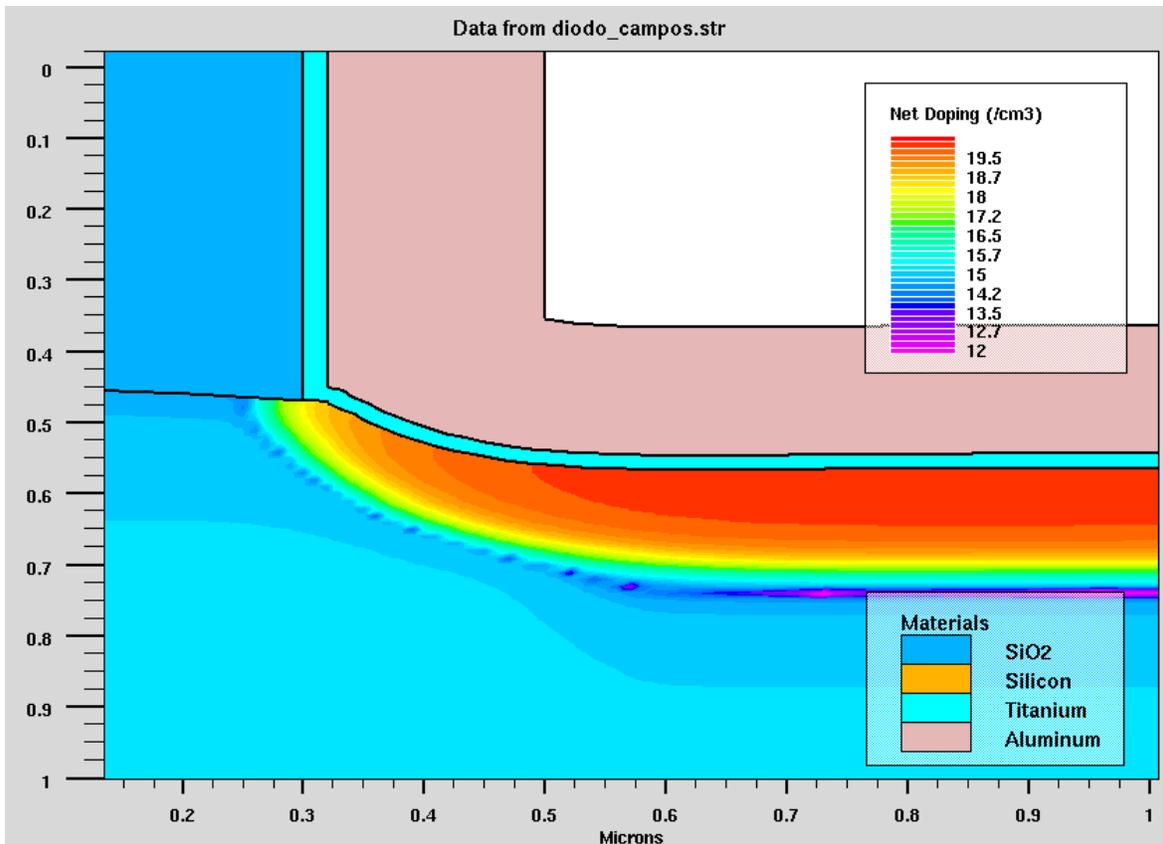
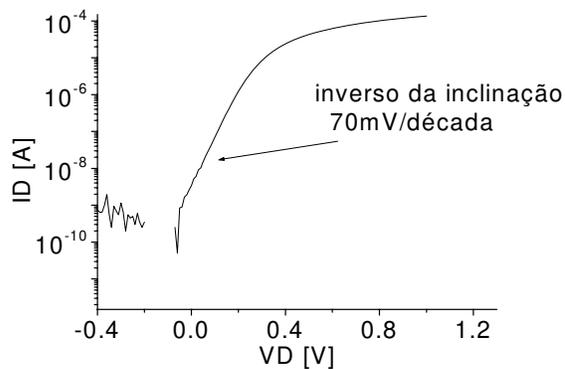
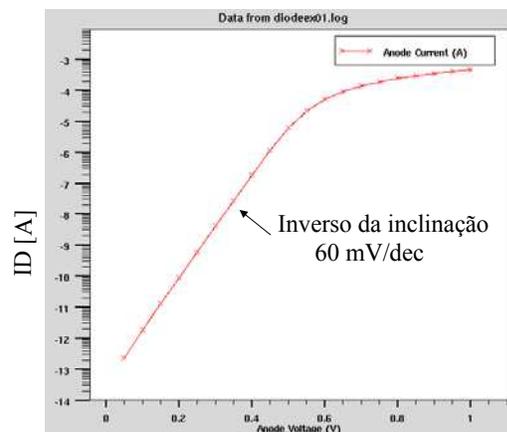


Figura 3. 14(c) – Simulação da fabricação do diodo N+/P através do programa ATHENA: aproximação (zoom) da junção formada com profundidade de ~0.3  $\mu\text{m}$ .



(a) experimental



(b) simulada

Figura 3.15- Curva de logID versus VD  
(onde ID e VD são corrente e tensão do diodo N+/P).

### 3.3- CARACTERIZAÇÃO DA UNIFORMIDADE DE AQUECIMENTO NOS SISTEMAS RTP DO CCS/UNICAMP.

A uniformidade de aquecimento sobre um substrato durante um processamento térmico rápido pode ser extraída através do seguinte experimento: oxidar uma lâmina de Si em processo RTO e depois medir em aproximadamente 100 pontos diferentes sobre o substrato a espessura do filme crescido. Estas medidas em vários pontos sobre a lâmina nos fornecer um mapeamento de espessura do óxido. Este mapeamento nos fornece a uniformidade de espessura, seguindo a seguinte expressão (Equação (1)):

$$Uniformidade[\%] = \left(1 - \frac{Valormáximomedido - Valormínimomedido}{Valormáximomedido}\right) \cdot 100\% \quad Eq.(1)$$

Quando os valores de espessura são uniformes acima dos 95% dos resultados medidos sobre a lâmina, nós consideraremos que a uniformidade de aquecimento do sistema RTP empregado é boa, sendo comparáveis aos nossos resultados de espessuras de óxidos crescidos em forno convencional. Entre 90 e 95%, nós consideraremos que a uniformidade de aquecimento é admissível, entre 80 e 89 % é regular, abaixo de 80% é ruim.

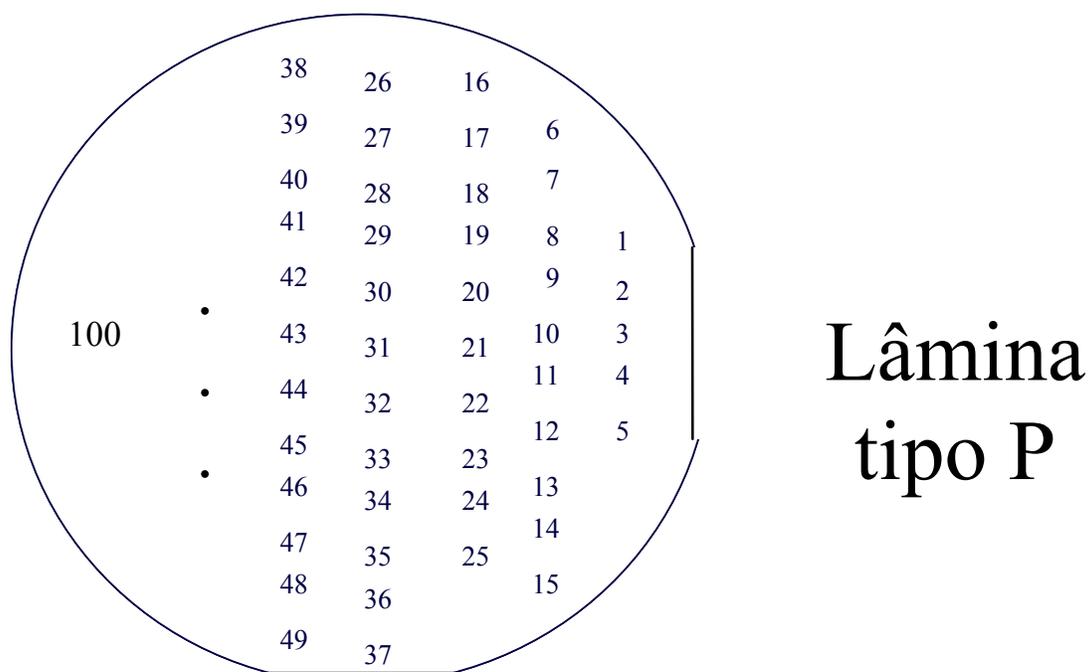
Para os testes de uniformidade de aquecimento dos processos térmicos rápidos foram utilizadas lâminas de 4” (para processo RTO), tipo P. Em cada lâmina foram medidos 100 pontos como apresentado na Figura 3.14. Os dois sistemas RTP (o *home-made* e o *Jipelec Jet First 150*) em operação no CCS foram testados. Os processos RTO foram:

- Oxidação térmica rápida realizada em temperatura de 700°C e tempo de 40 segundos nos fornos RTP *home made* (amostra 1) e *Jipelec Jet First 150* (amostra 2);
- Oxidação térmica rápida em temperatura de 1000°C durante 1min no RTP *Jipelec Jet First 150* (amostra 3);

#### 3.3.1 Processos para obtenção das amostras

- **Amostras 1 (processada no sistema *home-made*) e 2 (processada no sistema *Jipelec Jet-First 150*), sendo ambas lâminas com 4” de diâmetro.**
  - Limpeza RCA completa como descrito na Tabela 2.1.
  - Imersão em HF, para certificação de que não houvesse nenhum óxido nativo, pois os filmes crescidos são da ordem de 4 nm.
  - Oxidação térmica rápida (RTO) em temperatura de 700°C e tempo de 40s.
  - Elipsometria em 100 pontos para mapeamento da amostra
- **Amostra 3 (processada no sistema *Jipelec Jet-First 150* - lâmina com 4” de diâmetro)**
  - Limpeza RCA completa como descrito na Tabela 2.1.

- Imersão em HF, para certificação de que não houvesse nenhum óxido nativo, pois os filmes crescidos são da ordem de 12 nm.
- Oxidação térmica rápida (RTO) em temperatura de 1000°C e tempo de 60s.
- Elipsometria em 100 pontos para mapeamento da amostra.



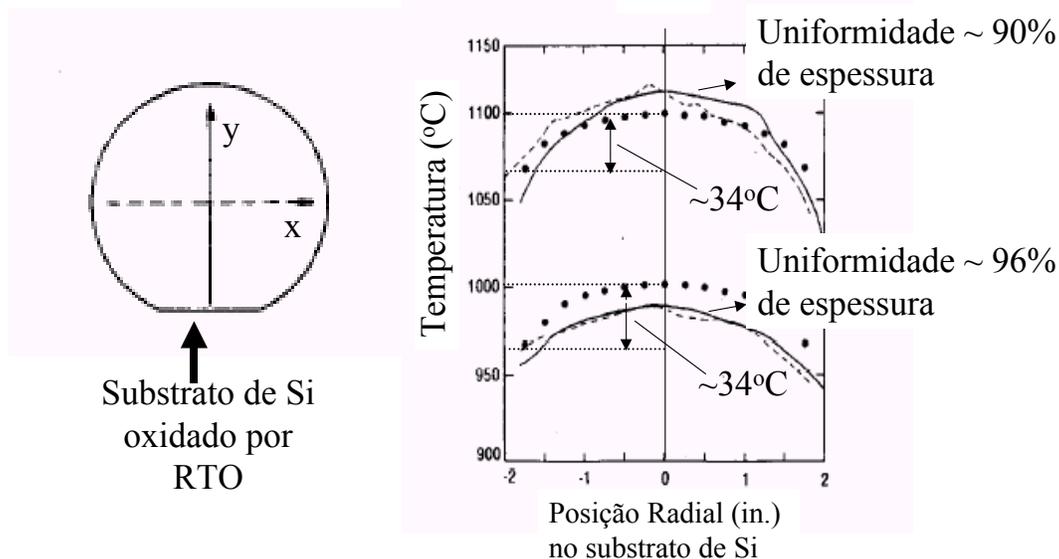
**Figura 3.14- Pontos medidos para mapeamento da espessura do óxido sobre substrato de 4” de diâmetro.**

### 3.3.2. Resultados obtidos:

A Tabela 3.6 mostra as espessuras médias e a uniformidade de espessura para as amostras 1, 2 e 3. Todos os valores medidos apresentaram boa uniformidade de espessura melhor que 84% para diâmetro do substrato de 4”. Vale salientar que para diâmetro de 2”, todos os valores medidos apresentaram excelente uniformidade melhor que 98%. Verificase que as amostras 1 e 2, processadas nos sistema *home-made* e *Jipelec Jet First 150*, respectivamente, apresentaram uniformidade de 95.2% e 91% em diâmetro de 4”. Isto indica que, para processos com perfis similares de temperatura/tempo, o sistema *home-made* apresenta uma uniformidade um pouco melhor do que a do *Jipelec Jet First 150*. Através das Figuras 1.4(b) e 1.5(b), observa-se que, nos dois sistemas RTP, o banco de lâmpadas (fonte de aquecimento) está posicionado na parte superior da câmara. A diferença entre ambos é que o *home-made* apresenta na câmara de aquecimento uma parede refletora cilíndrica para maior eficiência e uniformidade de aquecimento sobre o substrato. No *Jipelec Jet First 150* a parede refletora é plana. Por este resultado, esta diferença torna a uniformidade de aquecimento mais eficiente no *home-made*. Por outro lado, comparando-se os valores das amostras 2 e 3 processadas no mesmo sistema *Jipelec Jet First 150* em temperaturas RTO de 700°C e 1000°C, respectivamente, a uniformidade e a espessura (para diâmetro de 4”) variaram entre 91% e 84%, e entre 4.2 nm e 12.5 nm, o que indica que a

uniformidade diminui com o aumento da espessura do filme crescido. Mas, para diâmetro de 2", todos os valores medidos apresentaram excelente uniformidade melhor que 98%. Portanto, o que se pode garantir é uma excelente uniformidade para diâmetro de 2". Mas, para diâmetros entre 2" e 4", ocorre o denominado efeito de borda já mencionado no capítulo 1 e esquematizado na Figura 1.2 [2-4]. O efeito de borda pode ocorrer quando a fonte de aquecimento não é uniforme por toda a sua extensão, fornecendo maior intensidade luminosa no centro do que nas bordas desta fonte, o que é transferido ao substrato. Nossos resultados estão de acordo com o da literatura. A Figura 3.15, extraída da referência[33], mostra que os valores de uniformidade de espessura de óxido (medida ao longo dos eixos x e y representados na Figura 3.15 sobre um substrato de Si) são de cerca de 90% e de 96% para substratos com diâmetro de 4" processados por oxidação RTO em temperaturas de 1100°C e 1000°C, respectivamente. Além disso, são identificadas variações de temperatura (medida por pirômetro) entre centro e borda dos substratos de cerca de 34°C. Os resultados desta referência mostram que quando se aumenta a temperatura de processo, diminui-se a uniformidade de espessura do óxido devido ao efeito de borda, conforme verificado em nossos experimentos para as amostras 2 e 3 (Tabela 3.6).

- medidas de Temperatura por pirômetro;
- medidas de espessura do óxido RTO ao longo do eixo y;
- medidas de espessura do óxido RTO ao longo do eixo x.



**Figura 3.15- Perfis de temperatura (medida por pirômetro) e de espessura (medida ao longo dos eixos x e y) de óxido crescido sobre substrato de Si em processo RTO [33].**

**Tabela 3.6- Espessuras das amostras medida por elipsometria ( $\Delta$  e  $\Psi$  são ângulos elipsométricos, e o índice de refração foi fixado em 1.462)**

Amostras	$\Delta$	$\Psi$	Espessura média (nm)	Uniformidade [%]
Amostra1	167.44 – 166.92	10.61 – 10.64	4.1	95.2
Amostra2	167.72 – 165.80	10.60 – 10.68	4.2	91
Amostra3	145.00 – 144.16	12.04 – 11.96	12.5	84

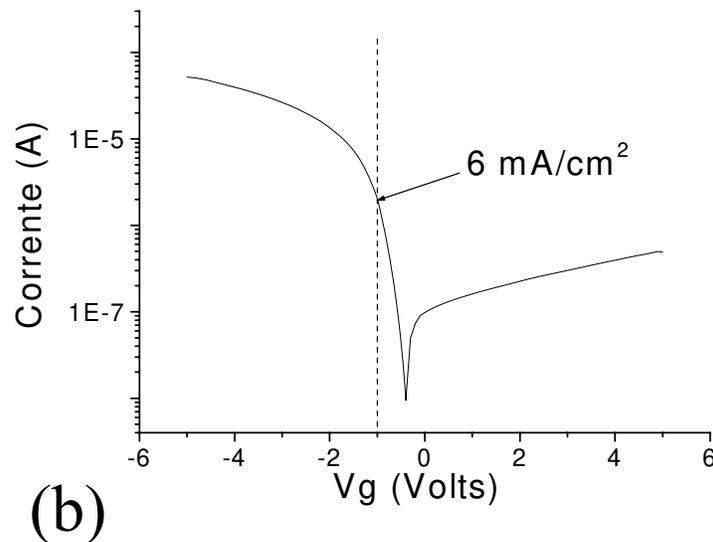
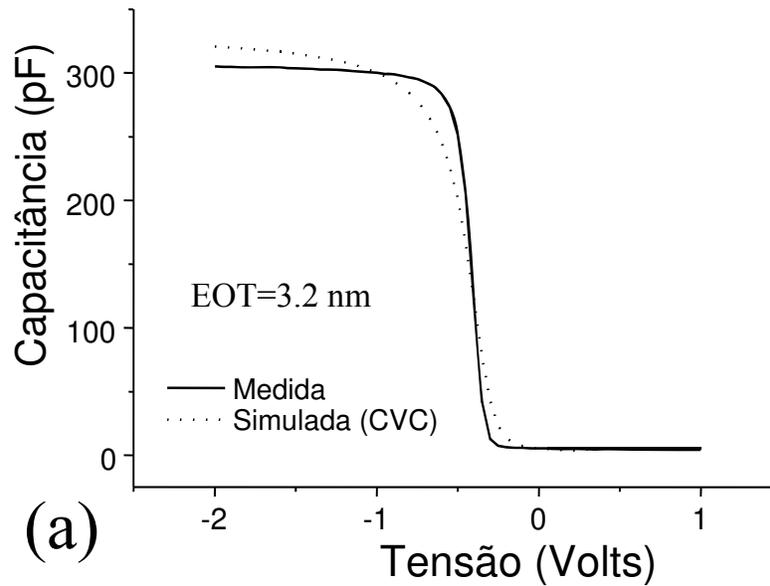
### 3.4- ATIVAÇÃO POR PROCESSO RTA DE ELETRODOS DE SiGe POLICRISTALINO TIPO N+ PARA PORTA DE DISPOSITIVOS MOS.

A Figura 2.2, no Capítulo 2, mostra a seqüência das etapas de processos de fabricação dos capacitores MOS do Grupo III, que tem como eletrodo superior de porta alumínio sobre Si-poli N+ ativado no sistema RTP da *Jipelec Jet First 150*. Os resultados destes capacitores MOS do Grupo III são apresentados na Tabela 3.5, nas curvas C-V das Figuras 3.5 e 3.6 (d) e nas curvas I-V das Figuras 3.10 e 3.11 (d), mostrando que a ativação de Si-poli N+ neste sistema RTP está confiável e pode ser implementada no processos CMOS do CCS/Unicamp. Como novidade, na dissertação de mestrado da referência [13], foi apresentado eletrodos de porta MOS de SiGe policristalino ativado por processo RTA executado no *Jipelec Jet First 150*. O processo de fabricação é similar ao de capacitores do Grupo III ( com eletrodo superior de porta alumínio sobre Si-poli N+) e é resumido a seguir:

- Fabricação de capacitores com estruturas **Al(1  $\mu\text{m}$ ) / SiGe-poli (100 nm) /SiO<sub>x</sub>N<sub>y</sub>/Si/Al(200 nm)**. Após a limpeza piranha + RCA (Tabela 2.1) foram produzidos os filmes isolantes por oxinitreção no ECR e etapas seqüenciais de deposição LPCVD de SiGe policristalino, implantação de íons de fósforo para dopagem, recozimento para ativação de dopantes, deposição de alumínio pela evaporadora por feixe de elétrons, fotogração para definição dos contatos superiores (fotorresiste AZ1350J), corrosão úmida do Al e do SiGe-poli, remoção do fotorresiste, limpeza orgânica, remoção de óxido nativo nas costas das lâminas, deposição de alumínio (pela evaporadora por feixe de elétrons) para formação de contatos com o corpo do semiconductor e recozimento/sinterização dos contatos. São apresentados na referência [13] maiores detalhes sobre os filmes isolantes de porta MOS crescidos por oxinitreção por plasmas de N<sub>2</sub>/O<sub>2</sub>/Ar no sistema ECR (*Electron Cyclotron Resonance*). Os eletrodos de SiGe-poli foram fabricados da seguinte maneira: para a deposição de Silício-Germânio policristalino foi utilizado o mesmo sistema LPCVD usado para depositar Si-poli. Empregaram-se os seguintes parâmetros de processo: temperatura de 500°C, pressão de 5 Torr, fluxos de 40 sccm de SiH<sub>4</sub> (pura), 4800 sccm de H<sub>2</sub> e 4 sccm de GeH<sub>4</sub>. (pura). Para todas as amostras foram depositados 0,1  $\mu\text{m}$  de SiGe-poli. Após a deposição do SiGe-poli, as amostras foram dopadas com fósforo por implantação iônica. Após as implantações, as amostras foram colocadas no sistema *Jipelec JetFirst 150* para executar o processo RTA (em 1000°C durante 30s em ambiente de N<sub>2</sub> (1l/min)) para a ativação de dopantes. Obteve-se resistências de folha em torno de 8 $\Omega/\square$  para os filmes de SiGe poli N+, o que é menor do que as resistências de folha em torno de 30 $\Omega/\square$  para os filmes de Si poli N+. As etapas de evaporação de alumínio, fotogração (fotorresiste AZ1350J) e limpeza orgânica foram as mesmas utilizadas na formação dos eletrodos de Al. O processo de fabricação dos eletrodos foi o seguinte:
- deposição do SiGe-poli (100 nm) sobre o oxinitreto de Si crescido no sistema ECR;
- implantação de íons de <sup>31</sup>P<sup>+</sup> com energia de 50 KeV e dose de 1x10<sup>16</sup> íons/cm<sup>2</sup> para formação do poli-N<sup>+</sup>;
- tratamento térmico em forno RTP (*Jipelec JetFirst 150*) para a ativação de dopantes em 1000°C durante 30s em ambiente de N<sub>2</sub> (1l/min);
- limpeza RCA;
- evaporação de alumínio, que foi utilizado como máscara para corrosão do Si-poli;

- fotogração para definição do alumínio evaporado sobre o Si-poli ;
  - corrosão seca no reator RIE (*Reactive Ion Etching*) do SiGe-poli.
- Os parâmetros utilizados para a corrosão do SiGe-poli no RIE foram:
- ambiente gasoso de SF<sub>6</sub> + O<sub>2</sub>
  - fluxos = 25 sccm;
  - pressão = 50 mTorr;
  - potência RF = 50 W;
  - tempo total de corrosão = 2 minutos.

- Eletrodo de SiGe-Poli N+ ativado por RTA
  - Dielétrico de SiO<sub>x</sub>N<sub>y</sub> crescido por plasma ECR
- Fluxos dos Gases O<sub>2</sub>:N<sub>2</sub>:Ar = 13: 7 :20 sccm



**Figura 3.16- Curvas (a) C-V e (b) I-V do Capacitor com estrutura Al(1  $\mu$ m)/SiGe-poli(100 nm)/SiO<sub>x</sub>N<sub>y</sub>(EOT=3.2 nm)/Si-p/Al(200 nm) [13].**

A Figura 3.16 apresenta as curvas típicas C-V e I-V dos capacitores com estruturas Al (1  $\mu\text{m}$ ) / SiGe-poli (100 nm) / SiO<sub>x</sub>N<sub>y</sub> / Si-p / Al (200 nm). Estes dielétricos de SiO<sub>x</sub>N<sub>y</sub> apresentaram EOT de 3.2 nm e densidade de corrente de fuga de 6mA/cm<sup>2</sup>. Estas curvas mostram que a ativação de SiGe-poli N<sup>+</sup> no sistema RTP da *Jipelec Jet First 150* está confiável e pode ser implementada no processos CMOS do CCS/Unicamp, com a vantagem de se obter valores baixos de resistências de folha em torno de 8 $\Omega/\square$ , quando comparados aos valores entre 20 e 30 $\Omega/\square$  para os filmes de Si poli N<sup>+</sup>. Como discutido no capítulo 1, estes baixos valores de resistência de folha melhoram o desempenho do dispositivo com relação ao atraso RC.

## CAPÍTULO 4

### CONCLUSÕES E PERSPECTIVAS FUTURAS

Neste trabalho foram descritos no capítulo 1: o processamento térmico rápido (RTP), suas vantagens e desvantagens, os tipos de sistemas RTP, a uniformidade de aquecimento dos sistemas RTP, os sistemas *home-made* e *Jipelec Jet-First 150* do CCS, que foram usados nesta dissertação, a contribuição do sistema *home-made* para a tecnologia CMOS desenvolvida no CCS, e um histórico sobre os tipos de eletrodos superiores de porta de estruturas MOS. No capítulo 2 foram descritos os processos de fabricação de:

- i) capacitores MOS, com óxidos RTO de porta crescidos em temperaturas de 600, 700, 800 e 960°C no sistema *Jipelec Jet-First 150* e com quatro tipos de eletrodos superiores: Al, Al (depositado na evaporadora de ultra-alto vácuo instalada no LPD), Al\_Ti e Si poli N<sup>+</sup> (depositado por LPCVD, dopado através de implantação de <sup>31</sup>P<sup>+</sup> e ativado por RTA no sistema *Jipelec Jet-First 150*).
- ii) diodos N<sup>+</sup>/P, formados segundo processo para fabricação de transistores e circuitos MOS do CCS, seguindo basicamente as etapas de implantação de <sup>75</sup>As<sup>+</sup> e ativação RTA de dopantes para a formação da junção.

No capítulo 3, foram apresentados os resultados (que são mostrados resumidamente (para tempo de sinterização de 10 minutos) na Tabela 4.1) dos óxidos de porta e capacitores MOS descritos acima no item i. A Tabela 4.1 mostra os resultados obtidos através da caracterização elétrica e física dos dispositivos MOS, com eletrodo de Al, Al (LPD), Al\_Ti e Si-poli N<sup>+</sup>, onde  $t_{ox}$  é a espessura extraída do elipsômetro, EOT (C-V) é a espessura elétrica extraída da medida C-V (Keithley 4200 SCS), que também fornece a resistência série  $R_s$ , a concentração de dopantes  $N_{A,D}$  e a tensão de banda-plana  $V_{FB}$ . Extraí-se ainda o erro do instrumento, Erro C-V, que indica a confiabilidade nas medidas. EOT (CVC) é a espessura elétrica extraída do programa CVC [30,31]. Deste programa se extrai o erro entre simulação e medida (Erro CVC). Os valores de densidade de corrente de fuga de porta.  $J_G$  são extraídos das curvas I-V.

Nesta parte do trabalho foi concluído que: os óxidos crescidos por RTO em temperaturas de 600, 700, 800 e 960°C apresentaram espessuras (medidas por elipsometria) entre 2 e 10 nm, indicando a formação de filmes ultra-finos (< 5 nm) e finos (> 5nm), e que a espessura é linear com a temperatura. A Tabela 4.1 mostra que estes valores físicos de espessura são similares aos valores de espessuras elétricas EOT extraídas das curvas C-V ou do simulador CVC, confirmando que a espessura é linear com a temperatura. A estrutura MOS formada com óxido crescido em 960°C e eletrodo de Si poli N<sup>+</sup> foi investigada por microscopia eletrônica de transmissão (TEM) e espectrometria da energia dispersiva do raio-X (EDS), confirmando a espessura do óxido de 10 nm, as interfaces óxido-Si e óxido-Si poli N<sup>+</sup> sem rugosidades e a formação do filme de óxido de Si. Esta formação também foi identificada para todos os filmes através dos espectros de infra-vermelho (FTIR), que apresentaram ligações Si-O e Si-Si. A Tabela 4.1 mostra que os valores das tensões de banda-plana  $V_{FB}$ , extraídos das curvas C-V, para tempos de sinterização de 10 minutos, estão entre -1.0 e -1.5 V, indicando que todas as estruturas MOS apresentaram densidade de carga efetiva no sistema SiO<sub>2</sub>/Si menor que 10<sup>11</sup> cm<sup>-2</sup>. Pois, estes valores de  $V_{FB}$  estão próximos do valor ótimo de -0.9 V (para substrato do tipo-P), que por sua vez indica

valores ótimos de densidade de carga em torno de  $10^{10} \text{ cm}^{-2}$ . Além disso, a Tabela 4.1 mostra que os valores de densidades de corrente de fuga  $J_g$  estão entre  $2.3 \text{ A/cm}^2$  e  $1.2 \times 10^{-6} \text{ A/cm}^2$ , que são similares aos apresentados na literatura [50] para óxidos crescidos por RTO. Assim, através dos resultados apresentados conclui-se que: os nossos óxidos podem ser usados com eletrodos tradicionais, como os de Al ou de Si –poli N+, ou com eletrodos baseados em Ti, como o Al\_Ti. Salienta-se que o eletrodo de Si-poli N+ foi ativado por processo RTA (como descrito no capítulo 3). Portanto, dispositivos MOS podem ser fabricados com eletrodos policristalinos com dopantes ativados por RTA e óxidos de porta obtidos por RTO, tanto usando o sistema *home-made* quanto o *Jipelec Jet First 150* do CCS. Novamente, salientamos que em nossa revisão bibliográfica para a dissertação deste trabalho, não foi encontrado nenhum artigo que tenha crescido óxido de Si em processo RTO em  $600^\circ\text{C}$  para formação de estruturas MOS. As curvas C-V da Figura 3.5 estão bem comportadas, pois não apresentam nem histerese, nem variação grande de  $V_{FB}$  (menores que  $-3\text{V}$ ) e nem deformação típicas de curvas de capacitores MOS com densidade de carga efetiva maior que  $10^{12} \text{ cm}^{-2}$ . Isto mostra que os nossos processos RTO em  $600^\circ\text{C}$  podem formar óxidos de porta de capacitores MOS com espessura de 2 nm, que podem ser usados com os quatro eletrodos superiores empregados neste trabalho. Acreditamos que esta é uma contribuição importante deste trabalho, pois acrescenta mais um estudo sobre os limites da estrutura  $\text{SiO}_2/\text{Si}$  na tecnologia dos atuais dispositivos MOS com dimensões menores que 100 nm.

**Tabela 4.1- Características elétricas dos capacitores MOS  
(tempo de sinterização de 10 minutos)**

AMOSTRAS	V <sub>FB</sub> [V]	t <sub>ox</sub> [nm]	EOT [nm] C-V	Erro [%] C-V	EOT [nm] CVC	Erro [%] CVC	R <sub>s</sub> [Ω]	N <sub>A,D</sub> [cm <sup>-3</sup> ]	J <sub>G</sub> , V <sub>G</sub> =-1V (A/cm <sup>2</sup> )
Al06	-1.0	2	2.2	0.16	2.1	2.1	203	1.1E15	2.25
Al07	-1.3	4	4.4	0.10	4.2	4.5	316	9.5E14	0.96E-3
Al08	-1.1	7	7.7	0.11	7.5	2.5	266	9.3E14	2.7E-4
Al09	-1.1	10	9.1	0.11	9.5	4.1	264	9.9E14	1.15E-5
AILPD06	-1.3	2	2.3	0.11	2.1	5.8	361	9.0E14	2.0
AILPD07	-1.2	4	4.8	0.11	4.4	10.3	310	5.2E14	1.2E-3
AILPD08	-1.2	7	8.34	0.11	8.7	4.0	322	9.1E14	8.3E-4
AILPD09	-1.2	10	11.1	0.10	10.7	7.8	327	1.7E15	8.3E-5
AlTi06	-1.2	2	2.35	0.10	2.4	1.6	298	1.8E15	1.8
AlTi07	-1.1	4	4.31	0.10	4.30	1.12	212	1.8E15	0.9E-3
AlTi08	-1.1	7	7.67	0.10	7.53	1.8	223	2.4E15	93E-4
AlTi09	-1.1	10	10.9	0.10	10.5	3.9	238	1.3E15	8.15E-5
Poli06	-1.1	2	2.4	0.15	2.3	10.2	256	8.5E14	1.7
Poli07	-1.1	4	4.4	0.10	4.2	3.4	262	3.2E15	0.85E-3
Poli08	-1.5	7	8.1	0.14	7.5	9.2	365	9.6E14	7.7E-4
Poli09	-1.5	10	11.8	0.24	10.8	6.1	355	1.3E15	1.23E-6

No capítulo 3 foram apresentados os resultados de simulações ATLAS (caracterização elétrica) e ATHENA (fabricação do dispositivo) e de medidas I-V do diodo N+/P fabricado usando uma etapa de ativação RTA no sistema *Jipelec Jet-First 150*, mencionado no item ii acima. Estes resultados indicam que foi formada uma junção com profundidade de  $0.3 \mu\text{m}$  e dopagem de  $10^{20} \text{ cm}^{-3}$ , e que o diodo experimentalmente apresentou um fator de idealidade de 1.16, tendo uma variação de 16% do valor ideal de 1.0

apresentado pela simulação ATLAS. Indicando que novos ajustes no processo de fabricação e nos parâmetros dos modelos teóricos devem ser executados para um menor variação entre os parâmetros simulados e medidos. Destes resultados conclui-se que podemos usar também o sistema *Jipelec Jet-First 150* para a fabricação de diodos e de dispositivos com tecnologia CMOS, já que conforme visto no capítulo 1, o sistema *home-made* já vem sendo utilizado na tecnologia CMOS empregada no CCS.

No capítulo 3, a uniformidade de aquecimento foi verificada nos dois sistemas RTP disponíveis para este trabalho. De forma geral, o sistema *home-made* apresenta uma melhor uniformidade de aquecimento (95%) quando comparado ao sistema *Jipelec Jet-First 150* (91%) sobre substratos com diâmetro de 4". Para substratos com diâmetro de 2", ambos apresentam excelente uniformidade > 98%. Nossos resultados são similares ao da literatura [33].

Ainda no capítulo 3, para finalizar, eletrodos de porta de SiGe policristalino N<sup>+</sup> foram fabricados com ativação RTA, mostrando que a ativação de SiGe-poli N<sup>+</sup> no sistema RTP da *Jipelec Jet First 150* está confiável e pode ser implementada no processos CMOS do CCS, com a vantagem de se obter valores baixos de resistências de folha em torno de 8Ω/□, quando comparados aos valores entre 20 e 30Ω/□ para os filmes de Si poli N<sup>+</sup>. Como discutido no capítulo 1, estes baixos valores de resistência de folha melhoram o desempenho do dispositivo com relação ao atraso RC.

#### **Como perspectivas futuras, pode-se propor:**

- ✓ Utilizar os filmes ultra-finos de óxido de silício em transistores, e nos processos CMOS desenvolvido no CCS.
- ✓ Estudos mais detalhados, tais como a análise de espectrometria de massa de íon secundário para determinação da profundidade de junção, para produção de diodos.
- ✓ Realizar estudos de microscopia de transmissão (TEM) para outras amostras.
- ✓ Realizar simulação dos capacitores MOS, usando os simuladores ATLAS e ATHENA.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1]- J.W. Swart, notas de aula sobre “evolução da microeletrônica, regras de escalamento e limites”, do curso IE521-tecnologia de circuitos integrados– feec/unicamp, site: [www.ccs.unicamp.br](http://www.ccs.unicamp.br)
- [2]- J.A.Diniz, Tese de Mestrado, FEEC/UNICAMP (1992).
- [3]- J.D.Plummer, M.D.Deal and P.B.Griffin “Silicon VLSI Technology fundamental practice and modeling” Prentice Hall (2000).
- [4]- Hisayo S M, Senior Member, IEEE, Tatsuya O, Shin-ichi N, Yoshiaki T, Member, IEEE, Hidemi I, Member, IEEE, and Hiroshi I, Fellow, IEEE transactions on electron devices, vol. 49, no. 9, september 2002.
- [5]- Regis Eugênio dos Santos – Tese de Mestrado, FEEC/UNICAMP (2003).
- [6]- Alexandre Gorni Felício, Dissertação de Mestrado, FEEC/UNICAMP (2003).
- [7]- Jacobus W. Swart Apostila “Materiais elétricos”do curso IE511 CCS e DSIF/FEEC UNICAMP
- [8] - W.J.M.J. Josquin, Nuclear Instrum. and Methods, 209/210, 581 (1983).
- [9]- M.V. Fischetti, D.A. Neumayer, e E.A.Cartier, J. of Appl. Phys., 90(9), 4587 (2001).
- [10]- <http://www.ccs.unicamp.br>
- [11]- Jipelec – Manual do fabricante do RTP Jet Fierst 150.
- [12]- S. A Campbell The Science and engineering of Microeletronic fabrication (1996)
- [13]- Gleison Alan Manera, Tese de Mestrado – FEEC/UNICAMP (2004).
- [14]- J.D.Plummer, M.D.Deal and P.B.Griffin “Silicon VLSI Technology fundamental practice and modeling” Prentice Hall (2000).
- [15]- [http://www.ccs.unicamp.br/Cursos/PROCESSOS DE MICROFABRICAÇÃO/EE-941](http://www.ccs.unicamp.br/Cursos/PROCESSOS_DE_MICROFABRICAÇÃO/EE-941)
- [16]- S. A. Campbell, H. S. Kim, D. C. Gilmer, B. He, T. Ma, W. L. Gladfelter, IBM J. of Research and Development, 43 (3), 383 (1999).
- [17]- M.L. Green, E.P. Gusev, R.Degraeve, E.L. Garfunkel, Journal of Applied Physics-Applied Physics Reviews, Vol. 90, Number 5, 2057 (2001).

- [18]- Jacobus W. Swart “Oficina de Microfabricação Projeto e Construção de CI’s MOS” CCS e DSIF/FEEC UNICAMP
- [19]- A Hokazono *and at all*, Electron Devices Meeting, IEDM '02. Digest. International, 639 (2002).
- [20]- Peter Singer, Semiconductor International, 24 (13), 38 (2001).
- [21]- M.Y.A. Yousif, and M. Willander, P. Lundgren, M. Caymax,, 8th IEEE International Symposium, 271, (2000).
- [22]- Scott Thompson, MOS Scaling: Transistor Challenges for the 21<sup>st</sup> Century, Intel Technology Journal (1998).
- [23]- Deepak K. Nayak, Ming-Yin Hão, and Rajat Rakkhit, Integrated Reliability Workshop, IEEE International , 116(1996).
- [24]- Hugo Ricardo Jimenez Grados, Tese de Doutorado, FEEC/UNICAMP (2003).
- [25]- Kern, RCA Review,31,187 (1970).
- [26]- Manual do Elipsômetro,Rudolph, modelo Auto-EL NIR 2 do Centro de Componentes Semicondutores,UNICAMP
- [27]- Anna Paula Sotero, Tese de doutorado, FEEC UNICAMP (1999).
- [28]- J.A. Diniz, Tese de Doutorado, FEEC/UNICAMP (1996).
- [29]- Alexandre Gorni Felício, Dissertação de Mestrado, FEEC/UNICAMP,(2003).
- [30]- W.K.Henson, K.Z.Ahmed, E.M.Vogel, J.R.Hauser, J.J.Wortman, R.D.Venables, M.Xu, and Venables, IEEE Electron Devices Letters, 20 (1999).
- [31] – C. A. Richter, A.R. Hefner, and E. M. Vogel, “A Comparison of Quantum-Mechanical-Voltage Simulators” IEEE Electron Devices Letters, (2001).
- [32] - Hiroyuki S, Ichiro O, Takeo Ui, Member, IEEE, Shigetoshi S, Member, IEEE, and Tadahiro O, Senior Member, IEEE APPLIED PHYSICS LETTERS VOLUME 85, NUMBER 18 1 NOVEMBER (2004)
- [33]- H. A. LORD IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. I, NO. 3, AUGUST (1988)
- [34]- F. Damiani e N. Marranghello, “Implantação de Íons”, Processos de Microeletrônica, p.4-1, Editado por V. Baranauskas/UNICAMP (1990).
- [35]- J.E. Lilienfeld, U.S. Patent, 475175 (1926), 1877140 (1928) e 190018 (1928).

- [36]- O. Heil, British Patent, 439457 (1935).
- [37]- W. Shockley and G.L. Pearson, Phys. Review, 74, 547 (1945).
- [38] - J.A. Hoerni, “Planar Silicon Transistors and Diodes”, IRE Electron Devices Meeting - Washington D.C. (1960).
- [39]- S.R. Hofstein and F.P. Heiman, Proc. IEEE, 51, 1190 (1963).
- [40]- E.H. Snow, J. Appl. Phys., 36(5), 1664 (1965).
- [41]- G.J. Frosch and L. Derrick, J. Electrochem. Soc., 104, 547 (1957).
- [42]- D.F. Takeuti, Dissertação de Mestrado-FEEC/UNICAMP (1992).
- [43]- P.K. Mclarty, W.L. Hill, X.-L. Xu, V. Misra, J.J. Wortman, and G.S. Harris, Appl. Phys. Lett., 63(26), 3619 (1993).
- [44] - W.J.M.J. Josquin, Nuclear Instrum. and Methods, 209/210, 581 (1983).
- [45]- William C. Mariano, “Elipsometria”, Relatório da Disciplina: Medidas de Caracterização para Microeletrônica, FEEC/UNICAMP, 1994.
- [46]- W. R. Runyan, “Semiconductor Measurements and Instrumentation”, Texas Instruments Electronics Series, Mcgraw-Hill Company, p.158, 1975.
- [47] – M.L. Green, E.P. Gusev, R.Degraeve, E.L. Garfunkel, Journal of Applied Physics-Applied Physics Reviews, Vol. 90, Number 5, 2057 (2001).
- [48]- M. Severi, L. Dori and M. Impronta, IEEE Electron Dev. Lett., EDL-6, 3 (1985).
- [49]- Giancarlo Tosin – “Medidas TEM” Medidas para a Caracterização e Análise de Materiais, IE607A, (2000).
- [50]- Zhi-Hao Chen, Szu-Wei Huang, Jenn-Gwo Hwu -department of electrical engineering/graduate institute of electronics engineering, room 446, national taiwan university, taipei, taiwan, rocreceived 1 july 2002; received in revised form 27 january 2003; accepted 17 june 2003.
- [51] – ATHENA- USER’S MNUAL - 2D process simulation software – Silvaco International Inc.
- [52] – ATLAS- USER’S MNUAL – Device simulation software – Silvaco International Inc.

## ANEXO-A

### DISPOSITIVOS M.O.S. (METAL-OXIDO-SEMICONDUCTOR)

#### A.1 - CAPACITOR M.O.S. : INTRODUÇÃO

A estrutura de um capacitor MOS apresenta três interfaces: metal-óxido, óxido-semicondutor e semicondutor-metal, como ilustra a Figura.A.1(a). A Figura.A.1(b) apresenta o diagrama de faixas (ou bandas) de energia de um capacitor MOS ideal em equilíbrio termodinâmico. Um capacitor é considerado ideal quando: não há presença de cargas no óxido ou na interface Si/SiO<sub>2</sub>, as funções trabalho do semicondutor e do metal são idênticas, e a distribuição de dopantes no substrato (semicondutor) é uniforme.

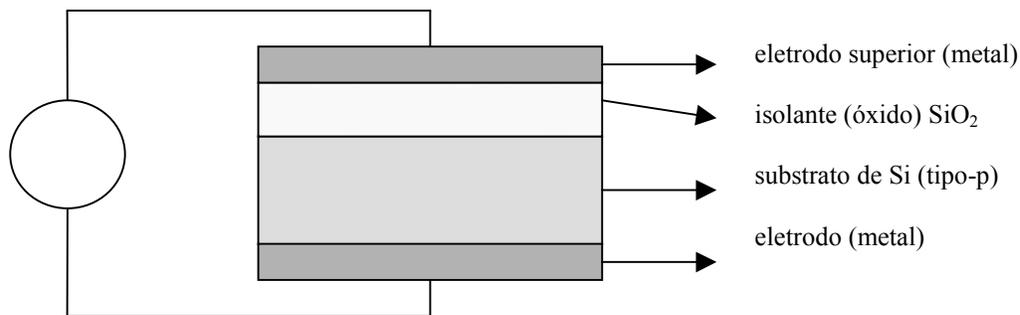


Figura.A.1(a) Estrutura de um capacitor MOS, com substrato de Si tipo-p

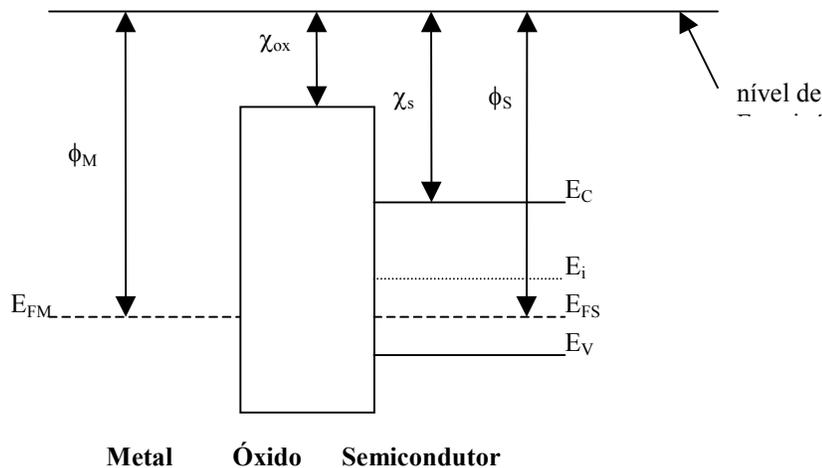


Figura.A.1(b) Diagrama de bandas de energia de um capacitor MOS ideal, com substrato tipo-p [2]

onde:

$E_c$  - energia do limite inferior da banda de condução;

$E_{FS}$  - energia do nível de Fermi no semiconductor tipo-p;

$E_{FM}$  - energia do nível de Fermi no metal;

$E_v$  - energia do limite superior da banda de valência;

$E_i$  - energia do nível de Fermi no semiconductor intrínseco;

$E_g = E_c - E_v$  - magnitude da energia da banda proibida;

$E_{vac}$  - energia de referência no nível de vácuo;

$\phi_M$  - função trabalho do metal;

$\phi_S$  - função trabalho do semiconductor;

$\chi_s$  - afinidade eletrônica do semiconductor;

$\chi_{ox}$  - afinidade eletrônica do óxido;

$\psi_s$  - potencial de superfície do semiconductor;

$\psi_f = (E_i - E_{FS})/q$  - potencial de Fermi.

Um capacitor MOS é fabricado da seguinte forma: sobre uma lâmina (substrato) semicondutora é depositada ou crescida (oxidação térmica) uma camada fina de material isolante (óxido). Utilizando-se material condutor (metal), são formados dois eletrodos: o primeiro sobre a camada de óxido (denominado eletrodo superior) e o segundo sob a lâmina (denominado eletrodo do substrato), como ilustra a Figura.A.1(a).

Basicamente, os dispositivos com estrutura metal-óxido-semiconductor (MOS), quando polarizados por um sinal de tensão elétrica aplicada entre seus eletrodos, operam sob o efeito do campo elétrico resultante na superfície do semiconductor. Em 1926, Lilienfeld [35] apresentou o primeiro estudo sobre estes dispositivos. Em 1935, Heil [36] sugeriu que dispositivos amplificadores de estado sólido poderiam ser obtidos, utilizando-se este efeito de campo. Shockley [37] demonstrou experimentalmente o efeito da modulação da condutância em semicondutores através da aplicação de campos elétricos em filmes finos de semicondutores.

A partir de 1957, a tecnologia planar revolucionou a fabricação dos dispositivos semicondutores. Esta tecnologia foi desenvolvida pela primeira vez por Frosch e Derrick [66], que utilizaram filmes de dióxido de silício ( $SiO_2$ ) como camada de proteção e também como máscara para etapas de processo de difusão. Mas esta tecnologia só foi concretizada em 1960 por Hoerni [38], que obteve diodos e transistores planares de silício.

A partir de 1960, com o processo de oxidação térmica, Khang e Atalla [38] obtiveram uma camada de dióxido de silício de boa qualidade crescida termicamente e produziram o primeiro transistor MOS. Baseando-se neste trabalho, o transistor MOS foi aperfeiçoado por Hofstein e Heiman [39] em 1963 e a sua fabricação foi iniciada imediatamente. No entanto, estes transistores apresentaram variações nas características elétricas devido ao deslocamento de cargas no óxido de porta sob condições de elevado campo elétrico e alta temperatura, obrigando a paralisação da produção pouco depois.

A partir de 1965, compreendeu-se a causa da instabilidade dos dispositivos M.O.S., com a publicação do primeiro trabalho sobre contaminação do óxido por íons sódio ( $Na^+$ )

[40]. Demonstrou-se que as cargas contaminantes do dióxido de silício eram íons móveis, principalmente íons de sódio de carga positiva. Algumas soluções para a redução da contaminação foram propostas:

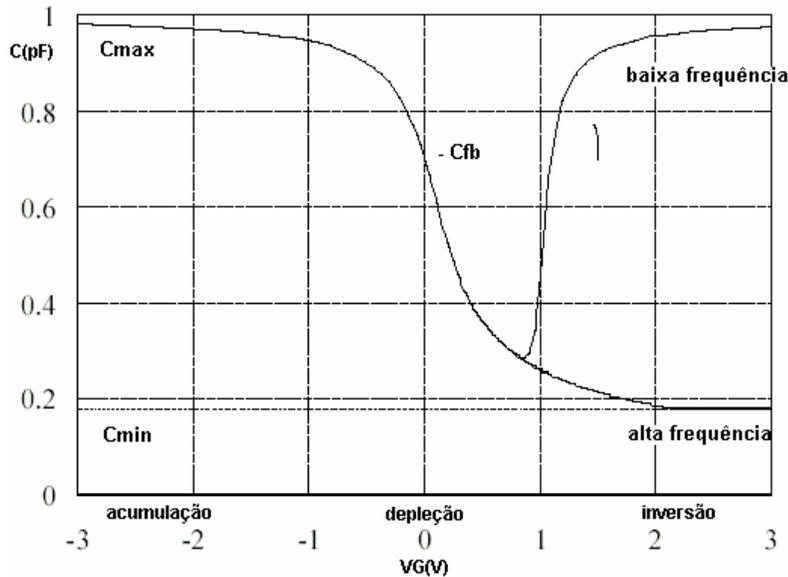
i) a utilização de óxido de silício de porta dopado com fósforo - esta técnica permite diminuir bastante a mobilidade dos íons móveis, mas causa polarização do óxido, que não diminui as variações na característica elétrica;

ii) a incorporação de cloro ao óxido de silício de porta - esta técnica permite a fixação dos íons móveis, sendo bastante utilizada em processos de oxidação térmica em temperaturas  $> 1000^{\circ}\text{C}$ ;

iii) a utilização do nitreto de silício ( $\text{Si}_3\text{N}_4$ ) ou óxido de silício nitretado como dielétrico de porta - os filmes de  $\text{Si}_3\text{N}_4$  permitem que a mobilidade dos íons móveis seja extremamente reduzida, mas as etapas de obtenção dos filmes por CVD, RTP ou nitretação térmica do óxido de silício convencional envolvem tecnologia complexa e problemas com a integridade do filme pela eventual incorporação de hidrogênio. Atualmente, a tecnologia MOS proporciona a fabricação de dispositivos de alta qualidade com dimensões submicrométricas e baixo consumo de potência. Isto é devido ao melhor controle da contaminação e da geração de partículas nos ambientes de processo, e às etapas de limpeza mais eficientes, que proporcionam uma melhor estabilidade das propriedades da interface  $\text{SiO}_2/\text{Si}$ .

## **A.2 - CAPACITOR MOS: *CARACTERÍSTICA C-V***

Na Figura.A.2 apresenta-se um esboço da curva C-V de um capacitor MOS ideal, com substrato tipo p, obtida pela aplicação de uma tensão positiva e negativa entre os eletrodos [34].



**Figura.A.2** Esboço de uma curva C-V de um capacitor MOS ideal, com substrato tipo-p

Para uma análise qualitativa das características C-V de um capacitor MOS ideal é necessário definir seis diferentes situações de polarização em função de  $\psi_f$  e  $\psi_s$ , sendo  $V_G$  a tensão no eletrodo superior em relação ao eletrodo do substrato (aterrado). O potencial de superfície do semiconductor  $\psi_s$  é função de  $V_G$  e está relacionado com o encurvamento das bandas de energia.

Considera-se nesta descrição que o substrato é do tipo-p. Para o substrato do tipo-n a descrição é semelhante. Na superfície do semiconductor podem ocorrer seis situações:

- 1)  $V_G \ll 0 - \psi_s \ll 0$  - acumulação de portadores majoritários (lacunas);
- 2)  $V_G = 0 - \psi_s = 0$  - condição de banda plana (não há encurvamento das bandas de energia);
- 3)  $V_G > 0 - \psi_f > \psi_s > 0$  - formação da camada de depleção de lacunas (portadores majoritários);
- 4)  $V_G \gg 0 - \psi_s = \psi_f$  - condição de superfície intrínseca, ou seja, superfície do semiconductor com concentração de portadores majoritários (lacunas) igual a de minoritários (elétrons);
- 5)  $V_G \gg \gg 0 - 2\psi_f > \psi_s > \psi_f$  - condição de inversão fraca - concentração de portadores minoritários (elétrons) maior que a de majoritários (lacunas);
- 6)  $V_G \gg \gg \gg 0 - \psi_s > 2\psi_f$  - condição de inversão forte - concentração de elétrons muito maior que a de lacunas;

As características C-V (Fig.A.2) podem ser divididas em três regiões:

(i) Região de acumulação: aplicando-se uma tensão negativa no eletrodo superior ( $V_G \ll 0$ ), as lacunas, que são os portadores majoritários (substrato tipo-p), são atraídas à superfície do substrato (interface óxido/semiconductor). A concentração de lacunas aumenta na superfície do silício, formando-se uma região de acumulação de portadores majoritários.

O nível de energia de Fermi ( $E_{FS}$ ) aproxima-se da banda de valência. Como este nível mantém-se constante em equilíbrio térmico, há um encurvamento das bandas de energia de valência ( $E_v$ ) e condução ( $E_c$ ) (εFigura. A.3(b)). A camada de acumulação, para uma concentração alta de portadores majoritários, pode ser considerada como o segundo eletrodo de um capacitor de placas paralelas, pois o primeiro é o eletrodo superior, resultando em um campo elétrico  $E_p = -V_G/t_{ox}$  no óxido, como ilustra a Figura.A.3(a). Em condição de acumulação forte, desde que ocorra um contato ôhmico direto entre o substrato tipo-p e a região de acumulação das lacunas, a capacitância da estrutura MOS é máxima e aproximadamente igual à capacitância no óxido, que é:

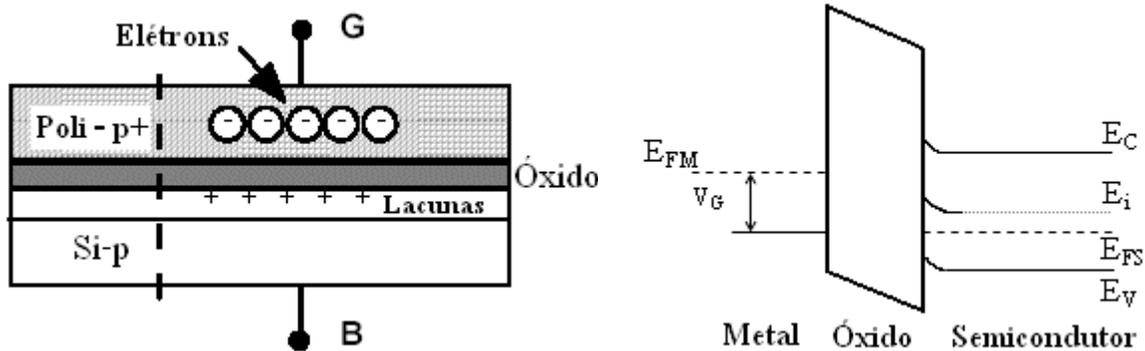
$$C_{max} = C_{ox} = (\epsilon_o \cdot \epsilon_{ox} \cdot A)/t_{ox} \quad (A.1),$$

onde:

$C_{ox}$  - capacitância no óxido;  $\epsilon_o$  - permissividade elétrica no espaço livre;

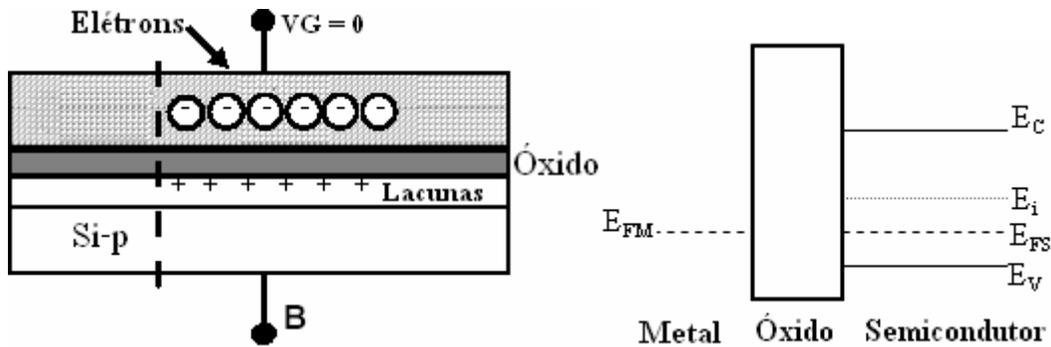
$\epsilon_{ox}$  - permissividade elétrica do óxido;  $t_{ox}$  - espessura equivalente ao óxido;

A - área do eletrodo superior.



**Figura.A.3 (a) Esquematização da região de acumulação no capacitor; (b) Diagrama de bandas de energia na estrutura MOS, com o encurvamento nos níveis de energia  $E_c$ ,  $E_v$  e  $E_i$ .**

Diminuindo-se a tensão negativa no eletrodo superior ( $V_G < 0$ ), a camada de acumulação de portadores majoritários é reduzida, pois o campo elétrico no óxido fica menos intenso. Diminuindo-se ainda mais a tensão no eletrodo superior para  $V_G = 0$ , a camada de acumulação é extinta, tornando as concentrações de portadores na superfície semelhante as do corpo do substrato. Nesta condição não há encurvamento das bandas de energia (condição de banda plana – “flat band” - Figuras.A.4(a) e (b)) e a tensão aplicada no eletrodo superior é denominada tensão de banda plana ( $V_{FB}$ ), sendo  $C_{FB}$  a capacitância e banda plana correspondente. Para o capacitor MOS ideal, a tensão  $V_{FB}$  é nula.



**Figura.A.4(a)- Esquematização da condição de banda plana no capacitor; (b) Diagrama de bandas de energia na estrutura MOS - não há encurvamento das bandas de energia.**

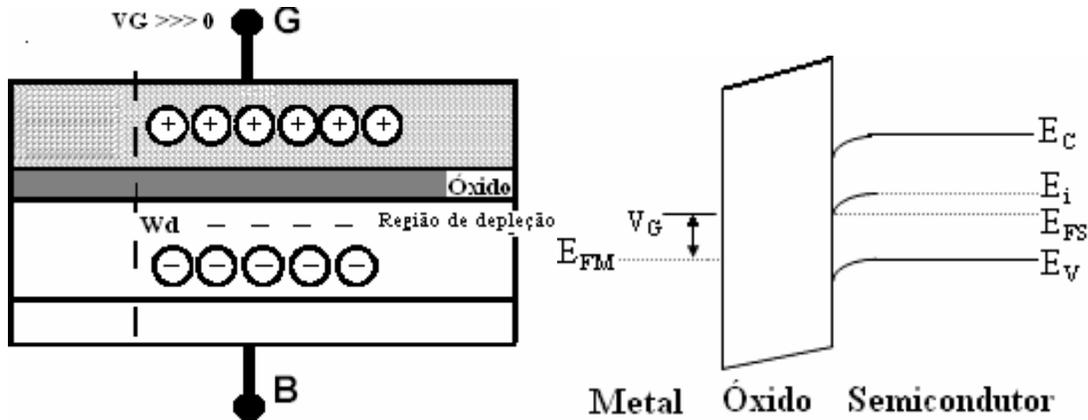
(ii) Região de depleção: para uma tensão no eletrodo superior maior que a tensão de banda plana ( $V_G > V_{fb}$ ), ocorre um deslocamento dos portadores majoritários (lacunas) da superfície do substrato, expondo os íons das impurezas aceitadoras (cargas negativas). Assim, forma-se uma região de depleção de portadores na superfície, com largura  $W_d$ , constituída pelos íons aceitadores, que compensa o campo elétrico aplicado (Figura. A.5(a)). Na condição de depleção, ocorre a aproximação do nível de Fermi em direção ao meio da banda proibida do semiconductor e o encurvamento de bandas, como é esquematizado na Figura.A.5(b). Ressalta-se que a largura  $W_d$  é proporcional ao potencial de superfície  $\psi_s$  ( $V_G$ ), que está relacionado com o encurvamento das bandas, ou seja, é função da tensão  $V_G$  aplicada na eletrodo superior.  $W_d$  é dado por [70]:

$$W_d = [(2 \cdot \epsilon_{si} \cdot \psi_s) / (q \cdot N_{A,D})]^{1/2} \quad (A.2), \text{ onde:}$$

$\epsilon_{si}$ - coeficiente de permissividade elétrica do silício;       $q$  - carga do elétron;

$N_{A,D}$  - concentração de dopantes aceitadores ou doadores no silício.

A esquematização da região de depleção e o respectivo diagrama de bandas de energia da estrutura MOS estão nas Figuras.A.5(a) e (b).



**Figura.A.5(a)** Esquematização da região de depleção no capacitor;**(b)** Diagrama de bandas do silício, com o encurvamento dos níveis  $E_c$ ,  $E_v$  e  $E_i$ .

A capacitância relacionada a região de depleção ( $C_{sd}$ ) é associada em série com a capacitância do óxido do eletrodo superior, resultando em uma capacitância total da estrutura do capacitor MOS:

$$C_t(V_G) = [(1/C_{ox}) + (1/C_{sd}(V_G))]^{1/2} \quad (A.3),$$

Onde:

$C_t(V_G)$ - capacitância total da estrutura MOS;

$C_{ox}$  - capacitância do óxido (Eq.A.1);

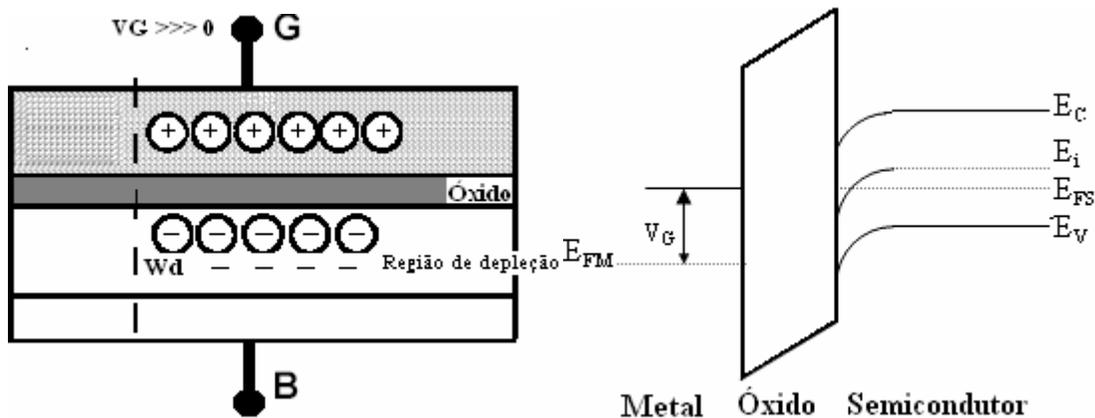
$C_{sd}(V_G)$ - capacitância da região de depleção, que é dada por:

$$C_{sd}(V_G) = \epsilon_{si}/W_d(V_G) \quad (A.4),$$

Onde:

$\epsilon_{si}$  - constante dielétrica do silício.

(iii) Região de inversão: aumentando-se ainda mais a tensão  $V_G$  aplicada no eletrodo superior da estrutura MOS ( $V_G \gg V_{fb}$ ), consegue-se igualar as concentrações de portadores (minoritários e majoritários) com a concentração do nível intrínseco do semicondutor ( $n=p=n_i$ ). Neste caso, os níveis intrínsecos e o de Fermi no diagrama de bandas assumem valores iguais. Ocorre a atração de portadores minoritários (elétrons) em direção a superfície do substrato. Forma-se uma camada de inversão do tipo-n na interface Si/SiO<sub>2</sub>. Com um valor maior de  $V_G$  (mantendo-se as condições de equilíbrio), há um aumento na concentração de elétrons na superfície do substrato,  $\psi_s(V_G)$  torna-se saturado e  $W_d$  torna-se constante, alcançando um valor máximo. Esta é a condição de inversão forte ( $V_G > 2V_{fb} \Rightarrow \psi_s > 2\psi_f$ ), com  $W_d = W_{max}$  (região de depleção com largura máxima). O nível de Fermi aproxima-se da banda de condução próxima da superfície, como mostra as Figuras.A.6(a) e (b).



**Figura.A.6(a) Esquematização da região de inversão forte no capacitor; (b) Diagrama de bandas de energia com os encurvamentos dos níveis de energia  $E_c$ ,  $E_v$  e  $E_i$ .**

O valor da capacitância da estrutura MOS, em condição de inversão, é função da frequência do sinal  $\underline{ac}$  de polarização aplicado no eletrodo superior [2]. Para as medidas C-V em baixa frequência, tipicamente entre 5 a 100 Hz, o período de um sinal  $\underline{ac}$  é muito maior que o tempo de resposta dos portadores minoritários. Então, quando formada a camada de inversão, ocorre a geração de par elétron-lacuna suficiente para compensar o sinal aplicado, ou seja, os elétrons (portadores minoritários) em alta concentração acompanham o sinal  $\underline{ac}$  de baixa frequência, mantendo-se um estado de equilíbrio. Assim, a capacitância total para a condição de inversão torna-se igual a  $C_{ox}$  (Eq.A.1).

Para medidas C-V em alta frequência ( $> 1$  kHz), em condições de acumulação e depleção, há portadores majoritários em concentração suficiente para responder a um sinal  $\underline{ac}$  deste tipo. Mas, na inversão, a capacitância é determinada pelo tempo de resposta dos portadores minoritários. Para um sinal de polarização em alta frequência, há um atraso dos portadores minoritários em relação a este sinal  $\underline{ac}$ , ou seja, estes portadores não são gerados em taxa alta suficiente para compensar o sinal aplicado no eletrodo superior. Ocorre a modulação da camada de depleção de largura máxima e constante. Na condição de inversão forte, portanto, a capacitância total da estrutura MOS torna-se mínima:

$$C_{min} = [(1/C_{ox}) + (W_{dmax}/\epsilon_{si})]^{1/2} \quad (A.5),$$

onde:

$C_{min}$  - capacitância total mínima para condição de inversão; utilizando-se sinal de polarização de alta frequência;

$W_{dmax}$  - largura máxima da camada de depleção;

$C_{ox}$  - capacitância no óxido;

$\epsilon_{si}$  - constante dielétrica do silício.

Numa estrutura MOS não ideal, há a presença de cargas no óxido e na interface Si/SiO<sub>2</sub>, e as funções trabalho do metal e do semiconductor são diferentes. Isto provoca um

deslocamento da curva C-V da estrutura MOS real em relação a ideal [41], pois a diferença de potencial entre os eletrodos do capacitor MOS ( $V_G$ ) depende diretamente da diferença das funções trabalho ( $\Psi_{MS}$ ), da tensão no óxido ( $V_{ox}$ ), que é relacionada com as cargas efetivas no óxido  $Q_o$ , e do potencial de superfície  $\psi_s$ :

Desta maneira, verifica-se um deslocamento no eixo da tensão (de  $V_{FB}=0$  para  $V_{FB}=V_G$ ) da curva C-V experimental (real) em relação a teórica (ideal) (Figura A.9). A técnica C-V permite determinar importantes propriedades elétricas das estruturas MOS, através de comparação das curvas experimentais e teóricas. Diferentes procedimentos de medidas e métodos (recursivo, gráficos e de deslocamentos de curvas C-V) são utilizados para determinar estas propriedades, como: capacitância de banda plana ( $C_{fb}$ ), tensão de banda-plana ( $V_{FB}$ ), largura da camada de depleção ( $W_d$ ), espessura do óxido ( $t_{ox}$ ), concentração efetiva de dopantes eletricamente ativos ( $N_{A,D}$ , A - para dopantes aceitadores de elétrons e D - para dopantes doadores de elétrons), densidade de carga efetiva no óxido ( $Q_o$ ), densidade de cargas capturadas na interface ( $Q_{it}$ ), densidade de cargas móveis ( $Q_m$ ), densidade de cargas fixas ( $Q_f$ ) e densidade de cargas capturadas ( $Q_{ot}$ ) no óxido [42].

(a) Para um capacitor MOS ideal, a Eq.A.6 torna-se:

$$V_G = \psi_s, \text{ pois } V_{ox} = 0 \text{ e } \phi_{MS} = 0.$$

Para  $V_G = V_{FB}$  (condição de banda plana);  $\psi_s = 0$ , portanto,  $V_{FB} = 0$

(b) Para um capacitor MOS real:

onde:

$$V_{ox} = Q_o \cdot A / C_{ox},$$

$C_{ox}$  é dado pela Eq.A.1;  
 $A$  - área do dispositivo;  
 $Q_o$  - carga efetiva no óxido.

Para condição de banda plana:

$$\psi_s = 0; V_G = V_{fb} = \phi_{MS} + Q_o \cdot A / C_{ox} \quad (A.7).$$

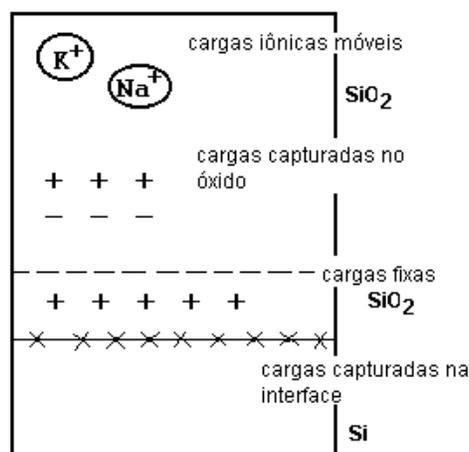
Da expressão A.7, tem-se que:

$$Q_o = [ \phi_{MS} - V_{fb} ] \cdot C_{ox} / A \quad (A.8)$$

### A.2.1- CARGAS NO ÓXIDO DE SÍLCIO [4-8]

Há quatro tipos de cargas que normalmente são observadas na estrutura do  $SiO_2$  e na interface  $SiO_2/Si$  como mostrado na Figura A.7 [42]: cargas móveis, cargas capturadas no óxido, cargas fixas e cargas capturadas na interface. A carga efetiva  $Q_o$  no óxido

compreende estes quatro tipos de cargas. A presença delas no óxido ou na interface óxido/semicondutor ajuda a diminuir a integridade do filme isolante e aumenta a instabilidade do comportamento dos dispositivos MOS, gera ruídos, aumenta as correntes de fuga das junções e da superfície, diminui a tensão de ruptura dielétrica, altera o potencial de superfície  $\psi_s$ , afeta a tensão de limiar  $V_t$ . Níveis aceitáveis de densidade de carga efetiva no óxido em circuitos ULSI são da ordem de  $10^{10} \text{ cm}^{-2}$ .



**Figura A.7 - Cargas no Silício Termicamente Oxidado [28,34]**

### A.2.1.1 - $Q_m$ - CARGAS MÓVEIS

As cargas móveis  $Q_m$  são associadas a contaminação do óxido de silício por íons dos metais alcalinos  $Na^+$ ,  $K^+$  e  $Li^+$  e íons  $H^+$  e  $H_3O^+$ . Estes íons são móveis no óxido sob efeito de campo elétrico a temperaturas  $T \geq$  temperatura ambiente. Alteram o potencial de superfície  $\psi_s$  e provocam instabilidade das características elétricas dos dispositivos MOS.

As cargas móveis  $Q_m$ , principalmente os íons de sódio  $Na^+$ , podem incorporar-se ao óxido de silício nos processos de evaporação, oxidação térmica, recozimento térmico, aplicação de fotoresiste e em qualquer etapa da fabricação, em que se utiliza o manuseio das lâminas. A contaminação do óxido por cargas móveis pode ser reduzida para níveis aceitáveis da ordem de  $10^{10} \text{ cm}^{-2}$ , através da utilização de:

- tubos e borbulhadores de quartzo com alta pureza;
- oxidação seca ou em ambiente clorado, com recozimento pós-oxidação para obtenção de óxido de eletrodo superior;
- oxidação pirogênica ao invés da úmida (em ambiente com  $H_2O$ ) para obtenção de óxido de campo;
- limpeza do tubo de quartzo do forno de processamento térmico em ambiente clorado em altas temperaturas, antes da oxidação;
- óxido de silício dopado com fósforo (passivação com fósforosilicato);
- reagentes, nas etapas químicas, com baixos níveis de  $Na^+$ ;
- água D.I. 18  $M\Omega$  para último banho de cada etapa química;
- evaporação com alumínio de alta pureza;

- filamentos para evaporação livres de  $\text{Na}^+$ ;
- evaporação por canhão de elétrons ou por “sputtering” ao invés de evaporação térmica;
- luvas, máscaras e roupas adequadas para manuseio geral das lâminas;
- processo automático de transporte das lâminas.

#### A.2.1.2 - $Q_{it}$ - CARGAS CAPTURADAS NA INTERFACE $\text{SiO}_2/\text{Si}$

Por localizar-se na interface entre o  $\text{SiO}_2$  (material amorfo) e o Si (material cristalino), as cargas capturadas na interface  $Q_{it}$  ocorrem devido aos defeitos de posicionamento atômico de uma estrutura silício-oxigênio (Si parcialmente oxidado ou Si não saturado) e a presença de impurezas metálicas. Estados quânticos de energia são introduzidos na banda proibida do silício por estas cargas  $Q_{it}$ , permitindo uma maior facilidade de comunicação elétrica entre as bandas de valência e condução do silício. Conforme o potencial de superfície, esta facilidade de comunicação elétrica permite variar o estado da carga  $Q_{it}$  capturando (carregando) ou emitindo (descarregando) portadores [28]. Portanto, estas cargas são positivas ou negativas.

A presença de  $Q_{it}$  na interface  $\text{SiO}_2/\text{Si}$  depende de vários parâmetros das etapas de fabricação dos dispositivos MOS [43], tais como: (orientação cristalográfica dos substratos de silício), que determina a densidade relativa de ligações na interface, sendo  $Q_{it}(111) > Q_{it}(110) > Q_{it}(100)$ ; temperatura de oxidação; ambiente de oxidação ( $Q_{it}$  de ambiente de  $\text{H}_2\text{O} > Q_{it}$  de ambiente de  $\text{O}_2$ ); recozimento pós-oxidação em  $\text{N}_2$  em alta temperatura por tempo prolongado; contaminação por impurezas interfaciais (em ambientes de difusão, oxidação e implantação); recozimento a baixa temperatura em ambientes sem a presença de hidrogênio; e processos radioativos (litografia por feixe de elétrons, raio-X e UV, evaporação por feixe de elétrons, implantação iônica, plasma e “sputtering”) que quebram ligações atômicas.

A neutralização efetiva das cargas  $Q_{it}$  é executada por processos de recozimento pós-metalização (sinterização) em baixa temperatura (aproximadamente  $450^\circ\text{C}$ ) em ambientes com a presença de hidrogênio [28]. O hidrogênio reduz a presença de  $Q_{it}$  pois satura as ligações dos átomos de oxigênio e de silício e remove os defeitos estruturais na interface  $\text{SiO}_2/\text{Si}$ . A unidade de densidade de cargas capturadas na interface  $D_{it}$  é normalmente representada por número de cargas/ $\text{cm}^2\text{-eV}$  e valores da ordem de  $10^{10}/\text{cm}^2\text{-eV}$  são aceitáveis para tecnologia ULSI.

#### A.2.1.3- $Q_f$ - CARGAS FIXAS

As cargas fixas  $Q_f$  localizam-se na camada do óxido a menos de 2.5 nm da interface  $\text{SiO}_2/\text{Si}$ , que é a região de óxido tensionado (óxido não-estequiométrico, com composição do tipo  $\text{SiO}_x$ ). As cargas fixas  $Q_f$  não se comunicam eletricamente entre as bandas de valência e condução do silício (não há troca de portadores com o semiconductor) e mantêm seu estado de carga (são cargas positivas).

A presença de  $Q_f$  no óxido depende de vários parâmetros, que são: a orientação cristalina dos substratos de silício ( $Q_f(111) > Q_f(110) > Q_f(100)$ ), o ambiente de oxidação (seco ou úmido), a temperatura de oxidação, as condições de resfriamento dos substratos de silício após a oxidação e a pressão de  $O_2$  no ambiente de oxidação [28].

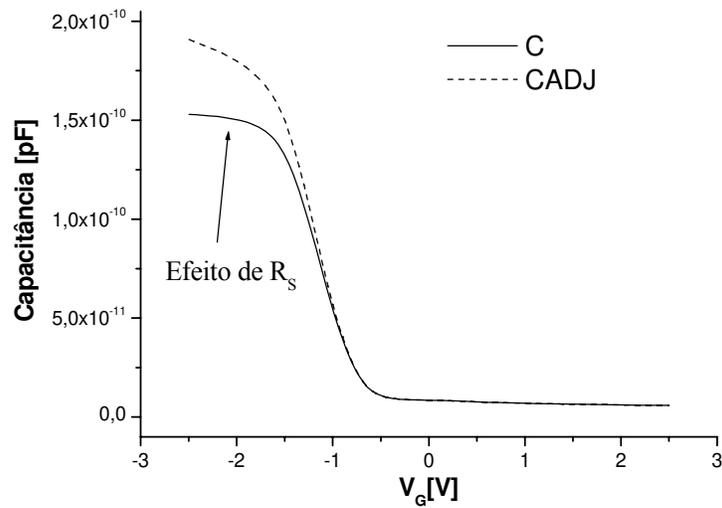
#### **A.2.1.4- $Q_{ot}$ - CARGAS CAPTURADAS NO ÓXIDO**

As cargas capturadas no óxido  $Q_{ot}$  localizam-se por todo o volume do filme de  $SiO_2$  e são lacunas ou elétrons em armadilhas (“traps”) no corpo do óxido. Estas armadilhas são impurezas e ligações atômicas quebradas (provocadas por tensões e defeitos no óxido). Normalmente são neutras, mas tornam-se carregadas quando elétrons ou lacunas são introduzidos no óxido por: tunelamento de portadores do substrato de silício ou do eletrodo superior (pode ocorrer para dispositivos MOS com óxidos de eletrodo superior ultra-finos); injeção de portadores por avalanche (pode ocorrer quando há grande diferença de potencial entre as várias regiões de um dispositivo em operação, provocando a aceleração de portadores por avalanche para dentro do óxido); e exposição a radiação ionizante (com energia  $> 8.8$  eV(energia da banda proibida (“gap”) do  $SiO_2$  )) [28]. Além disso, as cargas capturadas no óxido  $Q_{ot}$  não variam com a polarização de eletrodo superior, como ocorre com as cargas capturadas na interface.

Recozimentos em ambiente com hidrogênio em aproximadamente  $450^{\circ}C$  são eficazes na minimização das cargas  $Q_{ot}$ .

### **A.3-DETERMINAÇÃO DA RESISTÊNCIA SÉRIE ( $R_s$ )**

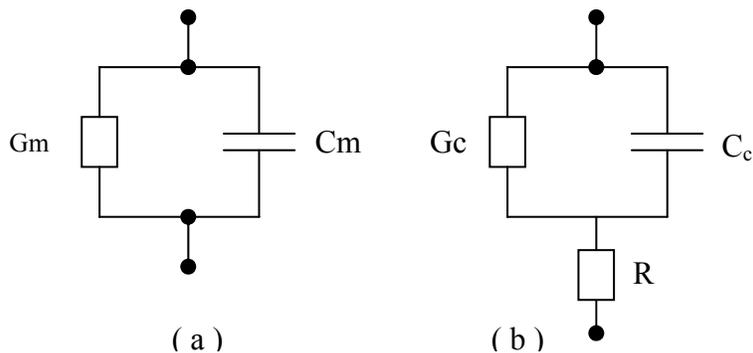
No modelo paralelo de medição, onde a capacitância e a condutância são medidas simultaneamente, é possível haver distorções no valor real de capacitância máxima, extraída da curva C-V, que pode dar uma informação errada da espessura do isolante, como mostra a Figura A.8. Este efeito é causado devido ao elevado valor da resistência série[28,29].



**Figura A.8-Efeito da resistência série ( $R_s$ ), onde  $C$  é a capacitância medida e  $CADJ$  a capacitância ajustada[29].**

As possíveis fontes de resistência série num capacitor MOS são:

- o contato entre a ponta de prova e o eletrodo de porta;
- o contato das costas da lâmina com o pedestal de apoio;
- um filme contaminante entre as costas da lâmina e o pedestal;
- a desuniformidade da dopagem no substrato de silício.



**Figura A.9-Modelo de medição paralelo em (a)  $G_m$ -condutância medida,  $C_m$ -capacitância medida e modelo incluindo  $R_s$  (b)  $G_c$ -condutância corrigida e capacitância corrigida[29].**

A partir da relação entre os modelos (a) e (b) mostrados na Figura A.9, obtém-se as seguintes expressões:

$$R_s = G_{ma} / ( G_{ma}^2 + \omega^2 \cdot C_{ma} ) \quad (A.9)$$

$$C_c = C_m / [( 1 - G_m \cdot R_s )^2 + \omega^2 C_m^2 \cdot R_s^2] \quad (A.10)$$

onde:  $\omega = 2 \cdot \pi \cdot f$

f = frequência utilizada na medida C-V

C<sub>ma</sub> = capacitância medida na região de acumulação

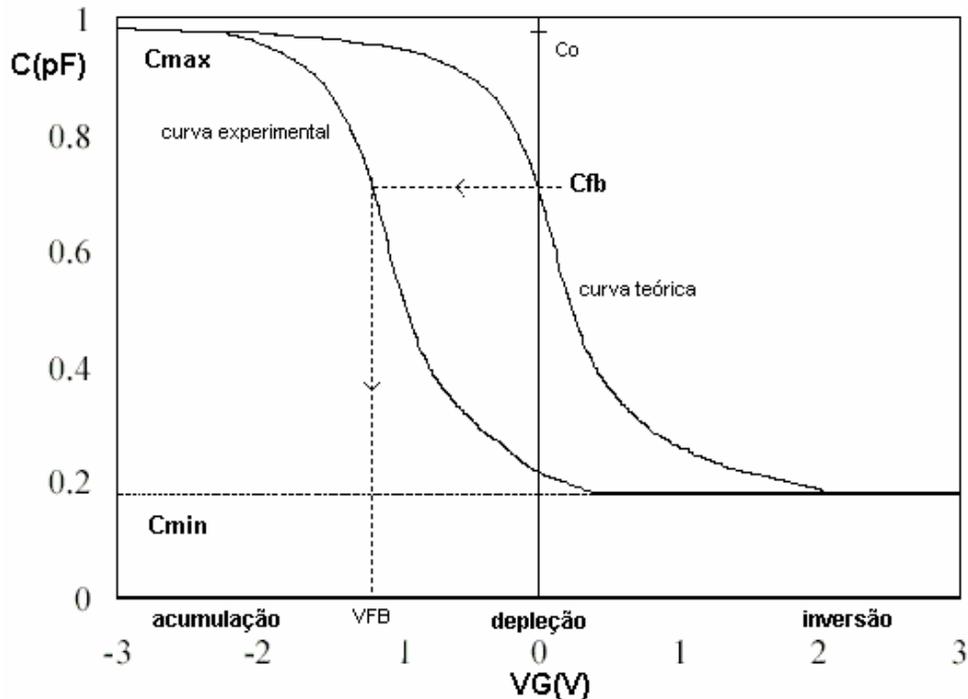
G<sub>ma</sub> = condutância medida na região de acumulação

C<sub>c</sub> = capacitância corrigida

Com as medidas de capacitância ( C<sub>ma</sub> ) e condutância ( G<sub>ma</sub> ) na região de acumulação, pode-se calcular a resistência série ( R<sub>s</sub> ) em A.9. A partir da resistência série, é possível corrigir a curva C-V experimental, utilizando a fórmula de correção para os pontos de capacitância em função da tensão na porta ( V<sub>G</sub> ), da equação A.10

#### **A.4- DETERMINAÇÃO DA DENSIDADE DE CARGAS EFETIVAS NA ESTRUTURA SiO<sub>2</sub>/Si.**

Na estrutura MOS real ocorre a presença de cargas no óxido e na interface SiO<sub>2</sub>/Si, o que causa um deslocamento no eixo da tensão (de V<sub>FB</sub>=0 para V<sub>FB</sub>=V<sub>G</sub>) da curva C-V experimental (real) em relação a teórica (ideal) (Figura A.9.1). A neutralidade global de cargas na estrutura MOS é alcançada pela presença de uma carga imagem no semiconductor ou no metal correspondente às cargas no óxido e na interface SiO<sub>2</sub>/Si. Define-se como densidade de cargas efetivas no óxido Q<sub>o</sub>/q, a densidade da carga imagem induzida no semiconductor [28,29]. Portanto, pode-se assumir que a carga efetiva Q<sub>o</sub> no óxido compreende os quatro tipos de cargas apresentados.



**Figura A.9.1- Deslocamento no eixo da tensão (de  $V_{FB}=0$  para  $V_{FB}=V_G$ ) da curva C-V experimental (real) em relação a teórica (ideal) [28].**

#### A.4.1- PROCEDIMENTO - DETERMINAÇÃO DE $Q_o/q$ .

Na medida C-V de alta frequência (1 MHz), obtém-se a capacitância diferencial em função da polarização no capacitor MOS. Neste tipo de medida, aplica-se uma tensão em rampa com velocidade baixa entre os eletrodos do capacitor e determina-se  $Q_o/q$  através da comparação entre as curvas C-V experimental e teórica na condição de banda-plana (potencial de superfície nulo). Utilizando-se o valor de  $C_{FB}$  ideal obtém-se na curva C-V experimental o valor de  $V_{FB}$  (Figura A.9.1). Com o valor de  $V_{FB}$ , tem-se pela expressão (A.8) o valor de  $Q_o$ . O método mais usado para determinar  $C_{FB}$  e conseqüentemente  $V_{fb}$  e  $Q_o$  emprega o cálculo recursivo da concentração de dopantes  $N_{A,D}$ .

##### A.4.1.1- MÉTODO RECURSIVO DE OBTENÇÃO DE $Q_o/q$ [17].

Considerando-se a curva C-V experimental da Figura A.9.1, determina-se  $Q_o/q$  pelo método recursivo utilizando-se a seguinte seqüência de expressões:

• **Da expressão A.1, obtém-se o valor da espessura equivalente ao óxido de silício (EOT) ou  $t_{ox}$ :**

$$t_{ox} = (\epsilon_0 \cdot \epsilon_{ox} \cdot A) / C_{ox} \quad (A.11)$$

onde:

$C_{ox}$  - capacitância no óxido =  $C_{max}$ -capacitância máxima na condição de acumulação ou  $C_c$ =capacitância máxima corrigida pelo efeito de resistência série (A.10);

$\epsilon_0$  - permissividade no vácuo -  $\epsilon_0 = 8.854 \times 10^{-14}$  F/cm;

$\epsilon_{ox}$  - permissividade elétrica do óxido;

$t_{ox}$  - espessura do óxido;

A - área do eletrodo superior do capacitor MOS.

• **Da expressão A.5, obtém-se a largura da camada de depleção  $W_d$ :**

$$W_d = [(C_{max}/C_{min}) - 1] \cdot (\epsilon_{Si} \cdot \epsilon_0 \cdot A) / C_{ox} \quad (A.12)$$

onde:

$C_{min}$ - capacitância total mínima para condição de inversão; utilizando-se sinal de polarização de alta frequência;

$\epsilon_{Si}$ - constante dielétrica do silício -  $\epsilon_{Si} = 11.9$ .

• **Da equação A.2 obtém-se a concentração de dopantes aceitadores ou doadores no silício  $N_{A,D}$ :**

$$N_{A,D} = (4 \cdot \epsilon_{Si} \cdot \phi_F) / q \cdot W_d^2 \quad (A.13)$$

onde:

$\epsilon_{Si}$  - constante dielétrica do silício;

q - carga do elétron -  $q = 1.602 \times 10^{-19}$  C;

$W_d$  - largura da camada de depleção;

$\phi_F$  - potencial de Fermi, dado por [44]:

$$\phi_F = (kT/q) \cdot \ln[N_{A,D}/n_i] \quad (A.14)$$

onde:

$(kT/q)$  - energia térmica (300 K) = 0.0258 V;

$N_{A,D}$  - concentração de dopantes aceitadores ou doadores no silício;

$n_i$  - concentração de portadores intrínseco no silício -  $n_i = 1.45 \times 10^{10}/\text{cm}^3$ .

e  $\phi_F > 0$ , para substrato tipo-p;

$\phi_F < 0$ , para substrato tipo-n.

**• Substituindo-se a expressão A.12 em A.11, tem-se a expressão para determinação de  $N_{A,D}^*$  recursivamente:**

$$N_{A,D} = \{[(4 \cdot \epsilon_{si} \cdot \epsilon_o \cdot kT)/q] \cdot \ln[N_{A,D}^*/n_i]\}/q \cdot W_d^2 \quad (A.15)$$

onde:

$\epsilon_{si}$  - coeficiente de permissividade elétrica do silício;  
 $q$  - carga do elétron -  $q = 1.602 \times 10^{-19}$  C;  
 $W_d$  - largura da camada de depleção;  
 $(kT/q)$  - energia térmica (300 K) = 0.0258 V;  
 $N_{A,D}^*$  - concentração de dopantes obtida recursivamente;  
 $n_i$  - concentração de portadores intrínseco no silício -  $n_i = 1.45 \times 10^{10}/\text{cm}^3$ .

**• O valor de  $N_{A,D}^*$  é substituído na expressão da capacitância de banda-plana  $C_{FB}$ , dada por [44]:**

$$C_{FB} = (\epsilon_o \cdot \epsilon_{ox} \cdot A) / \{t_{ox} + (\epsilon_{ox}/\epsilon_{si}) \cdot [(kT/q) \cdot \epsilon_o \cdot \epsilon_{si} / (q \cdot N_{A,D})]^{1/2}\} \quad (A.16)$$

onde:

$t_{ox}$  - espessura do óxido;  $\epsilon_{ox}$  - permissividade do óxido;  
 $A$  - área do eletrodo superior do capacitor MOS  
 $q$  - carga do elétron -  $q = 1.602 \times 10^{-19}$  C;  
 $(kT/q)$  - energia térmica (300 K) = 0.0258 V;  
 $N_{A,D}^*$  - concentração de dopantes obtida recursivamente;  
 $n_i$  - concentração de portadores intrínseco no silício -  $n_i = 1.45 \times 10^{10}/\text{cm}^3$ .

**• Substituindo-se este valor de  $C_{fb}$  na curva C-V (Figura A.9), obtém-se o valor correspondente da tensão de banda-plana  $V_{fb}$ , que substituído na expressão:**

$$Q_o/q = [\phi_{MS} - V_{FB}] \cdot C_{ox}/q \cdot A \quad (A.17),$$

que é similar a expressão A8,

onde:

$C_{ox}$  - capacitância no óxido =  $C_{max}$  - capacitância máxima para condição de acumulação;  
 $q$  - carga do elétron -  $q = 1.602 \times 10^{-19}$  C;  
 $A$  - área do eletrodo superior do capacitor MOS;

e  $\phi_{MS} = \phi_M - \phi_S$  - diferença entre as funções trabalho do metal e do semiconductor;

com  $\phi_S = -\phi_F$  e para diferentes eletrodos de porta : Al  $\Rightarrow \phi_M = -0.6$  V

Si-poli  $N^+$   $\Rightarrow \phi_M = -0.55$  V

Si-poli  $P^+$   $\Rightarrow \phi_M = 0.55$  V

## A.5 – CÁLCULO DE ERRO DO INSTRUMENTO

Uma influência da medida C-V extraído do equipamento (Keithley) é a precisão do equipamento quanto á medida, pois para filmes ultrafinos temos que ter em consideração essa abordagem. Podemos checar essa precisão, através do fator de dissipação (D)[30], onde leva-se em conta as medidas Gm e Cm que são medidas de condutância(média), capacitância(média) e da frequência (f), temos na equação A18

$$D = \frac{Gm}{2\pi \cdot f \cdot Cm} \quad (A.18)$$

Para as medidas C-V feitas nesta tese, a frequência utilizada para cálculo foi de 1MHz. Para sabermos o erro do instrumento através dos valores obtidos do fator de dissipação temos a equação A.19, onde tivemos erros abaixo de 0,5%.

$$\% \text{ erro } 0.1 \sqrt{1 + D^2} \quad (A.19)$$

## ANEXO- B

### ELIPSOMETRIA

#### **B.1- INTRODUÇÃO**

A elipsometria é uma técnica utilizada para determinar o índice de refração, o coeficiente de absorção e a espessura de um filme transparente de uma ou mais camadas e de um ou mais materiais sobre um substrato a partir da mudança das características de polarização da luz refletida por sua superfície [45].

A mudança de estado da polarização da luz depois da reflexão pode ser expressa em função da razão  $\rho$  entre os coeficientes de reflexão  $R^p$  e  $R^s$  para a luz paralela e perpendicular ao plano de incidência, respectivamente. A expressão complexa:

$$\rho = R^p/R^s = \text{tg}\Psi \cdot e^{i\Delta} \quad (\text{B.1}),$$

define os dois ângulos elipsométricos  $\Psi$  e  $\Delta$ , que são denominados ângulo azimutal e de diferença de fase, respectivamente. Estes dois ângulos determinam completamente as duas constantes ópticas  $n$  (índice de refração) e  $k$  (coeficiente de absorção) num meio refletor.

#### **B.2- FORMULAÇÃO MATEMÁTICA**

##### **B.2.1- PRINCÍPIOS FÍSICOS [45]**

A onda eletromagnética ao incidir em um meio permite que os elétrons pertencentes aos átomos do meio oscilem na frequência da onda. Isto retarda a onda de tal forma que sua velocidade  $u$  no meio seja diferente à velocidade  $c$  no vácuo. O índice de refração do meio é uma medida desta mudança de velocidade ( $n = c/u$ ). Além disso, quando as ondas são de alta frequência, os elétrons podem ser excitados a estados superiores de energia, absorvendo, portanto a radiação. Assim, também se pode medir a absorção característica do meio. Define-se o índice complexo como  $N = n + jk$ , onde  $k$  é a constante de absorção de meio.

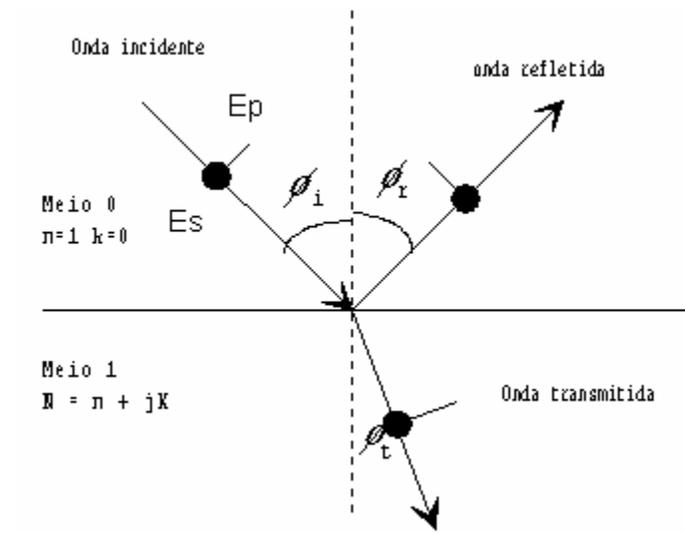
##### **B.2.2- TEORIA MACROSCÓPICA (equações gerais) [46]**

Quando uma onda eletromagnética é refletida pela superfície de um material, a amplitude da onda refletida depende das propriedades do material, do ângulo de incidência, e da polarização da onda. Uma onda  $p$  tem seu vetor de campo elétrico  $E_{ip}$  paralelo ao plano de incidência, enquanto as ondas  $s$  têm seu vetor campo elétrico  $E_{is}$  perpendicular ao plano de incidência. Para uma superfície refletora, as componentes da onda incidente,  $E_{is}$  e  $E_{ip}$ , e refletida,  $E_{rs}$  e  $E_{rp}$  relacionam-se de acordo com:

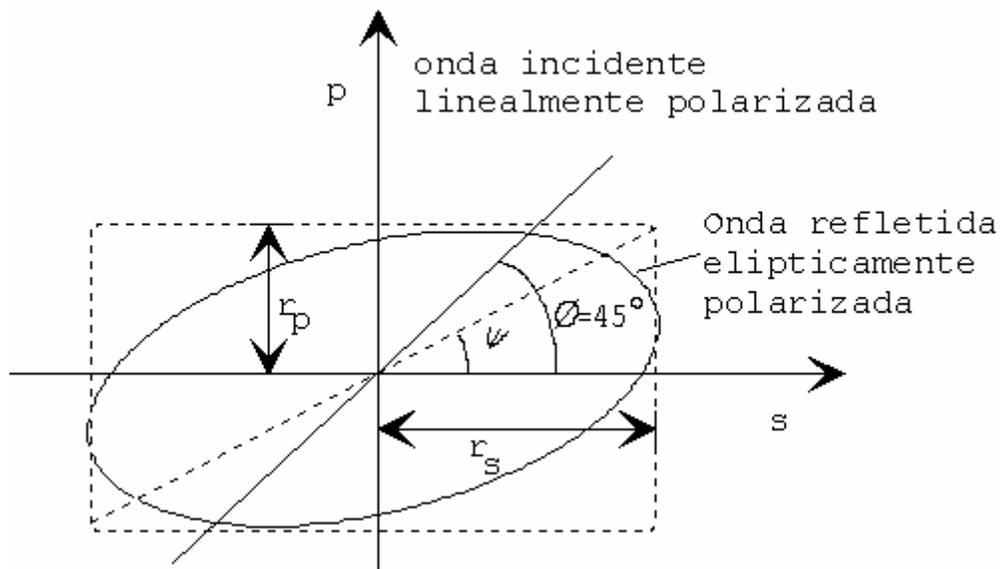
$$E_{rp} = r_p E_{ip} \quad (\text{B.2})$$

$$E_{rs} = r_s E_{is} \quad (\text{B.3})$$

onde  $r_p$  e  $r_s$  são os coeficientes de Fresnel (números complexos) de reflexão entre os meios envolvidos.



**Figura B.1- Ondas eletromagnéticas incidente, refletida e transmitida na superfície do material. A onda s está polarizada perpendicularmente ao plano da página [45]**



**Figura C.2. Onda incidente linearmente polarizada e onda refletida elipticamente polarizada [43]**

A elipsometria é a espectrometria de polarização, pois mede a mudança na polarização da luz refletida de uma superfície. Geralmente, define-se o ângulo  $\phi_i = 45^\circ$  entre s e p para a luz incidente linearmente polarizada, assim as amplitudes de s e p do campo incidente são iguais e estão em fase.

O vetor campo elétrico da luz refletida em geral traça uma elipse (Figura B.2), onde a orientação e as dimensões do eixo maior e menor dependem da razão  $\rho$  entre os valores de  $r_p$  e  $r_s$ , e da diferença de fase relativa  $\Delta$  entre as duas ondas. Assim  $\rho$ , é dado por:

$$\rho = r_p / r_s = [E_{rp}/E_{ip}]/[E_{rs}/E_{is}] = \text{tg}\Psi \cdot e^{i\Delta} \quad (\text{B.4})$$

Esta expressão (B.4) é a mesma que a (B.1), sendo que utiliza-se os símbolos  $R^p$  e  $R^s$  para a reflexão do sistema geral constituído de multicamadas e  $r_p$  e  $r_s$  para a reflexão do sistema com apenas uma interface (Figura B.1). As expressões (B.1) e (B.4) definem os dois ângulos elipsométricos  $\Psi$  e  $\Delta$ . Estes dois ângulos determinam completamente as duas constantes ópticas  $n$  (índice de refração) e  $k$  (coeficiente de absorção) em um meio isotrópico refletor.

Será estudada a medida elipsométrica de um sistema de três fases, constituído de um substrato coberto por um filme.

### B.2.3- SISTEMA DE TRÊS FASES (substrato coberto por um filme)

Para o caso de uma amostra com uma estrutura ar (meio 0)/filme (meio 1)/substrato (meio 2), os coeficientes complexos de Fresnel são definidos considerando-se a contribuição das reflexões da camada inferior (substrato) e a mudança de fase múltipla que ocorre (Figura B.3), assim [47]:

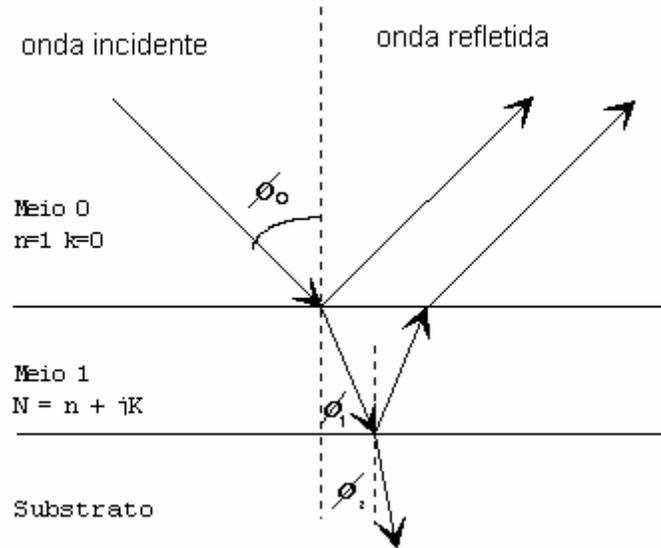
$$R^p = [r_{01}^p + r_{12}^p \exp(-j2\beta)]/[1 + r_{01}^p r_{12}^p \exp(-j2\beta)] \quad (\text{B.5})$$

$$R^s = [r_{01}^s + r_{12}^s \exp(-j2\beta)]/[1 + r_{01}^s r_{12}^s \exp(-j2\beta)] \quad (\text{B.6})$$

onde  $r_{01}^p$ ,  $r_{01}^s$ ,  $r_{12}^p$  e  $r_{12}^s$ , correspondem aos coeficientes de amplitude para as interfaces ar/filme(01) e filme/substrato [48]. Com:

$$\beta = 2\pi(d/\lambda)\{N_{12} - N_{02}\sin^2(\phi_1)\} \quad (\text{B.7})$$

sendo  $N_0$ ,  $N_1$ , e  $N_2$  os índices de refração complexos do meio, do filme e do substrato respectivamente.  $\phi_0$  é o ângulo de incidência na superfície e  $\phi_1$  e  $\phi_2$  são os ângulos de refração do meio 0 para o meio 1 e do meio 1 para o meio 2, respectivamente  $\beta$  representa a diferença de fase gerada pelas diversas reflexões nas interfaces do filme, sendo função do ângulo de incidência  $\phi_0$ , da espessura  $d$  do filme, do índice de refração  $N_1$  do filme e do comprimento de onda no vácuo da luz incidente  $\lambda$ . Para o caso do sistema ar-filme (não absorvente) considera-se o coeficiente de extinção do ar e do filme igual a zero. Isto facilita o tratamento das equações acima, o que permite obter uma solução analítica das equações elipsométricas com as constantes ópticas em função de  $r$ .



**Figura C.3. Substrato coberto por um filme [29]**

Para calcular a espessura do filme, conhecendo-se seu índice de refração, utiliza-se a equação:

$$\rho = R_p / R_s \tag{B.8}$$

cuja incógnita é a variável  $d$  contida em  $\beta$ . Explicitando-se a espessura  $d$ , tem-se:

$$d = (\lambda\beta/2\pi) \{N_1^2 - N_0^2 \sin^2(\phi_0)\} \tag{B.9}$$

## ANEXO-C

### MEDIDAS FTIR

#### C.1. INTRODUÇÃO

A espectrometria FTIR é uma técnica que permite analisar as ligações químicas existentes em uma amostra. As ligações dos átomos que formam as moléculas possuem frequências específicas de vibração, que variam de acordo com a estrutura, a composição e o modo de vibração [28,29].

No espectrômetro FTIR (Fourier Transform Infra-Red), que utiliza um interferômetro de Michelson (Figura C.1), um feixe de radiação monocromática infravermelha passa por um divisor de feixe, sendo uma parte da luz refletida e a outra transmitida através dele. Estes feixes incidem e refletem em dois espelhos, sendo um fixo e outro móvel, e retornam para o divisor, atravessando-o, na direção da amostra. A recombinação da radiação realizada pela reflexão dos dois espelhos e pelo posicionamento do espelho móvel (transladado com uma velocidade constante) produz um padrão de interferência, com sucessivas interferências construtivas e destrutivas. Parte da radiação passa pela amostra em análise antes de chegar em um detector.

A modulação do comprimento de onda da radiação de infra-vermelho com a frequência característica senoidal correspondente às sucessivas interferências construtivas e destrutivas é analisada pelo detector, que utilizando-se de um programa do computador acoplado ao equipamento, estabelece automaticamente a transformada de Fourier do espectro. Por isso, a técnica é denominada espectrometria FTIR [28,29].

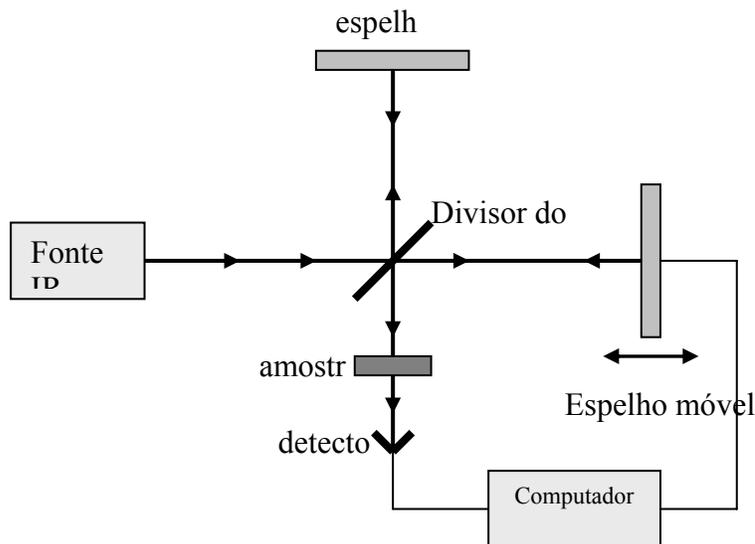


Figura D.1- Esquema do Interferômetro de Michelson [28,29].

## C.2. ABSORÇÃO DA RADIAÇÃO IR [29]

Uma molécula absorverá energia sempre que a frequência de radiação se iguale a frequência de vibração natural da sua ligação química. O movimento vibracional ou rotacional desta ligação causa uma variação do momento dipolar da molécula. O momento dipolar é determinado pela posição relativa dos centros de gravidade das cargas elétricas, positiva e negativa, em cada modo de vibração. A absorção da energia radiante nas frequências de vibração, dependendo da vibração, permite estabelecer um campo elétrico oscilante. A intensidade da banda de absorção IR é proporcional ao quadrado da velocidade de variação do momento dipolar em relação à distância dos átomos.

Para cada modo vibracional nem sempre se obtém um pico de absorção no espectro. O número de picos pode ser menor do que os números de modos de vibração existentes devido:

- ✓ à energia quase idêntica das vibrações;
- ✓ à simetria da vibração, que não provoca a variação do momento dipolar;
- ✓ ao acoplamento e às combinações de vibrações.

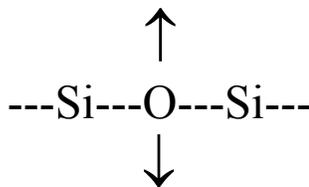
## C.3. MODOS DE VIBRAÇÃO *STRETCHING*, *BENDING* E *ROCKING* [2]

As vibrações de ligações similares unidas por um átomo comum, como a molécula de óxido de silício (Si-O-Si), normalmente produzem bandas de absorção, devido aos movimentos simétricos e assimétricos de vibrações de estiramento (*stretching*), que movimentam os átomos na direção da ligação. No estiramento simétrico os átomos de silício se afastam e se aproximam com distâncias iguais do átomo central de oxigênio, alterando a distância entre os átomos sem alterar o ângulo de valência. Portanto não ocorre variação do momento polar e a vibração é inativa para o IR. No estiramento assimétrico um átomo de silício se aproxima e o outro se afasta do átomo de oxigênio, ocorrendo variação do momento polar (Figuras C.2 (a) e (b)).



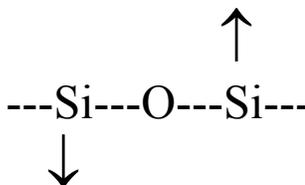
Figura C.2- (a) estiramento simétrico; (b)- estiramento assimétrico

Quando os átomos ligados ao átomo central se aproximam e se afastam do centro com alteração do ângulo de valência, tem-se a deformação no eixo das ligações. Este modo é denominado de *Bending* (Figura C.3).



**Figura C.3. Vibração de deformação no eixo.**

Quando a unidade estrutural da molécula oscila de um lado para outro em um plano de simetria da molécula, ocorre uma flexão no plano, denominada de modo de vibração *Rocking* (Figura C.4).



**Figura.C.4. Vibração da flexão no plano.**

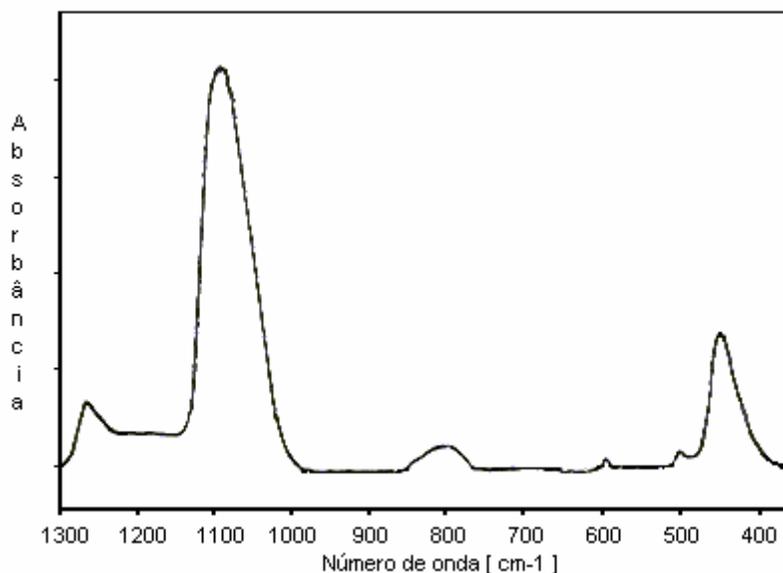
#### **C.4- APLICAÇÃO DA TÉCNICA EM FILMES ISOLANTES DE ÓXIDO DE SILÍCIO.**

A Figura C.5 mostra um exemplo de um típico espectro FTIR do óxido de silício. Este espectro foi obtido por um espectrômetro automático modelo BIO-RAD FTS-40, com fonte de laser de He-Ne. Esse equipamento permite que as medidas sejam executadas em uma câmara com ambiente inerte (nitrogênio), minimizando-se a detecção de ligações das moléculas de H<sub>2</sub>O e de CO<sub>2</sub> presentes no meio ambiente (ar) [2].

O procedimento para obtenção das medidas de absorção do filme de SiO<sub>2</sub> é o seguinte: primeiro executa-se uma medida de uma lâmina de silício, com características idênticas (de orientação, de resistividade e de dopagem) dos substratos nos quais foram crescidos os filmes de óxido. Essa medida do corpo do substrato de silício é definida como a medida de referência (background). Após, executa-se uma medida da lâmina com estrutura isolante/semicondutor.

O equipamento subtrai automaticamente dessa medida a medida de referência. Essa subtração permite obter um espectro puro de absorção das ligações Si-O do filme sobre o substrato de silício.

Os espectros FTIR (Figura C.5) de óxidos térmicos de silício ( $\text{SiO}_2$ ) apresentam três picos principais de absorção em torno de  $1075\text{ cm}^{-1}$ ,  $810\text{ cm}^{-1}$  e  $450\text{ cm}^{-1}$ , que correspondem aos modos de vibração *stretching*, *bending* e *rocking* [28,2].



**Figura C.5- Espectro FTIR do  $\text{SiO}_2$ .**

## ANEXO D

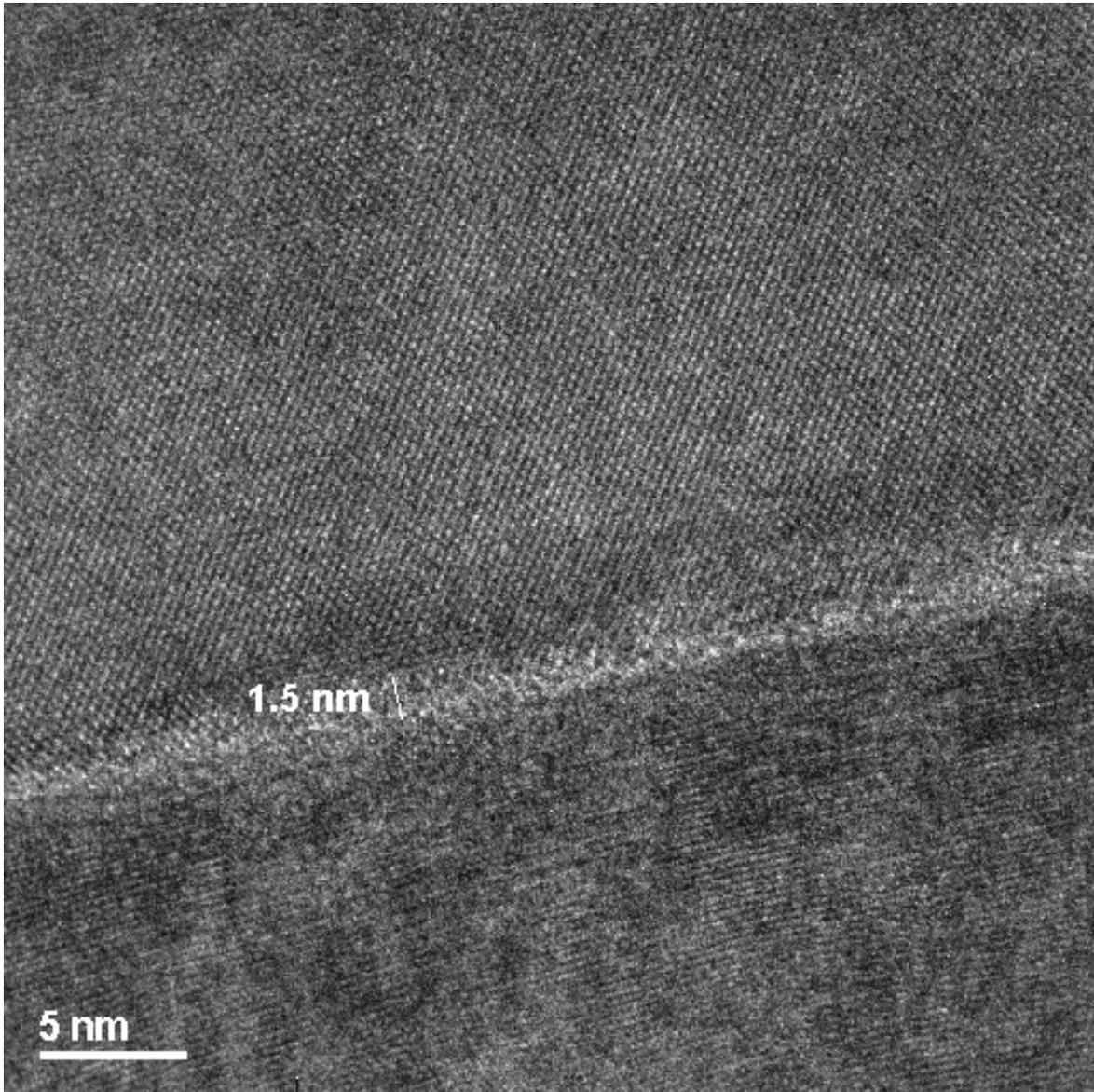
### MICROSCÓPIO ELETRÔNICO DE TRANSMISSÃO (TEM) [49]

#### D.1- INTRODUÇÃO

O primeiro TEM comercial foi construído em 1936, no Reino Unido, e o início de uma produção regular começou com a Siemens e Halske, na Alemanha, em 1939. Dentre as técnicas atuais, o microscópio mais poderoso para a observação direta de estruturas, formando imagens a níveis atômicos, é o TEM (Transmission Electron Microscope), gera padrões de difração que contêm informações da estrutura cristalina, como a repetibilidade das distâncias na rede e sua forma. Os primeiros pesquisadores a desenvolverem a idéia de um microscópio utilizando um feixe de elétrons foram Knoll e Ruska, em 1932.

Sabendo que o microscópio eletrônico de transmissão é uma técnica poderosa para visualizar estruturas a níveis atômicos (Figura D.1). Apresentam também algumas limitações, tais:

1. *Amostragem*: Paga-se um alto preço por uma imagem de alta resolução, onde se vê somente uma parte muito pequena da amostra. Em geral, quanto maior a resolução, menor a amostragem.
2. *Imagens 2D*: A imagem é uma média através da espessura da amostra. Portanto, é necessário tomar cuidado na interpretação da imagem, pois ela é bidimensional enquanto a amostra está em três dimensões.
3. *Danos causados pelo feixe de elétrons*: O feixe de elétrons funciona como uma radiação ionizante, danificando a amostra, especialmente se ela for cerâmica ou polímeros.
4. *Preparação de amostras*: Esta é a maior limitação do TEM. As amostras devem ser suficientemente finas, na ordem de micrometros ou menos, para que a intensidade de feixe que a atravessa consiga gerar uma imagem interpretável. O processo para preparar tais amostras pode afetar sua estrutura e composição.



**Figura D.1 – Imagem do TEM**

## **D.2-FUNIONAMENTO DO TEM (DESCRICÃO) [49]**

Um feixe de elétrons é produzido e acelerado no canhão eletrônico, sofrendo uma primeira focalização na sua saída, denominada “crossover” do canhão. A seguir, o feixe passa por duas lentes magnéticas, Abertura C1 e C2 (figura D.2), que são ajustadas para iluminar a amostra com um feixe de elétrons, geralmente paralela e com uma secção de alguns micrometros. Ainda neste trecho existe uma abertura (diafragma) que controla a coerência, intensidade e paralelismo do feixe. A este conjunto que conduz os elétrons do canhão até a amostra dá-se o nome de sistema de iluminação. Então, um conjunto de lentes magnéticas objetivas captura o feixe espalhado que atravessou a amostra, em especial na

direção direta, e trabalha-o para conseguir a formação de uma imagem nítida e ampliada sob uma tela fosforescente. Muitas vezes o que se deseja enxergar é o padrão de difração. Entres estas lentes, outros diafragmas são posicionados para controle de intensidade e contraste.

Todo o instrumento opera em alto vácuo,  $\sim 10^{-7}$  Torr ( $1,3 \times 10^{-5}$  Pa).

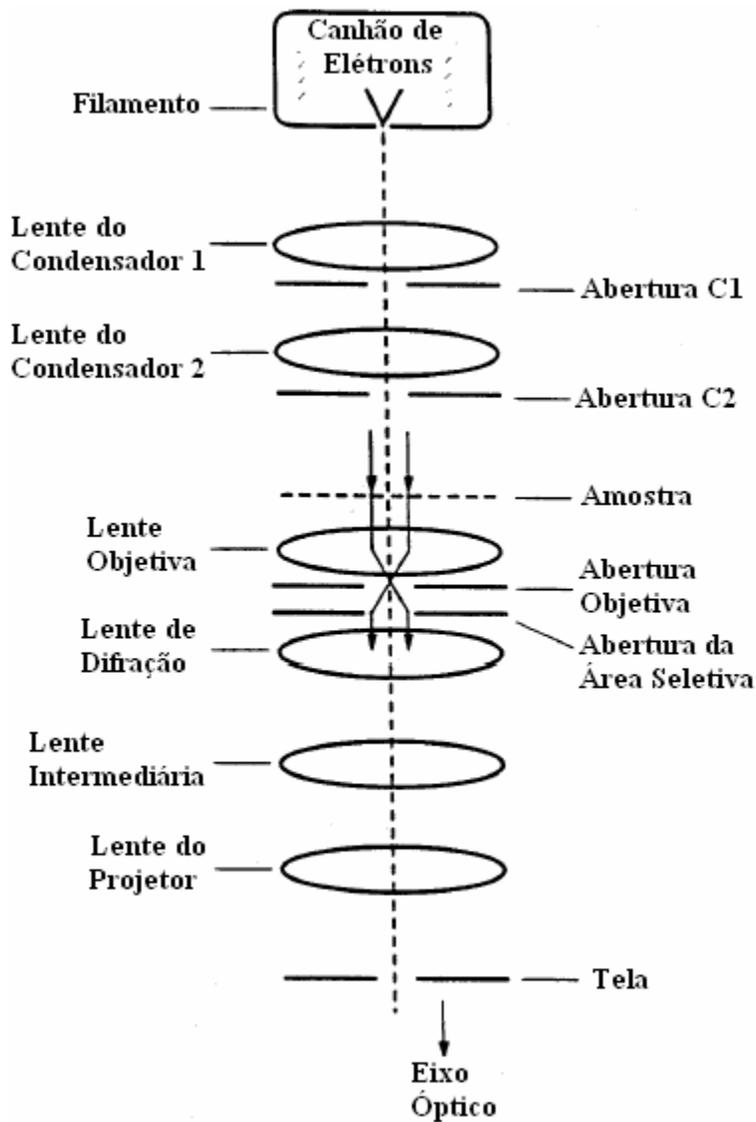


Figura D.2- Diagrama esquemático de uma configuração típica de um TEM.[49]

### D.3-LENTE MAGNÉTICAS E ABERTURAS[49]

As lentes controlam todas as funções operacionais básicas do instrumento. É possível compreender os arranjos de lentes magnéticas em analogia com a ótica geométrica. A diferença está na trajetória seguida pelos elétrons, que não são retas como no caso da luz. Isto conduz a aberrações e rotação de imagem. O conjunto de lentes localizado antes da amostra tem por função iluminá-la com um feixe de elétrons paralelos (ou quase paralelos). O conjunto de lentes posterior à amostra captura a imagem e a magnifica.

As duas equações básicas para a compreensão dos arranjos de lentes são a “equação da lente” e a “equação da magnificação”.

A formação de imagem é regida pela equação das lentes:

$$\frac{1}{u} + \frac{1}{v} = \frac{1}{f} \quad (\text{E.2})$$

Onde  $u$  é a distância do objeto à lente,  $v$  a distância da imagem à lente e  $f$  é a distância focal.

A magnificação ( $M$ ) é dada por,  $M = \frac{v}{u}$  . (E.3)

### D.4-PROBLEMAS DAS LENTES

Temos para o TEM, nas suas lentes magnéticas problemas com as lentes que limitam a resolução, sendo que os principais problemas são a criação de aberração esférica, aberração cromática e astigmatismo.

*a) Aberração esférica:* é devido ao campo das lentes agir de forma inhomogênea sobre os raios fora do eixo central causado pelo campo da lente agir de forma. Isto é, quanto mais longe do eixo o elétron está, mais fortemente é curvado em direção a ele.

*b) Aberração cromática:* aparece este defeito por causa da não monocromaticidade do feixe. Este problema não vem do sistema de iluminação, mas dos elétrons com várias energias que emergem da amostra após sua interação com o feixe. Podemos contornar este problema fazendo as amostras mais finas.

*c) Astigmatismo:* surge porque os elétrons sentem um campo magnético não uniforme quando eles helicoidam em redor do eixo ótico. Isto ocorre porque as peças polares não são perfeitamente cilíndricas ou por inhomogeneidades microestruturais do núcleo ferromagnético que causam variações locais de campo.

## **D.5-PREPARAÇÃO DE AMOSTRAS**

Um importante passo para a análise TEM é a preparação das amostras, pois a qualidade da amostra depende dessa preparação sendo diretamente proporcional a qualidade dos dados gerados, uma regra para a qualidade e tendo algumas exceções é que quanto mais fina a amostra, melhor.

Há dois tipos de amostras de acordo com o seu manuseio: auto-sustentáveis ou dispostas em grades. Se a amostra for auto-sustentável, então toda a estrutura é de um mesmo material, suficientemente resistente. Porém, caso não o seja, é necessário dispô-la em um porta amostra, sendo este um disco com cerca de 3mm de diâmetro, geralmente com grades entrelaçadas.

A estabilidade mecânica é crucial, pois, por serem extremamente finas, qualquer vibração durante o manuseio de preparação ou instalação no microscópio, pode quebrar as amostras.

## **D.6-PREPARAÇÃO DE AMOSTRAS AUTO-SUSTENTÁVEIS [ 49]**

### **D.6.1-PRÉ-AFINAMENTO**

Este processo inicial depende do material ser dúctil ou quebradiço.

Para materiais dúcteis, os métodos ideais são serra de arame banhado em ácido ou descargas elétricas (eletro-erosão), conseguindo-se fatiar discos com menos de 200 $\mu$ m. No caso de materiais quebradiços, como as cerâmicas, eles podem ser clivados com uma lâmina, cortados com ultramicrotomia, ou com serra de diamante.

A próxima etapa é afinar o centro do disco, minimizando as irregularidades da superfície através de processos mecânicos ou químicos.

O processo mecânico mais usual consiste em uma ferramenta de pequeno raio, que desbasta e pole o disco (amostra) no seu centro, com um raio fixo de curvatura, alcançando menos do que 10  $\mu$ m. Também se utiliza um polidor de tripé, que é um dispositivo que segura a amostra enquanto esta está sendo trabalhada pela politriz. Com ele, conseguem-se espessuras menores do que 1  $\mu$ m.

## **D.7-PREPARAÇÃO DAS AMOSTRAS EM GRADES**

Esta opção consiste em dispor pequenas porções de uma amostra, que geralmente está em forma de partículas, sobre filmes estendidos sobre as grades da porta amostra. Estes filmes podem ser amorfos ou cristalinos.

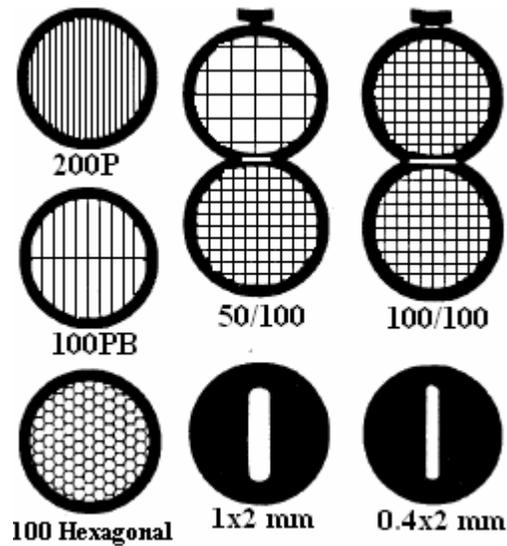


Figura D.3- Porta amostras com grades de diferentes formas.

#### D.7.1 - PROCEDIMENTO PARA PREPARAÇÃO DAS AMOSTRAS

Para utilizarmos as amostras no TEM (Transmission Electron Macrocopy), temos antes que prepará-las conforme os procedimentos abaixo.

As amostras utilizadas nessa dissertação terão estruturas Si/SiON/TiAl, com capacitores circulares com diâmetro de 200 $\mu$ m. Para começarmos o procedimento de preparação para as medidas no TEM as amostras terão dimensões de ~2 mm de largura, ~5 mm de comprimentos (Figura D.4).

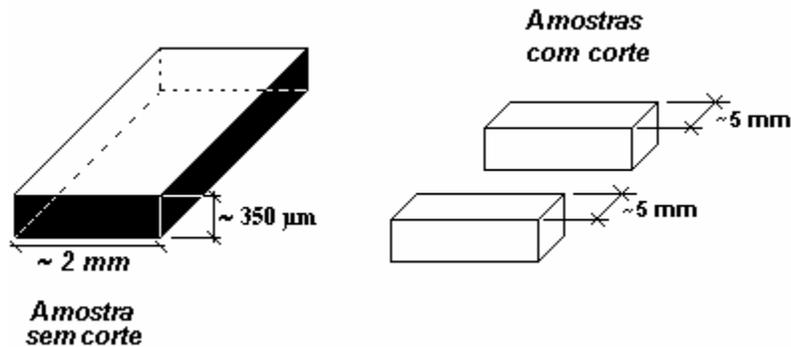
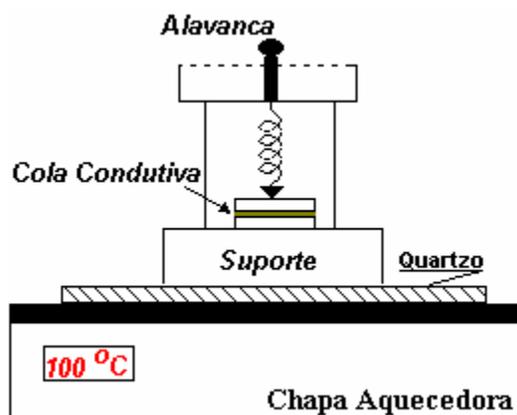


Figura D.4 - Amostras sendo preparadas

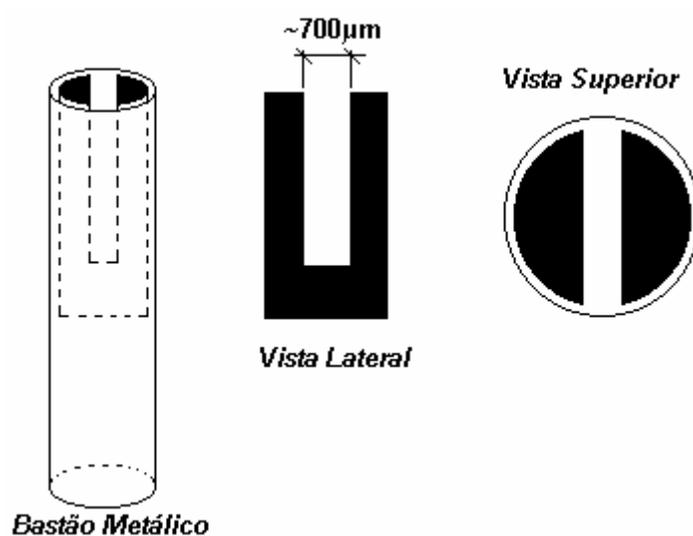
Os filetes demonstrados na Figura D.4, são sobrepostos um ao outro conforme na figura D.5, sendo que entre eles temos uma cola condutiva que é precionada por uma alavanca até o seu endurecimento, para sabermos quando tirarmos a amostra com a cola endurecida, coloca-se uma gota da cola (transparente) em cima da placa de quartzo de cor

branca, conforme a cola é aquecida sua cor começa ficar com uma tonalidade mais escura, sabemos que a cola endureceu quando estiver na tonalidade marron, a amostra que está em cima do suporte é aquecida à  $\pm 100^{\circ}\text{C}$  por uma chapa aquecedora (*Hot Plate*).



**Figura D.5 – Procedimento para endurecimento da cola condutiva.**

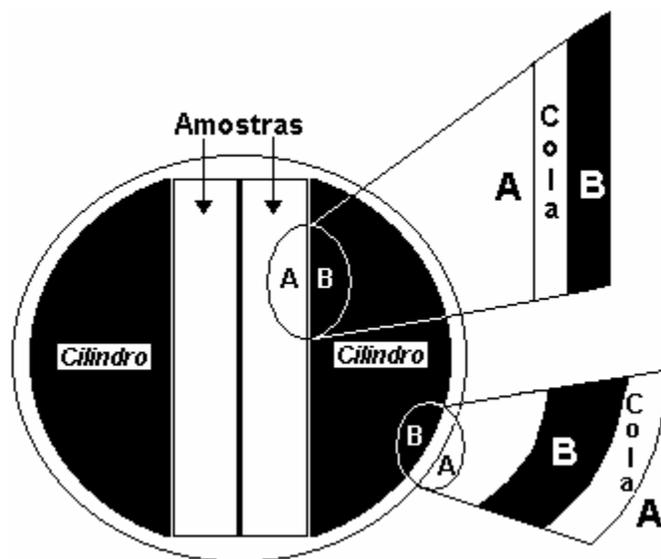
Estando as amostras unidas pela cola condutiva, serão colocadas agora em um bastão metálico observado na Figura D.6. No interior deste bastão metálico há uma peça em forma de “U” está é a parte que irá segurar as amostras para a medida no TEM.



**Figura D.6 - Suporte para encaixe do cilindro.**

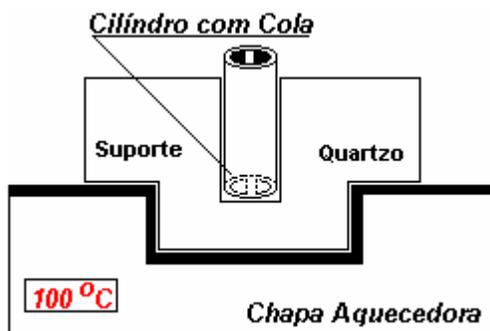
Na Figura D.7, observamos as amostras colocadas dentro do cilindro em forma de “U”, após terem saído do procedimento para endurecimento da cola(Figura D.5), em seguida iremos colocar cola ao redor das amostras para ficarem fixas ao cilindro em forma

de “U” e também iremos colocar cola ao redor do cilindro, sendo nas extremidades internas do bastão metálico, observe os detalhes da figura D.7.



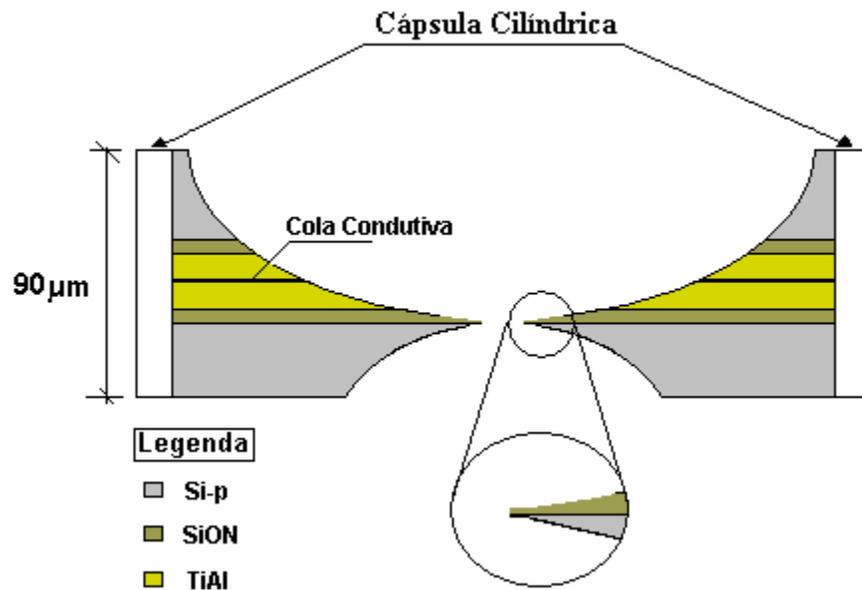
**Figura D.7- Procedimento para o encaixe das amostras.**

Na Figura D.8, temos o suporte para o bastão metálico onde será aquecido  $\pm 100^{\circ}\text{C}$  para endurecimento da cola, note-se que será utilizado o mesmo procedimento, para sabermos o tempo de endurecimento da cola condutiva apresentado na Figura D5.



**Figura D.8 - Suporte para encaixe do bastão metálico e endurecimento da cola aplicado no cilindro e nas amostras.**

Após o endurecimento da cola o bastão metálico será cortado em aproximadamente  $90\mu\text{m}$  para começar o desbaste da amostra, na parte de cima do cilindro (Figura D.9) onde está a amostra é aplicada uma pasta de diamante, conseqüentemente esta pasta junto com uma lixa, será usada para fazer o desbaste, na parte de baixo o desbaste é feito por sputtering, esse desbaste chega a furar a amostra. Após o desbaste por sputtering, a parte do filme onde não foi retirada e ficou com espessura fina é o local onde será feita a medida TEM observe o detalhe da figura D.9.



**Figura D.9 - Amostra preparada para ser utilizada no TEM**

## **D.8 - ACABAMENTO FINAL**

### **D.8.1 - ELETROPOLIMENTO**

O eletropolimento só pode ser utilizado em amostras condutoras elétricas, como metais e ligas. O método é relativamente rápido e produz lâminas sem defeitos mecânicos, mas pode mudar a composição química da superfície.

O princípio de funcionamento baseia-se na aplicação de uma voltagem na qual a corrente, devido à dissolução catódica da amostra, cria uma superfície polida.

### **D.8.2 - DESBASTE IÔNICO**

O desbaste iônico é feito através do bombardeamento da amostra com íons ou átomos neutros, arrancando seu material, até ficar fina o suficiente para ser estudada em um TEM. As variáveis que podem ser controladas são a tensão, a temperatura da amostra, o tipo de íon (Ar, He ou um íon reativo) e o ângulo de incidência.

Para evitar implantações na superfície da amostra, costuma-se baixar a energia do feixe ou o número atômico do íon incidente, aumentando, porém, o tempo de desbaste. O desbaste iônico é o mais versátil processo de redução de espessura, sendo usado para cerâmicas, compósitos, semicondutores, ligas e fibras e pós-embebidos em epóxi.

### **D.8.3 - ELETROPOLIMENTO – MÉTODO DA JANELA PARA METAIS E LIGAS**

Uma fina lâmina metálica é imersa em um eletrólito, circundado por um catodo e uma voltagem é aplicada. A voltagem correta pode assegurar que uma camada viscosa do eletrólito forme-se na superfície da amostra, garantindo um afinamento uniforme e controlado. Após várias rotações, a lâmina ficará mais fina no centro, ocorrendo a perfuração. Ela é então retirada e as suas farpas na região da perfuração são removidas em um solvente inerte. Estas farpas ficam flutuando no solvente e são coletadas pelo porta amostra gradeado. Após a secagem, estão prontas para serem observadas.

### **D.8.4 - TRITURAÇÃO**

Materiais quebradiços, como cerâmicas e minerais, são mais facilmente reparados quando triturados em um cadinho com líquido inerte.

O líquido é mexido com ultrassom. Uma gota deste líquido é pingada sobre um filme de carbono que está estendido sobre a grade do porta amostra. Após a evaporação do líquido, as partículas ficam distribuídas sobre este filme.

### **D.8.5 - LITOGRAFIA**

A litografia é utilizada na indústria de microeletrônica para definir linhas com larguras na ordem de 100 nm. Para preparar amostras para TEM, pode-se desenhar linhas em um material com várias camadas usando as técnicas litográficas convencionais. O material em cada lado da linha é então removido por desbaste químico ou iônico, para dar um platô muito fino em uma direção.

Terminado este processo, remove-se a maior parte do substrato restante e acopla-se a amostra em um suporte especial (*washer*).

## ANEXO E

### DIODO - DETERMINAÇÃO DO FATOR DE IDEALIDADE

#### E.1- Fator de idealidade:

O modelo existente para a descrição do comportamento do diodo, proposto por Shockley, estabelece que:

$$I_D = I_0 \cdot (e^{\frac{qV_D}{kT}} - 1); \quad I_0 = qAn_i^2 \left[ \frac{D_N}{L_N N_A} + \frac{D_P}{L_P N_D} \right]$$

onde  $k$  é a constante de Boltzmann

$T$  é temperatura em Kelvin [K]

**Para chegar a este modelo, Shockley teve que fazer algumas aproximações, circunscrevendo o modelo a uma região de validade. Atentando para esta região, é possível verificar o quão próximo estão as condições dos diodos reais das suposições tomadas por Shockley.**

Um modo para a verificação deste "quão próximo" é pela introdução de um fator no modelo acima, *ad hoc*, o chamado fator de idealidade  $\eta$ . Assim, a expressão, para  $V_D > 100$  mV, o que implica em  $\exp\left(\frac{qV_D}{\eta kT}\right) \gg 1$ , fica:

$$I_D = I_0 \exp\left(\frac{qV_D}{\eta kT}\right)$$

De posse dos dados  $I_D$  e  $V_D$ , plotando  $I_D$  em escala logarítmica, o fator  $\eta$  advém diretamente do coeficiente angular do modelo linearizado:

$$\ln(I_D) = \frac{q}{\eta kT} V_D + \ln(I_0)$$

Dessa forma, utilizamos o analisador de parâmetros HP4145B, traçamos as curvas  $I_D \times V_D$  e  $\log(I_D) \times V_D$ . Para isto,.

Da curva  $\log(I_D) \times V_D$ , foi obtido o coeficiente angular  $\alpha$ . Na seqüência, calculado o fator de idealidade  $\eta$  [7]: