

Galdenoro Botura Júnior

Engenheiro Eletricista, INATEL, 1980

"PROJETO DE UM MULTIPLICADOR CHAVEADO"

Dissertação apresentada à Faculdade de Engenharia de Campinas, UNICAMP, como requisito parcial para obtenção do título de "Mestre em Engenharia Elétrica"

Orientador: Prof. Dr. Alberto Martins Jorge

Universidade Estadual de Campinas
Faculdade de Engenharia de Campinas
Departamento de Engenharia Elétrica
Laboratório de Eletrônica e Dispositivos

Junho de 1985

UNICAMP
BIBLIOTECA CENTRAL

.III.

Este trabalho contou com apoio das seguintes entidades:

- CAPES - através do PROGRAMA INSTITUCIONAL DE CAPACITAÇÃO DE DOCENTES - PICD.
- FINEP - através do contrato nº B/72/81/409/00/00
- FAPESP - através do contrato nº 84/2194-2

Este sumário corresponde a redação final
da tese defendida por GALDENORO BOTURA
Jr. e aprovada pela Comissão Julgadora
em 19/06/85

Alberto Botura Jr.
15/07/85

Aos meus pais, GALDENORO BOTURA e
JANDIRA GALLO BOTURA.

AGRADECIMENTOS

Prof. Alberto Martins Jorge, que com sua orientação clara e objetiva, proporcionou-me a segurança necessária na realização deste trabalho.

Prof. Carlos Reis, pelas preciosas sugestões oferecidas, que acabaram por influenciar não só este trabalho mas também minha formação como um todo.

Prof. José Antonio S. Dias, pelas observações e críticas que ajudaram a direcionar não só o projeto, como também todo o trabalho realizado.

Carlos Pimentel, pelas proveitosas discussões durante nossa convivência.

Daniel Roseno da Silveira, pelo inestimável auxílio prestado, no desenvolvimento do trabalho de computação.

Cláudia Mariana Antonialli, pelo precioso auxílio nas realizações das medidas.

Maria Auxiliadora Mazotini, pela eficiência e capricho nos desenhos realizados.

Célia de Oliveira, pela paciência, dedicação e esmero no trabalho de datilografia.

Enfim, a todos que deram indiretamente alguma contribuição para o conteúdo deste texto, a gratidão do autor.

SUMÁRIO

Apresentação	1
Capítulo I - SISTEMA DE MODULAÇÃO POR CÓDIGO DE PULSO	3
I.1 Introdução	3
I.2 Transmissão Digital	4
I.3 Constituição de um Sistema MCP	5
I.4 Quantização	6
I.5 Subsistema Decodificador (Lei A-128)	10
I.6 Estudo de Tempo no Decodificador...	13
Capítulo II - BLOCO MULTIPLICADOR DO SISTEMA MCP	16
II.1 Introdução	16
II.2 Características Necessárias para o Circuito Multiplicador Proposto	17
II.2.1 Características Impostas pela Malha Decodificadora.	17
II.2.2 Erro de Linearidade	19
II.2.3 Relação Sinal/Ruído (S/R).	22
II.2.4 Variação da Saída com a Temperatura	23
II.2.5 Resposta em Freqüência do Circuito	23
II.2.6 Taxa de subida para execu- ção do Chaveamento - "Slew Rate"	24
II.2.7 Resumo das Características Exigidas	24
II.3 Princípio de Multiplicação Utili- zado	25

II.4	Comportamento Logarítmico de uma Junção PN Diretamente Polarizada	26
Capítulo III	- Projeto do Multiplicador Chaveado....	36
III.1	Desenvolvimento de uma Estrutura Adequada	36
III.2	Configurações Desenvolvidas...	38
III.2.1	Multiplicador Chaveado Versão 01	39
III.2.2	Multiplicador Chaveado Versão 02	49
III.2.3	Multiplicador Chaveado Versão 03	53
III.2.4	Multiplicador Chaveado Versão 04	59
III.3	Multiplicador Chaveado - Versão Final	60
III.3.1	Modificações Introduzidas	60
III.3.2	Problemas Verificados na Célula Multiplicadora	65
III.3.3	Configuração Final ...	72
Capítulo IV	- TESTE E VERIFICAÇÃO DE DESEMPENHO DO CIRCUITO PROJETADO	75
IV.1	Construção do Protótipo	75
IV.1.1	Determinação dos Transistores	75
IV.1.2	Determinação dos Resistores	77

.VII.

IV.1.3 Fontes de Corrente	81
IV.2 Desempenho do Circuito de Compensa ção e Célula de Saída	84
IV.2.1 Circuito de Compensação....	84
IV.2.2 Célula de saída	91
IV.3 Testes e Resultados Obtidos no cir cuito Protótipo	93
IV.3.1 Teste de Linearidade	93
IV.3.2 Relação Sinal-Ruído	96
IV.3.3 Variação de Saída com a Tem peratura	97
IV.3.4 Variação do Sinal de Saída com a Freqüência	100
IV.3.5 Taxa de Subida	103
IV.4 Aplicação do Circuito Protótipo em um MCP	104
IV.5 Utilização do Circuito Multiplica dor de um Modo Geral	106
Capítulo V - INTEGRAÇÃO DO DISPOSITIVO	114
V.1 Definição das Máscaras	114
V.2 Comentários Finais e Conclusão	119
APÊNDICE A	121
APÊNDICE B	128
REFERÊNCIAS BIBLIOGRÁFICAS	129

GLOSSÁRIOS DE SÍMBOLOS

- A - Relação de área entre os emissores dos pares internos e externos da célula multiplicadora de Gilbert
- A_n - Fonte de corrente de número "n"
- a - Índice de modulação
- a_n - Índice de modulação da célula multiplicadora de número "n"
- a'_n - Índice de modulação da célula multiplicadora de número "n", com seus desvios associados
- B_n - "Bit" da palavra digital com "n" indicando a sua respectiva posição dentro da palavra
- \bar{B}_n - Negação do "bit" de número "n"
- b - Índice de modulação
- C_{jco} - Capacitância de junção de coletor com polarização zero
- C_{jeo} - Capacitância de junção de emissor com polarização zero
- D_A - Desvio associado ao descasamento entre os transistores
- D_n - Desvio associados ao descasamento entre transistores da célula de número "n"
- d - Razão entre I_s e I_o
- d' - Razão entre I_s e I_o com os desvios associados
- db - decibel
- E - Erro máximo
- f - Frequência
- f_T - Frequência de corte

- I - Corrente
- I_a - Corrente gerada na malha decodificadora que indica o nível de sinal dentro do segmento
- I_B - Corrente na base do transistor
- I_{B_N} - Corrente na base de transistor "n"
- I_b - Corrente gerada na malha decodificadora que indica o número de ordem do segmento onde se encontra a amostra
- I_c - Corrente no coletor do transistor
- I_{cn} - Corrente no coletor do transistor "n"
- I_E - Corrente de referência dos pares internos da célula multiplicadora
- I_e - Corrente no emissor
- I_{en} - Corrente no emissor do transistor "n"
- I_M - Corrente de saída da célula multiplicadora versão - 02
- I'_M - Corrente complementar em relação à I_M
- I_o - Corrente de referência a ser multiplicada por I_b
- I'_o - Corrente de referência antes de ser espelhada
- I_{pn} - Corrente de polarização da fonte de número "n"
- I_R - Corrente de referência dos pares externos da célula multiplicadora
- $I'R$ - Corrente de referência antes de ser espalhada
- $I'R_n$ - Corrente de referência do multiplicador "n"
- I_S - Corrente de saída da célula multiplicadora - versão final

I_{Sn}	-	Corrente de saturação do transistor n
I_{So}	-	Corrente de saída da célula multiplicadora desconsiderando o efeito de β finito
I_Y	-	Corrente de saída da célula multiplicadora - versão 02-
I_w	-	Corrente constante no conversor I/V
J	-	Densidade de corrente
J_s	-	Densidade de corrente de saturação
K	-	Constante de proporcionalidade
K_L	-	Constante que relaciona I_o , IR_1 , IR_2
K'	-	Constante de multiplicação
\ln	-	Logaritmo neperiano
M_n	-	Célula Multiplicadora de número "n"
m	-	Constante próxima à unidade
m_A	-	Miliampere
M_c	-	Coefficiente de junção de coletor
M_e	-	Coefficiente de junção de emissor
n	-	Número natural
P_c	-	Potencial de junção de coletor
P_e	-	Potencial de junção de emissor
Q_b	-	Carga armazenada na base
Q_n	-	Transistor de número "n"
q	-	Carga do elétron
R	-	Resistor
R_B	-	Resistor limitador de corrente

.XI.

R_b	-	Resistência de emissor associada aos pares externos da célula multiplicadora
R_c	-	Resistor de Conversão I/V
R_i	-	Resistência de emissor associada aos pares internos da célula multiplicadora
R_n	-	Resistor de número "n"
R_p	-	Resistor de polarização
T_f	-	Tempo de transito direto
T_s	-	tempo de subida
V	-	Tensão
v	-	Tensão aplicada externamente à junção
V_{cc}	-	Tensão de polarização
V_{EE}	-	Tensão de polarização
V_m	-	Tensão máxima de saída
V_{ms}	-	Tensão máxima de saída do segmento
V_o	-	Tensão de saída
V_R	-	Tensão de referência
V_T	-	Tensão termodinâmica
T	-	Temperatura em Kelvin
α	-	Ganho de corrente em base comum
β	-	Ganho de corrente em emissor comum
Δ	-	Relação entre β , I_R e I_E
Δp	-	Intervalo de tempo entre duas palavras digitais

.XII.

- Δv - Intervalo de tensão entre dois níveis
- δ - Desvio total da célula multiplicadora
- ϕ_B - Queda de potencial na resistência ôhmica associada aos emissores externos da célula multiplicadora
- ϕ_E - Queda de potencial na resistência ôhmica associada aos emissores internos da célula multiplicadora

A P R E S E N T A Ç Ã O

Durante os anos 70 foi estabelecido um convênio de pesquisa e desenvolvimento de equipamentos de comunicações entre o Departamento de Engenharia Elétrica da UNICAMP e a Telebras (Telecomunicações Brasileiras S/A). Deste convênio, surgiu um trabalho denominado "Ensaio no Projeto e Construção de um Decodificador D/A, com Técnica I^2L ", que teve como objetivo primordial a construção e o estudo dos elementos básicos de um bloco de decodificação dos sinais digitais em analógicos para um sistema de modulação por código de pulso (MCP) Lei-A, sendo este bloco na forma monolítica e constando de geradores de sinais de pesos binários, portas lógicas e registradoras de deslocamento. A este bloco, neste trabalho, passamos a chamar de "Malha Decodificadora".

O presente trabalho se propõe a dar continuidade ao estudo do decodificador MCP Lei-A, a partir da malha decodificadora realizada, procurando desenvolver um projeto que venha a ser o bloco final do decodificador.

O estudo deste bloco final nos mostrou que o circuito necessário para completar o sistema era um dispositivo que multiplicasse as correntes binárias geradas e, recebendo o pulso de polaridade, definisse o potencial de saída do sinal.

A técnica proposta para a realização desta multiplicação baseia-se no "Princípio Translinear", um princípio conhecido internacionalmente e que foi a base de projetos de circuitos multiplicadores encontrados comercialmente e na literatura especializada.

Procurou-se colocar os capítulos e também os assuntos por eles abordados com uma distribuição linear no que se refere ao desenvolvimento do trabalho efetuado, tentando assim, caracterizar o esforço desenvolvido e o grau das dificuldades encontradas em um projeto desta natureza.

CAPITULO I

SISTEMA DE MODULAÇÃO POR CÓDIGO DE PULSO (MCP)

I.1 Introdução

É inegável na história da Humanidade, a grande preocupação que o Homem sempre teve em conseguir comunicar-se de uma forma segura e precisa, sem que alterações nas informações modificassem o significado ou a intelegibilidade final de seu pensamento. Com a invenção do telefone por Graham Bell no século XIX, o seu grande sonho começou a se tornar realidade, com a possibilidade de se fazer ouvir a uma distância em que anteriormente somente se fazia entender através de mensagens enviadas por telégrafo.

A evolução da telefonia passou por várias etapas que inicialmente ofereciam barreiras quase que intransponíveis, devido ao estágio de desenvolvimento tecnológico reinante até então. À medida que esta tecnologia foi se superando, a intelegibilidade foi se acentuando e novas formas de transmissão foram sendo pesquisadas.

Nos dias de hoje, existe uma tendência cada vez maior de se trabalhar com o sinal, na sua forma digital, através da codificação por pulsos da informação. Este meio, por permitir a reconstituição e a correção do sinal transmitido, tornou-se de grande interesse, e pesquisas vêm se acentuando para tornar este sistema cada vez mais eficiente, compacto e barato.

I.2 Transmissão Digital

Transmissão digital é a técnica de troca de informações por meio de sinais codificados digitalmente. A procura de uma forma eficiente de codificar a informação em pulsos, e posteriormente decodificá-la para se obter novamente o sinal analógico original, encontra sua origem muito antes de invenção do telefone por Alexandre Graham Bell. Sabe-se que as primeiras pesquisas nesta área datam de 1837 (17) e a partir daí vários métodos foram desenvolvidos, de forma a permitir uma membrana abrir e fechar um circuito através das vibrações recebidas. Porém, o estágio tecnológico não estava suficientemente desenvolvido, de modo que estas pesquisas tivessem sucesso. Novamente voltou-se a pesquisar a transmissão digital, quando se sentiu a grande dificuldade que se tinha para transmitir canais múltiplos, principalmente devido à diafonia existente e a grande complexidade nas estruturas dos filtros exigidos.

Uma particularidade da transmissão digital é aumentar a facilidade de se conseguir a multiplexagem temporal, isto é, a transmissão de várias mensagens intercaladas no tempo.

Em 1937, A.H. Reeves, membro do Laboratório da ITT francesa, propôs um tipo de codificação digital onde se varia a largura dos pulsos, de acordo com a amplitude do sinal a ser codificado, e que ficou conhecido como modulação por largura do pulso (MLP). Porém, Reeves não havia ainda conseguido o seu intento inicial, que consistia em obter uma codificação onde apenas a existência ou não do pulso, seria o suficiente para conseguir a reconstituição das informações.

Deste modo, em 1937, adveio o sistema de modulação por código de Pulso (MCP), com conceitos diferentes aos existentes na época, sendo amplamente aclamado e difundido. Porém, a inexistência de componentes adequados não permitiu a sua evolução.

A partir da 2.^a Grande Guerra, mais propriamente com a invenção do transistor, um grande avanço se deu na eletrônica, permitindo uma maior complexidade de um sistema, com um número cada vez menor de dispositivos.

Atualmente, a grande maioria dos sistemas telefônicos que estão entrando em vigor utilizam esta técnica de transmissão, e a tendência é um crescimento na demanda destes sistemas.

I. 3 Constituição de um Sistema MCP

Basicamente, um sistema MCP é composto de um subsistema codificador, onde se faz a transformação do sinal analógico em um sinal digital correspondente e um decodificador, onde se efetua a conversão da palavra digital recebida em níveis analógicos. Por ser composto de um codificador e um decodificador, este sistema é geralmente chamado de CODEC (CODificador + DECodificador).

O diagrama em blocos representa as diversas partes que compõem um CODEC

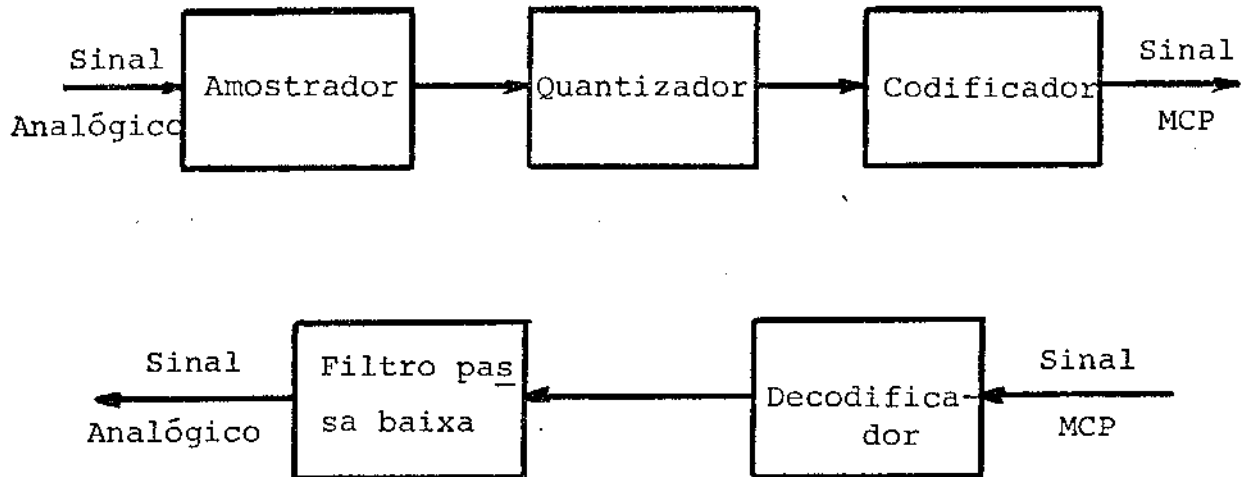


Fig. I.1 - Diagrama em blocos representativo de um CODEC

A partir deste item passaremos a analisar minuciosamente o bloco referente ao decodificador e as possíveis influências originadas da codificação, que possam de algum modo influenciar seu desempenho.

I.4 Quantização

O objetivo do codificador MCP é transformar a mensagem analógica em mensagem digital codificada, e do decodificador o de restabelecer o sinal original a partir da palavra em código.

Na codificação do sinal analógico, surge um ruído irremovível, conhecido como Ruído de Quantização, e que somente seria eliminado, caso codificássemos o sinal em um número infinito de "bits".

Alguns dos métodos de minimização deste ruído, desen

envolveram-se a partir de estudos onde se levou em consideração as características dos sinais de voz em um ser humano, e da característica de codificação.

Verificou-se que, quando se faz uma quantização linear, ou seja, estabelece que o nível analógico variará entre + V e - V e divide-se em espaços iguais com número finito de elementos, entre estes extremos (+ V e - V), os níveis fracos de sinais correspondentes a um único passo de quantização terão um erro de meio passo ou seja, um erro percentual de 50% para o "bit" menos significativo. Caso o sinal a ser codificado permaneça durante muito tempo em níveis fracos, a relação sinal ruído será muito baixa.

Uma forma de atenuar este problema é fazer uma divisão do espaço entre + V e - V de maneira não linear, ou seja, faz-se o espaço que corresponde aos níveis fracos de sinais, com um número maior de divisões do que os correspondentes aos níveis fortes.

Um método clássico que utiliza uma codificação não linear, e muito bem analisado por Kaneko (3), é o método denominado "Lei de Compressão Logarítmica com A = 87,6" e da qual passaremos a tratar a seguir.

A "Lei A", de acordo com a CCITT, é definida para níveis de sinal expandido (y) e comprimido (x), normalizados segundo a seguinte relação, abaixo, e na referência (3) é feita uma análise onde se demonstra que maximização da relação sinal ruído (S/R) ocorre com a função log x:

$$x = \frac{1 + \text{Log}_k Ay}{1 + \text{Log}_k A} \quad \text{para} \quad \frac{1}{A} \leq y \leq 1 \quad (1.2)$$

$$x = \frac{Ay}{1 + \text{Log}_k A} \quad \text{para} \quad 0 \leq y \leq 1 \quad (1.3)$$

Sendo: $k = e$ (base do logarítmo neperiano)

$$A = 87,6$$

e pode ser representada graficamente pela figura abaixo:

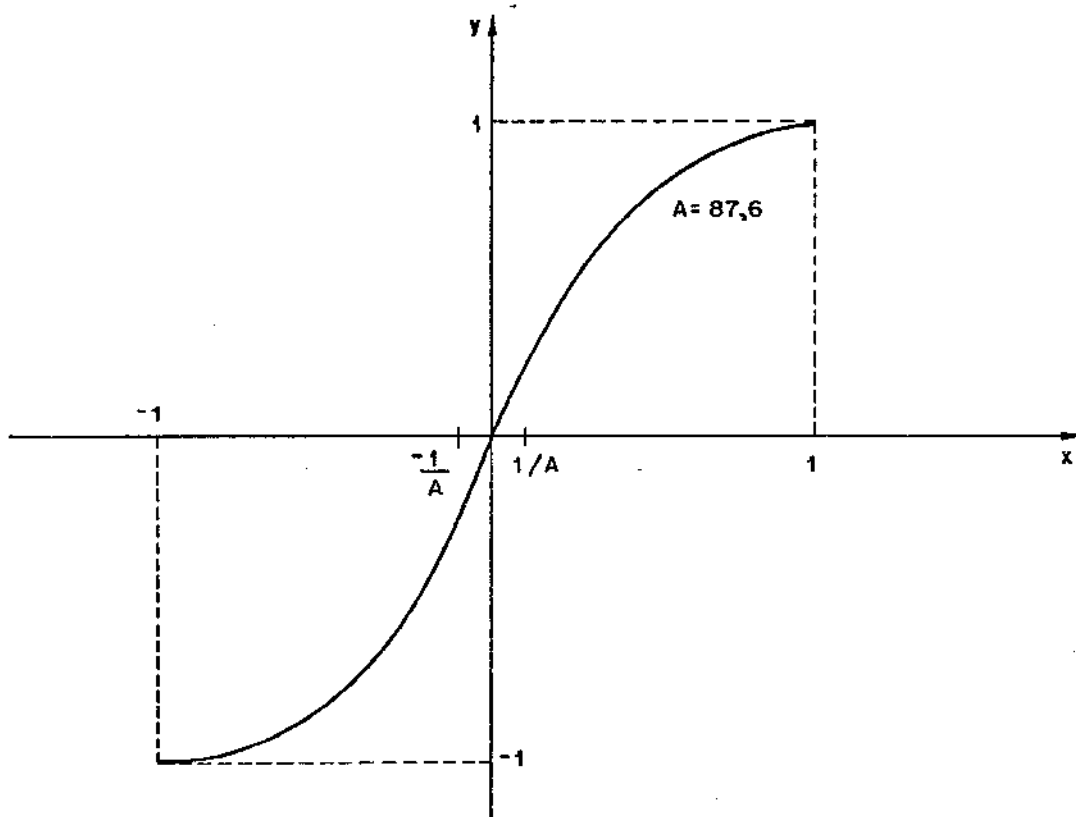


Fig. I.2 - "Lei-A" para $A = 87,6$

Se tomarmos 8 bits de codificação como referência para um rápido estudo sobre esta lei, pode-se aproximar esta curva por uma característica linear por partes. Para se realizar esta linearização, divide-se cada uma das suas partes (positiva e negativa) em 16 segmentos e faz-se coincidir o 1º segmento com o 2º em cada quadrante. A curva final ficará conforme mostrado abaixo.

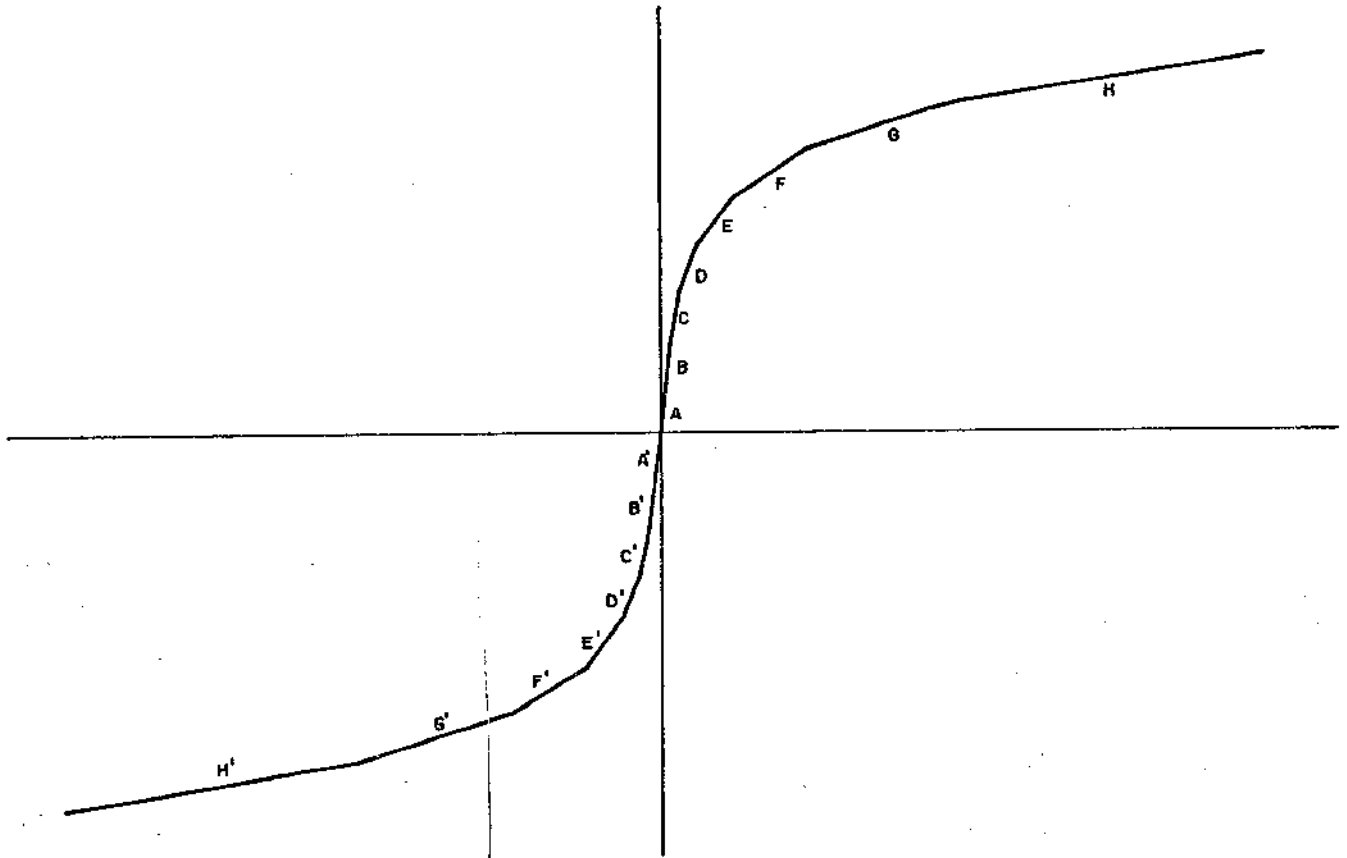


Fig. I.3 - Lei-A Linearizada

Deste modo, teremos 13 inclinações diferentes.

Em cada ponto de mudança de direção do segmento, a inclinação muda por um fator de 2. Nos dois primeiros segmentos, A e B, tem-se um produto que corresponde a uma codificação linear por 12 bits, o segmento C a 11 bits e assim sucessivamente, até o segmento H que corresponde a uma codificação Linear por 6 bits.

Esta mesma análise também é válida para a parte negativa da curva (A', B', C'H').

A Lei A = 87,6 sendo linearizada por partes, utilizando para isto 16 segmentos, de acordo com a figura I.3 , passa a ser chamada "Lei A - 128" indicando os 128 níveis possíveis de ocupação de sinal amostrado em cada uma de suas partes (positiva e negativa).

Obviamente na demodulação a característica logarítmica de quantização deve ser levada em consideração para se obter o sinal analógico decodificado sem distorções.

I.5 Subsistema Decodificador (Lei A- 128)

Uma vez recebido o trem de pulso, torna-se necessário decodificá-lo para novamente obter-se a informação original.

Sabe-se que em um sistema MCP a codificação em função dos "bits" acontece com a seguinte metodologia:



B_1 → indica a polaridade da amostra do sinal, se o mesmo se encontra na parte superior ou inferior da curva de compressão.

B_2, B_3, B_4 → indica em qual segmento a amostra se encontra. Com 3 "bits" pode-se representar os 8 segmentos da curva de compressão.

B_5, B_6, B_7, B_8 → indica em qual nível dentro do segmento se encontra a amostra. Com 4 "bits" pode-se representar os 16 níveis existentes dentro de cada segmento.

Uma vez recebido este trem de pulso, e baseado na proposta formulada na referência (2), o "bit" B_1 é enviado para um circuito de polaridade, que atuará no multiplicador chaveado na saída do circuito. Ao mesmo tempo, os "bits" B_2, B_3, B_4 são enviados para uma malha lógica que processará o sinal digital e o entregará a um conversor D/A, que fornecerá em sua saída, um valor de corrente proporcional ao número do segmento em que se encontra a amostra. À corrente referente aos "bits" analisados chamaremos doravante por I_b . Neste mesmo intervalo de tempo os bits B_5, B_6, B_7, B_8 são enviados a um outro conversor D/A, que tem por finalidade fornecer em sua saída um sinal em corrente proporcional ao nível da amostra dentro do segmento e a esta corrente referente a essa operação passaremos a chamar de I_a .

Na referência (4) encontramos um diagrama em bloco que representa o descrito acima de uma forma bastante

clara; devido a isto, achamos por bem reproduzi-lo aqui.

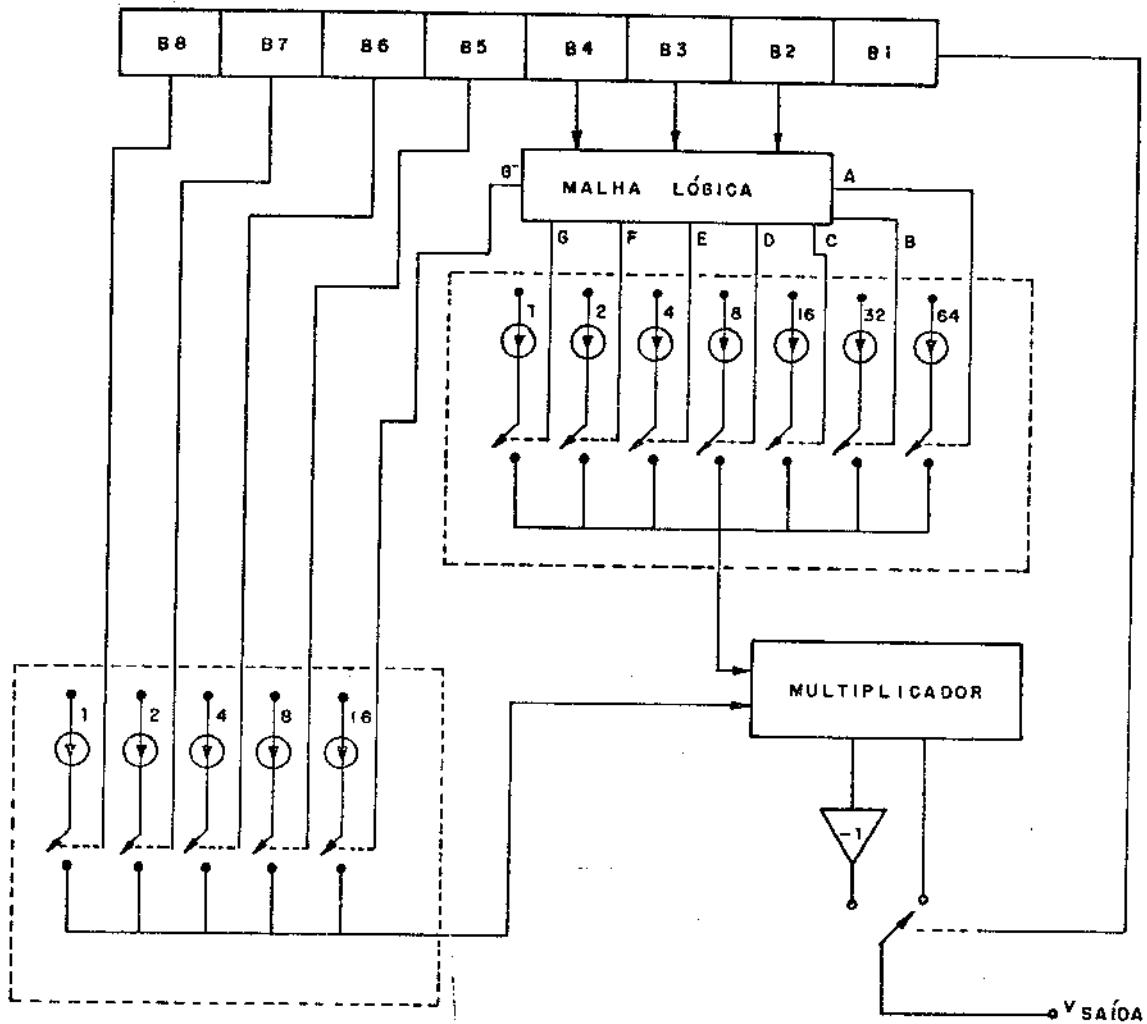


Fig. I.4 - Constituição de um conversor D/A
Ref. (4)

I.6 Estudo de tempo no Decodificador

Obviamente, o estudo de tempo de um decodificador dependerá fundamentalmente do número de canais pertencentes ao CODEC. Porém, para elucidar este item, tomaremos como exemplo um sistema com capacidade de transmitir e receber 30 canais telefônicos mais 2 canais de sincronismo, sinalização e supervisão, com frequência de amostragem de 8 KHZ para cada canal. Estas amostras são comprimidas e quantizadas em 256 níveis e em seguida codificadas em palavras de 8 dígitos. Para este sistemas podemos dizer que a frequência máxima de transmissão ao longo da linha será:

$$f = (8 \text{ dígitos}) \times (8\text{KHZ}) \times (32 \text{ Canais}) = 2048 \text{ KHZ} \quad (\text{I.4})$$

Para este caso, uma palavra digital chegará sequencialmente ao decodificador em:

$$\Delta P = \frac{1}{8\text{KHZ} \times 32} = \Delta P \approx 3,9 \text{ } \mu\text{s}, \quad (\text{I.5})$$

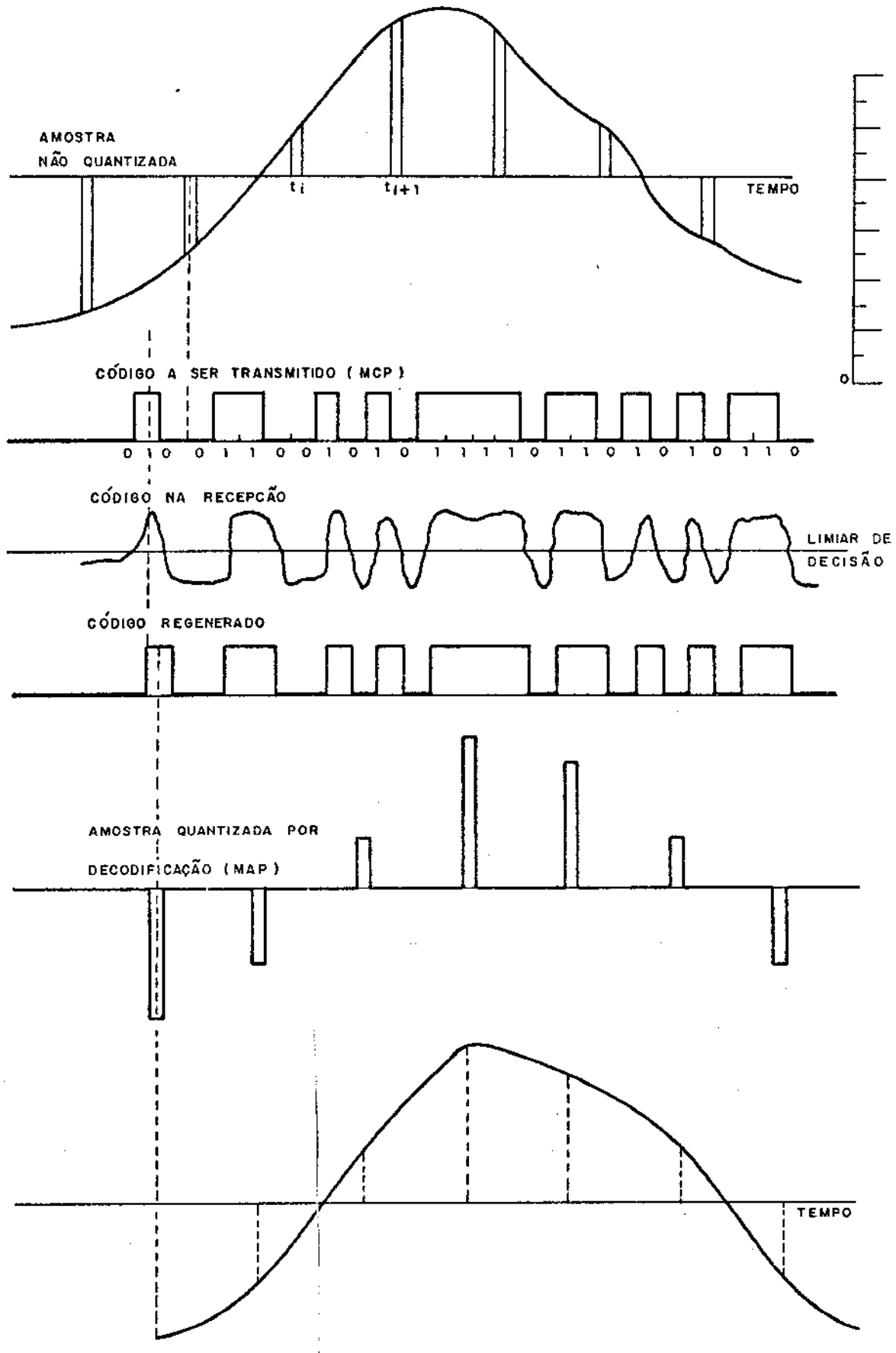
ou seja, o decodificador deverá receber, armazenar e processar cada palavra de código, constituída de 8 dígitos em aproximadamente 3,9 μs .

Os dígitos que chegam sequencialmente são armazenados em registrador de deslocamento e, na metade final do 8º "bit", transferidos para uma memória. Uma vez a palavra digital armazenada na memória, é iniciado o processo de decodificação deste sinal, e durante este mesmo tempo o registrador

de deslocamento se carregará novamente, dando assim continuidade à decodificação.

Finalmente, para encerrarmos esta breve visão de um sistema MCP e mais especificamente do subsistema decodificador, achamos de grande importância reproduzir uma breve análise de um sinal analógico transmitido e recebido por um CODEC, que se encontra na referência (5) (Fig. I.5).

Podemos perceber que uma das grandes vantagens deste sistema é poder, na recepção do sinal digital, reconstituí-lo integralmente na sua forma codificada originalmente, e que uma de suas desvantagens é a não reconstituição do sinal decodificado de acordo com a sua forma original. Porém, este pequeno problema torna-se ínfimo, se compararmos suas distorções com a de um sinal analógico transmitido normalmente.



FORMA DE ONDA EM SISTEMA MCP PARA UM CANAL

Fig. I.5 - Transmissão de um sinal em um sistema MCP

CAPITULO II

BLOCO MULTIPLICADOR DO SISTEMA MCP

II.1 Introdução

É comum observar, em sistemas eletrônicos, estágios onde se verifica a necessidade do produto de dois sinais.

Este produto poderá vir a ser aplicado a estágios posteriores ou anteriores, por intermédio de uma realimentação qual - quer; ou mesmo ser o objetivo final do sistema projetado.

Assim, podemos observar sistemas onde o uso de um circuito multiplicador facilitou, melhorou, ou mesmo tornou-se im - prescindível no seu desempenho. Deste modo, pode-se constatar, atra - vés da literatura especializada, os fatos acima mencionados, em sistemas tais como: moduladores, osciladores controlados por ten - são, detetores de FM, circuitos quadradores, geradores de valo - res RMS, circuitos de aplicação em computação analógica, etc. En - fim, este dispositivo possui uma gama de aplicações bastante ele - vada e não é o intuito deste trabalho levantá-las em sua totali - dade, visto que é bastante simples colocar-se em contato com elas.

Pode-se observar na referência (2), onde desenvolveu-se o projeto da malha decodificadora, que esta consta de dois conver - sores D/A e de uma malha lógica. Porém, não era a preocupação dos autores da citada referência desenvolver o último dos blo - cos do sistema MCP, o bloco multiplicador.

O presente trabalho se propõe ao desenvolvimento do pro - jeto de um circuito multiplicador que seja inteiramente compati - vel com a malha decodificadora (2) existente, completando-a e cons - tituindo deste modo, um subsistema decodificador MCP.

II.2 Características necessárias para o circuito multiplicador proposto

II.2.1 Características Impostas pela malha decodificadora

Como o dispositivo em projeto servirá fundamentalmente como bloco final do CODEC, as suas características fundamentais serão determinadas pelos estágios que o precederam.

Assim, podemos nos basear na referência citada, verificando que a malha decodificadora tem o seu funcionamento limitada a um único quadrante, fornecendo em seus terminais dois valores de correntes, designados a partir deste ponto com I_a e I_b , e um valor de tensão, referido, como B_1 .

É conveniente, que um sistema MCP tenha seu sinal de saída em tensão. Deste modo, podemos montar um diagrama em bloco que mostrará o subsistema decodificador por inteiro.

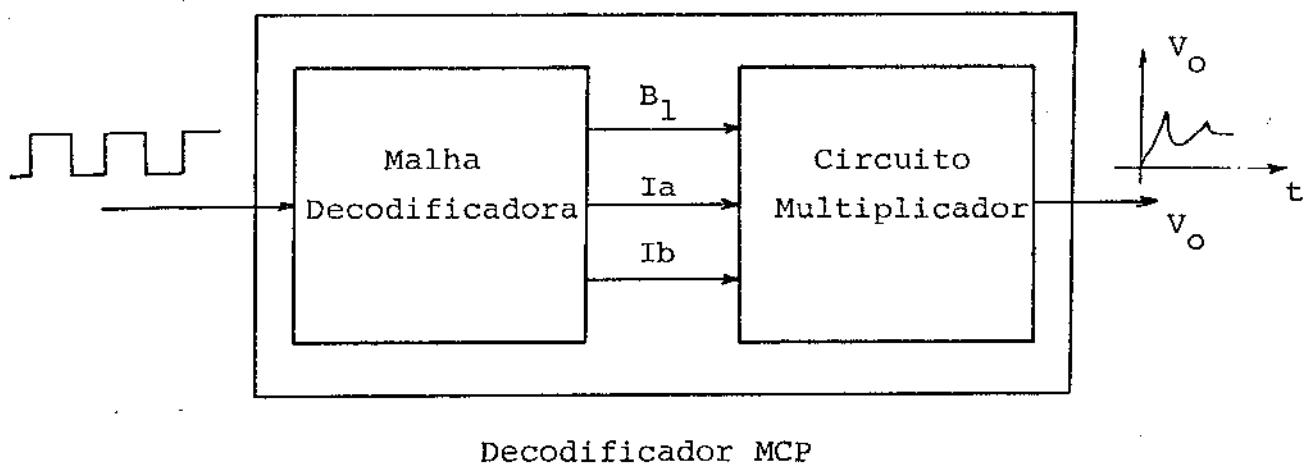


Fig. II.1 - Constituição de um decodificador MCP

A tensão da saída V_O pode ser enquadrada na seguinte expressão:

$$V_O = K I_a I_b (B_1 - \bar{B}_1) \quad (\text{II.1})$$

onde:

K = constante de proporcionalidade que permite a conversão do sinal de corrente em tensão;

I_a = sinal em corrente gerado na malha decodificadora que indica o nível do sinal dentro do segmento;

I_b = sinal em corrente gerado na malha decodificadora que indica o número de ordem do segmento onde se encontra a amostra;

B_1 = sinal em tensão, digital, pertencente à palavra digital recebida pelo decodificador.

Sabe-se que I_a varia entre $1\mu\text{A}$ e $32\mu\text{A}$, I_b entre $1\mu\text{A}$ e $64\mu\text{A}$ e o pulso de B_1 de tensão entre "0" e + 3V. Logo, o produto em corrente variará entre $1\mu\text{A}$ e $2048\mu\text{A}$. Assim, podemos dizer que os níveis de tensão de saída em função às correntes na entrada do dispositivo variarão segundo a lei abaixo:

$$K \cdot 1\mu\text{A} \leq V_O \leq K \cdot 2048 \mu\text{A} \quad (\text{II.2})$$

considerando I_a e I_b variando entre:

$$1\mu\text{A} \leq I_a \leq 32\mu\text{A}$$

$$1\mu\text{A} \leq I_b \leq 64\mu\text{A}$$

O valor da constante de proporcionalidade K será de finido posteriormente em função das exigências do projeto em questão.

II.2.2 Erro de Linearidade

A não linearidade de um multiplicador, ou erro de linearidade, é definido (21) do seguinte modo:

" A máxima diferença entre a saída atual e a curva ideal teórica para todos os pares de valores de entrada X e Y. Este valor é especificado como uma porcentagem do fundo de escala. "

ou seja, para uma dada especificação de $\pm 1\%$ em um dispositivo multiplicador com ± 10 V de variação de saída, significa que esta saída não desviará mais que ± 100 mv da curva ideal para o máximo desvio de qualquer uma das entradas, com a outra mantida constante.

Em um sistema decodificador e, de acordo com o estabelecido nos itens precedentes, devem existir 256 níveis lógicos, distribuídos simetricamente em torno do zero.

Defineremos como V_m o valor máximo de V_o , e de acordo com a "Lei A", adotada, teremos entre $\frac{V_m}{2}$ e V_m , 16 níveis equidistantes; entre $\frac{V_m}{4}$ e $\frac{V_m}{2}$, também 16 níveis equidistantes; e assim por diante, até os intervalos de $\frac{V_m}{128}$ a zero. Esta distribuição está representada na figura II.2.

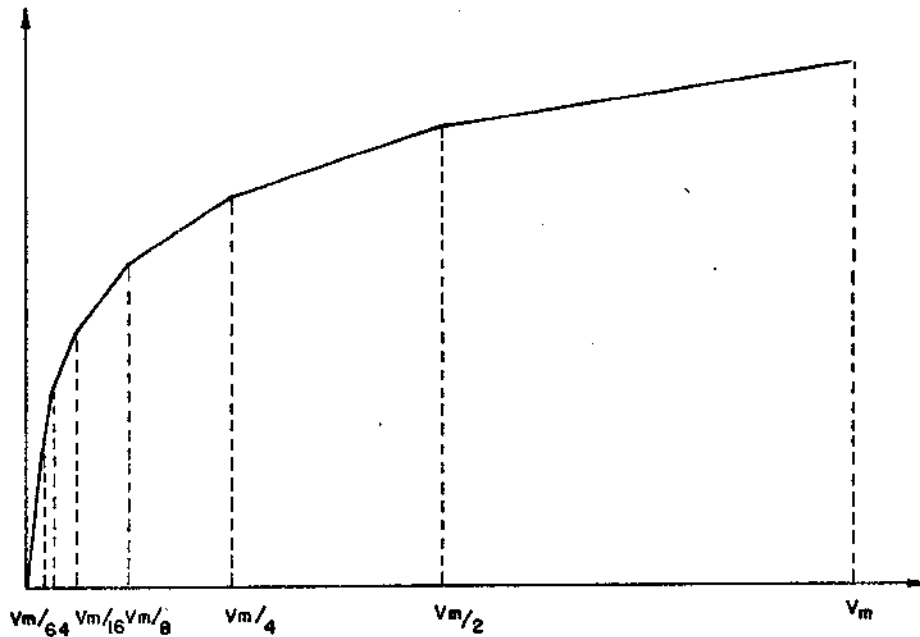


Fig. II.2 - "Lei-A" linearizada parte positiva
Ref. (10)

Podemos estabelecer que o erro máximo admissível para um sinal analógico decodificado seja tal que o deslocamento do nível em um dado segmento seja a metade do valor do degrau definido para este segmento. Assim, definiremos o máximo erro, da forma que se segue.

O valor máximo de tensão em cada segmento vale:

$$V_{ms} = \frac{V_m}{2^{n-1}} \quad (\text{II.3})$$

onde:

n = número de ordem do segmento (1,2,3...7);

V_m = tensão máxima de saída;

V_{ms} = tensão máxima do segmento.

O intervalo entre 2 níveis é dado por:

$$\Delta V = \left(\frac{V_m}{2^j} - \frac{V_m}{2^{j+1}} \right) \cdot \frac{1}{16} \quad (\text{II.4})$$

onde:

$$j = (n - 1) \text{ e valerá } (0, 1, 2, 3, \dots, 6)$$

Logo:

$$\Delta V = \frac{V_m}{2^{j+5}} \quad (\text{II.5})$$

Em relação ao valor máximo do segmento, temos que o erro valerá:

$$E = \frac{\Delta V}{2} \cdot \frac{1}{V_m} \quad (\text{II.6})$$

finalmente, para qualquer segmento teremos um erro máximo de linearidade de:

$$E\% = \left(\frac{V_m}{2(2^{j+5})} \cdot \frac{2^{n-1}}{V_m} \right) \times 100 \quad (\text{II.7})$$

$$E\% = \frac{100}{2^6} \quad (\text{II.8})$$

que corresponderá a um erro de linearidade de 1,5% em um multiplicador especificado para utilização na "Lei A".

II.2.3 Relação Sinal/Ruído (S/R)

Como a especificação para o menor ruído presente na saída, tomaremos o menor degrau do sinal. Neste caso, temos o sinal que ocorre entre níveis contínuos do segmento existente entre "0" e $\frac{V_0}{128}$; como existem 16 níveis, este degrau vale:

$$v = \frac{V_0}{128} \cdot \frac{1}{16} = v = \frac{V_0}{2048} \quad (\text{II.9})$$

Calculando então a relação Sinal/Ruído máximo, teremos:

$$\frac{S}{R} = \frac{V_0}{V_0/2048} \quad (\text{II.10})$$

$$\frac{S}{R} = 2048$$

em decibéis teremos:

$$\frac{S}{R} \text{ (db)} = 20 \text{ Log } 2048 \quad (\text{II.11})$$

$$\frac{S}{R} \text{ (db)} = 66,2 \text{ db} \quad (\text{II.12})$$

Assim, deveremos obter uma relação sinal, ruído para excursão máxima de sinal, superior a 66,2 db, para o circuito proposto.

II.2.4 Variação da saída com a temperatura

Novamente, tomaremos meio degrau menos significativo como a variação máxima do sinal de saída com a temperatura, somente que agora o relacionaremos com o valor máximo de saída obtido. Tendo por base o equacionamento desenvolvido no item 2.2 deste capítulo, podemos dizer que o erro máximo valerá:

$$E = \frac{\Delta V}{2} \cdot \frac{1}{V_{ms}}, \quad (\text{II.13})$$

que corresponde a um erro permitido de $\pm 1,5\%$.

II.2.5 Resposta em frequência do circuito

De acordo com o projeto desenvolvido e construído pelos autores na referência (2), a malha decodificadora é proposta para realizar a decodificação de um sistema de 32 canais, com frequência de amostragem de 8KHZ por canal. O item I.5 do capítulo I é desenvolvido, tendo como exemplo um sistema semelhante ao proposto, e de acordo com a equação I.5, uma palavra digital chegará sequencialmente ao decodificador com um intervalo de tempo de aproximadamente 3,9 μ s. Este fato estabelece que a frequência de desempenho será no mínimo de 256 KHZ.

$$f = \frac{1}{3,9 \mu s} \quad (\text{II.12})$$

II.2.6 Taxa de subida para a execução do chaveamento "Slew Rate"

A taxa de subida do sinal para a execução do chaveamento está fortemente relacionada com o tempo entre uma palavra digital e a seguinte. Como sabemos, o intervalo entre estas palavras é de aproximadamente 3,9µs. Porém, em sua saída, o decodificador terá um circuito demultiplexador. Assim, o sinal gerado pelo conversor deve se estabilizar em 1,5µs, para que possa ser amostrado e passado pelo filtro passa-baixas da recepção nos 2,4µs restantes.

Logo, podemos definir a taxa de subida em:

$$T_s = \frac{V_o}{1,5\mu s} \quad (II.15)$$

II.2.7 Resumo das características exigidas

Variação de sinal	k x 1 a K x 2048
Erro máximo de linearidade	1,5%
Relação Sinal/Ruído mínimo	66db
Variação de saída com a temp.	±1,5% em relação ao valor tido como correto a 35°C
Resposta em frequência	256 KHZ
Taxa de subida	$\frac{V_o}{1,5}$ V/µs

II.3 Princípio de multiplicação utilizado

Devido às características bastante peculiares exigidas pelo circuito, foi realizado um trabalho de pesquisa bibliográfica onde se verificou a existência de uma variedade bastante grande de técnicas de multiplicação.

Dentre todas, uma chamou a atenção de nossa parte, exatamente pela afinidade com as necessidades técnicas do circuito em questão. Deste modo, passaremos a fazer um breve comentário sobre a técnica de projeto adotada.

A característica logarítmica da função de um diodo, ou mesmo da função base emissor de um transistor bipolar é bastante conhecida. Há cerca de mais de duas décadas atrás, este efeito já era utilizado (11) para se realizar as operações de multiplicação e divisão. Porém somente em 1975, Gilbert (12), reuniu todas as informações a respeito e propôs uma nova classe de circuitos que denominou "circuitos translineares", apesar dele mesmo (Gilbert) já haver projetado e publicado várias informações sobre circuitos que utilizam o efeito de junção de um diodo (07), (13), (14). Assim, classificou-se de "circuitos translineares" uma classe de dispositivos onde se trabalha somente no domínio de corrente, explorando o comportamento logarítmico de uma junção PN diretamente polarizada no processamento dos sinais e que utilizando pares de junções PN monolíticas, torna o dispositivo pouco sensível à temperatura.

II.4 Comportamento Logarítmico de uma Junção PN
diretamente polarizada

Sabe-se que a relação corrente-tensão em uma junção diretamente polarizada pode ser expressa por:

$$\frac{J}{J_s} = e^{\frac{qv}{mkT}} - 1 \quad (\text{II.16})$$

onde:

J = densidade de corrente direta, na Junção;

J_s = densidade de corrente de saturação reversa;

v = tensão aplicada externamente na Junção;

q = carga do elétron;

k = constante de Boltzman;

m = constante próxima à unidade (16)

T = temperatura em Kelvin

considerando que: $\frac{mkT}{q} \approx V_T$, que é cerca de 26 mV à temperatura 300 K, que a junção utilizada será entre a base e emissor de um transistor bipolar, e se em níveis reais de corrente desprezarmos o valor "um" em (II.16), cometeremos o erro menor que o de uma parte em um milhão, a expressão pode ser reduzida a:

$$\frac{J}{J_s} \cong e^{\frac{V_{be}}{V_T}} \quad (\text{II.17})$$

ou ainda:

$$\frac{V_{be}}{V_T} \cong \ln \frac{J}{J_s} \quad (\text{II.18})$$

Assim, por intermédio de (II.18) podemos verificar que a tensão através da junção base-emissor de um transistor bipolar é proporcional ao logaritmo da razão entre as densidades de correntes, direta e a de saturação, desta junção. Isto nos leva a concluir que uma soma de tensões de junções PN, diretamente polarizadas, será a soma dos logaritmos da razão entre as densidades de correntes envolvidas e que esta soma de logaritmo coincidirá com a multiplicação das correntes que fluem por estas mesmas junções.

Um modo de esclarecer melhor o fato mencionado acima é apresentar um pequeno exemplo, onde este conceito seja aplicado em um circuito com transistores ideais.

Suponha que se deseje conhecer o valor da corrente I_4 no circuito abaixo.

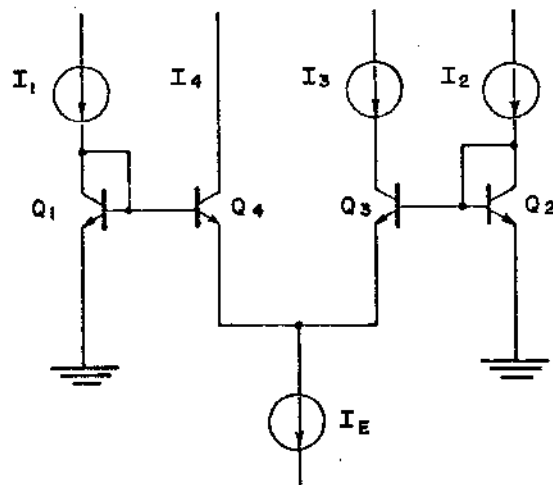


Fig. II.3 - Circuito translinear

Sabe-se que:

$$- V_{be1} + V_{be4} - V_{be3} + V_{be2} = 0 \quad (II.19)$$

ou
$$V_{be4} + V_{be3} = V_{be1} + V_{be2} \quad (II.20)$$

Aplicando-se (II.18) em (II.20) tem-se:

$$V_{T4} \ln \frac{J4}{J_{s4}} + V_{T2} \ln \frac{J2}{J_{s2}} = V_{T1} \ln \frac{J1}{J_{s1}} + V_{T3} \ln \frac{J3}{J_{s3}} \quad (II.21)$$

Considerando os transistores em um circuito monolítico, e próximos uns dos outros, podemos fazer as seguintes considerações:

$$V_{T4} = V_{T2} = V_{T1} = V_{T3} \quad (\text{II.22})$$

$$J_{S4} = J_{S2} = J_{S1} = J_{S3} \quad (\text{II.23})$$

Assim, a equação II.22 pode ser simplificada para:

$$\ln J_4 + \ln J_2 = \ln J_1 + \ln J_3 \quad (\text{II.24})$$

ou:
$$\ln \frac{I_4 \cdot I_2}{A_4 \cdot A_2} = \ln \frac{I_1 \times I_3}{A_3 \times A_1}, \quad (\text{II.25})$$

finalmente:

$$I_4 = \frac{I_3 \cdot I_1}{I_2} \times \frac{A_4 A_2}{A_3 A_1} \quad (\text{II.26})$$

Se as áreas forem feitas iguais, pode-se dizer que I_4 dependerá somente das correntes I_1 , I_3 e I_2 , valendo deste modo:

$$I_4 = \frac{I_3 I_1}{I_2} \quad (\text{II.27})$$

A técnica descrita acima será a utilizada no projeto do circuito multiplicador proposto.

Baseando-nos então na referência (7), uma eficiente célula de multiplicação será descrita e analisada a seguir.

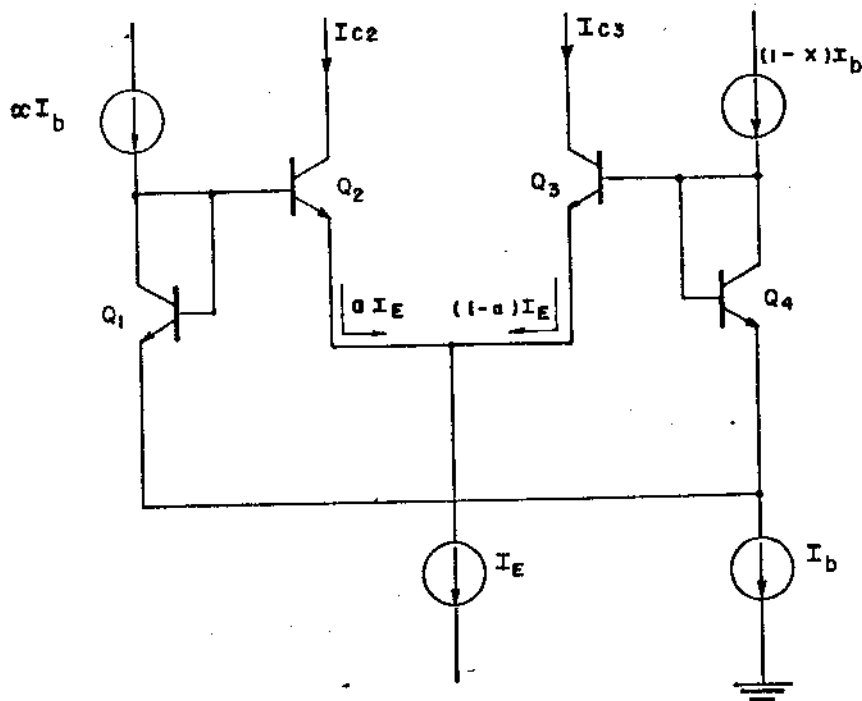


Fig. II.4 - Célula de multiplicação proposta por B. Gilbert
Ref. (7)

A figura II.4 pode ser considerada como a de um amplificador diferencial, no qual as tensões de base são derivadas a partir de um par de junções que estão recebendo duas correntes (sinais de entrada) e que são da forma:

$$I_{b1} = x \cdot I_b \quad (\text{II.28})$$

$$I_{b4} = (1 - x) I_b \quad (\text{II.29})$$

onde:

x = índice de modulação da corrente de polarização I_b , variando entre $0 < x < 1$.

Deste modo, desconsiderando os efeitos não ideais dos transistores tais como: diferença nas áreas dos emissores, beta finito, resistência ôhmica, etc... e aplicando o princípio translíneo, obtemos:

$$\begin{aligned}
 & V_T \ln \frac{x I_b}{I_{s1}} - V_T \ln \frac{a I_E}{I_{s2}} - V_T \ln \frac{(1-x) I_b}{I_{s3}} + \\
 & + V_T \ln \frac{(1-a) I_E}{I_{s4}} = 0 \quad \text{(II.30)}
 \end{aligned}$$

A solução desta equação nos leva a concluir que $a = x$.

Assim, a corrente de saída será:

$$I_{c2} = x I_E \quad \text{(II.31)}$$

$$I_{c3} = (1-x) I_E ; \quad \text{(II.32)}$$

para $x = \frac{I_{b1}}{I_b}$, teremos:

$$I_{c2} = \frac{I_{b1}}{I_b} \cdot I_E \quad \text{(II.33)}$$

$$I_{c3} = \left(1 - \frac{I_{b1}}{I_b}\right) I_E . \quad \text{(II.34)}$$

Teremos, portanto, I_{c2} como o produto das correntes I_{b1} e I_E entre si e ainda pelo fator $\frac{1}{I_b}$. Para a corrente I_{c3} teremos o complementar em relação a I_E .

É interessante fazermos um análise qualitativa dos efeitos não ideais no desempenho do circuito sob análise.

a) Efeito do descasamento de área

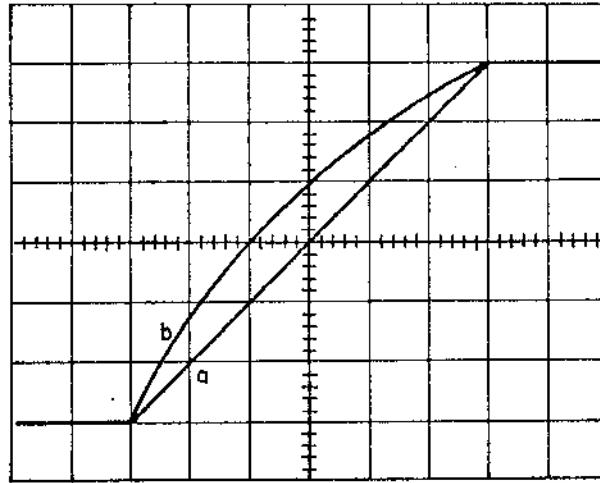
Pode-se definir uma variável " γ " onde:

$$\gamma = \frac{I_{s2} \cdot I_{s4}}{I_{s1} \cdot I_{s3}} \quad (\text{II.35})$$

Reavaliando II.30 para se incluir γ , analisando-a de modo a se verificar o desvio em relação à curva ideal, obteremos:

$$\frac{da}{dx} = \frac{\gamma}{[1 + (\gamma - 1) x]^2} \quad (\text{II.36})$$

Deste modo, um descasamento de área pequeno tal que γ seja em torno de "1", causa uma variação linear dos pontos da curva de transferência, com os extremos $x = 0$ e $x = 1$ valendo γ e $\frac{1}{\gamma}$ respectivamente. Uma correção pode ser efetuada introduzindo uma tensão na malha translinear, como mostra a figura abaixo, retirada da referência citada.



- a - curva restaurada por uma aplicação de tensão
- b - distorção causada por um descasamento de área.

Figura II.5 Ref. (7)

b) Resistência ôhmica

Vários efeitos parasitas são encontrados em um transistor, que podem ser colocados sob a forma de elementos resistivos, podendo também, todos esses elementos serem referenciados no emissor do transistor para efeito de análise.

Assim, incluindo-se esses elementos dentro do circuito da figura II.4, encontraremos, conforme mostrado na citada referência

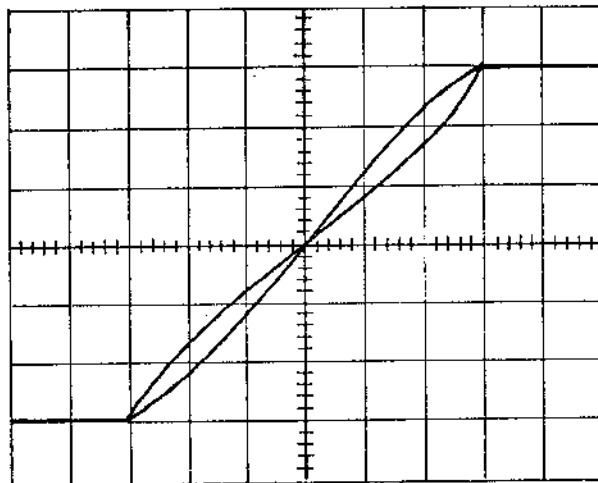
$$V_T + \text{Log} \left\{ \frac{x(1-a)}{(1-x) \cdot a} \right\} = R_i \{ A I_b (1-2x) - I_E (1-2a) \} \quad (\text{II.35})$$

onde:

R_i = resistência ohmica equivalente de cada transistor interno

A = relação de área entre os emissores dos pares internos e externos.

As distorções causadas por este efeito na curva de transferência podem ser observadas na figura abaixo.



Distorções causadas pela resistência ohmica

Figura II.6 Ref. (7)

c) Efeitos de beta finito

Na presença de beta finito, haverá uma modificação nas correntes relativas aos pares de junções externas. U_{i1}

lizando agora estas modificações, a equação referente à curva de transferência se apresenta do seguinte modo:

$$\frac{\{xI_b - (1 - \alpha) aIE\} (1 - a) IE}{\{(1 - x)I_b - (1 - \alpha)(1 - a) IE\} aIE} = 1 \quad (\text{II.37})$$

onde α = ganho de corrente de base comum.

Se considerarmos β em torno de 100 como β típico, o erro na curva de transferência será de 1%.

d) Conclusão

Muitos outros efeitos parasitas podem ser analisados aqui: resistência de saturação de coletor, efeitos térmicos, etc. Porém nos restringimos apenas a alguns, os quais julgamos de maior impacto no projeto em questão.

Através da análise do circuito proposto por Gilbert, podemos perceber que este servirá como uma boa alternativa para a inicialização do projeto do circuito que se propõe neste trabalho, conseguindo com a estrutura apresentada, características que se enquadram dentro do desempenho exigido por nós.

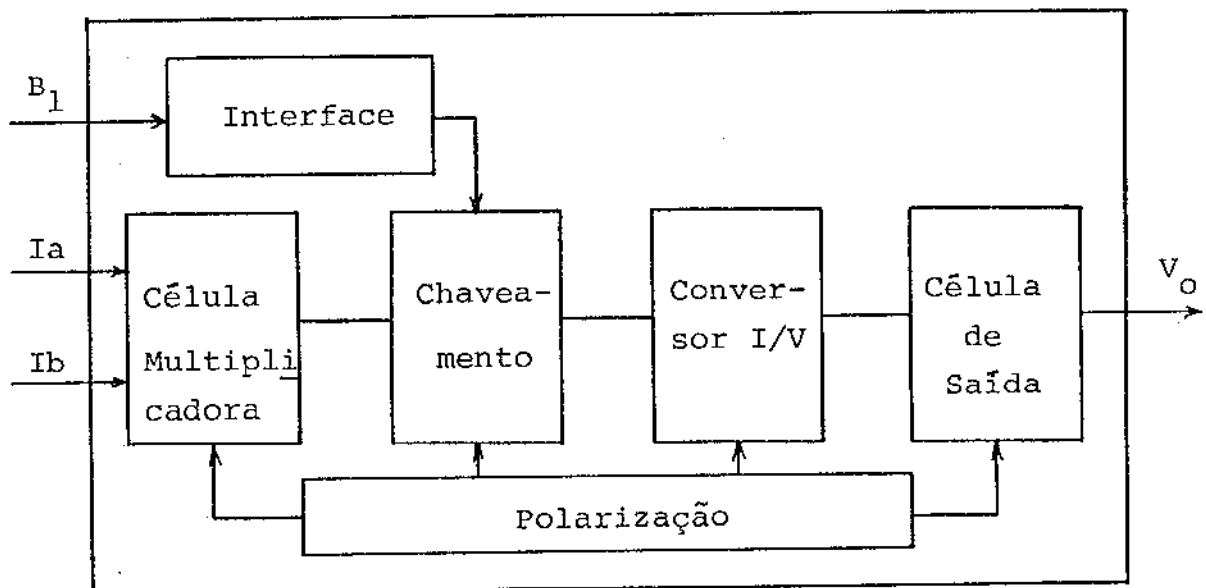
CAPITULO III

PROJETO DO MULTIPLICADOR CHAVEADO

III.1 Desenvolvimento de uma estrutura adequada

Pelos problemas apresentados nos capítulos anteriores, verifica-se facilmente que o circuito pretendido deverá possuir características bastante peculiares, que o colocam deslocado em relação às estruturas clássicas encontradas na literatura até então.

Deste modo, terminamos por concluir que uma boa estrutura que englobará cada uma das células do dispositivo, pode ser representada pela figura III.1.



Circuito Multiplicador

Fig. III.1 - Diagrama em bloco do circuito multiplicador

Pode-se, deste modo, definir as funções de cada um dos blocos da forma que se segue:

a) Célula Multiplicadora

Tem a finalidade de realizar a multiplicação propriamente dita. Recebe as duas correntes geradas na malha decodificadora e em sua saída deverá fornecer um sinal em corrente que seja proporcional ao produto das correntes recebidas.

b) Célula de Chaveamento

Recebendo o sinal B_1 já convertido a níveis adequados pela célula de interface, a célula de chaveamento tem a incumbência de chavear as correntes recebidas da célula multiplicadora. Este chaveamento definirá a polaridade de saída do sinal analógico.

c) Interface

O sinal B_1 chega ao circuito multiplicador em nível TTL. Desta forma, torna-se necessário convertê-lo em níveis compatíveis com o nível de entrada da célula de chaveamento. A interface realiza esta função.

d) Conversor I/V

O sinal será processado em corrente. Portanto, torna-se necessário convertê-lo em nível de tensão. Esta célula preenche esta necessidade.

e) Célula de Polarização

Tem a finalidade de estabelecer os níveis de tensão necessários para o funcionamento do dispositivo.

f) Célula de saída

Fornece a baixa impedância exigida na saída do circuito. Como o multiplicador em projeto possui uma finalidade específica, neste dispositivo esta célula não será necessária, visto que o sinal de saída do dispositivo será ainda manipulado por um filtro passa-baixas. Logo, o sinal não necessitará de uma potência que venha exigir a inclusão deste estágio.

III.2 Configurações desenvolvidas

O projeto de um circuito é uma criação extremamente dinâmica, onde uma idéia que solucionará um problema surgido em um determinado instante pode ser rapidamente suplantada por uma outra, para resolver o mesmo problema em uma época posterior.

Deste modo, as configurações foram se sucedendo, visando sempre solucionar os problemas surgidas nos circuitos anteriores, assim como, otimizar em termos de circuitos as estruturas realizadas até então.

Neste tópico apresentamos uma breve retrospectiva dos circuitos elaborados, apresentando de uma forma rápida os problemas que nos levaram a alterá-los, bem como as solu-

ções propostas, até chegarmos ao dispositivo final.

III.2.1 Multiplicador chaveado - versão 01

Sendo esta versão a primeira tentativa do circuito em projeto, foi necessário definirmos a configuração de cada uma das células. Assim, passaremos a descrever cada célula em separado, terminando por apresentar o esquema final da versão 01, assim como os problemas verificados.

- Célula Multiplicadora

Esta célula foi baseada totalmente na estrutura proposta por Gilbert (7), reproduzida na figura III.2, e explicada com maiores detalhes no item II.4

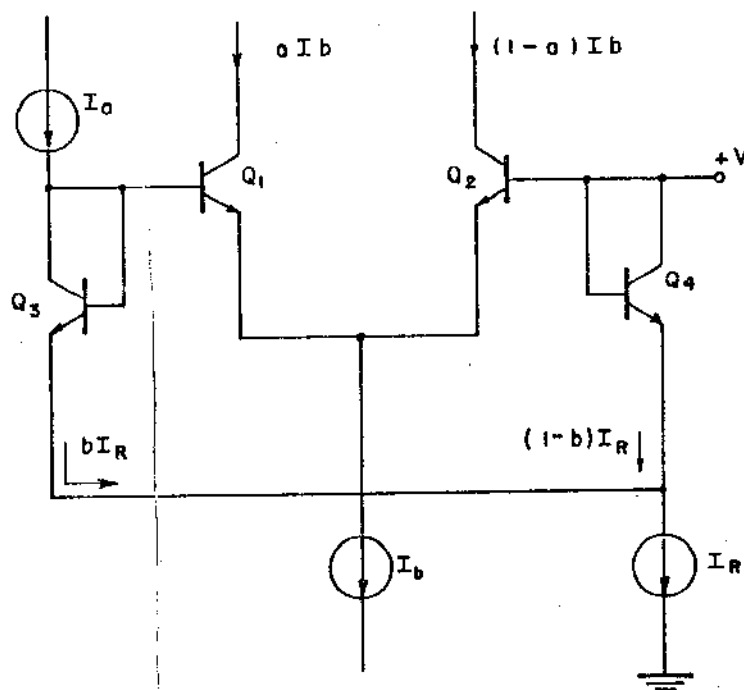


Fig. III.2 - Célula Multiplicadora proposta

$$\text{onde } a = b = \frac{I_a}{I_R} \quad (\text{III.1})$$

Baseados no princípio translinear, podemos afirmar que a equação III.1 é verdadeira.

Sendo I_a e I_b as correntes a serem multiplicadas, obteremos diretamente duas correntes:

$$I_1 = aI_b \quad (\text{III.2})$$

$$I_2 = (1-a)I_b \quad (\text{III.3})$$

$$\text{ou ainda } I_1 = \frac{I_a \cdot I_b}{I_R} \quad (\text{III.4})$$

$$I_2 = (I_R - I_a) \cdot \frac{I_b}{I_R} \quad (\text{III.5})$$

A polarização "+V" permite que flua uma corrente por Q_4 , quando esta for exigida; não deixando que ocorra corte deste transistor.

As correntes I_a e I_b , na malha decodificadora são geradas através do coletor de um transistor PNP com a base em terra.

Assim, torna-se necessário que a estrutura proposta seja referenciada em um potencial abaixo da terra (negativo).

A corrente I_R , também gerada na malha decodificadora (e não referida até aqui por não se tratar de sinal)

juntamente com I_b , são refletidas para os emissores de Q_3 Q_4 e Q_1 Q_2 através de espelhos de correntes, conseguindo deste modo uma alta estabilidade com a temperatura.

- Conversor I/V

Baseando-se na célula proposta por Blauschild (18) o conversor se apresenta do modo apresentado na figura III.3

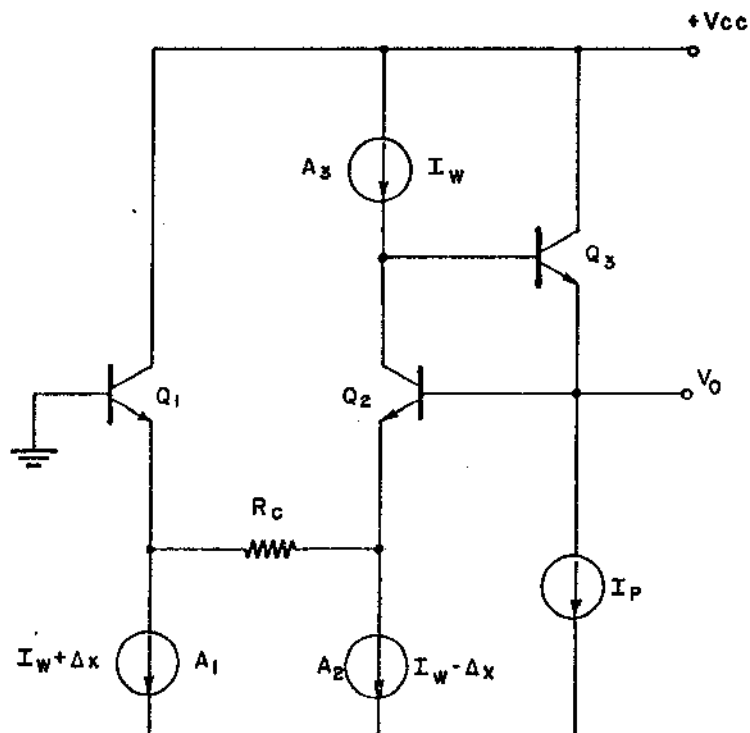


Fig. III.3 - Conversor I/V proposto

As correntes $I_w + \Delta x$ e $I_w - \Delta x$ sendo definidas pela célula multiplicadora atuam nos emissores de Q_1 e Q_2 respectivamente. A fonte de corrente A_3 atua no coletor de

Q_2 , garantindo desta forma que "IW" flua por este transistor. Como por A_2 flui somente $IW - \Delta x$, o excesso de corrente entre a corrente fornecida por Q_2 (IW) e a exigida por A_2 ($IW - \Delta x$), passará por R_c convertendo-se em tensão. A fonte A_1 recebendo Δx , exige somente IW do transistor Q_1 .

Como as correntes em Q_1 e Q_2 são iguais, ter-se-á o mesmo valor de tensão base-emissor em Q_1 e Q_2 . Deste modo, podemos concluir que o valor de tensão sobre R_c será o valor de V_0 .

- Célula de chaveamento e interface

Baseados nas características do conversor I/V escolhido, podemos notar que uma inversão nas correntes das fontes A_1 e A_2 na figura III.3 ocasiona uma inversão de polaridade na saída do sinal V_0 . Ou seja, se fizermos com que A_2 seja conectado no emissor de Q_1 e A_1 no emissor de Q_2 , o excesso de corrente fluirá no sentido de Q_1 para Q_2 , invertendo portanto a polaridade do sinal de saída.

Para realizar essa inversão de fontes, escolhemos uma estrutura de topologia bastante conhecida conforme mostra a figura III.4.

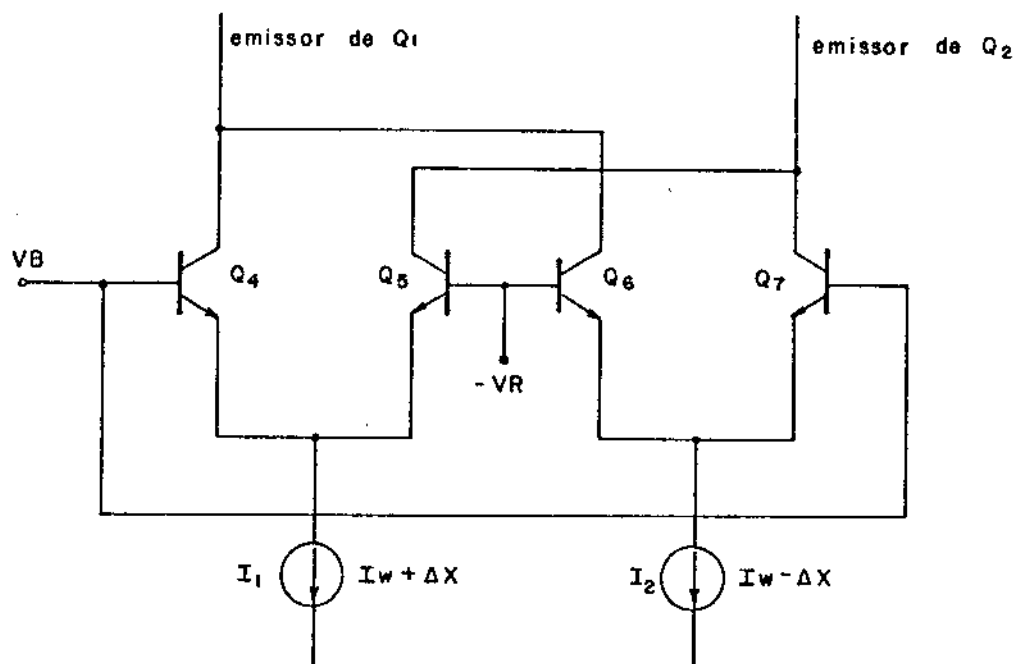


Fig. III.4 - Circuito de Chaveamento proposto

Quando o sinal V_B for suficientemente grande para conduzir Q_4 e Q_7 , as correntes I_1 e I_2 irão para os emissores de Q_1 e Q_2 respectivamente, no conversor I/V, já que Q_5 e Q_6 estarão cortados. Quando V_R for maior do que " V_B " o suficiente para cortar Q_4 e Q_7 e conduzir Q_5 e Q_6 , a inversão ocorrerá com a corrente I_1 indo para o emissor de Q_2 e a corrente I_2 para o emissor de Q_1 , invertendo assim a polaridade do sinal de saída.

Torna-se necessário então compatibilizar o sinal " V_B " com o "bit" de polaridade " B_1 " recebido pelo dispositivo. Para que isto seja feito, foi desenvolvida a interface mostrada na figura III.5.

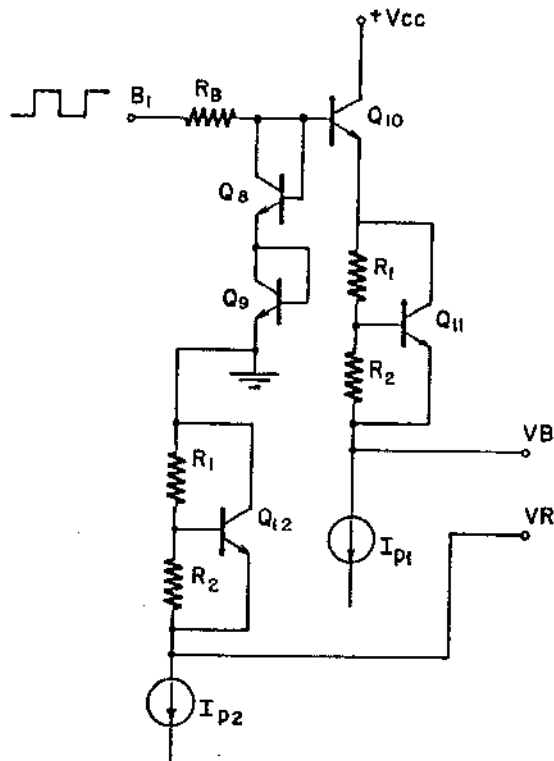


Fig. III.5 - Circuito de interface proposto

Caso o sinal B_1 seja "1" ($\cong + 3 \text{ V}$) teremos o transistor Q_{10} conduzindo e no seu emissor haverá uma tensão de aproximadamente V_{eb} em relação à terra. Assim a tensão " V_B " será:

$$V_B = V_{BE} + V_R \quad (\text{III.5})$$

Sendo V_R a tensão gerada a partir de multiplicadores de V_{BE} , cada um deles composto por um transistor (Q_{11} e Q_{12}) e por resistores R_1 e R_2 , idênticos entre si.

Caso o sinal B_1 seja zero ($\sim 0\text{V}$) teremos os

transistores Q_8 e Q_9 cortados e no emissor de Q_{10} haverá uma tensão de aproximadamente $-V_{BE}$ em relação à terra. Assim a tensão V_B será:

$$V_B = -V_{BE} + V_R \quad (\text{III.6})$$

Pode-se perceber que a tensão V_B será $\pm V_{BE}$ em relação a V_R , sendo suficiente para que o chaveamento se realize.

O resistor R_B serve somente como limitador de corrente.

Os demais circuitos exigidos no dispositivo multiplicador chaveado serão discutidos na configuração final da versão 01.

A configuração final da versão 01, se apresenta conforme mostrado na figura III.6.

Na estrutura apresentada, pode-se distinguir claramente cada uma das células discutidas até então.

Deste modo, passaremos a tratar das funções dos transistores que surgem pela primeira vez.

Os transistores $Q_{11}, Q_{12}, Q_{13}, Q_{14}, Q_{18}, Q_{19}, Q_{20}, Q_{22}$ formam os espelhos com a incumbência de refletir a corrente I_b para a célula multiplicadora e para a célula conversora.

Os transistores Q_{15}, Q_{16}, Q_{17} formam o espelho de corrente referente a V_R e à polarização do conversor.

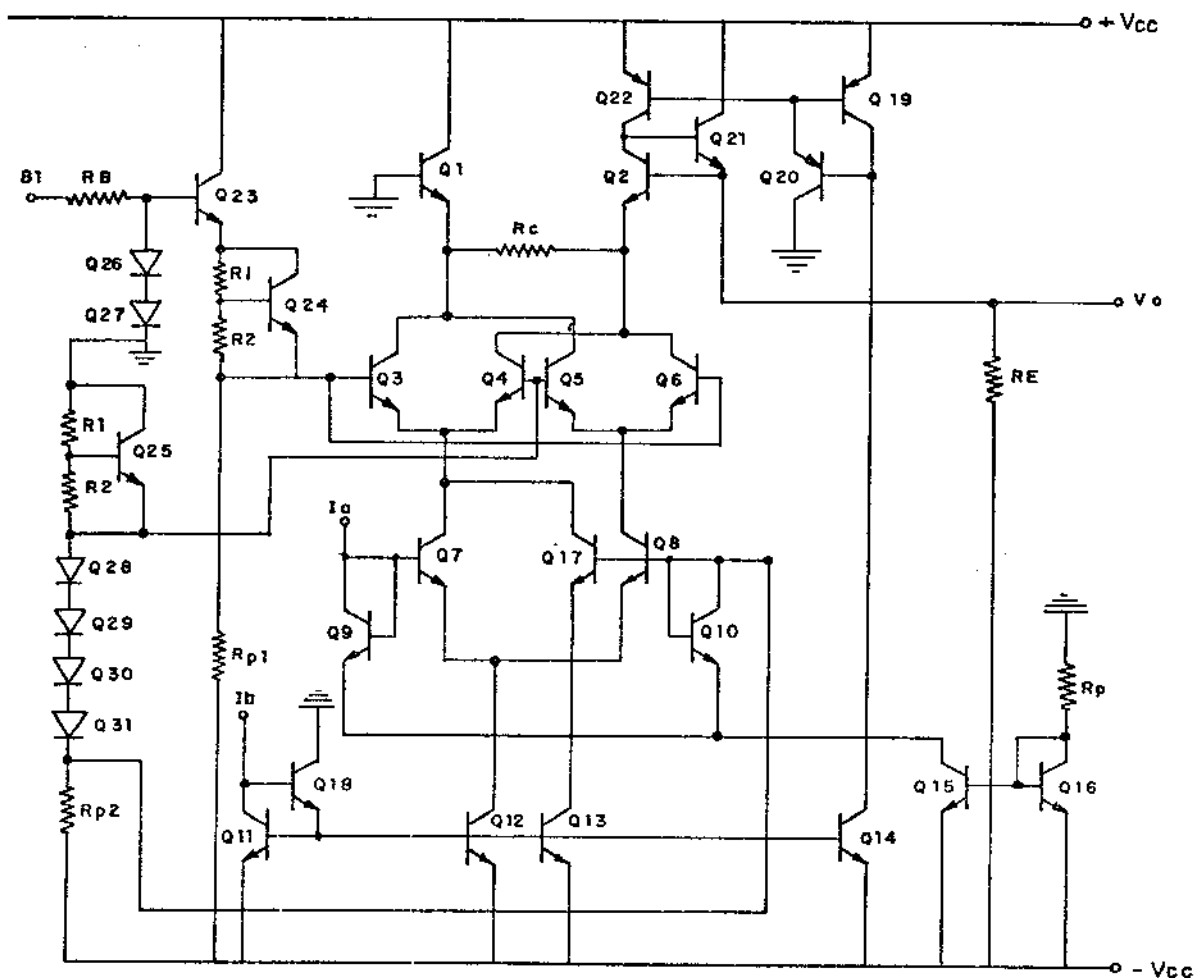


Fig. III.6 - Esquema da versão 01 do circuito multiplicador

O transistor Q_{13} fornece a corrente necessária, de modo que tenhamos nos emissores de Q_3 e Q_4 " $I + \Delta x$ " e não somente Δx conforme mostra a equação III.2.

Como o conversor trabalha com " $I + \Delta x$ " este transistor foi incluído.

O transistor Q_{17} serve para a compensação de α da corrente acima mencionada.

- Problema verificado com a versão 01

O principal problema surgido com esta versão do circuito ocorreu no que se refere à sua resposta em frequência.

Como os níveis de correntes utilizados são muito baixos, $I_a = 32 \mu A$ e $I_b = 64 \mu A$, a frequência de corte dos transistores utilizados caiu demasiadamente, não permitindo assim que o circuito apresentasse a frequência exigida. Este efeito pode ser verificado utilizando para isto o modelo utilizado no programa SPICE 2. Assim:

$$f_T = \frac{1}{2 \pi T_f \text{ (efetivo)}} \quad \text{(III.5)}$$

sendo:

$$T_{f(\text{efetivo})} = \tau_f Q_b + \frac{V_T}{I_C} \left\{ \frac{c_{je0}}{\left[1 - \frac{V_{BE}}{P_e}\right]^{m_e}} + \frac{C_{jco}}{\left[1 - \frac{V_{BC}}{P_c}\right]^{m_c}} \right\} \quad \text{(III.6)}$$

Onde:

T_f = tempo de trânsito direto

Q_b = carga armazenada na base

C_{je0} = capacitância de junção de emissor com polarização zero.

C_{jco} = capacitância de junção de coletor com polarização zero

V_{BE} = tensão entre base-emissor

V_{BC} = tensão entre base-coletor

P_e = potencial da junção de emissor

P_c = potencial da junção de coletor

m_e = coeficiente de junção de emissor

m_c = coeficiente de junção de coletor

Assim, um aumento em I_c permitirá maiores respostas de frequência, como pode ser verificado pelas equações acima e pela figura III.7 abaixo.

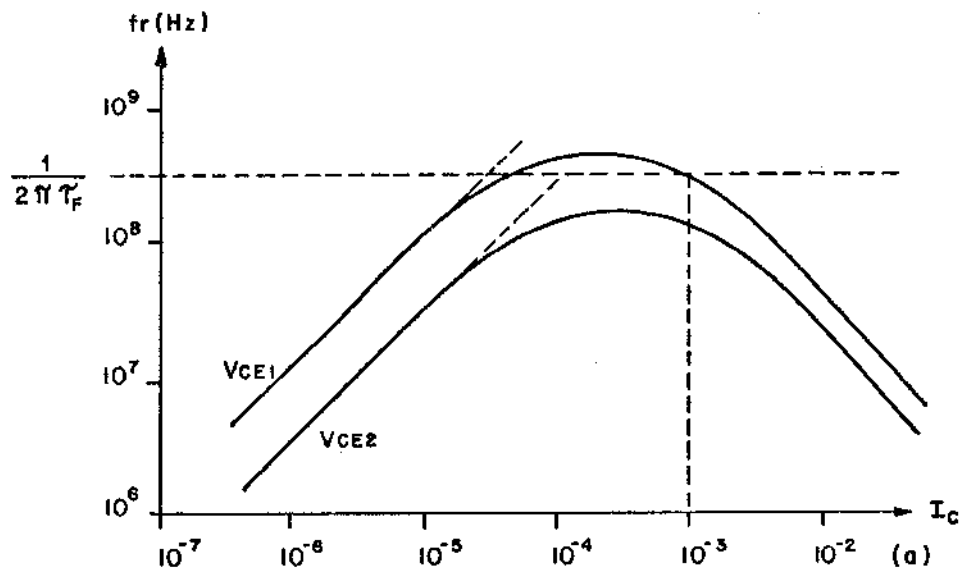


Fig. III.7 - Frequência de corte do transistor em função da corrente de coletor - Ref. (19)

III.2.2 Multiplicador chaveado - versão 02

Basicamente, a modificação introduzida visou um aumento no valor da corrente multiplicada, de modo a aumentar o f_T dos transistores. Assim, a primeira idéia surgida, nos levou a uma alteração na célula multiplicadora, determinando assim, uma nova configuração do circuito com esta topologia apresentada na figura III.8.

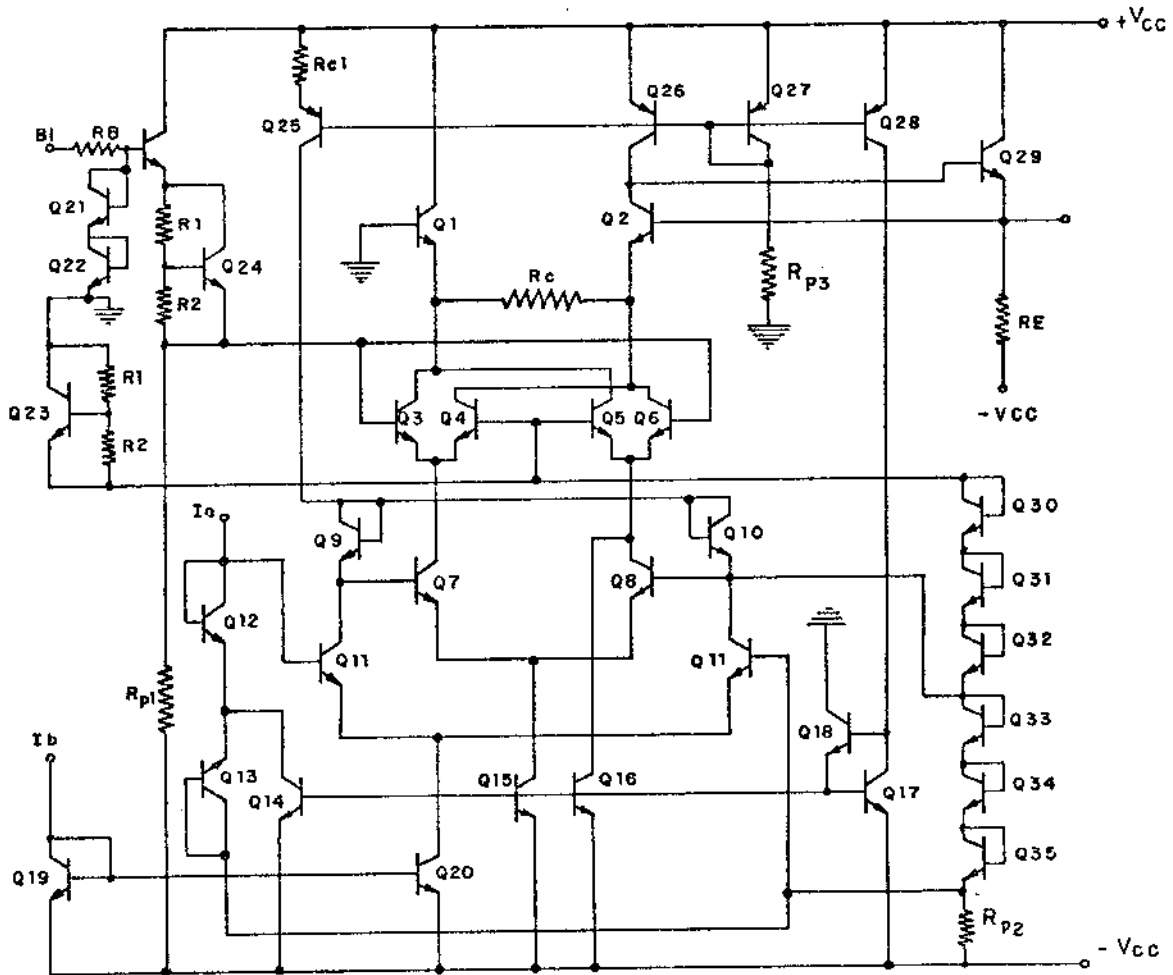


Fig. III.8 - Esquema da versão 02 do circuito multiplicador

Como pode ser verificado a única célula que a presentou modificação, foi a relacionada à multiplicação. Portanto, passaremos a analisá-la separadamente para melhor esclarecimento.

Uma boa forma de se entender o princípio de funcionamento da célula multiplicadora, é através da análise da sua estrutura simplificada apresentada abaixo.

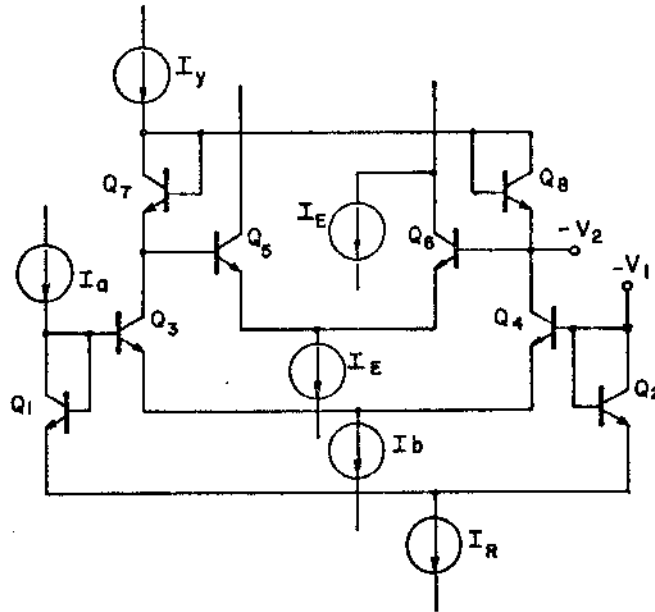


Fig. III.9 - Célula multiplicadora da versão 02 - esquema simplificado

A corrente I_a fluindo através de Q_1 , definirá no coletor de Q_3 uma corrente:

$$I_{c_3} = a \cdot I_b \quad (\text{III.7})$$

onde

$$a = \frac{I_a}{I_R}$$

No coletor de Q_4 , teríamos:

$$I_{c_4} = (1 - a) I_b \quad (\text{III.8})$$

Estas duas correntes, quando passarem por Q_7 e Q_8 , definirão nos coletores de Q_5 e Q_6 os seguintes valores

de correntes:

$$I_{c_5} = (1 - y) I_E \quad (\text{III.9})$$

$$I_{c_6} = Y \cdot I_E \quad (\text{III.10})$$

onde: $y = \frac{a \cdot I_b}{I_y}$

Deste modo teremos:

$$I_{c_5} = \left(1 - \frac{I_a \cdot I_b}{I_R \cdot I_y} \right) \cdot I_E \quad (\text{III.11})$$

$$I_{c_6} = \frac{I_a \cdot I_b}{I_R \cdot I_y} \cdot I_E \quad (\text{III.12})$$

Para se obter no coletor de Q_6 , $1 + \Delta x$, necessário, devido à configuração adotada do conversor I/V, deve-se ainda, somar uma corrente I_E à corrente de I_{c_6} .

Caso fizermos com que o valor de I_E seja muito maior que I_R e I_y , o fator multiplicativo $\frac{I_E}{I_R \cdot I_y}$ da equação III.11 e III.12 será grande o suficiente para aumentar o valor de f_T dos transistores.

- Problemas verificados na versão 02

Vários foram os problemas verificados nesta versão, o que nos levou a modificar a sua estrutura. Podemos desta forma, citar:

- Geração das correntes I_Y e I_E
- Aumento de complexidade de Lay-Out
- Problemas de compensação de α
- Problemas devido a β finito

Dentre todos os citados, o mais sério é o que diz respeito a β finito do transistor. Sem dúvida, a modificação da estrutura do circuito da versão 01, tinha como objetivo um aumento no nível da corrente multiplicada. Isto só é possível na versão 02, através do aumento do valor de I_E . Como o nível das correntes em Q_7 e Q_8 é muito baixo (64 μA quando $a = 1$), a corrente na base de Q_5 para altos valores de I_E , seria em ordem de grandeza, altamente significativa. Assim a corrente mínima que fluirá pelo transistor Q_7 , será a corrente injetada na base de Q_5 . Devido a este fato, sempre uma corrente atravessará o transistor Q_7 , e pelo princípio translinear, um fator relacionado a esta aparecerá multiplicando a corrente I_E .

Assim, surgirá um "off set" de tensão na saída do dispositivo, irremovível, com esta configuração de multiplicador.

III.2.3 Multiplicador chaveado - versão 03

Uma nova forma de se aumentar o valor de corrente multiplicada, de modo a subir a frequência de corte do transistor e consequentemente a frequência de corte de todo o circuito tem de ser formulada. Assim, uma nova topologia foi desenvolvida e esta estrutura apresentada na figura

III.10, sendo feita a seguir uma breve análise de seus problemas; uma discussão envolvendo maiores detalhes é encontrada na referência (20)

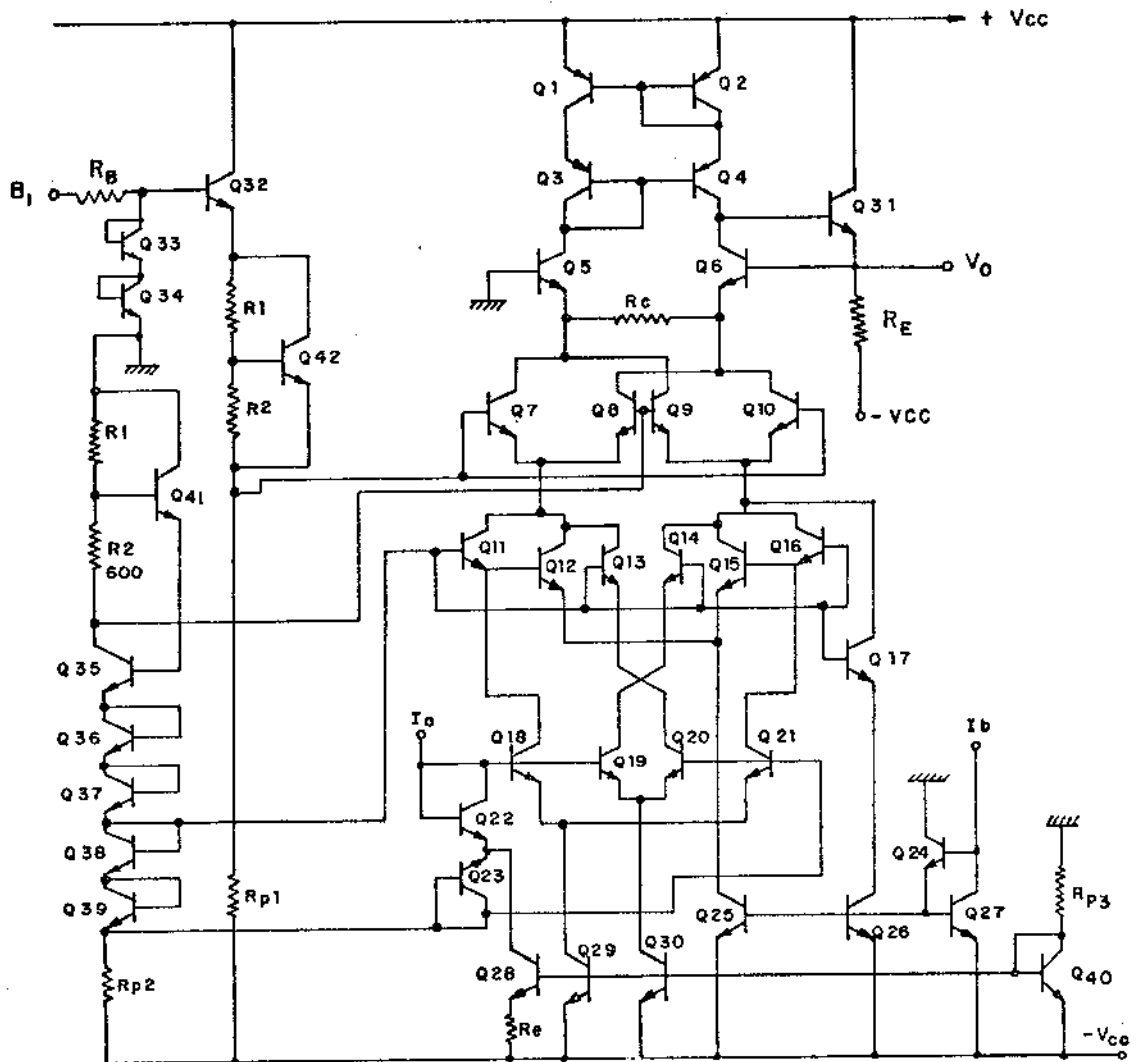


Fig. III.10 - Esquema da versão 03 do circuito multiplicador

Pode-se notar pela figura acima que não só a célula multiplicadora sofreu modificação, mas também o conversor I/V se alterou. A seguir, passaremos a avaliar e discutir cada uma das modificações apresentadas.

Conversor I/V

Esta nova topologia do conversor I/V, mostrada em detalhe na figura III.11, tornou possível a eliminação de transistores que tinham por objetivo manter uma corrente constante no coletor do transistor Q_2 (ver figura III.3), diminuindo, com isto, não só a complexidade final do circuito e de seu "Lay out", mas também os erros inerentes surgidos devido aos espelhos de correntes necessários na operação da geração da fonte I_W (Fig. III.3). Estes erros são os responsáveis pela diferença no valor da corrente nos coletores de Q_1 e Q_2 , produzindo com isto um desbalanceamento nas tensões base-emissor dos transistores e gerando um "off set" de tensão na saída do dispositivo.

A figura III.11 apresenta a configuração na sua forma final, e utiliza um espelho de corrente com quatro transistores. Devido a esta montagem, conseguiu-se eliminar o efeito do β dos transistores PNPs laterais no conversor.

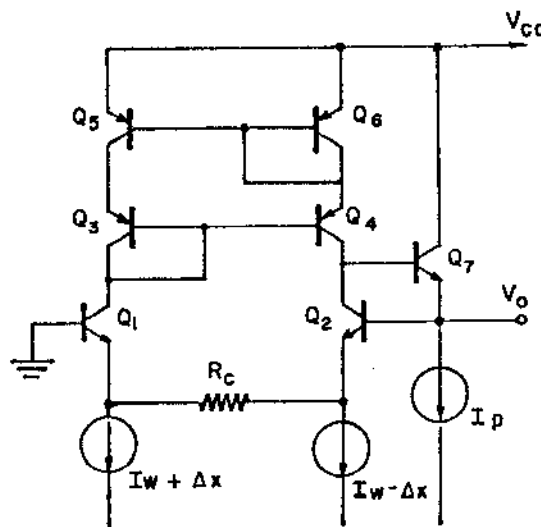


Fig. III.11 - Nova topologia do conversor I/V

A configuração acima mostrada soluciona este problema, com a vantagem da simplificação da estrutura.

Um modo de visualizarmos a validade da afirmação acima, é equacionarmos o funcionamento da célula proposta.

Assim temos:

$$\text{n\acute{o } 1} = IW + \Delta X = I_2 + I_1 \quad (\text{III.13})$$

$$\text{n\acute{o } 2} = IW - \Delta x = I_3 - I_1 \quad (\text{III.14})$$

onde:

I_1 = corrente que atravessa o resistor R_c ;

I_2 = corrente que flui no transistor Q_1 ;

I_3 = corrente que flui no transistor Q_2 .

$$\text{O espelho nos garante que } I_2 = I_3 \quad (\text{III.15})$$

Somando-se III.13 e III.14 temos:

$$2IW = I_2 + I_3 \quad (\text{III.16})$$

$$\text{baseado em III.15, vemos que } IW = I_3 \quad (\text{III.17})$$

Ou seja, podemos garantir que as correntes nos coletores de Q_1 e Q_2 são iguais entre si e também igual a IW . Assim, temos que em R_c passa somente Δx .

- Célula Multiplicadora

Uma representação mais detalhada é mostrada na figura III.12.

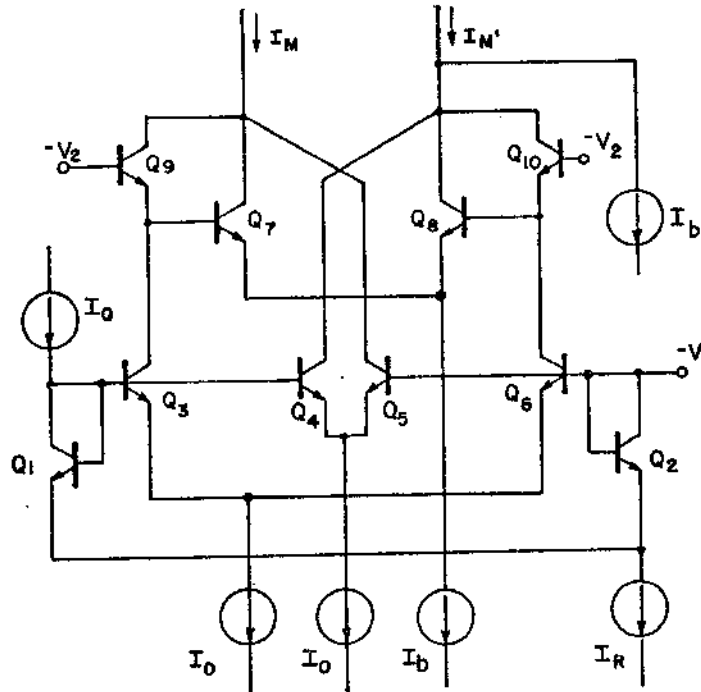


Fig. III.12 - Célula multiplicadora da versão 03
(esquema simplificado)

A corrente I_a , entrando no coletor de Q_1 , aparecerá no emissor de Q_3 e Q_4 , como a razão entre I_a e a corrente I_R multiplicada por I_0 . O mesmo raciocínio é válido para os transistores Q_1 , Q_2 , Q_5 e Q_6 .

A corrente nos coletores de Q_5 e Q_6 será o complemento em relação à I_0 .

Deste modo:

$$I_{c3} = I_{c4} = \frac{I_a}{I_R} \cdot I_0 \quad (\text{III.18})$$

$$I_{c_5} = I_{c_6} = \left(1 - \frac{I_a}{I_R}\right) \cdot I_o \quad (\text{III.19})$$

chamando $x = \frac{I_a}{I_R}$, teremos:

$$I_{c_3} = I_{c_4} = x I_o \quad (\text{III.20})$$

$$I_{c_5} = I_{c_6} = (1-x) I_o \quad (\text{III.21})$$

Estas correntes aparecerão nos emissores de Q_7 , Q_8 , Q_9 e Q_{10} .

Com raciocínio análogo à primeira multiplicação, podemos verificar que no emissor de Q_8 surgirá o produto entre a relação " $x \cdot I_o$ " definida anteriormente em I_{c_3} , I_{c_4} , e I_b .

No emissor de Q_7 aparecerá o valor complementar da corrente de I_{E8} em relação à I_b . Equacionando todas as correntes, teremos na saída desta célula os seguintes valores:

$$I_M = -x I_b + I_o + I_b \quad (\text{III.22})$$

$$I'_M = +x I_b + I_o + I_b \quad (\text{III.23})$$

Chamando:

$$\Delta x = x I_b \quad (\text{III.24})$$

$$I = I_o + I_b \quad (\text{III.25})$$

teremos:

$$I_M = I - \Delta x \quad (\text{III.26})$$

$$I'_M = I + \Delta x \quad (\text{III.27})$$

Que nos permitirá convertê-las em tensão conforme o esquema de conversor proposto.

Podemos notar que o problema surgido na versão 02, se soluciona com esta nova configuração sugerida, já que o erro devido a beta finito, tendo em mente a aplicação a que se destina, restringe a apenas 0,8%, conforme mostrado na referência citada.

Porém, apesar da menor complexidade do novo conversor I/V proposto, o circuito em sua totalidade tornou-se muito mais complexo.

Assim, uma nova topologia foi desenvolvida de modo a simplificar a existente até então.

III.2.4 Multiplicador chaveado - versão 04

Este circuito, pela simplicidade obtida, foi considerado como sendo a configuração otimizada para o projeto em questão e assim, tomada como a versão final do circuito proposto.

No item seguinte passaremos a fazer uma análise detalhada desta estrutura, bem como de seus problemas, e das soluções sugeridas.

III.3 Multiplicador chaveado - Versão Final

III.3.1 Modificações introduzidas

Um novo enfoque é dado a esta versão do dispositivo. Até o presente instante, houve a necessidade de se conseguir correntes diferenciais ($I_W + \Delta x$ e $I_W - \Delta x$) na célula multiplicadora, visto que o conversor I/V proposto assim exigia. Uma modificação é sugerida na estrutura do conversor I/V de modo que possa trabalhar apenas com uma corrente não diferencial.

Esta pequena modificação, porém de fundamental importância, é a responsável pelas alterações que levaram a simplificações que permitiram a diminuição da complexidade do dispositivo.

- Conversor I/V

O conversor I/V proposto, é idêntico na sua topologia ao conversor da figura III.9.

A modificação mencionada, se relaciona apenas a forma de se utilizar o conversor.

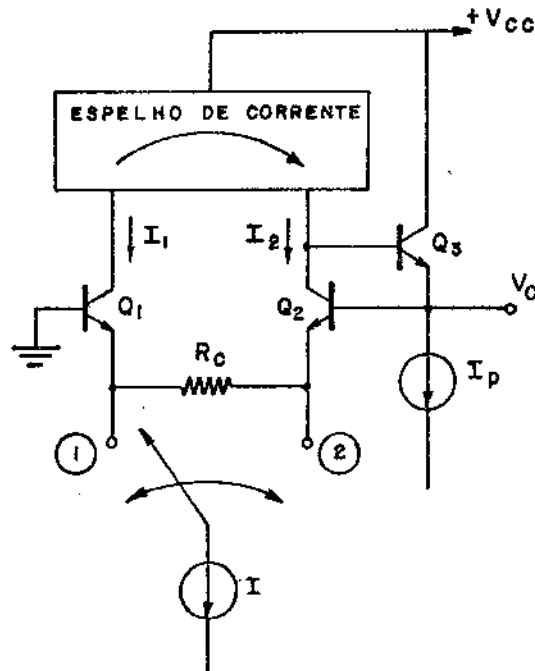


Fig. III.13 - Novo conceito de utilização do conversor proposto

Como se pode ver, a estrutura do conversor é idêntica à estrutura apresentada na figura III.11. Somente que neste esquema a corrente entrará ou pelo nó "1", ou pelo nó "2". O nó pelo qual entra a corrente, define a polaridade de saída do sinal.

Para o equacionamento do funcionamento do conversor, conectaremos a fonte de corrente "I" ao nó "1". Assim teremos:

$$I = I_1 + I_2 \quad (\text{III.28})$$

onde:

$$I = \text{corrente gerada na célula multiplicadora}$$

I_1 = corrente que flui por Q_1

I_2 = corrente que flui por Q_2

O espelho nos garante que:

$$I_2 = I_1 \quad (\text{III.29})$$

Logo:

$$I = 2I_2 \quad (\text{III.30})$$

$$I_2 = I_1 = \frac{I}{2} \quad (\text{III.31})$$

O mesmo raciocínio é válido para a corrente I conectada ao nó "2".

Pode-se concluir portanto que a corrente que passará por "Rc" será proporcional à corrente multiplicada, ou seja a corrente valerá $\frac{I}{2}$ e defirá uma tensão de saída sendo:

$$V_o = \frac{I \cdot R_c}{2} \quad (\text{III.32})$$

b) Célula Multiplicadora

Não possuindo mais a incumbência de gerar correntes diferenciais para o conversor I/V, modificou-se novamente a estrutura desta célula, tendo sua configuração mostrada na figura abaixo.

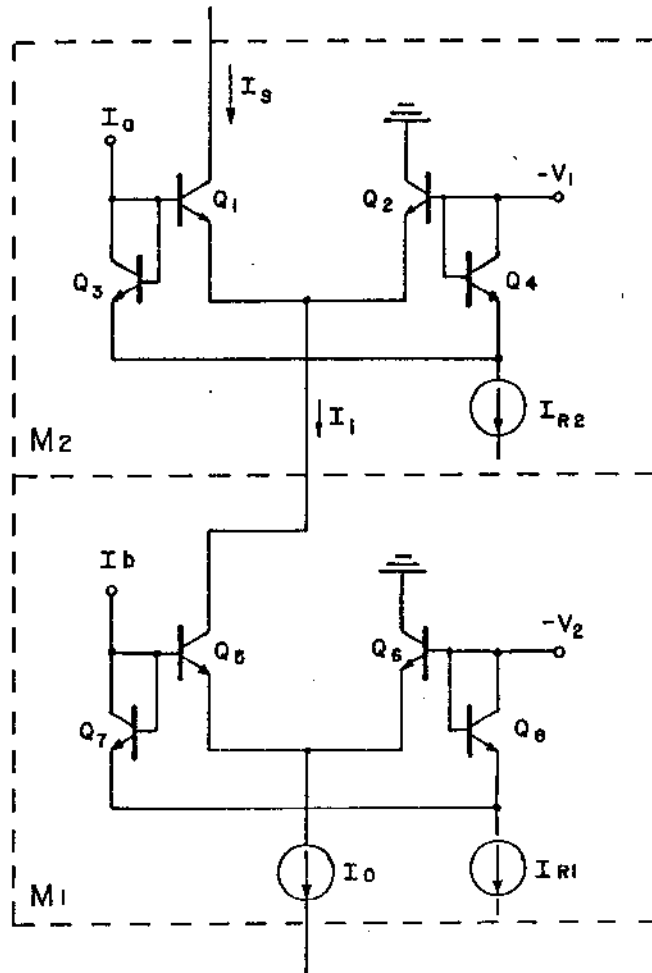


Fig. III.14 - Célula multiplicadora do circuito proposto

Esta célula multiplicadora é composta por dois multiplicadores, M_1 e M_2 , em cascata, e que obedecem o princípio translinear clássico.

A corrente I_0 , sendo feita de valor elevado possibilita que se desloque o valor final da corrente multiplicada, quando os índices de modulação forem iguais a "1", para um valor tão grande quanto se queira.

Como este dispositivo é destinado a uma função específica, é sabendo-se que apenas no primeiro segmento do MCP os valores chegarão ao nível inferior ($I_a = 1 \mu A$), visto que do segundo ao sétimo segmento a corrente I_a variará entre $16 \mu A$ e $32 \mu A$, no global, a corrente multiplicada sofrerá um aumento considerável, deslocando assim a frequência de corte dos transistores e aumentando a resposta em frequência do dispositivo.

Deste modo a corrente I_2 será dada por:

$$I_1 = \frac{I_b \cdot I_o}{IR_1} \quad (\text{III.33})$$

$$I_S = \frac{I_a \cdot I_b \cdot I_o}{IR_1 \cdot IR_2} \quad (\text{III.34})$$

Assim podemos dizer que a corrente de saída da célula multiplicadora será:

$$I_S = K_1 \cdot I_a I_b \quad (\text{III.35})$$

Para:

$$K_1 = \frac{I_o}{IR_1 \cdot IR_2} \quad (\text{III.36})$$

onde:

I_o = corrente de referência de valor elevado que será multiplicada por I_b e I_a

IR_1 = corrente de referência do multiplicador "1"

IR_2 = corrente de referência do multiplicador "2"

As correntes IR_1 , IR_2 e I_o são geradas na malha decodificadora.

III.3.2 Problemas verificados na célula multiplicadora

A definição dos valores de IR_1 , IR_2 se tornaram bastante simples, visto que desejamos que o transistor trabalhe com a maior faixa dinâmica possível. Deste modo fizemos com que IR_1 fosse igual ao valor máximo de I_a , e IR_2 igual ao máximo I_b .

Desta forma fazemos com que os índices de modulação variassem entre "zero e um".

A escolha de I_o porém não foi feita de um modo tão simples. Para definirmos o seu valor levamos em consideração os níveis mínimos de corrente no espelho, composto por transistores PNPs laterais, bem como o efeito das resistências parasitas referenciadas no emissor dos transistores (ver item II.4.b), ambos os efeitos produzindo uma não linearidade indesejada.

Assim, fizemos com que I_o valesse $1024 \mu A$ que é um valor múltiplo de 64 (valor original de I_b). Desta forma, para valores máximos de saída da célula multiplicadora teremos $512 \mu A$ fluindo através dos transistores PNPs e $0,25 \mu A$ para o caso mínimo.

Convém lembrarmos que o valor mínimo somente ocorrerá no primeiro degrau do primeiro segmento, onde o erro permitido é máximo (50%). O problema da não linearidade devido a resistência do emissor será discutida tendo como base as curvas obtidas, no próximo capítulo.

Com os valores de I_{R_1} , I_{R_2} e I_0 definidos, podemos identificar o problema surgido devido a β finito do transistor. Baseado na célula multiplicadora, podemos escrever:

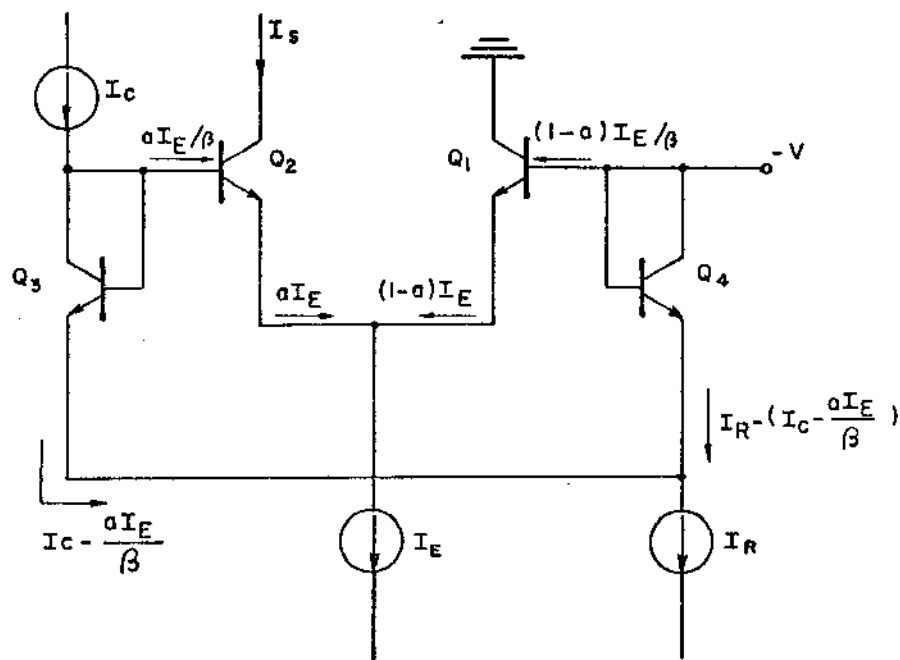


Fig. III.15 - Célula multiplicadora sob análise

A corrente na base de Q_2 valerá

$$I_{B_2} = \frac{\alpha I_E}{\beta} \quad (\text{III.37})$$

Onde:

a = o valor do índice de modulação do esquema sob análise;

I_E = corrente que será multiplicada, e que atua nos emissores do par interno de transistores;

I_c = corrente a ser multiplicada, que atua nos pares externos de transistores, e define juntamente com I_R o valor do índice de modulação;

I_S = corrente multiplicada na saída da célula.

A corrente no emissor de Q_1 , será dada por:

$$I_{Q3} = I_c - \frac{aI_E}{\beta} \quad (\text{III.38})$$

$$\left(I_c - \frac{aI_E}{\beta} \right) \cdot (1-a)I_E = \left[I_R - \left(I_c - \frac{aI_E}{\beta} \right) \right] \cdot aI_E \quad (\text{III.39})$$

de onde se tira que:

$$a = \frac{I_c}{I_R + \frac{I_E}{\beta}} \quad (\text{III.40})$$

Se tomarmos o valor de "a" ideal, teríamos, da equação III.1:

$$a = \frac{I_a}{I_R} \quad (\text{III.1}); \text{ em relação a figura III.15, poderia reescrever este valor para:}$$

$$a = \frac{I_c}{I_R} \quad (\text{III.41})$$

Devido a III.40 e III.39, o erro no índice de modulação será dado por:

$$\varepsilon = \frac{1}{1 + \Delta} \quad (\text{III.42})$$

onde
$$\Delta = \frac{\beta I_R}{I_E} \quad (\text{III.43})$$

Analisando separadamente para cada um dos multiplicadores cascadeados da figura III.12 temos a análise que se segue.

a) Multiplicador M1

O valor da corrente I_0 é constante, logo o erro será apenas um deslocamento para menos no valor máximo alcançado.

Assim, para $I_E = 1024 \mu\text{A}$, $I_R = 64 \mu\text{A}$ e considerando β como sendo igual a 100, temos o erro igual a 13,79% do valor máximo.

b) Multiplicador M2

Neste caso, teremos a corrente " I_E " variando entre zero e $882,75 \mu\text{A}$ (86,2% de 1024) e I_R valendo $32 \mu\text{A}$.

Porém, o erro agora é variável e podemos escreve-lo da seguinte forma:

$$\varepsilon = \frac{1}{1 + \frac{1}{K'x}} \quad (\text{III.44})$$

Sendo x feito variar entre 0 e 1 conforme o índice de modulação.

Sendo $K'x$ uma equação de reta com K' valendo:

$$K' = \frac{I_E}{\beta I_R} \quad (\text{III.45})$$

Para β , I_R e I_E constantes.

A corrente de saída da célula multiplicadora será então função deste erro, visto que o valor do índice de modulação de "M2" é diretamente proporcional a este.

Assim, podemos escrever que a corrente de saída será dada por

$$I_S = I_{S0} - \epsilon \cdot I_{S0} \quad (\text{III.46})$$

onde:

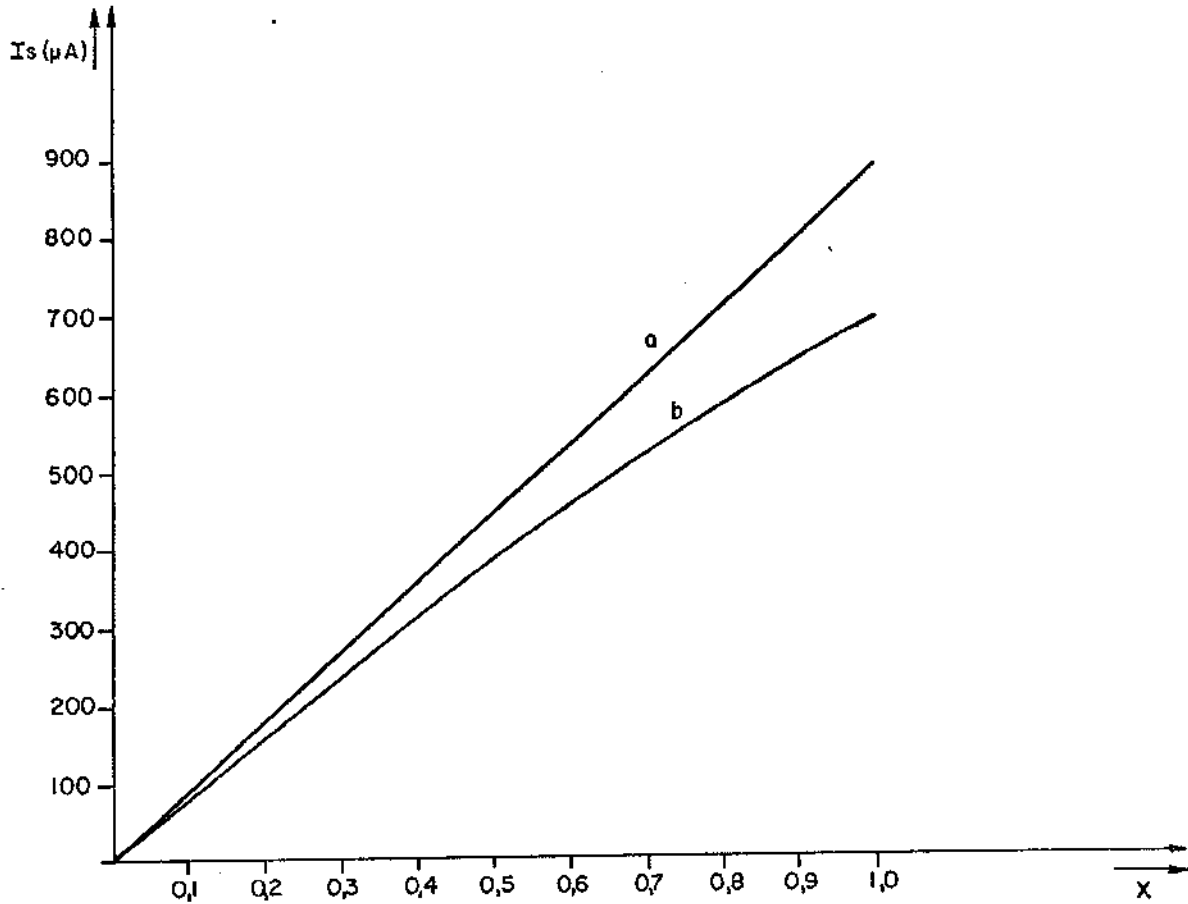
I_{S0} = corrente de saída desconsiderando β finito

ϵ = erro devido a β finito

Assim:

$$I_S = I_{S0} (1 - \epsilon) \quad (\text{III.47})$$

Assim, plotando o valor de I_S em função do índice de modulação, com este índice variando linearmente, teremos:



a = Curva ideal da corrente de saída.
b = Curva considerando o efeito de β finito.

Fig. III.16 - Curvas de saída em função do índice de modulação

Como pode ser verificado pela figura III.37 além de uma diminuição no valor da corrente de saída, haverá ainda uma não linearidade proveniente da variação do sinal. Baseado no exposto acima, foi necessário o desenvolvimento de uma forma de compensar o efeito apresentado.

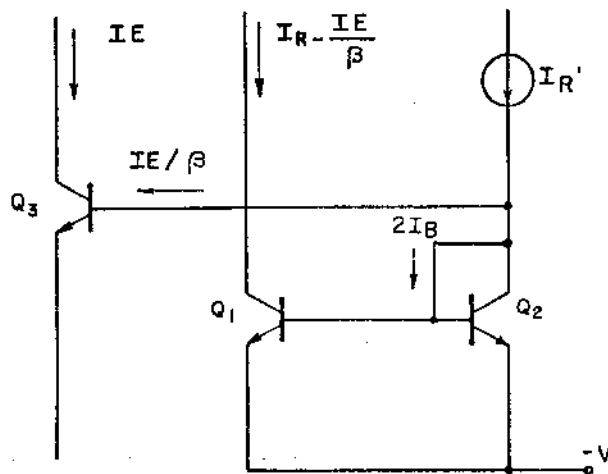
Analisando a equação III.39 e comparando com III.40, verificamos que o termo que introduz o erro no índice de modulação vale $\frac{I_E}{\beta}$. Então, temos que:

$$a = \frac{I_c}{I_R + \frac{I_E}{\beta}}, \quad (\text{III.40})$$

quando o valor ideal seria

$$a = \frac{I_c}{I_R} \quad (\text{III.41})$$

Baseando-se no exposto acima, verificou-se que o circuito mostrado abaixo realiza de forma eficiente uma compensação deste efeito.



Com I_R sendo;

$$I_R = I_{R'} - 2I_B$$

Fig. III.17 - Circuito de compensação de β proposto

Ou seja, se subtrairmos o valor de $\frac{I_b}{\beta}$ da corrente de referência recebida da malha decodificadora, a corrente que servirá como referência para os pares externos de transistores da figura III.15 será menor do que o valor de I_R . Quando o valor de I_E variar, a referência também variará mantendo a razão entre I_c e I_R constante.

III.3.3 Configuração final

A configuração final do dispositivo se apresenta conforme a figura abaixo. Pode-se notar a grande simplicidade e elegância deste esquema em relação às outras versões apresentadas, constituindo assim a nossa opção final de projeto.

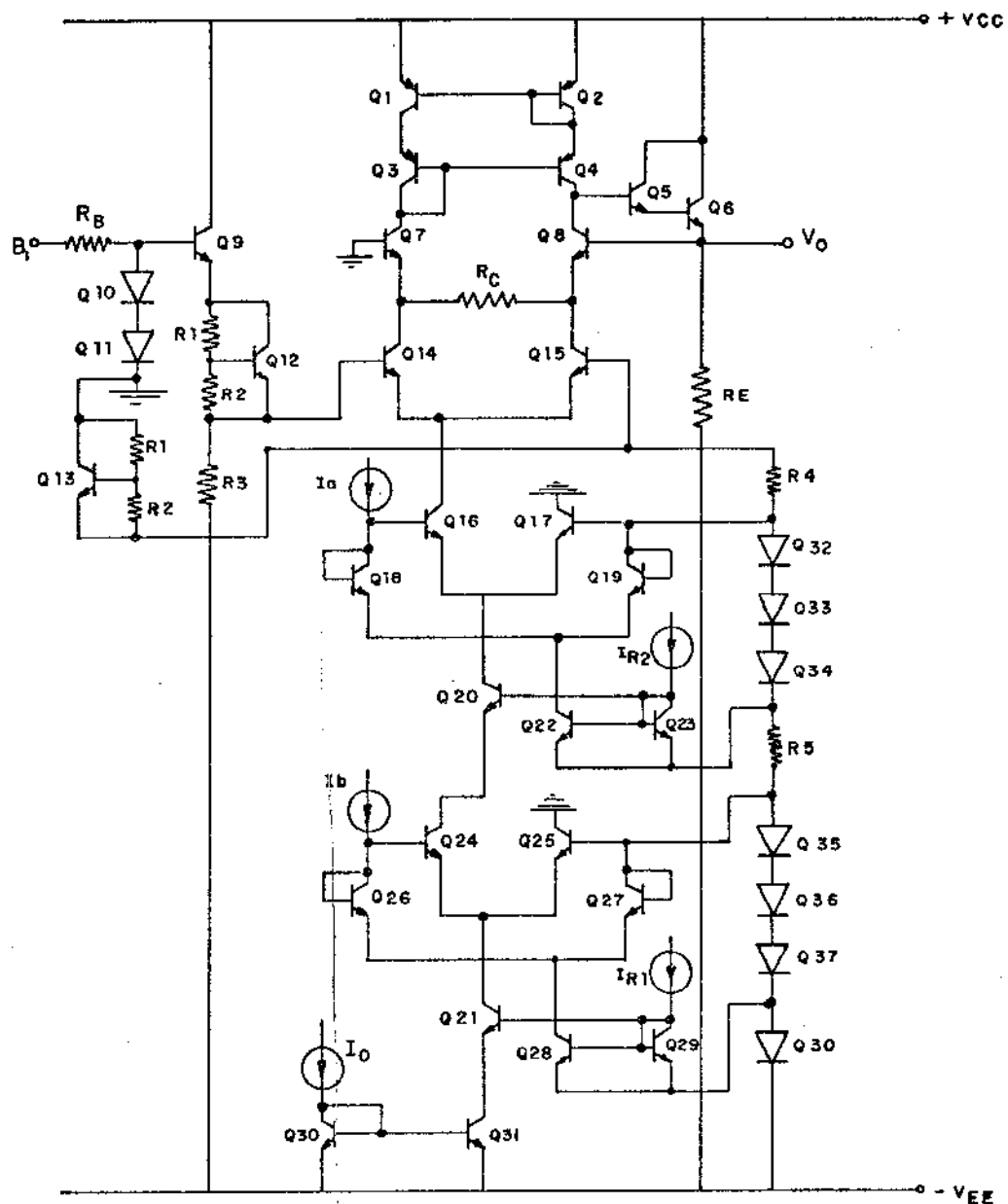


Fig. III.18 - Configuração final do circuito multiplicador

As fontes I_a , I_b , I_o , IR_1 e IR_2 são geradas na ma lha decodificadora, sendo que as mesmas são apresentadas na figura III.16 apenas como um modo de mostrar o circuito com todas as suas entradas ocupadas.

Os diodos Q_{10} , Q_{11} , Q_{32} , Q_{33} , Q_{34} , Q_{35} , Q_{36} , Q_{37} e Q_{38} são na realidade transistores com a base coletor co nectadas juntos e estão no esquema III.16 desenhadas como diodos apenas por uma facilidade de representação na definição das funções destes elementos.

Baseados nas equações III.32 e III.34, e desprezando o efeito de α dos transistores temos:

$$V_O = \frac{I_a \cdot I_b \cdot I_o}{2 \cdot IR_1 \cdot IR_2} \cdot R_C \quad (\text{III.48})$$

ou seja:

$$V_O = K I_b \cdot I_a \quad (\text{III.49})$$

onde:

K = constante de proporcionalidade que converte corrente em tensão e vale:

$$K = \frac{I_o R_C}{2 \cdot IR_1 \cdot IR_2} \quad (\text{III.50})$$

finalmente, levando em consideração a célula de chaveamento, obteremos a expressão II.1, ou seja:

$$V_O = K I_a I_b (B_1 - \bar{B}_1) \quad (\text{III.51})$$

Assim, podemos ver que a célula multiplicadora proposta apresentará em sua saída um sinal em tensão' proporcional ao produto das correntes I_a e I_b e ao bit de polaridade B_1 .

CAPÍTULO IV

TESTE E VERIFICAÇÃO DE DESEMPENHO DO CIRCUITO PROJETADO

IV.1 Construção do Protótipo

IV.1.1 Determinação dos transistores

Para teste de funcionamento e verificação de desempenho do circuito projetado e apresentado na figura III.16, procurou-se levar em consideração que este dispositivo em sua versão final será totalmente integrado. Assim, na construção do protótipo tentou-se aproximar o mais possível das características que este dispositivo apresentará nesta versão. Utilizaram-se assim, transistores integrados encontrados no comércio, como os circuitos integrados 3046 fabricados pela RCA, para os transistores NPN. Não se conseguiram transistores integrados PNP de modo a simular as características dos PNPs laterais utilizados na integração. Devido a este fator foram utilizados transistores discretos do tipo BC 557. Em posições onde o efeito translinear não era fundamental e o descasamento das áreas e de tensão base emissor (V_{BE}) não influenciaram no desempenho do circuito, utilizou-se transistores NPN discretos do tipo BC 239.

Assim, para melhor compreensão, a figura IV.1 detalha com clareza o exposto acima.

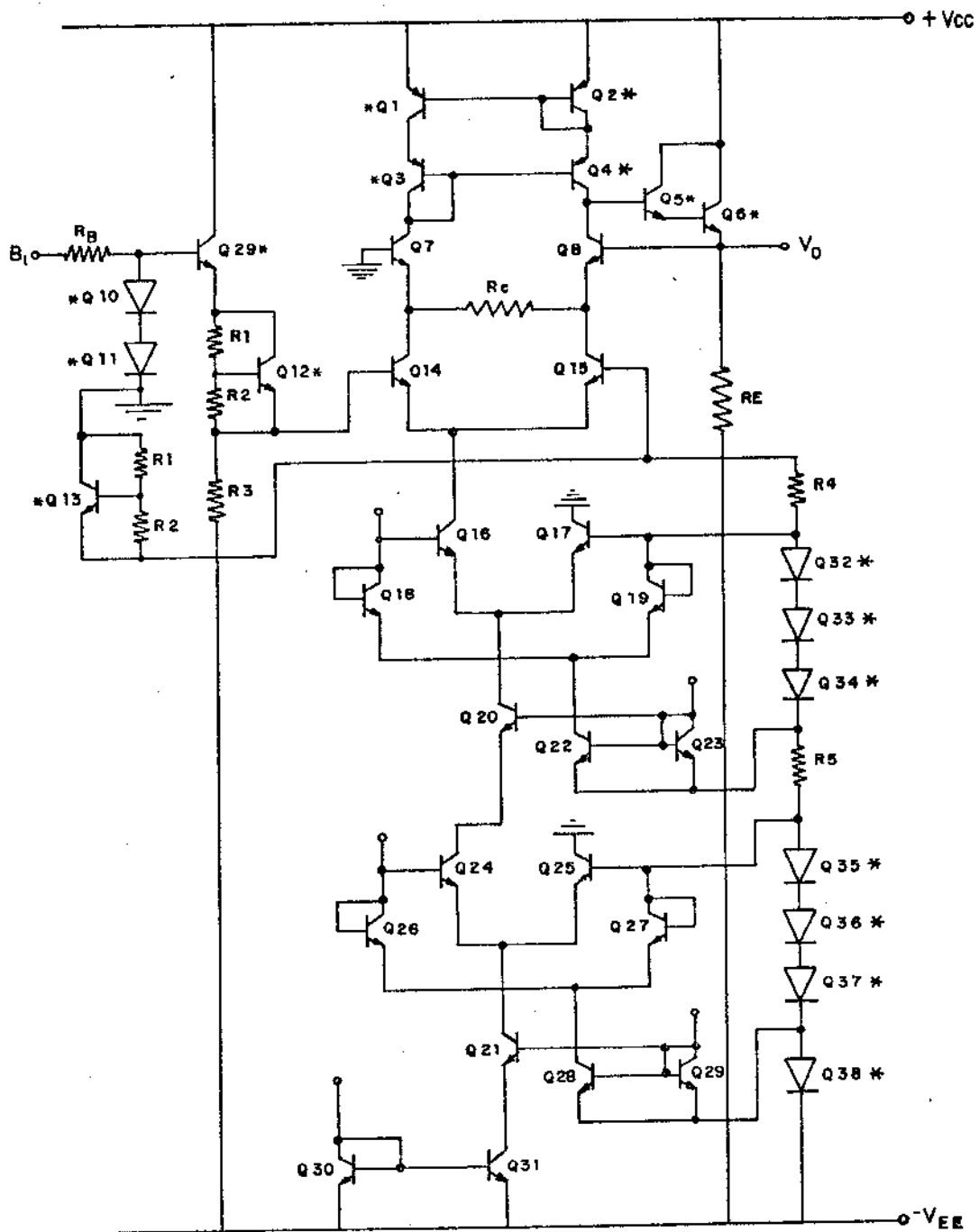


Fig. IV.1 - Localização dos transistores discretos no circuito proposto

Todos os transistores acompanhados de asteriscos (*) são transistores discretos.

IV.1.2 Determinação dos Resistores

Para a polarização do circuito protótipo utilizou-se $\pm 8V$ e denominou-se estas fontes de VCC e VEE. Assim temos:

$$VCC = + 8 V \quad (IV.1)$$

$$VEE = - 8 V \quad (IV.2)$$

A resistência R_C representada na figura IV.1 e integrante do conversor I/V do circuito proposto, é fundamental na determinação do valor de tensão de saída, visto que o seu valor, juntamente com outros parâmetros definidos nos capítulos anteriores, determinarão a constante de conversão de corrente em tensão "K", constante esta, significativa para se atingir o objetivo proposto e previamente definido, como pode ser observado na equação II.1 do capítulo 2. Deste modo, o valor do resistor R_C torna-se de suma importância na determinação da saída "Vo" do circuito.

Outro problema que pode ser observado, diz respeito ao funcionamento do circuito proposto em função da tensão de saída. Nota-se facilmente que uma tensão proporcional a "Vo" estará no terminal do resistor "Rc", conectado ao emissor de Q_8 , e valerá:

$$V_{e8} = \pm V_o - V_{BE8} \quad (IV.3)$$

O sinal mais ou menos (\pm) encontrado em Vo dependerá da polaridade definida pelo pulso de tensão "B₁". Convém salientar que o valor encontrado na equação IV.3 é em relação ao emissor de Q_7 . Porém como a tensão base emissor de Q_7 é idêntica a tensão base emissor de Q_8 , para facilidade de

raciocínio tomaremos a tensão no emissor de Q_8 em relação à terra. Assim:

$$V_{e8} = \pm V_o \quad (\text{IV.4})$$

Os coletores de Q_{14} e Q_{15} também estão conectados aos terminais de R_C , verificando-se que, devido a isto, no instante em que se tiver uma tensão de saída negativa no coletor de Q_{15} , esta valerá:

$$V_{c15} = - V_o \quad (\text{IV.5})$$

O potencial na base de Q_{15} é fixo e definido pelo multiplicador de V_{BE} formado por Q_{13} , R_1 e R_2 . Portanto " V_o " não poderá atingir valores que sejam negativamente maiores que esta tensão de base, pois polarizará a função base emissor reversamente, cortando este transistor. Assim, deve-se limitar " V_o " a um valor máximo negativo que não permita a tensão de saída atingir níveis que coloquem em perigo o funcionamento previsto do transistor Q_{15} . Este mesmo fato não ocorrerá com o transistor Q_{14} , visto que seu coletor sempre estará V_{BE7} abaixo da terra.

Baseado no fato acima mencionado, limita-se " V_o " a um valor de 1V.

Utilizando a equação III.48 temos:

$$V_o = \frac{I_a I_b I_o}{2 \cdot I_{R1} \cdot I_{R2}} \cdot R_c \quad (\text{III.48})$$

Baseado nas correntes previamente determinadas e que valem:

$$I_a = 32 \mu A$$

$$I_b = 64 \mu A$$

$$I_{R_1} = 64 \mu A$$

$$I_{R_2} = 32 \mu A$$

$$I_o = 1024 \mu A$$

O valor do resistor R_c será:

$$R_c = 1,953 \text{ K}\Omega \quad (\text{IV.6})$$

no protótipo, utilizou-se um resistor de $2,2 \text{ K}\Omega$ que nos forneceu, para as condições acima, $V_o = 1,126V$.

Para estas condições, a constante de proporcionalidade de "K" terá o seu valor fixado em:

$$K = 550 \times 10^{-6} \frac{V}{A^2} \quad (\text{IV.7})$$

considerando todos os transistores com $\alpha = 1$.

Definiremos a partir deste ponto o valor dos resistores que estabelecerão as correntes na célula de interface.

Assim, a escolha do valor de R_3 , definiu-se a partir da determinação do potencial na base de Q_{15} . Colocou-se então este potencial por volta de V_{BE} abaixo da tensão mínima em seu coletor ($\approx -1,1V$). Assim, a tensão na base de Q_{15} foi fixada em $-1,6$ Volts. Na base de Q_{14} teremos então mais ou menos V_{BE} em relação a $-1,6V$, conforme mostrado no item III.2. Assim, para uma corrente de 1 mA em R_3 , devemos ter o valor deste resistor fixado em:

$$R_3 = 5,8 \text{ K}\Omega \quad (\text{IV.8})$$

A escolha da R_4 e R_5 levou em consideração que

estes resistores teriam o mesmo propósito de R_3 , apenas com a preocupação de que existe em sua inclusão um propósito adicional; a de fazerem parte das referências necessárias para a definição do valor do potencial nas várias partes do circuito. Como o potencial na base de Q_{15} é fixo e vale $-1,6V$, para se ter uma corrente em torno de 1 mA , os resistores ficaram valendo:

$$R_4 = R_5 = 1 \text{ K}\Omega \quad (\text{IV.9})$$

O valor de R_1 e R_2 foi determinado em função da multiplicação de tensão em Q_{12} e Q_{13} . Assim, para $1,6V$ de tensão obtida, devemos ter:

$$R_1 = 1 \text{ K}\Omega$$

$$R_2 = 0,6 \text{ K}\Omega$$

O valor de R_B foi definido tendo por base o valor máximo de corrente fornecido por um circuito TTL. Deste modo o valor de R_B será:

$$R_B = 22 \text{ K}\Omega$$

Para se completar o quadro de resistores, torna-se necessário escolher o valor de R_E , que tem a finalidade de estabelecer o nível de corrente nos transistores Q_5 e Q_6 . Um cuidado deve ser tomado na escolha desta corrente: se a fizermos com um valor elevado, a corrente na base de Q_5 será da ordem de grandeza da corrente do coletor de Q_8 , alterando assim o valor desta corrente, e influenciando decisivamente no sinal de saída V_o . Portanto, achamos que uma corrente de $100 \mu A$ seria um valor adequado para esta corrente de polari-

zação. Para um máximo valor do sinal de saída de 1,1 V, o resistor valerá:

$$R_E = 99 \text{ K}\Omega \quad (\text{IV.10})$$

Na montagem do protótipo utilizou-se:

$$\begin{aligned} R_1 &= 1 \text{ K}\Omega \\ R_2 &= 600 \text{ }\Omega \\ R_3 &= 5,6 \text{ K}\Omega \\ R_4 &= 1 \text{ K}\Omega \\ R_5 &= 1 \text{ K}\Omega \\ R_B &= 22 \text{ K}\Omega \\ R_C &= 2,2 \text{ K}\Omega \\ R_E &= 100 \text{ K}\Omega \end{aligned}$$

IV 1.3. Fontes de corrente

A proposta do circuito leva em consideração que o dispositivo receberá as correntes de referência necessárias (I_0 , I_{R1} , I_{R2}) e os sinais de entrada I_a e I_b , diretamente da malha decodificadora.

Porém, para análise de desempenho do protótipo achou-se conveniente desvincular o funcionamento deste circuito das prováveis influências recebidas do dispositivo que o precedeu. Assim, optou-se pela substituição da malha decodificadora por fontes de correntes geradas externamente, conseguindo-se deste modo, uma boa confiabilidade nos resultados obtidos nos testes.

Para gerar estas correntes, utilizou-se conver -

sores tensão corrente, de acordo com a figura abaixo

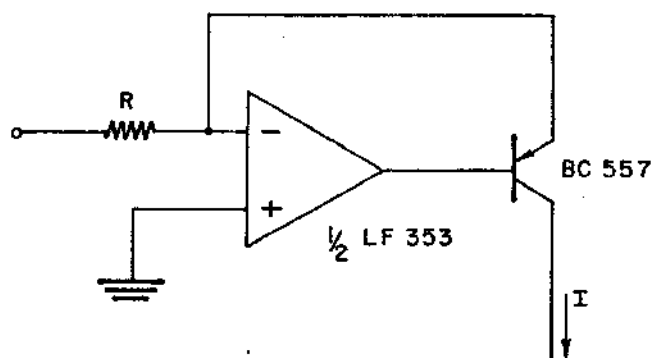


Fig. IV.2 - Esquema da fonte de corrente utilizada na geração de I_a e I_b

Este esquema foi utilizado para gerar os sinais de corrente I_a e I_b .

Onde alterações da temperatura não influenciariam na medida efetuada de formas significativas optou-se pela utilização de resistores diretamente colocados no circuito protótipo, conforme mostrado abaixo. Conseguiu-se assim evitar o surgimento de realimentações e oscilações em altas frequências.

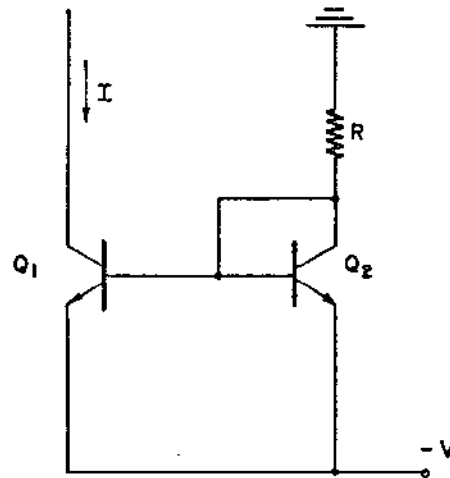


Fig. IV.3 - Esquema utilizado na geração de I_o , I_{R1} e I_{R2} .

Este esquema, porém, apresenta alguns problemas como a grande dependência com a temperatura e com a fonte de polarização, além do fato de não permitir um controle eficaz da corrente gerada.

Como os resistores utilizados na geração das correntes I_o , I_{R1} , I_{R2} , não mantêm uma mesma razão entre si, não foi possível obter os níveis de correntes exatamente no valor pretendido ($1024 \mu A$, $64 \mu A$ e $32 \mu A$).

Assim, ajustou-se os valores de I_{R1} e I_{R2} para serem maiores do que os estipulados, o que fez com que os índices de modulação fossem menores do que o valor pretendido (originariamente igual a 1), alterando assim o valor da constante K , modificando por sua vez, o valor do sinal de saída " V_o " para um valor menor.

O valor de I_o , procurou-se fazer o mais próximo possível do valor original.

IV.2 Desempenho do circuito de compensação e célula de saída

IV.2.1 Circuito de compensação

No item III.3.2, discutiu-se o problema do valor de β nos transistores serem finitos, e propuseram-se pequenas alterações, na topologia do circuito, de forma que se compensasse este efeito.

Para se verificar a influência do circuito de compensação no desempenho do dispositivo e até que ponto esta estrutura realmente corrigirá o problema, levantaram-se curvas comparativas no protótipo, utilizando ou não a modificação proposta.

Como pôde ser verificado, existem dois tipos de alterações proporcionadas pelo valor finito de β .

A primeira, quando a corrente é constante, apenas deslocando o produto final da multiplicação para um valor menor. A segunda alteração, quando existe uma variação na corrente, consiste, além da diminuição do produto, em um efeito de não linearidade.

Para se fazer o teste desta compensação, utilizou-se o protótipo do circuito multiplicador.

Quando se desejava retirar o circuito de compensação, colocava-se um curto-circuito entre os terminais de coletor emissor dos transistores Q_{20} e Q_{21} . Fazendo uso deste procedimento, conseguiu-se uma medida sem as influências inevitáveis da utilização de dois circuitos de teste.

Manteve-se sempre uma das entradas (I_a ou I_b) com um valor constante e igual ao máximo da corrente permitida

(32 μ A ou 64 μ A). Na outra entrada, aplicou-se um sinal que variasse linearmente com o tempo. Utilizou-se para isto um sinal triangular.

A obtenção das curvas se deu através de um registrador. Para isto colocou-se na entrada X deste aparelho o sinal aplicado à entrada do circuito protótipo e na entrada Y o sinal de saída "Vo" do dispositivo.

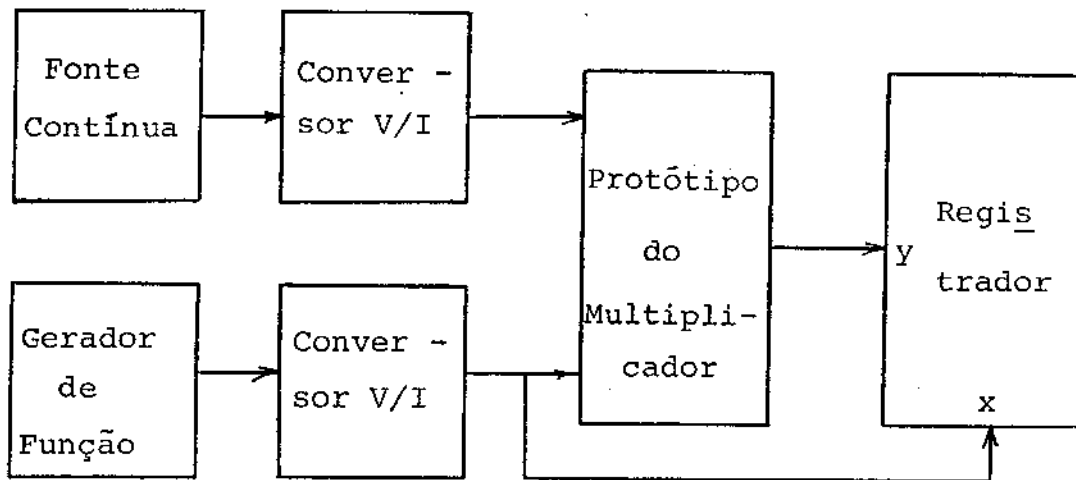


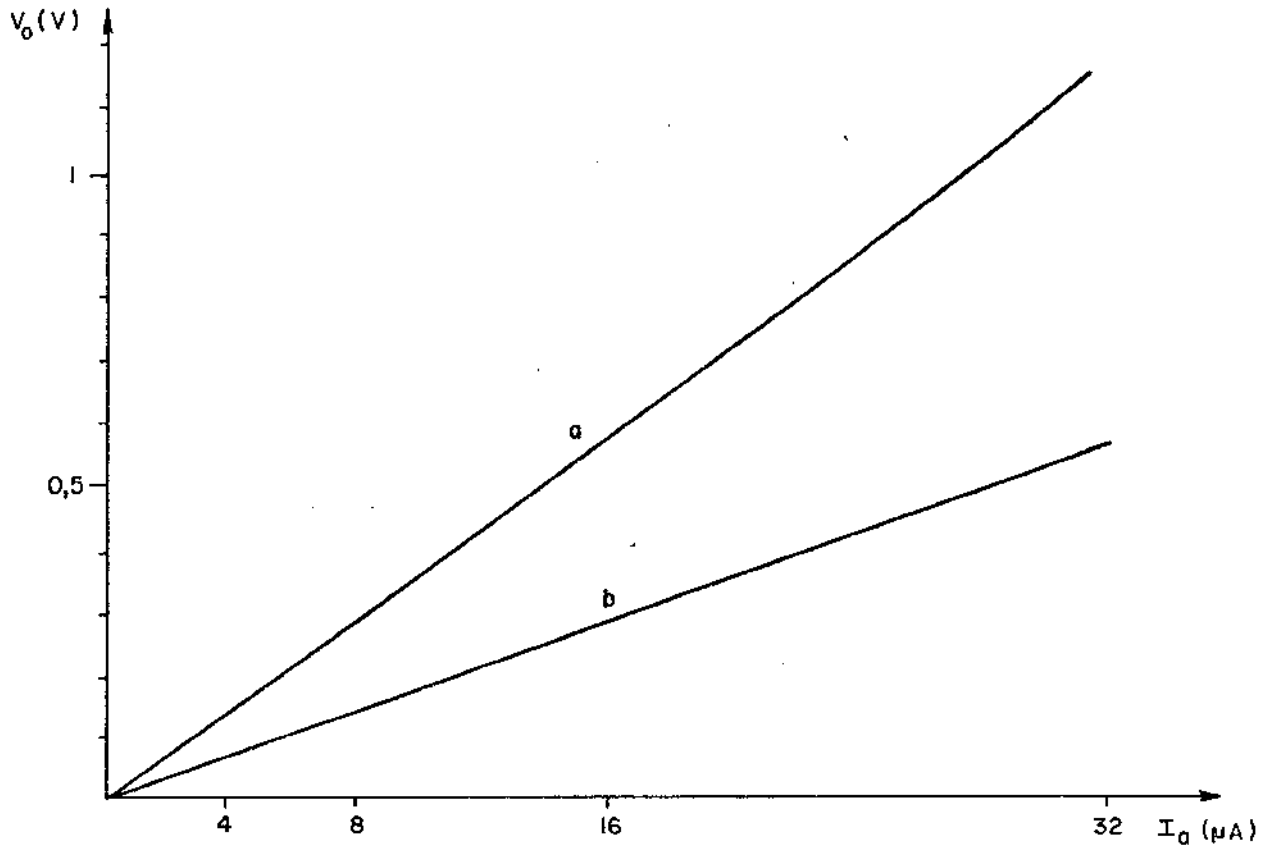
Fig. IV.4 - Diagrama em bloco da montagem de obtenção das curvas no registrador

Como os sinais de entrada e saída estão em fase, qualquer alteração em V_o será prontamente anotado no registrador.

A primeira curva obteve-se fazendo-se I_b constante e I_a variando. O fato de I_b permanecer fixo produz uma corrente também fixa nos pares internos da célula multiplicadora.

Reportando-nos a figura III. 15, consiste em fazer I_E ser constante, o que produzirá o efeito de deslocamento da saída. Este fato realmente ficou comprovado pela curva experimental (IV.5).

IV.5.



a) Curva obtida com o circuito de compensação de β

b) Curva obtida sem o circuito de compensação de β

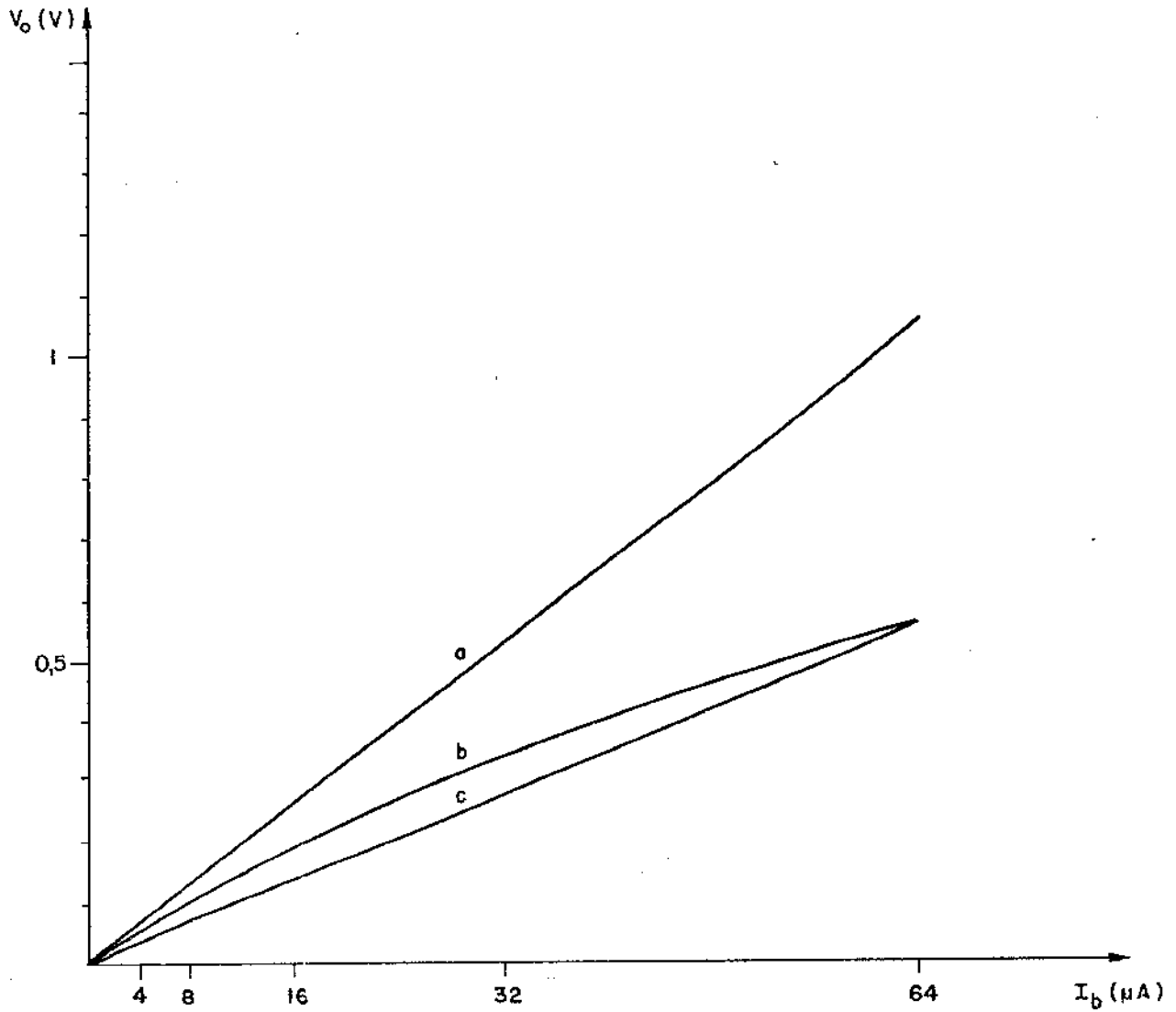
Fig. IV.5 - Curva de verificação do efeito de compensação de β com I_a e I_b constantes.

Pode-se ainda notar que o efeito cascata dos dois multiplicadores (M1 e M2) que compõem a célula multiplicadora agrava o problema de β finito.

O erro devido ao deslocamento do sinal de saída " V_o " obtido no teste efetuado, para o circuito protótipo, foi de 52,5% para as tensões máximas obtidas (1,08V e 0,517V).

Fazendo-se I_b variar e mantendo-se I_a fixo, conseguiu-se verificar o segundo efeito, o efeito da não linearida

de.



- a) Curva obtida com o circuito de compensação de β
- b) Curva obtida sem o circuito de compensação de β
- c) Curva tomada como ideal para verificação de erro de Linearidade.

Fig. IV.6 - Curva de verificação de compensação de β com I_b variando.

Comparando-se a curva obtida com a teórica (Fig. III.14), percebe-se a grande semelhança entre elas, apenas com a diferença do deslocamento verificado ser maior do que o obtido na teoria. Este efeito pode ser atribuído ao fato

dos valores de β dos transistores não serem iguais aos previstos teoricamente.

Baseado na curva obtida, constata-se um erro de deslocamento de 47% e para a curva b, um erro de linearidade de 10,9% considerando o valor de fundo de escala desta curva.

Um novo teste foi executado, para se obter o comportamento do circuito protótipo em sua utilização no decodificador MCP. Assim levantaram-se curvas onde variou-se o ganho da célula multiplicadora, de acordo com o previsto no capítulo II. O resultado está mostrado na figura IV.7.

Obtiveram-se curvas de "a" a "g" com a entrada I_a variando linearmente entre 1 μA e 32 μA com I_b valendo 1 μA , 2 μA , 4 μA , ... 64 μA . Conseguem-se assim, uma variação no índice de modulação do multiplicador "M1", colocadas na tabela IV.1.

Baseado nas curvas registradas, pôde-se constatar que os segmentos da "Lei A" definidos pelas curvas de "a" a "g" possuem uma linearidade bastante boa, sendo que no pior caso encontrou-se um erro menor do que 0,1% em relação ao valor de fundo de escala da curva. O espaçamento entre as curvas, que nos fornece a linearidade com a variação do segmento, é bastante não linear como mostra a figura IV.8, conseguida a partir da figura IV.7.

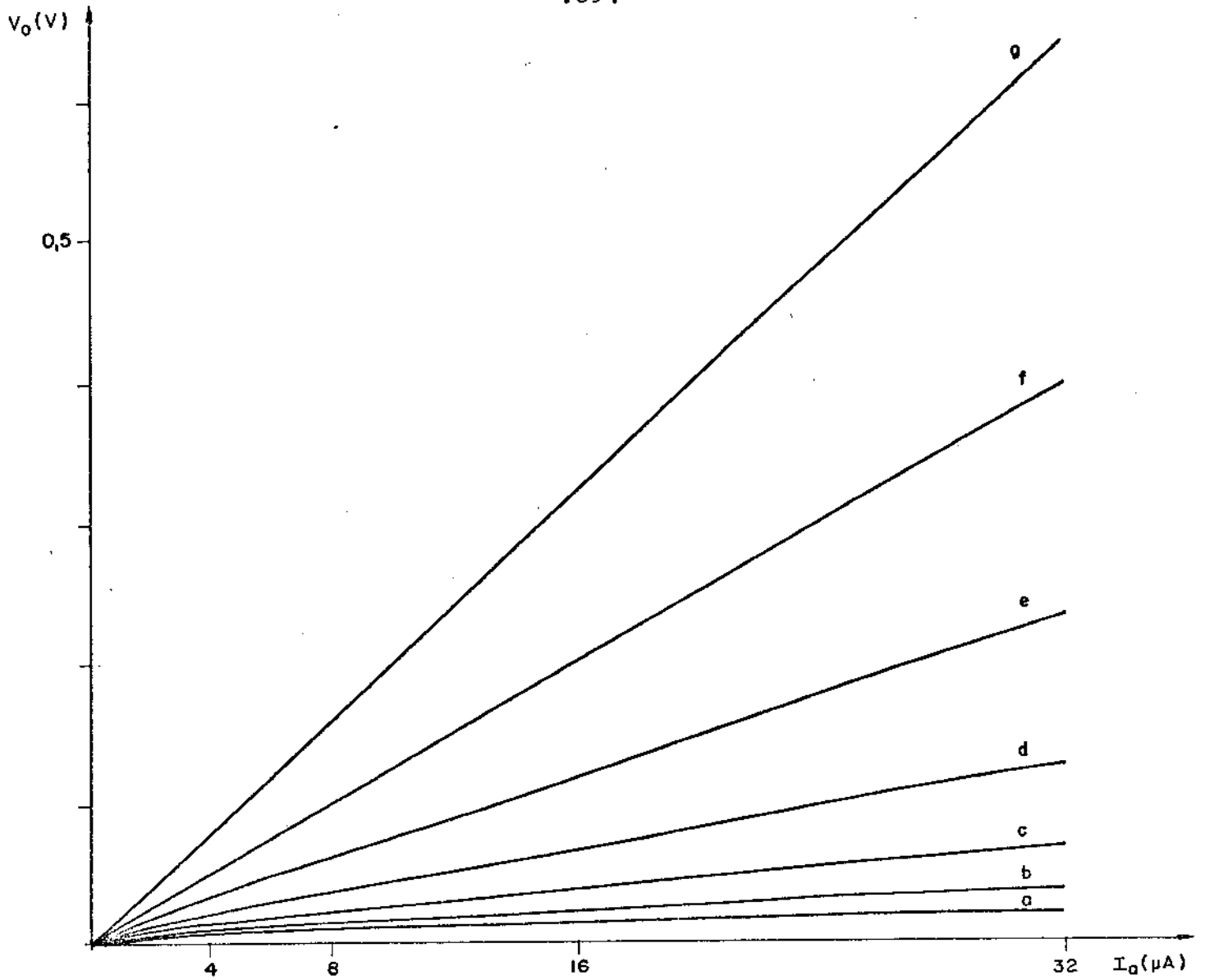


Fig. IV.7 - Variação do índice de modulação sem compensação de β .

Curva	Corrente $I_b(\mu A)$	Índice de modulação
a	1	0,0156
b	2	0,0312
c	4	0,0625
d	8	0,125
e	16	0,25
f	32	0,5
g	64	1

Tabela IV.1 - Valores do índice de variação em função da corrente I_b .

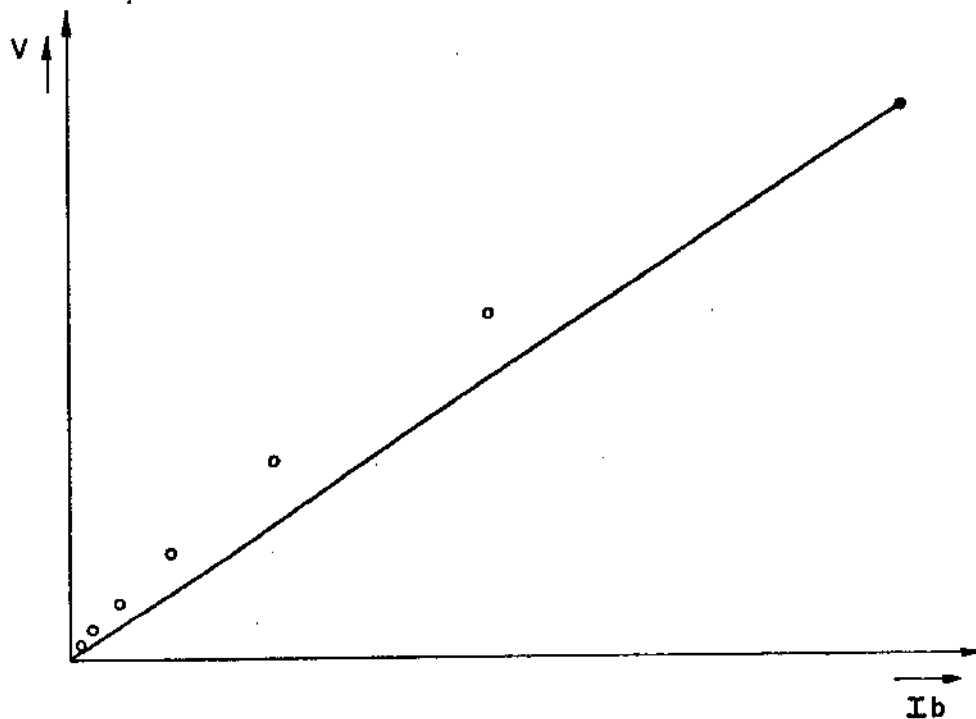


Fig. IV.8 - Valores do ponto de quebra em função do valor ideal.

Considerando o valor de fundo de escala do último segmento como sendo o valor exato para se traçar a curva ideal teórica, encontra-se um erro de linearidade máxima nos pontos tomados da figura IV.7, de 12%. Isto indica que haverá uma variação na inclinação ideal dos segmentos da "Lei A" que atingirá um máximo igual ao valor encontrado acima.

Considerando que o erro máximo permitido no início de cada segmento, é de 1,5%, o erro apresentado ultrapassa em muito este valor, não permitindo que a estrutura seja incluída no decodificador MCP sem o circuito de compensação de β .

Baseando-se nas figuras IV.6 e IV.7 pode-se concluir que o circuito proposto de compensação de β exerce fundamental papel no resultado final da tensão de saída, sendo

esta compensação inteiramente aprovada para a função que foi projetada, ou seja, compensar a não idealidade de β dos transistores.

IV.2.2 Célula de saída

Um importante teste realizado, diz respeito às possíveis influências do conversor I/V no produto das correntes advindas da célula multiplicadora.

Assim, a análise de linearidade desta célula foi realizada, utilizando para isto o mesmo procedimento descrito no ítem anterior, quanto a maneira de obtenção da curva. Para o teste, utilizou-se o mesmo conversor I/V que se encontra no circuito protótipo e um espelho de corrente. A figura abaixo mostra o circuito utilizado.

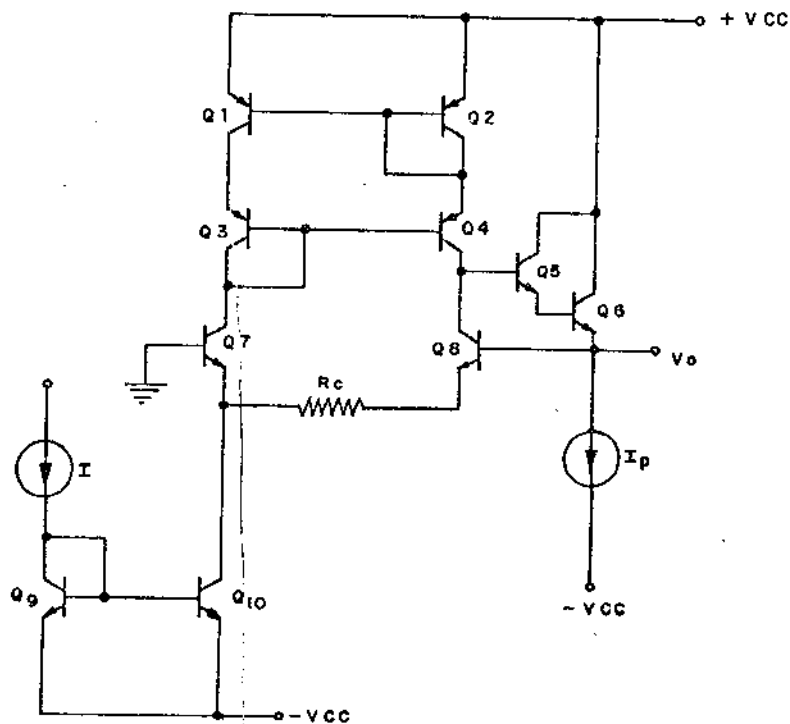


Fig. IV.9 - Circuito utilizado para teste da célula de saída.

Encontrou-se um erro de linearidade menor que 0,32% na curva registrada, tomando-se como base, uma curva ideal entre a origem e o valor máximo obtido. O erro encontrado é em relação ao maior valor da curva.

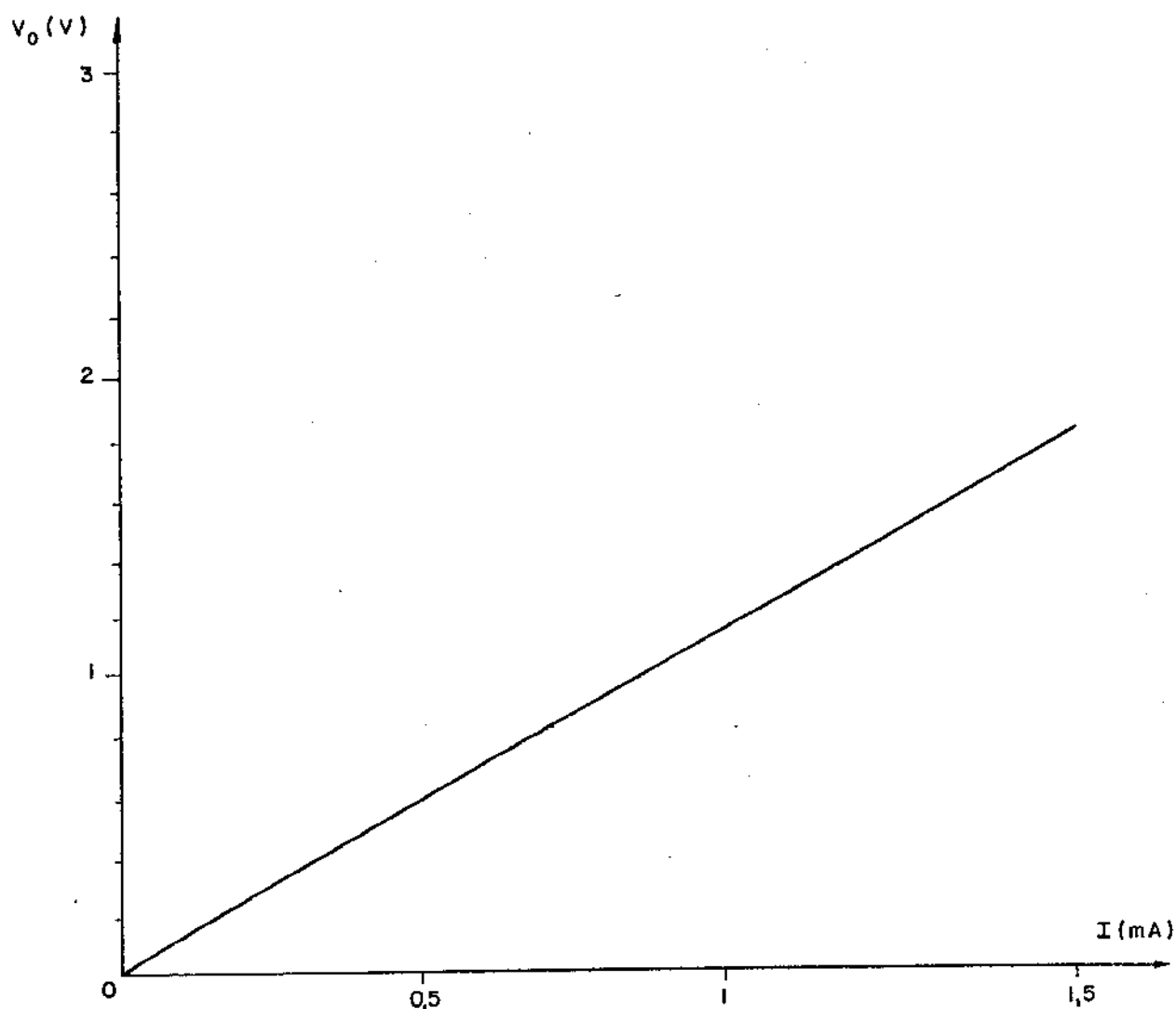


Fig. IV.10 - Linearidade da célula de saída

Pode-se concluir que apesar de existir um erro na linearidade da célula de saída, isto não impossibilitará a sua utilização no circuito multiplicador, pois o erro mínimo permitido para este circuito é bem maior que o valor encontrado, ab

sorvendo-o portanto, com grande facilidade.

IV.3 Testes e resultados obtidos no circuito protótipo

IV.3.1 Teste de Linearidade

Utilizou-se para obter a linearidade do dispositivo, o mesmo esquema da figura IV.4.

Optou-se por este procedimento, baseado nos erros de medidas inerentes encontrados quando se utiliza aparelhos como o voltímetro, amperímetro, etc.

Com o uso do registrador, consegue-se um fiel registro do que acontece no circuito, sem a interferência inevitável do operador do instrumento.

Para o teste de linearidade, manteve-se sempre uma entrada de corrente constante e igual ao seu valor máximo e variou-se a outra. Levantaram-se então quatro curvas separadamente; I_a fixo - I_b variando; I_a variando - I_b fixo; sendo que para cada curva acima se fez o "bit" de polaridade B_1 variar, tornando-as positivas ou negativas. Conseguiu-se assim, analisar todas as possibilidades de utilização do dispositivo.

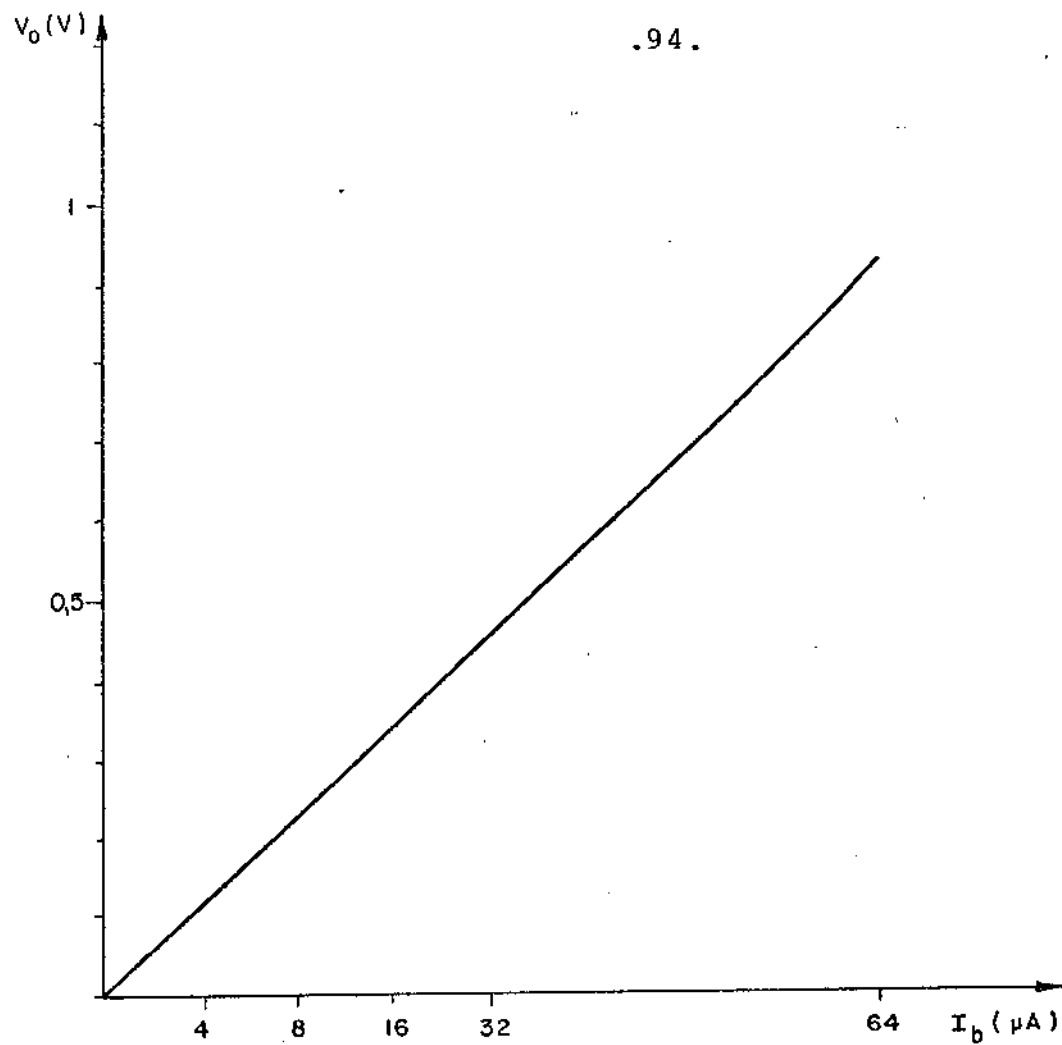


Fig. IV.11 - Curva de Linearidade obtida com I_a fixo e I_b variando ; $B_1 = 1$

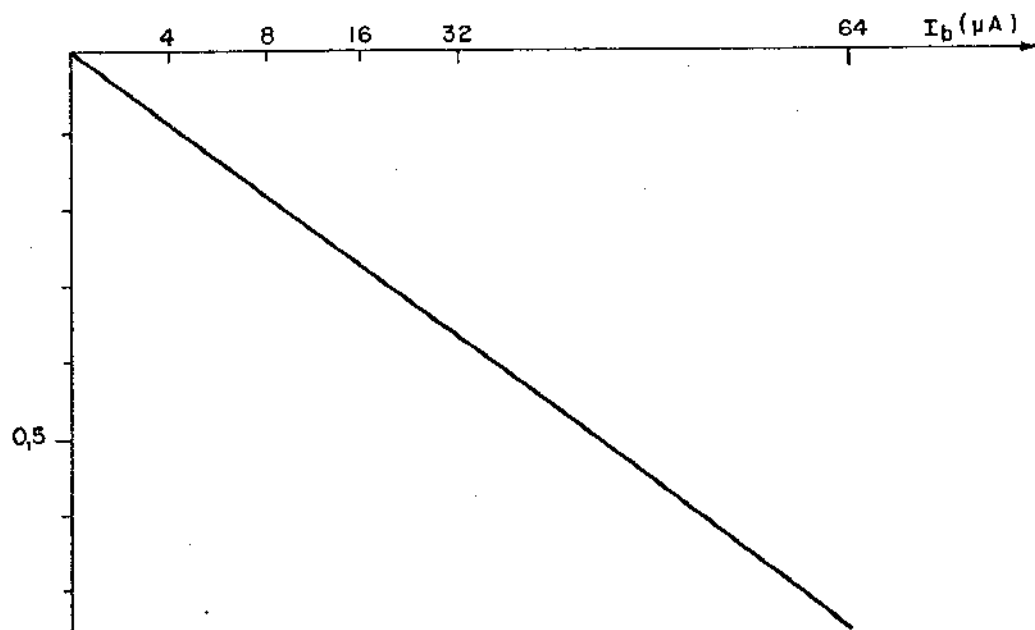


Fig. IV.12 - Curva de Linearidade obtida com I_a fixo e I_b variando ; $B_1 = 0$

V_o (V)

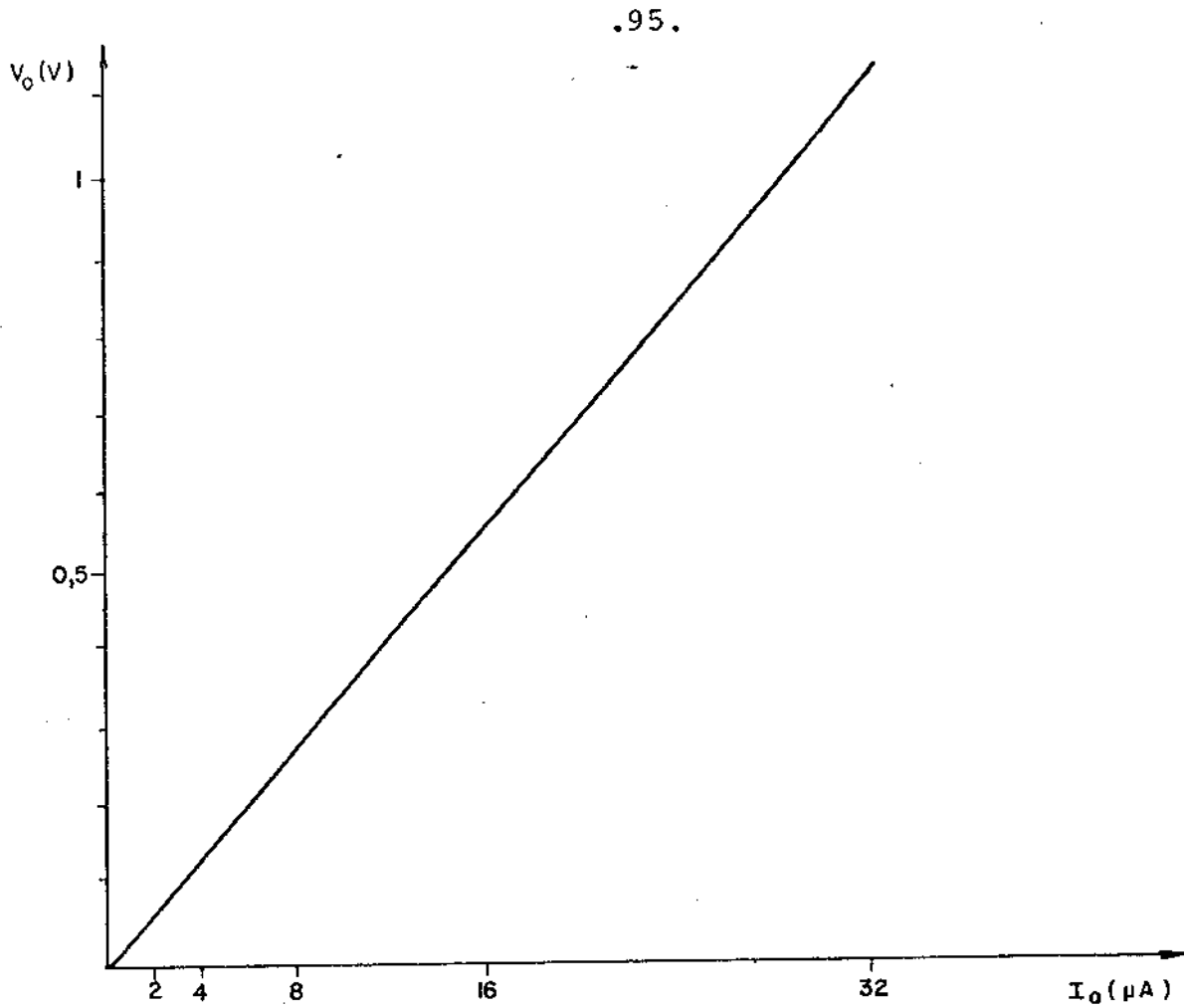


Fig. IV.13 - Curva de Linearidade obtida com I_a variando e I_b fixo; $B_1 = 1$

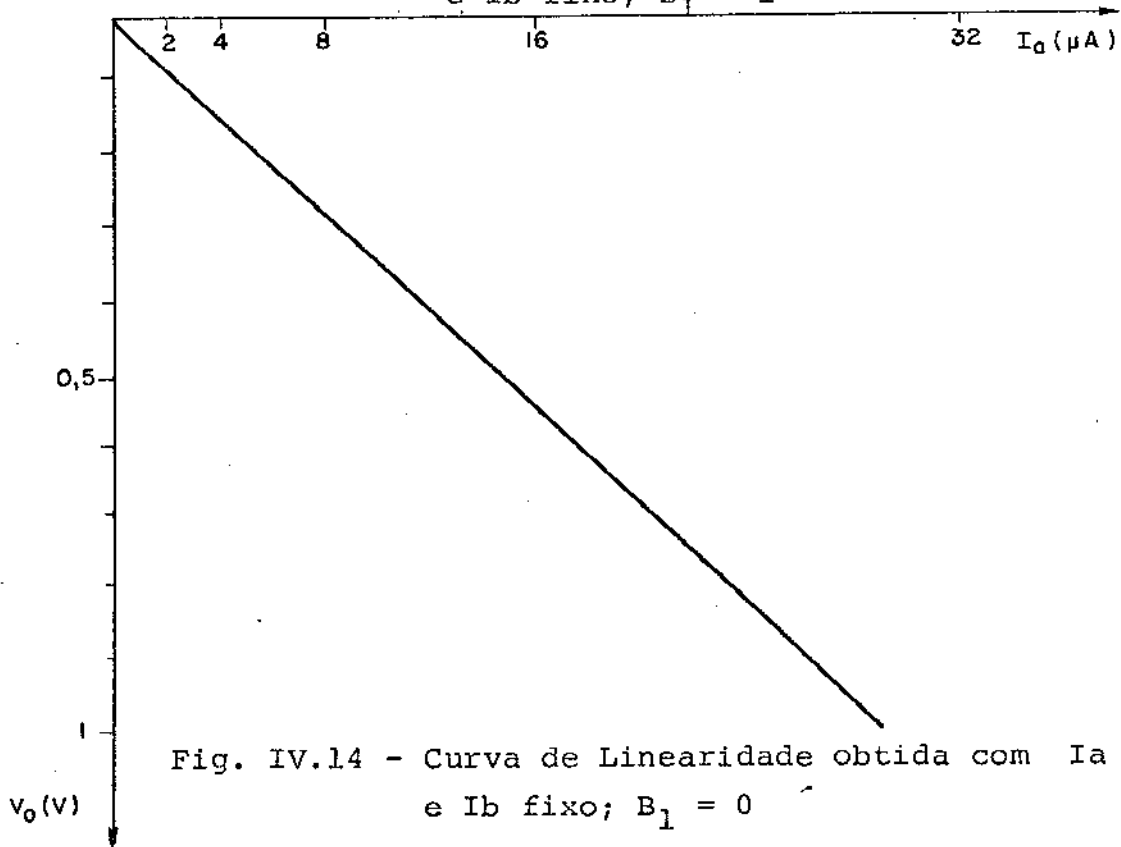


Fig. IV.14 - Curva de Linearidade obtida com I_a variando e I_b fixo; $B_1 = 0$

Obteve-se os seguintes resultados:

Ia	Ib	Polaridade	Erro máximo de linearidade
fixo	variando	+	0,89%
fixo	variando	-	0,8 %
variando	fixo	+	1,0 %
variando	fixo	-	1,0 %

Tabela IV.2 - Erros de linearidade encontrados

Pode-se verificar que o maior erro foi encontrado na curva com polaridade negativa, sendo que estes erros são inferiores ao erro máximo admitido e previamente determinado em 1,5%. Baseando-nos nas curvas analisadas, podemos concluir que a utilização deste esquema proposto em um decodificador MCP "Lei A", se torna perfeitamente possível tendo em mente o parâmetro sob análise.

IV.3.2 Relação Sinal-Ruído

Um sério problema foi encontrado na determinação do ruído gerado no circuito protótipo, problema este surgido devido à inexistência de aparelhos adequados para se efetuar medidas deste tipo na faixa de frequência desejada.

Assim, optamos pela utilização de uma solução numérica, através do programa de simulação SPICE-2. Deste modo, determinou-se o ruído gerado pelo circuito e referenciado à saída do sinal, para alguns valores de frequência dentro da faixa de utilização do dispositivo, definida no item II.2.5, e levantou-se a tabela mostrada abaixo para uma tensão de saída de 1,079V. Assim temos:

Frequência (KHZ)	Densidade de Ruído (V/ $\sqrt{\text{HZ}}$)	Relação Sinal/ Ruído (db)
3,5	$3,017 \times 10^{-7}$	74,07
35	$3,017 \times 10^{-7}$	74,07
350	$3,014 \times 10^{-7}$	74,08

Tabela IV.3 - Relação Sinal Ruído

Pode-se perceber que o ruído é praticamente constante em toda a faixa de utilização e a relação sinal-ruído apresentada, bastante superior à mínima exigida (66,2db) para o circuito, na utilização pretendida.

IV.3.3 Variação da saída com a temperatura

Alguns problemas se verificaram quando da realização do teste do circuito com a variação da temperatura. Inicialmente, não se conseguiu manter as temperaturas desejadas estáveis durante um período suficientemente longo, de maneira que todas as medidas fossem realizadas. Optou-se então pela utilização de uma estufa, que apresentasse uma massa térmica

grande, de modo que a variação da temperatura no seu interior fosse lenta o suficiente para que houvesse tempo do circuito' absorvê-la. O teste realizado constou então apenas da variação do sinal de saída do circuito em função da temperatura, e a partir deste resultado pôde-se extrapolar para os outros valores.

Para se realizar o teste, foi necessário retirar do protótipo, todos os elementos que na integração final do dispositivo forem colocados externamente e conectá-los deste modo ao circuito, porém, fora da estufa onde o teste se realizaria. Retiraram-se os resistores R_c e R_l . Retiraram-se também aqueles que definem as correntes de referências I_{R1} , I_{R2} e I_o , sendo que estas correntes passaram a ser geradas a partir de conversores tensão-corrente com os esquemas semelhantes ao da fig. IV.2.

Determinou-se a variação do sinal de saída para valores que ficaram entre 35° e 70° através da utilização de voltímetro e termômetro digitais e montou-se uma tabela com os dados recolhidos, tabela da qual originou o gráfico mostrado abaixo.

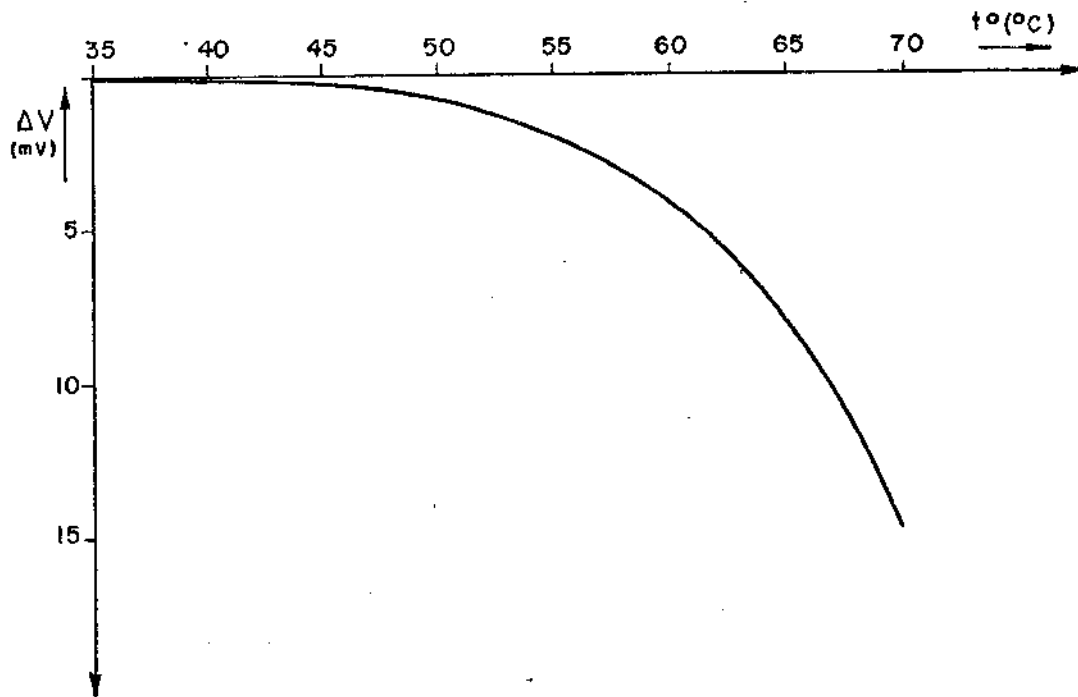


Fig. IV.15 - Variação da tensão com a temperatura

Temperatura ($^\circ\text{C}$)	Sinal de saída (mV)
35	1195
40	1195
45	1195
50	1194
55	1193
60	1190
65	1187
70	1180

Tabela IV.4 - Valores de "Vo" obtidos

Constatou-se a partir dos dados recolhidos que houve uma variação de 1,26% em relação ao sinal de saída tomado a 35°C. Considerando que a medida foi executada em relação ao maior sinal obtido na saída do circuito, podemos afirmar que este dispositivo funcionará dentro das especificações exigidas.

IV.3.4 Variação do sinal de saída com a frequência

Para se verificar a resposta em frequência do circuito protótipo utilizou-se um osciloscópio e um frequencímetro, mantendo uma entrada com seu valor máximo e constante e na outra um sinal senoidal com o valor de pico sendo igual ao necessário para gerar a máxima corrente na entrada do circuito. Recolheram-se dados para trocar quatro diagramas, mostrados nas figuras abaixo.

Verifica-se que o ponto de - 3db ocorre no pior caso em 500 KHZ (curva negativa, $I_b c^{te}$, I_a variando) porém este valor ainda é bastante superior ao mínimo exigido (256 KHZ). Conclui-se portanto que este parâmetro não restringirá a utilização do esquema proposto de multiplicação, no decodificador MCP.

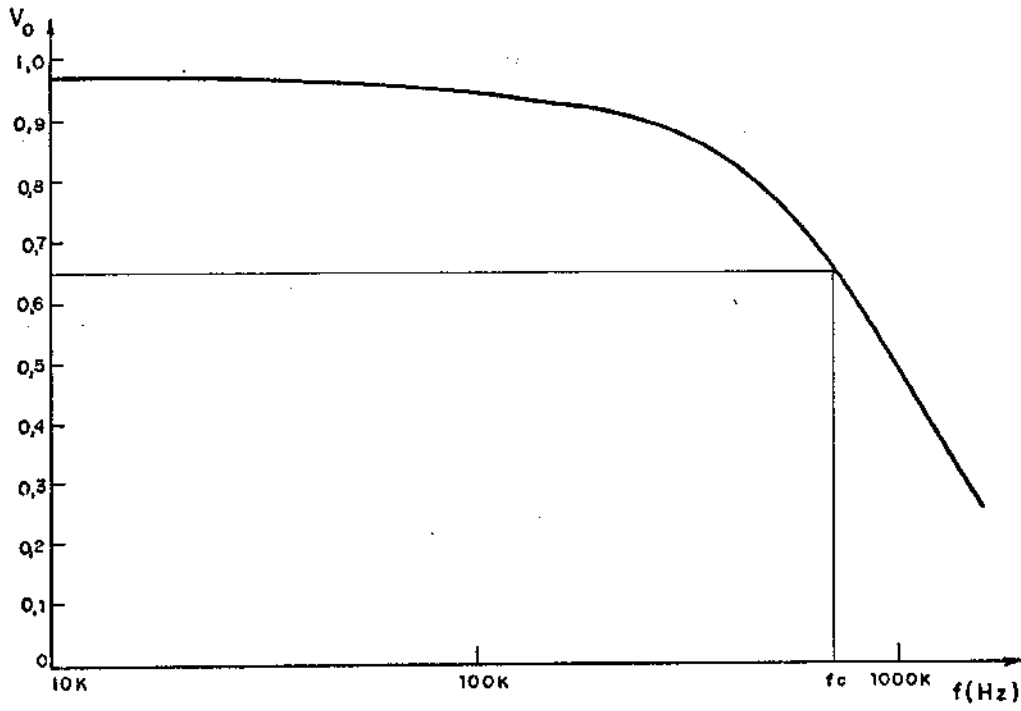


Fig. IV.16 - Resposta em freqüência com I_b constante e I_a variando; $B_1 = 1$

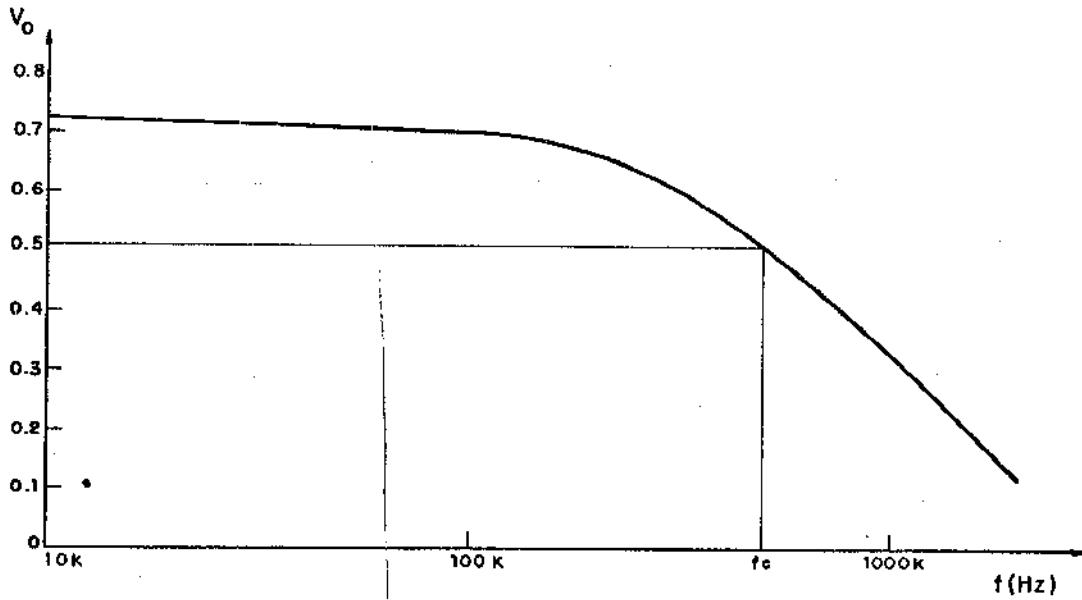


Fig. IV.17 - Resposta em freqüência com I_b constante e I_a variando; $B_1 = 0$

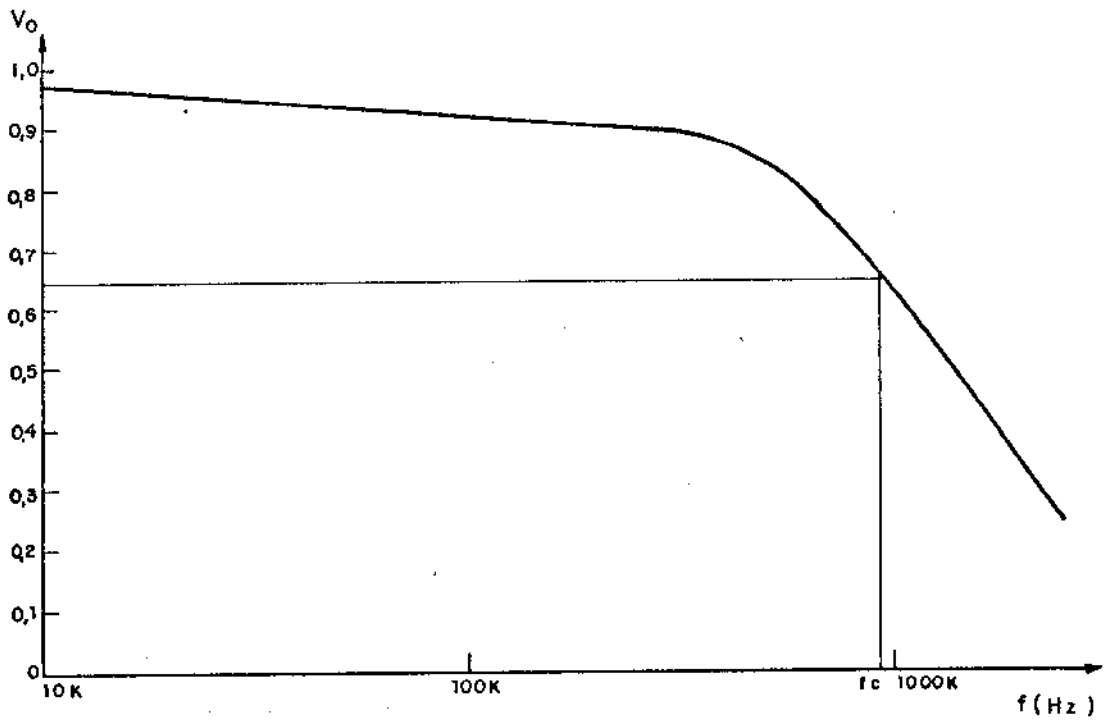


Fig. IV.18 - Resposta em freqüência com I_b variando e I_a constante; $B_1 = 1$

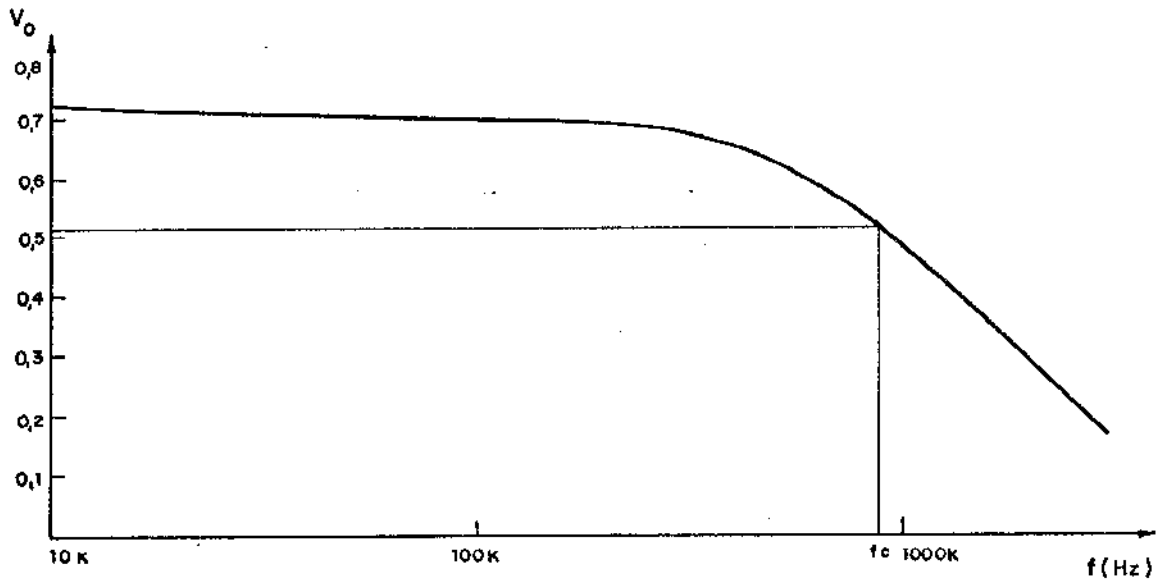


Fig. IV. 19 - Resposta em freqüência com I_b variando e I_a constante; $B_1 = 0$

IV.3.5 Taxa de Subida (Slew Rate)

A obtenção do valor da taxa de subida se originou da aplicação de dois sinais contínuos, no valor da corrente máxima permitida ($64\mu\text{A}$ e $32\mu\text{A}$), sendo injetados no circuito protótipo. O sinal de polaridade B_1 com a frequência máxima de utilização, colocado no terminal de entrada de chaveamento. O resultado pode ser visto na fotografia obtida, sendo que o valor da taxa de subida constatada foi de $18\text{V}/\mu\text{S}$ e um tempo de acomodação de $0,8\mu\text{S}$.

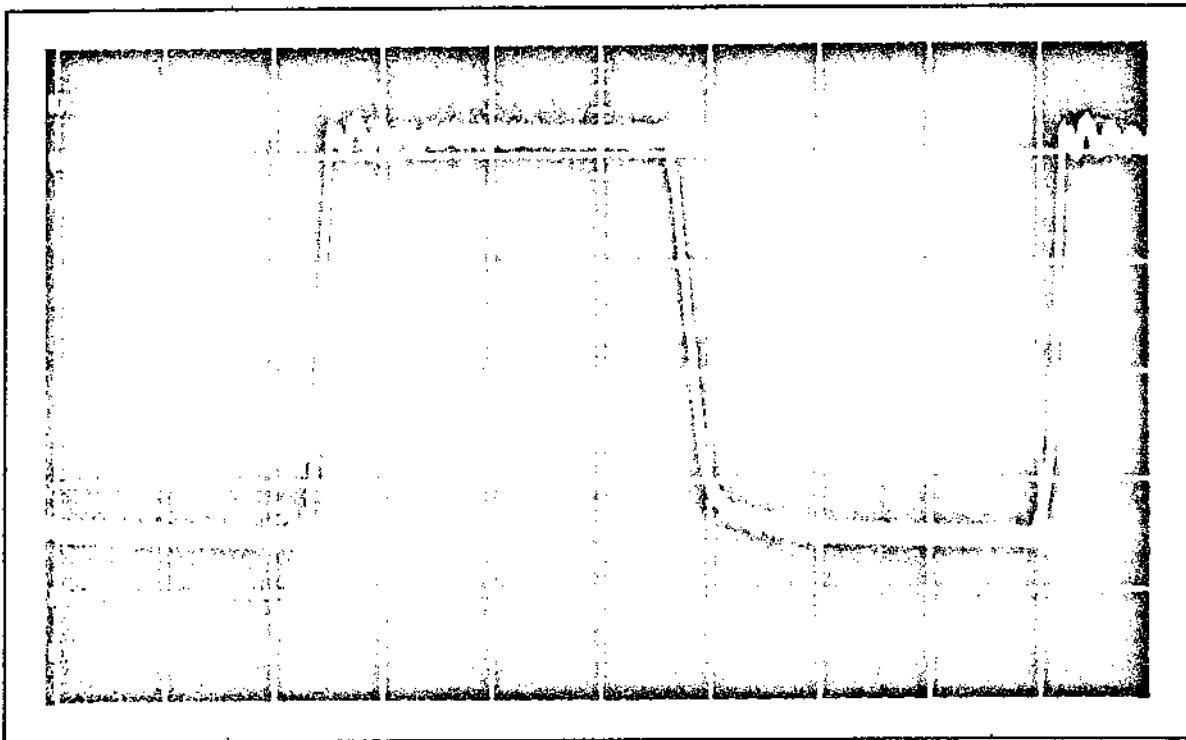


Foto IV.1 - Tempo de subida ("Slew Rate")

eixo x = $0,5\mu\text{S}/\text{diV}$; eixo y = $0,5\text{V}/\text{diV}$

Baseando-se nos dados obtidos, pode-se verificar que estes valores são suficientemente significativos para afirmarmos que estão inteiramente dentro das especificações exigidas pelo projeto.

IV.4 Aplicação do circuito protótipo em um MCP

Um teste idêntico ao realizado no ítem IV.2.1 e demonstrado pela figura IV.7 foi novamente executado. Conseguimos assim a verificação da utilização do circuito protótipo do multiplicador chaveado sendo efetivamente colocado nas faixas de aplicação no modulador MCP "Lei A"; ou seja, registrou-se o comportamento do circuito protótipo sob as condições operacionais. Para isto, colocou-se na entrada Ia um sinal triangular variando de zero ao valor máximo de corrente permitida por esta entrada. Na entrada "Ib" colocou-se um sinal contínuo. Levantou-se então várias curvas para os diversos valores de sinal contínuo, o que corresponde fazer uma variação no índice de modulação do multiplicador. O resultado do teste pode ser verificado na figura abaixo.

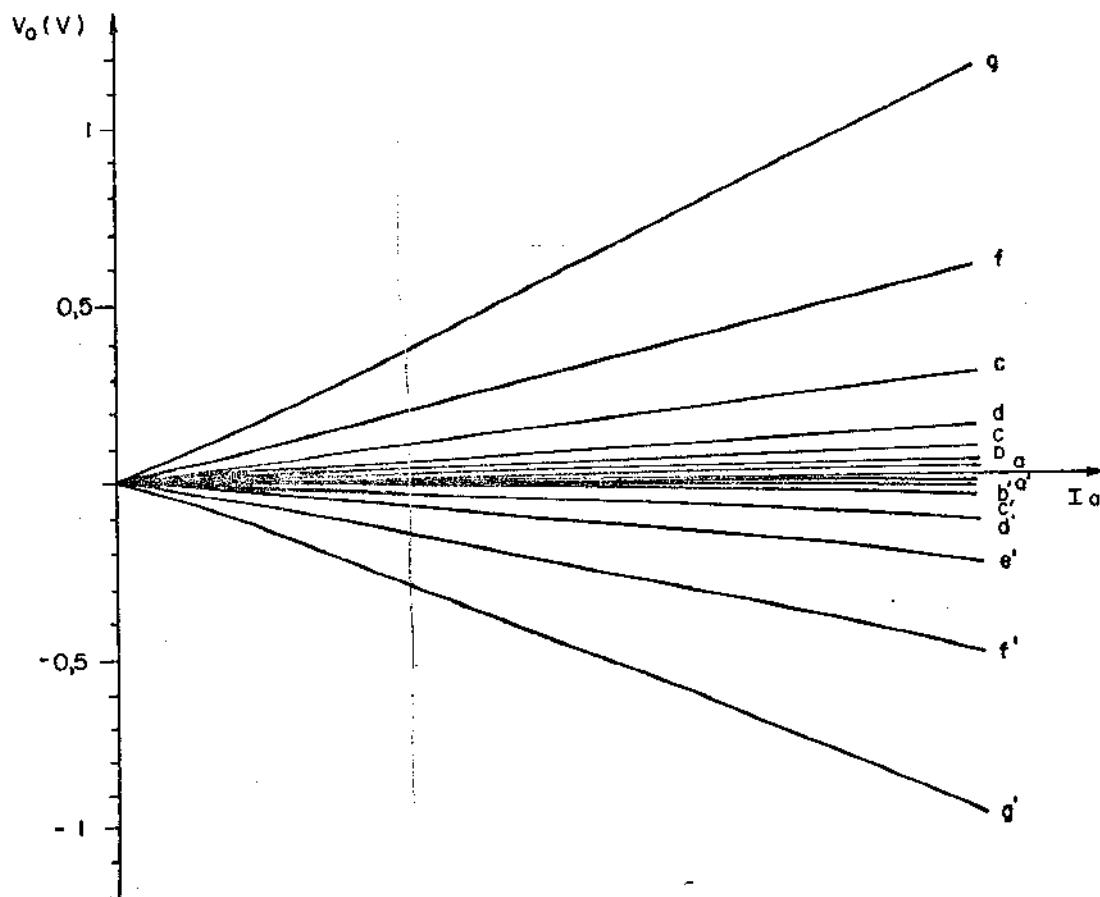


Fig. IV.20 - Variação do índice de modulação do sinal

Tendo por base a figura acima, verificamos que para o pior caso, que corresponde a curva "g", a variação do sinal de saída dentro de um segmento terá um erro de linearidade de 1,4%, caso consideremos a curva ideal tendo seu valor máximo coincidente com o valor máximo da curva registrada. A linearidade em relação à mudança dos segmentos pode ser analisada fazendo-se o levantamento do ponto sobre a curva mostrada na figura citada. Este processo foi executado, obtendo a figura mostrada abaixo.

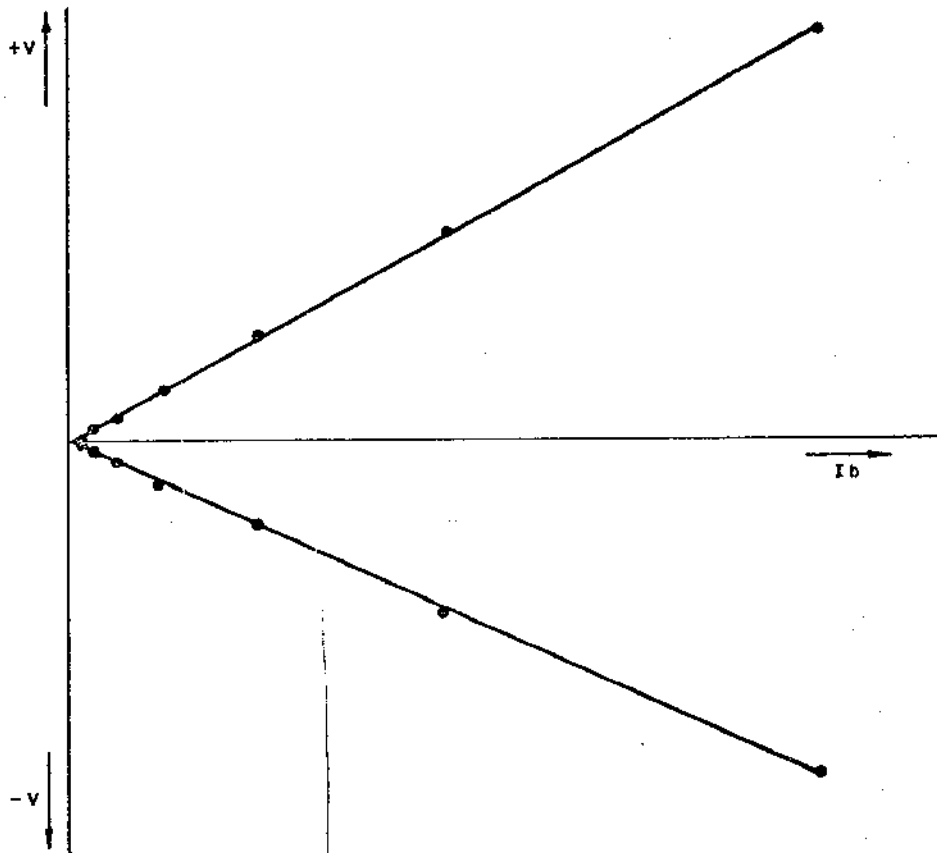


Fig. IV.21 - Valores do ponto de quebra em função ao valor ideal

Pôde-se constatar um erro de 0,82% em relação a curva tomada como ideal.

O teste realizado e os valores obtidos tornaram-se de suma importância quando levamos em consideração as informações registradas na figura IV.16. Nesta figura podemos verificar a linearidade do sinal de saída para todos os valores da corrente I_b que interessam para o demodulador MCP e não somente para o valor de I_b máximo, conforme foi realizado no teste de linearidade. Pode-se também perceber o erro de deslocamento do ponto de quebra dos segmentos em relação ao seu valor ideal.

Baseado nos fatos acima mencionado, podemos afirmar que o circuito multiplicador proposto terá um bom desempenho na sua utilização como estágio de saída do decodificador MCP.

IV.5 Utilização do circuito multiplicador de um modo geral

Como vimos no capítulo I, existem vários circuitos onde a utilização de um multiplicador tem fundamental importância em seu desempenho. Não é nosso interesse, e também escapa do escopo deste trabalho, uma análise mais profunda da aplicação do circuito projetado em outros tipos de finalidades que não seja a previamente estipulada e definida como objetivo do projeto. Porém achamos interessante mostrar o funcionamento do circuito multiplicador sendo utilizado no processamento de dois sinais gerados externamente e baseado no resultado obtido, poderemos analisar, observar e formarmos uma idéia mais completa deste dispositivo.

As fotografias abaixo nos levam a concluir a e-

xistência de uma multiplicação executada entre os sinais I_a e I_b e o "bit" B_1 de chaveamento produzindo a alternância de quadrantes esperada. Pode-se perceber este chaveamento nos pontilhamentos nas linhas da fotografia.

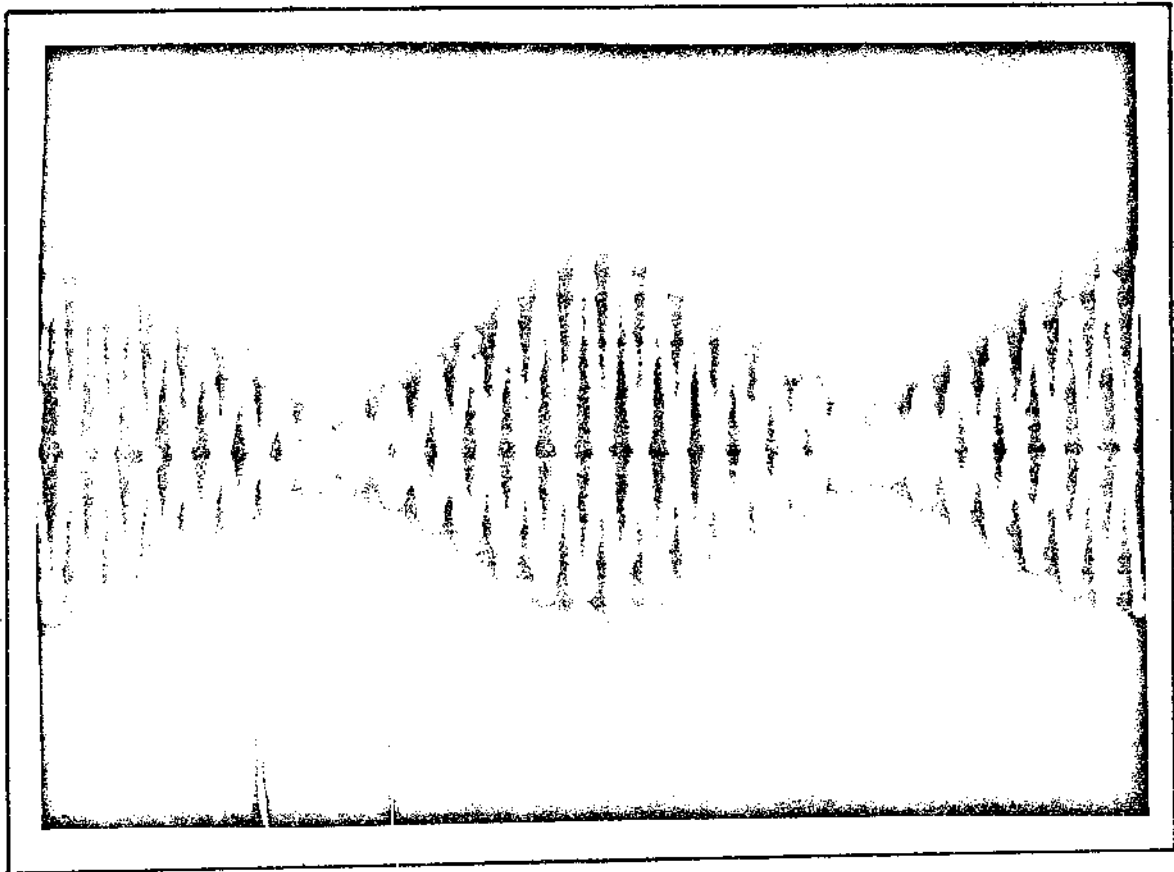


Foto IV-2 - Multiplicação de um sinal triangular por um senoidal.

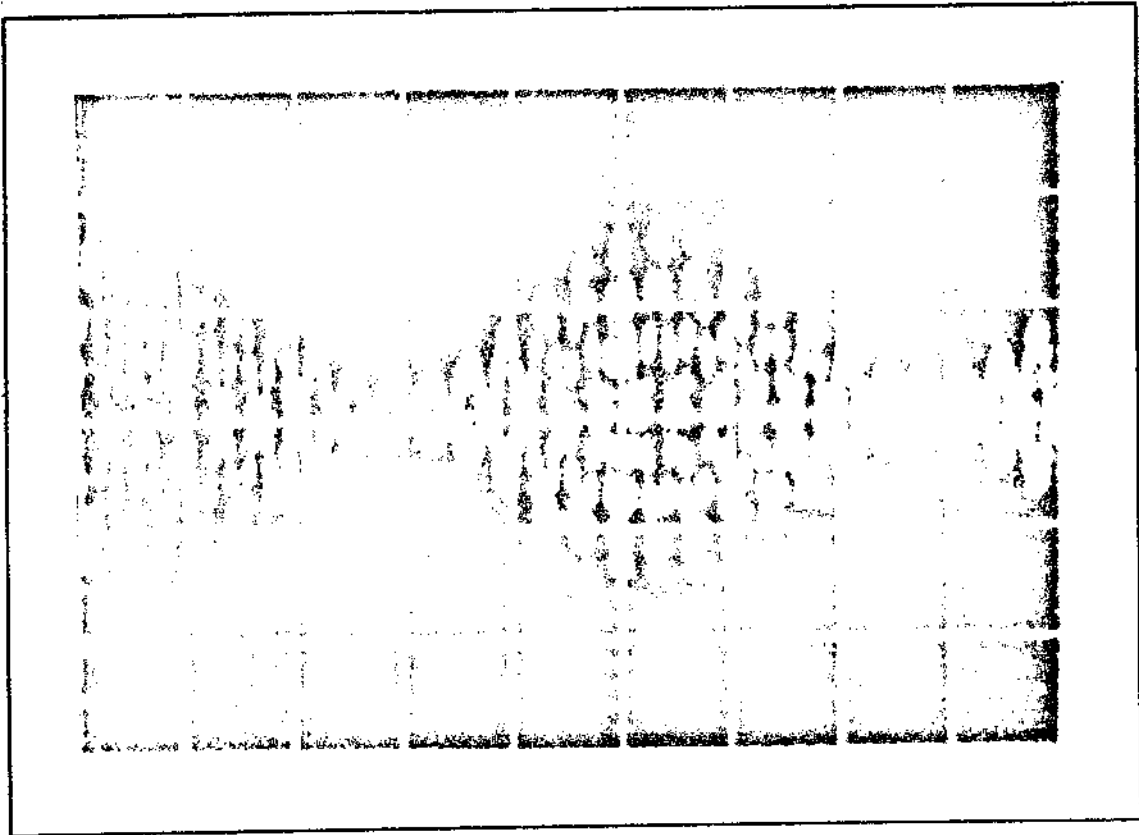


Fig. IV.3 - Multiplicação de um sinal senoidal por outro senoidal.

Por analogia, para as fotos, chamaremos de portador o sinal de maior frequência e modulador o de menor frequência.

As fotos acima foram realizadas com a portadora colocada em 2 KHZ e a moduladora em 200 HZ; o sinal de chaveamento é de 8 KHZ.

A fotografia IV.2 mostra um sinal senoidal (portador) sendo multiplicado por um sinal triangular (modulador). A foto IV.3 é de um sinal senoidal sendo multiplicado por outro sinal senoidal.

Pode-se verificar uma assimetria tanto na fotografia IV.2' como na IV.3. Assimetria, alíás, que nos testes' realizados no ítem IV.2 já se verificava. Este fato ocorre devido ao descasamento de beta (β) e da tensão base emissor (V_{BE}), inevitável com o uso de transistores discretos, existente entre os transistores do espelho de corrente utilizado no circuito protótipo, e que no esquema IV.1 deste capítulo são representados por Q_1^* , Q_2^* , Q_3^* e Q_4^* .

A solução deste problema se deu com a degeneração dos emissores dos transistores Q_1 e Q_2 no espelho de corrente. A figura IV.22 mostra a colocação destes novos elementos.

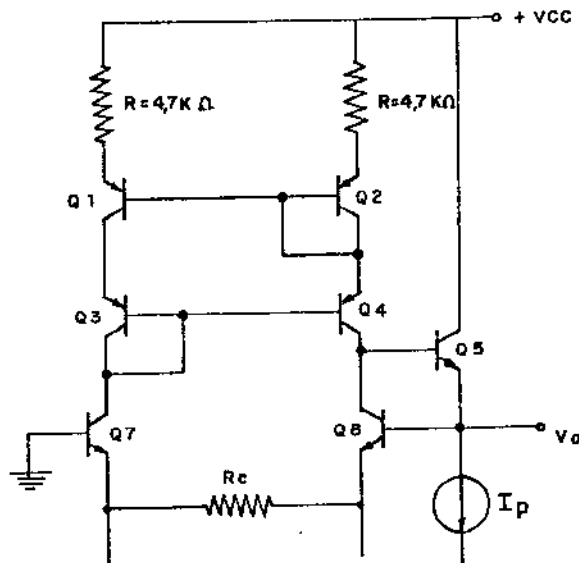


Fig. IV.22 - Conversor I/V com a colocação dos resistores de emissores

Pode-se agora, verificar que uma pequena queda de tensão ocorre nos resistores colocados, queda esta de

grandeza suficiente para equalizar o ΔV_{be} existente e causador da assimetria constatada.

Novamente levantou-se as curvas da variação do índice de modulação em relação ao sinal de saída. Para melhor visualização da possível assimetria, fez-se a curva no primeiro e terceiro quadrante e não no primeiro e quarto conforme feito no levantamento da curva da figura IV.20 e optou-se por colocar a curva original obtida diretamente do registrador. Assim, pode-se verificar na figura IV.23 a boa simetria obtida, sem modificações nos demais parâmetros do protótipo.

Além das fotografias, que atestam a validade do dispositivo para utilização em processamento de sinais gerados externamente, mostramos na figura IV.24 a multiplicação de dois sinais obtida através do registrador. Devido, a limitações de origem mecânica do aparelho, somente um quadrante pode ser registrado. Apesar desta deficiência, pudemos constatar a alta qualidade da multiplicação efetuada.

Na tabela abaixo, colocamos as principais características verificadas nos testes deste projeto.

Características elétricas	Valores encontrados	unidades
Fontes de potência exigida	± 8 VDC	V
Consumo de potência	38,24	mW
Não linearidade (erro máximo)	1%	-
Variação máxima com a temperatura (valor a 70°C)	$\pm 1,26\%$	
Faixa de temperatura	0 a 70	°C
Taxa de subida	18,0	V/ μ S
Tempo de Acomodação	0,8	μ S
Respostas em frequência (ponto de - 3db)	500	KHZ
Relação Sinal-Ruído	74,07	db
Resistência de Saída	0,2	Ω

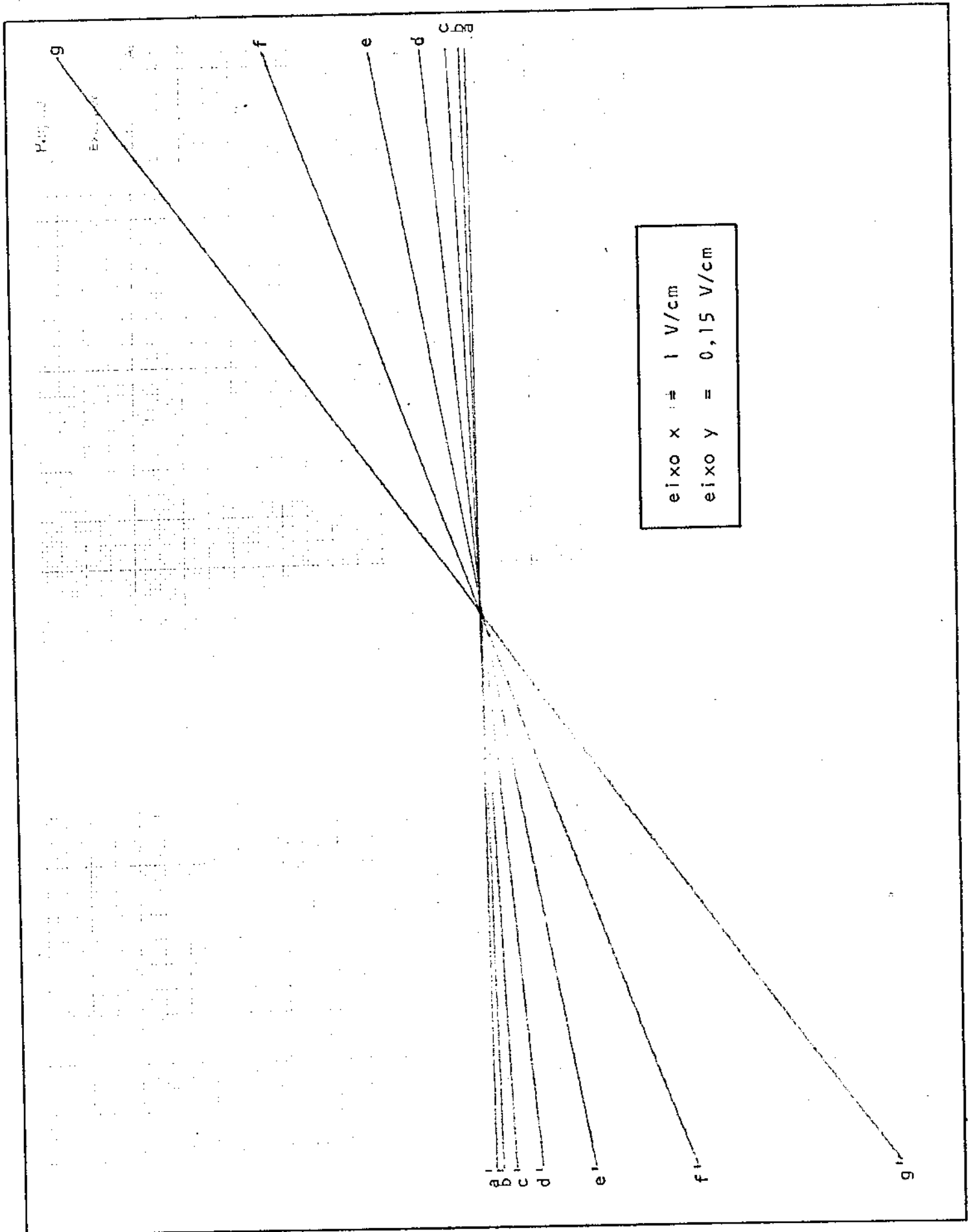


Fig. IV.23 - Variação do índice de modulação obtido no 1º e 3º quadrante para verificação de simetria

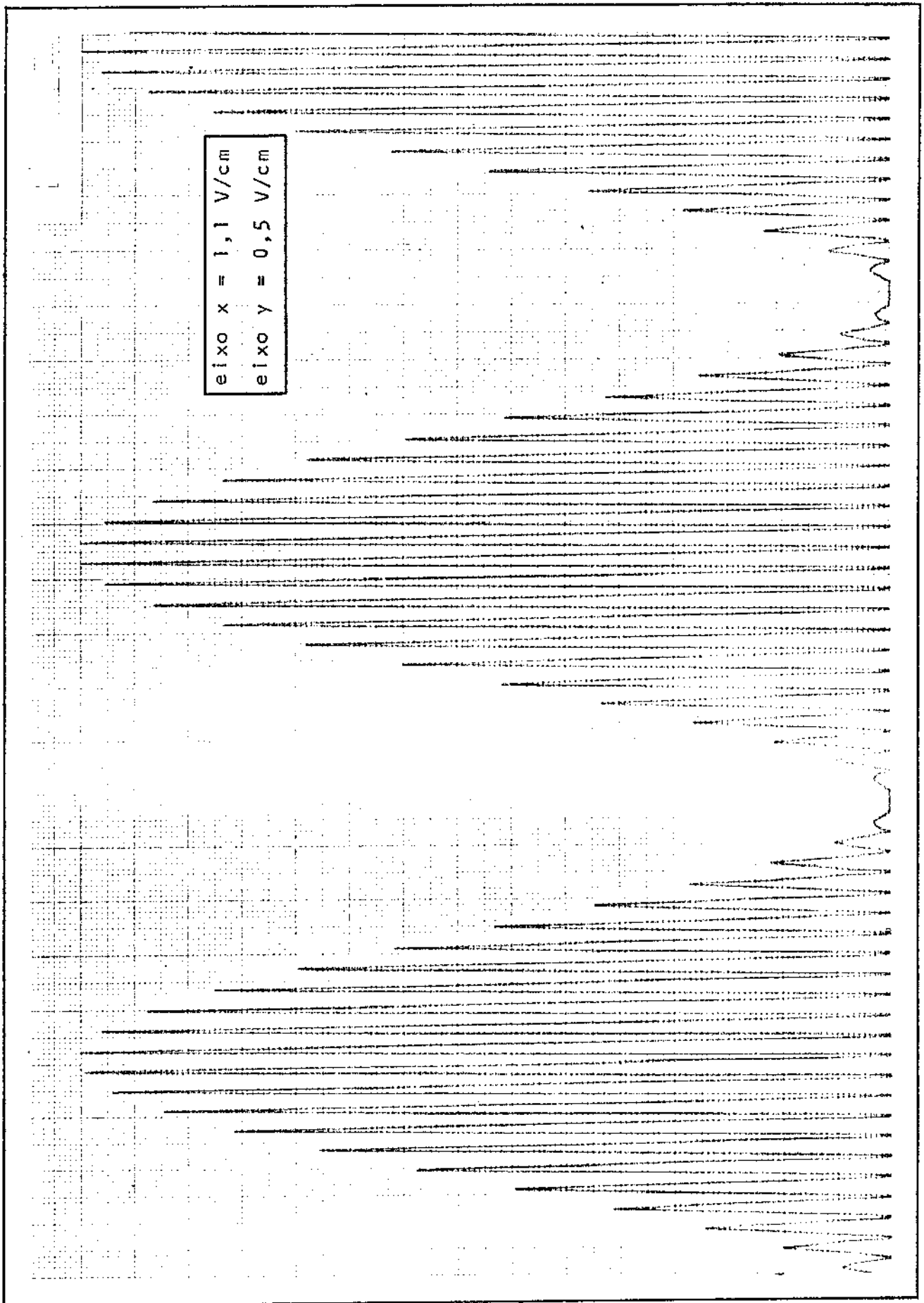


Fig. IV.24 - Modulação de um sinal triangular por uma onda senoidal, curva obtida no registrador.

CAPITULO V

INTEGRAÇÃO DO DISPOSITIVO

V.1 Definição das máscaras

Como pode ser verificado nos capítulos anteriores, conseguiu-se com uma estrutura bastante simples um desempenho que satisfaz todas as condições impostas ao projeto. Devido a esta simplicidade e, dentre todas as formas possíveis para a integração do dispositivo, optou-se pela utilização de circuitos integrados semi dedicados.

Esta opção se fez baseando-se principalmente no tempo de confecção da pastilha com o circuito incrustado no seu interior, bem como o propósito desta integração; sabe-se que o circuito multiplicador será apenas um estágio dentro do decodificador MCP, a sua integração em separado visa apenas a verificação do seu desempenho nesta versão.

Várias são as firmas que dispõe de circuitos semi-dedicados para oferecerem comercialmente. Neste projeto utilizamos como pastilha básica, um circuito desenvolvido na UNICAMP (22). A escolha assim se procedeu devido às evidentes facilidades de localização e intercâmbio de informações, e também por se tratar de um C.I. que reúne as condições mínimas necessárias para obter a partir dele, o circuito completo. No quadro abaixo apresentamos algumas das características que o circuito semi-dedicado, por seus projetistas denominado "Protochip", possui:

Transistores	NPN	PNP
Quantidade	56	40
Ganho de emissor comum direto (β_F)	100	10
Ganho de emissor comum reverso (β_R)	1	0,1
Tensão máx entre coletor emissor com a base em aberto (V_{CE0})	20V	35V
Tensão máx entre coletor - base com o emissor aberto (V_{CBO})	60V	60V
Tensão - Early	80V	120V

Tabela V.1 - Características dos transistores do "Protochip"

Resistores	Valor				
	200	400	800	1600	3000
Quantidade	28	28	28	28	28
Tipo de resistor	todos os resistores são do tipo difusão				
Obs. - Os resistores podem ser interconectados em série ou paralelo para se obter outros valores.					

Tabela V.2 - Características dos resistores do "Protochip"

Para a realização da máscara de metalização partiu-se do "Lay out" fornecido pelos projetistas do "Protochip" reproduzido aqui na figura V.1. Este "Lay out" contém a localização de todos os transistores NPN e PNP existentes na pastilha, bem como os "pads" de contato e os pontos de polarização para a realização da isolação das ilhas de transistores.

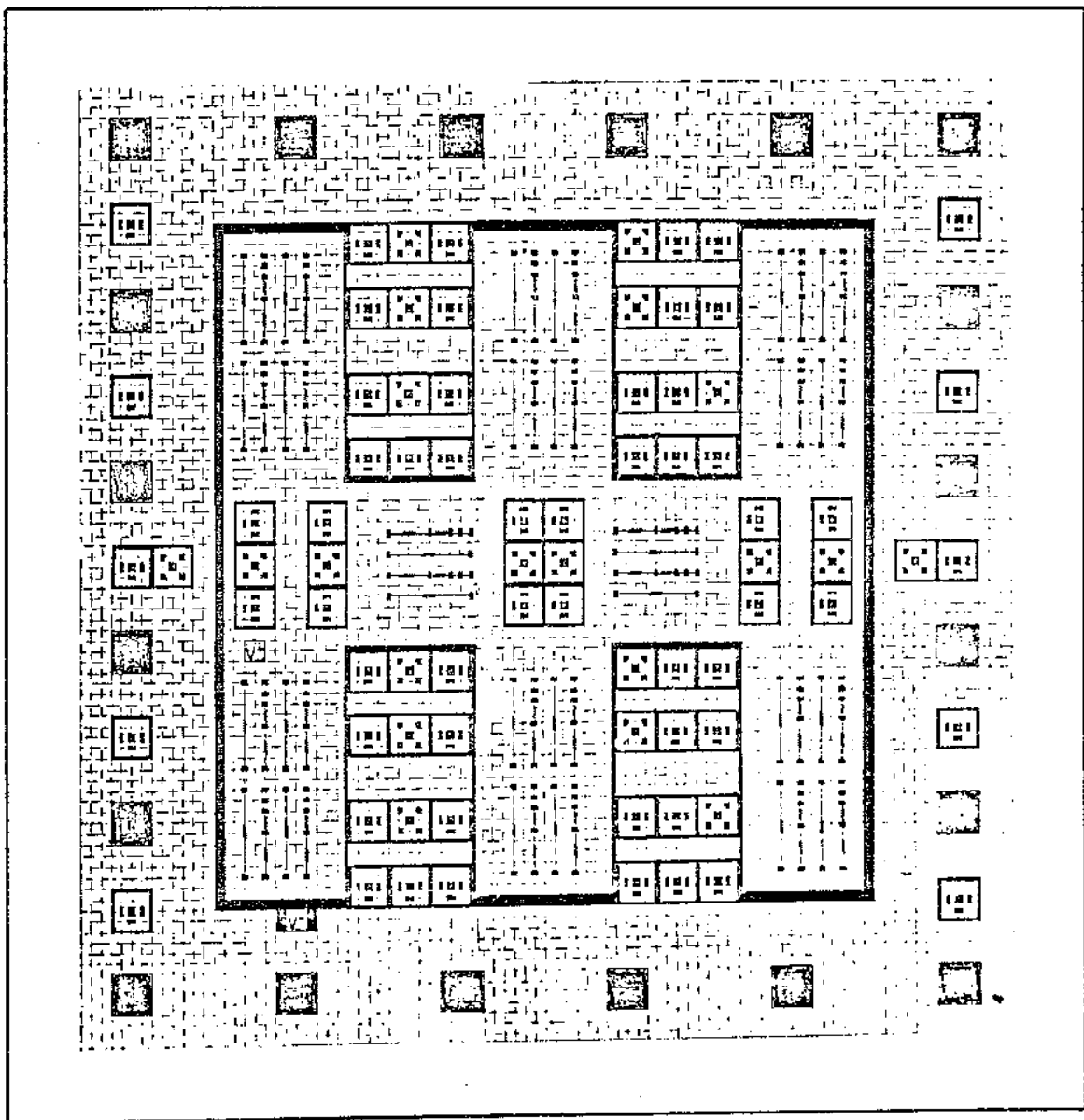


Fig. V.1 - "Lay out" do "Protochip"

Alguns cuidados foram tomados quando do desenvolvimento da máscara, conforme exposto a seguir.

1) Procurou-se separar o dispositivo em três partes distintas:

- multiplicador M_1
- multiplicador M_2
- conversor I/V

Assim, consegue-se medir e verificar o comportamento de cada uma destas partes, bem como o desempenho destas estruturas interligadas entre si.

2) Uma minuciosa análise na localização dos transistores foi realizada. Sabe-se que transistores que dissipem potência elevada, geram ondas de calor dentro da pastilha que modificam o comportamento dos transistores, caso estes não estejam sobre uma mesma isoterma. Este problema porém não tem a importância significativa que nos leve a uma preocupação maior em nosso projeto, visto que não existe correntes na ordem de grandeza, que exija uma dissipação dos transistores que venha a modificar a temperatura interna do "chip". Porém, a localização dos transistores envolvidos no processo transliênar é de fundamental importância. Deste modo procurou-se colocá-los o mais próximo possível um dos outros de modo a evitar que transistores de características diferentes se encontrassem na mesma célula.

Pode-se esperar com isso, que uma melhor compensação de beta (β) e a minimização da assimetria do sinal de saída se verifique.

A figura V.2 mostra máscara de metalização desenvolvida sobreposta ao "Lay out" do circuito integrado.

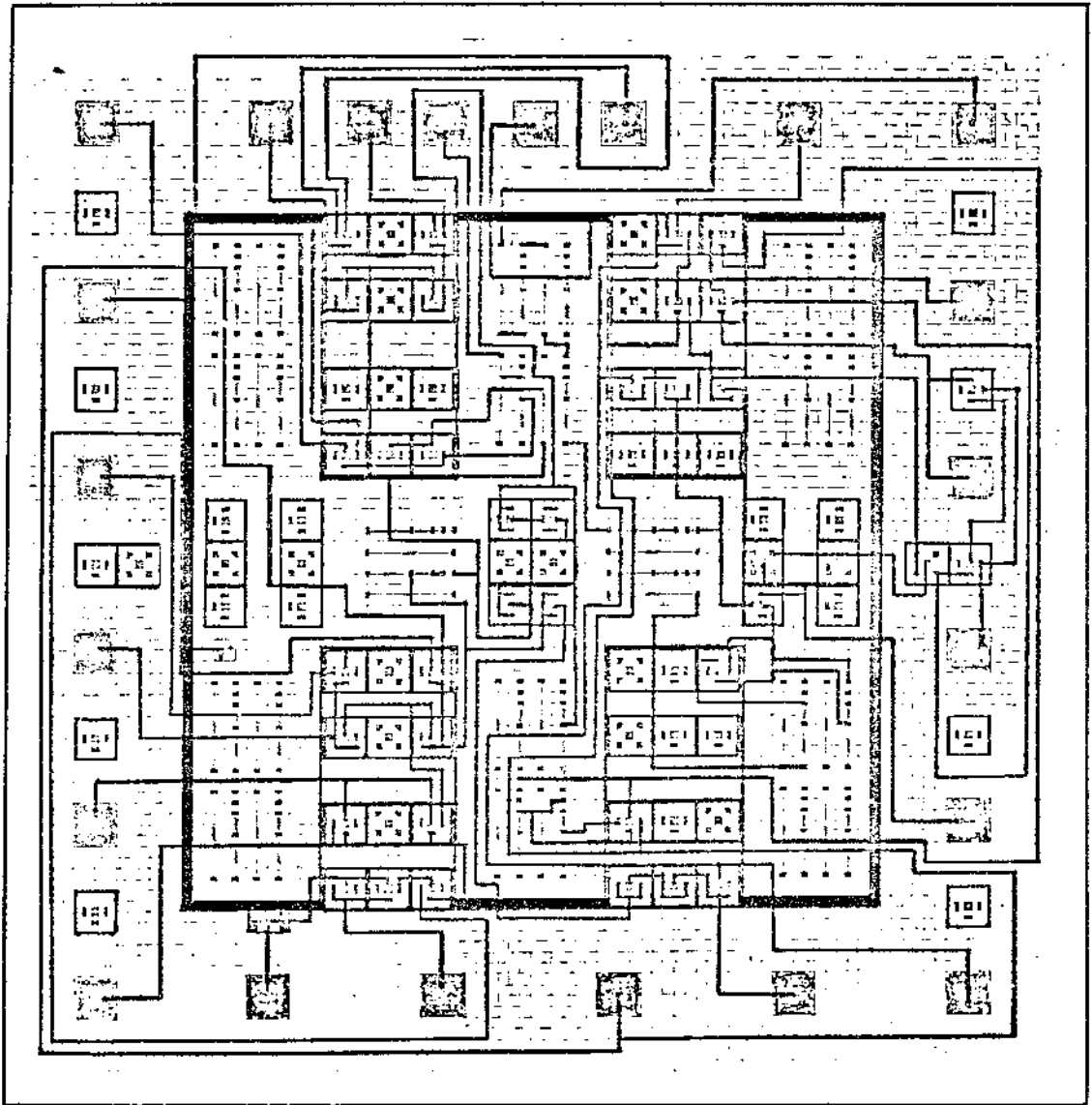


Fig. V.2 - "Lay out" de metalização sobre o
"Protochip"

V.2 Comentários finais e conclusão

Um circuito totalmente projetado para uma aplicação específica foi descrito e sucintamente analisado nos capítulos precedentes em seus mais variados pontos; pontos onde anteriormente havia em nós a dúvida que seu desempenho realmente satisfizesse nossas aspirações. Verificamos no entanto que por mais criteriosos que fôssemos, os resultados que obtínhamos sempre estavam plenamente satisfatórios dentro dos limites por nós impostos.

A utilização de elementos não casados, que mesmo no caso de transistores integrados, não apresentavam características idênticas, levou-nos a verificar problemas, como os de assimetria na forma de saída do sinal, "off set" em tensão ou mesmo erros de linearidade, aos quais podemos responsabilizar ao fato comentado.

Algumas novas estruturas foram desenvolvidas e utilizadas neste projeto; o conversor corrente em tensão e o circuito de compensação de beta (β). O conversor I/V, apesar de ter sido implementado com a maior parte de sua estrutura com elementos na forma discreta, apresentou um desempenho bastante bom, com um erro de linearidade pequeno e perfeitamente dentro dos parâmetros exigidos. No que se refere ao circuito de compensação de beta, verificou-se a impossibilidade da aplicação circuito multiplicador ao sistema decodificador, sem este circuito. Constatou-se porém, que a inclusão do circuito corretor de beta no dispositivo, eliminou a não linearidade existente e o deslocamento do sinal apresentado, possibilitando que o dispositivo projetado trabalhe

como estágio de saída no decodificador.

Finalmente podemos concluir que o projeto alcançou os propósitos almejados e que em sua versão integrada, com os cuidados verificados na elaboração do "Lay out" da máscara de metalização, o seu desempenho atingirá valores ainda melhores dos que os relatados neste trabalho.

A P Ê N D I C E A

ERROS DA CÉLULA MULTIPLICADORA

A.1 - INTRODUÇÃO

Nos capítulos do texto não houve a discussão dos fatores que afetariam a linearidade da célula multiplicadora, e como se comportaria o circuito proposto dentro desta nova ótica. Sob o ponto de vista desenvolvido até aqui, todos os transistores eram ideais, (com exceção feita a β nos capítulos 3 e 4), isto é, seus comportamentos eram regidos pela equação de uma junção ideal, sendo também, perfeitamente casados. Na prática isto quase nunca acontece. O comportamento não ideal dos transistores acrescentará dois tipos de erro na corrente de saída do multiplicador: erros lineares e erros não lineares (distorções de 2^a e 3^a harmônicas)

A.2 - ERROS LINEARES

Quatro são os erros lineares que um multiplicador pode apresentar:

- "off set" de I_a ;
- "off set" de I_b ;
- "off set" de saída;
- fator de escala.

Passaremos a tratar a seguir, do comportamento da célula multiplicadora para cada um dos erros acima mencionados.

1) "Off set" de I_a e "Off set" de I_b

Por se tratar do mesmo tipo de erro, analisaremos

conjuntamente os "Off sets" de I_a e I_b . Este erro, também chamado de "feedthrough" (23) surge quando se tem uma das entradas, I_a ou I_b com corrente igual a zero e apesar disto o sinal da outra entrada aparece na saída.

Devido a topologia do circuito proposto, nenhum "feedthrough" surgirá em sua saída. Este fato que pode ser facilmente deduzido teoricamente através da figura III.14, tendo sido constatado em medidas realizadas no circuito proposto (figura III.18 com um resistor no lugar da célula de saída). Este tipo de erro, nesta estrutura, só aparecerá por um defeito em qualquer dos transistores de entrada, como um resistor em paralelo entre o emissor e coletor.

2) "Off set" de saída

Este erro é observado quando, as correntes de entrada sendo iguais a zero, um certo nível contínuo se apresenta na saída. Para o circuito proposto, um sinal igual a zero volts foi encontrado, com a medida sendo efetuada por um multímetro digital fabricado pela Keithley, modelo 174.

3) Fator de escala ou ganho

A não idealidade dos transistores poderá alterar o ganho do multiplicador. Na topologia de circuito proposta por nós, este ganho facilmente poderá ser ajustado para o valor correto. Fazendo-se uma breve análise do circuito desenvolvido, verificamos que este tem uma saída unilateral. Devido a este fato, quando uma das correntes for zero, o sinal de saída também será zero. O outro extremo da curva de transferência se dá quando se tem o valor máximo do sinal de saída. Como este sinal é função do resistor R_c da célula I/V (eq. III.48), poderá facilmente ser ajustado para o valor correto do

nível mínimo, corrigindo assim o erro verificado.

A.3 - ERROS NÃO LINEARES

Classicamente, erros não lineares são definidos como os erros que apresentam distorções de 2.^a e 3.^a harmônicas. Basicamente em um multiplicador, duas são as principais fontes desses erros:

- descasamento entre os transistores;
- resistências associadas aos emissores dos transistores.

Ambos os erros são melhor elucidados quando se observa as distorções por eles causadas, nas figuras II.5 e II.6 do capítulo II.

A seguir fazemos uma análise dos erros citados na estrutura proposta por nós.

1) Análise da propagação de erros na estrutura proposta

Baseando-se na figura III.14, podemos dizer que:

$$I_s = \frac{I_a \cdot I_b \cdot I_o}{I_{R1} \cdot I_{R2}} \quad (\text{III.34})$$

chamando: $a_1 = \frac{I_b}{I_{R1}} \quad (\text{A.1})$

$$a_2 = \frac{I_a}{I_{R2}} \quad (\text{A.2})$$

$$d = \frac{I_s}{I_o} \quad (\text{A.3})$$

teremos:
$$d = a_1 \cdot a_2 \quad (A.4)$$

Devido aos desvios associados a esses índices podemos escrever:

$$d' = a'_1 \cdot a'_2$$

onde a'_1 e a'_2 são os índices de modulação com os desvios associados e valem:

$$a'_1 = a_1 + D_1 \quad (A.4)$$

$$a'_2 = a_2 + D_2 \quad (A.5)$$

sendo D_1 e D_2 os desvios associados a cada valor para o multiplicador M_1 e M_2 .

Assim teremos:

$$d' = (a_1 + D_1) (a_2 + D_2) \quad (A.6)$$

Logo, pode-se escrever que:

$$d' = a_1 a_2 + D_2 \cdot a_1 + D_1 \cdot a_2 + D_2 D_1 \quad (A.2)$$

ou seja:

$$d' = a_1 \cdot a_2 + \delta \quad (A.7)$$

onde

$$\delta = D_2 \cdot a_1 + D_1 \cdot a_2 + D_2 D_1 \quad (A.8)$$

2) Erro devido ao descasamento de área entre os transistores

Baseando-se na referência [13] podemos escrever que:

$$D_A = a(1 - a) (1 - \gamma) \quad (A.9)$$

onde γ é dado por:
$$\gamma = \frac{I_{s2} I_{s4}}{I_{s1} I_{s3}} \quad (A.10)$$

Sendo I_s o valor das correntes de saturação dos transistores, a relação (A-10) nos define o erro associado a área dos transistores.

De A.8 e A.9, tiramos que δ valerá:

$$\delta = a_2(1-a_2)(1-\gamma_2)a_1 + a_1(1-a_1)(1-\gamma_1)a_2 + a_1a_2(1-a_1)(1-\gamma_1)(1-a_2)(1-\gamma_2)$$

Baseando-nos na expressão acima, rapidamente podemos tirar as conclusões que se seguem.

1. Caso apenas um dos multiplicadores M_1 ou M_2 apresente descasamento de área, a célula proposta terá um erro semelhante a célula original de Gilbert; apenas agora o erro é multiplicado pelo índice de modulação do estágio onde não existe descasamento. Baseando-se na análise feita em [13] para um erro de 1,5%, a célula poderá apresentar um descasamento de até 1,5 mV, sendo a expressão do erro dada por:

$$D_A = 0,25 (1 - \gamma) \quad (A.12)$$

2. O valor de γ pode ser maior ou menor do que 1, dependendo onde o descasamento se encontra na equação (A.11). Para uma análise mais reveladora, analisaremos a seguir a hipótese do pior caso: o descasamento tendo somente uma direção. Definiremos então o maior descasamento tolerável de cada um dos multiplicadores da célula (M_1 ou M_2) para valores de γ iguais e para o mesmo índice de modulação. Assim, podemos reescrever a equação (A-11) conforme mostrado abaixo:

$$\delta = 2a (1-a) (1-\gamma) + [a(1-a)(1-\gamma)]^2 \quad (\text{A.12})$$

Com base na equação A.12 pode-se verificar para qual valor de índice de modulação o desvio será maior. Assim, constatamos que este fato será verificado para $a = 0,5$. A partir daí, podemos simplificar a equação para:

$$\delta = 0,5 (1 - \gamma) + 0,0625 (1 - \gamma)^2 \quad (\text{A.13})$$

novamente para um erro de 1,5% pode-se ter um descasamento de cerca de 770 μV .

Considerando que o descasamento típico em um circuito monolítico é da ordem de 500 μV (23) pode-se concluir que a estrutura proposta apresentará um erro devido ao descasamento de área na ordem de 1% para o pior caso.

3) Resistências associadas aos emissores

Quando a queda de tensão nos emissores devido a resistência ôhmica é pequena em relação a V_T , pode-se usar diretamente a relação deduzida em [13]:

$$D_{R1} = \pm 0,37 (\varnothing E - \varnothing B) \quad (A.14)$$

onde: D_R = desvio devido as resistências ôhmicas associadas ao emissor do transistor

Tomando-se por base a figura III.15 definiremos:

$$\varnothing E = I_E R_i$$

$$\varnothing B = I_R R_b$$

onde:

R_i = Resistências associadas ao emissor de Q_3 e Q_4

R_b = Resistências associadas ao emissor de Q_1 e Q_2

Considerando uma resistência de $1,0 \Omega$ (13) para os emissores citados, e sabendo-se os níveis de corrente máximos que flui por estas resistências ($I_E = I_O \approx 1,0 \text{ mA}$; $I_R = I_{R1} = 64 \mu\text{A}$ para M_1 e $I_R = I_{R2} = 32 \mu\text{A}$ para M_2) podemos, com boa margem, considerar a relação (A.14) válida para a nossa análise.

Tomando novamente a equação (A-8), e para os mesmos índices de modulação em M_1 e M_2 teremos erros máximos de $-0,43\%$ e $+0,27\%$.

Baseando-se os erros verificados para resistência de emissor e para descasamento de área, veremos que a estrutura proposta satisfaz plenamente as exigências do projeto, mesmo para as piores condições.

A P Ê N D I C E B

ESTUDO DA VARIACÃO DAS CORRENTES NOS EMISSORES DOS TRANSIS -
TORES DA CÉLULA MULTIPLICADORA.

Tomando-se o circuito da figura III.15, uma primeira análise não nos garante que o crescimento da corrente' no emissor de Q_3 , corresponde a um crescimento na corrente de emissor de Q_2 .

Dois casos deverão ser considerados

$$1) 1.^a \text{ hipótese: } I_{e3} = WI_R; \quad I_{e2} = SI_E \quad (B.1)$$

onde

$$I_{e3} = \text{corrente no emissor de } Q_3$$

$$I_{e2} = \text{corrente no emissor de } Q_2$$

$$W = \text{índice de modulação que vale } \frac{I_{e3}}{I_R}$$

$$S = \text{índice de modulação que vale } \frac{I_{e1}}{I_E}$$

Nesta primeira hipótese, o princípio translinear nos garante que $W = S$ sempre.

$$2) 2.^a \text{ hipótese: } I_{e3} = WI_R; \quad I_{e2} = (1 - S) I_E \quad (B.2)$$

pelo princípio translinear podemos tirar que:

$$WI_R \cdot SI_E = (1-W)I_R \cdot (1-S) I_E \quad (B.3)$$

$$\text{de onde se tira que } W = 1 - S \quad (B.4)$$

Deste modo se conclui que sempre que a corrente no emissor de Q_1 crescer, a corrente no emissor de Q_2 também crescerá.

REFERÊNCIAS BIBLIOGRÁFICAS

1. YIN, K.K. e Scarabucci, R: "Projeto de um CODEC não-linear para o Sistema Multiplex MCP de 30 Canais Telefônicos"; relatório interno do contrato 680/73 - TCJ TELEBRAS/UNICAMP, março de 1974.
2. JORGE, A.M.: "Ensaio no Projeto e Construção de um Decodificador D/A, MCP, com técnica I^2L "; Tese de doutorado apresentada a UNICAMP em junho de 1982.
3. KANEKO, H.: "A unified Formulation of segment companding laws and synthesis of CODECS in Digital Companders"; the Bell System Technical Journal vol. 49. nº 7, pp: 1555 - 1588, setembro de 1970.
4. DIAS, J. A.S., Jorge, A.M.: "Uma Nova Técnica para a Construção de um Conversor D/A segundo a Lei A-128"; IV Simpósio Brasileiro de Micro eletrônica, Vol. 01, pp: 445-454.
5. BONATTI, I.S.: "Projeto de um Conversor D/A não-Linear de 8 dígitos para Sistemas MCP de 30 Canais Telefônicos" ; tese de mestrado apresentada à UNICAMP em novembro de 1975.
6. PLATZER, G.E.: "Using Transistor Circuits to Multiply and Divide"; Electronics, 4 April 1966, pp: 109-115.
7. GILBERT, B.: "A New Wide-Band Amplifier Technique", IEEE J. Solid State Circuits, 1968, pp: 353-365.
8. GILBERT, B.: "A New Technique for Analog Multiplication" ; IEEE J. Solid State Circuits, 1975, pp: 437-447.

9. BILOTTI, A.: "Application of a Monolithic Analog Multiplier",
IEEE J. Solid State Circuits, 1968 pp: 373-380
10. JORGE, A. M. e MAMMANA, C. I. Z.: "Ante-projeto de um amplificador Conversor de corrente em tensão para uso em um microcircuito conversor D/A em técnica Bipolar". Relatório nº RR-003 publicação interna do Laboratório de Eletrônica e Dispositivos -FEC-UNICAMP- em março de 1977
11. GILBERT, B.: "Translinear Circuits: A proposed classification". Electronics Letters, January 1975, Vol. 11, nº 1, pp: 14-16.
12. Projeto de um conversor D/A Não Linear de 8 dígitos para sistemas MCP de 30 canais telefônicos.
IVANIL, S. B. - Tese de mestrado - UNICAMP - Novº 75.
13. GILBERT, B. "A precise Four-Quadrant Multiplier with subnanosecond response" IEEE J. Solid State Circuits, 1968, pp: 365-373.
14. GILBERT, B.: "A High-Performance Monolithic Multiplier Using Active Feedback". IEEE J. Solid State Circuits, 1974, pp: 364-373.
15. H. R. CAMENZIND.: "Electronic Integrated Systems Design". Van Nostrand, New York, 1972.
16. C. T. Sah, "Effect of Surface Recombination and Channel on P-N Junction and Transistor Characteristics", IRE Trans. Electronic Device, Vol. ED-9, pp: 94-108.
17. E.M. DELOIRE; A.H. REEVES.: "The 25th anniversary of Pulse Code Modulation" IEEE Spectrum, may 1965, pp:56-63.
18. BLAUSCHILD " An Open Loop Programmable Amplifier with Extended Frequency Range". IEEE J. Solid State Circuits,

1981, pp: 626-633.

19. NAGEL, L.W.: "A Computer Program to Simulate Semiconductor circuits". Memorandum nº ERL - M 520 - University of California.
20. BOTURA JR., G. e JORGE, A. M: "Multiplicador Chaveado: Proposta de uma Estrutura. IV Simpósio Brasileiro do Microeletrônica, Vol. 01, pp: 465-477.
21. GREBENE, A.: "Analog Integrated Circuit Design" Van Nostrand, N. York, 1972.
22. OTA, A. M.; DIAS, J. A. S. e JORGE, A.M.: "Projeto e Construção de uma Pastilha para a confecção do CIs Analógicos Semi-Dedicados". IV Simpósio Brasileiro de Microeletrônica, Vol. 01, pp: 435-443.
23. SHEINGOLD, D.H.: "Nonlinear Circuits Handbook" Analog Devise, 1976.