


Este exemplar corresponde à
redação final da tese defen-
-dida por NOBUO OKI e
aprovada pela Comissão Jul-
-gadora em 14/12/1989

Assinar junto de 

UMA NOVA CÉLULA DE CONVERSÃO DE TENSÃO EM
CORRENTE LINEAR BASEADA NA CARACTERÍSTICA
QUADRÁTICA DO TRANSISTOR MOS E APLICAÇÕES.

UNIVERSIDADE ESTUDUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

UMA NOVA CÉLULA DE CONVERSÃO DE TENSÃO EM
CORRENTE LINEAR BASEADA NA CARACTERÍSTICA
QUADRÁTICA DO TRANSISTOR MOS E APLICAÇÕES

NOBUO OKI

Orientador

Prof. Dr. Wilmar Bueno de Moraes

Co-orientador

Prof. Dr. Alberto Martins Jorge

Tese apresentada à Faculdade de Engenharia
Elétrica/FEE/UNICAMP como parte dos requisitos
exigidos para obtenção do título de Doutor em
Engenharia Elétrica.

Dezembro - 1989

Dedicatória

Aos meus pais (in memoriam).

Agradecimentos.

Ao Profs. Wilmar Bueno de Moraes e Alberto Martins Jorge pela orientação e auxílio na confecção deste trabalho.

Ao Prof. Carlos Alberto dos Reis Filho pela proposta da linha de pesquisa.

Aos amigos do DEE/FEIS/UNESP pelo apoio, colaboração e compreensão.

Aos amigos e companheiros da FEE/UNICAMP pelo auxílio prestado e pela força.

A realização deste trabalho contou com o apoio financeiro

. da Universidade Estadual Paulista,

. da Coordenação de Apoio e de Aperfeiçoamento de Pessoal
do Ensino Superior - CAPES -, através do Programa Institucional
de Capacitação Docente - PICD.

RESUMO

Neste trabalho é apresentada uma nova configuração de um conversor tensão-corrente baseada na característica quadrática dos transistores MOS. A configuração proposta apresenta entrada diferencial, larga faixa linear de excursão da tensão de entrada e possui possibilidade de ajuste da sua transcondutância por meio de uma tensão de controle. As influências dos efeitos de segunda ordem que afetam a característica quadrática ideal do transistor, e dos descasamentos dos transistores MOS, sobre o desempenho do conversor são analisadas. Análise do comportamento em frequência, do ruído e da variação da temperatura neste conversor são também efetuadas.

Aplicações do conversor proposto na implementação de resistores MOS, integrador e girador são propostas. São apresentadas também uma configuração de filtro contínuo MOS passa-baixa de segunda ordem e duas propostas para implementação de multiplicador analógico de quatro quadrantes. Em todos os circuitos propostos são apresentados resultados teóricos, resultados de simulação utilizando o programa SPICE2G e resultados experimentais obtidos por meio de montagens com "arrays" CD 4007.

ABSTRACT

The work describes a new configuration for a current voltage converter. It is based on the square-law characteristics of the MOS transistor. Advantages of the converter include fully differential, large signal handling capability and tuning of the total transconductance parameter by varying the voltage V_c . There are nonidealities caused by deviations from the ideal square-law behavior, transistor mismatches, bandwidth limitation, noise and temperature dependence. The influence of these effects are investigated.

Applications of the converter in the implementation of MOS resistor, integrator, gyrator, continuous-time filter and four-quadrant analog multipliers are presented. The circuits included have been simulated by SPICE2G and the performance experimentally studied using arrays of the type CD4007.

ÍNDICE

	Pg.
CAPÍTULO 1	
INTRODUÇÃO	1
1.1 - Motivação	1
1.2 - Objetivos	2
CAPÍTULO 2	
CONVERSOR TENSÃO-CORRENTE	4
2.1 - Introdução	4
2.2 - Revisão das Principais Configurações	5
2.3 - Configuração Proposta	12
2.4 - Efeitos de Segunda Ordem	17
2.4.1 - Modulação de Canal	18
2.4.2 - Redução de Mobilidade com V _{ref}	19
2.4.3 - Descasamento de Componentes	22
2.4.4 - Efeito de Corpo	23
2.5 - Análise em Frequência	25
2.6 - Análise de Ruído	29
2.6.1 - Ruído no Conversor Tensão- Corrente	31
2.7 - Análise de Temperatura	34

2.8	- Resultados Obtidos	35
2.8.1	- Simulação do Conversor Tensão- Corrente	35
2.8.2	- Resultados Experimentais Obtidos	40
2.9	- Discussão dos Resultados Obtidos	45
CAPÍTULO 3		
APLICAÇÕES BÁSICAS DO CONVERSOR TENSÃO-CORRENTE		46
3.1	- Introdução	46
3.2	- Conversor Corrente-Tensão	47
3.2.1	- Introdução	47
3.2.2	- Resistor MOS Aterrado	48
3.2.3	- Resistor Flutuante MOS	54
3.3	- Integrador	58
3.4	- Girador	63
3.5	- Discussão dos Resultados Obtidos	67
CAPÍTULO 4		
FILTRO CONTÍNUO MOS		68
4.1	- Introdução	68
4.2	- Tipos de Filtro Contínuos	70
4.2.1	- Filtros Contínuos MOSFET-C	70
4.2.2	- Filtros Contínuos utilizando Conversores Tensão-Corrente	71
4.3	- Filtro Contínuo Passa-Baixa de Segunda Ordem	72

4.4 - Circuito de Auto-Sintonização	76
4.5 - Resultados Obtidos	78
4.6 - Discussão dos Resultados Obtidos	82
CAPÍTULO 5	
MULTIPLICADOR ANALÓGICO DE QUATRO QUADRANTES CMOS	83
5.1 - Introdução	83
5.2 - Configurações Existentes	85
5.3 - Multiplicador Analógico Baseado na	
Relação $2AB = (A/2 + B/2)^2 - (A/2 - B/2)^2$	86
5.3.1 - Somador Analógico	86
5.3.2 - Célula Multiplicadora	88
5.3.3 - Multiplicador Analógico de Quatro	
Quadrantes Proposto	90
5.3.4 - Efeitos de Segunda Ordem na	
Célula Multiplicadora	90
5.3.4.1 - Variação da Mobilidade	
com V _{PF}	92
5.3.4.2 - Descasamento de Compo-	
nentes	94
5.3.5 - Resultados Obtidos	97
5.3.5.1 - Resultados de Simulação	97
5.3.5.2 - Resultados	
Experimentais	100
5.4 - Multiplicador Analógico Baseado no	
Conversor Tensão-Corrente	105

5.4.1 - Resultados Obtidos	108
5.4.1.1 - Resultados de Simulação	108
5.4.1.2 - Resultados Medidos	110
5.5 - Discussão dos Resultados Obtidos	112
CAPÍTULO 6	
CONCLUSÕES	113
REFERÊNCIAS BIBLIOGRÁFICAS	116
APÊNDICE A	
TRANSISTOR MOS	A-1
A.1 - Introdução	A-1
A.2 - Transistor MOS na Região de Saturação	A-1
A.2.1 - Característica Quadrática Ideal	A-2
A.2.2 - Modulação de Canal	A-2
A.2.3 - Redução de Mobilidade	A-3
A.2.4 - Efeito de Corpo	A-3
A.3 - Comportamento em Frequência e Ruído do Transistor MOS	A-4
A.3.1 - Comportamento em Frequência	A-4
A.3.2 - Ruído em Transistores MOS	A-5
APÊNDICE B	
EXTRAÇÃO DE PARÂMETROS DOS TRANSISTORES MOS	B-1
B.1 - Introdução	B-1

B.2	- Modelo dos Transistores MOS	B-2
B.2.1	- Modelo Simplificado	B-2
B.2.2	- Modelo Analítico	B-3
B.3	- Extração dos Parâmetros do Transistor MOS	B-4
B.3.1	- Parâmetros Experimentais Obtidos	B-6
B.4	- Extração dos Parâmetros do Diodo	B-8
B.5	- Parâmetros de um Processo Convencional	B-9

LISTA DE SÍMBOLOS

Símbolo	Descrição
a	ganho do integrador para frequência zero
a_t	fator de linearidade de V_T com a temperatura
B	substrato do transistor MOS
C	capacitância
C _{df}	capacitância entre dreno e fonte do transistor MOS
C _{dp}	capacitância entre dreno e porta do transistor MOS
C _{in}	capacitância do integrador
C _{pf}	capacitância entre porta e fonte do transistor MOS
C _{ox}	capacitância do óxido de porta por unidade de área
D	dreno do transistor MOS
dox	espessura do óxido
E _{cr}	campo crítico
F	fonte do transistor MOS
g _m	condutância entre porta e fonte do transistor MOS
g _o	condutância entre dreno e fonte do transistor MOS
I	corrente
I _e	corrente de entrada
I _p	corrente de polarização
I _s	corrente de saída
k	constante de Boltzmann
k_c	$\gamma/\sqrt{2}$
K	fator de escala do multiplicador
k _f	coeficiente de ruído 1/f

L	comprimento do canal
N_{sub}	dopagem do substrato
P	porta do transistor MOS
PMU	projeto multi-usuário
q	carga do elétron
R	resistência
T	temperatura
V	tensão
V_{FB}	tensão entre substrato e fonte do transistor MOS
V_{DD}	tensão de alimentação positiva
V_{DF}	tensão entre dreno e fonte do transistor MOS
V_e	tensão de entrada
V_{eq}	tensão equivalente de ruído de entrada do transistor MOS
$V_{1/f}$	tensão equivalente do ruído 1/f
V_{FB}	tensão "flatband"
V_{PF}	tensão entre porta e fonte do transistor MOS
V_{SS}	tensão de alimentação negativa
V_T	tensão de limiar
V_{th}	tensão equivalente do ruído térmico
V_{T0}	tensão de limiar para $V_{BS}=0$
Z	largura do canal
β	nomenclatura para $\frac{\mu C_{ox} Z}{2 L}$
β_N	β para transistor canal N
ϵ_0	permissividade absoluta do vácuo
ϵ_{Si}	permissividade do silício

ϕ	diferença entre o nível de Fermi e o nível intrínseco
φ_F	potencial de Fermi
γ	parâmetro do efeito de corpo
λ	parâmetro da modulação de canal
θ	parâmetro da redução da mobilidade com V_{PF}
μ	mobilidade dos portadores de carga no canal
ω_{-3dB}	freqüência de corte

CAPÍTULO 1

INTRODUÇÃO

1 - MOTIVAÇÃO

A tecnologia MOS, devido a seu baixo consumo e alta densidade de integração é largamente utilizada em circuitos digitais. O crescimento de sistemas a serem integrados acarretou na última década, um grande desenvolvimento na área de circuitos analógicos MOS, visando a integração em uma mesma pastilha de blocos fundamentais e subsistemas analógicos construídos basicamente com transistores MOS, tais como amplificadores operacionais ^[1-3], fontes de referências ^[4-5], filtros a capacitores chaveados ^[6-8], filtros contínuos ^[9-14], multiplicadores analógicos ^[15-24], conversores tensão-corrente e corrente-tensão ^[25-30], etc...

Dentre os blocos citados, os elementos de transcondutância linear ou conversores tensão-corrente são fundamentais em circuitos analógicos. Eles são usados em circuitos de interfaceamento, conversores D/A e A/D, filtros contínuos, multiplicadores analógicos, etc...

2 - OBJETIVOS

Neste trabalho é apresentada uma nova configuração de um conversor tensão-corrente baseada na característica quadrática dos transistores MOS na região de saturação e exploradas suas possíveis aplicações.

No capítulo 2 analisa-se o conversor tensão-corrente proposto, considerando inicialmente a característica quadrática ideal. Os efeitos de segunda ordem, que afastam o transistor de sua característica ideal, sobre o desempenho do conversor tensão-corrente são analisados. O comportamento em frequência, ruído e o efeito da temperatura sobre o conversor tensão-corrente são também considerados. Simulações utilizando o programa SPICE2G e medidas efetuadas em montagens em "breadboarding" são apresentadas.

As aplicações do conversor tensão-corrente na implementação de conversor corrente-tensão, integrador e girador são apresentados no capítulo 3.

No capítulo 4, utilizando-se do conversor tensão-corrente, definido no capítulo 2, atuando como um integrador, desenvolve-se a implementação de um filtro contínuo MOS. As simulações efetuadas e resultados obtidos da montagem em "breadboarding" são apresentados.

No capítulo 5 são apresentadas duas propostas de implementação de multiplicadores analógicos: a primeira é obtida a partir da relação matemática $2AB = (A/2 + B/2)^2 - (A/2 - B/2)^2$,

sendo os somadores e subtratores obtidos da configuração do conversor tensão-corrente proposto; a segunda proposta baseia-se no próprio conversor tensão-corrente que possui implicitamente uma relação de multiplicação. Resultados obtidos na simulação e de montagens utilizando "arrays" são apresentadas para ambas as configurações.

As conclusões extraídas neste trabalho e possibilidades a serem exploradas como continuidade do mesmo, são apresentadas no capítulo 6.

São colocados no apêndice A, as características gerais do transistor MOS, incluindo efeitos de segunda ordem, comportamento em frequência e ruído, sobre seu desempenho.

No apêndice B, a metodologia para caracterização e extração dos parâmetros dos transistores MOS do "array" CD4007, utilizados na montagem efetuada em "breadboarding", são descritos.

CAPÍTULO 2

CONVERSOR TENSÃO-CORRENTE

2.1 - INTRODUÇÃO.

Neste capítulo, uma nova configuração de um conversor tensão-corrente baseada na característica quadrática dos transistores MOS na região de saturação, é proposta. Inicialmente será feita, na seção 2.2, uma descrição sucinta das principais configurações existentes na literatura, procurando enfatizar suas características fundamentais. Na seção 2.3 é apresentada a configuração proposta e sua análise. Os efeitos de segunda ordem, tais como modulação de canal, dependência da mobilidade com tensão porta-fonte, efeito de corpo e descasamento de componentes, sobre o desempenho do conversor tensão-corrente, são analisados na seção 2.4. O comportamento em frequência, o ruído e a variação com a temperatura são descritos na seção 2.5. Os resultados obtidos na simulação e medidas efetuadas na montagem em "breadboard" são apresentados na seção 2.8. A discussão dos resultados obtidos neste capítulo é apresentada na seção 2.9.

2.2 - REVISÃO DAS PRINCIPAIS CONFIGURAÇÕES.

Várias técnicas de linearização de elementos de transcondutância têm sido propostas na literatura, utilizando apenas transistores MOS. O par diferencial, em princípio, dentro de uma excursão limitada, pode atuar como um conversor tensão-corrente.

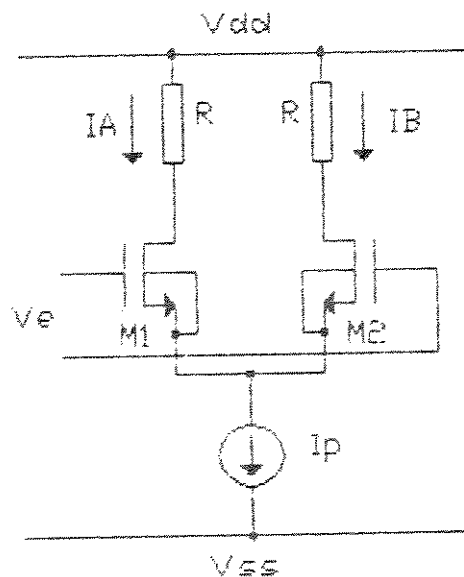


Fig. 2.1 Par Diferencial MOS.

Equacionando o par diferencial, considerando uma característica quadrática ideal para os transistores MOS e supondo que os mesmos sejam perfeitamente casados, tem-se ⁽¹⁸⁾:

$$I_A = \frac{\beta}{2} \left[\sqrt{\left[\frac{I_P}{\beta} \right] - \left[\frac{V_e}{2} \right]^2} + \frac{V_e}{\sqrt{2}} \right]^2 \quad (2.1)$$

$$I_B = \frac{\beta}{2} \left[\sqrt{\left[\frac{I_P}{\beta} \right] - \left[\frac{V_e}{2} \right]^2} - \frac{V_e}{\sqrt{2}} \right]^2 \quad (2.2)$$

$$I_S = I_A - I_B = \beta V_e \sqrt{\frac{2I_P}{\beta} - V_e^2} \quad (2.3)$$

$$\text{onde } \beta = \frac{\mu C_{ox}}{2} \frac{Z}{L} \quad (2.4)$$

sendo μ = mobilidade dos portadores de carga no canal;

C_{ox} = capacitância do óxido de porta por unidade de área;

Z = largura do canal; e

L = comprimento do canal.

A equação 2.3 é válida desde que a entrada não ultrapasse a excursão dada por

$$-\sqrt{\frac{I_P}{\beta}} \leq V_e \leq \sqrt{\frac{I_P}{\beta}} \quad (2.5)$$

A curva característica do par diferencial é mostrada na Fig. 2.2. Nota-se que o par diferencial pode atuar como um conversor tensão-corrente. No entanto para que sua curva de transferência não se desvie mais de 1% de uma linha reta, sua excursão de entrada deve estar limitada a $\pm 0,28 \sqrt{I_P/\beta}$ [26].

Nesta configuração os transistores M₃ e M₄ de geometria $Z/L=n$, atuam como fontes de tensão $V_x + V_T$, sendo polarizados por corrente de valor nI_p . O equacionamento desta estrutura apresenta a corrente de saída dada por ^[25]

$$I_s = \frac{4n}{(n+1)} \sqrt{\beta I_p} V_e \sqrt{1 - \frac{n}{(n+1)^2} \frac{V_e^2}{I_p} k} \quad (2.8)$$

Nota-se da equação (2.8), que o aumento de n , diminui a influência da variável dependente de V_e^2 , resultando na melhoria da linearidade da característica de transferência do conversor tensão-corrente. Esta melhoria da linearidade apresenta o inconveniente de exigir em contrapartida, aumento de área e altas correntes de polarização para os transistores M₃ e M₄.

Park e Schaumann ^[28] propuseram uma configuração composta de pares de transistores canal N e P, mostrada na Fig.2.5, para implementação do conversor.

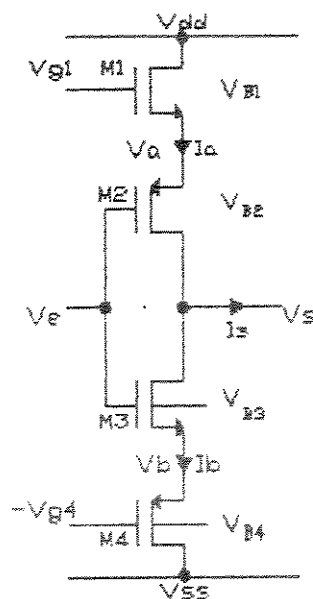


Fig. 2.5 - Conversor Tensão-Corrente com Pares de Transistores Canal N e P. (Park e Schaumann ^[28]).

Equacionando esta estrutura e considerando o comportamento quadrático ideal do transistor MOS

$$I_s = -2 \beta_{ef} [V_{o1} - V_{o4} - \sum V_T] V_e + \beta_{ef} [V_{o1} - V_{o4} - \sum V_T] \Delta V_T \quad (2.9)$$

onde

$$\beta_{ef} = \beta_n \beta_p / (\sqrt{\beta_n} + \sqrt{\beta_p})^2 \quad (2.10)$$

$$\sum V_T = V_{Tn1} + V_{Tn3} + |V_{Tp2}| + |V_{Tp4}| \quad (2.11)$$

$$\Delta V_T = (V_{Tn3} - V_{Tn1}) + (|V_{Tp4}| - |V_{Tp2}|) + (V_{o1} - V_{o4}) \quad (2.12)$$

Esta estrutura, com uma escolha conveniente das geometrias dos transistores N e P, proporciona uma otimização da resposta em frequência e melhoria da linearidade. Devido a dependência da corrente de saída com β_n e β_p , e portanto da mobilidade μ_n e μ_p , além dos valores de V_{Tn} e V_{Tp} , esta configuração terá grande dependência com a temperatura.

Baseando-se na configuração classe AB, utilizada como estágio de entrada de amplificadores operacionais de alto "slew-rate", Seevinck e Wassenaar^[29] propuseram o conversor tensão-corrente mostrado na Fig. 2.6.

A corrente de saída desta configuração é dada por

$$I_s = 2 \sqrt{2 \beta_{ef} I_b} V_e \quad (2.13)$$

onde

$$\beta_{ef} = \beta_n \beta_p / (\sqrt{\beta_n} + \sqrt{\beta_p})^2 \quad (2.14)$$

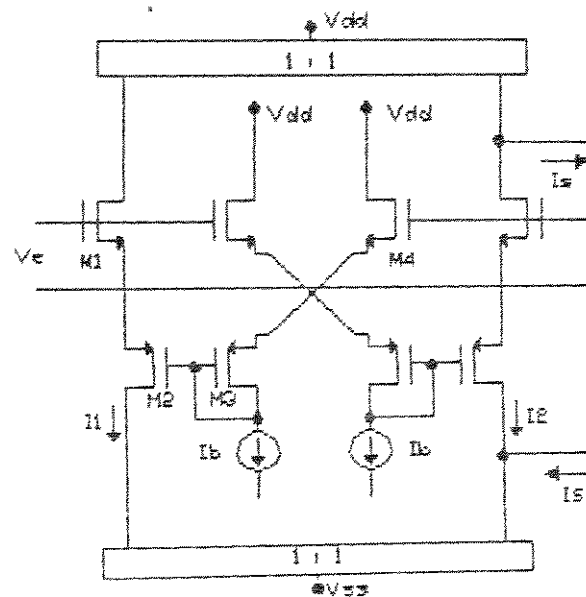


Fig. 2.6 - Conversor Tensão-Corrente Baseado na Configuração Classe AB. (Seevinck e Wassenaar^[29])

A partir desta configuração pode-se obter de forma simples uma função quadrática que é utilizada em soma vetorial e conversor tensão eficaz-tensão contínua. Esta estrutura possui bom desempenho de linearidade e baixo consumo de potência quiescente, possuindo no entanto, problemas de compatibilidade eletromagnética, tal como "crosstalk" via alimentação e substrato^[13].

Além disso, em todas as configurações descritas, ocorrem os problemas comuns a todos os circuitos analógicos que utilizam transistores MOS, tais como, descasamento da relação Z/L e de V_T , variações de mobilidade e de V_T com temperatura, efeitos de modulação de canal, variação de mobilidade com tensão porta fonte e efeito de corpo.

2.3 - CONFIGURAÇÃO PROPOSTA

Nesta seção é proposta uma nova configuração de um conversor tensão-corrente baseada na característica quadrática dos transistores MOS, utilizando pares diferenciais cruzados. A estrutura proposta é mostrada na Fig. 2.7.

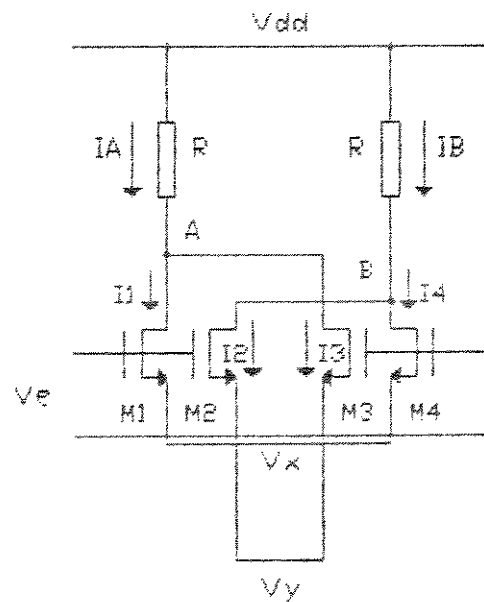


Fig 2.7 Conversor Tensão-Corrente Proposto

Trata-se de uma configuração composta por dois pares diferenciais com os drenos cruzados e as fontes conectadas a tensões constantes e diferentes, V_x e V_y .

Analisando esta estrutura, considerando os transistores perfeitamente casados, tem-se

$$I_1 = \beta \left[\frac{V_e}{2} - V_x - V_T \right]^2 \quad (2.15a)$$

$$I_2 = \beta \left[\frac{V_e}{2} - V_y - V_T \right]^2 \quad (2.15b)$$

$$I_3 = \beta \left[-\frac{V_e}{2} - V_y - V_T \right]^2 \quad (2.15c)$$

$$I_4 = \beta \left[-\frac{V_e}{2} - V_x - V_T \right]^2 \quad (2.15d)$$

$$\Delta I = I_A - I_B = (I_1 + I_3) - (I_2 + I_4) \quad (2.16)$$

$$\Delta I = -2\beta V_e (V_x - V_y) \quad (2.17)$$

Da Eq. 2.17 nota-se que a configuração comporta-se como um conversor tensão-corrente sobre toda a excursão de V_e , estando limitado apenas pela exigência dos transistores estarem na região de saturação.

Considerando, por exemplo: $V_x > V_y$

$$V_{DF} = V_A - V_x > \frac{V_e}{2} - V_x - V_T \quad (2.18)$$

No entanto, como se mencionou para as configurações apresentadas na literatura, neste caso também ocorrerão, devido às grandes excursões da tensão porta-fonte, variações da mobilidade e desvios na característica quadrática dos transistores MOS. Além disso há uma baixa rejeição à variação da fonte de alimentação, V_y , como também há necessidade de uma fonte de polarização adicional, V_x , pois V_x deve ser diferente de V_y .

Visando atender esses dois últimos requisitos, propõe-se a introdução de uma estrutura de polarização com fonte de tensão flutuante, entre os eletrodos fontes (F_1, F_2, F_3, F_4) dos

transistores dos pares diferenciais. A implementação será através do transistor MOS, M_5 , atuando como diodo (Fig. 2.8).

O diodo MOS simula a fonte flutuante e, além disso atua como uma realimentação, não permitindo que as tensões porta-fonte excursionem demasiadamente, o que aumenta a região linear. Para que o diodo atue de forma conveniente é necessário que a relação Z/L do transistor MOS, que o simula, seja elevada, minimizando assim a influência da sua corrente, sobre seu valor de tensão, que ficará estabilizada num valor, aproximadamente igual a V_T , pois:

$$I_{DF5} = \beta (V_{PF5} - V_T)^2 \quad (2.19)$$

$$V_{PF5} = \sqrt{\frac{I_{DF5}}{\beta}} + V_T \cong V_T \quad (2.20)$$

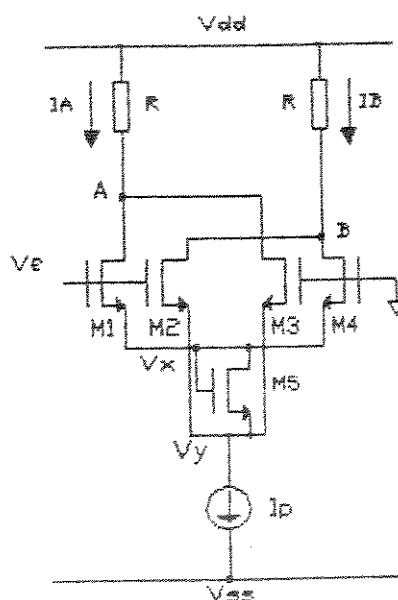


Fig. 2.8 - Conversor Tensão-Corrente com Estrutura de Polarização Flutuante

A equação que rege o conversor tensão-corrente torna-se então

$$\Delta I = 2 \beta V_e V_T \quad (2.21)$$

Um controle externo sobre a transcondutância do conversor tensão-corrente pode ser adicionado através de uma fonte de corrente, como mostra a Fig. 2.9

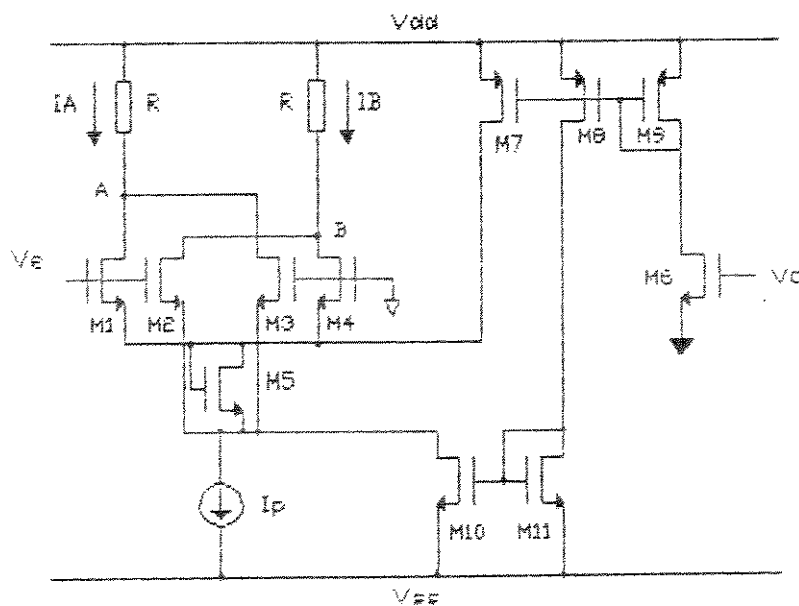


Fig. 2.9 Conversor Tensão-Corrente com Controle de Transcondutância.

A tensão entre o dreno e a fonte do transistor M_5 é controlada pela corrente I_5 , que flui através dele, ou seja

$$V_{DF} = \sqrt{\frac{I_5}{\beta}} + V_T \quad (2.22)$$

onde

$$I_5 = I_1 + I_4 + I_7 \quad (2.23)$$

sendo I_1 a corrente dreno-fonte do transistor M_1 . Fazendo com que I_1 e I_4 sejam pequenas em relação a I_7 , tem-se

$$I_5 \cong I_7 = \beta (V_c - V_T)^2 \quad (2.24)$$

e portanto

$$V_{DF_5} \cong V_c \quad (2.25)$$

ou seja, para transistores perfeitamente casados, V_c atua como tensão de controle que modifica a transcondutância do conversor tensão-corrente.

2.4 EFEITOS DE SEGUNDA ORDEM

O equacionamento desenvolvido até o momento considerou a curva característica do transistor MOS como sendo quadrática e que os transistores eram perfeitamente casados. No entanto, efeitos de segunda ordem, tais como a modulação de canal, a variação da mobilidade com tensão porta-fonte e o efeito de corpo, provocam desvios da característica de lei quadrática, sendo portanto, um problema que ocorre em todos os circuitos com transistores MOS. Além disso, os descasamentos de componentes também ocorrem inevitavelmente, havendo portanto, necessidade de análise de seu efeito sobre o desempenho do conversor tensão-corrente. A seguir será analisada a influência de cada um destes efeitos, sobre o comportamento do conversor tensão-corrente, considerando a configuração da Fig. 2.10.

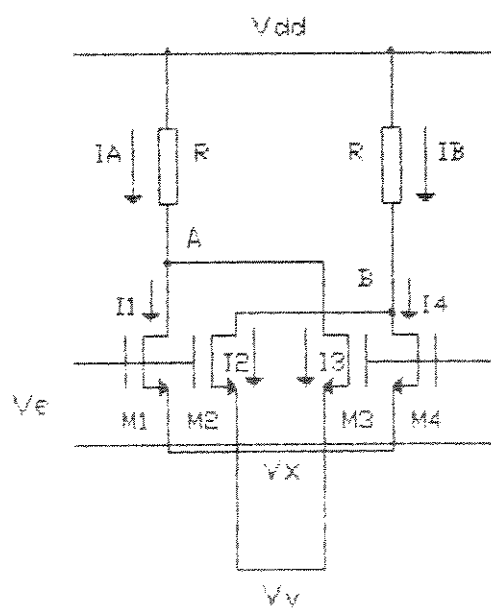


Fig. 2.10 - Conversor Tensão-Corrente

2.4.1 - Modulação de Canal

A modulação de canal torna a corrente de dreno dependente da tensão dreno-fonte. Utilizando a equação da corrente dreno-fonte considerando este efeito (descrita no apêndice A), pode-se equacionar o conversor tensão-corrente mostrado na Fig.2.10, obtendo-se, quando se considera as portas dos transistores M_3 e M_4 em terra, o seguinte resultado:

$$I_1 = \beta (V_e - V_x - V_T)^2 [1 + \lambda (V_A - V_x)] \quad (2.26a)$$

$$I_2 = \beta (V_e - V_y - V_T)^2 [1 + \lambda (V_B - V_y)] \quad (2.26b)$$

$$I_3 = \beta (-V_y - V_T)^2 [1 + \lambda (V_A - V_y)] \quad (2.26c)$$

$$I_4 = \beta (-V_x - V_T)^2 [1 + \lambda (V_B - V_x)] \quad (2.26d)$$

sendo V_A e V_B o potencial de A e B em relação ao terra, respectivamente.

Calcula-se então

$$I_A = I_1 + I_3 = \beta (V_e^2 - 2V_eV_x + V_x^2 - 2V_eV_T + 2V_xV_T + V_T^2) [1 + \lambda (V_A - V_x)] + \beta (V_y^2 + 2V_yV_T + V_T^2) [1 + \lambda (V_A - V_y)] \quad (2.27a)$$

$$I_B = I_2 + I_4 = \beta (V_e^2 - 2V_eV_y + V_y^2 - 2V_eV_T + 2V_yV_T + V_T^2) [1 + \lambda (V_B - V_y)] + \beta (V_x^2 + 2V_xV_T + V_T^2) [1 + \lambda (V_B - V_x)] \quad (2.27b)$$

Calculando a corrente de saída dada por $I_s = I_A - I_B$

$$\begin{aligned}
 I_S = I_A - I_B = & -2 \beta V_e [V_x - V_y] + \beta \lambda [V_A - V_B] [V_e^2 - 2V_e V_T \\
 & + (V_x + V_y)^2 + (V_y + V_T)^2] - 2 \lambda \beta V_e [V_A V_x \\
 & - V_B V_y] - \beta \lambda V_e [V_x - V_y] [V_e - 2V_T + 2V_x + \\
 & 2V_y] \quad (2.28)
 \end{aligned}$$

Da eq. (2.28), conclui-se que o primeiro termo, representa a conversão tensão-corrente considerando os transistores ideais; os demais termos representam harmônicas de segunda ordem e "off-set", que dependem de V_A, V_B, V_x, V_y e V_e . Para minimizar estes efeitos, não desejados, é necessário utilizar transistores de canais longos, visando diminuir o valor de λ .

2.4.2 - Redução de Mobilidade com V_{PF}

Para se obter o efeito da redução da mobilidade com V_{PF} no desempenho do conversor tensão-corrente, utiliza-se a equação que descreve este efeito, descrita no apêndice A, e equaciona-se o circuito da Fig. 2.10.

$$I_1 = \beta (V_e - V_x - V_T)^2 [1 - \theta (V_e - V_x - V_T) + \theta^2 (V_e - V_x - V_T)^2 - \dots] \quad (2.29a)$$

$$I_2 = \beta (V_e - V_y - V_T)^2 [1 - \theta (V_e - V_y - V_T) + \theta^2 (V_e - V_y - V_T)^2 - \dots] \quad (2.29b)$$

$$I_3 = \beta (-v_y - v_T)^2 \left[1 - \theta (-v_y - v_T) + \theta^2 (-v_y - v_T)^2 - \dots \right] \quad (2.29c)$$

$$I_4 = \beta (-v_x - v_T)^2 \left[1 - \theta (-v_x - v_T) + \theta^2 (-v_x - v_T)^2 - \dots \right] \quad (2.29d)$$

sendo

$$I_A = I_1 + I_3 = \beta (v_e^2 - 2v_e v_x + v_x^2 - 2v_e v_T + 2v_x v_T + v_T^2) \left[1 - \theta (v_e - v_x - v_T) + \theta^2 (v_e - v_x - v_T)^2 - \dots \right] + \beta (v_y + 2v_y v_T + v_T^2) \left[1 - \theta (-v_y - v_T) + \theta^2 (-v_y - v_T)^2 - \dots \right] \quad (2.30a)$$

$$I_B = I_2 + I_4 = \beta (v_e^2 - 2v_e v_y + v_y^2 - 2v_e v_T + 2v_y v_T + v_T^2) \left[1 - \theta (v_e - v_y - v_T) + \theta^2 (v_e - v_y - v_T)^2 - \dots \right] + \beta (v_x + 2v_x v_T + v_T^2) \left[1 - \theta (-v_x - v_T) + \theta^2 (-v_x - v_T)^2 - \dots \right] \quad (2.30b)$$

desenvolvendo

$$I_A = \beta (v_e^2 - 2v_e v_x + v_x^2 - 2v_e v_T + 2v_x v_T + v_T^2 + v_y^2 + 2v_y v_T + v_T^2) + \beta \theta (-v_e^3 + 2v_e^2 v_x - v_e v_x^2 + 2v_e^2 v_T - 2v_e v_x v_T - v_e v_T^2 + v_e^2 v_x - 2v_e v_x^2 + v_x^3 - 2v_e v_T v_x + 2v_x^2 v_T + v_x v_T^2 + v_e^2 v_T - 2v_e v_x v_T + v_x^2 v_T - 2v_e v_T^2 + 2v_x v_T^2 + v_T^3 + v_y^3 + 2v_y^2 v_T + v_y^2 v_T + v_y v_T^2 + 2v_y v_T^2 + v_T^3) + \beta \theta^2 (v_e^4 + v_T^4 + v_x^4 - 4v_e^3 v_T + 4v_x^3 v_T - 4v_e v_T^3 - 4v_e^3 v_x - 4v_e v_x^3 + 4v_x v_T^3 + 6v_e^2 v_x^2 + 6v_e^2 v_T^2 + 12v_e^2 v_x v_T - 12v_e v_x^2 v_T - 12v_e v_x v_T^2 + v_y^4 + v_T^4 + 4v_y^3 v_T + 4v_y v_T^3 + 6v_y^2 v_T^2) \quad (2.31a)$$

$$I_B = \beta (v_e^2 - 2v_e v_y + v_y^2 - 2v_e v_T + 2v_y v_T + v_T^2 + v_x^2 + 2v_x v_T + v_T^2) +$$

$$\begin{aligned}
& + \beta \theta (-V_e^3 + 2V_e^2V_y - V_eV_y^2 + 2V_e^2V_T - 2V_eV_yV_T - V_eV_T^2 \\
& \quad + V_e^2V_y - 2V_eV_y^2 + V_y^3 - 2V_eV_TV_y + 2V_y^2V_T + V_yV_T^2 \\
& \quad + V_e^2V_T - 2V_eV_yV_T + V_y^2V_T - 2V_eV_T^2 + 2V_yV_T^2 + V_T^3 \\
& \quad + V_x^3 + 2V_x^2V_T + V_x^2V_T + V_xV_T^2 + 2V_xV_T^2 + V_T^3) + \\
& + \beta \theta^2 (V_e^4 + V_T^4 + V_y^4 - 4V_e^3V_T + 4V_y^3V_T - 4V_eV_T^3 - \\
& \quad - 4V_e^3V_y - 4V_eV_y^3 + 4V_yV_T^3 + 6V_e^2V_y^2 + 6V_e^2V_T^2 + \\
& \quad + 12V_e^2V_yV_T - 12V_eV_y^2V_T - 12V_eV_yV_T^2 + V_x^4 + V_T^4 + \\
& \quad + 4V_x^3V_T + 4V_xV_T^3 + 6V_x^2V_T^2) \quad (2.31b)
\end{aligned}$$

Calculando a corrente de saída, considerando o efeito de variação da mobilidade devido a tensão porta-fonte, tem-se

$$\begin{aligned}
I_s = I_A - I_B = & - 2 \beta V_e (V_x - V_y) \\
& - 3 \beta \theta V_e (V_x - V_y) (V_e - 2V_T - V_x - V_y) \\
& - 2 \beta \theta^2 [2V_e^3(V_x - V_y) - 3V_e^2(V_x^2 - V_y^2) - \\
& - 6V_e^2V_T(V_x - V_y) + 2V_e(V_x^3 - V_y^3) + 6V_eV_T \\
& (V_x^2 - V_y^2) + 6V_eV_T^2(V_x - V_y)] \quad (2.32)
\end{aligned}$$

Da eq. (2.32), nota-se que a redução de mobilidade com V_{PF} , representada pelo fator θ , ocasiona harmônica de segunda ordem dependente de θ e harmônica de terceira ordem e segunda ordem dependentes de θ^2 .

2.4.3 - Descasamento de Componentes

Considerando o descasamento dos transistores MOS, que compõem o conversor tensão-corrente, pode-se utilizar a equação de corrente de dreno do transistor M_i , dada por

$$I_i = \beta_i (V_{PF} - V_{Ti})^2 \quad (2.33)$$

Efetuada a análise para o conversor tensão-corrente da Fig.2.10, obtém-se

$$\begin{aligned} I_1 &= \beta_1 (V_e - V_x - V_{T1})^2 \\ &= \beta_1 (V_e^2 - 2V_e V_x + V_x^2 - 2V_e V_{T1} + 2V_x V_{T1} + V_{T1}^2) \end{aligned} \quad (2.34a)$$

$$\begin{aligned} I_2 &= \beta_2 (V_e - V_y - V_{T2})^2 \\ &= \beta_2 (V_e^2 - 2V_e V_y + V_y^2 - 2V_e V_{T2} + 2V_y V_{T2} + V_{T2}^2) \end{aligned} \quad (2.34b)$$

$$\begin{aligned} I_3 &= \beta_3 (-V_y - V_{T3})^2 \\ &= \beta_3 (V_y^2 + 2V_y V_{T3} + V_{T3}^2) \end{aligned} \quad (2.34c)$$

$$\begin{aligned} I_4 &= \beta_4 (-V_x - V_{T4})^2 \\ &= \beta_4 (V_x^2 + 2V_x V_{T4} + V_{T4}^2) \end{aligned} \quad (2.34d)$$

sendo

$$\begin{aligned} I_A = I_1 + I_3 &= \beta_1 (V_e^2 - 2V_e V_x + V_x^2 - 2V_e V_{T1} + 2V_x V_{T1} + V_{T1}^2) \\ &\quad + \beta_3 (V_y^2 + 2V_y V_{T3} + V_{T3}^2) \end{aligned} \quad (2.35a)$$

$$\begin{aligned} I_B = I_2 + I_4 &= \beta_2 (V_e^2 - 2V_e V_y + V_y^2 - 2V_e V_{T2} + 2V_y V_{T2} + V_{T2}^2) \\ &\quad + \beta_4 (V_x^2 + 2V_x V_{T4} + V_{T4}^2) \end{aligned} \quad (2.35b)$$

Determinando a corrente de saída, I_s

$$\begin{aligned}
I_S = I_A - I_B = & V_e^2(\beta_1 - \beta_2) - 2V_e(\beta_1 V_x - \beta_2 V_y + \beta_1 V_{T1} - \\
& - \beta_2 V_{T2}) + 2V_x(\beta_1 V_{T1} - \beta_4 V_{T4}) + V_x^2(\beta_1 - \beta_4) + \\
& + V_y^2(\beta_3 - \beta_4) + 2V_y(\beta_3 V_{T3} - \beta_2 V_{T2}) + \beta_1 V_{T1}^2 + \\
& + \beta_3 V_{T3}^2 - \beta_2 V_{T2}^2 - \beta_4 V_{T4}^2 \quad (2.36)
\end{aligned}$$

Da eq. (2.36) conclui-se que: os descasamentos entre os transistores M_1 e M_2 (V_T e β) afetam a relação tensão-corrente; sendo que o descasamento de β entre os transistores M_1 e M_2 é responsável pela harmônica de segunda ordem, os demais descasamentos resultam em um "off-set" na saída.

2.4.4 - Efeito de Corpo

O efeito de corpo atua sobre o transistor MOS de forma a alterar o valor de V_T . Se, através do processo disponível, for possível conectar, em cada transistor, a fonte ao respectivo substrato, então o efeito de corpo não é levado em consideração, pois $V_{SB} = 0$. No entanto, caso isto não seja possível, este efeito pode ser descrito de forma análoga ao descasamento de V_T dos transistores, pois:

$$V_T = V_{T0} + \gamma \left[\sqrt{V_{SB} + 2\phi} - \sqrt{2\phi} \right] \quad (2.37)$$

onde

$$\gamma = \text{parâmetro de efeito de corpo} \quad (2.38a)$$

$$\phi = \text{diferença entre o nível de Fermi e o nível intrínseco} \quad (2.38b)$$

Os diversos efeitos, que afetam a característica quadrática dos transistores MOS analisados até o momento, e as conclusões

efetuadas são válidas para a configuração da Fig.2.10. No entanto, a configuração que faz uso de uma fonte flutuante é a mais adequada, (Fig. 2.8) por apresentar maior rejeição de variação de fonte (PSRR) e não permitir grandes excursões à tensão porta-fonte. Para o equacionamento desta configuração é necessário determinar a relação existente entre a tensão de entrada e as tensões V_x e V_y .

Equacionando a configuração da Fig. 2.8, considerando que o diodo MOS atua com queda de tensão $V_{DF} \cong V_T$, obtém-se

$$V_y = \frac{-3 V_T + \sqrt{\frac{I_P}{\beta} - V_e^2 - V_T^2}}{2} \quad (2.29)$$

$$V_x = \frac{-V_T + \sqrt{\frac{I_P}{\beta} - V_e^2 - V_T^2}}{2} \quad (2.30)$$

Pode-se afirmar, a partir destas equações, que V_x e V_y possuem termos constantes e termos dependentes de V_e , e que $V_x - V_y = V_T$. A substituição de V_x e V_y nas equações, que determinam os efeitos de segunda ordem no desempenho do conversor tensão-corrente, acarretam o aparecimento de harmônicos devido dependência de V_y com V_e , sem no entanto modificar a análise efetuada.

$$\omega_{-3dB} = \frac{1}{\sum T_0} \quad (2.31)$$

onde T_0 são as constantes de tempo de valor zero, obtidas pelo produto da capacitância do circuito pela impedância vista pelo mesmo, considerando as demais capacitâncias iguais a zero.

O circuito da Fig. 2.12a pode ser simplificado para a configuração mostrada na Fig. 2.12b, considerando as fontes de tensão de entrada ideais (impedância interna igual a zero), determina-se

$$C_1 = C_{dp1} + C_{df1} + C_{dp3} + C_{df3} + C_{df5} + C_{pf5} + C_{pf6} \quad (2.32)$$

$$C_2 = C_{dp6} \quad (2.33)$$

$$C_3 = C_{dp2} + C_{df2} + C_{dp4} + C_{df4} + C_{df6} \quad (2.34)$$

$$g_{T1} = g_{o1} + g_{o3} + g_{o5} \quad (2.35)$$

$$g_{T3} = g_{o2} + g_{o4} + g_{o6} \quad (2.36)$$

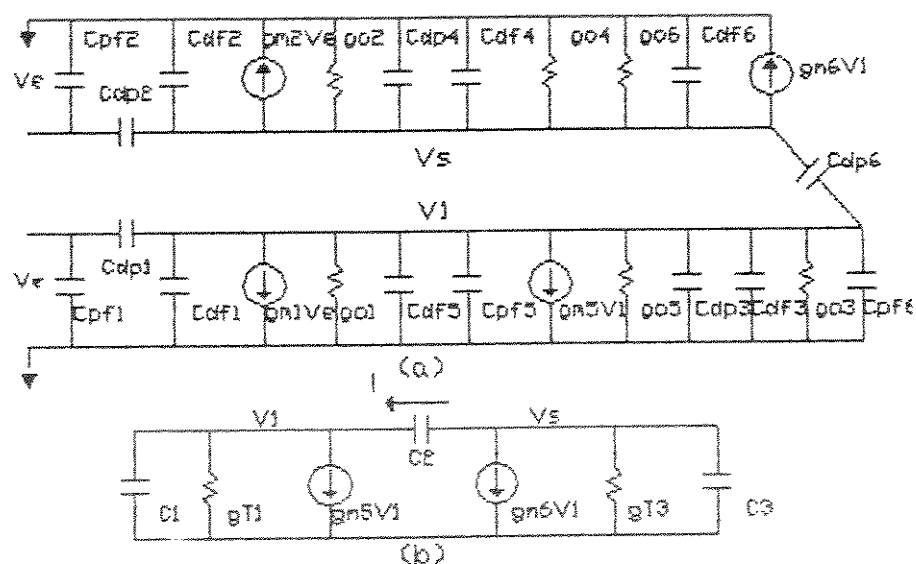


Fig. 2.12 - Em (a) Circuito Equivalente Utilizando Modelo de Pequenos Sinais; (b) Circuito Resultante para $V_e=0$.

Calculando a impedância vista pela capacitância C_2

$$R_2 = \frac{V_1 - V_s}{i} \quad (2.37)$$

$$i = g_{m5}V_1 + V_1g_{T1} \quad (2.38)$$

$$V_1 = \frac{i}{g_{m5} + g_{T1}} \quad (2.39)$$

A corrente i também pode ser calculada como

$$i = -g_{m6}V_1 - V_s g_{T3} \quad (2.40)$$

Logo

$$V_s = -\frac{i}{g_{T3}} - \frac{g_{m6}}{g_{T3}} V_1 \quad (2.41)$$

Substituindo (2.39) na equação (2.41)

$$V_s = -\frac{i}{g_{T3}} - \frac{g_{m6}}{g_{T3}} \frac{i}{g_{m5} + g_{T1}} \quad (2.42)$$

Portanto substituindo em (2.37), (2.39) e (2.42), calcula-se a impedância vista pela capacitância C_2

$$R_2 = \frac{V_1 - V_s}{i} = \frac{1}{g_{m5} + g_{T1}} + \frac{1}{g_{T3}} + \frac{g_{m6}}{g_{T3}(g_{m5} + g_{T1})} \quad (2.43)$$

A frequência de corte é dada por

$$\omega_{-3dB} = \frac{1}{C_1R_1 + C_2R_2 + C_3R_3} \quad (2.44)$$

onde

$$R_1 = 1 / (g_{r1} + g_{m5}) \quad (2.45)$$

$$R_3 = 1 / g_{r3} \quad (2.46)$$

Substituindo os valores de R e C na equação (2.44), tem-se

$$\begin{aligned} \frac{1}{\omega_{-3dB}} = & \frac{C_{dp1} + C_{df1} + C_{df5} + C_{pf5} + C_{dp3} + C_{df3} + C_{pf6}}{(g_{o2} + g_{o3} + g_{o5} + g_{m5})} + \\ & + \frac{C_{dp6} (g_{o2} + g_{o4} + g_{o6} + 2g_{m5} + g_{o1} + g_{o3} + g_{o5} + g_{m6})}{(g_{o2} + g_{o4} + g_{o6}) (2g_{m5} + g_{o1} + g_{o3} + g_{o5})} + \\ & + \frac{C_{dp2} + C_{df2} + C_{dp4} + C_{df4} + C_{df6}}{g_{o2} + g_{o4} + g_{o6}} \end{aligned} \quad (2.47)$$

Analisando cada um dos componentes da equação (2.47), nota-se que a constante R_3C_3 terá efeito preponderante na determinação da frequência de corte, pois a impedância vista entre os terminais de C_3 é elevada.

2.6 - ANÁLISE DE RUÍDO .

A análise do ruído, apresentada no apêndice A, para o conversor tensão-corrente será efetuada considerando uma fonte equivalente, que representa todo o ruído, aplicada à porta do transistor, como mostrado na Fig. 2.13.

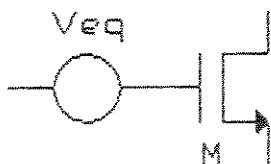


Fig. 2.13 Representação do Ruído no Transistor MOS.

O espectro equivalente de ruído de entrada de um transistor MOS típico é mostrado na Fig. 2.14.^[1]

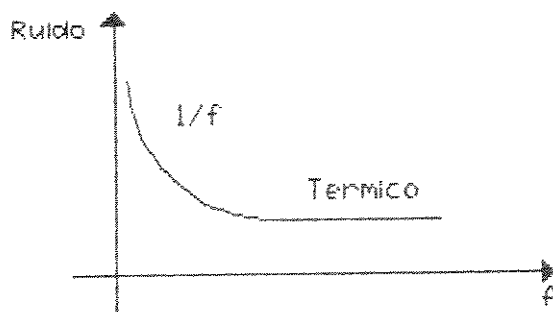


Fig.2.14 Espectro Equivalente de Ruído de Entrada de um Transistor MOS

O equivalente do ruído pode ser dividido em duas partes: ruído térmico e ruído $1/f$. O ruído térmico é devido à resistência de canal do transistor. A tensão equivalente do ruído térmico de entrada é dada por^[1]

$$V_{Th}^2 = 4 k T \left[\frac{2}{3g_m} \right] df \quad (2.48)$$

onde k é a constante de Boltzmann, g_m é a transcondutância do transistor e df é a largura de banda. Note que o ruído térmico é dependente da temperatura, dimensão do transistor e corrente de polarização.

O ruído $1/f$ é modelado como^[2]

$$V_{1/f}^2 = \frac{k_f}{C_{ox} Z L} \frac{df}{f} \quad (2.49)$$

sendo f a frequência e k_f o coeficiente de ruído $1/f$, dependente do processo. Embora haja grande discrepância nas teorias que modelam este ruído observa-se que a tensão equivalente de entrada do ruído $1/f$ é aproximadamente independente das condições de polarização e inversamente proporcional à capacitância de porta do transistor. Analisando as tensões equivalentes de ruído térmico e $1/f$ conclui-se que a utilização de canais largos (alto Z), diminui ambas as tensões; o aumento do comprimento do canal diminui o ruído $1/f$, mas aumenta o ruído térmico; e que a corrente de polarização não afeta o ruído $1/f$, mas diminui o ruído térmico à medida que se aumenta essa corrente.

2.6.1. - Ruído no Conversor Tensão-Corrente

Adicionando a tensão equivalente total de ruído à entrada de cada transistor tem-se o circuito equivalente

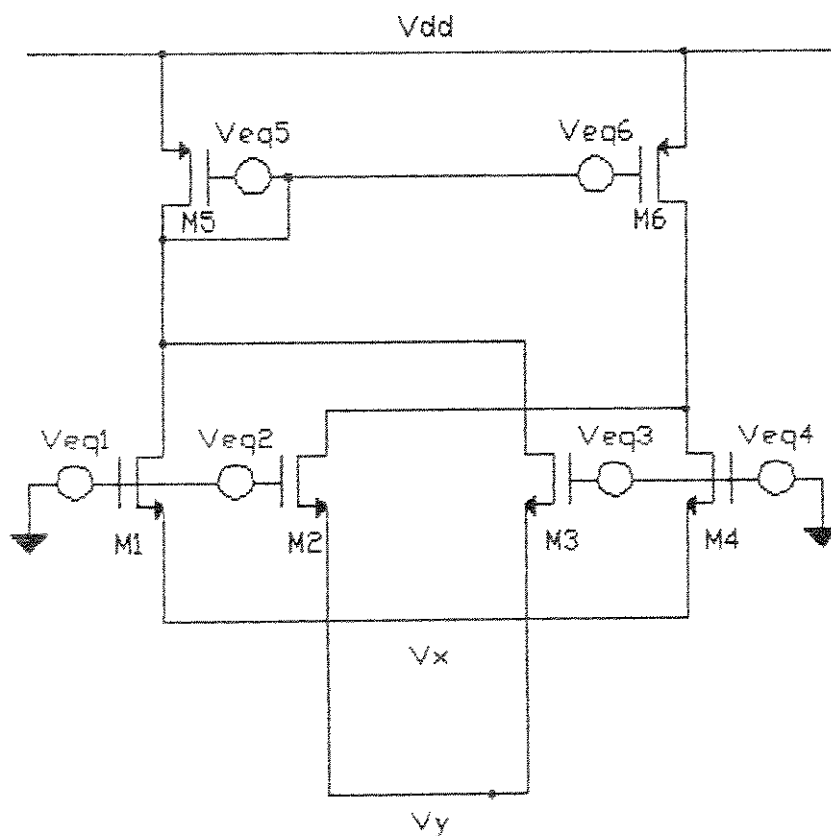


Fig. 2.15 Circuito Equivalente de Ruído do Conversor Tensão-Corrente.

Para cálculo da tensão equivalente de ruído utiliza-se a metodologia proposta por Bertails^[33], sendo necessário inicialmente o cálculo do ganho de tensão do conversor tensão-corrente. Utilizando o modelo de pequenos sinais do transistor MOS, obtém-se o ganho A_{vz} no espelho dada por

$$A_{v2} \equiv \frac{V_s}{V_{ee}} = - \frac{g_{m\sigma}}{g_{o2} + g_{o4} + g_{o\sigma}} \quad (2.50)$$

O ganho de tensão do conversor tensão-corrente, para uma tensão diferencial V_e aplicada à entrada do circuito, é dado por:

$$A_{v1} \equiv \frac{V_s}{V_e} = - \frac{1}{2} \left\{ \left[(g_{m2} - g_{m4}) - (g_{m1} - g_{m3}) \right] \left[\frac{g_{m\sigma}}{g_{o1} + g_{o3} + g_{o5} + g_{m5}} \right] \frac{1}{g_{o2} + g_{o4} + g_{o\sigma}} \right\} \quad (2.51)$$

Considerando $g_{m5}=g_{m\sigma}$, $g_{m2}=g_{m3}$, $g_{m4}=g_{m1}$; g_{o1} , g_{o3} e $g_{o5} \ll g_{m5}$; e que $g_{m2} \gg g_{m4}$, a equação 2.51 fica na forma

$$A_{v1} = - \frac{1}{2} \frac{2 g_{m2}}{g_{o2} + g_{o4} + g_{o\sigma}} = - \frac{g_{m2}}{g_{o2} + g_{o4} + g_{o\sigma}} \quad (2.52)$$

Calculando a tensão de ruído equivalente referida à entrada, tem-se⁽³³⁾

$$V_{eqT}^2 = V_{eqi}^2 + \frac{A_{v2}^2}{A_{v1}^2} V_{eqj}^2 \quad (2.53)$$

onde $V_{eqi} = (V_{eq1}^2 + V_{eq2}^2 + V_{eq3}^2 + V_{eq4}^2)$ é a tensão na entrada do conversor; e

$V_{eqj} = (V_{eq5}^2 + V_{eq\sigma}^2)$ é a tensão no espelho.

Portanto

$$V_{eqT}^2 = V_{eq1}^2 + V_{eq2}^2 + V_{eq3}^2 + V_{eq4}^2 + \left(\frac{g_{m\sigma}}{g_{m2}} \right)^2 (V_{eq5}^2 + V_{eq\sigma}^2) \quad (2.54)$$

Comparando o conversor tensão-corrente proposto com o par diferencial com carga ativa^[1] em relação ao ruído equivalente de entrada, nota-se que essa configuração possui ruído equivalente $\sqrt{2}$ vezes maior que o par diferencial.

2.7 - ANÁLISE DE TEMPERATURA.

A temperatura, nas características elétricas do transistor MOS, afeta principalmente a tensão de limiar, V_T , e a mobilidade dos portadores, μ . A mobilidade dos portadores varia de forma inversamente proporcional à temperatura e a tensão de limiar é aproximadamente uma função linear com a temperatura, sendo equacionada como^[34]

$$V_T = V_T(T_0) + a (T - T_0) \quad (2.55)$$

onde o fator a é negativo para transistores de canal N, positivo para canal P, variando entre $2\text{mV}/^\circ\text{C}$ e $4\text{mV}/^\circ\text{C}$.

Analisando o efeito da temperatura sobre o conversor tensão-corrente, partindo do seu efeito sobre os transistores MOS, observa-se a dependência da corrente de saída com μ e V_T (Eq. 2.14). Utilizando a configuração que permite um controle externo sobre a transcondutância (Fig. 2.9), elimina-se a dependência com V_T , minimizando a sua dependência com a temperatura.

2.8 - RESULTADOS OBTIDOS

Nesta seção serão apresentados os resultados obtidos da simulação e da medição do conversor tensão-corrente proposto. Na simulação foram utilizados os parâmetros convencionais de um processo disponível (Apêndice B). A medição foi efetuada sobre a montagem em "breadboarding", da configuração proposta, utilizando-se do "array" de transistores MOS, CD4007. No apêndice B é descrita uma metodologia para obtenção dos parâmetros de simulação destes transistores. Os parâmetros assim obtidos, foram também utilizados na simulação da configuração proposta, visando a comparação entre resultados experimentais e os de simulação.

2.8.1 Simulação do Conversor Tensão-Corrente

As simulações efetuadas nesta seção utilizaram o programa SPICE2G e os parâmetros do processo descrito no apêndice B. A configuração simulada é mostrada na Fig. 2.16.

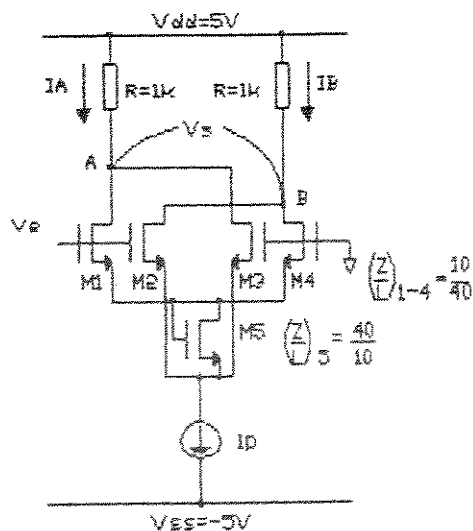


Fig. 2.16 - Configuração Simulada.

A distorção harmônica do conversor tensão-corrente em relação à tensão de entrada (tensão de pico) é mostrada na Fig. 2.17, sendo que a corrente de polarização atua como um parâmetro adicional deste gráfico.

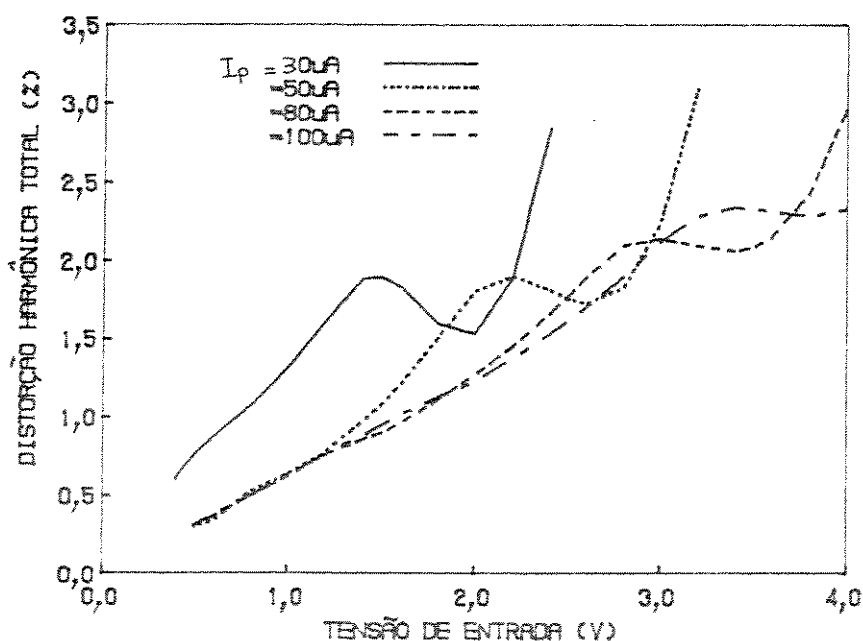


Fig.2.17 - Distorção Harmônica em Relação a Tensão de Entrada do Conversor Tensão-Corrente.

No gráfico da Fig. 2.17, nota-se na simulação efetuada da distorção harmônica total em relação à tensão de entrada, uma melhoria da distorção com o aumento da corrente de polarização. Tal fato deve-se ao melhor funcionamento do transistor MOS que atua como diodo, ou seja, a tensão entre dreno e fonte do diodo é mais estável com a variação da tensão de entrada.

Para visualização dos harmônicos que mais contribuem para a distorção harmônica total são apresentados na tabela da Fig. 2.18 os componentes resultantes da simulação, considerando uma corrente de polarização, $I_p=80\mu A$ e tensão de entrada, $V_e=1V$.

Nota-se desta tabela, que o componente de segunda e os de ordem ímpar, possuem maior amplitude. Este comportamento era esperado, pelo equacionamento efetuado dos efeitos de segunda ordem, no desempenho do conversor tensão-corrente, descrito na seção 2.4.

1 ^o Harmônica	0,1085 V	0 dB
2 ^o Harmônica	1,796 mV	-35,63 dB
3 ^o Harmônica	0,611 mV	-44,96 dB
4 ^o Harmônica	0,0698 mV	-63,84 dB
5 ^o Harmônica	0,2214 mV	-53,81 dB
6 ^o Harmônica	0,0028 mV	-91,70 dB
7 ^o Harmônica	0,0245 mV	-72,96 dB

Fig. 2.18 - Espectro em Frequência do Conversor Tensão-Corrente ($I_p=80\mu A$).

Para verificação do erro de linearidade do conversor tensão-corrente, em relação à tensão de entrada, o esquema de circuito mostrado na Fig. 2.19 foi simulado. A curva de linearidade foi obtida subtraindo, do sinal de saída, o sinal de entrada, V_e , com um fator de ganho para compensação da atenuação da configuração. O resultado desta simulação é mostrado na Fig. 2.20.

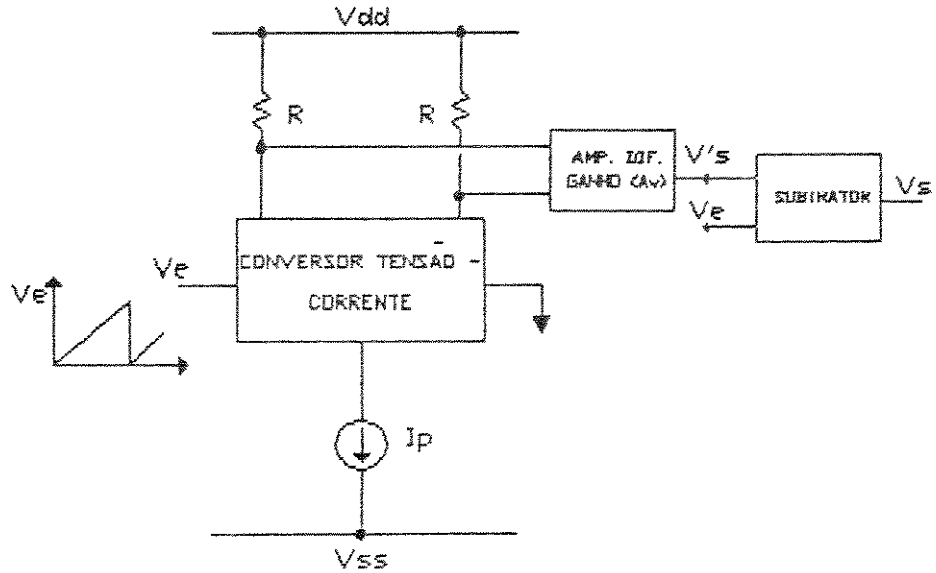


Fig. 2.19 Esquema do Conversor Tensão-Corrente Simulado para Obtenção do Erro de Linearidade.

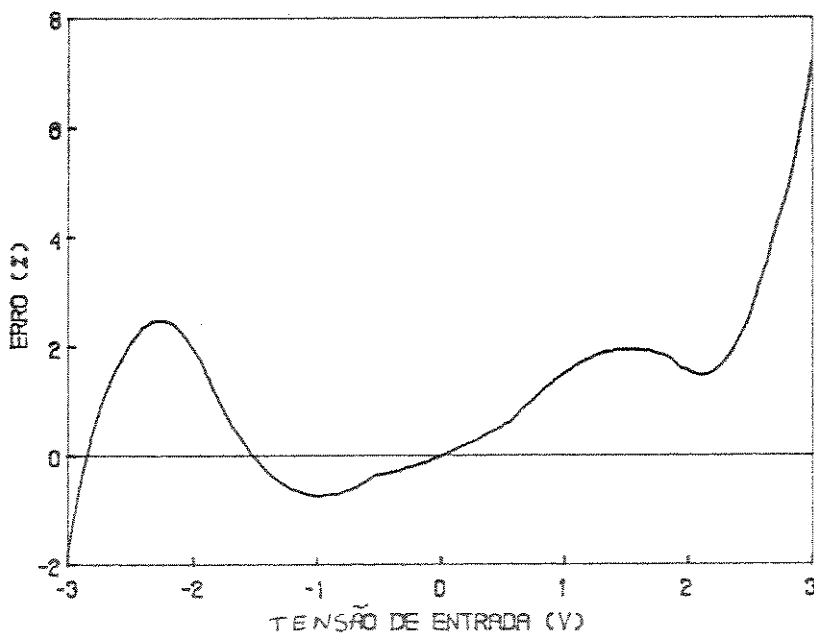


Fig. 2.20 - Curva do Erro de Linearidade.

A curva da Fig2.20 mostra a existência de uma tensão de "off-set", causada pelos desvios do comportamento quadrático dos

transistores MOS devidos aos efeitos de segunda ordem e ao fato, de que o transistor MOS que simula o diodo, possuir tensão dreno-fonte dependente da corrente que circula através dele.

Para análise do comportamento em frequência do conversor tensão-corrente, simulou-se a estrutura da Fig.2.16 e obteve-se o gráfico da Fig. 2.21.

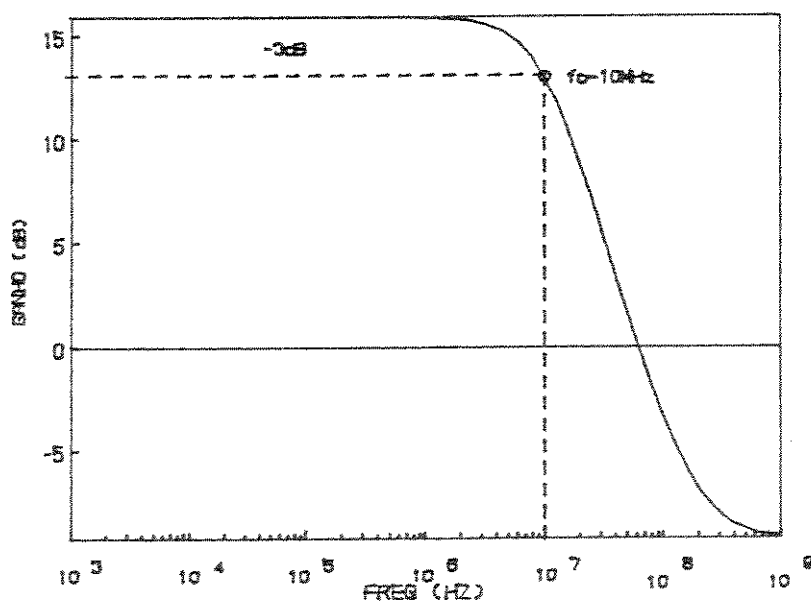


Fig. 2.21 Comportamento em Frequência do Conversor Tensão-Corrente.

2.8.2 Resultados Experimentais Obtidos

Para obtenção dos dados experimentais foi montado em "breadboard" a configuração mostrada na Fig. 2.22, sendo utilizado o "array" de transistores MOS, CD4007. Devido a impossibilidade de se obter uma relação elevada entre Z/L no transistor que simula o diodo, optou-se por utilizar um diodo de junção para simulação da fonte flutuante entre as fontes dos transistores MOS, na implementação da célula proposta.

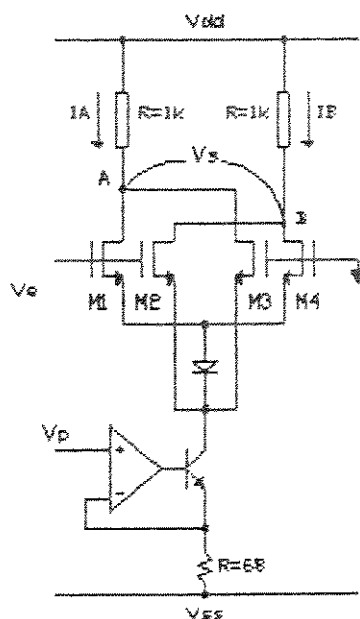


Fig. 2.22 Configuração Montada em "Breadboard".

Para medição da distorção harmônica utilizou-se o esquema mostrado na Fig.2.23, sendo o sinal de saída, V_s , medido sobre dois resistores de precisão de $1,05k\Omega$, com auxílio de um analisador de distorção harmônica HP 334A. As medições foram efetuadas variando-se a amplitude da tensão de entrada para uma dada corrente de polarização. Esta medição foi realizada para

diversas correntes de polarização, com valores entre 2mA e 5mA. Os valores obtidos são mostrados na Fig. 2.24.

Visando a comparação dos valores experimentais obtidos e os valores simulados da distorção harmônica, são apresentados na Fig. 2.25 os resultados obtidos. A simulação da distorção harmônica foi feita utilizando-se os parâmetros extraídos do transistor MOS e do diodo de junção; sendo o método de extração de tais parâmetros apresentado no apêndice B.

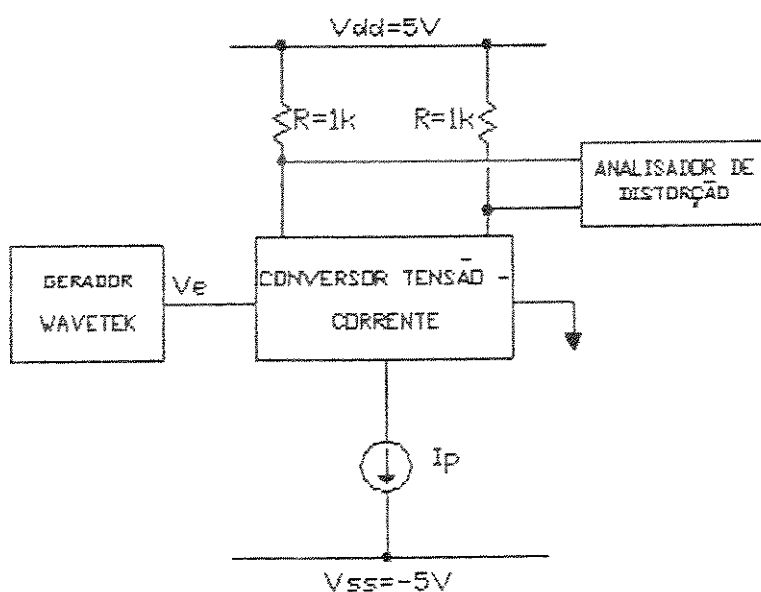


Fig.2.23 - Esquema da Medição da Distorção Harmônica.

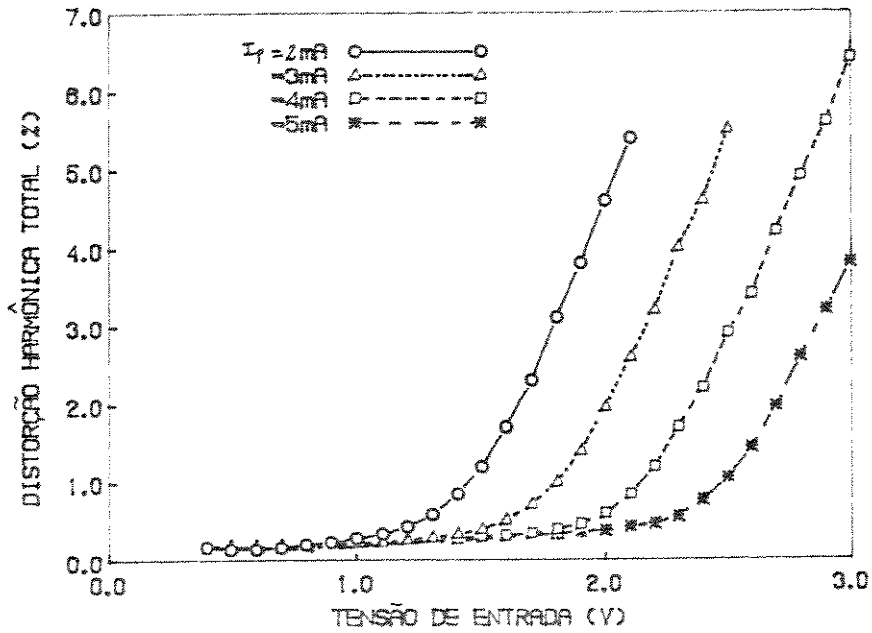


Fig. 2.24 - Distorção Harmônica Total em Relação a Tensão de Entrada Medida.

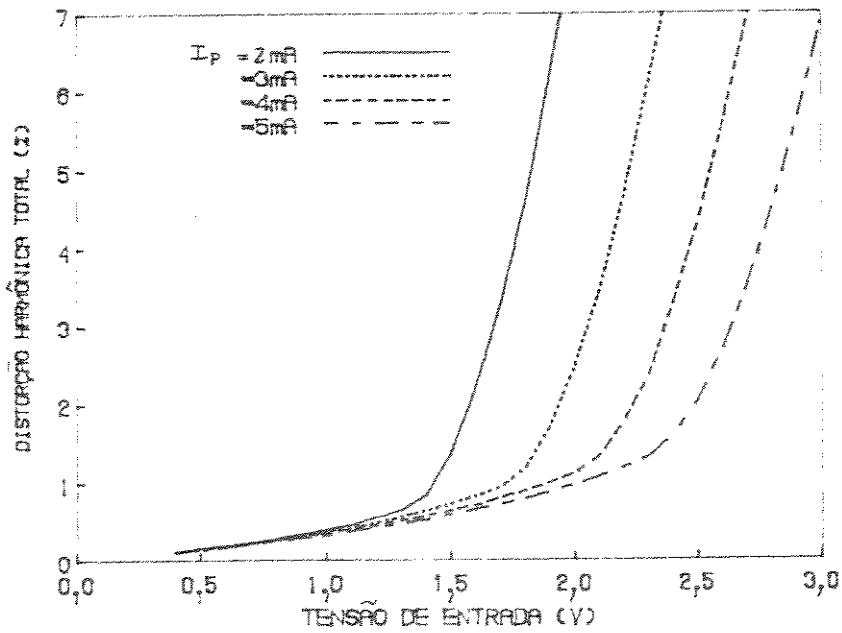


Fig. 2.25 - Distorção Harmônica Total Simulada. Parâmetros Extraídos dos Transistores.

A discrepância existente entre os valores do gráfico da Fig.2.24, resultados experimentais obtidos, e da Fig. 2.25, resultados simulados utilizando parâmetros extraídos, deve-se ao descasamento dos transistores utilizados, visto que os mesmos são provenientes de "arrays" diferentes. Outra causa dessa diferença está nos valores extraídos dos parâmetros, que possuem erro da ordem de 5%.

Para obtenção do espectro de frequência do sinal de saída do conversor tensão-corrente, mostrado na Fig. 2.26, montou-se o esquema mostrado na Fig. 2.23, utilizando o analisador de espectro HP 3580A substituindo o analisador de distorção. O erro de linearidade, mostrado na Fig.2.27, foi obtido através da montagem do esquema mostrado na Fig. 2.19.

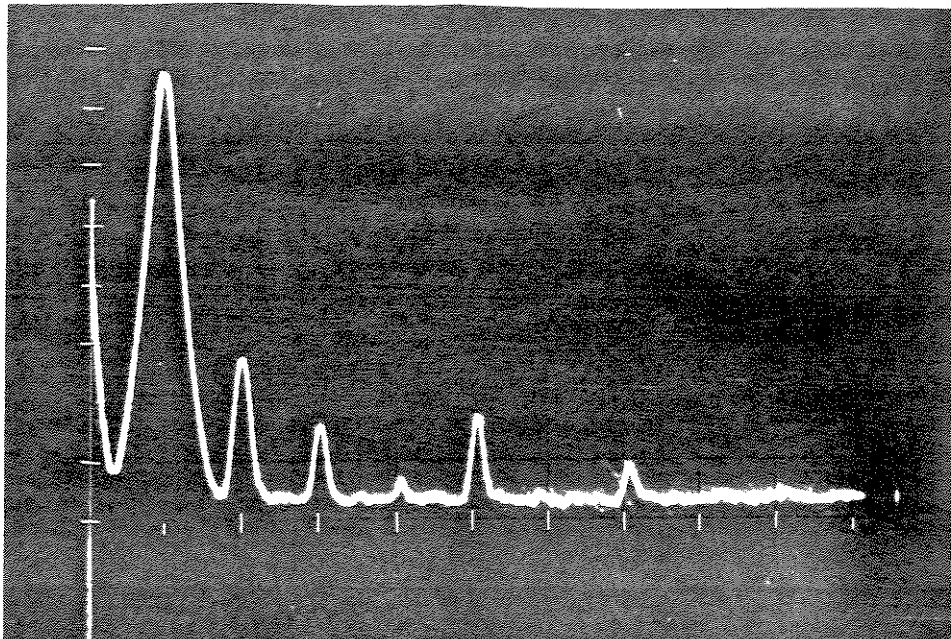


Fig. 2.26 Espectro de Frequência do Sinal de Saída. $I_p=2\text{mA}$, $V_e=1\text{V}$, Escala Vert. = 10dB/Div. e Escala Horiz. = 1kHz/Div.

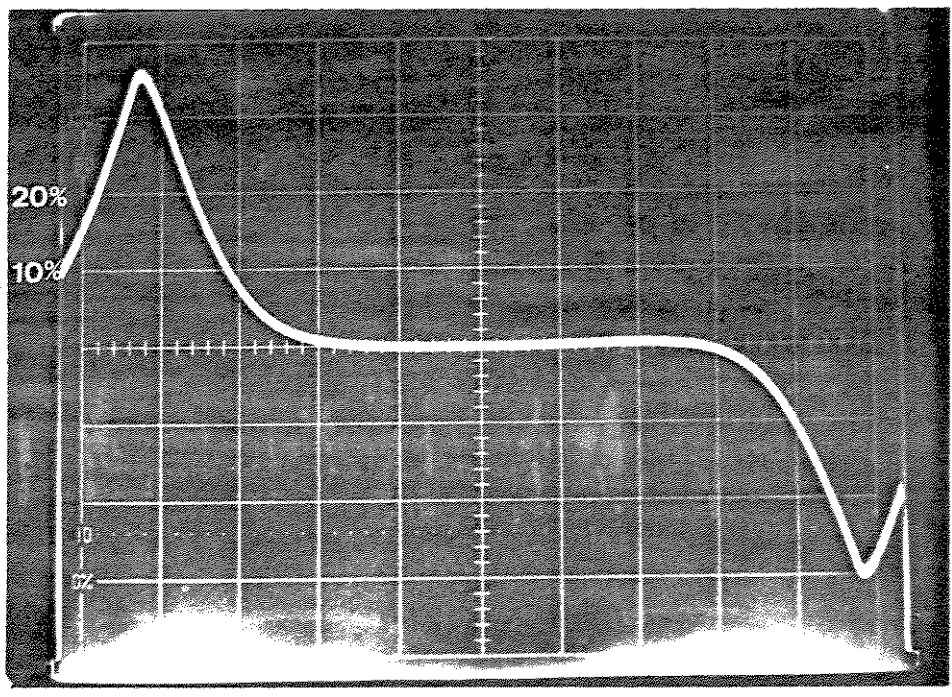


Fig.2.27 Curva de Erro de Linearidade. $I_p=2mA$, $V_e=2V$, Escala Horiz.= $0.5V/Div.$ e Escala Vert.= $0.2V/Div.$

No gráfico da Fig. 2.28 é mostrado o comportamento em frequência do conversor tensão-corrente.

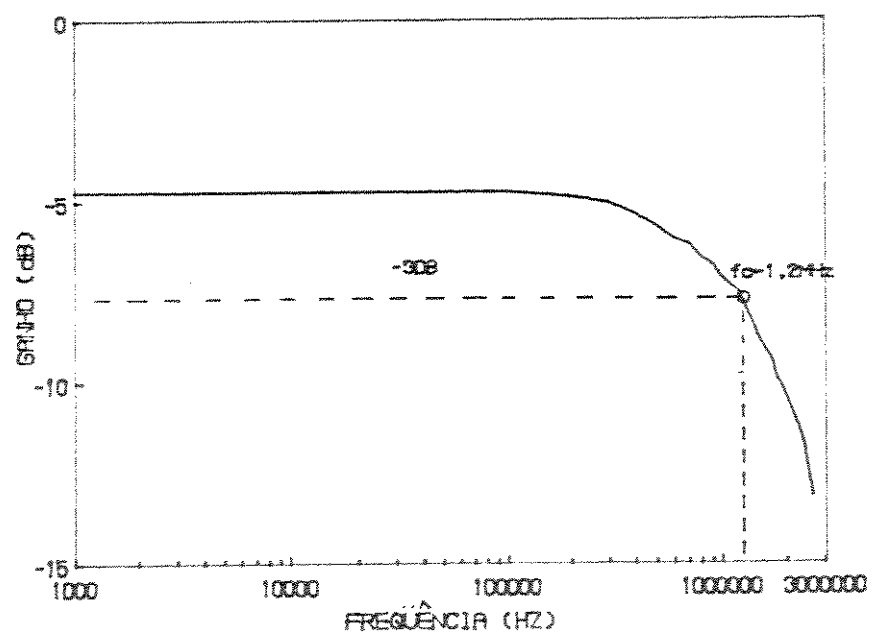


Fig. 2.28 - Comportamento em Frequência do Conversor Tensão-Corrente.

2.9 DISCUSSÃO DOS RESULTADOS OBTIDOS.

A simulação efetuada da distorção harmônica (Fig. 2.17) para o conversor tensão-corrente utilizando os parâmetros do processo PMU, mostra um aumento da excursão do sinal de entrada com corrente de polarização para um determinado nível de distorção harmônica. Este efeito é previsível uma vez que, com o aumento da corrente, o diodo MOS atua de forma mais próxima a uma fonte flutuante ideal. Além disso, há um aumento da faixa de excursão do conversor tensão-corrente com o acréscimo da corrente de polarização. O mesmo comportamento se verifica nos resultados obtidos através da montagem em "breadboarding" (Fig. 2.24).

A predominância dos harmônicos de segunda ordem e terceira ordem no espectro em frequência mostrado na Fig. 2.18 para a simulação e na Fig. 2.26, para a montagem com os transistores do "array", são resultados dos efeitos de segunda ordem descritos na seção 2.4.

Na simulação do comportamento em frequência, nota-se da Fig. 2.21, que o conversor tensão-corrente atinge a frequência de 10MHz. Na medição efetuada na montagem em "breadboarding" a frequência de corte é da ordem de 700 kHz. Tal comportamento deve-se às altas capacitâncias dos transistores do "array" e portanto com altas capacitâncias associada aos transistores.

Quanto ao erro de linearidade, nota-se da Fig. 2.27, que para uma excursão de 2Vpp, este erro é da ordem de 2%. O limite da excursão da tensão de entrada é determinado pela necessidade dos transistores MOS estarem na região de saturação. O aumento da corrente de polarização permite uma maior excursão de entrada.

CAPÍTULO 3

APLICAÇÕES BÁSICAS DO CONVERSOR TENSÃO-CORRENTE.

3.1 - INTRODUÇÃO

Neste capítulo serão apresentadas aplicações básicas do conversor tensão-corrente em circuitos analógicos, sendo que aplicações mais complexas serão apresentadas em capítulos posteriores. Inicialmente será analisado, na seção 3.2, o conversor tensão-corrente atuando como um conversor corrente-tensão ou resistor MOS. Duas configurações são propostas visando a implementação de um resistor MOS aterrado e um flutuante. Os equacionamentos e as medidas de seu desempenho serão apresentadas. O equacionamento, aplicações e medidas de desempenho do conversor tensão-corrente na implementação de integrador e girador são apresentados, nas seções 3.3, 3.4 e 3.5, respectivamente.

3.2 - CONVERSOR CORRENTE-TENSÃO

3.2.1 - Introdução

Resistores em processos MOS podem ser implementados com poli-silício, poço ou difusão^[35] que resultam, normalmente em componentes que possuem características não confiáveis e pouco versáteis. Portanto são necessárias estruturas capazes de simular um resistor utilizando-se de transistores MOS e que sejam controladas por uma tensão ou corrente externa para compensar eventuais desvios devido a variação no processo ou na temperatura. Tal estrutura poderia ser utilizada em diversos circuitos de processamento de sinais, como amplificadores com controle automático de ganho, osciladores controlados por tensão, multiplicadores analógicos, filtros contínuos, etc... Há na literatura propostas de implementação de resistores utilizando-se de transistores MOS na região triodo^[36-37] e também através da utilização de conversores tensão-corrente convenientemente realimentados^[28]. Resistores flutuantes são obtidos através de conversores tensão-corrente^[38], de transistores MOS polarizados de forma conveniente^[39] ou de amplificadores de transcondutância^[40].

Nesta seção fazendo uso do conversor tensão-corrente proposto será analisada a implementação de um conversor corrente-tensão ou resistor MOS aterrado e também da configuração flutuante. Equacionamentos, simulações e medições de desempenho serão apresentadas, para as configurações propostas.

3.2.2 Resistor MOS Aterrado.

Partindo do conversor tensão-corrente, convenientemente realimentado, proposto no capítulo 2, é possível obter-se um resistor linear, ajustável e aterrado. A Fig. 3.1 mostra a configuração deste resistor.

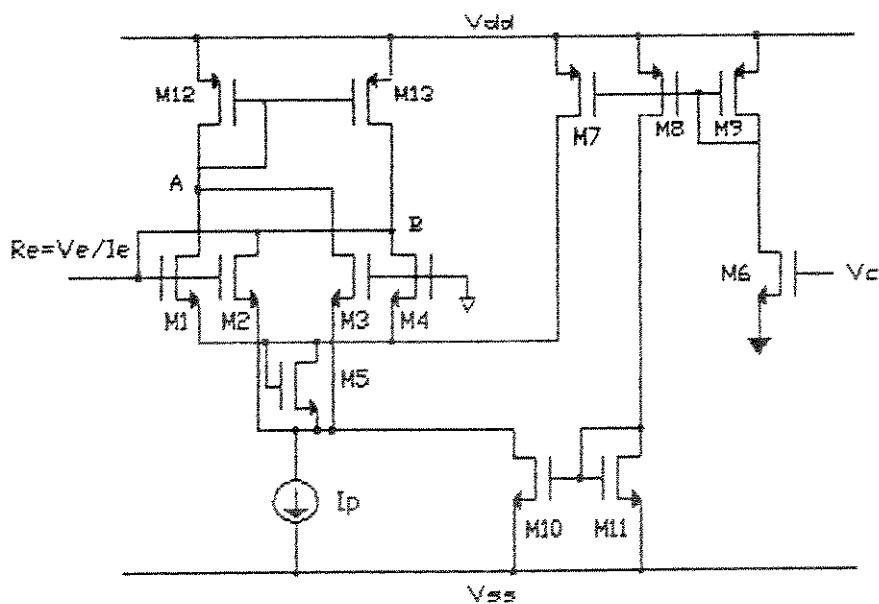


Fig. 3.1 Resistor MOS Aterrado

Neste circuito os transistores M_5 - M_{11} atuam como elementos de controle do resistor simulado, através da tensão V_c , como descrito na seção 2.3.

Supondo a característica quadrática ideal dos transistores M_1 - M_4 , que os mesmos sejam perfeitamente casados, que os espelhos de correntes sejam ideais e que M_5 e M_6 possuam dimensões iguais, obtém-se

$$I_o = 2\beta V_e V_c \quad (3.1)$$

e portanto

$$R_e = \frac{V_e}{I_e} = \frac{1}{2\beta V_c} \quad (3.2)$$

sendo V_c a tensão de controle aplicada a porta do transistor e também a tensão entre dreno e fonte do transistor MOS.

A validade deste equacionamento está restrita à atuação dos transistores MOS na região de saturação, de forma análoga ao equacionamento desenvolvido para o conversor tensão-corrente do capítulo 2.

Os efeitos de segunda ordem que afetam a característica quadrática do transistor MOS, que foram analisados para o conversor tensão-corrente, quando transportados para o resistor MOS, causam não-linearidades. Note-se também, que devido ao comportamento em frequência do conversor tensão-corrente, há restrição quanto a faixa de frequência de atuação deste resistor. Com relação ao efeito da temperatura sobre o resistor MOS, verifica-se uma dependência, visto que o fator μ varia com a temperatura, e portanto há variação do fator β .

Utilizando os parâmetros de um processo convencional e o programa SPICE2G, simulou-se o circuito da Fig. 3.1. A Fig. 3.2 mostra a curva da tensão em relação a corrente no resistor MOS.

No gráfico da Fig. 3.2 a tensão V_c controla o valor da resistência simulada. O valor de V_c varia entre 1,2V a 1,6V.

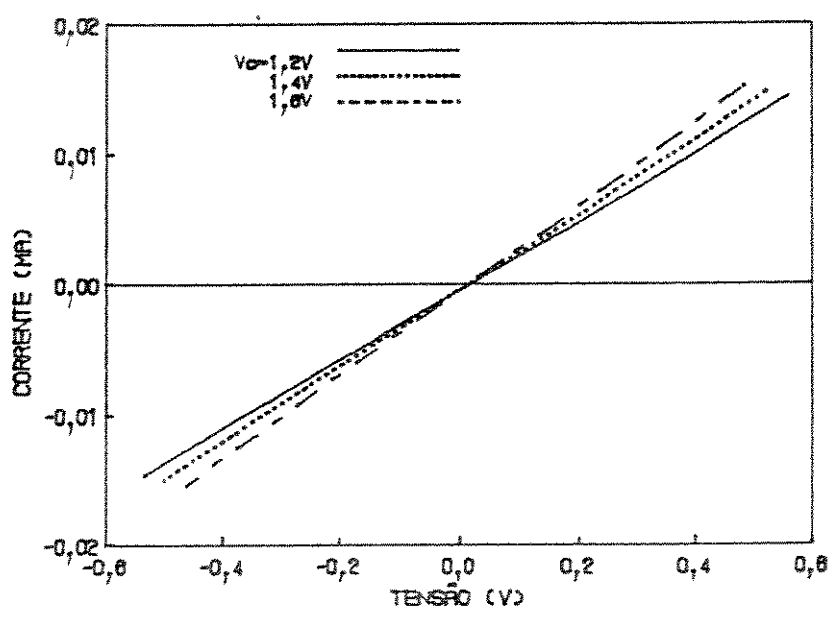


Fig. 3.2 Curva Característica do Resistor MOS

O gráfico da Fig. 3.3 apresenta o resultado da simulação de distorção harmônica do resistor MOS em relação à tensão de entrada, com a corrente de polarização variando entre $30\mu A$ a $100\mu A$. Os parâmetros dos transistores simulados são os de um processo convencional.

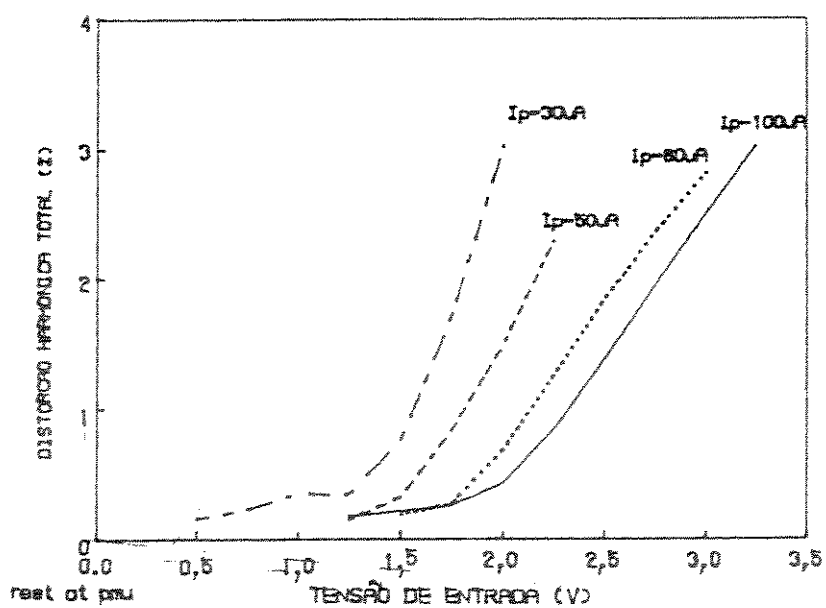


Fig. 3.3 Distorção Harmônica Total do Resistor MOS

Verifica-se no gráfico da distorção harmônica da Fig. 3.3, o aumento da excursão permitida ao resistor simulado, com o aumento da corrente de polarização. Este comportamento deve-se ao melhor funcionamento do transistor M_5 , que atua como diodo e ao aumento da faixa de excursão dos transistores na região de saturação.

O comportamento em frequência do resistor MOS simulado é mostrado na Fig. 3.4

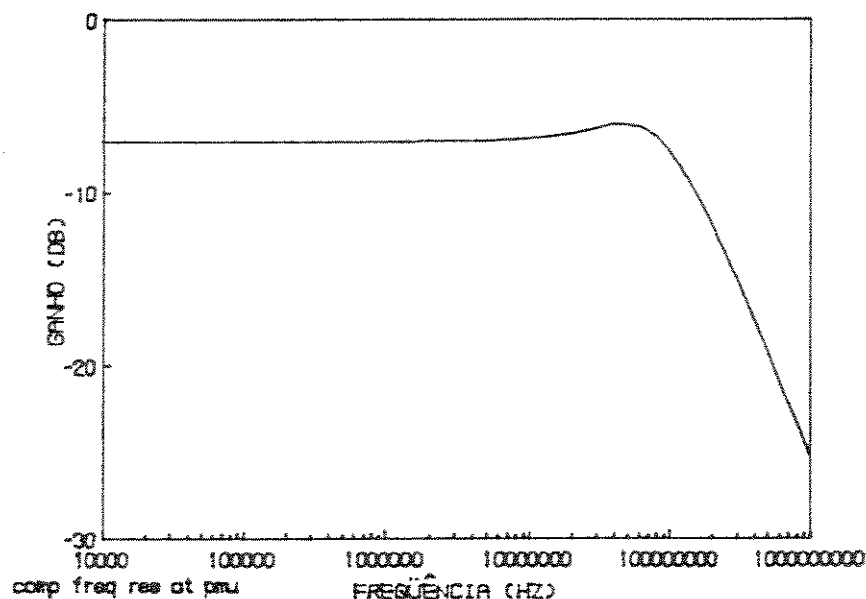


Fig. 3.4 Comportamento em Freqüência

Efetuada a montagem do resistor MOS em "breadboarding" obtém-se resultados experimentais. Na Fig. 3.5 é apresentada a curva característica do resistor MOS.

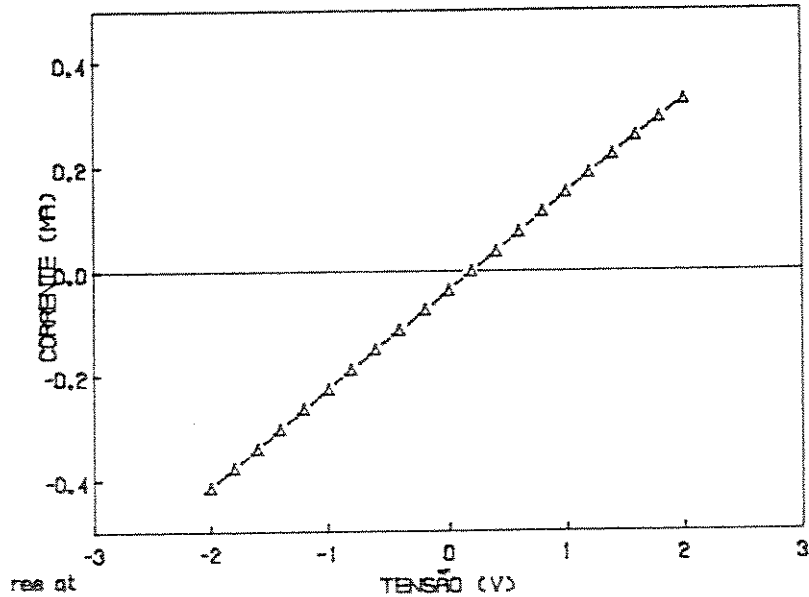


Fig. 3.5 Curva Característica do Resistor MOS Medida

As medidas da distorção harmônica do resistor aterrado, foram efetuadas utilizando a montagem mostrada na Fig. 3.6.

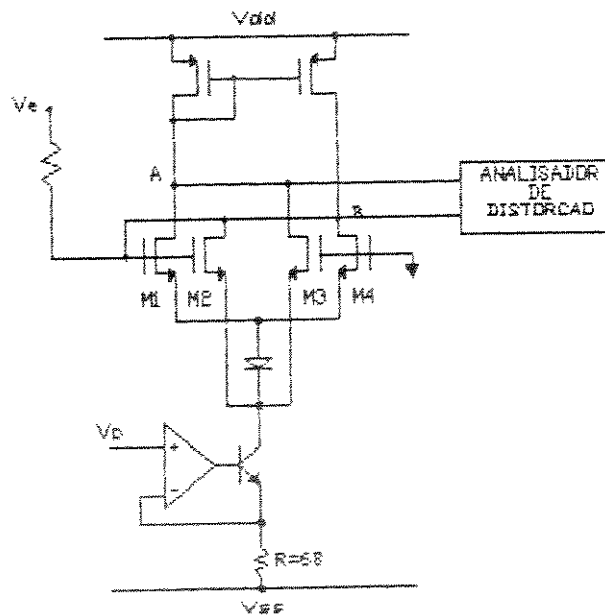


Fig. 3.6 - Montagem da Configuração para Medida da Distorção Harmônica Total.

O gráfico da Fig. 3.7 apresenta a distorção harmônica do resistor MOS medida. As curvas foram obtidas com a variação da corrente de polarização.

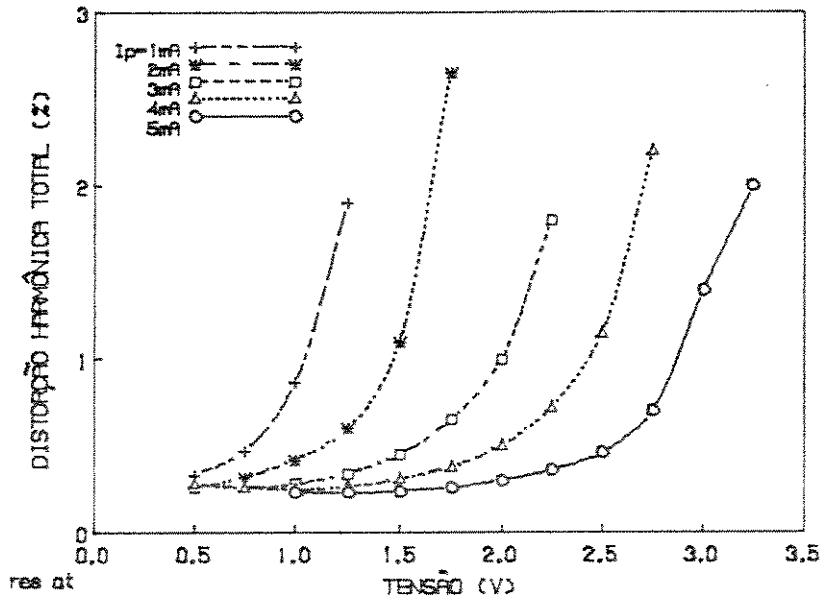


Fig. 3.7 Distorção Harmônica Total.

O comportamento em frequência do resistor MOS é mostrado na Fig. 3.8.

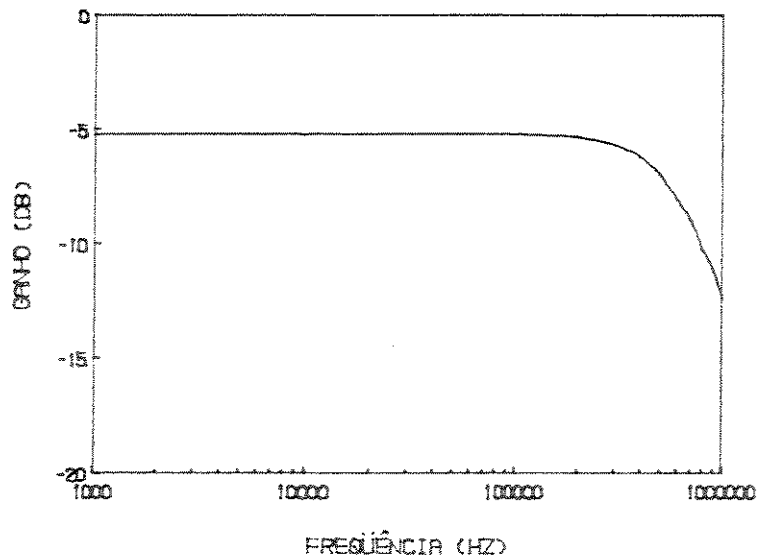


Fig. 3.8 Comportamento em Frequência

onde V_T é a tensão de limiar determinada pelo diodo MOS M_5 , que com um circuito de controle semelhante ao apresentado na Fig.3.1, pode atuar como uma tensão de controle que determina o valor de R_e .

$$R = \frac{1}{2\beta V_T} \quad (3.2)$$

Simulando a configuração proposta considerando os parâmetros do processo PMU obtem-se a distorção harmônica total em relação à tensão de entrada. As curvas são obtidas pela variação da corrente de polarização. O gráfico é apresentado na Fig. 3.10.

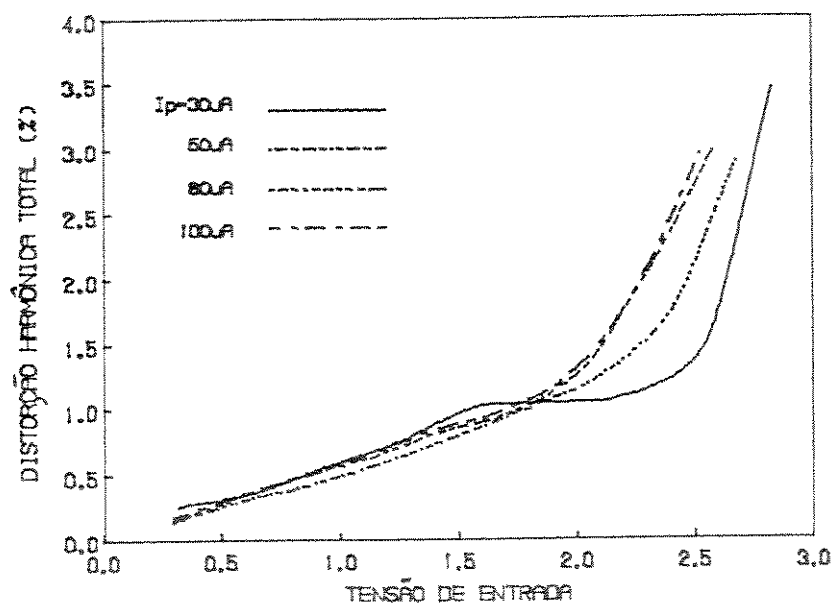


Fig. 3.10 Distorção Harmônica Total.

A curva característica do resistor flutuante simulado é mostrada na Fig. 3.11 e o seu comportamento em frequência na Fig.3.12.

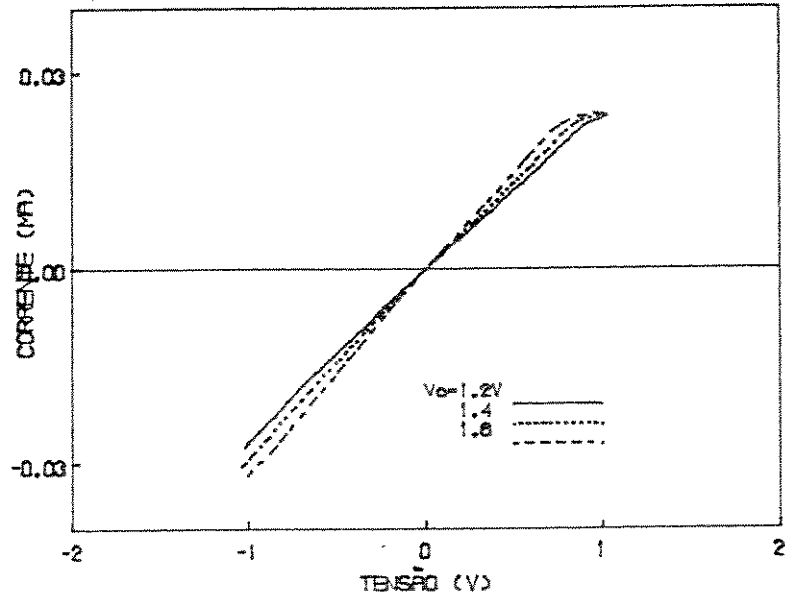


Fig. 3.11 Curva Característica do Resistor Flutuante

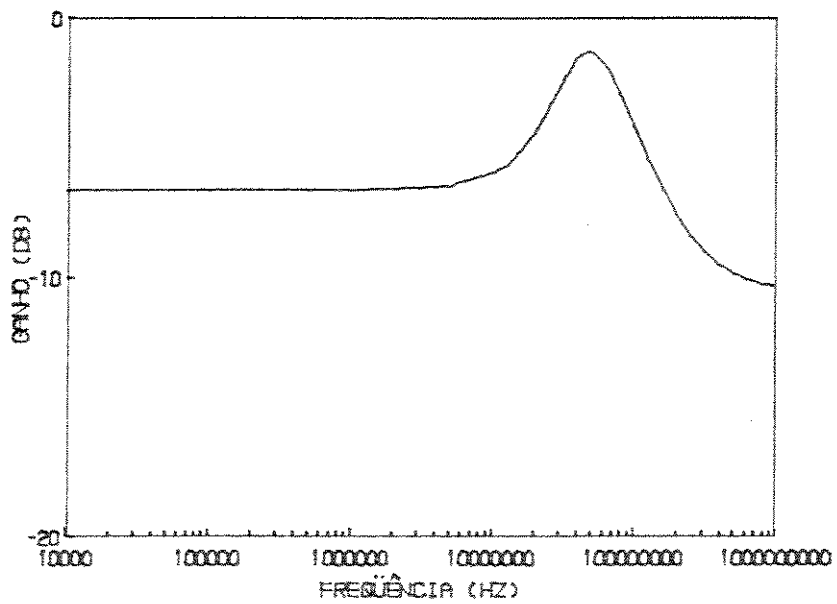


Fig. 3.12 Comportamento em Frequência do Resistor Flutuante

Os resultados obtidos da montagem em "breadboard" e da simulação utilizando os parâmetros extraídos do "array" CD4007, são mostrados nas seguintes figuras: na Fig.3.13 a curva

característica do resistor MOS flutuante é apresentada; e a distorção harmônica medida é mostrada no gráfico da Fig.3.14.

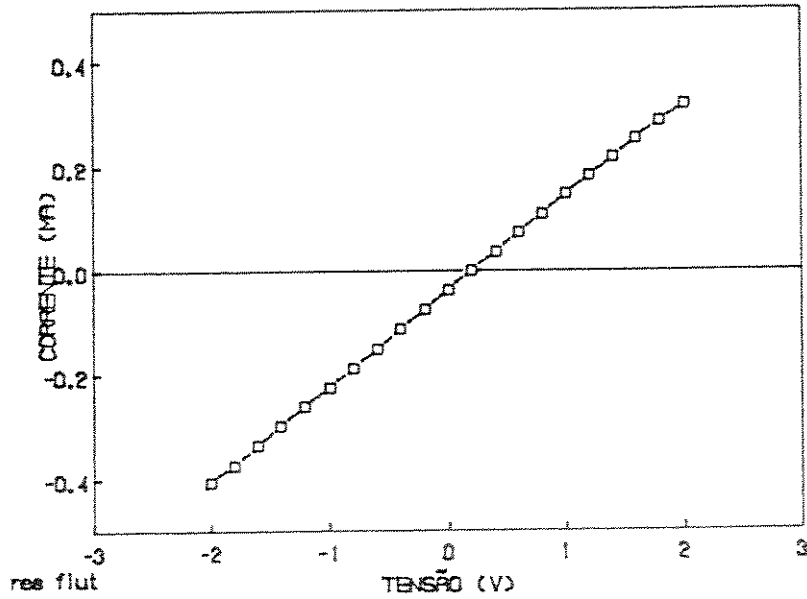


Fig. 3.13 Curva Característica Medida do Resistor Flutuante.

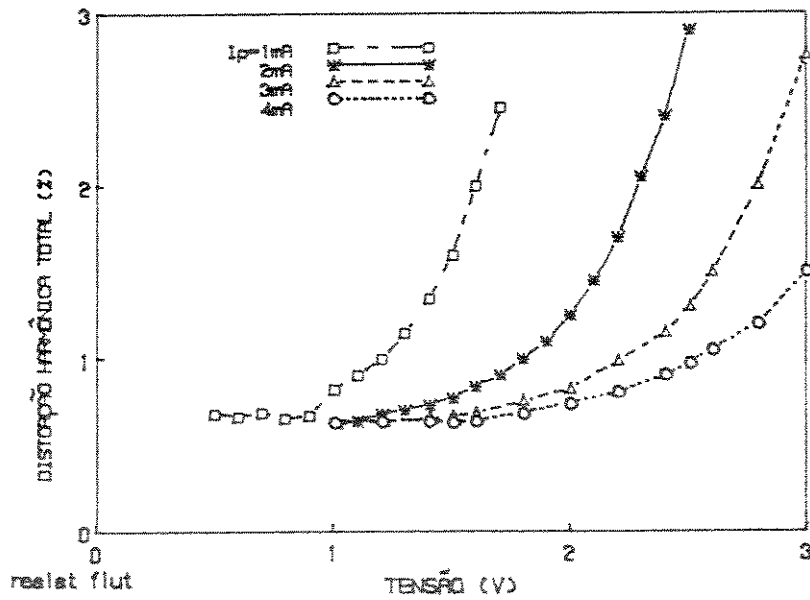


Fig. 3.14 Distorção Harmônica Medida no Resistor Flutuante.

3.3 INTEGRADOR

O bloco integrador é utilizado na síntese de alguns tipos de filtros contínuos [10]. Nesta seção será analisada a utilização do conversor tensão corrente, proposto no capítulo 2, para a implementação de um bloco integrador.

Idealmente um circuito correspondente ao integrador possui um polo na origem e uma defasagem de 90° (Fig.3.15.a). No entanto, para um integrador real com ganho cc finito, de valor a , o polo afasta-se da origem para a frequência ω_0/a , onde ω_0 é a frequência de ganho unitário do integrador. Há também, um ou mais polos não-dominantes, produzidos pelas capacitâncias dos transistores MOS.

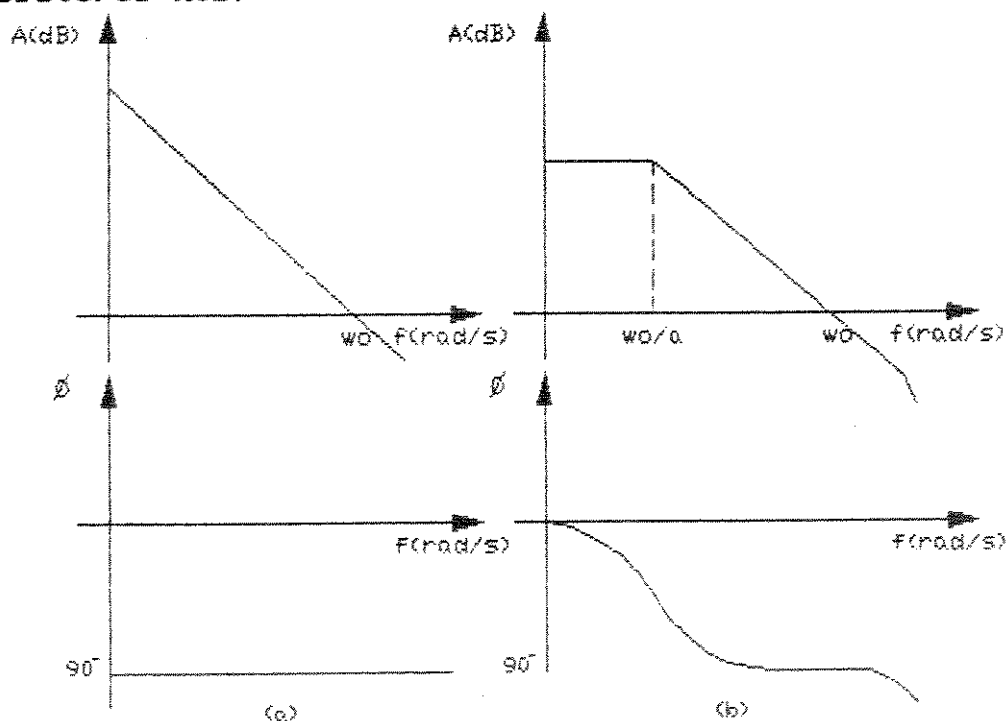


Fig.3.15 Comportamento em Frequência do Ganho e da Fase do Integrador: a) Integrador Ideal b) Integrador Real.

Partindo-se do conversor tensão-corrente proposto, obtém-se um integrador, interconectando-se os pontos A e B da Fig.2.8, através de um capacitor, como mostra a Fig. 3.16.

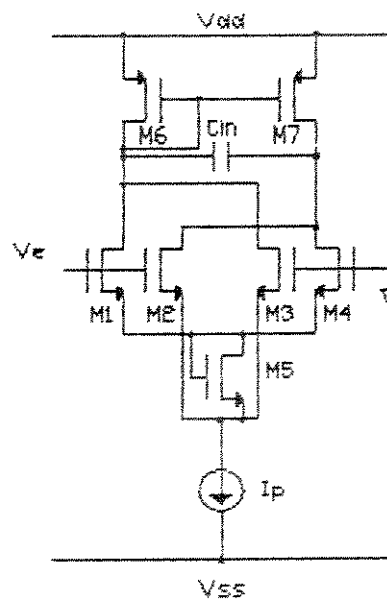


Fig. 3.16 Integrador Proposto

Considerando o integrador da Fig.3.16, equaciona-se o ganho da estrutura para determinação da frequência de ganho unitário dada aproximadamente por

$$V_s = \frac{(I_A - I_B)}{j\omega C_{in}} \quad (3.3)$$

$$V_s = \frac{2\beta V_e V_T}{j\omega C_{in}} \quad (3.4)$$

$$\frac{V_s}{V_e} = \frac{2\beta V_T}{j\omega C_{in}} \quad (3.5)$$

onde V_s é a tensão entre os terminais do capacitor C_{in} .

Para determinação da frequência de ganho unitário iguala-se o ganho da Eq. 3.5 a um, obtendo-se

$$\omega_o = 2\pi f = \frac{2\beta nVT}{C_{in}} \quad (3.6)$$

O ganho para um sinal contínuo é dado por

$$a = \frac{2\beta nVT}{g_{ocarga}} \quad (3.7)$$

$$g_{ocarga} = g_{o2} + g_{o4} + g_{o7} \quad (3.8)$$

O integrador proposto quando utilizado na implementação de filtros, na forma de entrada diferencial e saída diferencial necessita um circuito adicional para estabilização da tensão de saída de modo comum^{[10],[41]}. Na Fig. 3.17 apresenta-se o circuito resultante quando se adiciona, ao circuito fundamental (Fig. 3.16), os transistores M10-16. Os transistores M15 e M16 que operam na região triodo, juntamente com os transistores M10-14, efetuam esta estabilização.

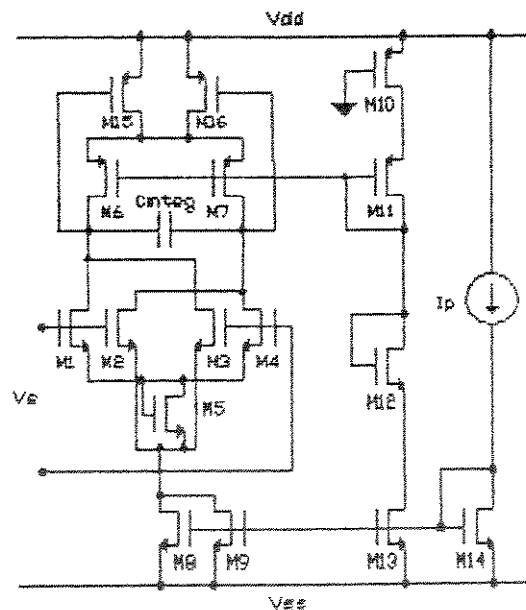


Fig. 3.17 - Circuito de Estabilização da Tensão de Modo Comum.

O integrador proposto, devido a sua configuração, possui propriedade semelhante ao ressonador descrito na literatura ^[10], em que ocorre uma neutralização dos efeitos das capacitâncias porta-dreno dos transistores de entrada.

Visando caracterizar este integrador utilizou-se o programa SPICE2G e os parâmetros do PMU para simulação do integrador proposto na Fig. 3.16. As Fig. 3.18 e 3.19 mostram as curvas de ganho e defasagem do integrador simulado.

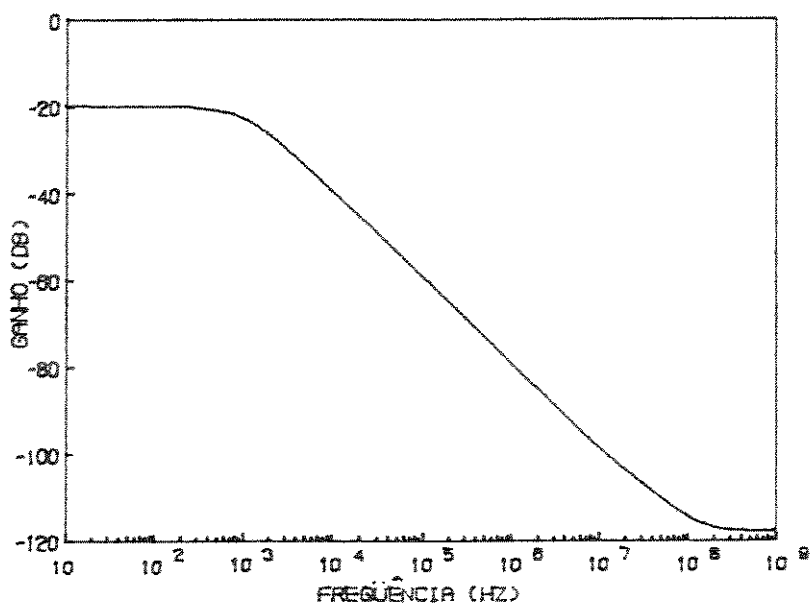


Fig. 3.18 - Ganho do Integrador Simulado.

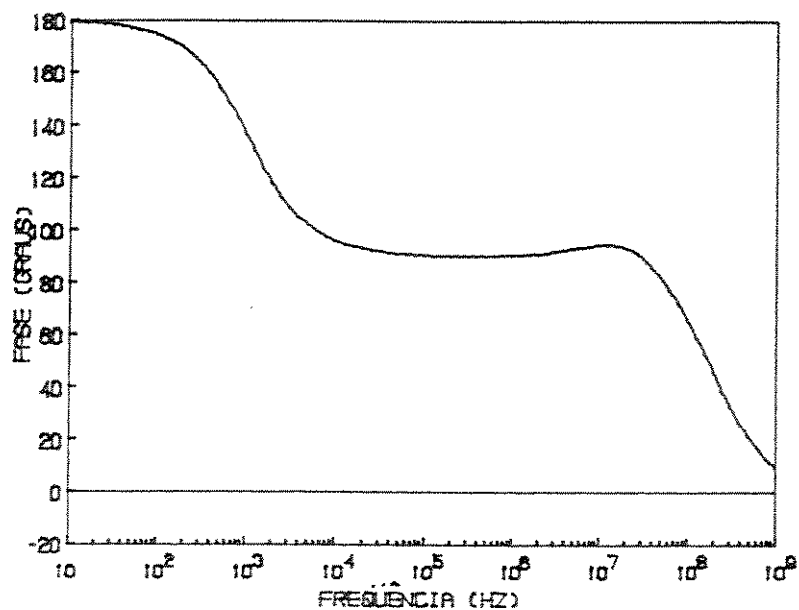


Fig. 3.19 - Defasagem do Integrador Simulado.

A medida efetuada do ganho na montagem em "breadboard" é mostrada na Fig. 3.20

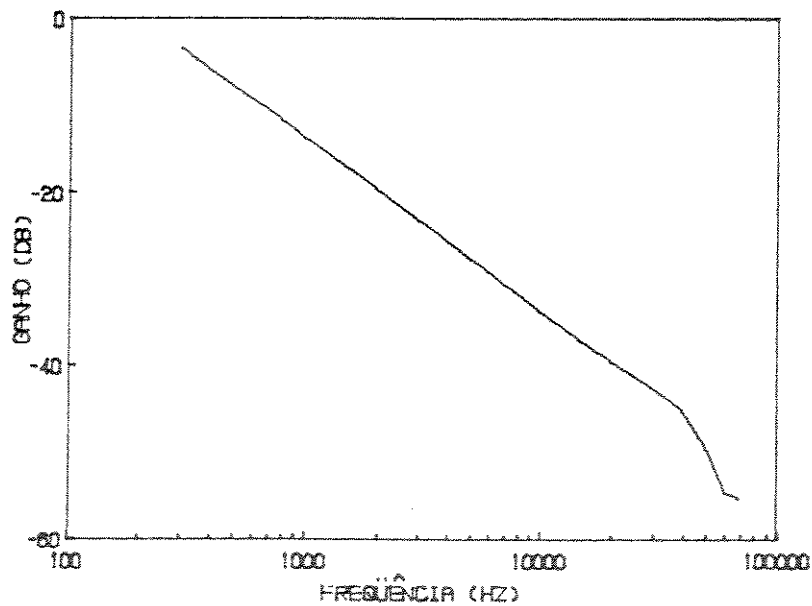


Fig. 3.20 Ganho do Integrador Medido

3.4 - GIRADOR.

O girador, como o integrador, é um bloco utilizado na síntese de filtros contínuos, através da simulação de indutores^[12]. Conectando-se dois conversores tensão-corrente e um capacitor como mostra a Fig.3.21^[28], simula-se um indutor, visto na sua entrada.

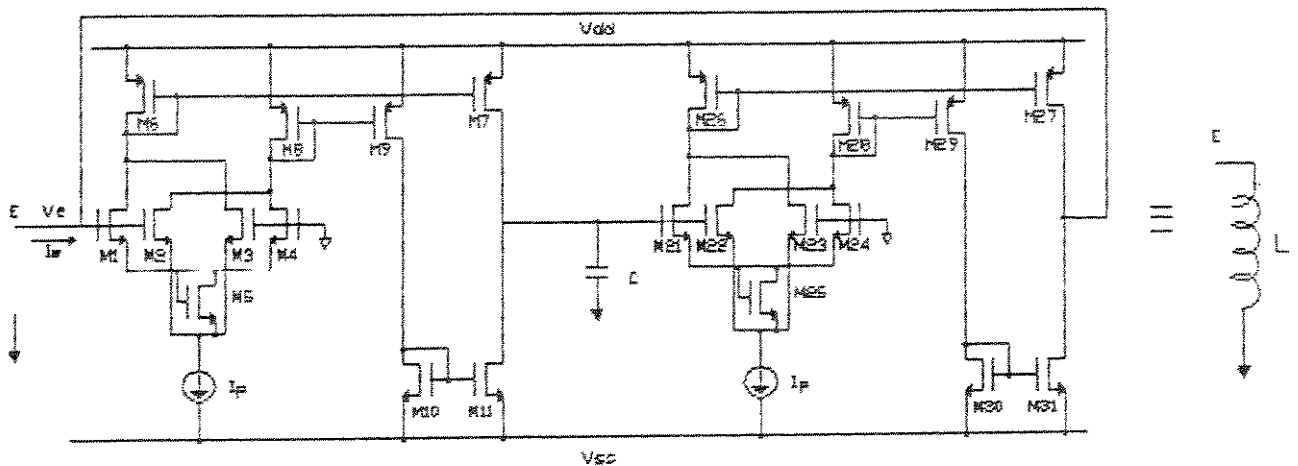


Fig.3.21 Girador Simulando um Indutor.

Considerando os espelhos ideais e válida a relação da tensão de entrada e a corrente diferencial de saída dada por

$$I_s = 2\beta V_e V_T \quad (3.9)$$

obtem-se a tensão intermediária V_i como

$$V_i = \frac{2\beta V_T V_e}{j\omega C_l} \quad (3.10)$$

A tensão V_i é aplicada a entrada do segundo conversor gerando a corrente I_e

$$I_e = \frac{4\beta^2 V_T^2 V_e}{sCL} \quad (3.11)$$

A impedância de entrada é obtida da relação V_e/I_e

$$Z_e = \frac{V_e}{I_e} = \frac{sCL}{4\beta^2 V_T^2} \quad (3.12)$$

Nota-se da equação 3.12, que a impedância vista na entrada do circuito da Fig. 3.21, atua como uma indutância.

Para a caracterização do girador simulou-se, utilizando os parâmetros do processo PMU, o circuito RLC mostrado na Fig. 3.22, sendo a indutância aquela obtida através do circuito girador. O comportamento do ganho com a frequência é mostrado na Fig. 3.23.

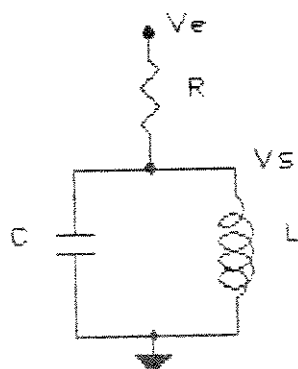


Fig. 3.22 Circuito Ressonante RLC, cuja Indutância, L , é Simulada pelo o Girador da Fig. 3.21.

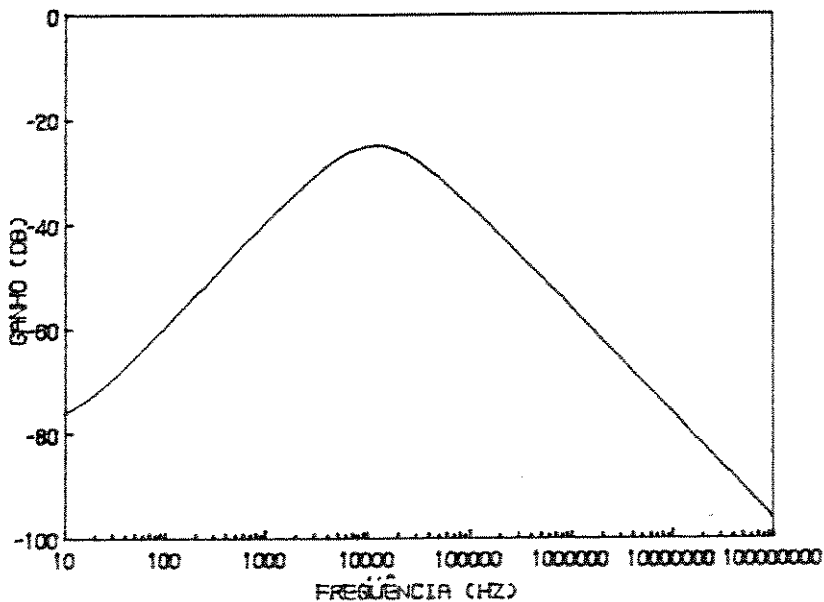


Fig. 3.23 Comportamento do Ganho com a Freqüência do Circuito Ressonante da Fig. 3.22 Simulado pelo Programa SPICE2G.

Através da montagem em "breadboarding" do circuito mostrado na Fig. 3.21, efetuou-se a medição do comportamento do ganho com a freqüência, cujo resultado é mostrado na Fig. 3.24.

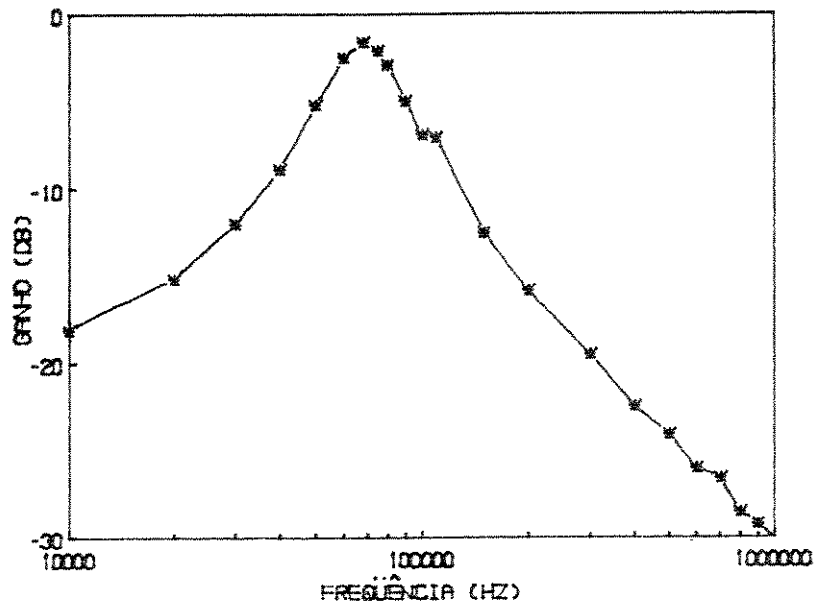


Fig. 3.24 Comportamento do Ganho com a Frequência Medida para o Circuito Ressonante. $R=15k\Omega$, $C=200pF$ e $C_L = 22nF$.

3.5 - DISCUSSÃO DOS RESULTADOS OBTIDOS.

Analisando os resultados obtidos da simulação e das medidas efetuadas para as diversas configurações propostas neste capítulo, pode-se ressaltar para o resistor implementado, através de transistores MOS, que: a verificação do ajuste do valor do resistor através de uma tensão de controle adicional seja observada, como mostram as Fig. 3.2 e 3.11, que foram obtidas através da simulação; a distorção harmônica causada pelo resistor depende da corrente de polarização, como se verifica nas Fig. 3.3 e 3.10 para simulação e Fig. 3.7 e 3.14, para resultados experimentais; a linearidade dos resistores propostos, bem como, a reciprocidade das estruturas, ou seja o comportamento dos resistores são idênticos em ambas as direções, sejam observadas, como mostram as Fig. 3.5 e 3.13 ; o comportamento em frequência simulado indica faixa de passagem para os resistores de 70MHz (Fig. 3.4 e 3.12) e 700kHz, para os valores medidos (Fig. 3.8). A discrepância deve-se, provavelmente às grandes dimensões dos transistores do "array" CD4007.

Quanto ao integrador proposto, verifica-se através da simulação, que o seu comportamento está restrito as frequências abaixo de 10MHz, como pode ser notado nas Fig. 3.18 e 3.19. Esta limitação em frequência deve-se as capacitâncias intrínsecas dos transistores MOS. Sobre o girador atuando como indutor, verifica-se o seu funcionamento através da simulação e medidas de um circuito ressonante.

CAPÍTULO 4

FILTRO CONTÍNUO MOS.

4.1 -INTRODUÇÃO.

Os filtros ativos, com o avanço das técnicas de integração, tem sofrido grandes modificações. Estes filtros, que inicialmente eram produzidos com componentes discretos ou tecnologia híbrida, atualmente, devido às técnicas de filtros a capacitor chaveado, digitais ou contínuos, são produzidos na forma monolítica. Os filtros contínuos, quando comparado às técnicas de filtro a capacitor chaveado ou filtros digitais, apresentam vantagens^[11], principalmente quando atuam em altas frequências.

A implementação de filtros a capacitores chaveados para altas frequências apresenta problemas, devido a sua natureza de circuito de amostragem e por isso, necessitam de amplificadores com "settling-time" melhores e de filtros "anti-aliasing" com maiores seletividades, o que dificulta o seu projeto.

Os filtros contínuos por serem de natureza totalmente analógica, não possuem estas restrições no entanto, será necessário um controle adicional de auto-sintonização para ajustar as características do filtro, pois existe uma forte

dependência entre tais características e os valores absolutos dos componentes monolíticos. Sabe-se ainda que tais elementos (capacitância e transcondutância de transistores) são por sua vez dependentes do processo e da temperatura. Os filtros contínuos monolíticos são utilizados: a) em processamento de sinais; b) em filtros na frequência de vídeo e de rádio; c) como filtros "anti-aliasing" em sistemas de filtros a capacitores chaveados e digitais; e em malhas de comunicação de dados.

Neste capítulo, na seção 4.2, será feita uma revisão das configurações de filtros contínuos descritas na literatura; na seção 4.3 será apresentada uma configuração de um filtro passa-baixa baseada no conversor tensão-corrente proposto no capítulo 2; uma proposta de circuito de auto-sintonização será apresentada na seção 4.4; os resultados obtidos da simulação do filtro passa-baixa proposto serão apresentados na seção 4.5; e a discussão dos resultados obtidos e as conclusões serão apresentadas nas seções 4.6 e 4.7, respectivamente.

4.2 - TIPOS DE FILTROS CONTÍNUOS

Os filtros contínuos compatíveis com a tecnologia CMOS podem ser implementados com transistores MOS atuando como resistores, capacitores e amplificadores operacionais, os denominados filtros contínuos MOSFET-C ou com a utilização de capacitores e conversores tensão-corrente.

4.2.1 - Filtros Contínuos MOSFET-C.

Os filtros contínuos MOSFET-C utilizam das técnicas já conhecidas de síntese de filtros ativos desenvolvidos para filtros RC. Estes filtros são implementados através da simulação dos resistores a partir de transistores MOS, de capacitores disponíveis no processo MOS e amplificadores operacionais MOS. A grande vantagem deste método é utilizar configurações já descritas na literatura e permitir projetos mais fáceis devido a utilização de amplificadores operacionais como blocos "standard cell". Desta forma o projetista necessita apenas interconectar o amplificador operacional com outros elementos para obtenção do filtro contínuo, ou seja permite uma independência entre a síntese do filtro e o projeto a nível de componentes.

4.2.2 - Filtros Contínuos Utilizando Conversores Tensão-Corrente.

Os filtros contínuos utilizando conversores tensão-corrente, ao contrário dos filtros contínuos MOSFET-C, usam diversas técnicas para implementação dos filtros. Desta forma o projetista do filtro necessita neste caso, projetar a nível de componentes os elementos ativos (giradores, conversores tensão-corrente, integradores, etc..), permitindo a otimização destes elementos. Khorramabadi e Gray propõem no artigo^[10], a implementação de um filtro passa-baixa baseado na configuração de um integrador diferencial otimizado para cancelamento de erro de fase. Neste artigo, o integrador é projetado para, através da escolha do comprimento de canal ótimo dos transistores MOS, haver um cancelamento de primeira ordem do seu erro de fase, que torna possível a realização de filtros com alto Q. A desvantagem desta configuração é o comportamento não-linear do integrador, quando a tensão de entrada ultrapassa um determinado valor, pois a estrutura baseia-se no par diferencial simples. Krummenacher e Joehl^[13] propõem, a partir de um amplificador de transcondutância linearizado, a implementação de um filtro contínuo passa-baixa elíptico de 3^o ordem utilizando indutores simulados com giradores. Park e Schaumann^[14] implementaram um filtro passa banda de oitava ordem utilizando como célula básica um conversor tensão-corrente composto de quatro transistores^[28].

$$D_1(s) = s^2 + A_1 K_2 s + K_1 K_2 \quad (4.2)$$

com

$$K_1 = g_{m1}/C_1, \quad B_0 = g_{do}/C_1, \quad K_2 = g_{m2}/(C_2 + C_2'), \quad (4.3)$$

$$B_1 = g_{b1}/(C_2 + C_2'), \quad A_1 K_2 = g_{m3}/(C_2 + C_2'), \quad (4.4)$$

$$B_2 = C_2'/(C_2 + C_2') \quad \text{e} \quad B_3 = C_2/(C_2 + C_2') \quad (4.5)$$

sendo

$$\omega_p = \left[K_1 K_2 A_0 \right]^{1/2} - \text{frequência de corte} \quad (4.6)$$

$$Q_p = \frac{1}{A_1} \left[K_1 A_0 / K_2 \right]^{1/2} - \text{fator de qualidade} \quad (4.7)$$

$$\omega_p / Q_p = K_2 A_1 \quad (4.8)$$

Para o filtro passa-baixa $V_2=V_3=V_4=V_5=V_6=V_7=0$ e $C_2=0$.

$$V_{oz} = \frac{K_1 K_2}{s^2 + A_1 K_2 s + K_1 K_2} \quad (4.9)$$

$$\omega_p = \frac{g_{m1} g_{m2}}{C_1 C_2} \quad (4.10)$$

$$\omega_p / Q_p = g_{m3} / C_2 \quad (4.11)$$

A configuração do filtro passa-baixa é mostrada na Fig. 4.2

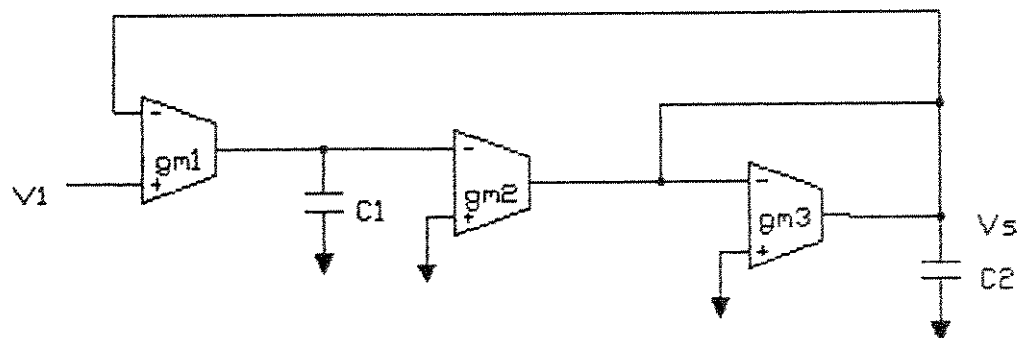


Fig. 4.2 Configuração do Filtro Passa-Baixa

Utilizando a aproximação de Butterworth para determinação dos parâmetros, tem-se que $g_m = g_{m1} = g_{m2} = g_{m3} / \sqrt{2}$ e $C_1 = C_2 = C$, sendo a frequência de corte dada por

$$f = \frac{1}{2\pi} \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (4.12)$$

Implementando-se o filtro passa-baixa com o conversor tensão-corrente proposto, obtém-se

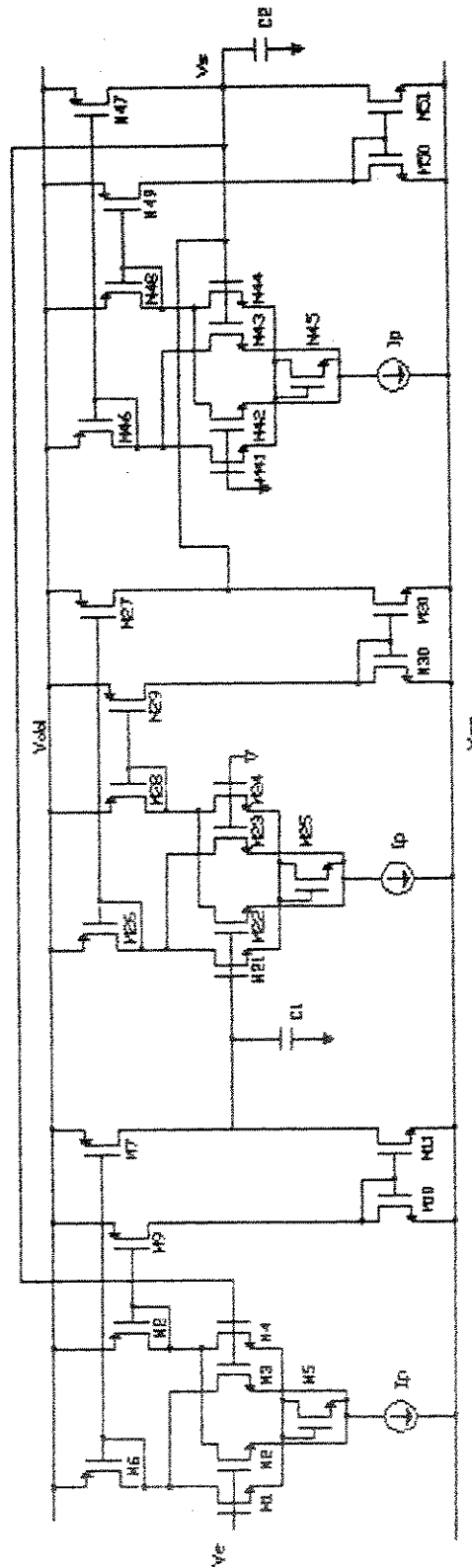


Fig. 4.3 Circuito Proposto para o Filtro Passa-Baixa de 2^ª

Ordem

4.4 CIRCUITO DE AUTO-SINTONIZAÇÃO.

A mudança nos parâmetros devido a variação no processo e na temperatura, faz com que os filtros contínuos MOS necessitem um circuito de auto-sintonização. Nesta seção é proposta uma configuração que executa esta auto-sintonização.

Existem na literatura diversas propostas de circuitos de auto-sintonização^{[10-11],[13-14]}; para o filtro passa-baixa projetado, propõe-se o esquema de uma auto-sintonização indireta mostrado na Fig. 4.4.

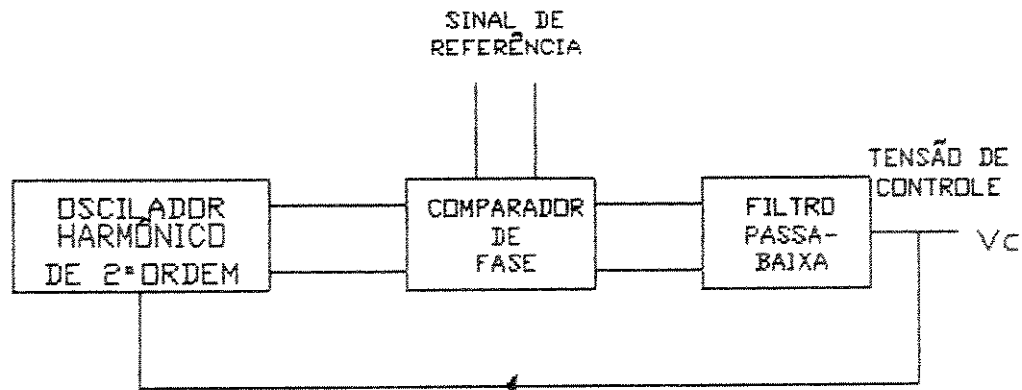


Fig. 4.4 Circuito de Auto-sintonização Proposto

Neste circuito o oscilador controlado por tensão é implementado com o mesmo conversor tensão-corrente utilizado para implementação do filtro e portanto, possui as mesmas características de variação com a temperatura e com o

processo. O detetor de fase é implementado com auxílio de uma porta ou-exclusivo, exigindo que os sinais de entrada sejam quadrados, ou seja o sinal de referência e o sinal do oscilador controlado por tensão são comparados ao nível zero antes de entrar no detetor de fase. O filtro passa-baixa é conseguido com uma malha RC e sua função é converter o sinal de saída do detetor de fase em um sinal contínuo.

O princípio de funcionamento deste circuito baseia-se no controle da transcondutância dos conversores tensão-corrente utilizados. Havendo uma diferença de frequência entre os sinais de referência e a frequência gerada pelo oscilador controlado por tensão, o detetor de fase será acionado e o filtro passa-baixa mudará a tensão de controle V_c fazendo com que a diferença de frequência entre o oscilador e o sinal de referência permaneça constante.

4.5 - RESULTADOS OBTIDOS.

Utilizando os parâmetros do processo PMU e o programa SPICE2G, simula-se a configuração do filtro passa-baixa de segunda ordem proposto na seção 4.3. O resultado do comportamento em frequência é mostrado na Fig.4.5.

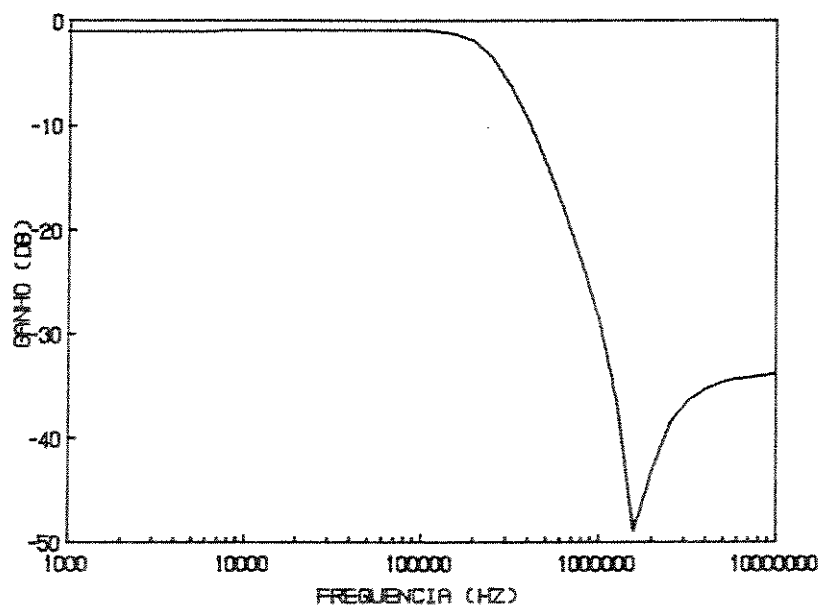


Fig. 4.5 - Comportamento em Frequência Simulado do Filtro Proposto.

Considerando uma entrada senoidal de 1kHz aplicada a entrada do filtro de segunda ordem, simulou-se a distorção harmônica na saída do filtro. O resultado obtido é apresentado na Fig.4.6.

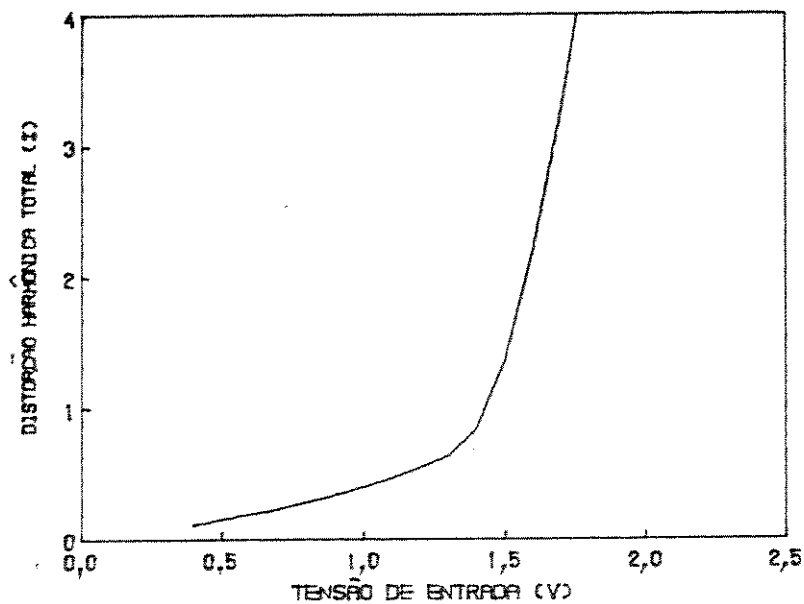


Fig. 4.6 - Distorção Harmônica Total do Filtro de Segunda Ordem Simulada.

Para obtenção de resultados práticos montou-se em "breadboard" a configuração do filtro de segunda ordem mostrada na Fig. 4.7. Neste circuito as capacitâncias $C_1=C_2=2,2\text{nF}$, as correntes de polarização $I_p=2\text{mA}$ e os diodos são de sinal, 1N4148.

O comportamento em frequência e distorção harmônica desta configuração foram obtidas e são apresentadas na Fig.4.8 e Fig.4.9 respectivamente.

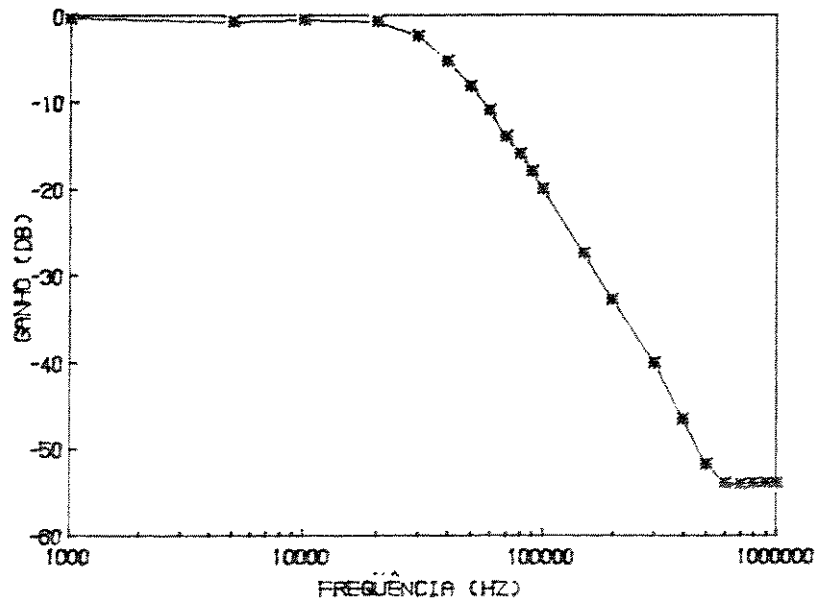


Fig. 4.8 - Comportamento em Frequência Medida do Filtro Passa-Baixa de Segunda Ordem.

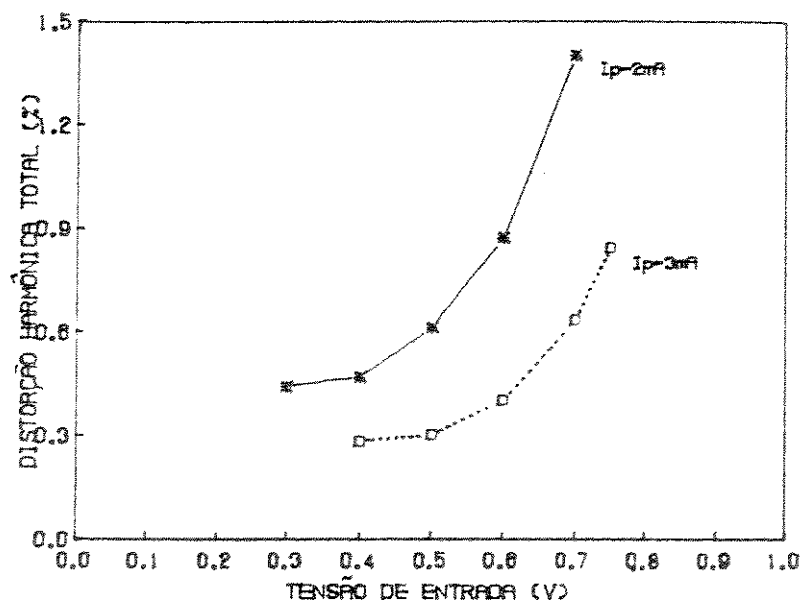


Fig. 4.9 - Distorção Harmônica Total Medida.

4.6 - DISCUSSÃO DOS RESULTADOS OBTIDOS.

O filtro contínuo passa-baixa de segunda ordem projetado e implementado com auxílio do integrador, foi simulado e os resultados do seu comportamento em frequência e distorção harmônica para um sinal de 1kHz, são apresentados nas Fig. 4.5 e 4.6, respectivamente. Nota-se na Fig. 4.5 a resposta plana na faixa de passagem, característica da aproximação Butterworth e a existência de comportamento não previstos em altas frequências, devido as capacitâncias intrínsecas do transistor MOS. Quanto a distorção harmônica, o seu aumento com a tensão de entrada, deve-se a excursão máxima permitida sem que os transistores saiam da região de saturação. Um comportamento semelhante é observado nos resultados experimentais, Fig. 4.8 e 4.9.

CAPÍTULO 5

MULTIPLICADOR ANALÓGICO DE QUATRO QUADRANTES CMOS

5.1 - INTRODUÇÃO

O multiplicador analógico é um bloco fundamental para geração de funções não-lineares ^[43]. Possuindo aplicações ainda em filtros adaptativos ^[44], processadores de sinais, medidas, conversores tensão eficaz para tensão contínua, etc...

Com transistores bipolares, os multiplicadores analógicos, são implementados com alta precisão e rapidez ^[45]. Nesta tecnologia, a utilização do princípio translinear ^[46], ou seja, a exploração da característica exponencial do transistor bipolar em malhas fechadas, permite a obtenção da multiplicação sem grandes dificuldades. Para circuitos utilizando transistores MOS, no entanto, devido a sua característica quadrática, esta técnica não pode ser aplicada diretamente.

Diversas configurações para implementação de multiplicadores analógicos utilizando apenas transistores MOS surgiram na literatura; na seção 5.2, será feita a descrição das principais configurações, citando suas características mais importantes. Neste capítulo são também propostas duas novas implementações para o multiplicador analógico, baseadas no

conversor tensão-corrente já apresentado anteriormente. A primeira proposta baseia-se no princípio de que a multiplicação de duas variáveis pode ser obtida através da subtração dos quadrados, da soma e da subtração destas variáveis. Esta proposta é apresentada na seção 5.3 e os resultados obtidos da simulação e das medidas em "breadboard", na seção 5.4. Na segunda proposta se utiliza o próprio conversor tensão-corrente que possui uma multiplicação implícita no seu equacionamento. A apresentação desta proposta é feita na seção 5.5 e seus resultados, na seção 5.6. A discussão dos resultados obtidos nas duas propostas é efetuada na seção 5.7 e as conclusões são apresentadas na seção 5.8.

5.2 CONFIGURAÇÕES EXISTENTES

A primeira proposta de implementação de um multiplicador analógico de quatro quadrantes utilizando apenas transistores MOS foi apresentada por Soo e Meyer ^[15]. Neste circuito utilizou-se pares diferenciais em cascata e um circuito de compensação de não-linearidade para implementação do multiplicador. A limitação desta configuração é a restrição de excursão da tensão de entrada pois, o circuito baseia-se no par diferencial, cuja saída só é função linear da entrada para pequena excursão de tensão. Babanezhad e Temes ^[18] propuseram a utilização de um par diferencial modificado, fazendo com que a corrente de polarização do par, fosse proporcional ao quadrado da tensão de uma das entradas. Com esta técnica a faixa de excursão linear foi aumentada. Com este par diferencial modificado implementou-se a célula de Gilbert ^[45] para obtenção do multiplicador analógico. A vantagem desta configuração é permitir uma excursão elevada de tensão na sua entrada, de modo similar à dos multiplicadores que utilizam transistores bipolares. A sua principal desvantagem é a exigência de entrada com sinais na forma diferencial balanceada. Bult e Wallinga ^[19] propuseram um multiplicador baseado no conversor tensão-corrente que faz uso da lei quadrática do transistor MOS. A deficiência desta estrutura reside na limitada faixa de entrada permitida, já que a sua célula de conversão tensão-corrente possui dois transistores MOS em série, operando na região de saturação, sobre os quais, os sinais de entrada do multiplicador são aplicados.

5.3 - Multiplicador Analógico Baseado na Relação

$$2AB = (A/2 + B/2)^2 - (A/2 - B/2)^2$$

Nesta seção será apresentada uma nova configuração do multiplicador analógico de quatro quadrantes baseada no conversor tensão-corrente proposto no capítulo 2. Esta configuração baseia-se na relação matemática que afirma que o produto de duas variáveis pode ser obtido da subtração dos quadrados da soma e da subtração dessas duas variáveis. Inicialmente será apresentada a configuração que efetua a soma e subtração de duas variáveis e da célula multiplicadora utilizada. A seguir serão apresentadas a configuração completa do multiplicador e sua análise, considerando a característica quadrática ideal. Uma análise dos efeitos de segunda ordem sobre o seu desempenho é também efetuada.

5.3.1 - Somador Analógico

Para a implementação do multiplicador analógico necessita-se de circuitos somadores e subtratores analógicos. Partindo do conversor tensão-corrente proposto, obtem-se um circuito somador analógico como mostrado na Fig. 5.1.

Considerando o somador como dois conversores tensão-corrente independentes, a diferença de correntes de cada conversor é proporcional à tensão aplicada; a soma das duas tensões pode ser obtida através da conexão conveniente dos conversores, como mostra a Fig. 5.1, e o resultado pode ser extraído sobre um par de resistores de carga.

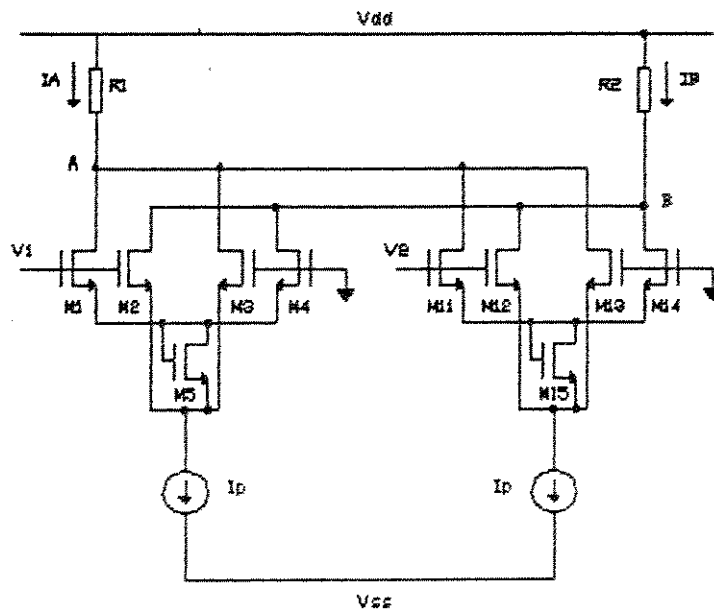


Fig. 5.1 - Somador Analógico.

Equacionando o circuito somador de forma análoga àquela efetuada para o conversor tensão-corrente, considerando os transistores MOS com características quadráticas ideais perfeitamente casados e os diodos MOS com queda de tensão V_T , obtém-se a corrente de saída:

$$I_S = I_A - I_B = 2 \beta V_T (V_1 + V_2) \quad (5.1)$$

Para obtenção do circuito subtrator, utiliza-se o mesmo circuito da Fig. 5.1, com a tensão que se deseja subtrair, aplicada de forma invertida no conversor tensão-corrente. Ou seja o sinal V_2 é aplicado nas portas dos transistores M_{13} e M_{14} , aterrando as portas dos transistores M_{11} e M_{12} . O subtrator pode também ser obtido através da inversão dos drenos a serem conectados aos resistores de carga.

5.3.2 - Célula Multiplicadora.

A multiplicação baseia-se na fórmula matemática dada por

$$4xy = (x+y)^2 - (x-y)^2 \quad (5.2)$$

Há necessidade portanto de se obter a subtração dos quadrados da soma e da subtração das variáveis, para se ter a multiplicação. Para isto, utiliza-se a célula multiplicadora já descrita na literatura ^{[23]-[47]}, que é mostrada na Fig.5.2.

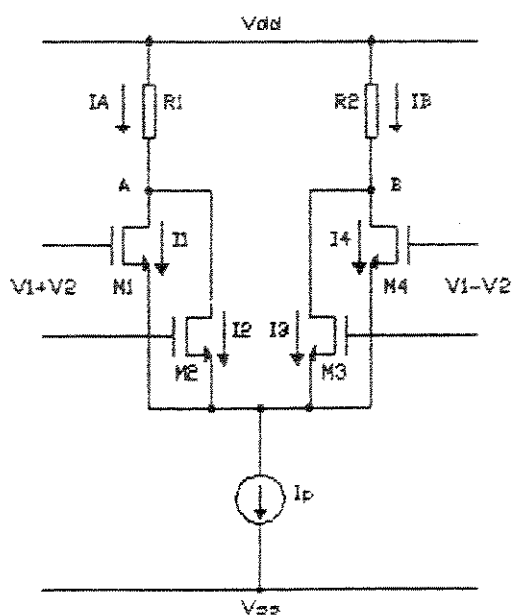


Fig. 5.2 - Célula Multiplicadora

Equacionando a célula multiplicadora considerando os transistores com características quadráticas ideais, e perfeitamente casados e admitindo que suas entradas sejam somas e subtrações das variáveis que se deseja multiplicar com um nível

comum iguais, tem-se

$$I_1 = \beta \left[\frac{1}{2} (V_{e1} + V_{e2}) + V_C - V_X - V_T \right]^2 \quad (5.3a)$$

$$I_2 = \beta \left[-\frac{1}{2} (V_{e1} + V_{e2}) + V_C - V_X - V_T \right]^2 \quad (5.3b)$$

$$I_3 = \beta \left[\frac{1}{2} (V_{e1} - V_{e2}) + V_C - V_X - V_T \right]^2 \quad (5.3c)$$

$$I_4 = \beta \left[-\frac{1}{2} (V_{e1} - V_{e2}) + V_C - V_X - V_T \right]^2 \quad (5.3d)$$

A corrente I_A e I_B são dadas por

$$\begin{aligned} I_A = I_1 + I_2 = \beta \left[\frac{1}{4} (V_{e1} + V_{e2})^2 + (V_{e1} + V_{e2}) \right. \\ \left. (V_C - V_X - V_T) + (V_C - V_X - V_T)^2 + \frac{1}{4} (V_{e1} + V_{e2}) \right. \\ \left. - (V_{e1} + V_{e2}) (V_C - V_X - V_T) + (V_C - V_X - V_T) \right] \end{aligned} \quad (5.4a)$$

$$\begin{aligned} I_B = I_3 + I_4 = \beta \left[\frac{1}{4} (V_{e1} - V_{e2})^2 + (V_{e1} - V_{e2}) \right. \\ \left. (V_C - V_X - V_T) + (V_C - V_X - V_T)^2 + \frac{1}{4} (V_{e1} - V_{e2}) \right. \\ \left. - (V_{e1} - V_{e2}) (V_C - V_X - V_T) + (V_C - V_X - V_T) \right] \end{aligned} \quad (5.4b)$$

A corrente de saída I_S da célula multiplicadora é calculada como

$$I_S = I_A - I_B = 2 \beta V_{e1} V_{e2} \quad (5.5)$$

5.3.3 - Multiplicador Analógico de Quatro Quadrantes Proposto

A configuração proposta do multiplicador analógico de quatro quadrantes é mostrada na Fig. 5.3. Neste circuito os resistores, que convertem as correntes em tensões, podem ser substituídos pelo conversor tensão-corrente simulando um resistor aterrado. Desta forma, evita-se a necessidade de resistores no circuito e permite a compensação da variação da mobilidade e da tensão de limiar devido a variação na temperatura.

5.3.4 - Efeitos de Segunda Ordem na Célula Multiplicadora.

De forma análoga ao efetuado para o conversor tensão-corrente, nesta seção serão analisados os efeitos de segunda ordem no comportamento da célula multiplicadora. Será considerada apenas a variação da mobilidade com tensão porta-fonte, os demais efeitos podem ser desprezados ao se considerar que: a) os transistores são de canais longos; b) a modulação de canal é desprezível; c) os substratos dos transistores são conectados às respectivas fontes; d) o efeito de corpo é inexistente. Um outro fato a ser considerado, são os descasamentos dos transistores.

5.3.4.1 - Variação da Mobilidade com Tensão Porta-Fonte.

Partindo da célula multiplicadora mostrada na Fig. 5.2 e considerando a equação que explicita este efeito (Eq. 5.6), equaciona-se o circuito, obtendo-se

$$I_{DF} = \beta (V_{PF} - V_T)^2 [1 - \theta (V_1 - V_x - V_T) + \theta^2 (V_1 - V_x - V_T)^2 - \dots] \quad (5.6)$$

$$I_1 = \beta (V_1 + V_C - V_x - V_T)^2 [1 - \theta (V_1 + V_C - V_x - V_T) + \theta^2 (V_1 + V_C - V_x - V_T)^2 - \dots] \quad (5.7a)$$

$$I_2 = \beta (-V_1 + V_C - V_x - V_T)^2 [1 - \theta (-V_1 + V_C - V_x - V_T) + \theta^2 (-V_1 + V_C - V_x - V_T)^2 - \dots] \quad (5.7b)$$

$$I_3 = \beta (V_2 + V_C - V_x - V_T)^2 [1 - \theta (V_2 + V_C - V_x - V_T) + \theta^2 (V_2 + V_C - V_x - V_T)^2 - \dots] \quad (5.7c)$$

$$I_4 = \beta (-V_2 + V_C - V_x - V_T)^2 [1 - \theta (-V_2 + V_C - V_x - V_T) + \theta^2 (-V_2 + V_C - V_x - V_T)^2 - \dots] \quad (5.7d)$$

sendo que $V_1 = V_{e1} + V_{e2}$ e $V_2 = V_{e1} - V_{e2}$.

Desenvolvendo as equações, obtém-se

$$\begin{aligned} I_1 = & \beta [V_1^2 + 2V_1(V_C - V_x - V_T) + (V_C - V_x - V_T)^2] - \\ & - \beta \theta [V_1^3 + 2V_1^2(V_C - V_x - V_T) + V_1(V_C - V_x - V_T)^2 + \\ & + V_1^2(V_C - V_x - V_T) + 2V_1(V_C - V_x - V_T)^2 + (V_C - V_x - V_T)^3] + \\ & + \beta \theta^2 [V_1^4 + 4V_1^3(V_C - V_x - V_T) + 4V_1^2(V_C - V_x - V_T)^2 + \\ & + 2V_1^2(V_C - V_x - V_T)^2 + 4V_1(V_C - V_x - V_T)^3 + (V_C - V_x - V_T)^4] \quad (5.8a) \end{aligned}$$

$$\begin{aligned}
I_2 = & \beta [V_1^2 - 2V_1(V_C - V_X - V_T) + (V_C - V_X - V_T)^2] - \\
& - \beta\theta [-V_1^3 + 2V_1^2(V_C - V_X - V_T) - V_1(V_C - V_X - V_T)^2 + \\
& + V_1^2(V_C - V_X - V_T) - 2V_1(V_C - V_X - V_T)^2 + (V_C - V_X - V_T)^3] + \\
& + \beta\theta^2 [V_1^4 - 4V_1^3(V_C - V_X - V_T) + 4V_1^2(V_C - V_X - V_T)^2 + \\
& + 2V_1^2(V_C - V_X - V_T)^2 - 4V_1(V_C - V_X - V_T)^3 + (V_C - V_X - V_T)^4] \quad (5.8b)
\end{aligned}$$

$$\begin{aligned}
I_3 = & \beta [V_2^2 + 2V_2(V_C - V_X - V_T) + (V_C - V_X - V_T)^2] - \\
& - \beta\theta [V_2^3 + 2V_2^2(V_C - V_X - V_T) + V_2(V_C - V_X - V_T)^2 + \\
& + V_2^2(V_C - V_X - V_T) + 2V_2(V_C - V_X - V_T)^2 + (V_C - V_X - V_T)^3] + \\
& + \beta\theta^2 [V_2^4 + 4V_2^3(V_C - V_X - V_T) + 4V_2^2(V_C - V_X - V_T)^2 + \\
& + 2V_2^2(V_C - V_X - V_T)^2 + 4V_2(V_C - V_X - V_T)^3 + (V_C - V_X - V_T)^4] \quad (5.8c)
\end{aligned}$$

$$\begin{aligned}
I_4 = & \beta [V_2^2 - 2V_2(V_C - V_X - V_T) + (V_C - V_X - V_T)^2] - \\
& - \beta\theta [-V_2^3 + 2V_2^2(V_C - V_X - V_T) - V_2(V_C - V_X - V_T)^2 + \\
& + V_2^2(V_C - V_X - V_T) - 2V_2(V_C - V_X - V_T)^2 + (V_C - V_X - V_T)^3] + \\
& + \beta\theta^2 [V_2^4 - 4V_2^3(V_C - V_X - V_T) + 4V_2^2(V_C - V_X - V_T)^2 + \\
& + 2V_2^2(V_C - V_X - V_T)^2 - 4V_2(V_C - V_X - V_T)^3 + (V_C - V_X - V_T)^4] \quad (5.8d)
\end{aligned}$$

Calculando a corrente de saída dada por

$$\begin{aligned}
I_s = I_1 + I_2 - I_3 - I_4 = & 2\beta(V_1^2 - V_2^2) \left[1 - 3\theta \right. \\
& \left. (V_C - V_X - V_T) + 6\theta^2(V_C - V_X - V_T)^2 + \theta^2(V_1^2 + V_2^2) \right] \quad (5.9)
\end{aligned}$$

Substituindo $V_1 = V_{e1} + V_{e2}$ e $V_2 = V_{e1} - V_{e2}$, obtém-se

$$I_s = 2\beta V_{e1}V_{e2} [1 - 3\theta(V_c - V_x - V_T) + 6\theta^2(V_c - V_x - V_T) + 2\theta^2(V_{e1}^2 + V_{e2}^2)] \quad (5.10)$$

Verifica-se a partir desta equação que a variação de mobilidade com V_{PF} causa: harmônicos de segunda ordem proporcionais a V_{e1}^2 e V_{e2}^2 dependentes de θ^2 ; e harmônicos de primeira ordem através da dependência de V_x com V_{e1} e V_{e2} .

5.3.4.2 - Descasamento de Componentes

Considerando o descasamento entre os transistores devido aos parâmetros β e V_T e admitindo características quadráticas ideais, tem-se:

$$I_i = I_{DFi} = \beta_i (V_{PF} - V_{Ti})^2 \quad (5.11)$$

$$I_1 = \beta_1 (V_{e1} + V_{e2} + V_c - V_x - V_{T1})^2 \quad (5.12a)$$

$$I_2 = \beta_2 (-V_{e1} - V_{e2} + V_c - V_x - V_{T2})^2 \quad (5.12b)$$

$$I_3 = \beta_3 (V_{e1} - V_{e2} + V_c - V_x - V_{T3})^2 \quad (5.12c)$$

$$I_4 = \beta_4 (-V_{e1} + V_{e2} + V_c - V_x - V_{T4})^2 \quad (5.12d)$$

Desenvolvendo as equações, obtêm-se

$$I_1 = \beta_1 \left[V_{e1}^2 + 2V_{e1}V_{e2} + V_{e2}^2 + 2V_{e1}(V_c - V_x - V_{T1}) + 2V_{e2}(V_c - V_x - V_{T1}) + (V_c - V_x - V_{T1})^2 \right] \quad (5.13a)$$

$$I_2 = \beta_2 \left[V_{e1}^2 + 2V_{e1}V_{e2} + V_{e2}^2 - 2V_{e1}(V_c - V_x - V_{T2}) - 2V_{e2}(V_c - V_x - V_{T2}) + (V_c - V_x - V_{T2})^2 \right] \quad (5.13b)$$

$$I_3 = \beta_3 \left[V_{e1}^2 - 2V_{e1}V_{e2} + V_{e2}^2 + 2V_{e1}(V_c - V_x - V_{T3}) - 2V_{e2}(V_c - V_x - V_{T3}) + (V_c - V_x - V_{T3})^2 \right] \quad (5.13c)$$

$$I_4 = \beta_4 \left[V_{e1}^2 - 2V_{e1}V_{e2} + V_{e2}^2 - 2V_{e1}(V_c - V_x - V_{T4}) + 2V_{e2}(V_c - V_x - V_{T4}) + (V_c - V_x - V_{T4})^2 \right] \quad (5.13d)$$

A corrente de saída é dada por

$$\begin{aligned} I_s &= I_1 + I_2 - I_3 - I_4 = \\ &= 2(\beta_1 + \beta_2 + \beta_3 + \beta_4) V_{e1}V_{e2} + \\ &+ (\beta_1 + \beta_2 - \beta_3 - \beta_4) V_{e1}^2 + \\ &+ (\beta_1 + \beta_2 - \beta_3 - \beta_4) V_{e2}^2 + \\ &+ \left[2\beta_1(V_c - V_x) - 2\beta_1V_{T1} - 2\beta_2(V_c - V_x) + 2\beta_2V_{T2} - \right. \\ &\left. - 2\beta_3(V_c - V_x) + 2\beta_3V_{T3} + 2\beta_4(V_c - V_x) - 2\beta_4V_{T4} \right] V_{e1} \\ &+ \left[2\beta_1(V_c - V_x) - 2\beta_1V_{T1} - 2\beta_2(V_c - V_x) + 2\beta_2V_{T2} + \right. \\ &\left. + 2\beta_3(V_c - V_x) - 2\beta_3V_{T3} - 2\beta_4(V_c - V_x) + 2\beta_4V_{T4} \right] V_{e2} \\ &+ (\beta_1 + \beta_2 - \beta_3 - \beta_4) (V_c - V_x)^2 + \\ &+ 2(V_c - V_x)(-\beta_1V_{T1} - \beta_2V_{T2} + \beta_3V_{T3} + \beta_4V_{T4}) + \\ &+ \beta_1V_{T1}^2 + \beta_2V_{T2}^2 - \beta_3V_{T3}^2 - \beta_4V_{T4}^2 \quad (5.14) \end{aligned}$$

Analisando esta equação pode-se afirmar: o primeiro termo da equação é a multiplicação; o descasamento entre os β e os V_T dos transistores ocasionam harmônicos de segunda ordem, quando se considera V_x constante, ou harmônicos de ordem superiores quando se considera V_x dependente de V_{e1} e V_{e2} ; os demais termos da equação representam "off-set" na saída.

5.3.5 - Resultados Obtidos

O comportamento do multiplicador proposto foi caracterizado por meio de simulações utilizando os parâmetros do processo PMU e através de medidas efetuadas em montagens em "breadboarding", utilizando o array CD4007. Inicialmente serão apresentados os resultados obtidos das simulações.

5.3.5.1 - Resultados de Simulação

O circuito simulado é mostrado na Fig. 5.4 sendo os parâmetros dos transistores disponíveis em um processo convencional, apresentados no apêndice B.

Considerando uma das entradas com um nível constante, é apresentada na Fig. 5.5 a não-linearidade, dada em percentagem, em relação à tensão de fundo de escala. Na Fig. 5.5a, considera-se a entrada V_x variável e V_y constante e na Fig. 5.5b, V_y variável com V_x constante.

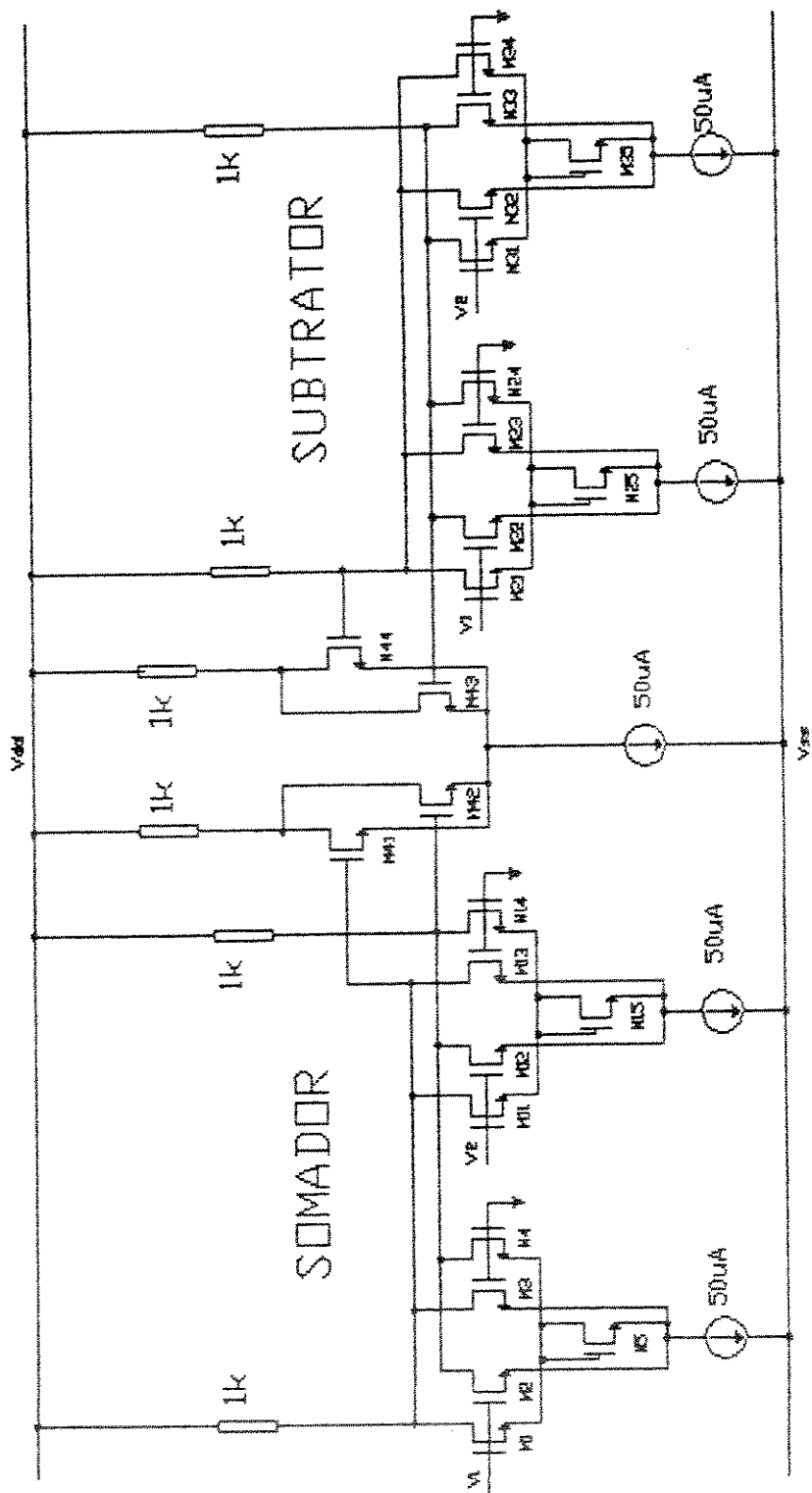


Fig. 5.4 - Circuito Multiplicador Simulado.

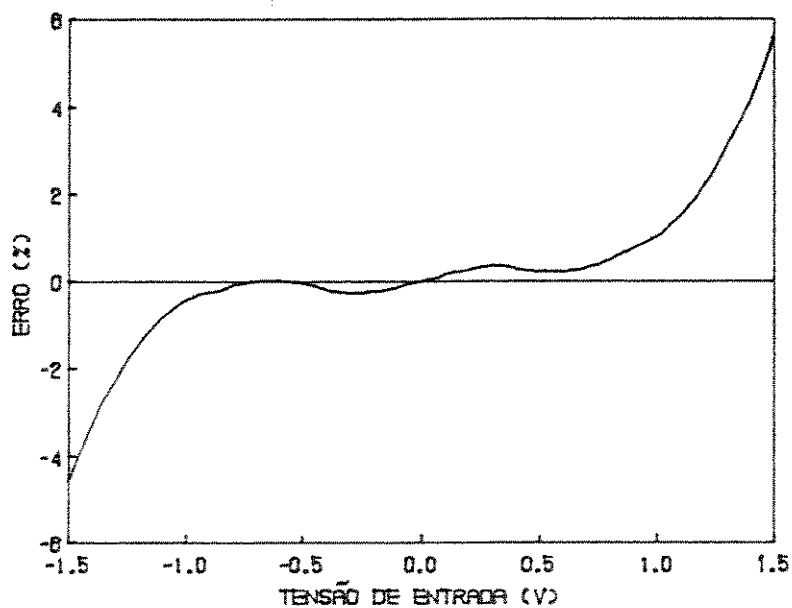


Fig. 5.5 - Não-linearidade do Multiplicador.

A curva característica do multiplicador é simulada, sendo apresentada na Fig. 5.6.

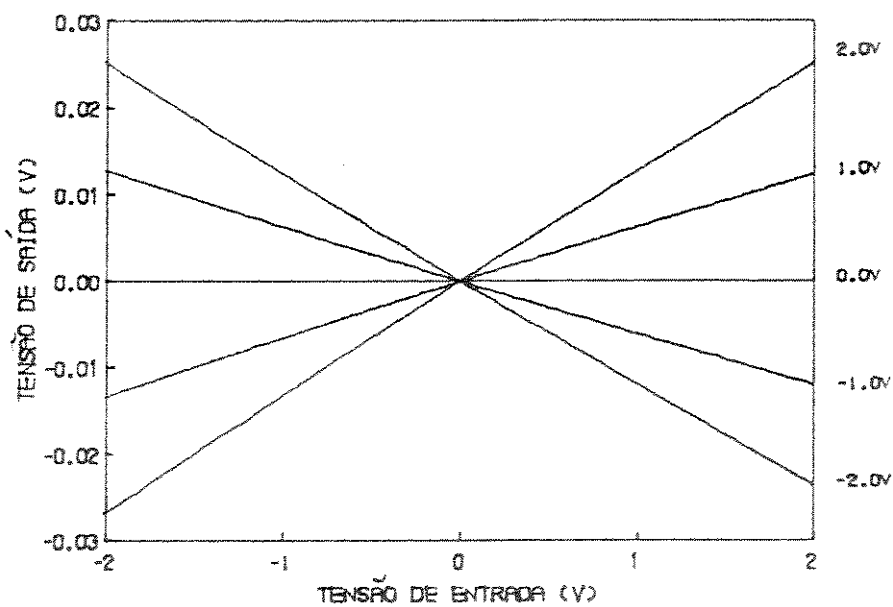


Fig. 5.6 - Curva Característica do Multiplicador.

5.3.5.2 - Resultados Experimentais.

A seguir serão apresentados os resultados obtidos de medidas efetuadas na montagem do multiplicador em "breadboarding". O circuito implementado é mostrado na Fig. 5.7.

Na Fig. 5.8a e 5.8b são apresentados o comportamento do multiplicador quando ambas as entradas são senoidais ou triangulares, respectivamente. Nota-se, no primeiro caso, a multiplicação da frequência no sinal de saída, sendo a tensão de entrada $V_e=1V$ de pico e a tensão de saída $V_s=0.1V$ de pico. No segundo caso, a tensão de entrada $V_e=3V_{pp}$ e a tensão de saída possui a forma parabólica com tensão pico a pico de $0.2V$. Em ambas as medidas a resistência de carga do somador e do subtrator é igual a 525Ω , e a resistência de carga do multiplicador é de $1k\Omega$.

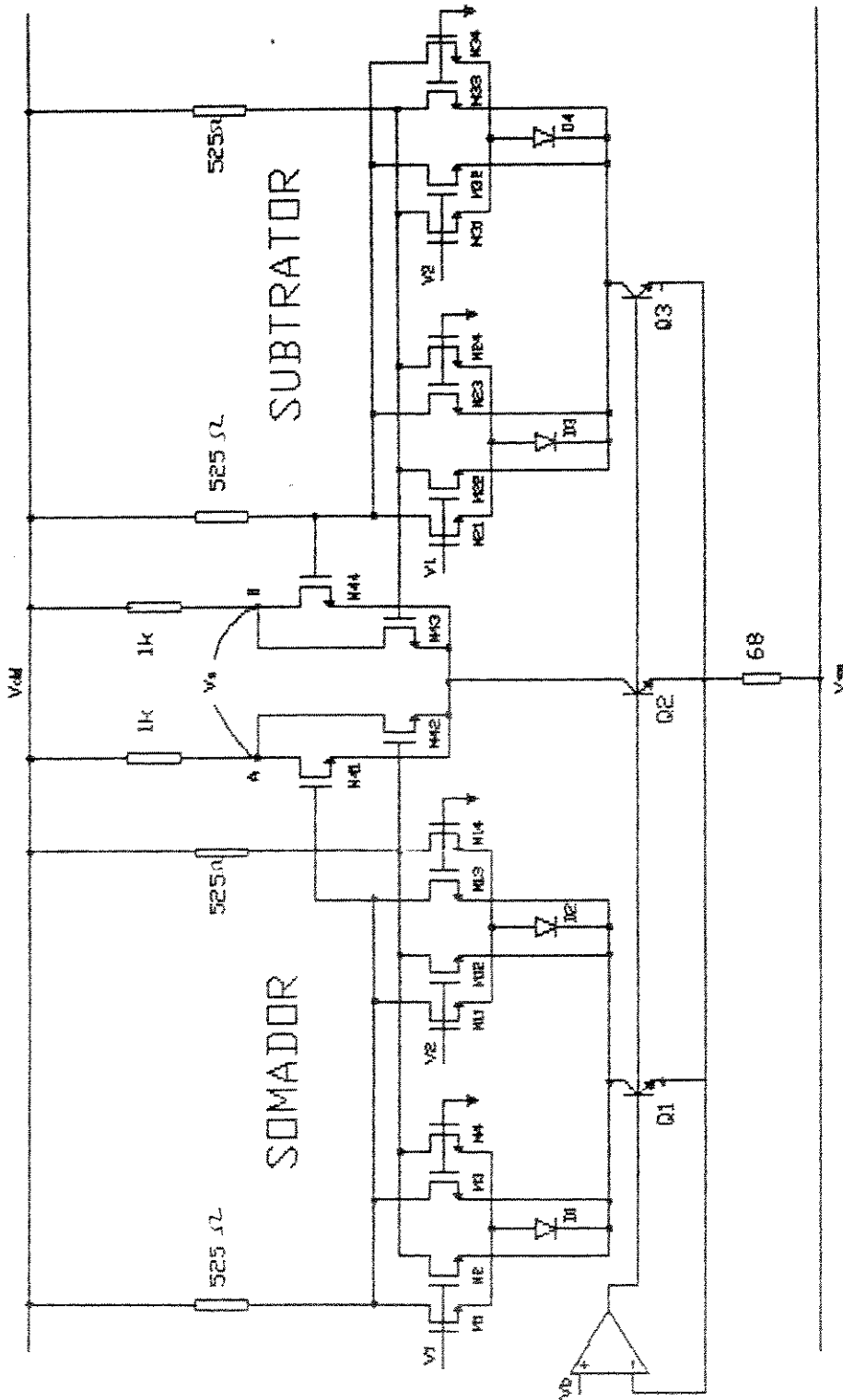
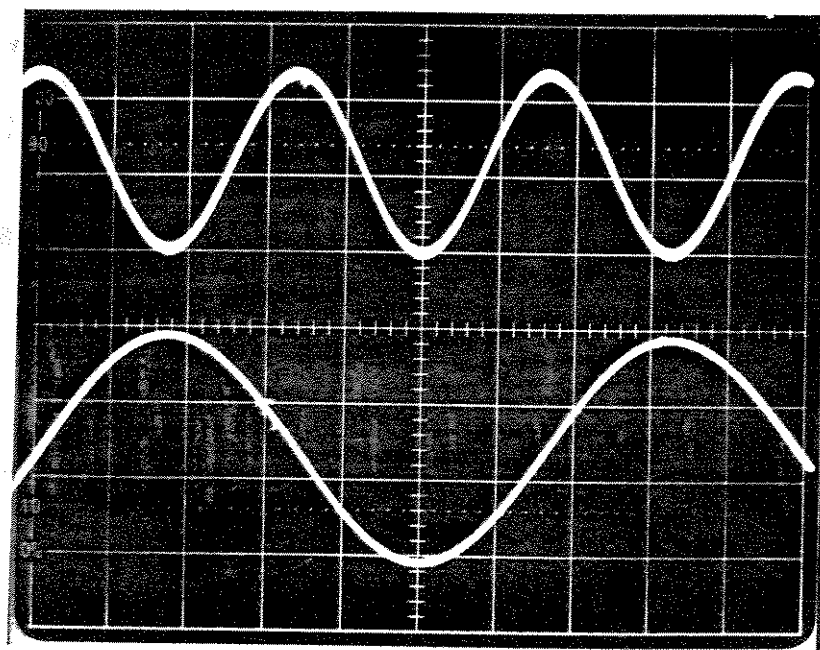
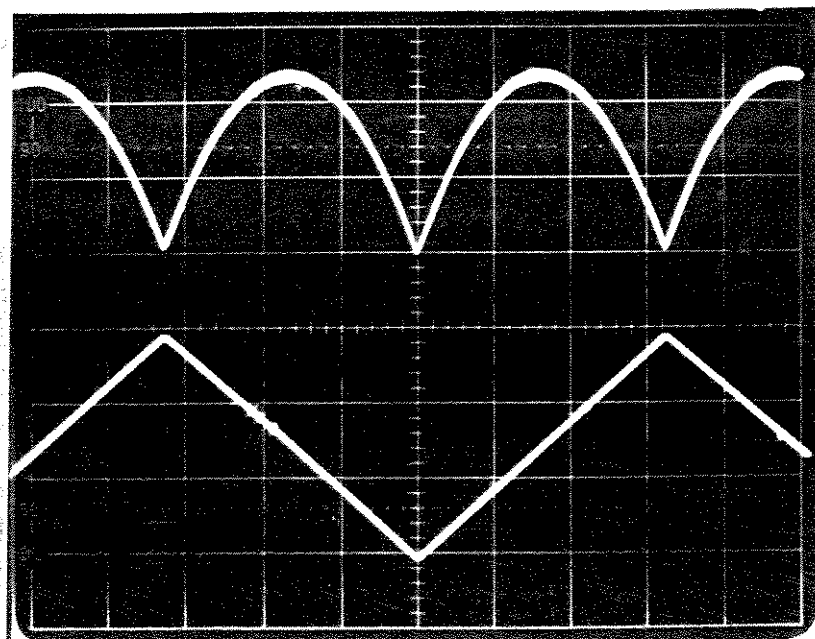


Fig. 5.7 - Circuito Multiplicador Montado em "Breadboarding".



(a)



(b)

Fig. 5.8 - Comportamento do Multiplicador: a) Entrada senoidal. b) Entrada triangular.

O funcionamento do multiplicador como modulador é ilustrado na Fig. 5.9, sendo uma das entradas senoidal de amplitude $V_{e1}=0.3V$ de pico e frequência de 3kHz e a outra, uma onda triangular de amplitude 0,2V de pico e frequência de 300Hz..

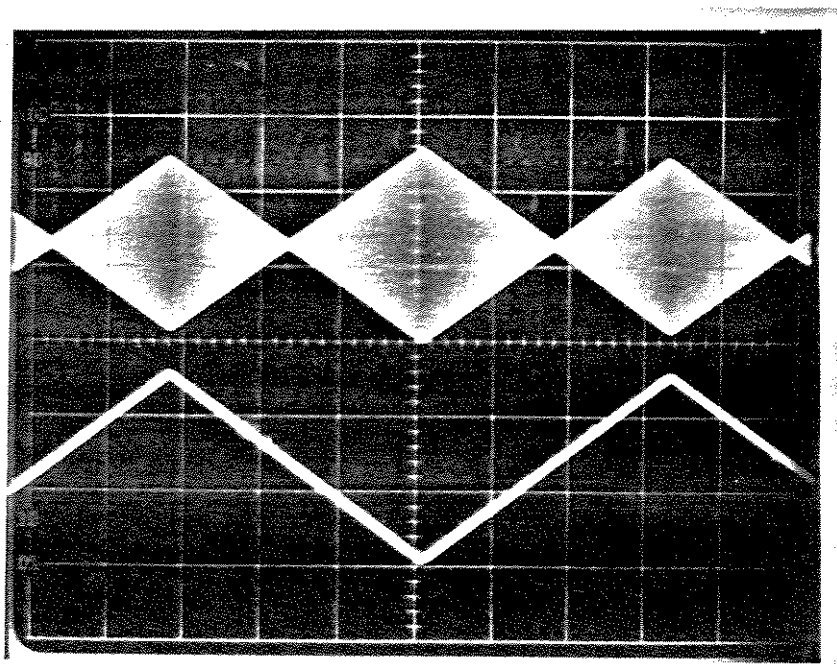


Fig. 5.9 - Multiplicador Atuando como Modulador.

A curva característica do multiplicador pode ser obtida através da montagem mostrada na Fig. 5.10, sendo o resultado obtido mostrado na Fig. 5.11.

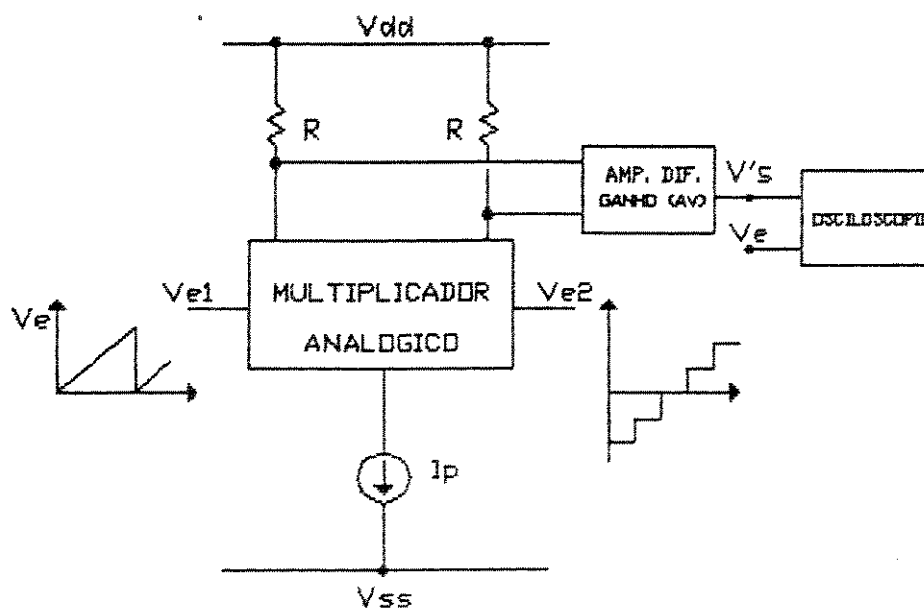


Fig. 5.10 - Esquema de Montagem para Obtenção da Curva Característica do Multiplicador.

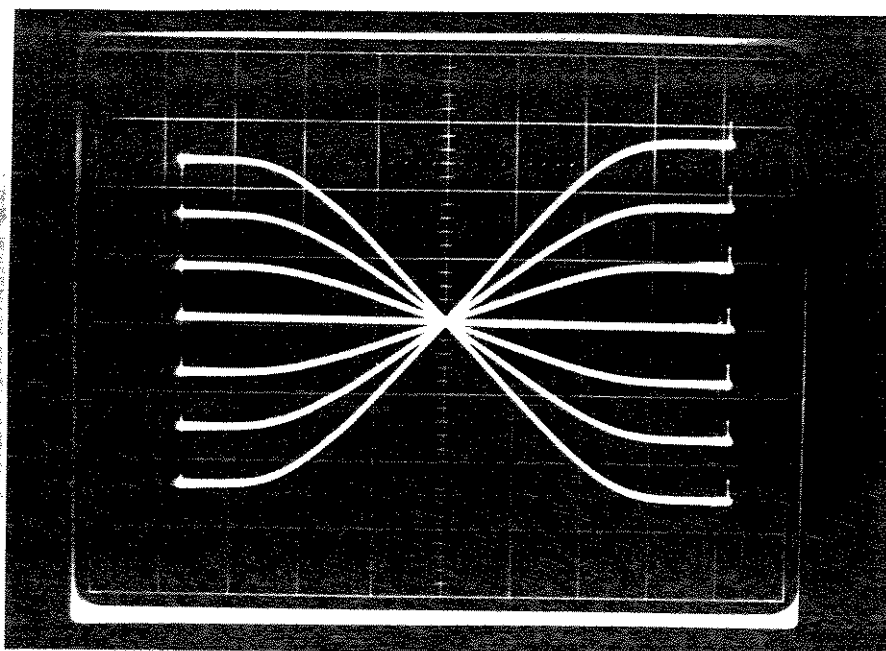


Fig. 5.11- Curva Característica do Multiplicador. Entradas Rampa de Amplitude $V_{e1}=0.5V_{pp}$ e Degrau de Amplitude $0,2V$.

5.4- MULTIPLICADOR ANALÓGICO BASEADO NO CONVERSOR TENSÃO-CORRENTE.

O conversor tensão-corrente apresentado no capítulo 2 possui intrinsecamente um multiplicador, como se nota na equação que relaciona a tensão de entrada com a tensão de saída repetida a seguir, juntamente com o circuito do conversor tensão-corrente.

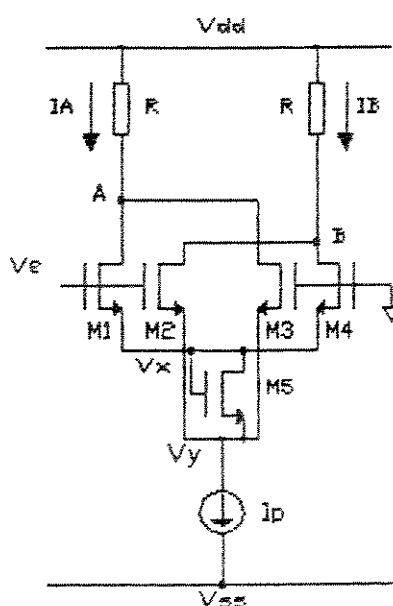


Fig.5.12 - Conversor Tensão-Corrente.

$$I_s = I_A - I_B = - 2\beta V_{e1}(V_x - V_y) \quad (5.15)$$

Nota-se da Eq. 5.12 que através do controle da tensão $(V_x - V_y)$ é possível implementar um multiplicador analógico. Esta tensão pode ser controlada utilizando o próprio conversor na configuração mostrada na Fig. 5.13.

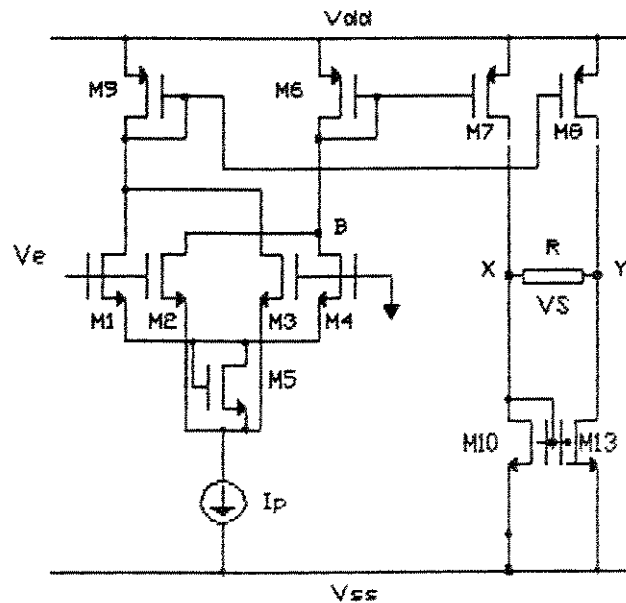


Fig. 5.13 - Conversor Tensão-tensão.

Este circuito atua como um atenuador de tensão de entrada V_{e1} , permitindo que a mesma, seja colocada entre os pontos x e y de modo flutuante. Equacionando este circuito considerando os transistores com características quadráticas perfeitas e os espelho ideais, obtem-se

$$V_s = V_x - V_y = 2\beta V_{e1} V_T R \quad (5.16)$$

Nota-se desta equação, uma forte dependência do circuito com fatores que variam com a temperatura, tal como, μ e V_T . Esta dependência pode ser minimizada através da simulação do resistor com o circuito proposto no capítulo 4. A tensão de saída torna-se

$$V_s = \beta_1/\beta_2 V_{e1} \quad (5.17)$$

5.4.1 - Resultados Obtidos.

Para verificação da validade da configuração proposta do multiplicador analógico, foram efetuadas simulações e medidas feitas na montagem com "array" CD4007.

5.4.1.1 - Resultados da Simulação.

Para obtenção dos resultados de simulação partiu-se do circuito apresentado na Fig. 5.14 e foi utilizado o programa SPICE2G com os parâmetros de um processo convencional. A Fig. 5.15 apresenta as distorções obtidas na saída do multiplicador, considerando uma das entradas com um nível contínuo de 2V e a outra, com uma onda senoidal de amplitude variável. A distorção obtida na saída do multiplicador, quando as entradas são trocadas, é apresentada na Fig. 5.16.

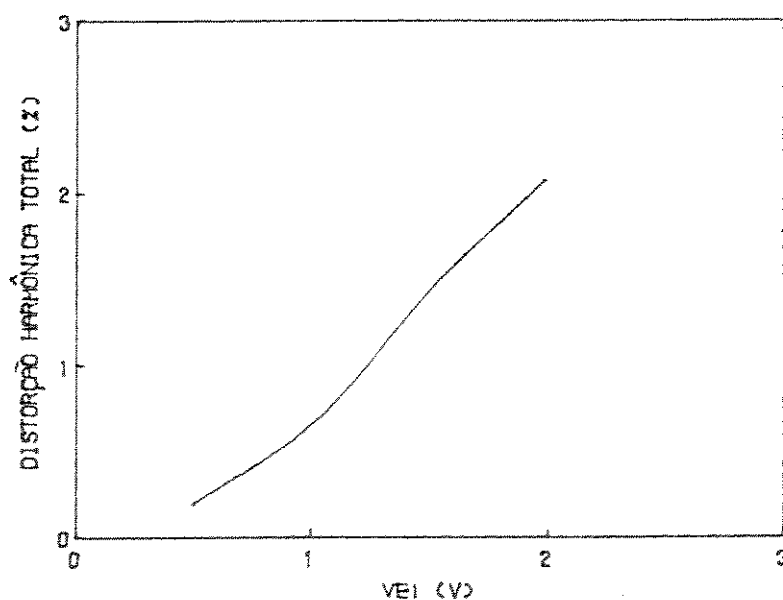


Fig. 5.15 - Distorção Harmônica Total considerando $V_{e1}=2V$ e V_{e2} uma Sinal Senoidal de Amplitude Variável.

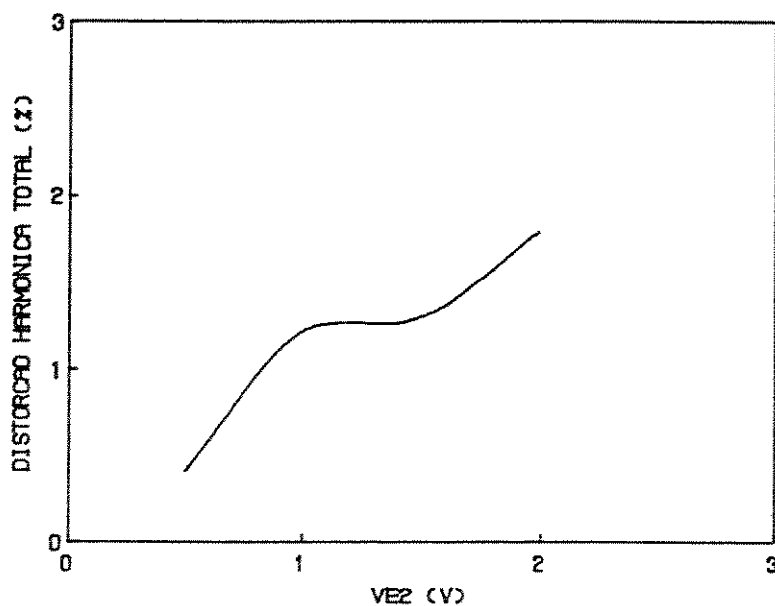


Fig. 5.16 - Distorção Harmônica Total considerando $VE_2=2V$ e VE_1 um Sinal Senoidal de Amplitude Variável.

A curva característica do multiplicador apresentada na Fig. 5.17 foi obtida através da simulação considerando uma das entrada com um sinal em rampa e a outra com níveis discretos de tensão.

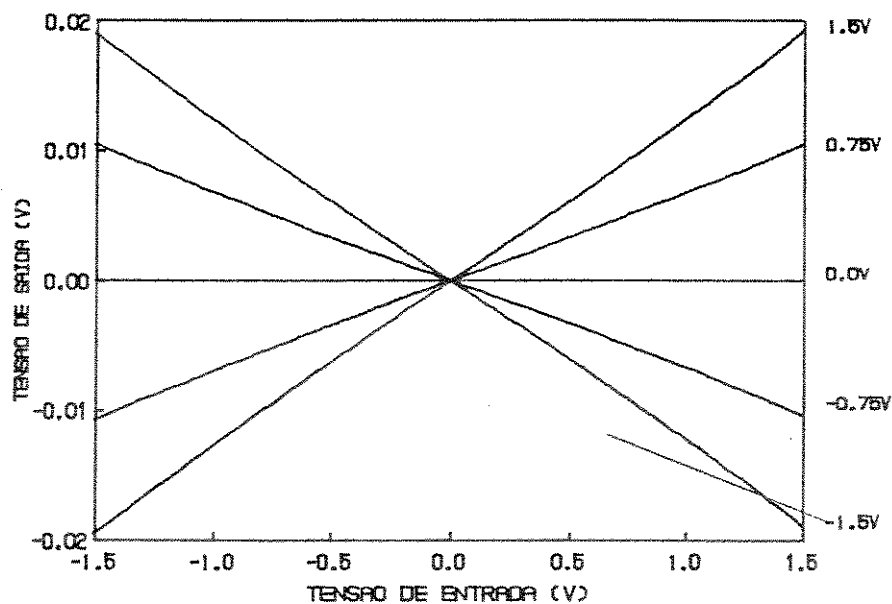


Fig. 5.17 - Curva Característica do Multiplicador Simulado

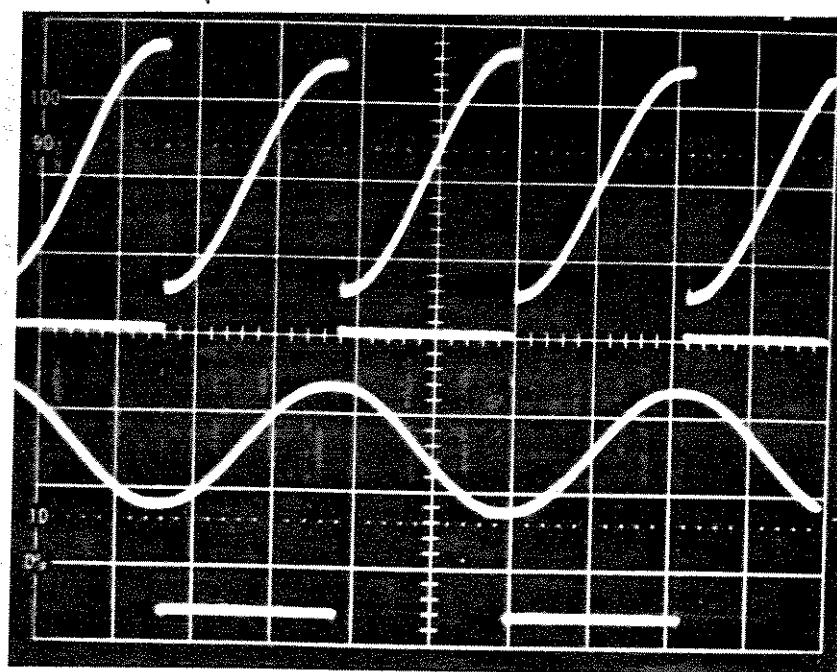


Fig. 5.19 - Retificador Controlado por Fase.

A curva característica mostrada na Fig. 5.20 permite a determinação da faixa linear do multiplicador.

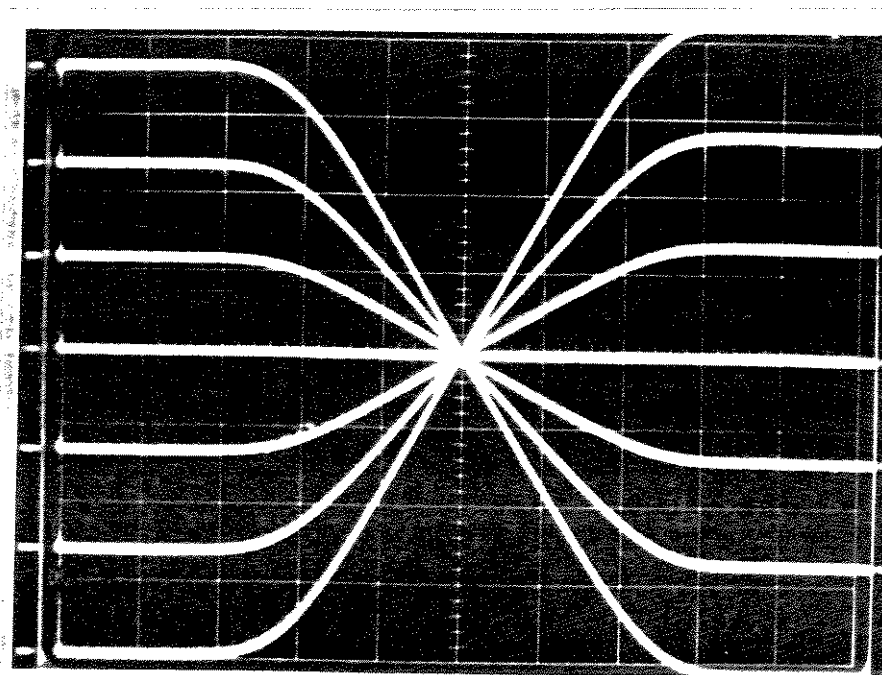


Fig. 5.20 - Curva Característica do Multiplicador Analógico. Escala Horiz. 0.5V/div.

5.5 - DISCUSSÃO DOS RESULTADOS OBTIDOS.

Analisando inicialmente o primeiro multiplicador proposto, verifica-se através da simulação efetuada que a faixa linear para um erro de 1% é da ordem de 2.2Vpp (Fig. 5.5). A curva característica do multiplicador apresentada na Fig. 5.6 e os resultados experimentais obtidos, Fig. 5.8, 5.9 e 5.11, demonstram a operação do multiplicador analógico de quatro quadrantes.

Para a segunda versão do multiplicador, as Fig. 5.15 e 5.16, demonstram a assimetria existente nesta configuração, ou seja a entrada do conversor tensão-tensão produz menos distorção harmônica na saída. Os demais resultados obtidos, Fig. 5.17, 5.19 e Fig. 5.20, ilustram o funcionamento deste multiplicador.

Comparando as duas configurações propostas, nota-se que a faixa linear da segunda proposta é menor e assimétrica. No entanto, deve ser ressaltado que a primeira proposta necessita de resistores casados para seu melhor desempenho.

CAPÍTULO 6

CONCLUSÃO

Neste trabalho foi proposta uma nova configuração de um conversor tensão-corrente que possui as seguintes propriedades: entrada diferencial, larga faixa de linearidade com a tensão de entrada e possibilidade de controle de sua transcondutância através de uma tensão de controle. A análise dos efeitos de segunda ordem e descasamento de componentes foi efetuada. Nota-se dos resultados obtidos, tanto da simulação, como da montagem em "breadboarding", a produção de harmônicos de segunda e terceira ordem, bem como de "off-set" produzidos por estes efeitos. O comportamento em frequência e do ruído também foram analisados e os resultados obtidos apresentaram uma larga faixa de atuação deste conversor.

A configuração do conversor, no terceiro capítulo desta tese, foi utilizado para implementação de várias configurações básicas, tais como, resistor MOS, integrador e girador. Os resistores MOS, obtidos a partir desta configuração, podem estar na forma aterrada ou flutuante. Ambas as configurações apresentaram boa linearidade, baixa distorção e larga faixa de frequência. O integrador proposto, que é uma célula básica para implementação de filtros contínuos, apresenta um ganho, a

freqüência zero, moderado e comportamento como integrador ideal até a faixa de 2 MHz, quando simulado através do programa SPICE2G. A faixa de freqüência medida na configuração montada em "breadboarding" possui freqüência de corte da ordem de 700 kHz. Quanto ao girador implementado, obteve-se desempenho regular na montagem efetuada em "breadboarding".

No capítulo 4 foi apresentada uma proposta de implementação de um filtro contínuo, através do projeto de um filtro passa-baixa de segunda ordem, baseado no integrador proposto no capítulo 3. As medidas de desempenho desta estrutura permitem concluir a viabilidade de projetos de filtros utilizando o conversor tensão-corrente como célula básica.

No capítulo 5 duas configurações de multiplicador analógico de quatro quadrantes foram descritas. A primeira, baseada na relação matemática da subtração dos quadrados da soma e subtração de duas variáveis, apresenta uma complexidade considerável e necessidade de resistores casados. A segunda configuração, baseada no conversor tensão-corrente, é simples e a necessidade dos resistores, eliminada. Medidas de desempenho, por meio da simulação e da montagem com "arrays" confirmam a exequibilidade de ambas as configurações.

Como contribuição desta tese pode-se ressaltar:

- proposta e análise dos efeitos das não idealidades em uma nova célula de conversão de tensão em corrente, que possui um bom desempenho quanto a distorção harmônica, faixa de freqüência e faixa de linearidade com a tensão de entrada;

- novas propostas de implementação de resistores flutuantes ou aterrados, utilizando transistores MOS;

- implementação de integradores e giradores com aplicação em filtros contínuos;

- aplicação do conversor tensão-corrente proposto em síntese de filtros contínuos;

- propostas de duas configurações para implementação de multiplicador analógico de quatro quadrantes.

Como proposta de continuidade deste trabalho sugere-se: a implementação de filtros contínuos mais complexos, utilizando o integrador com saída diferencial, que permite a síntese de filtros passa-banda ou filtros passa-baixa elípticos; o estudo da aplicação do multiplicador proposto em filtros adaptativos; e a exploração dos blocos sugeridos neste trabalho em aplicações de síntese de redes neurais, que necessitam de resistores e elementos de transcondutância variável.

REFERÊNCIAS BIBLIOGRÁFICAS

1. Gray, P. R. e Meyer, R. G., "Mos operational amplifier design - A tutorial overview", IEEE J. Solid-State Circuits, vol.SC-17, n^o 6, pp. 969-982, Dez. 1982.
2. Ribner, D. B. e Copeland, M. A., "Design techniques for cascoded CMOS Op Amps with improved PSRR and common-mode input range", IEEE J. Solid-State Circuits, vol.SC-19, n^o 6, pp. 919-925, Dez. 1984.
3. Babanezhad, J. N., "A rail-to-rail CMOS Op Amp", IEEE J. Solid-State Circuits, vol.SC-23, n^o 6, pp. 1414-1417, Dez. 1988.
4. Blauschild, R. A., Tucci, P. A. e Muller, R. S., "A new NMOS temperature-stable voltage reference", IEEE J. Solid-State Circuits, vol.SC-13, n^o 6, pp. 767-773, Dez. 1978.
5. Tzanateas, G., Salama, C. A. T. e Tsvividis, Y. P., "A CMOS bandgap voltage reference", IEEE J. Solid-State Circuits, vol.SC-14, n^o 3, pp. 655-657, Jun. 1979.

6. Hosticka, B. J., Brodersen, R. W. e Gray, P. R., "MOS Sampled data recursive filters using switched capacitor integrators", IEEE J. Solid-State Circuits, vol.SC-12, pp. 600-608, Dez. 1977.
7. Brodersen, R. W., Gray, P. R. e Hodges, D. A., "MOS switched capacitor filters", Proc. IEEE, vol.67, n^o 1, pp. 61-75, Jan. 1979.
8. Gregorian, R., Martin, K. e Temes, G. C., "Switched-capacitor circuit design", Proc. IEEE, vol.71, n^o 8, pp. 941-965, Ag. 1983.
9. Banu, M. e Tsividis, Y., "Fully integrated RC filters in MOS technology", IEEE J. Solid-State Circuits, vol.SC-18, n^o 6, pp. 644-651, Dez. 1983.
10. Khorramabadi, H. e Gray, P. R., "High frequency CMOS continuous-time filters", IEEE J. Solid-State Circuits, vol.SC-19, n^o 6, pp. 939-948, Dez. 1984.
11. Tsividis, Y., Banu, M. e Khoury, J., "Continuous-time MOSFETC filters in VLSI", IEEE J. Solid-State Circuits, vol.SC-21, n^o 1, pp.15-30, Fev. 1986.

12. Nedungadi, A. P. e Geiger, R. L. "High-frequency voltage-controlled continuous-time lowpass filter using linearized CMOS integrators", *Electronic Letters*, vol. 22, n^o 14, pp. 729-731, Jul. 1986.
13. Krummenacher, F. e Joehl, N. "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning", *IEEE J. Solid-State Circuits*, vol.23, n^o 3, pp. 750-758,, Jun. 1988.
14. Park, C. S. e Schaumann, R. "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter", *IEEE J. Solid-State Circuits*, vol.23, n^o 4, pp. 987-996, Ag. 1988.
15. Soo, D. C. e Meyer, R. G., "A four-quadrant NMOS analog multiplier", *IEEE J. Solid-State Circuits*, vol.SC-17, n^o 6, pp. 1174-1178, Dez. 1982.
16. Hong, Z. e Melchior, H., "Analog four-quadrant CMOS multiplier with resistors", *Electronic Letters*, vol.21, n^o 12, pp. 531-532, Jun. 1985.
17. Enomoto, T. e Yasumoto, M., "Integrated MOS four-quadrant analog multiplier using switched capacitor technology for analog signal processor IC's", *IEEE J. Solid-State Circuits*, vol.SC-20, n^o 4, pp. 852-859, Ag. 1985.

18. Babanezhad, J. N. e Temes, G. C., "A 20-V four-quadrant CMOS analog multiplier", IEEE J. Solid-State Circuits, vol. SC-20, n^o 6, pp. 1158-1168, Dez. 1985.
19. Bult, K. e Wallinga, H., "A CMOS four-quadrant analog multiplier", IEEE J. Solid-State Circuits, vol. SC-21, n^o 3, pp. 430-435, Jun. 1986.
20. Wong, S. L., Kalyanasundaram, N. e Salama, C. A. T., "Wide dynamic range four-quadrant CMOS analog multiplier using linearized transconductance stages", IEEE J. Solid-State Circuits, vol. SC-21, n^o 6, pp. 1120-1122, Dez. 1986.
21. Oki, N. e Jorge, A. M., "Multiplicador Analógico de Quatro Quadrantes CMOS", Anais do II Congresso da Sociedade Brasileira de Microeletrônica, pp. 63-72, Jul. 1987.
22. Kim, C. W. e Park, S. B., "New four-quadrant CMOS analog multiplier", Electronics Letters, vol. 23, n^o 24, pp. 1268-1270, Nov. 1987.
23. Peña-Filol, J. S. e Connely, J. A., "A MOS four-quadrant analog multiplier using the quarter-square technique", IEEE J. Solid-State Circuits, vol. 22, n^o 6, pp. 1064-1073, Dez. 1987.

24. Qin, S. C. e Geiger, R. L., "A \pm 5-V CMOS analog multiplier", IEEE J. Solid-State Circuits, vol. SC-22, n^o 6, pp. 1143-1146, Dez. 1987.
25. Nedugandi, A. e Vishanathan, T. R., "Design of linear CMOS transconductance elements", IEEE Trans. Circuits and Systems, vol. CAS-31, n^o 10, pp. 891-894, Out. 1984.
26. Torrance, R. R., Vishanathan, T. R. e Hanson, J. V., "CMOS voltage to current transducers", IEEE Trans. Circuits and Systems, Vol. CAS-32, n^o 11, pp. 1097-1104, Nov. 1985.
27. Vishanathan, T. R., "CMOS transconductance element", Proc. IEEE, vol. 74, n^o 1, pp. 222-224, Jan. 1986.
28. Park, C. S. e Schaumann, R., "A high-frequency CMOS linear transconductance element", IEEE Trans. Circuits and Systems, vol. CAS-33, n^o 11, pp. 1132-1138, Nov. 1986.
29. Seevinck, E. e Wassenaar, R. F., "A versatile CMOS linear transconductor/square-law function circuit", IEEE J. Solid-State Circuits, vol. SC-22, n^o 3, pp. 366-377, Jun. 1987.
30. Ismail, S., "Four-transistor continuous-time MOS transconductor" Electronic Letters, vol. 23, n^o 20, pp. 1099-1100, Set. 1987.

31. Tsividis, Y., Czarnul, Z. e Fang, S. C., "MOS transconductors and integrators with high linearity", *Electronic Letters*, vol. 22, pp. 245-246, Fev. 1986.
32. Gray, P. R. e Meyer, R. G., "Analysis and Design of Analog Integrated Circuits", New York: John Wiley, 1984.
33. Bertails, J. C., "Low-frequency noise considerations for MOS amplifiers design", *IEEE J. Solid-State Circuits*, vol. SC-14, n^o 4, pp. 773-776, Ag. 1979.
34. Richman, P., *MOS Field-Effect Transistors and Integrated Circuits*, Wiley & Sons, New York, 1973.
35. Tsividis, Y. e Banu, M., "Floating voltage-controlled resistors in CMOS technology", *Electronics Letters*, vol. 18, n^o 15, pp. 678-679, Jul. 1982.
36. Han, I. S. e Park, S. B., "Voltage-controlled linear resistor by two transistors and its applications to active RC filter MOS integration", *Proceeding of the IEEE*, vol. 72, pp. 1655-1657, Nov. 1984.

37. Babanezhad, J. N. e Temes, G. C., "A linear NMOS depletion resistor and its application in a integrated amplifier", IEEE J. Solid-State Circuits, vol.SC-19, n^o 6, pp. 932-938, Dez. 1984.
38. Nagaraj, K. "New CMOS floating voltage-controlled resistor", Electronics Letters, vol.22, n^o12, pp. 667-668, Jun. 1986.
39. Vantepeteghen, P. M. e Rice, G. L. "New CMOS resistor implementation for linear IC applications", Electronic Letters, vol.24, n^o 5, pp. 288-290, Mar. 1988.
40. Khan, I. A. e Ahmed, M. T. "Realisation of tunable floating resistors", Electronics Letters, vol. 22, n^o 5, pp. 799-800, Jul. 1986.
41. Kaiser, A., "A micropower CMOS continuous-time low pass filter", J. Solid-State Circuits, vol.SC-24, n^o 3, pp. 736-743, Jun. 1989.
42. Sanchez-Sinencio, E., Geiger, R. L. e Nevarez-Lozano, H., "Generation of continuous-time two integrator loop ota filter structures", IEEE Trans. Circuits and Systems, vol.CAS-35, n^o 8, pp. 936-946, Ag. 1988.

43. Gilbert, B., "New analog multiplier opens way to powerful function synthesis", *Microelectronics*, vol. 8, n^o 1, pp. 26-36, 1976.
44. Enomoto, T., Yasumoto, M., Ishihara, T. e Watanabe, K., "Monolithic analog adaptative equalizer integrated circuit for wide-band digital communication networks", *IEEE J. Solid-State Circuits*, vol-SC-17, pp. 1045-1054, Dez. 1982.
45. Gilbert, B., "A precision four-quadrant multiplier with subnanosecond response", *IEEE J. Solid-State Circuits*, vol-SC-3, pp. 365-373, Dez. 1968.
46. Gilbert, B. "Translinear circuits: A proposed classification", *Electronics Letters*, vol-11, pp. 14-16, Jan. 1975.
47. Bult, K., "Analog CMOS Square-Law Circuits", PhD. dissertation, Twente University of Technology, Enschede, Jan. 1988.
48. Vladimirescu, A. e Liu, S., "The simulation of MOS integrated circuits using SPICE 2", Memo UCB/ERL, M8017, 1980.
49. Tsvividis, Y., "Design considerations in single-channel MOS analog integrated circuits- A tutorial", *IEEE J. Solid-State Circuits*, vol.SC-13, pp. 383-391, Jun. 1978.

50. Lambot, J. P., Fontaine, A., Jespers, P. G. A. e White, M. H.,
"Microprocessor-controlled acquisition system for the
determination of MOS transistor parameters", IEEE Trans.
Instrum. Meas., vol-IM-30, pp. 124-128, Jun. 1981.

APÊNDICE A

TRANSISTOR MOS

A.1 Introdução

Neste apêndice são apresentados na seção A.2 a equação quadrática que rege o comportamento do transistor MOS na região de saturação e os efeitos de segunda ordem que afetam seu desempenho, bem como seu equacionamento. Os modelos de comportamento em frequência e ruído dos transistores MOS são apresentados na seção A.3. Estas equações e modelos são utilizados no desenvolvimento das diversas configurações apresentadas neste trabalho.

A.2 - Transistor MOS na Região de Saturação

Nesta seção é apresentada a equação quadrática ideal do transistor MOS na região de saturação e os efeitos de segunda ordem, tais como, modulação de canal, variação de mobilidade com V_{PF} e efeito de corpo, que modificam a característica ideal do transistor.

A.2.1 Característica Quadrática Ideal

Idealmente o transistor MOS na saturação possui uma característica quadrática dada pela equação A.1, onde a corrente de dreno-fonte é dependente apenas da tensão porta-fonte

$$I_{DF} = \beta (V_{PF} - V_T)^2 \quad (\text{A.1})$$

sendo

$$\beta = \frac{\mu C_{ox}}{2} \frac{Z}{L} \quad (\text{A.2})$$

A.2.2 Modulação de Canal

O efeito de modulação de canal causa dependência da corrente dreno-fonte do transistor MOS, da tensão dreno-fonte. A tensão entre dreno e fonte ocasiona uma região de depleção no dreno, que modula o comprimento efetivo do canal. A corrente entre dreno e fonte pode ser equacionada como^[34]

$$I_{DF} = \beta (V_{PF} - V_T)^2 (1 + \lambda V_{DF}) \quad (\text{A.3})$$

sendo

$$\lambda = \frac{1}{L} \sqrt{\frac{2 K_{si} \epsilon_0}{q N_{sub} \phi}} \quad (\text{A.4})$$

Este efeito é minimizado quando se utilizam transistores de canais longos ($L > 10 \mu\text{m}$).

A.2.3 Redução de Mobilidade

A tensão porta-fonte cria campos elétricos elevados através do isolador, ocasionando forças perpendiculares ao canal que atuam sobre os portadores, decrescendo a sua mobilidade ao longo do canal. Este efeito pode ser modelado aproximadamente pela equação A.5^[35], que descreve a variação da mobilidade com a tensão porta-fonte.

$$\mu = \mu_0 / [1 + \theta (V_{PF} - V_T)] \quad (\text{A.5})$$

sendo

$$\theta = \frac{1}{d_0 \times E_{cr}} \quad (\text{A.6})$$

O parâmetro θ é dependente do processo e este efeito está presente nos transistores MOS independentemente de suas dimensões.

A.2.4 Efeito de Corpo

Denomina-se efeito de corpo, a mudança da característica do transistor, quando uma tensão de polarização é aplicada entre o seu substrato e a fonte. Havendo uma diferença de potencial entre fonte e substrato, a região de depleção entre o canal e o substrato aumenta e contém assim, mais carga; conseqüentemente o campo elétrico de porta necessário para formar o canal, deve ser maior. A tensão de limiar do transistor é aumentada devido a este efeito, sendo dada pela equação A.7.

$$V_T = V_{To} + \gamma \left[\sqrt{\phi - V_{BF}} - \sqrt{\phi} \right] \quad (\text{A. 7})$$

sendo

$$\gamma = \frac{\sqrt{2 q K_{si} \epsilon_0 N_{sub}}}{C_{ox}} \quad (\text{A. 8})$$

Para eliminação deste efeito é necessário um processo que permita a conexão da fonte do transistor ao seu substrato.

A.3 Comportamento em Freqüência e Ruído do Transistor MOS

Nesta seção são descritos os modelos dos transistores MOS que possibilitam a análise em freqüência e de ruído dos circuitos propostos neste trabalho.

A.3.1 Comportamento em Freqüência

Para análise em freqüência, o transistor MOS pode ser representado como mostra a Fig.A.1, com as capacitâncias C_{DP} , C_{PF} e C_{DF} , capacitâncias dreno-porta, porta-fonte e dreno-fonte, respectivamente.

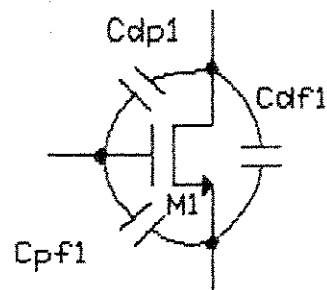
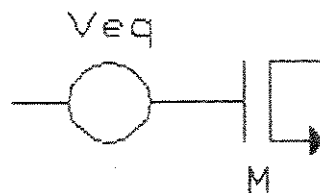


Fig. A.1 Modelo do Transistor Considerando Capacitâncias

A.3.2 Ruído em Transistores MOS

Para análise de ruído em circuitos com transistores MOS considera-se a fonte de ruído concentrada na porta do transistor, como mostra a Fig. A.2 e que o transistor não possui ruído. O equivalente total de ruído de entrada é então calculado em termos dos parâmetros de pequenos sinais e do ruído de porta equivalente dos transistores MOS.



A.2 Equivalente de Ruído do Transistor MOS

APÊNDICE B

PARÂMETROS DOS TRANSISTORES MOS

B.1 INTRODUÇÃO

Visando adequar a simulação dos circuitos implementados com os valores obtidos experimentalmente, através de montagens em "breadboarding", há necessidade de extração dos parâmetros dos transistores MOS dos "arrays" utilizados. Como as simulações foram efetuadas através do programa SPICE2G, os parâmetros devem ser compatíveis com os modelos existentes neste programa. Portanto serão descritos os modelos utilizados pelo programa SPICE2G na seção B.2; a metodologia adotada para obtenção dos parâmetros e a comparação das curvas características simuladas e as medidas feitas são apresentadas na seção B.3. Devido à utilização de diodos para montagem das configurações propostas, é apresentado também o modelo para o SPICE2G do diodo e a obtenção de seus parâmetros na seção B.4. As simulações das diversas configurações propostas neste trabalho utilizaram os parâmetros de um processo convencional, que são apresentados na seção B.5.

B.2 MODELO DOS TRANSISTORES MOS

O programa SPICE2G possui três diferentes modelos para o transistor MOS^[48]: nível 1 que é o modelo simplificado proposto por Tsividis^[49]; o nível 2, um modelo analítico que descreve efeitos de segunda ordem de transistores de canais curtos; e o nível 3, um modelo semi-empírico utilizado para diminuição do tempo de computação nas simulações. Serão descritos nesta seção os modelos níveis 1 e 2, com os transistores na região de saturação.

B.2.1 Modelo Simplificado

Neste modelo a equação do transistor MOS na saturação é dado por^[48]

$$I_{DF} = \beta (V_{PF} - V_T)^2 (1 + \lambda V_{DF}) \quad (B.1)$$

onde

$$\beta = \frac{\mu C_{ox}}{2} \frac{Z}{L} \quad (B.2)$$

$$V_T = V_{T0} + \gamma \sqrt{2 \phi_F - V_{as}} \quad (B.3)$$

$$\gamma = \frac{\sqrt{2 \epsilon_{si} N_{sub}}}{C_{ox}} \quad (B.4)$$

$$V_{T0} = V_{FB} + 2 \phi_F + 2 \frac{\sqrt{q \epsilon_{si} N_{sub} \phi_F}}{C_{ox}} \quad (B.5)$$

Os parâmetros necessários para definição dos transistores MOS neste modelo são : V_{T0} , KP , $LAMBDA$ e $GAMMA$.

B.2.2. Modelo Analítico ^[48]

Neste modelo a corrente em forte inversão $V_{GS} > V_{Th}$ é dada por

$$I_{DF} = \beta \left\{ \left[V_{PF} - V_{BIN} - \eta \frac{V_{DF}}{2} \right] V_{DF} - \frac{2}{3} \gamma_s \left[(2\varphi_F + V_{DF} + V_{BS})^{3/2} - (2\varphi_F - V_{BS})^{3/2} \right] \right\} \quad (B.6)$$

onde

$$\eta = 1 + \text{DELTA} \frac{\pi \epsilon_{Si}}{4C_{ox}Z} \quad (B.7)$$

$$\beta = \frac{Z}{L} \mu C_{ox} \quad (B.8)$$

$$V_{BIN} = V_{FB} + 2\varphi_F \quad (B.9)$$

$$\mu_e = \mu_0 \left[\frac{\text{UCRIT} \epsilon_{Si}}{C_{ox}(V_{PF} - V_{Th} - \text{UTRA} V_{DF})} \right]^{U_{EXP}} \quad (B.10)$$

A tensão de saturação é dada por

$$V_{Deat} = \frac{(V_{PF} - V_{BIN})}{\eta} + \frac{1}{2} \left[\frac{\gamma_s}{\eta} \right]^2 \left\{ 1 - 4 \left[\frac{\eta}{\gamma_s} \right]^2 \left[\frac{V_{PF} - V_{BIN}}{\eta} + 2\varphi_F - V_{BS} \right]^{1/2} \right\} \quad (B.11)$$

B.3 - EXTRAÇÃO DOS PARÂMETROS DO TRANSISTOR MOS

Para extração dos parâmetros dos transistores MOS utilizou-se uma metodologia descrita na literatura^[50]. Nesta seção é descrito um método para determinação de V_{T0} , β , θ e γ do transistor MOS.

Determina-se inicialmente as curvas I_{DF} em relação a V_{PF} considerando V_{DF} da ordem de mV, com variações na tensão V_{BS} . Partindo das curvas $I_{DF} \times V_{PF}$ extrai-se a relação de curvas $g_{DO} \times V_{PF}$, onde

$$g_D = \frac{\Delta I}{\Delta V_D} \Big|_{V_P, V_B = \text{cte}} \quad (\text{B.12})$$

$$g_{DO} = g_D (V_D \approx 0) = \frac{\beta_0 (V_{PF} - V_T)}{1 + \theta_0 (V_{PF} - V_T + 2\lambda \sqrt{V_{BS} + \phi}} \quad (\text{B.13})$$

sendo

$$\beta = \mu_0 C_{ox} \frac{Z}{L} \quad (\text{B.14})$$

$$V_T = V_{T0} + \gamma \left[(V_{BS} + \phi)^{1/2} - \phi^{1/2} \right] \quad (\text{B.15})$$

Destas curvas fazendo a regressão linear de mínimo quadrado de V_T como função de $\sqrt{V_{BS} + \phi} - \sqrt{\phi}$, determina-se V_{T0} e γ . E com a regressão linear de $g_{DO}^{-1} \left[V_{PF} - V_T \right]$ como função de $V_{PF} - V_T + 2\lambda \sqrt{V_{BS} + \phi}$, obtem-se β_0 e θ_0 .

A equação que relaciona $I_{DF} \times V_{DF}$ para valores de V_{PF} , ou seja a equação da curva característica teórica do transistor é

dada por

$$I_{DF} = \frac{\beta_0 \left[f(V_{PF}, V_{DF}) - \gamma g(V_{BS}, V_{DF}, \phi) \right]}{1 + \frac{\theta_s}{V_{DF}} \left[f(V_{PF}, V_{DF}) + \gamma g(V_{BS}, V_{DF}, \phi) \right]} \quad (B.16)$$

onde

$$f(V_{PF}, V_D) = (V_{PF} - V_{FB} - \phi - V_{DF}/2) D \quad (B.17)$$

$$g(V_{BS}, V_D, \phi) = \frac{2}{3} \left[(V_{BS} + V_D + \phi)^{3/2} - (V_{BS} + \phi)^{3/2} \right] \quad (B.18)$$

sendo esta equação válida para o transistor na região linear e triodo e possuindo um máximo definido por V_{Dsat} dado por

$$V_{Dsat} = V_{PF} - V_{FB} - \phi + K^2 \left[1 - \sqrt{\frac{1 + 2(V_{PF} - V_{FB})}{2}} \right] \quad (B.19)$$

onde

$$K = \frac{\gamma}{\sqrt{2}} \quad (B.19)$$

A tensão V_{FB} é obtida através da relação

$$V_{TO} = V_{FB} + \phi + \gamma \phi^{1/2} \quad (B.20)$$

Com os valores de γ e supondo $2\phi_F = 0,6$, obtêm-se os parâmetros N_{SUB} e T_{ox} a partir das equações

$$2\phi_F = \frac{2kT}{q} \ln \left[\frac{N_{SUB}}{n_i} \right] \quad (B.21)$$

$$\gamma = \frac{\sqrt{2q\epsilon_s i N_{SUB}}}{C_{ox}} \quad (B.22)$$

Para adequar estes valores ao modelo nível 2 do programa de simulação SPICE2G, considera-se conhecido Z, L e UTRA e extrai-se dos transistores pontos (V_{DF}, V_{PF}, I_{DF}) com diferentes valores de V_{PF} e V_{DF} abaixo de V_{Dsat} . Partindo-se do equacionamento do modelo nível 2, utiliza-se um programa^[48] para obtenção dos parâmetros U_0 , U_{CRIT} e U_{EXP} . O parâmetro LAMBDA é obtido diretamente da curva característica do transistor MOS na região de saturação

$$LAMBDA = \lambda = \frac{\Delta I_{DF}}{\Delta V_{DF}} \Bigg|_{I_{Dsat}} \quad (B.23)$$

B.3.1 - Parâmetros Experimentais Obtidos

Aplicando a metodologia descrita anteriormente, obtiveram-se os seguintes parâmetros para os transistores MOS canal N:

$$V_{TO} = 1,12 \text{ V}$$

$$TOX = 3,08 \cdot 10^{-7} \text{ m}$$

$$UTRA = 0,3$$

$$U_0 = 2650 \text{ cm}^2/\text{Vs}$$

$$U_{CRIT} = 4923 \text{ V/cm}$$

$$U_{EXP} = -0,003947$$

$$GAMMA = 1,9854 \quad \sqrt{V}$$

$$LAMBDA = 0,012 \quad 1/V$$

$$PHI = 0,6 \quad V$$

Observa-se nestes resultados algumas incoerências, principalmente o valor muito elevado da mobilidade. Estes resultados são creditados ao desconhecimento dos valores exatos de alguns parâmetros, tais como espessura de óxido, dopagem do substrato, capacitância de óxido, geometria dos transistores, onde foram utilizados valores típicos.

Apresenta-se na Fig. B.1 a curva característica do transistor simulado com os parâmetros obtidos pela extração descrita anteriormente. Os valores obtidos por medidas experimentais são também apresentados.

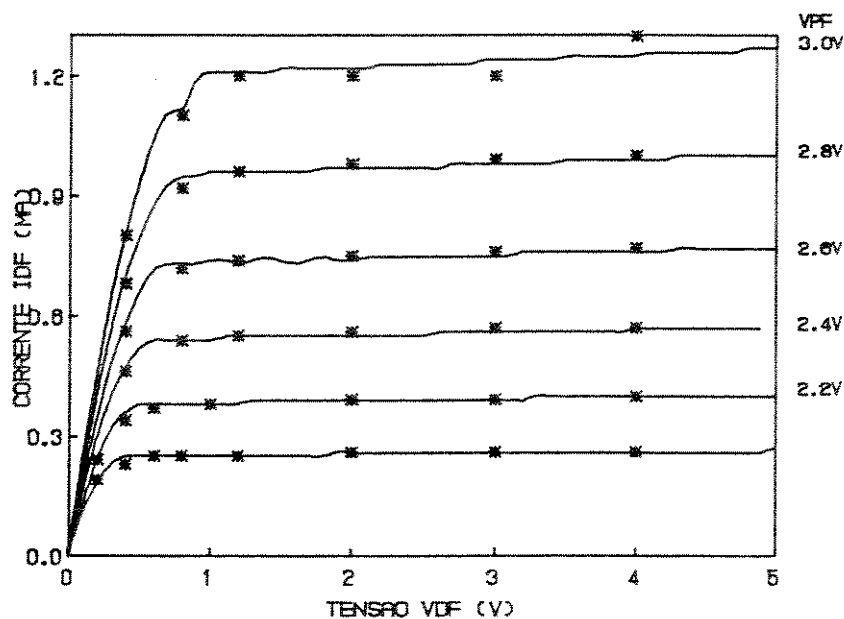


Fig. B.1 - Curva Característica Simulada e Medida do Transistor MOS do "array" CD4007.

B. 4 EXTRAÇÃO DOS PARÂMETROS DO DIODO

Para implementação em "breadboarding" utilizou-se devido a facilidade, diodos de junção para simulação da fonte flutuante. Para obtenção dos parâmetros do diodo de junção compatíveis com o modelo existente no programa SPICE2G, levantou-se a curva característica experimental do diodo e usando a equação do diodo obtiveram-se os parâmetros por aproximação.

Os valores dos parâmetros obtidos foram os seguintes:

$$IS=5E-10 \text{ A}$$

$$VJ=0.55 \text{ V}$$

$$N=1.61$$

$$RS=10 \quad \Omega$$

A Fig. B.2 apresenta a curva do diodo simulada utilizando estes parâmetros, juntamente com os valores obtidos experimentalmente.

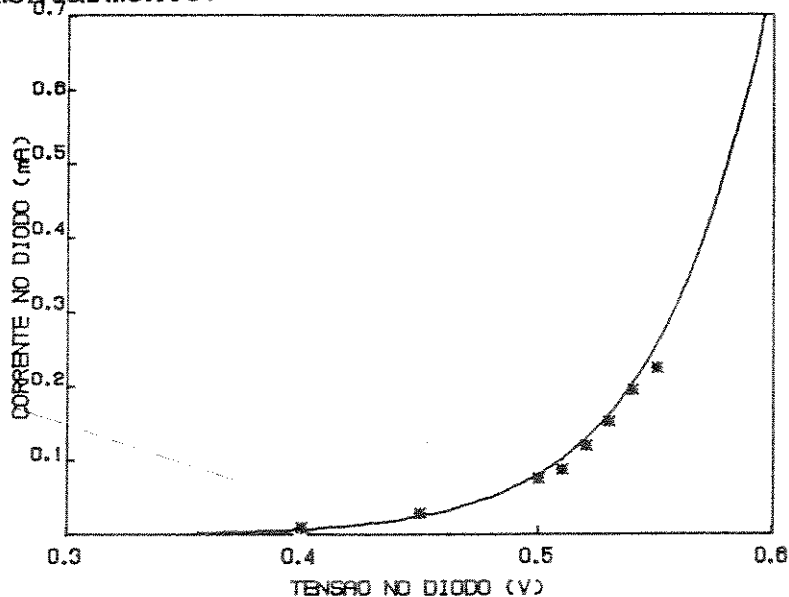


Fig. B.2 - Curva Característica do Diodo Simulada e Medida

B.5 - PARÂMETROS DE UM PROCESSO CONVENCIONAL.

Foram utilizados como parâmetros dos transistores MOS, os fornecidos pelo primeiro PMU, que são apresentados na tabela abaixo.

Parâmetros SPICE	Transistor Tipo P	Transistor Tipo N	Unidade
LEVEL	2	2	
VTO	-1.0	1.0	V
TOX	535E-10	535E-10	m
NSUB	4.6E15	2.6E16	1/cm ³
XJ	0.1E-6	0.02E-6	m
LD	0.25E-6	0.25E-6	m
UO	190	580	cm ² /V.s
UCRIT	0.52E5	0.54E5	V/cm
UEXP	0.18	0.16	
VMAX	2.75E4	4.75E4	m/s
NEFF	5.0	4.0	
DELTA	2.5	4.0	
RSH	110	40	Ω/□
CGSO	4.4E-10	3.7E-10	F/m
CGDO	4.4E-10	3.7E-10	F/m
CJ	170E-6	400E-6	F/m ²
CJSW	400E-12	520E-12	F/m
MJ	0.46	0.53	
MJSW	0.23	0.26	
PB	0.67	0.85	V
NFS	3E11	4E11	1/cm ²