



UNIVERSIDADE ESTADUAL DE CAMPINAS

Faculdade de Engenharia Elétrica e de Computação

DIEGO DEÓTTI

**PROJETO, DESENVOLVIMENTO E CARACTERIZAÇÃO
DE UM SENSOR DE TEMPERATURA INTEGRADO EM
TECNOLOGIA CMOS.**

CAMPINAS

2020

DIEGO DEÓTTI

**PROJETO, DESENVOLVIMENTO E CARACTERIZAÇÃO DE UM
SENSOR DE TEMPERATURA INTEGRADO EM TECNOLOGIA CMOS.**

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Mestre em Engenharia Elétrica, na área de Eletrônica, Microeletrônica e Optoeletrônica.

Orientador: Prof. Dr. Fabiano Fruett

Esse exemplar corresponde à versão final da dissertação defendida pelo aluno Diego Deótti, e orientada pelo Prof. Dr. Fabiano Fruett.

CAMPINAS

2020

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Luciana Pietrosanto Milla - CRB 8/8129

D44p Deótti, Diego, 1983-
Projeto, desenvolvimento e caracterização de um sensor de temperatura integrado em tecnologia CMOS / Diego Deótti. – Campinas, SP : [s.n.], 2020.

Orientador: Fabiano Fruett.
Dissertação (mestrado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Sensor de temperatura. 2. Microeletronica. 3. Semicondutores. 4. Transistores bipolares. 5. Semicondutores complementares de óxido metálico.
I. Fruett, Fabiano, 1970-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Design and characterization of a temperature sensor integrated in CMOS technology

Palavras-chave em inglês:

Temperature sensor

Microelectronics

Semiconductors

Bipolar transistors

Complementary metal oxide semiconductor

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora:

Fabiano Fruett [Orientador]

Leandro Tiago Manera

Eduardo Rodrigues de Lima

Data de defesa: 27-03-2020

Programa de Pós-Graduação: Engenharia Elétrica

Identificação e informações acadêmicas do(a) aluno(a)

- ORCID do autor: <https://orcid.org/0000-0002-9215-5282>

- Currículo Lattes do autor: <http://lattes.cnpq.br/3714353245151721>

COMISSÃO JULGADORA – DISSERTAÇÃO DE MESTRADO

Candidato: Diego Deótti

RA: 134147

Data da defesa: 27 de março de 2020

Título da Tese: *“Projeto, desenvolvimento e caracterização de um sensor de temperatura integrado em tecnologia CMOS.”*

Prof. Dr. Fabiano Fruett (Presidente, FEEC – UNICAMP)

Prof. Dr. Leandro Tiago Manera (FEEC – UNICAMP)

Prof. Dr. Eduardo Rodrigues de Lima (Instituto de Pesquisas Eldorado)

A Ata de Defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no SIGA (Sistema de Fluxo de Dissertação/Tese) e na Secretaria de Pós-Graduação da Faculdade de Engenharia Elétrica e de Computação.

Dedico este trabalho aos meus pais Itacir e Leoni.

Agradecimentos

Ao meu orientador prof. Dr. Fabiano Fruett, pelo profissionalismo e disponibilidade para orientação. Além disso, pela oportunidade de ter trabalhado no CTI Renato Archer como instrutor do programa CI-Brasil e todos os frutos colhidos posteriormente. Ao amigo Dr. Jose Luis Ramírez Bohorquez, que é um parceiro desde os tempos de CTI e que foi um elo importante para o desenvolvimento deste trabalho.

Para que não ocorra nenhuma omissão, agradeço a todos os amigos do Laboratório de Sistemas Microeletrônicos (LSM). A todas as pessoas que colaboraram de forma indireta para que esse trabalho fosse realizado, sendo com apoio ou até mesmo em conversas mais à vontade. Desses, em especial meus amigos Mateus Bernardino Moreira, Alberto Jesús Gutiérrez e Denis Souza Martins. Ao professor Luiz Carlos Kretly e o seu aluno Valério Maronni Salles e ao *IMEC*, por proporcionarem a fabricação dos circuitos integrados através do programa Mini@sic.

Aos meus pais Itacir Deotti e Leoni Terezinha Mezzomo Deotti, ao meu irmão Bruno Deotti e à minha namorada Fernanda Caroline Barroso Evaristo, pelo apoio incondicional, carinho, compreensão e companhia durante o desenvolvimento deste trabalho.

Ao Instituto Federal de São Paulo – *Campus Sorocaba*, ao MEC e ao Governo Federal, por possibilitarem a minha participação no programa de pós-graduação da Unicamp.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

Resumo

Este trabalho apresenta o projeto, desenvolvimento e caracterização de um sensor de temperatura. Descreve a metodologia empregada em projetos de circuitos integrados analógicos e faz uma síntese desses conceitos, através de um fluxograma. Características e definições de termos relacionados à área de projeto de sensores também são expostas. Adicionalmente, é feita uma revisão bibliográfica sobre os componentes semicondutores mais utilizados em medida de temperatura. Dedicando uma seção específica para as técnicas de medida que empregam os Transistores Bipolares de Junção (*TBJ*) como elementos sensores.

E por fim, a topologia do sensor escolhido é apresentada, a qual tem por base um oscilador de relaxação. Este circuito opera basicamente medindo a temperatura através de *TBJs*, o que resulta em sinais que são convertidos em uma saída digital de 1 *bit*, cuja razão cíclica é proporcional às mudanças da temperatura.

O sensor desenvolvido pode ser utilizado em aplicações de uso geral, tendo potencial de ser embarcado, por exemplo, em uma placa de circuito impresso e utilizado em sistemas como secadores de cabelo, secadores de roupa, refrigeradores, ar condicionado e outros.

O sensor foi projetado para operar em uma faixa de temperatura de $-40\text{ }^{\circ}\text{C}$ a $125\text{ }^{\circ}\text{C}$. Ele é constituído basicamente por quatro blocos: gerador de correntes, *Schmitt trigger*, chave de controle e capacitor. O gerador de correntes é responsável por gerar duas correntes, uma compensada em temperatura (I_{REF}) e outra com variação Proporcional a Temperatura Absoluta (I_{PTAT}), a qual é responsável por medir a temperatura.

O sensor foi fabricado utilizando a tecnologia TSMC de 180 nm disponibilizada através do programa Mini@sic. Na caracterização o gerador de correntes forneceu I_{REF} com TC de aproximadamente $50\text{ ppm}/^{\circ}\text{C}$. A não-linearidade da corrente I_{PTAT} foi de aproximadamente $0,4\%$. Nas medidas de temperatura, o erro máximo pós calibração foi de $\pm 0,68\text{ }^{\circ}\text{C}$, a sensibilidade foi de $0,451\text{ } \%/^{\circ}\text{C}$, a faixa dinâmica de 71% e a máxima não-linearidade foi de $1,54\%$.

Palavras-chave: Sensor de temperatura, Microeletrônica, Semicondutores, Transistores bipolares, Semicondutores complementares de óxido metálico.

Abstract

This thesis presents the design, development, and characterization of a temperature sensor. It also describes the methodology used in projects of analog integrated circuits and summarize these concepts, through a flowchart. Also, the features and definitions of terms related to sensor design are also explained. Additionally, a literature review of the most used semiconductor components used in temperature measurement is made. Devoting a specific section to the measurement techniques which employ the Bipolar Junction Transistors (*BJT*) as sensor elements.

Also, the scheme of the chosen sensor is shown, which is based on a relaxation oscillator. This circuit basically operates by measuring the temperature using *BJTs*, which results in signals that are converted into a *1-bit* digital output, which the duty cycle is proportional to temperature changes.

The applications of the designed sensor are for general use, having the potential to be embedded, for example, on a printed circuit board and used in systems such as hair dryers, clothes dryers, refrigerators, air conditioning and others.

The sensor was designed to operate in a temperature range of $-40\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$. It consists basically of four blocks: current generator, Schmitt trigger, control switch and capacitor. The current generator is responsible for generating two currents: the first is temperature compensated (I_{REF}) and the other is proportional to absolute temperature (I_{PTAT}) which is responsible for measuring the temperature.

The sensor was fabricated using the 180 nm *TSMC* technology made available through the Mini@sic program. In the characterization step, the current generator provided I_{REF} with a *TC* of approximately $50\text{ ppm}/^{\circ}\text{C}$. The non-linearity of the I_{PTAT} was approximately 0.4%. In the temperature measurements, the maximum error after calibration was $\pm 0.68\text{ }^{\circ}\text{C}$, the sensitivity was $0.451\text{ }^{\circ}\text{C}/\%$, the dynamic range was 71% and the maximum non-linearity was 1.54%.

Keywords: Temperature sensors, Microelectronics, Semiconductors, Bipolar transistors, Complementary metal oxide semiconductor.

Lista de Ilustrações

| | |
|---|----|
| Figura 1 – Exemplo de aplicação direta do sensor de temperatura..... | 19 |
| Figura 2 – Conversão entre domínios de transdutância. | 22 |
| Figura 3 – Exemplo de um sensor complexo. | 23 |
| Figura 4 – Exemplo de exatidão e precisão..... | 25 |
| Figura 5 – Exemplo de medida de sensor com histerese..... | 25 |
| Figura 6 – Exemplo de sensor com erro de não-linearidade. | 26 |
| Figura 7 – Exemplo de erro de desvio de zero (<i>offset</i>). | 26 |
| Figura 8 – a) Vista do topo de um <i>TBJ</i> parasita (b) Vista lateral. | 33 |
| Figura 9 – Transistor bipolar do tipo PNP em configuração de diodo..... | 34 |
| Figura 10 – Dependência em temperatura da tensão base-emissor V_{BE} | 36 |
| Figura 11 – Variação da sensibilidade devido ao espalhamento do processo. | 36 |
| Figura 12 – Geração de ΔV_{BE} | 37 |
| Figura 13 – Dependência da temperatura para a diferença ΔV_{BE} | 37 |
| Figura 14 – Fluxo básico de projeto de um <i>CI</i> analógico. | 40 |
| Figura 15 – Fluxograma de projeto de circuitos integrados analógicos..... | 42 |
| Figura 16 – Variação da razão cíclica ideal em relação à variação da temperatura..... | 45 |
| Figura 17 – Modificação do esquema básico do sensor..... | 46 |
| Figura 18 – Relação entre o sinal de saída do sensor e a tensão sob o capacitor C_I | 47 |
| Figura 19 – Diagrama de blocos do sensor. | 49 |
| Figura 20 – Diagrama de blocos do sensor planejado para caracterização. | 50 |
| Figura 21 – Esquemático utilizado na extração de parâmetros. | 54 |
| Figura 22 – Extração da tensão V_{TH} para o transistor <i>pMOS</i> | 55 |
| Figura 23 – Extração da tensão V_{TH} para o transistor <i>nMOS</i> | 56 |
| Figura 24 – Resultados da extração do parâmetro K_P | 57 |
| Figura 25 – Resultados da extração do parâmetro K_N | 57 |
| Figura 26 – Modulação do comprimento do canal para o transistor <i>pMOS</i> | 58 |
| Figura 27 – Modulação do comprimento do canal do transistor <i>nMOS</i> | 58 |
| Figura 28 – Circuito utilizado na extração da curva característica..... | 59 |
| Figura 29 – Curva característica do transistor <i>nMOS</i> | 60 |
| Figura 30 – Circuito utilizado para obtenção do gráfico de <i>Gummel</i> | 60 |
| Figura 31 – Composição do gráfico de <i>Gummel</i> e extração de β_F | 61 |

| | |
|--|----|
| Figura 32 – Ilustração da geração da corrente de referência I_{REF} . | 63 |
| Figura 33 – Esquemático simplificado do gerador de correntes I_{PTAT} e I_{REF} . | 64 |
| Figura 34 – Esquemático do amplificador operacional simétrico. | 68 |
| Figura 35 – Leiaute do amplificador operacional simétrico. | 70 |
| Figura 36 – Configuração utilizada para simular o amplificador operacional. | 71 |
| Figura 37 – Simulação do consumo de potência em <i>corners</i> . | 72 |
| Figura 38 – Diagrama de bode para medida do ganho. | 72 |
| Figura 39 – Diagrama de bode para medida da fase. | 73 |
| Figura 40 – Leiaute do gerador de correntes. | 74 |
| Figura 41 – Esquemático completo do gerador de correntes. | 75 |
| Figura 42 – Comportamento da corrente I_{REF} em relação à temperatura. | 76 |
| Figura 43 – Comportamento da corrente I_{PTAT} em relação à temperatura. | 77 |
| Figura 44 – $PSRR$ da fonte de corrente I_{REF} . | 77 |
| Figura 45 – I_{REF} e I_{PTAT} em relação à tensão de alimentação. | 78 |
| Figura 46 – Ação do circuito RC sob as correntes I_{REF} , I_{PTAT} e I_{CTAT} . | 78 |
| Figura 47 – Consumo de potência do gerador de correntes. | 79 |
| Figura 48 – Comportamento em <i>corners</i> da corrente I_{REF} em relação à temperatura. | 79 |
| Figura 49 – Comportamento em <i>corners</i> da corrente I_{PTAT} em relação à temperatura. | 80 |
| Figura 50 – Análise de <i>Monte Carlo</i> para a corrente I_{REF} . | 81 |
| Figura 51 – Análise de <i>Monte Carlo</i> para a corrente I_{PTAT} . | 81 |
| Figura 52 – Curva característica de um <i>Schmitt trigger</i> . | 83 |
| Figura 53 – Sinal de entrada e de saída em um <i>Schmitt trigger</i> . | 84 |
| Figura 54 – Implementações de comparadores baseados em pares diferenciais. | 84 |
| Figura 55 – Esquemático do bloco comparador. | 85 |
| Figura 56 – Leiaute do <i>Schmitt trigger</i> . | 86 |
| Figura 57 – Histerese do <i>Schmitt trigger</i> . | 87 |
| Figura 58 – Consumo de potência em relação à variação da temperatura. | 88 |
| Figura 59 – Comportamento da histerese em <i>corners</i> . | 88 |
| Figura 60 – Simulação de <i>Monte Carlo</i> para a histerese V_H . | 89 |
| Figura 61 – Representação do uso da chave S . | 89 |
| Figura 62 – Princípio da técnica de divisão de correntes. | 90 |
| Figura 63 – Esquemático básico do divisor de correntes. | 91 |
| Figura 64 – Divisor de correntes para a corrente I_{REF} . | 92 |
| Figura 65 – Leiaute do circuito divisor de correntes. | 93 |

| | |
|--|-----|
| Figura 66 – Esquemático completo do sensor. | 94 |
| Figura 67 – Leiaute do sensor em vista completa..... | 95 |
| Figura 68 – Sinal de saída em preto, tensão sob o capacitor C_I em vermelho. | 95 |
| Figura 69 – Resultados para simulação em <i>corners</i> do sensor de temperatura. | 96 |
| Figura 70 – Análise de <i>Monte Carlo</i> para a razão cíclica do sensor..... | 97 |
| Figura 71 – Resultados de simulação para a frequência de saída do sensor em <i>corners</i> .97 | |
| Figura 72 – Sensor de temperatura. | 100 |
| Figura 73 – (a) Esquemático da placa (b) foto da placa confeccionada. | 101 |
| Figura 74 – Comportamento do termistor de referência. | 101 |
| Figura 75 – Disposição dos equipamentos utilizados para caracterizar o sensor. | 102 |
| Figura 76 – Resposta ao impulso na tensão de alimentação para I_{REF} | 104 |
| Figura 77 – Comportamento de I_{REF} em relação à variação na tensão de alimentação. 104 | |
| Figura 78 – Comportamento de I_{REF} em relação à variação da temperatura..... | 105 |
| Figura 79 – Comportamento de I_{PTAT} em relação à variação da temperatura. | 106 |
| Figura 80 – Janela de histerese para uma T_A de 30 °C. | 107 |
| Figura 81 – Medidas da histerese em relação à variação de temperatura..... | 107 |
| Figura 82 – Medida do sinal de saída e tensão sob o capacitor C_I | 108 |
| Figura 83 – Mudança da razão cíclica em relação à variação de temperatura..... | 109 |
| Figura 84 – Medidas da razão cíclica após calibração..... | 109 |
| Figura 85 – Erro em °C na medida de temperatura após a calibração..... | 110 |
| Figura 86 – Não-linearidade na medida de temperatura. | 111 |
| Figura 87 – <i>Corners</i> de projeto. | 128 |
| Figura 88 – Simulação de <i>Monte Carlo</i> | 129 |

Lista de tabelas

| | |
|--|-----|
| Tabela 1 – Faixas de temperatura por aplicação..... | 19 |
| Tabela 2 – Comparativo entre os principais sensores apresentados neste capítulo | 32 |
| Tabela 3 – Nome dos parâmetros dos componentes obtidos no simulador <i>spectre</i> | 55 |
| Tabela 4 – Dimensão dos transistores de OTA ₁ e OTA ₂ | 69 |
| Tabela 5 – Resultados de simulação para o amplificador simétrico. | 71 |
| Tabela 6 – Tamanho dos transistores do <i>Schmitt trigger</i> | 86 |
| Tabela 7 – Medida das capacitâncias de três amostras fabricadas..... | 103 |
| Tabela 8 – Coeficientes de temperatura obtidos experimentalmente..... | 105 |
| Tabela 9 – Exemplo de <i>corners</i> utilizados numa análise. | 128 |
| Tabela 10 – Valores dos <i>corners</i> para um processo típico de 180 nm. | 128 |

Lista de abreviaturas e siglas

IEEE – Instituto de Engenheiros Eletrônicos e Eletricistas

CTAT – Complementar a temperatura absoluta. (do inglês, *Complementary to Absolute Temperature*)

CI – Circuito integrado

DIBL – *Drain Induced Barrier Lowering*

PTAT – Proporcional a temperatura absoluta. (do inglês, *Proportional to Absolute Temperature*)

PWM – Modulação por largura de pulsos (do inglês, *Pulse Width Modulation*)

T_A – Temperatura Ambiente

TC – Coeficiente de temperatura (do inglês, *Temperature Coefficient*)

TBJ – Transistor Bipolar de Junção

ERC – Verificação de regras elétricas (do inglês, *Electrical Rules Check*)

DRC – Verificação das regras de projeto (do inglês, *Design Rules Check*)

LVS – Leiaute versus esquemático

ff – Variação de processo (*corner*) para transistor *nMOS* e *pMOS* rápidos

ss – Variação de processo (*corner*) para transistor *nMOS* e *pMOS* lentos

tt – Variação de processo (*corner*) para transistor *nMOS* e *pMOS* típicos

PVT – Simulação do tipo Processo, Tensão e Temperatura

PSRR – Taxa de rejeição da fonte de alimentação (do inglês, *Power Supply Rejection Ratio*).

ADC – Conversor de sinais analógicos para digitais (do inglês, *Analog to Digital Converter*).

FPGA – Arranjo de portas programáveis em campo (do inglês, *Field Programmable Gate Array*)

TSMC – *Taiwan Semiconductor Manufacturing Company* (Fábrica de semicondutores)

IoT – Internet das Coisas (do inglês, *Internet of Things*)

CC – Corrente Contínua

CA – Corrente Alternada

Lista de símbolos

V_T – Tensão térmica

μ_n – Mobilidade elétrica no material tipo N

μ_p – Mobilidade elétrica no material tipo P

λ_N – Fator da modulação de comprimento do canal para transistores *MOSFET* de canal tipo N

λ_P – Fator da modulação de comprimento do canal para transistores *MOSFET* de canal tipo N

r_{on} – Resistência medida entre o dreno e a fonte de um transistor *MOSFET*, ligado

C_{OX} – Capacitância do óxido

I_{REF} – Corrente de referência

I_{PTAT} – Corrente proporcional à temperatura absoluta

I_{CTAT} – Corrente complementar à temperatura absoluta

I_C – Corrente do terminal coletor, dos transistores bipolares de junção

I_B – Corrente do terminal base, dos transistores bipolares de junção

I_{DS} – Corrente entre os terminais dreno-fonte dos transistores *MOSFET*

nMOS – Transistor *MOSFET* de canal tipo N

pMOS – Transistor *MOSFET* de canal tipo P

V_{THN} – Tensão de limiar para transistores *MOSFET* de canal tipo N

V_{THP} – Tensão de limiar para transistores *MOSFET* de canal tipo P

W – Largura do canal do transistor *MOSFET*

L – Comprimento do canal do transistor *MOSFET*

bit – menor unidade do *byte*

D – Razão cíclica

Sumário

| | |
|---|----|
| Introdução | 18 |
| Organização do trabalho | 21 |
| Capítulo 1 Sensores | 22 |
| 1.1 Transdutores..... | 22 |
| 1.2 Sensores | 23 |
| 1.3 Características dos sensores | 24 |
| 1.4 Conclusão do capítulo..... | 27 |
| Capítulo 2 Medida de temperatura através de semicondutores..... | 28 |
| 2.1 Revisão bibliográfica..... | 28 |
| 2.1.1 Diodo | 29 |
| 2.1.2 Transistor MOSFET | 29 |
| 2.1.3 Transistor Bipolar de Junção..... | 30 |
| 2.1.4 Resistores..... | 31 |
| 2.1.5 Comparativo entre os sensores | 32 |
| 2.2 Transistores Bipolares de Junção | 33 |
| 2.3 Conclusão do capítulo..... | 38 |
| Capítulo 3 Metodologia de projeto de circuitos integrados..... | 39 |
| 3.1.1 Abordagens <i>Top-Down</i> e <i>Bottom-Up</i> | 39 |
| 3.1.2 Projeto de circuitos integrados analógicos | 40 |
| 3.2 Conclusão do capítulo..... | 43 |
| Capítulo 4 Projeto e desenvolvimento do sensor de temperatura | 44 |
| 4.1 Planejamento | 44 |
| 4.2 Topologia do Sensor | 45 |
| 4.3 Divisão do sensor em sub-blocos. | 49 |
| 4.4 Extração de parâmetros..... | 51 |

| | |
|---|-----|
| 4.4.1 Modelo utilizado na caracterização dos <i>MOSFETs</i> | 51 |
| 4.4.2 Método utilizado na extração de parâmetros | 53 |
| 4.4.3 Extração da tensão de limiar V_{TH} | 55 |
| 4.4.4 Extração dos parâmetros K_P e K_N | 56 |
| 4.4.5 Extração do efeito de modulação de canal (λ)..... | 58 |
| 4.4.6 Escolha do comprimento do canal (L) | 59 |
| 4.4.7 Caracterização dos Transistores Bipolares de Junção..... | 60 |
| 4.5 Projeto dos sub-blocos | 62 |
| 4.5.1 Gerador de correntes..... | 62 |
| 4.5.2 Gerador de correntes – Leiaute e esquemático completo | 73 |
| 4.5.3 Gerador de correntes – Resultados de simulação | 76 |
| 4.5.4 Comparador com histerese (<i>Schmitt trigger</i>)..... | 83 |
| 4.5.5 Chave S | 89 |
| 4.5.6 Divisor de correntes..... | 90 |
| 4.6 Conclusão do capítulo..... | 98 |
| Capítulo 5 Resultados experimentais..... | 100 |
| 5.1 Sensores fabricados | 100 |
| 5.2 Configuração da bancada utilizada para as medidas..... | 101 |
| 5.3 Capacitâncias | 103 |
| 5.4 Gerador de correntes..... | 103 |
| 5.5 Schmitt trigger..... | 106 |
| 5.6 Sensor de temperatura..... | 108 |
| 5.7 Conclusão do capítulo..... | 111 |
| Conclusão | 113 |
| Publicações | 116 |
| Bibliografia..... | 117 |

| | |
|--|-----|
| Apêndices | 124 |
| APÊNDICE A – Termos utilizados em projetos de CIs..... | 125 |

Introdução

Com o avanço da Eletrônica, os sistemas se tornaram mais inteligentes e hoje desempenham funções que antes eram complexas de se implementar. A título de exemplo, podemos citar aplicações avançadas como a Robótica e novos conceitos como a Indústria 4.0, Internet das coisas ou tecnologia vestível (*wearables*). Algo comum entre estas aplicações é a sua demanda por sensores. Dentre os mais utilizados estão os de temperatura, pois essa grandeza é inerente ao ambiente. Sistemas como os elétricos, químicos, magnéticos, mecânicos, biológicos, ópticos e tantos outros se beneficiam do uso dessa grandeza (indicar referências). Os sensores de temperatura desempenham funções em nosso cotidiano que vão desde a segurança física dos sistemas e processos industriais até a humana. Para aplicações mais simples como a verificação da temperatura corporal de uma pessoa, um termômetro de mercúrio é suficiente. Contudo, para sistemas eletrônicos complexos que demandam processamento, sensores do tipo *Smart* ou *Intelligent* são os mais adequados. As características e o tipo do dispositivo a ser utilizado dependem das particularidades de cada aplicação.

Economicamente, pode-se afirmar que a demanda por sensores de temperatura é crescente. Os analistas da *Goldstein Research* previram vendas de US\$ 7,55 bilhões até 2025, com crescimento de 4,71 % ao longo do período da previsão (2017-2025) [1][2].

Os sensores de temperatura também podem ser classificados como simples/comuns, *Smart* ou *Intelligent*. No primeiro caso, o sensor é composto apenas por elementos transdutores de uma determinada grandeza física, como, por exemplo, os termopares. Os sensores do tipo *Smart* possuem um conversor analógico para digital, responsável por traduzir a leitura dos elementos sensores para uma saída digital [3]. Os do tipo *Intelligent* podem ser definidos como um sensor do tipo *Smart*, que é capaz de tomar decisões ou executar ações [4][5].

Além disso, os sensores são classificados de acordo ao contato feito com a superfície, pela aplicação, que pode ser militar, da indústria de transformação, da saúde, da alimentação, da eletroeletrônica, entre outras; ou pelo tipo, sendo os mais comuns, os termopares, os termistores, os termômetros de mercúrio ou bimetálicos, baseados em semicondutores ou integrados em um *CI* [6].

Outras características importantes como precisão, exatidão, resolução e faixa

de operação também servem para classificá-los, ao mesmo tempo que auxiliam na escolha do tipo, baseados na aplicação. Dentre elas, a faixa de operação pode ser considerada como a mais elementar, pois ela indica a cobertura da temperatura que o sensor satisfaz. As faixas de temperatura mais conhecidas são apresentadas na Tabela 1 [7].

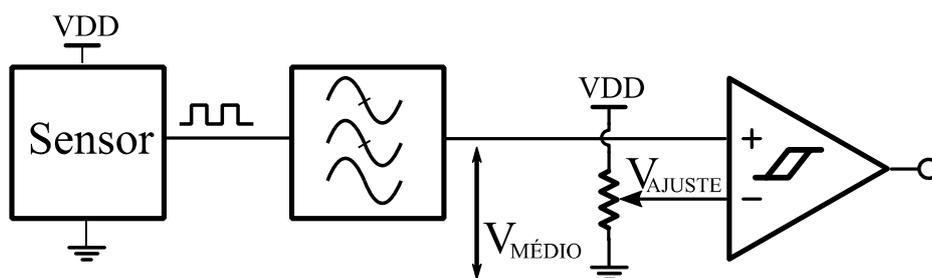
Tabela 1 – Faixas de temperatura por aplicação

| Classe | Limite inferior | Limite superior |
|----------------------|-----------------|-----------------|
| Comercial | 0 °C | 70 °C |
| Industrial | -40 °C | 85 °C |
| Automotiva/Estendida | -40 °C | 125 °C |
| Militar | -55 °C | 125 °C |

A topologia de sensor escolhida tem aplicação de uso geral, tendo potencial para ser embarcado, por exemplo, em uma placa de circuito impresso e utilizado em sistemas como secadores de cabelo, secadores de roupa, refrigeradores, ar condicionado e outros.

O sensor possui interface de conversão analógica para digital simplificada, seu sinal de saída é digital e possui apenas 1 *bit*. A razão cíclica desse sinal é proporcional à mudança de temperatura. Devido à sua simplicidade, o sensor pode ser utilizado tanto em sistemas microcontrolados, quanto em sistemas analógicos, como o ilustrado na Figura 1.

Figura 1 – Exemplo de aplicação direta do sensor de temperatura



Fonte: autoral, adaptado de [3]

A Figura 1 apresenta um diagrama de blocos de um termostato eletrônico, composto por três partes principais: O sensor de temperatura, responsável por fornecer uma saída digital; o filtro passa-baixos e um *Schmitt trigger*, cuja saída comanda um circuito para acionamento de carga resistiva. O sistema opera da seguinte forma: o sinal de saída do sensor, passa pelo filtro passa-baixos que o converte na tensão $V_{MÉDIO}$, essa por sua vez, é aplicada em uma das entradas do *Schmitt trigger*. A outra entrada do *Schmitt*

trigger é obtida através de um potenciômetro que fornece a tensão V_{AJUSTE} . As duas tensões são comparadas pelo *Schmitt trigger*, que dependendo do resultado da comparação ($V_{MÉDIO} > V_{AJUSTE}$ ou $V_{MÉDIO} < V_{AJUSTE}$) muda o estado da sua saída, acionando ou não, a carga resistiva [3].

O exemplo acima, demonstrou um dos possíveis usos do sensor em uma aplicação real. Porém, o propósito deste trabalho não é determinado apenas pela arquitetura do sensor de temperatura ou sua aplicação. Mas sim, apresentar o fluxo de projeto de circuitos integrados analógicos e destacar suas etapas, por meio do desenvolvimento e caracterização do sensor a ser desenvolvidos.

Para que os objetivos fossem cumpridos, fabricou-se duas versões do mesmo sensor em um único CI. Uma delas é o sensor em si, e possui apenas os pinos de alimentação e o do sinal de saída. A outra, é voltada à caracterização, possui pinos de alimentação e os de entrada/saída dos sub-blocos principais, permitindo acesso externo ao CI. Portanto é possível testar os sub-blocos separadamente ou conectá-los através dos pinos do CI.

Um dos principais sub-blocos do sensor é o gerador de correntes (a ser apresentado) que foi construído com a possibilidade de ser utilizado em outros projetos, servindo como fonte de referência de corrente ou tensão.

Esse trabalho visa explorar o fluxo de projeto de circuitos integrados analógicos, através do desenvolvimento e caracterização do sensor de temperatura.

Organização do trabalho

Como forma de organização, o trabalho foi dividido em cinco capítulos, cada um deles trata de assuntos específicos que configuram a estrutura a seguir:

- Capítulo 1: Conceitua os transdutores e apresenta a diferença entre sensores e atuadores e descreve as principais características dos sensores;
 - Capítulo 2: Apresenta técnicas de medida de temperatura utilizadas na tecnologia de circuitos integrados;
 - Capítulo 3: Apresenta a metodologia de projeto de circuitos integrados analógicos, que é a mesma utilizada neste projeto;
 - Capítulo 4: Neste capítulo o projeto e desenvolvimento do sensor de temperatura é apresentado seguindo o fluxo definido no capítulo 3. Inicialmente o planejamento e justificativa das escolhas são apontados, seguidos pela apresentação da técnica de extração de parâmetros dos componentes utilizada no projeto. Por fim, a topologia de sensor escolhida é descrita, apresentando os sub-blocos utilizados no projeto, indicando seu funcionamento, esquema eletrônico, dimensionamento, leiaute e resultados de simulação;
 - Capítulo 5: Neste capítulo, os sensores fabricados, configuração de bancada e resultados da caracterização são apresentados;
 - Conclusão: Esta parte é composta pelos comentários finais e por sugestões de possíveis trabalhos que possam continuar com os estudos iniciados nesta dissertação;
 - Apêndice A: É uma compilação de definições e termos utilizados no projeto de circuitos integrados analógicos.
-

Capítulo 1 Sensores

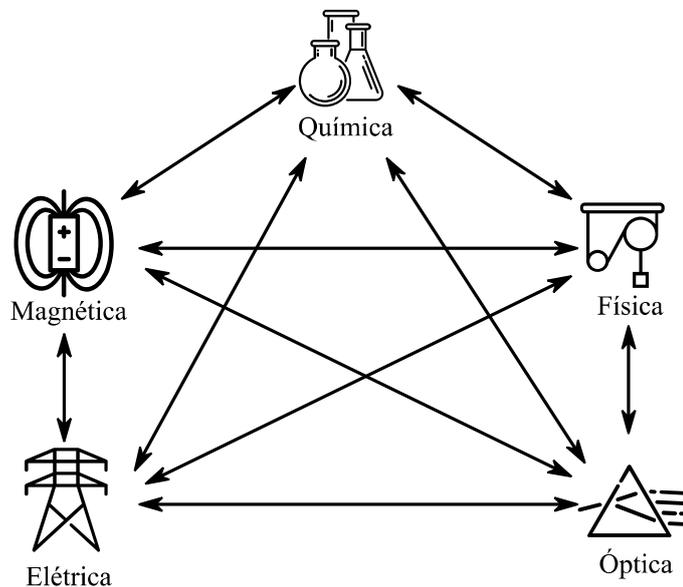
Estamos tão imersos no mundo da informação que não percebemos a quantidade de sensores com que temos contato diário. Seja através do uso do telefone celular, no transporte até o lar ou em exames clínicos, esses dispositivos estão presentes nos auxiliando nas atividades diárias. Os sensores utilizados em nosso cotidiano são dispositivos que transformam um domínio de energia para outro de forma compreensível aos seres humanos, utilizando escalas, indicações coloridas ou luminosas.

Este capítulo estabelece as diferenças entre sensores, transdutores e atuadores, apresenta a definição de sensores utilizada neste trabalho, descreve suas características e as principais formas de classificá-los.

1.1 Transdutores

Um transdutor pode ser definido como um dispositivo que converte energia de uma grandeza física para outra. A Figura 2 apresenta as conversões realizadas entre domínios químico, magnético, mecânico, óptico, físico e o elétrico. [8]

Figura 2 – Conversão entre domínios de transdutância.



Fonte: Autoral, adaptado de [8].

Podemos imaginá-los como dispositivos de duas portas que trocam energia com o ambiente. A porta de entrada recebe energia de um tipo e a de saída fornece de outro, como, por exemplo, um sinal elétrico transformado em som através de um alto-

falante. São divididos em duas classes: sensores e atuadores. Os primeiros são utilizados majoritariamente para o monitoramento de sistemas, como sensores de temperatura ou de pressão. Os últimos, respondem aos estímulos de entrada através de movimento mecânico, como, por exemplo, o movimento da membrana de um alto-falante.

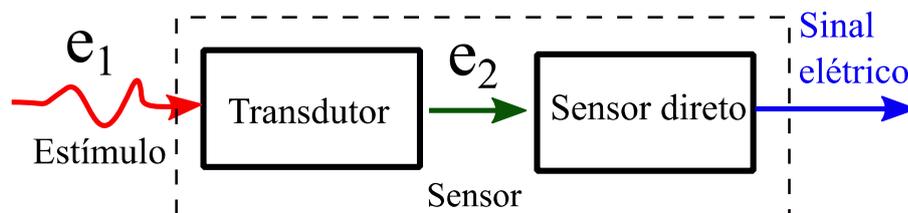
1.2 Sensores

Existem definições tão gerais sobre sensores que muitas vezes podem ser confundidos com transdutores. A fim de elucidar essa definição, podemos afirmar que todos os sensores são transdutores, mas nem todo transdutor é um sensor. Pois como informado na seção anterior, sensores são um subgrupo dos transdutores. De acordo ao padrão IEEE 1451.2-1997, sensores são definidos como: “*Transdutores que convertem um parâmetro físico, biológico ou químico em um sinal elétrico*”. Ao tratarmos o sensor como um sistema, podemos classificá-lo como *direto* ou *complexo* [9].

Um sensor *direto*, converte diretamente a grandeza física medida em um sinal elétrico, como exemplo, um sensor de temperatura baseado na tensão de junção de um diodo. Nesse caso a agitação dos elétrons através do calor é convertida em valores de corrente e tensão, que podem ser medidos através do dispositivo.

Os *complexos* necessitam de um ou mais transdutores de energia antes de entregar um sinal elétrico em sua saída. Como exemplo, será utilizado o sensor químico representado pela Figura 3. Na primeira etapa ele utiliza um transdutor para converter a energia oriunda de uma reação química em calor, na parte seguinte converterá o calor em um sinal elétrico de forma direta.

Figura 3 – Exemplo de um sensor complexo.



. Fonte: Autoral, adaptado de [9].

1.3 Características dos sensores

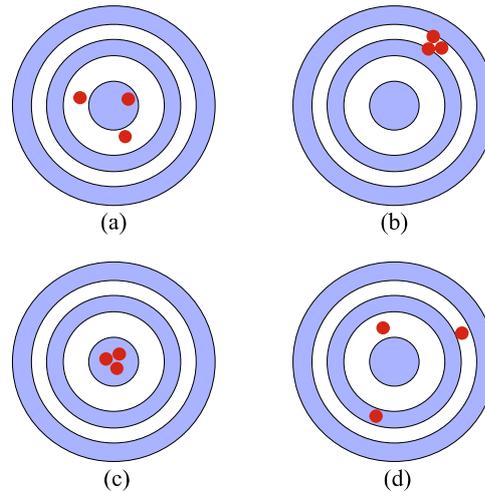
Durante o processo de fabricação ocorrem defeitos que fazem com que diferentes amostras de um mesmo lote possuam resposta ligeiramente discrepante. Algumas dessas variações ocorrem devido ao descasamento entre componentes eletrônicos (*mismatch*) [10], como por exemplo: transistores projetados com as mesmas medidas geométricas que, após a fabricação, são discrepantes. Outro exemplo, é o estresse mecânico induzido à pastilha de silício (*die*) devido ao encapsulamento [11].

Após o processo de fabricação ser concluído, um sensor pode passar por situações adversas, como diferenças de temperatura, choques no transporte e ambiente úmido. Também é comum que ao longo do tempo envelheçam e naturalmente mudem sua resposta em um processo conhecido como *aging* [12]. Além disso, dependendo do tipo do sensor, podem haver diversos passos de transdução que também influenciam sua saída. O projetista de sensores deve preocupar-se em reduzir ou compensar esses efeitos para que não afetem as características do dispositivo.

A *precisão* de uma medida refere-se à repetição do resultado obtido através de um mesmo estímulo, mesmo que o resultado esteja longe do valor de referência ou real [13]. Por exemplo, se a temperatura ambiente for 25°C e um sensor de temperatura efetuar cinco medidas (24°C, 24°C, 24°C, 24°C e 24°C), pode-se afirmar que ele é preciso. Apesar de a medida estar errada, o sensor *repetiu* o mesmo resultado. Pode-se considerar que a precisão está ligada ao conceito de *repetibilidade*, ou seja, se o resultado se repete para as mesmas condições, o sensor é preciso [14], [15].

A *exatidão* refere-se a quão próximas as medidas estão do valor de referência ou real. Por exemplo, se o mesmo sensor do exemplo acima resultasse em medidas de 25°C, seria possível afirmar que ele é exato. De outra forma, geralmente, mede-se a *não exatidão* (erro) do sensor ao invés da exatidão. A não-exatidão, é considerada como o máximo desvio entre o valor medido e a referência. A diferença entre exatidão e precisão pode ser observada através do exemplo apresentado na Figura 4. No exemplo, três dardos foram lançados a fim de atingir o centro do alvo. Na Figura 4 – (a) os dardos ficaram próximos do alvo, ou seja, o lançamento foi exato, porém, na Figura 4 – (b), o lançamento foi preciso, porém longe do centro, ou seja, não foi exato. Na Figura 4 – (c), o lançamento foi preciso e exato e na Figura 4 – (d) não foi preciso e nem exato.

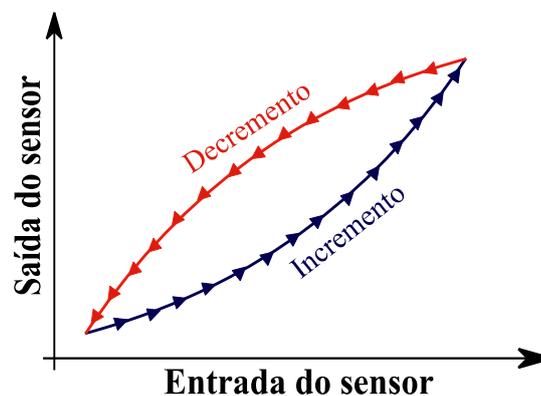
Figura 4 – Exemplo de exatidão e precisão.



Fonte: Autoral, adaptado de [15].

Algumas características intrínsecas do sensor podem afetar sua precisão, como a histerese. Neste caso, a resposta do sensor apresenta um desvio na medida quando o parâmetro de entrada varia em sentidos opostos. Ou seja, tomando um mesmo ponto como referência, obtêm-se resultados diferentes de medida ao submeter o sensor a uma situação de incremento, e posterior decremento de sua variável de entrada. A Figura 5 ilustra esse comportamento [12].

Figura 5 – Exemplo de medida de sensor com histerese.

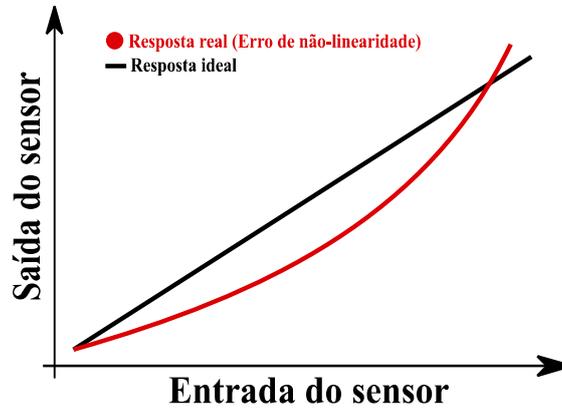


Fonte: Autoral, adaptado de [12].

Outra característica importante é a *sensibilidade*, ela indica qual é a menor variação no parâmetro de entrada que o sensor consegue detectar, ou seja, qual é o menor valor que causa uma mudança significativa na resposta do sensor. Um parâmetro desejável, porém, nem sempre possível de se obter no projeto de sensores é a *linearidade*. Ou seja, quanto mais a resposta for próxima de uma reta, mais fácil será o seu pós-processamento, pois, dessa forma, os valores do sinal de saída são obtidos através de uma

constante proporcional ao sinal de entrada. O erro de *não-linearidade* é definido como o desvio máximo da resposta quando comparada a uma linha reta ideal obtida por aproximação matemática.

Figura 6 – Exemplo de sensor com erro de não-linearidade.

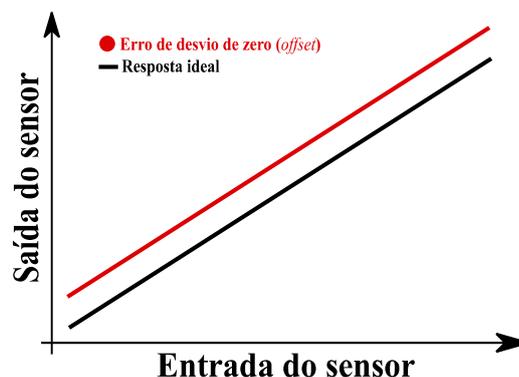


Fonte: Autoral, adaptado de [12].

Além disso, podemos citar outros parâmetros importantes que devem ser considerados nas especificações dos sensores [8] , [9]:

- **Máxima faixa de entrada** (*Full scale input* ou *Span*): representa o máximo valor de entrada da grandeza a ser medida sem causar uma grande inexatidão;
- **Fundo de escala** (*Full scale output*): é a diferença algébrica entre os sinais elétricos de saída, medidos com o máximo estímulo de entrada e o mínimo estímulo de entrada.
- **Desvio de zero** (*offset*): é definido como a medida da saída, aplicando-se valor nulo na entrada. Se a resposta for diferente do valor esperado, então existe um desvio de zero podendo este ser positivo ou negativo;

Figura 7 – Exemplo de erro de desvio de zero (*offset*).



Fonte: Autoral, adaptado de [12].

- **Resolução:** É a capacidade que o sensor possui de detectar pequenas variações no parâmetro a ser medido, quanto maior for a capacidade de detecção, maior é a resolução.
- **Erro de calibração:** é a máxima inexatidão permitida pelo fabricante quando o sensor já vem calibrado na fábrica.
- **Saturação:** ocorre quando o sensor atinge o seu limite, ou seja, para uma determinada entrada, o sensor não produz mais a resposta esperada.
- **Zona morta:** É a insensibilidade do sensor numa faixa específica de sinais de entrada;
- **Características dinâmicas:** são aquelas em que o sensor é descrito através de características dependentes do tempo, como: Erro dinâmico, Tempo de aquecimento (*warm-up time* - Tempo em que o sensor demora para realizar as medidas com a exatidão costumeira, após ser ligado).

1.4 Conclusão do capítulo

De acordo com o apresentado neste capítulo, pode-se concluir que: sensores são transdutores que convertem um parâmetro físico, biológico ou químico em um sinal elétrico. O capítulo também mostrou que existem diversas formas de se classificar um sensor como: tipo, complexidade de construção e aplicação.

Características dos sensores foram apresentadas de forma didática, com o objetivo de elucidar conceitos que muitas vezes são confundidos, como por exemplo: precisão e exatidão. Adicionalmente outras características importantes para a escolha dos sensores também foram expostas, como: resolução, fundo de escala, desvio de zero (*offset*), histerese e características bastante desejáveis para processamento da medida como a linearidade.

Capítulo 2 Medida de temperatura através de semicondutores.

Este capítulo disserta sobre como tipos diferentes de semicondutores integrados em um CI podem ser utilizados para realizar a medida de temperatura.

2.1 Revisão bibliográfica

Diversos parâmetros em semicondutores têm dependência com a temperatura, afetando o seu comportamento ideal. O que à primeira vista figura um problema, se torna uma vantagem para o projeto de sensores de temperatura integrados. Dentre esses parâmetros, podemos citar a mobilidade elétrica representada por μ_n , para semicondutores do tipo N; μ_p para semicondutores do tipo P (por praticidade μ representará as duas), e a tensão térmica representada por V_T . Ambos estão presentes nas equações utilizadas no dimensionamento dos componentes semicondutores, como exemplo: μ está presente na equação da corrente dreno-fonte I_{DS} dos transistores MOSFET (tipo CMOS), V_T na equação da corrente I_C dos transistores bipolares e da corrente I_D dos diodos. Algo em comum entre os parâmetros μ e V_T é a sua sensibilidade em relação à temperatura, como pode ser observado na equação (1) e na equação (2).

$$V_T = \frac{kT}{q} \quad (1)$$

$$\mu = \mu_0 \left(\frac{T}{T_0} \right)^{km} \quad (2)$$

T é a temperatura e T_0 é a temperatura de referência, km é uma constante que varia de -1,2 à 2,0 [16]. k é a constante de Boltzmann ($1,3807 \times 10^{-23} J/K$), T a temperatura absoluta em *Kelvin* e q a carga do elétron ($1,6022 \times 10^{-19} C$) [17].

Na literatura atual (2018-2020), quatro dispositivos semicondutores são os mais utilizados para realizar a medida de temperatura na tecnologia CMOS: diodo, transistor MOSFET, transistor bipolar e resistores. As próximas subseções deste capítulo, apresentam os trabalhos mais recentes que utilizam estes dispositivos, assim como, ilustram de forma sucinta o seu emprego como elementos sensores. Como o transistor bipolar foi o componente escolhido para realizar este trabalho, a estratégia de medida da temperatura utilizada por ele será mais detalhada em seção específica posterior.

2.1.1 Diodo

Dentre os dispositivos citados anteriormente, os diodos são considerados como os de maior exatidão. Eles possuem sensibilidade de aproximadamente $-2 \text{ mV}/^\circ\text{C}$, medem ampla faixa de temperatura e possuem boa reprodutibilidade. Porém, como desvantagem, demandam de calibração e não estão disponíveis em todos os *PDKs* (Apêndice A). Portanto, são frequentemente substituídos por transistores bipolares de junção (*TBJ*) em *CI*s.

Na literatura atual encontramos diversos trabalhos utilizando-os como elementos sensores, alguns realizam a medida da temperatura baseada na variação da tensão de polarização direta do diodo V_F , e outros, como o apresentado por [18], utilizam esquemas sofisticados baseados na descarga da corrente de polarização reversa. Outros fazem medidas através da tensão de polarização de *LEDs* de potência, como o apresentado em [19]. E outros trabalhos utilizam os diodos do tipo *Schottky* como elementos sensores [20]. A vantagem apresentada é a baixa queda de tensão sob o diodo (aproximadamente $0,3 \text{ V}$) o que facilitaria o projeto de sensores e fontes de referência de tensão ou corrente baseadas em *Bandgap* em tecnologias cuja tensão de alimentação é menor, como por exemplo, $1,3 \text{ V}$ ou abaixo disso.

2.1.2 Transistor MOSFET

Como exposto no início deste capítulo, os transistores MOSFET também possuem parâmetros dependentes da temperatura. Esse dispositivo, quando operado na região de inversão fraca, apresenta um relacionamento exponencial entre a tensão de porta-fonte V_{GS} e a corrente de dreno I_{DS} [16]:

$$V_{GS} - V_{TH} = \frac{\eta kT/q}{\ln(I_{DS}/I_0)} \quad (3)$$

Onde, I_0 é uma variável dependente do processo e η é o fator de inclinação em inversão fraca.

Uma das vantagens ao utilizar esse dispositivo é a queda de tensão baixa sob

ele, e a necessidade de uma corrente de polarização menor, o que reduz o consumo de energia e possibilita a integração em sistemas de controle de temperatura, como os utilizados em processadores. Além disso, sua dependência com a temperatura é bem modelada. Como desvantagem podemos citar a necessidade de uma calibração de dois pontos, o que torna o processo mais caro em alguns casos [16]. Baixa reprodutibilidade, o que dificulta seu uso em aplicações que requerem alta precisão.

Na literatura encontramos trabalhos recentes utilizando *MOSFETs* operando em inversão fraca, como elementos sensores. Alguns se baseiam na conversão da temperatura para uma tensão de saída, como é o caso de um sensor utilizado em um sistema de carga para baterias de *li-ion* [21]. Em [22], os *MOSFETs* também trabalham na região de inversão fraca. Neste trabalho, o sensor utiliza uma estratégia de conversão da temperatura para uma saída digital (*Temperature-to-Digital*), obtida através de um conversor de corrente para frequência.

Utilizando também temperatura modulada em frequência, foi encontrado um trabalho baseado em um oscilador controlado por tensão (*VCO*), que baseia a medida da temperatura na variação do V_{TH} [23]. Encontrou-se também um sensor baseado em osciladores de relaxação, como é o caso do apresentado em [24], porém com faixa de trabalho reduzida.

2.1.3 Transistor Bipolar de Junção

A medida de temperatura realizada por Transistores Bipolares de Junção (*TBJ*) é feita basicamente de duas formas. Na primeira, a tensão base-emissor V_{BE} tem dependência praticamente linear com a temperatura, sendo desta maneira, lida e convertida por um conversor *ADC*. A outra forma é baseada em uma tensão ΔV_{BE} , obtida através de dois *TBJs*, que operam com densidades diferentes de corrente. Esta tensão também é lida por um conversor *ADC*. Essa estratégia é utilizada para mitigar efeitos de segunda ordem no comportamento da tensão V_{BE} . Ambas serão exploradas mais a fundo em seção específica nesse mesmo capítulo.

Na literatura recente, diversos trabalhos utilizando *TBJs* são encontrados, como: um sensor que utiliza um multivibrador astável, para modular a temperatura em uma razão cíclica [25]; um sensor com saída digital e auto calibração [26]; e outro, voltado

a aplicações de *IoT* que utiliza componentes resistentes a radiação [27]. Outros trabalhos utilizam um esquema de compensação da variação de processos, como o apresentado em [28] e [29]. Também há aqueles baseados em osciladores em anel e que utilizam um esquema de auto referência [30]. Ou então sensores com alta exatidão e saída digital, cuja temperatura é modulada em forma de uma razão cíclica, como o apresentado em [31].

2.1.4 Resistores

Assim como os outros componentes expostos anteriormente, os resistores também possuem dependência com a temperatura. Sensores baseados em resistores atingem resoluções mais altas e possuem menor consumo de potência do que os baseados em *TBJ*. Como desvantagem ocupam maior área de silício no *CI* e sofrem com o espalhamento do processo [32] [33]. Para que o uso do resistor proporcione alta resolução, baixo consumo de potência e alta estabilidade, ele deve possuir um grande *TC*, baixo ruído *1/f*, resistência estável, baixa dependência de tensão e baixa sensibilidade ao estresse.

Variados tipos de resistores podem ser encontrados no processo CMOS: resistores de metal, de difusão, de silício policristalino e os de silicida (*silicided*). Os resistores de silicida são encontrados de duas formas; os de silicida policristalina (*silicided poly*) e os de silicida difusão (*silicided diffusion*).

Até o momento, foram encontradas duas formas de utilizar resistores como elementos sensores. Uma delas é empregá-los em uma ponte de *Wheatstone* ou de *Wien* e realizar a leitura da tensão de saída da ponte por um conversor *ADC*. Outra forma é construir um filtro *RC*, com o resistor dependente da temperatura e um capacitor estável em temperatura. Quando comandado por uma frequência constante, o filtro apresenta um deslocamento de fase que é digitalizado e comparado com uma referência de tempo estável em temperatura.

Na literatura recente, há diversos trabalhos que utilizam resistores como elementos sensores de temperatura. Como exemplo, um sensor altamente eficiente em energia e de alta resolução, cuja aplicação é a compensação em temperatura de uma referência de frequência baseada em *MEMS/Quartzo*. O sensor é baseado em termistores de silicida policristalina que foram embarcados em um filtro *RC* tipo ponte de *Wien* [34]. Outros trabalhos também utilizam uma ponte de *Wien* para realizar as medidas de

temperatura e realizam a medida com conversores Sigma-Delta [32], [33]. A vantagem no uso de uma ponte de *Wien* no lugar de uma ponte de *Wheatstone* é que na ponte de *Wien* apenas um tipo de resistor é necessário, o que acaba resultando em uma menor influência do espalhamento do processo.

2.1.5 Comparativo entre os sensores

Um comparativo de desempenho entre alguns sensores apresentados neste capítulo é apresentado na Tabela 2. A tabela separa os trabalhos por tipo de elemento sensor utilizado. Nota-se que nem todos os parâmetros disponíveis na tabela são encontrados nos trabalhos. Muitos deles dependem do tipo de saída que o sensor fornece, portanto são inexistentes em alguns casos, ou simplesmente não foram medidos.

Tabela 2 – Comparativo entre os principais sensores apresentados neste capítulo

| Parâmetros | [18] | [32] | [21] | [22] | [35] | [30] |
|---|------------------------|-------------------------|---------|--------------------------|-------------------------|---|
| Processo [μm] | 0,18 | 0,18 | 0,18 | 0,18 | 0,18 | 0,13 |
| Tipo | Diodo | Resistor | MOS | MOS | BJT | BJT |
| Faixa de operação [$^{\circ}\text{C}$] | 35 a 100 | -35 a 100 | 0 a 120 | -20 a 80 | -20 a 30 | -20 a 125 |
| Alimentação [V] | 1,8 | 1,8 | 1 | 1,8 | 1 | 1,05-1,4 |
| Potência [μW] | - | 1.600 | 3,39 | 0,011 | - | 744 |
| Corrente [μA] | 2,2 | - | - | 0,017 | 0,9 | - |
| Inexatidão [$^{\circ}\text{C}$] | $\pm 0,1$ | 0,35 | - | -0,9/+1,2 | $\pm 0,8$ | -1,7/+1,26 |
| Resolução | 75mK | 0,12 $^{\circ}\text{C}$ | - | 94mK | 350m $^{\circ}\text{C}$ | 0,187 $^{\circ}\text{C}_{(\text{rms})}$ |
| Sensibilidade [$^{\circ}\text{C}/\text{V}$] | - | 4,6 | 1,08m | 3,8 | - | 0,0136 |
| Linearidade | - | - | - | - | - | - |
| Energia/amostra | - | - | - | 8,9nJ | - | 9,92 |
| Tipo de saída | Digital | Digital | Tensão | Digital | Digital | Digital |
| Resolução FOM | 11nJ $\cdot\text{K}^2$ | - | - | 0,19nJ $\cdot\text{K}^2$ | 4,4nJ $\cdot\text{K}^2$ | - |

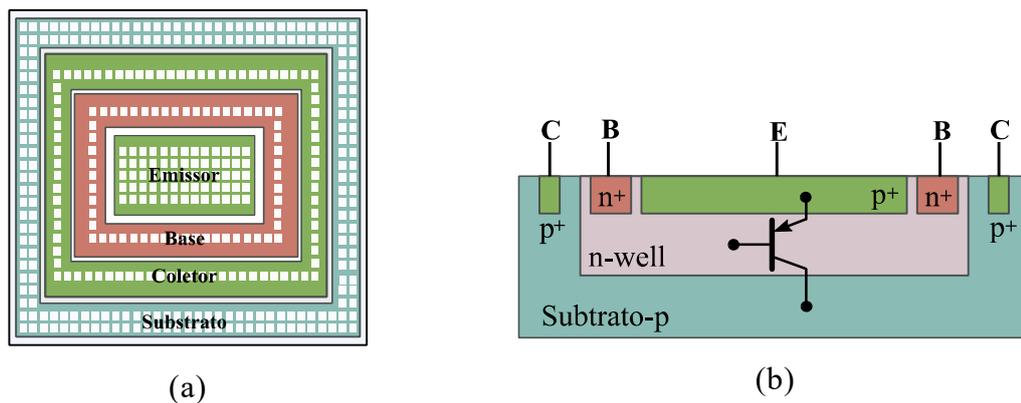
A partir da Tabela 2, percebe-se que os sensores que utilizam *TBJs*, se destacam entre os demais, devido a uma combinação de fatores. No geral, consomem pouca energia para uma faixa de trabalho maior do que a dos demais, além disso, possuem boa repetibilidade e foram bastante explorados na tecnologia *CMOS*. Devido a esses fatores, eles foram os escolhidos para a realização desse trabalho.

A próxima seção trata especificamente da medida de temperatura através dos *TBJs*, pois, como exposto, eles são os elementos sensores utilizados neste projeto.

2.2 Transistores Bipolares de Junção

As mesmas difusões usadas para construir um *MOSFET* podem ser utilizadas para se obter Transistores Bipolares de Junção (*TBJ*). Dois tipos deles podem ser usados para medir temperatura: os laterais e os de substrato (verticais). Uma das vantagens no seu uso é uma menor influência da geometria e variações no processo [3]. Devido ao comportamento mais próximo do ideal e da baixa sensibilidade ao espalhamento do processo e ao estresse do encapsulamento (gerado pelo efeito de piezo-junção [11]), os *TBJs* do tipo *PNP* verticais são os favoritos para realizar medidas de temperatura. Porém, é importante dizer que, em processos como o *twin well* ou *deep n-well*, transistores *NPN* verticais também podem ser fabricados e utilizados para esse fim [16]. Em um processo *CMOS n-well*, os *TBJs PNP* verticais são formados por uma difusão fonte-dreno p^+ em um poço *n-well*, ou seja, o substrato da estrutura serve como seu coletor (Figura 8).

Figura 8 – a) Vista do topo de um *TBJ* parasita (b) Vista lateral.

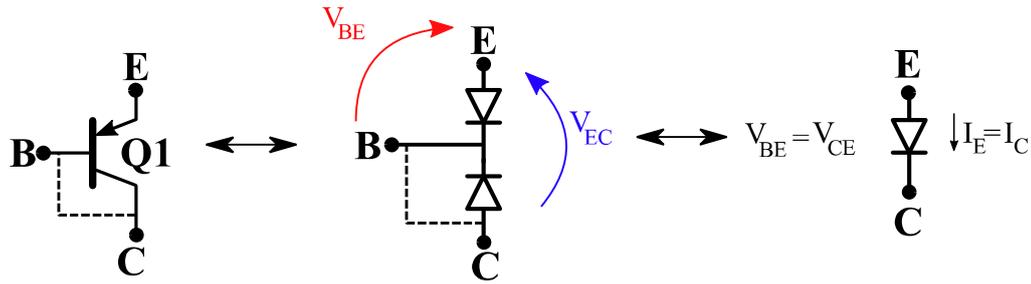


Fonte: Autoral.

Em relação aos *TBJ* laterais, o dispositivo *PNP* vertical tem como desvantagem o coletor aterrado (formado pelo seu substrato) e baixo ganho em corrente (menor que 10) [36]. Porém, essas desvantagens não inviabilizam seu uso em projeto de sensores de temperatura ou circuitos de referência, pois não há necessidade de ganho em corrente elevado ou qualquer tipo de amplificação de sinal. Devido a disponibilidade no *PDK*, esse trabalho utilizou o *TBJ PNP*, portanto, ele será usado nos exemplos a seguir.

Para que um transistor *PNP* se comporte como diodo, é necessário conectar seus terminais base e coletor, transformando-o em um dispositivo de dois terminais [7],[37].

Figura 9 – Transistor bipolar do tipo PNP em configuração de diodo.



Fonte: Autoral, adaptado de [7].

Quando a tensão V_{BE} for positiva, a corrente de coletor (I_C) que passa pelo dispositivo tem o comportamento idêntico ao do diodo, como pode ser observado através da equação (4).

$$I_C = I_S \left[\exp \left(\frac{V_{BE}}{V_T} \right) - 1 \right] \quad (4)$$

Onde, I_C é a corrente de coletor, V_{BE} é a tensão de polarização direta e I_S é a corrente de saturação reversa da junção PN , cuja equação é apresentada em (5).

$$I_S = qAn_i^2 \left(\frac{D_n}{N_A L_n} + \frac{D_p}{N_D L_p} \right) \quad (5)$$

Na equação (5), A é a área da seção transversal do dispositivo, n_i é a concentração intrínseca de portadores no material semiconductor. D_n e D_p são as constantes de difusão para elétrons e lacunas, respectivamente. L_n é o comprimento de difusão dos elétrons e L_p o de lacunas, N_A e N_D representam, nessa ordem, a densidade de átomos aceitadores e a de doadores de carga [17].

É importante mencionar que n_i possui forte dependência com a temperatura como pode ser observado na equação (6) [38].

$$n_i^2 \propto T^3 \exp \left(\frac{-V_g}{V_T} \right) \quad (6)$$

Para valores de V_{BE} maiores que V_T ($V_{BE} \gg V_T$), I_S é desprezível em face a I_C , validando a seguinte aproximação (equação (7)):

$$I_C \approx I_S \exp\left(\frac{V_{BE}}{V_T}\right) \quad (7)$$

Considerando a equação que define os portadores minoritários do tipo-p e tipo-n em equilíbrio (n_p e n_n), apresentados na equação (8), e combinando-a com a equação (5), nota-se que a corrente I_S é proporcional a n_i^2 , como pode ser visto na equação (9):

$$n_p = \frac{n_i^2}{N_A}, n_n = \frac{n_i^2}{N_D} \quad (8)$$

$$I_S = CT^\eta \exp\left(\frac{V_g}{V_T}\right) \quad (9)$$

Nesta equação, C e η são duas constantes, a primeira é dependente do processo e a segunda é relacionada à dependência da mobilidade dos portadores minoritários com a temperatura na região da base [36]. Porém, levando em consideração a dependência de I_S com a temperatura, a equação (7) pode ser reescrita como (equação (10)):

$$I_C(T) = A_E CT^\eta \exp\left(\frac{(V_{BE} - V_{g0})}{V_T}\right) \quad (10)$$

Onde V_{g0} é a tensão de *BandGap* extrapolada em 0 K. Sob essas condições, I_C varia exponencialmente com V_{BE} , portanto essa tensão pode ser expressa em função de I_C , resultando na equação (11) [36].

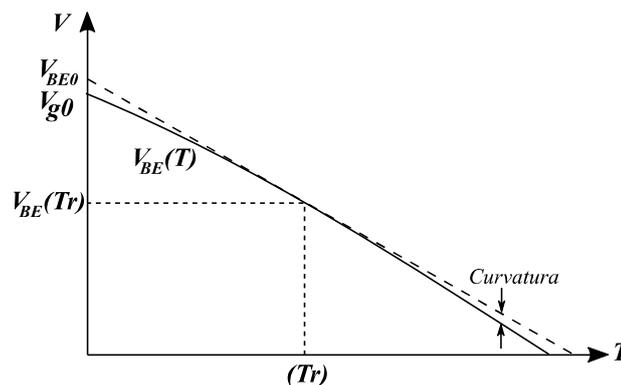
$$V_{BE}(T) = V_{g0} \left(1 - \frac{T}{T_r}\right) + \frac{T}{T_r} V_{BE}(T_r) + \eta \frac{kT}{q} \ln\left(\frac{T}{T_r}\right) + \frac{kT}{q} \ln\left(\frac{I_C(T)}{I_C(T_r)}\right) \quad (11)$$

Onde, $V_{BE}(T_r)$ é a tensão, base-emissor na temperatura de referência T_r (equação (12)).

$$V_{BE}(T_r) = V_{g0} + \frac{kT_r}{q} \ln \left(\frac{I_C(T_r)}{A_E C T_r^\eta} \right) \quad (12)$$

Como I_S (equação (9)) é dependente do processo e temperatura, podemos afirmar que V_{BE} não é uma função linear da temperatura, o que pode ser constatado pelos dois últimos termos da equação (11). Apesar da sensibilidade para maioria dos transistores ser de $-2 \text{ mV}/^\circ\text{C}$, essa curvatura não permite determinar precisamente a temperatura resultando em erros de até $2 \text{ }^\circ\text{C}$ [36]. A Figura 10 apresenta este comportamento. Porém, esse erro sistemático pode ser reduzido, utilizando uma corrente de coletor dependente da temperatura, a qual irá compensar a dependência de I_S com relação à temperatura.

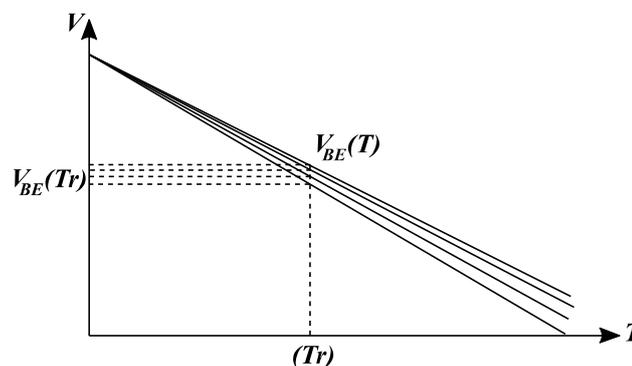
Figura 10 – Dependência em temperatura da tensão base-emissor V_{BE} .



Fonte: Autoral, adaptado de [36].

Mesmo com a correção da curvatura, V_{BE} continua sendo dependente do processo (Figura 11), assim como a sua sensibilidade [36].

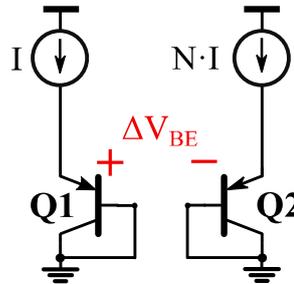
Figura 11 – Variação da sensibilidade devido ao espalhamento do processo.



Fonte: Autoral, adaptado de [36].

Entretanto, se dois transistores idealmente iguais estiverem operando com densidades de corrente diferentes como na Figura 12, há uma diferença de tensão - ΔV_{BE} , sob seus terminais, descrita pela equação (13):

Figura 12 – Geração de ΔV_{BE} .



Fonte: Autoral

Na Figura 12, N representa um fator de multiplicação entre as duas correntes. Na prática isso significa que Q2 é composto por N transistores TBJ conectados em paralelo.

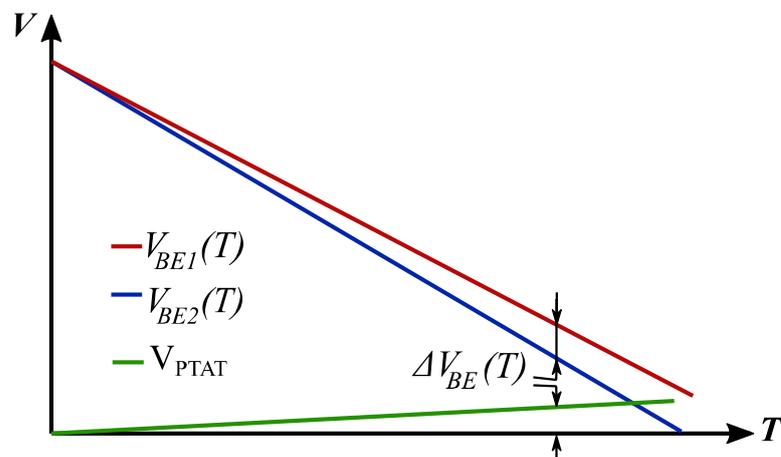
$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT}{q} \ln \left(\frac{I_{C1}}{I_{S1}} \right) - \frac{kT}{q} \ln \left(\frac{I_{C2}}{I_{S2}} \right) \quad (13)$$

Assumindo que $I_{S1} = I_{S2}$, temos a equação (14):

$$\Delta V_{BE} = \frac{kT}{q} \ln \left(\frac{I_{C2}}{I_{C1}} \right) \quad (14)$$

Dessa forma, elimina-se a dependência de I_S , sendo, portanto, ΔV_{BE} uma função linear em relação a temperatura (Figura 13).

Figura 13 – Dependência da temperatura para a diferença ΔV_{BE} .



Fonte: Autoral, adaptado de [36].

Como a relação coletor-corrente é constante, a diferença de tensão ΔV_{BE} varia de forma proporcional à temperatura absoluta (*PTAT*), ou seja, se a temperatura aumenta, a tensão ΔV_{BE} também, se ela diminui ΔV_{BE} , segue o mesmo comportamento. Para facilitar a compreensão, no gráfico, ΔV_{BE} é representada pela tensão V_{PTAT} .

2.3 Conclusão do capítulo

De acordo com o apresentado, são quatro os componentes semicondutores mais utilizados atualmente para realizar a medida de temperatura através de circuitos integrados. Estes são: diodo, transistor *MOSFET*, *TBJ* e resistores de difusão. Os diodos possuem boa sensibilidade ($-2 \text{ mV}/^\circ\text{C}$) e possuem boa repetibilidade, porém não estão disponíveis em todos os *PDKs* (Apêndice A). Os *TBJs* têm comportamento similar aos diodos e os substituem em alguns projetos de sensores. Os transistores *MOSFET* são uma alternativa aos *TBJs* quando há necessidade de usar tensões de alimentação, mais baixas, o que é uma vantagem. Porém, necessitam de um ponto a mais de calibração o que encarece o processo de produção e, além disso, não possuem a mesma linearidade dos *TBJs* e tampouco a mesma faixa de trabalho e repetibilidade.

Alguns trabalhos utilizam resistores, os quais possuem sensibilidade comparável a dos *TBJs*, baixo consumo de energia e são insensíveis à variação de tensão. Porém, sofrem devido ao espalhamento do processo e ocupam área maior que suas alternativas, mas são promissores para trabalhos futuros.

Além do exposto, este capítulo também apresentou detalhadamente como é realizada a medida de temperatura através dos *TBJs*, uma vez que são esses os componentes escolhidos como elementos sensores neste projeto.

Capítulo 3 Metodologia de projeto de circuitos integrados

Conforme a tecnologia de circuitos integrados avança, mais complexo se torna o seu projeto. Ferramentas e metodologias cada vez mais apuradas são necessárias para que haja êxito. No mercado encontram-se ferramentas que satisfazem todas as etapas do fluxo de circuitos analógicos e dos circuitos digitais. O projetista experiente utiliza-as sem dificuldades e nem se dá conta que está seguindo o fluxo de projetos. Porém, o mesmo não acontece com o iniciante da área. Caso ele não passe por um treinamento específico, muitas dúvidas surgirão, implicando em questionamentos do porquê executar determinada etapa no projeto, ou então, do porquê aplicar um tipo específico de análise.

Devido a este cenário, um fluxo básico de projetos de circuitos integrados analógicos será apresentado. O qual irá cobrir as etapas mais comuns e servir como prelúdio ao iniciante na área. Não há pretensão de se cobrir toda a temática, devido às particularidades e metodologias específicas presentes nas empresas/instituições que muitas vezes possuem ferramentas, metodologias e modelos proprietários.

Inicialmente alguns conceitos utilizados no projeto de circuitos integrados serão apresentados, para que essa informação seja sintetizada no final da seção em um fluxograma que se propõe a guiar o iniciante na área, e o decorrer deste trabalho.

3.1.1 Abordagens *Top-Down* e *Bottom-Up*

As abordagens *Top-Down* e *Bottom-Up* são uma forma de pensar no projeto decompondo-o em partes menores a fim de desenvolvê-lo passo a passo. São amplamente utilizadas em diversas áreas, como administração de empresas, desenvolvimento de *software*, *hardware*, e humanística, por exemplo. Na microeletrônica essas abordagens estão presentes nos fluxos de projetos, tanto de Circuitos Integrados Analógicos, quanto de Digitais.

A abordagem *Top-Down* divide o projeto em diversos níveis de complexidade, formando um arranjo de subsistemas multinível, organizado e de fácil entendimento. No mais alto deles (*Top*), o sistema é representado por um modelo ideal, baseado no resultado esperado, evidenciando suas características principais, como pinos de entrada e saída, sinais, e qualquer outra variável importante. Conforme o projeto vai sendo fragmentado

em subsistemas de nível mais baixo, a complexidade e a quantidade de detalhes aumentam. Isso vai sendo feito até se obter as especificações dos sistemas mais básicos para então projetá-los do nível menor até o maior. Em resumo, é possível dizer que essa abordagem é uma espécie de engenharia reversa, ou seja, iniciamos o projeto com um modelo simples, de alto nível hierárquico, porém com baixa complexidade, depois seguimos dividindo-o em partes menores de nível hierárquico menor, mas de complexidade crescente [39], [40].

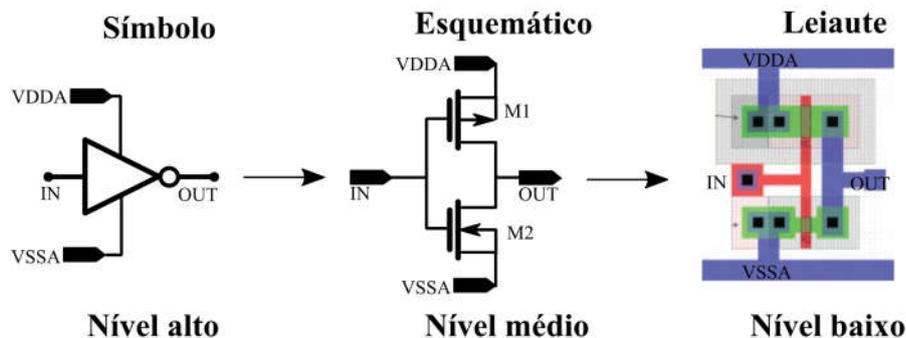
A metodologia *Bottom-Up* também utiliza o esquema de caixas com funções, porém o projeto inicia pelos níveis mais baixos, até chegar ao mais alto, ou seja, é exatamente o contrário da sua contraparte. Cada subsistema é projetado até que se cubram todos os requisitos apontados nos níveis mais altos ascendendo até o topo. Seria o equivalente a projetar os leiautes, depois esquemáticos, para então seguir para os modelos comportamentais, formar os subsistemas para então conectá-los até atingir o projeto final, ou nível *Top*.

3.1.2 Projeto de circuitos integrados analógicos

Após a descrição das metodologias *Top-Down* e *Bottom-Up*, um exemplo de projeto básico será exposto, apresentando as etapas mais comuns envolvidas no processo. Para fins de organização, alguns termos empregados no exemplo seguinte estão detalhados no Apêndice A do texto.

De maneira resumida, o projeto de um circuito analógico simples pode seguir o padrão apresentado na Figura 14.

Figura 14 – Fluxo básico de projeto de um CI analógico.



Fonte: Autoral, leiaute adaptado de [41].

Na Figura 14, o projeto é dividido em três etapas, sendo cada uma delas associada a um nível de abstração, como o utilizado nas metodologias *Top-Down* e *Bottom-Up*.

Na etapa de abstração alta (nível alto), um símbolo que representa o circuito é criado, nele são especificados os pinos de entrada/saída do sistema. Geralmente há um modelo comportamental baseado nas especificações do projeto associado a ele. Esses modelos podem ser criados através de codificação em uma linguagem como o *Verilog-A*®, *Verilog-AMS*® ou outra, ou até mesmo usando esquemáticos simplificados construídos com fontes de corrente ou tensão ideais. Nessa etapa, simulações são feitas a fim de validar o modelo. Caso o resultado não atinja o definido nas especificações, o modelo deve ser alterado até que essa condição seja satisfeita [42].

Na próxima etapa, o símbolo de nível alto é mantido, porém, dependendo do projeto, há uma divisão em subsistemas em que são criados símbolos e modelos associados a eles. O ciclo anterior se repete, finalizando apenas quando as especificações dos subsistemas forem satisfeitas. No exemplo apresentado isso não é necessário, pois o projeto trata de um circuito inversor.

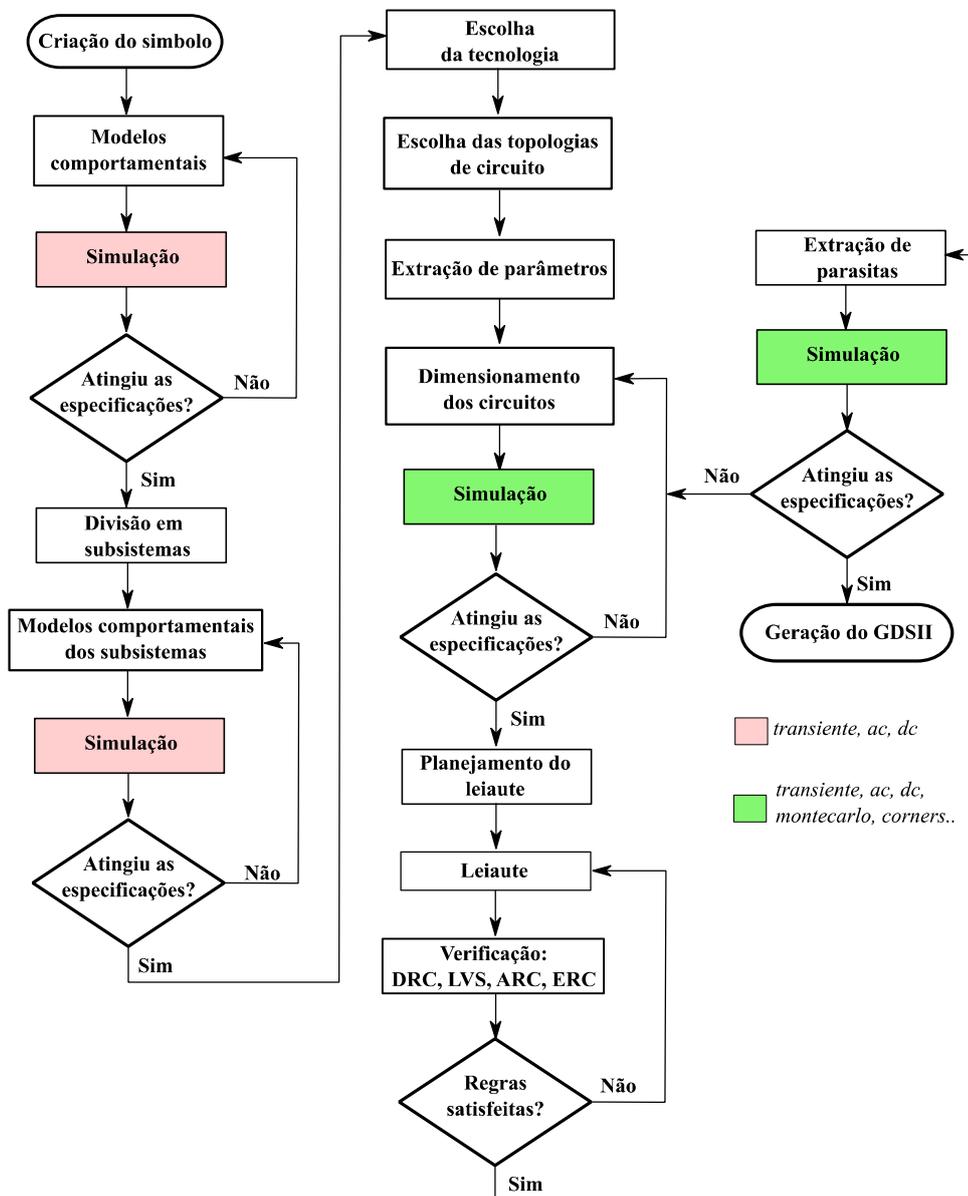
Após validar os modelos, a escolha da tecnologia a ser utilizada no projeto é realizada. Essa etapa envolve, além das especificações do projeto, os custos de fabricação e possivelmente a escolha das topologias do circuito.

No próximo passo, um circuito é associado ao símbolo (ou símbolos caso haja um subsistema). Esse estágio pode ser considerado como abstração média. É nele que o dimensionamento dos componentes ocorre. Nesse ponto, caso o projetista não tenha os parâmetros dos componentes, é necessário extraí-los através de simulações para então prosseguir com o dimensionamento dos circuitos. Com a posse dos parâmetros dos componentes, o dimensionamento do circuito é feito. Simulações e redimensionamento dos componentes são executados até que as especificações sejam atendidas. As simulações mais comuns nesse ponto do projeto são: transiente, ponto de polarização *CC*, resposta *CA*, ruído, *Monte Carlo* e *corners* (Apêndice A).

Após a validação do esquemático, ocorre o planejamento do leiaute do circuito, conhecido como *floorplaning* (Apêndice A). Depois, os leiautes dos circuitos são confeccionados. Essa etapa é considerada de abstração baixa (nível baixo), pois trata de

um projeto físico. Nela, diversas verificações são realizadas, como *DRC*, *LVS*, *ARC* e *ERC* (Apêndice A). Depois de executar essas verificações, a extração de componentes parasitas *RC* e *RCL* é realizada, a qual gera um esquemático conhecido como “vista extraída”. Esta, por sua vez, é simulada executando as mesmas análises feitas na etapa de verificação do esquemático, revalidando-o. Caso as especificações não sejam satisfeitas, o leiaute é refeito, ou em alguns casos, o circuito é redimensionado. Depois que todas as especificações forem atingidas, um arquivo chamado *GDS II* (Apêndice A) é criado e então enviado para a fábrica. Todo o processo descrito no exemplo, é sintetizado no fluxograma da Figura 15.

Figura 15 – Fluxograma de projeto de circuitos integrados analógicos.



Fonte: Autoral.

3.2 Conclusão do capítulo

Este capítulo apresentou a metodologia utilizada nos projetos de circuitos integrados analógicos e que é igualmente aplicada neste trabalho. Conceitos como o das abordagens *Top-Down* e *Bottom-Up* foram apresentados. Além disso, um projeto de circuitos integrados analógicos simples foi utilizado para exemplificar o uso de ambas. Em paralelo, outros conceitos utilizados no fluxo de projeto de circuitos integrados analógicos foram inseridos. Muitos dos termos aplicados no exemplo apresentado neste capítulo, estão mais bem detalhados no Apêndice A deste trabalho.

Por fim, o capítulo sintetizou o fluxo de projetos, agregando as abordagens e conceitos no fluxograma da Figura 15, o qual servirá como guia para as próximas seções deste trabalho.

A próxima seção irá apresentar o projeto e o desenvolvimento do sensor de temperatura, seguindo etapas presentes no fluxograma acima. Os modelos comportamentais utilizados na etapa de nível mais alto são suprimidos, pois utilizaram os códigos proprietários disponíveis na ferramenta de projeto.

Capítulo 4 Projeto e desenvolvimento do sensor de temperatura

Este capítulo apresenta todas as etapas de desenvolvimento do sensor de temperatura buscando seguir o fluxograma apresentado no capítulo anterior. Inicialmente, o planejamento do sensor é exposto, definindo algumas especificações, como faixa de operação em temperatura e frequência nominal. Seguindo com o fluxo, são apresentados: topologia do sensor, o método de extração de parâmetros utilizado no projeto e os seus resultados. Por fim, a divisão do sensor em sub-blocos é apresentada, assim como o seu projeto e desenvolvimento.

4.1 Planejamento

Optou-se por trabalhar com uma topologia de sensor que fornece a informação de temperatura através da razão cíclica de um sinal digital de 1 *bit*. Essa escolha foi feita devido à sua simplicidade de implementação e por viabilizar o seu uso, tanto em sistemas puramente analógicos quanto digitais.

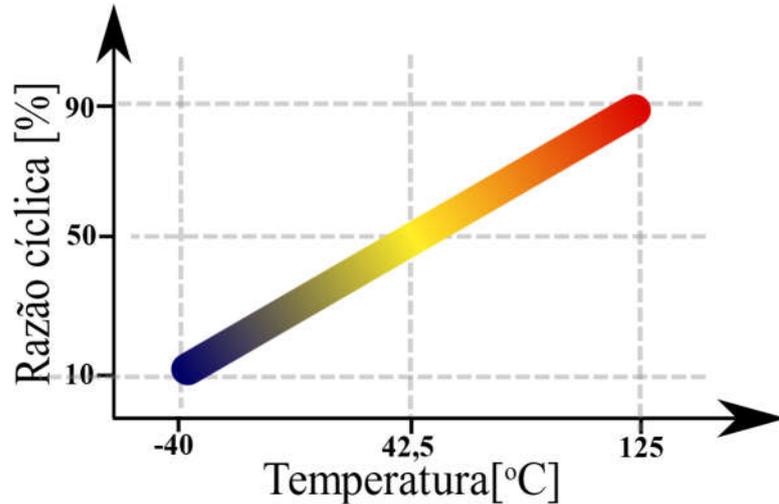
Ao empregar o sensor em sistemas analógicos, por exemplo, o sinal de saída pode ser convertido em um nível de tensão utilizando um filtro *RC* passivo na saída do sensor. Em aplicações digitais, o sinal de saída pode ser digitalizado por um microprocessador, microcontrolador, *FPGA* e afins. Como esses sistemas são comandados por uma frequência de *clock*, optou-se por escolher uma frequência máxima de trabalho de 10 kHz, pois dessa forma, não se demanda muito esforço de processamento, possibilitando o uso do sensor em sistemas cujas especificações são mais básicas.

Como não será utilizado nenhuma técnica de autocalibração ou *trimming* que asseguram a operação exata do sensor, foi necessário utilizar uma estratégia para que a razão cíclica varie dentro de um limite menor do que o ideal (de 0% à 100%).

Dessa forma, a metade da razão cíclica (50%) precisa coincidir com o ponto médio da faixa de trabalho de temperatura, que é encontrada em 42,5 °C. Além disso, há preocupação com a variação mínima (0%) e máxima da razão cíclica (100%). Dessa forma, optou-se por uma faixa de variação da razão cíclica que está entre 10% e 90%, a qual é uma margem segura de trabalho, pois proporciona $\pm 10\%$ de distância do mínimo (0%) e do máximo (100%). Após essa definição, obteve-se uma sensibilidade ideal do

sensor de 0,48 %/°C. A Figura 16 representa a faixa de variação da razão cíclica escolhida em relação a variação da temperatura.

Figura 16 – Variação da razão cíclica ideal em relação à variação da temperatura



Fonte: Autoral.

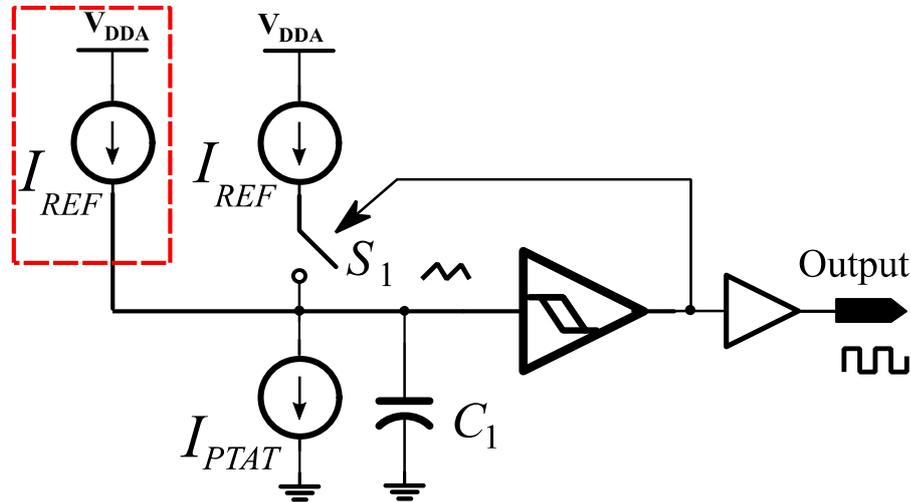
Levando em consideração a caracterização em bancada, o sensor foi planejado tanto para medida da temperatura quanto para caracterização de seus sub-blocos. Dessa forma, duas instâncias são desenvolvidas. A primeira delas possui todos os sub-blocos conectados entre si e fornece apenas um sinal de saída. A segunda possui os principais sub-blocos do sensor desconectados internamente e fornece acesso a eles, através de pinos externos ao *CI*.

4.2 Topologia do Sensor

A topologia em que esse trabalho se baseia foi apresentada pela primeira vez em [43]. A ideia do circuito é obter um sinal digital de 1 *bit*, cuja razão cíclica é proporcional a mudança da temperatura. Isso é realizado através da razão entre duas correntes. Uma delas é Proporcional à Temperatura Absoluta I_{PTAT} , a qual é responsável por “medir” a temperatura; a outra corrente, chamada I_{REF} , é compensada em temperatura e serve como referência para I_{PTAT} . No trabalho original, essas correntes resultam em uma razão cíclica do sinal de saída, $D = I_{PTAT}/I_{REF}$, que é idealmente linear. Porém, como será exposto nesta seção, neste trabalho, o circuito foi modificado e a equação da razão cíclica também, porém mantendo as vantagens da topologia original.

O esquema básico do circuito desenvolvido nesse trabalho é apresentado na Figura 17, o qual é composto por três fontes de corrente; I_{REF} , uma cópia (destacada em vermelho) e uma I_{PTAT} ; um *Schmitt trigger*, chave S_1 ; Capacitor C_1 e um *buffer* de saída.

Figura 17 – Modificação do esquema básico do sensor.



Fonte: Autoral, adaptado de [44].

A cópia da corrente I_{REF} é usada para incrementar a faixa de variação da razão cíclica para cerca de 80%. Sem essa estratégia, ela seria de aproximadamente 40%, o que também impactaria na sensibilidade do sensor. Mesmo com um I_{REF} adicional, os 10% de segurança na variação da razão cíclica foi mantido, assegurando a operação segura do sensor, ou seja, a razão cíclica irá operar entre os limites inferior (10%) e superior (90%).

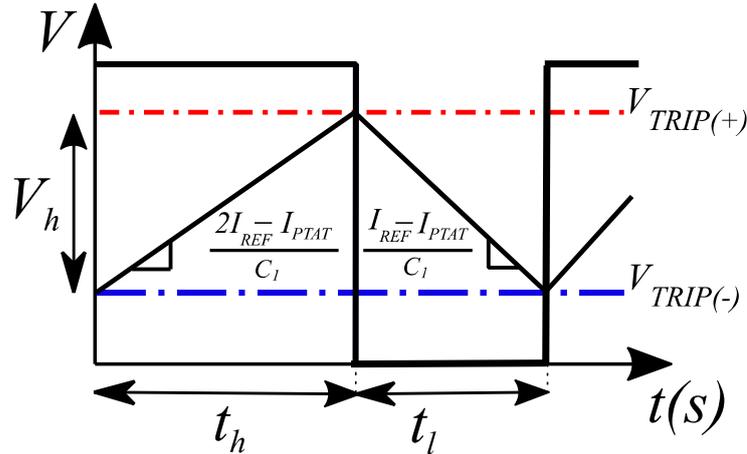
A Figura 18 apresenta as seguintes variáveis: janela de histerese do *Schmitt trigger*, V_H ; limite superior do $V_{TRIP (+)}$ e limite inferior $V_{TRIP (-)}$; tempo de carga do capacitor C_1 , t_h ; e o tempo de descarga de C_1 , t_l . Além disso, t_h representa o tempo que o sinal de saída fica em nível lógico alto, e, t_l , o tempo que ele fica em nível lógico baixo.

O sensor opera da seguinte forma: quando a chave S_1 está ligada, o capacitor C_1 é carregado com uma corrente cuja magnitude é a subtração de $2 \cdot I_{REF}$ de I_{PTAT} ($2I_{REF} - I_{PTAT}$). A carga continua até que a tensão sob C_1 se iguale ao limiar superior da histerese no *Schmitt Trigger* ($V_{TRIP (+)}$). Quando isso acontecer, o estado de saída do sensor irá mudar de alto para baixo e vice-versa.

Como o circuito é realimentado, o estado de S_1 passa para desligado, desconectando a fonte I_{REF} de C_1 que passa a descarregar decrementando I_{PTAT} , até que o

sinal atinja $V_{TRIP(-)}$, o que faz mudar novamente o estado de saída do sensor. O ciclo de carga e descarga se repete continuamente enquanto o sensor estiver ligado. No processo de modulação da temperatura para razão cíclica, obtém-se duas formas de onda: uma delas é um sinal triangular sob o capacitor C_1 e a outra é uma onda quadrada obtida na saída do sensor. Como representado na Figura 18.

Figura 18 – Relação entre o sinal de saída do sensor e a tensão sob o capacitor C_1 .



Fonte: Autoral.

O esquema utilizado para modular a razão cíclica do sinal de saída se assemelha com a geração de um sinal *PWM* (*Pulse Width Modulation*). A diferença é que o *PWM* necessita de um sinal portador (triangular ou dente de serra) de frequência fixa e um sinal modulante variável. Na estratégia empregada no sensor, o sinal triangular varia sua frequência devido às mudanças nas inclinações de subida e da descida do sinal triangular. Ou seja, a janela de histerese do *Schmitt trigger* é responsável por definir os limites máximo e mínimo do sinal triangular.

Como exposto, as inclinações tanto da subida, quanto da descida do sinal triangular mudam. Isso acontece devido à dependência de I_{PTAT} com a variação da temperatura. Ou seja, a corrente I_{PTAT} é responsável por alterar a inclinação do sinal triangular e conseqüentemente a razão cíclica do sinal de saída. As equações (15) e (16) apresentam tanto a inclinação de subida, quanto da descida:

$$\frac{dV_U}{dt} = \frac{2I_{REF} - I_{PTAT}}{C_1} \quad (15)$$

$$\frac{dV_D}{dt} = \frac{I_{PTAT}}{C_1} \quad (16)$$

A equação da razão cíclica (D) do sinal de saída é apresentada em (17) e evidencia uma linearidade ideal, através da relação entre I_{PTAT} e I_{REF} , considerando $I_{PTAT} > I_{REF}$.

$$D = \frac{I_{PTAT} - I_{REF}}{I_{REF}} \quad (17)$$

Neste projeto, I_{PTAT} é cerca de 1,41 vezes maior do que I_{REF} para que a razão cíclica D seja de aproximadamente 50% para metade da faixa de trabalho do sensor (42,5 °C).

A equação que representa a frequência de saída f_{out} é apresentada em (18), por meio dela é percebido um comportamento de segunda ordem nos dois últimos termos do numerador, porém, como a razão cíclica é o parâmetro de medida da temperatura, isso não é um problema. A equação (18) é utilizada para dimensionar o capacitor C_1 e os limites da janela de histerese do *Schmitt trigger*.

$$f_{out} = \frac{1}{C_1 V_h} \left(\frac{3I_{REF} I_{PTAT} - I_{PTAT}^2 - 2I_{REF}^2}{I_{REF}} \right) \quad (18)$$

A frequência do sinal de saída tem um compromisso entre o ruído de amostragem, a área do capacitor e a influência das correntes de *leakage* [43]. Pois dependendo da frequência desejada, o capacitor precisa ser grande, ou as correntes I_{PTAT} e I_{REF} pequenas, ou seja, deve haver um balanço entre área, desempenho e consumo. Portanto, a frequência máxima escolhida para o sinal de saída do sensor foi mantida em 10 kHz.

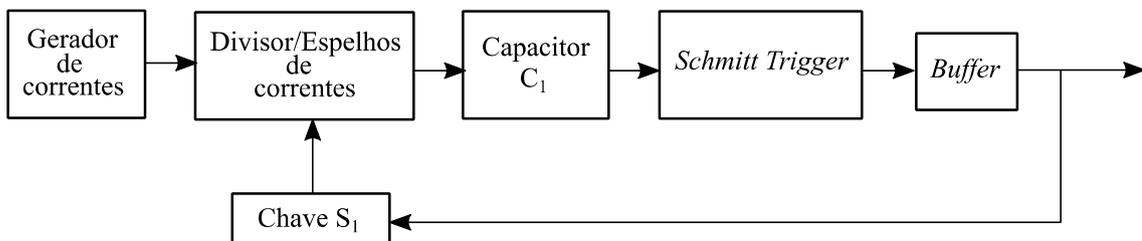
Para aplicações puramente analógicas, o sinal de saída pode ser convertido em uma tensão, através de um filtro passa-baixas passivo a fim de indicar a temperatura desejada. Porém para sistemas digitais, um microprocessador, microcontrolador ou um *FPGA* podem ser utilizados para ler o sinal de saída e identificar a temperatura. Geralmente, quando a temperatura está sendo medida, o período de amostragem t_s utilizado é longo e acaba causando ruído de quantização. Este é o principal fator limitante da resolução e causador de erros de medição da temperatura [43] [45].

4.3 Divisão do sensor em sub-blocos.

O sensor foi planejado e dividido em sub-blocos considerando sua caracterização em bancada, resolução dos equipamentos do laboratório e reutilização dos sub-blocos em outros projetos. Dessa forma, ele foi dividido em duas instâncias; a primeira funciona como um circuito único, possuindo somente pinos externos para alimentação do circuito e o de saída. A segunda é equivalente à anterior, porém o circuito é dividido em sub-blocos desconectados internamente e voltado para a caracterização. Além disso, essa instância possui circuitos adicionais que demandam de maior área física. Estes são necessários, pois a caracterização utiliza equipamentos de laboratório que dispõem de resolução limitada. Nela, os pinos externos do *CI* servem para caracterizar os sub-blocos, assim como, uni-los internamente e alimentá-los.

O diagrama de blocos do sensor é apresentado na Figura 19, o qual é composto por seis sub-blocos: gerador de correntes, divisor de correntes, capacitor C_1 , *Schmitt trigger*, *buffer* e a chave S_1 . Nessa versão há apenas um pino de saída (os pinos de alimentação foram suprimidos na figura), indicando apenas o fornecimento da temperatura modulada em razão cíclica.

Figura 19 – Diagrama de blocos do sensor.



Fonte: Autoral.

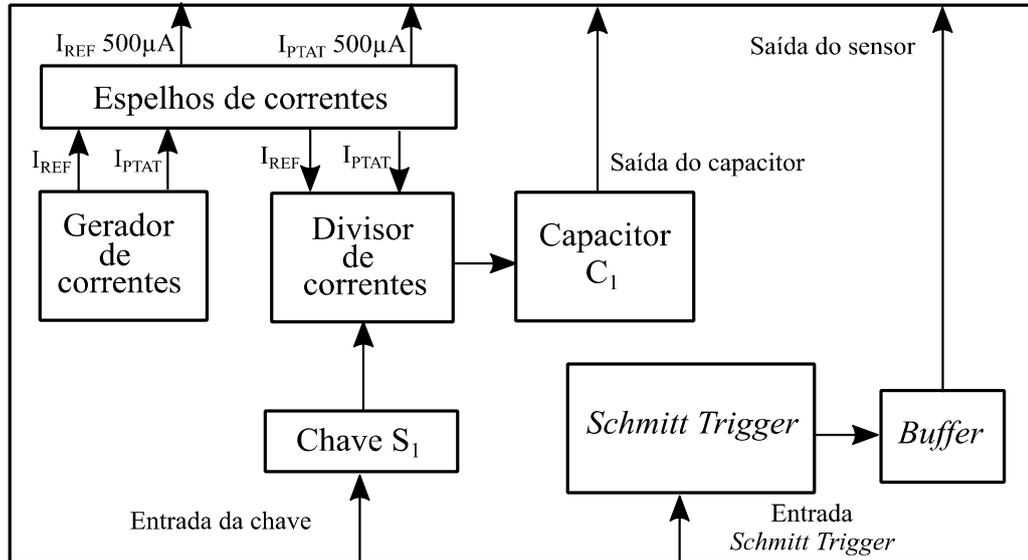
Considera-se que o sensor possui dois blocos principais: um deles é um gerador de correntes e o outro é o *Schmitt trigger* digital. O gerador de correntes fornece as correntes I_{REF} e I_{PTAT} para o sensor. Portanto, é necessário caracterizá-lo e para isso seus níveis de corrente não podem ser baixos, pois não há compromisso com potência para ele. Para isso, escolheu-se $10\ \mu\text{A}$ para I_{PTAT} e $20\ \mu\text{A}$ para I_{REF} , pois dessa forma é possível espelhar as correntes para fora do *CI* sem que haja preocupação com ruído. Além disso, esse bloco foi projetado para ser reutilizado em outros projetos de nosso grupo de pesquisa, com a possibilidade de ser usado como bloco de polarização ou referência. Uma vez que ele fornece correntes em sua saída, é possível conectar resistores a elas para obter

tensões ao invés de correntes. O *Schmitt trigger* é usado para converter o sinal triangular em quadrado.

Uma variável que influenciou na divisão do sensor em sub-blocos foi a frequência nominal, pois para obter os 10 kHz da especificação seria necessário um valor alto de C_1 segundo a equação (18). Dessa forma, decidiu-se reduzir as correntes que chegam ao capacitor para níveis abaixo de $2 \mu\text{A}$, por meio de um circuito divisor de correntes. Além de sua função primária, ele também inclui espelhos de corrente, sendo que o responsável por fornecer I_{REF} é desativado/ativado pela chave S_1 .

A Figura 20 apresenta o diagrama dos blocos utilizados para a caracterização do sensor, a diferença com os da figura acima são os acessos externos aos circuitos. Também há um espelho de correntes que serve tanto para espelhar a corrente para fora do CI , quanto para fornecê-la ao divisor de correntes. Com essa configuração, é possível caracterizar o gerador de correntes, *Schmitt trigger* e o capacitor C_1 , além de possibilitar a conexão entre eles através dos pinos do CI .

Figura 20 – Diagrama de blocos do sensor planejado para caracterização.



Fonte: Autoral.

Considerando o particionamento apresentado, a equação (18) e a escolha da tecnologia, definiu-se 900 mV como tensão de referência para o *Schmitt trigger* e cerca de 480 mV para a janela de histerese. Com essa mesma equação, C_1 deve ter uma capacitância próxima dos 65 pF para satisfazer a especificação da frequência do sinal de saída. A fim de evitar problemas com resolução do equipamento de caracterização e ruído,

optou-se por uma corrente de saída de 500 μA , tanto para I_{REF} quanto para I_{PTAT} , como pode ser observado na Figura 20.

4.4 Extração de parâmetros

Antes de dimensionar os circuitos foi necessário conhecer a tecnologia a ser utilizada, escolher os componentes e extrair os parâmetros dos transistores. A tecnologia utilizada é a *TSMC* de 180 nm, com tensão de alimentação nominal de 1,8 V e 6 camadas de metal. Ela dispõe de componentes passivos como: capacitores, resistores e indutores, e ativos como: transistores *MOSFET*, *TBJs* e diodos.

Como os transistores *MOSFET* serão utilizados em diversos circuitos, é necessário caracterizá-los com mais detalhes do que os outros componentes, como por exemplo, os *TBJ*. Esses, serão usados apenas na configuração diodo, necessitando apenas saber qual será a corrente nominal a ser utilizada, a fim de evitar problemas com injeção de portadores.

4.4.1 Modelo utilizado na caracterização dos *MOSFETs*

Para que o dimensionamento dos componentes do circuito seja feito de forma correta, é necessário saber os parâmetros dos componentes da tecnologia utilizada. Alguns podem ser encontrados na documentação da tecnologia, porém, outros precisam ser extraídos diretamente dos componentes. Os simuladores de circuito mais atuais conseguem fornecer esses dados diretamente, através de simulações. Os tipos e nomes dos parâmetros estão ligados ao modelo matemático e computacional dos componentes. É imprescindível para o projetista conhecer as principais equações de pelo menos um modelo de transistor *MOSFET*, pois, sem esse conhecimento, o dimensionamento dos componentes é totalmente dependente do uso de simuladores de circuito.

Existem diversos modelos de transistores *MOSFETs* na tecnologia *CMOS*, todos eles se preocupam com a exatidão do comportamento da corrente dreno-fonte I_{DS} . Conforme novas tecnologias são desenvolvidas, menor é o comprimento do canal dos transistores e há maior influência dos efeitos de segunda ordem e, portanto, mais complexos são os modelos. Devido à sua importância, os modelos de transistores são mantidos, escolhidos e padronizados pelo *CMC* (*Compact Model Coalition*) [46]. Atualmente os seguintes modelos são mantidos:

- *BSIM3*: um modelo de *MOSFET* da *UC Berkeley*;
- *BSIM4*: um modelo de *MOSFET* mais moderno, também mantido pela *UC Berkeley*.
- *PSP*: modelo de transistor *MOSFET*, originário da *Penn State-Philips*;
- *BSIMSOI*: um modelo de *MOSFET* na tecnologia *SOI (Silicon on Insulator)*;
- *HICUM*: modelo de alta corrente para transistores bipolares, proveniente da *CEDIC, (Dresden University of Technology)* na Alemanha e *UC San Diego* nos Estados Unidos;
- *MEXTRAM*: um modelo compacto de transistores bipolares;
- *ASM-HEMT* e *MVSG*: novo modelo padrão para transistores em Nitreto de Gálio (*GaN*).

Com toda essa variedade de modelos, as *foundries* possuem diversas opções para compor os seus *PDKs*, porém, é importante dizer que os modelos utilizados por elas possuem diversos parâmetros que visam resolver praticamente todos os problemas de simulação. Esses modelos utilizam equações complicadas e envolvem uma quantidade grande de parâmetros para o cálculo, que inviabilizam sua utilização na etapa de análise e dimensionamento. Nos simuladores, esses modelos são associados a um nível representado por um número, quanto maior ele for, mais alta será complexidade do modelo.

O *PDK* disponibilizado pela *TSMC* utiliza o modelo *BSIM3V3* (Nível 49). Portanto, foi utilizado um modelo mais próximo a ele, como o descrito pela equação de grandes sinais, ou quadrática (Nível 1) e em alguns casos a de pequenos sinais (Nível 3) [47].

A equação quadrática (19), ou de nível 1, utiliza apenas três parâmetros: tensão de limiar do transistor - V_{TH} , efeito de corpo λ e $\mu_n C_{ox}$ também conhecido como K_P para *MOSFETs* do tipo P ou K_N para os de tipo N.

$$I_D = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (19)$$

Dependendo da *foundry*, podemos encontrar alguns parâmetros como a mobilidade do transistor e a tensão de limiar V_{TH} na documentação da tecnologia, mas isso nem sempre está disponível. No caso da capacitância de óxido C_{OX} , podemos utilizar a equação (20) para encontrá-la.

$$C_{ox} = \frac{\epsilon_0}{t_{ox}} \quad (20)$$

A fim de obter os parâmetros empregados na equação de nível 1, será utilizado um método de extração baseado em gráficos do simulador [48]. O *software* utilizado foi o *Cadence spectre*®, porém, esse método também pode ser utilizado em alguns simuladores baseados em *Spice*, como o *HSpice*.

Existem diversos métodos de extração de parâmetros e vasta documentação sobre o assunto, inclusive, alguns modelos possuem método próprio de extração. Esse método foi utilizado devido à sua simplicidade e por usar os benefícios proporcionados pelo simulador. Além disso, é possível explorar o cálculo manual através da equação de nível 1 de forma didática a fim de expor o dimensionamento de alguns circuitos.

4.4.2 Método utilizado na extração de parâmetros

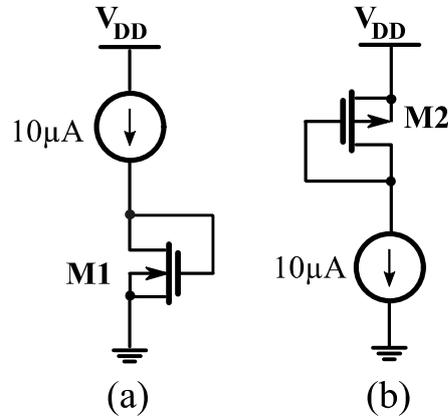
O primeiro passo é plotar uma série de gráficos com os parâmetros a serem utilizados nas equações. Como a equação utilizada será a de nível 1, apenas os gráficos de V_{TH} , K_P , K_N e λ serão plotados, tanto para o *nMOS*, quanto para *pMOS*.

Na simulação, será utilizada a relação W/L , com valor unitário, variando tanto ambos os parâmetros a partir de $1\mu\text{m}$ até $10\mu\text{m}$, ou seja, são 10 curvas de W/L , que variam de $(1\mu\text{m}/1\mu\text{m})$ até $(10\mu\text{m}/10\mu\text{m})$. A corrente I_{DS} também é varrida de 500 nA até $20\mu\text{A}$.

O circuito utilizado para extrair os parâmetros do transistor *nMOS* é apresentado na Figura 21 – (a) e para o *pMOS* na Figura 21 – (b). A tensão de alimentação V_{DD} é de $1,8\text{ V}$ (obtida através da documentação da tecnologia). Com essa configuração, a saturação dos transistores é garantida, pois eles estão configurados como diodos, sendo

a tensão de dreno-fonte (V_{DS}) suficientemente maior que a de porta-fonte (V_{GS}).

Figura 21 – Esquemático utilizado na extração de parâmetros.



Fonte: Autoral

A tensão de limiar é obtida diretamente dos gráficos plotados através do simulador sem necessidade de nenhum equacionamento. Já no caso de λ a equação (21) foi utilizada e para K_P e K_N a equação (22):

$$\lambda = \frac{G_{DS}}{I_{DS}} \quad (21)$$

Onde G_{DS} é a condutância entre dreno e fonte e I_{DS} a corrente de dreno fonte.

$$K'_0 = \mu C_{ox} = \frac{\beta_{eff}}{\left[\frac{W_{eff}}{L_{eff}} \right]} \quad (22)$$

Onde K'_0 representa a constante K_P ou K_N . β_{eff} é obtido através do simulador e da equação (23).

$$\begin{aligned} W_{eff} &= W - 2W_{int} \\ L_{eff} &= L - 2L_{int} \end{aligned} \quad (23)$$

Para facilitar o cálculo de β_{eff} , a razão W/L escolhida é igual a 1, portanto β_{eff} será o próprio valor de μC_{ox} .

A Tabela 3 serve como referência para encontrar os parâmetros disponíveis no simulador *spectre*.

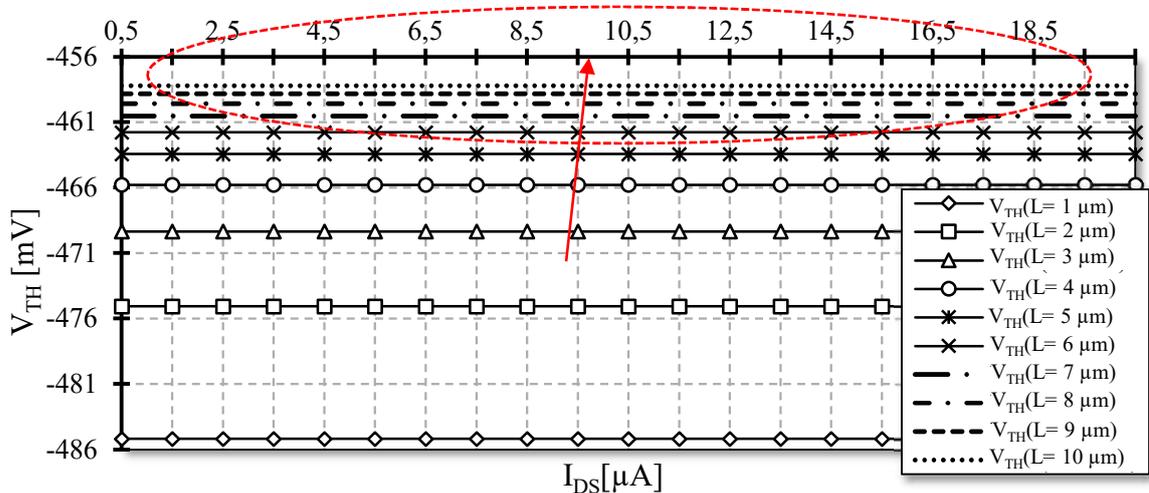
Tabela 3 – Nome dos parâmetros dos componentes obtidos no simulador *spectre*.

| Parâmetro | Spectre |
|---------------------------------------|----------------|
| Tensão de <i>threshold</i> - V_{TH} | <i>vth</i> |
| K_P ou K_N | <i>betaeff</i> |
| Corrente - I_{DS} | <i>ids</i> |
| Condutância dreno fonte - G_{DS} | <i>gds</i> |

A seguir, apresentamos os resultados das simulações, destacando os pontos principais do comportamento de cada um dos parâmetros extraídos.

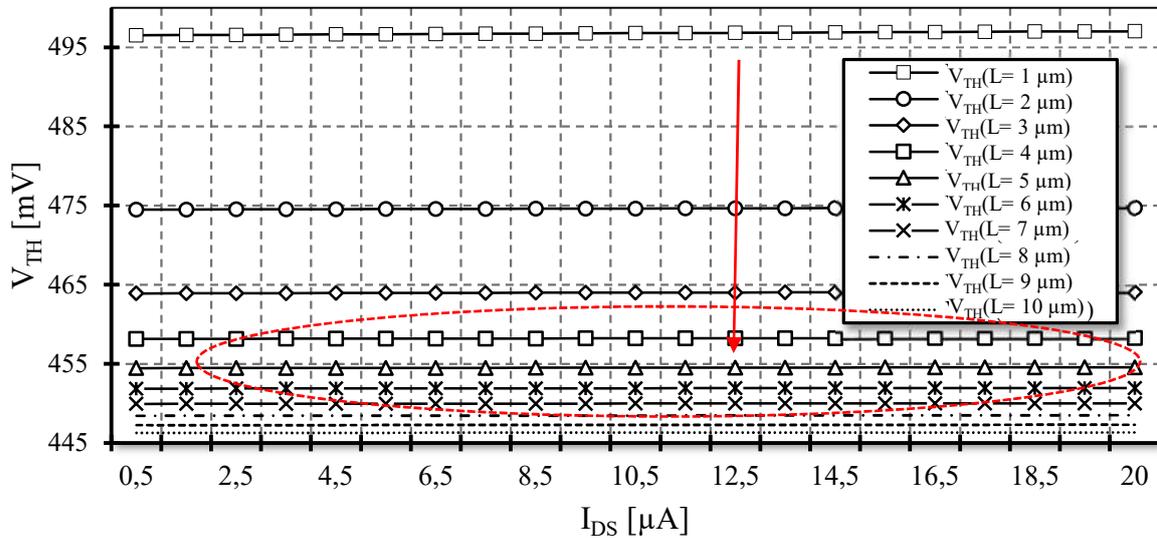
4.4.3 Extração da tensão de limiar V_{TH}

A Figura 22 apresenta os resultados de extração para a tensão de limiar do transistor *pMOS*, perceba que quanto maior é o canal, maiores e mais agrupados ficam as curvas da tensão V_{TH} dos transistores.

Figura 22 – Extração da tensão V_{TH} para o transistor *pMOS*.

Fonte: Autoral.

A Figura 23 apresenta os resultados para a tensão V_{TH} do transistor *nMOS*, o mesmo comportamento encontrado no V_{TH} dos transistores *pMOS* é percebido nos transistores *nMOS*.

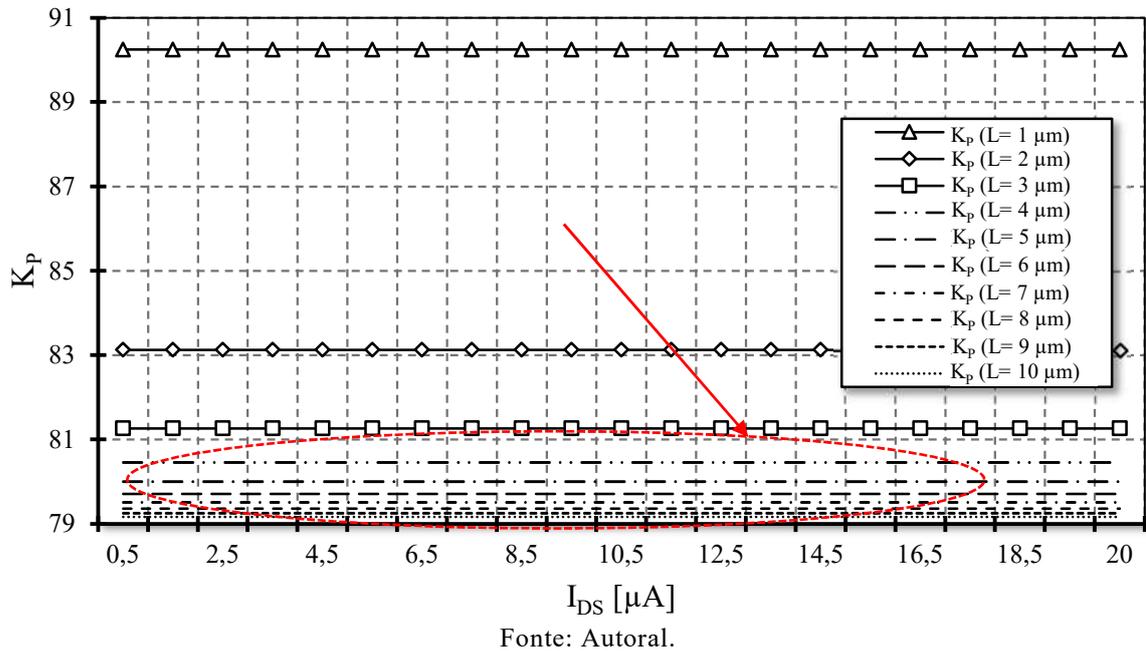
Figura 23 – Extração da tensão V_{TH} para o transistor $nMOS$.

Fonte: Autoral.

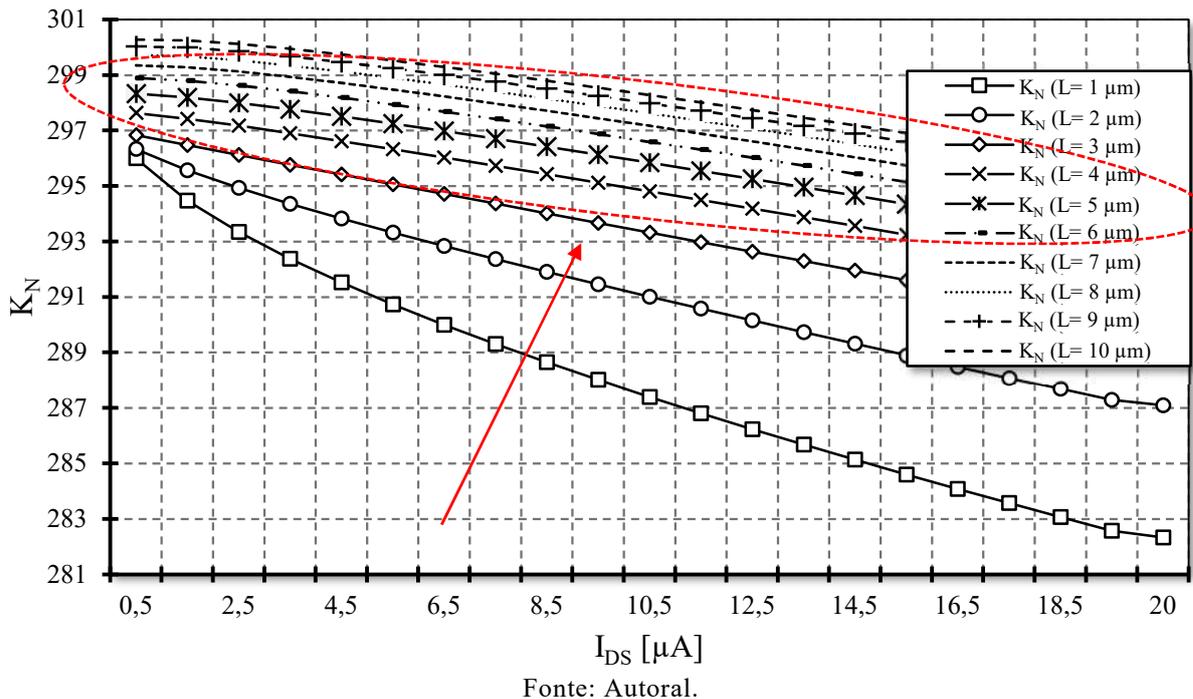
Em ambas as figuras, o efeito reverso de canal curto é aparente, percebe-se um decréscimo no V_{TH} conforme o L aumenta. Isso se deve às implantações do tipo *halo* (dopagens não uniformes do canal), usadas a fim de reduzir o *DIBL*. Em canais curtos, a dopagem do *halo* da fonte sobrepõe-se à do dreno, aumentando a concentração da dopagem do substrato na área do canal e, portanto, aumentando V_{TH} . Porém, conforme o L aumenta, as regiões dopadas com *halo* se separam e a dopagem central do canal diminui bastante, sendo então, comandada pela dopagem do corpo do transistor. Essa redução na concentração média de dopagem do canal significa que V_{TH} diminui, conforme L aumenta. Porém, para tamanhos grandes de L , o V_{TH} se aproxima de um valor constante [49], [50].

4.4.4 Extração dos parâmetros K_P e K_N

A Figura 24 apresenta os resultados da simulação para o K_P do transistor $pMOS$, observe que o mesmo comportamento encontrado na extração do V_{TH} se repete, ou seja, quanto maior o comprimento do canal do transistor, maior é o parâmetro K_P .

Figura 24 – Resultados da extração do parâmetro K_p .

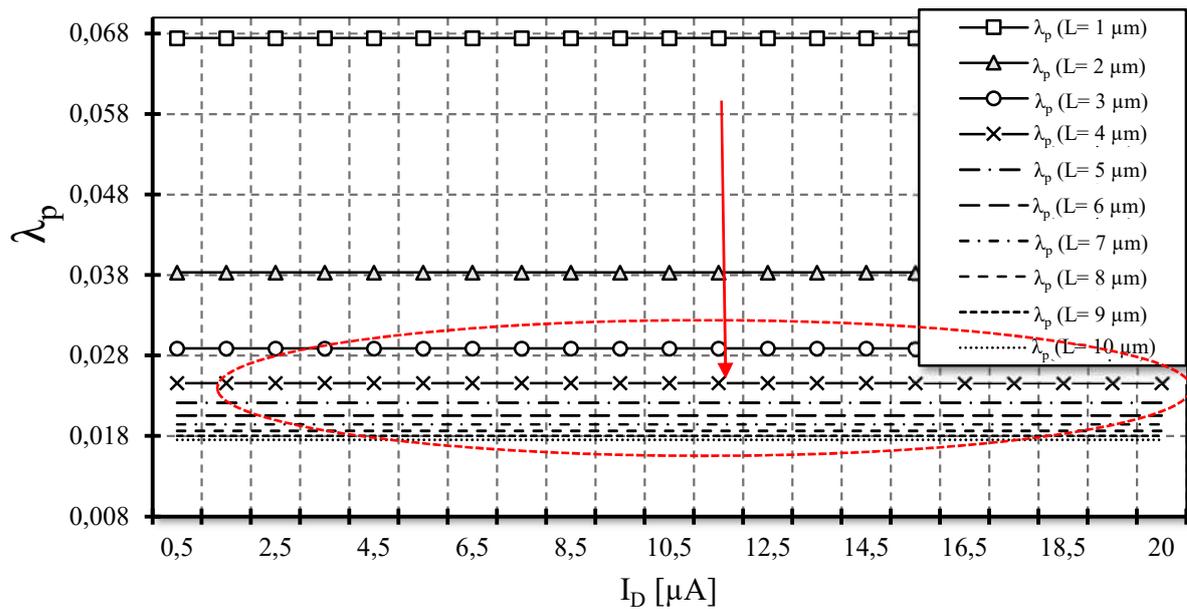
A Figura 25 apresenta os resultados de extração do parâmetro K_N . Percebe-se que o comportamento associado ao aumento do canal se repete, porém é visível a inclinação nas curvas. Portanto, é razoável dizer que há uma sensibilidade maior à variação da corrente no parâmetro K_N , devido a uma maior mobilidade elétrica nos dispositivos do tipo *nMOS*.

Figura 25 – Resultados da extração do parâmetro K_N .

4.4.5 Extração do efeito de modulação de canal (λ)

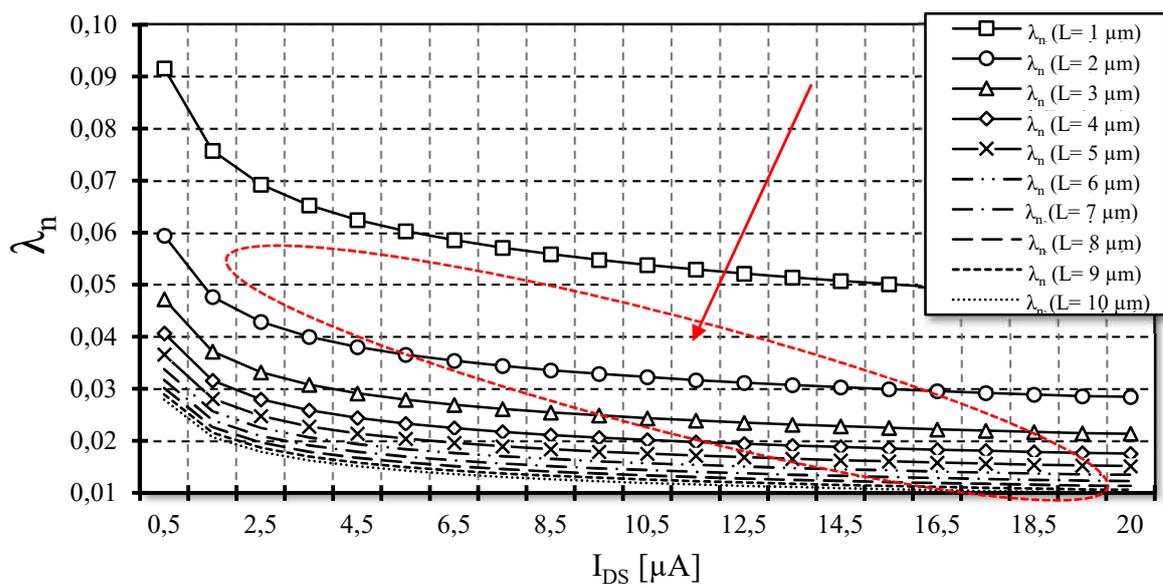
Através da Figura 26 e da Figura 27, obtêm-se os valores do parâmetro de modulação do canal λ para o transistor $pMOS$ e para o $nMOS$, respectivamente. Através dos gráficos, a redução do efeito da modulação no canal é observada conforme seu comprimento aumenta.

Figura 26 – Modulação do comprimento do canal para o transistor $pMOS$.



Fonte: Autoral.

Figura 27 – Modulação do comprimento do canal do transistor $nMOS$.



Fonte: Autoral.

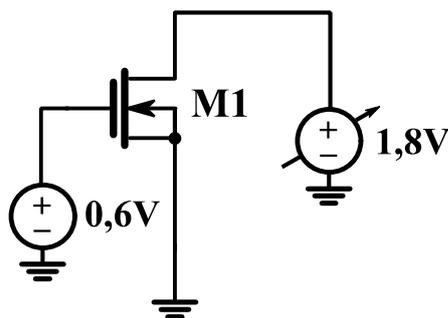
Os resultados apresentados nesta seção demonstram que os efeitos de canal curto são reduzidos conforme o comprimento do canal aumenta. Porém, é importante destacar, que há um compromisso entre a mitigação desses efeitos, com a área utilizada pelo componente, resposta em frequência e o consumo.

4.4.6 Escolha do comprimento do canal (L)

Em projeto de circuitos integrados é prática comum escolher um valor fixo para o L , a fim de facilitar os cálculos manuais. Para isso, é necessário considerar os resultados da extração de parâmetros apresentada na seção anterior e traçar a curva característica dos transistores. De posse desses resultados, o L escolhido, deve ser aquele que sofre menos influência dos efeitos de canal curto e que a corrente I_{DS} possui menor inclinação na região de saturação. Além disso, o compromisso com a área, resposta em frequência e consumo, deve ser atendido.

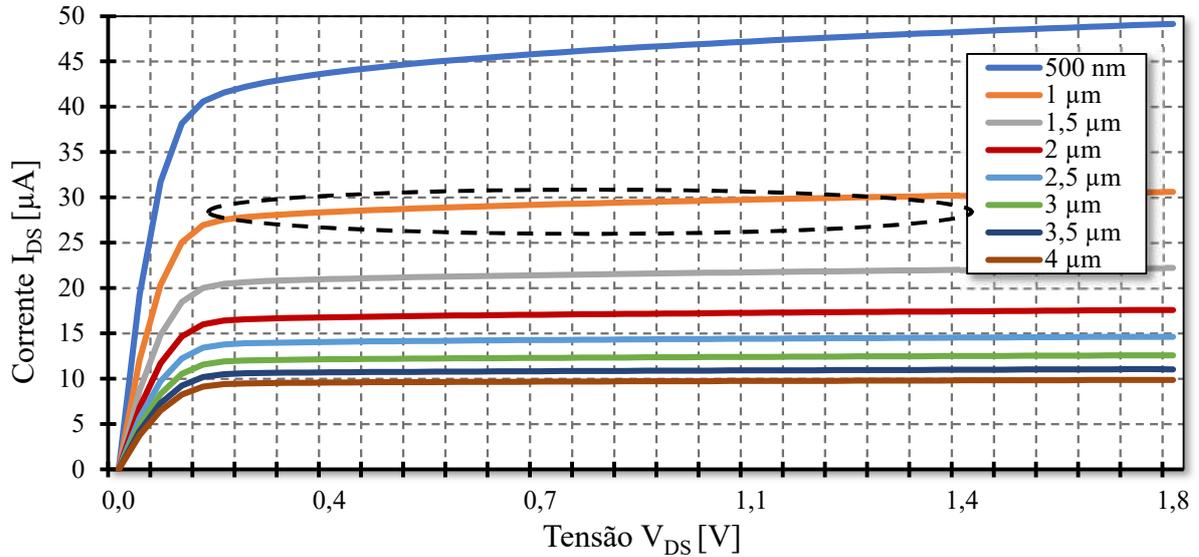
Considerando os gráficos resultantes da seção anterior, o teste foi configurado da seguinte forma: a tensão porta-fonte (V_{GS}) foi mantida fixa a 0,6 V para garantir que o valor de V_{TH} fosse superado e a largura do canal (W) do transistor foi 5 vezes o padrão encontrado no *PDK* da *foundry* resultando em 10 μm . O comprimento do canal foi parametrizado e varrido de 500 nm até 4 μm com passos de 500 nm. A tensão V_{DS} foi varrida de 0 V até 1,8 V, conforme apresentado Figura 28.

Figura 28 – Circuito utilizado na extração da curva característica.



Fonte: Autoral.

Os resultados são apresentados na Figura 29 e determinado o L a ser utilizado nos cálculos manuais. Percebe-se que a partir de 1 μm ocorre menos efeito de modulação do canal, esse tamanho é de aproximadamente 5 vezes o canal mínimo (180 nm). Porém, ainda há pequenas inclinações. Um L de 2 μm foi escolhido como padrão.

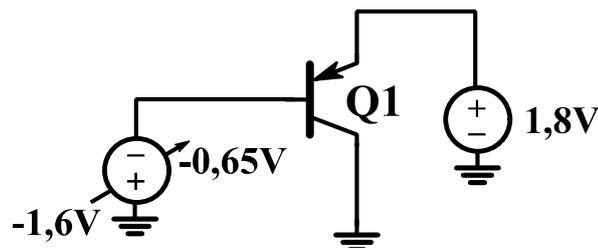
Figura 29 – Curva característica do transistor *nMOS*.

Fonte: Autoral.

O mesmo teste foi realizado para o transistor do tipo *pMOS* e o L escolhido também foi de 2 μm .

4.4.7 Caracterização dos Transistores Bipolares de Junção

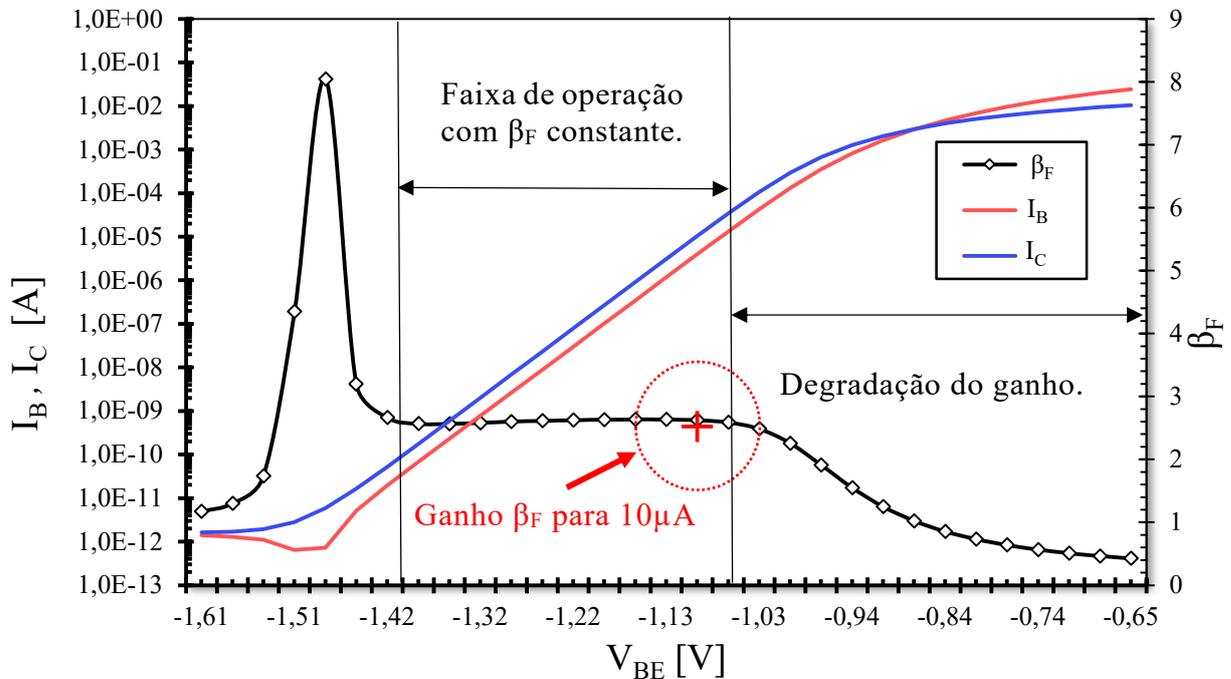
Na maioria dos projetos que utilizam *TBJs*, os parâmetros de interesse são: o ganho em corrente β_F , a densidade de corrente de fuga J_S , a tensão de *Early*, tensões de ruptura e resistências parasitas. Porém, o sensor utiliza os *TBJs* na configuração de diodo, portanto, apenas as variações em β_F e o nível da corrente I_C serão verificadas a fim de operar o componente em uma região segura. O circuito utilizado para caracterização é apresentado na Figura 30.

Figura 30 – Circuito utilizado para obtenção do gráfico de *Gummel*.

Fonte: Autoral.

O gráfico de *Gummel* (Figura 31) apresenta as variações de β_F de acordo com as condições de operação do dispositivo, através da plotagem dos valores de $\ln(I_C)$ e $\ln(I_B)$ em função de V_{BE} .

Figura 31 – Composição do gráfico de *Gummel* e extração de β_F .



Fonte: Autoral.

Como pode ser observado na Figura 31, β_F é constante para valores de corrente intermediários, porém para valores mais baixos, β_F é degradado devido à baixa eficiência de injeção do emissor [51]. Isso ocorre devido a um aumento na corrente de base, que é provocado pela recombinação dos portadores na região de depleção (base-emissor), o que caracteriza o efeito de *baixo-nível de injeção* de portadores. Esse efeito está presente em todos os níveis de corrente, porém tem maior relevância nas condições de corrente muito baixa [52].

Ainda na figura, I_C diminui abaixo do valor ideal devido aos efeitos de *alto-nível de injeção*. Isso ocorre, pois, a densidade de portadores minoritários na base se aproxima da densidade dos portadores majoritários. Dessa forma, o fluxo de lacunas da base para o emissor se torna elevado, levando I_C e β_F a um declínio. Esses efeitos podem ser modelados através da modulação do coeficiente de emissão n , nas correntes de base e coletor (equação(24)). Além disso, é importante dizer que o valor de início dos efeitos de alto nível de injeção é conhecido como “*corrente de joelho*” ou I_{KF} [52].

$$I_C = I_s \exp(V_{BE}/nV_T) \quad (24)$$

Valores altos de corrente e de V_{BE} degradam ambos, I_B e I_C , além da queda de tensão na resistência da base do transistor. A partir do gráfico de *Gummel* o valor da corrente I_C é escolhido. No gráfico, percebe-se que 1 μA de corrente é suficiente para conseguir manter os *TBJs* longe da região de alta injeção de portadores e consumir menos energia. Porém, como é necessário espelhar as correntes para fora do *CI* a fim de caracterizar os circuitos, foi necessário utilizar uma corrente maior, sendo 10 μA o valor escolhido. Perceba no ponto destacado em vermelho no gráfico da Figura 31, que o I_C escolhido para o *TBJ* está no limite [36].

4.5 Projeto dos sub-blocos

Esta seção apresenta a topologia, funcionamento e o projeto dos sub-blocos utilizados no sensor. Por isso inclui o dimensionamento dos circuitos, leiaute e resultados de simulações pós-leiaute, considerando os componentes parasitas extraídos (Apêndice A).

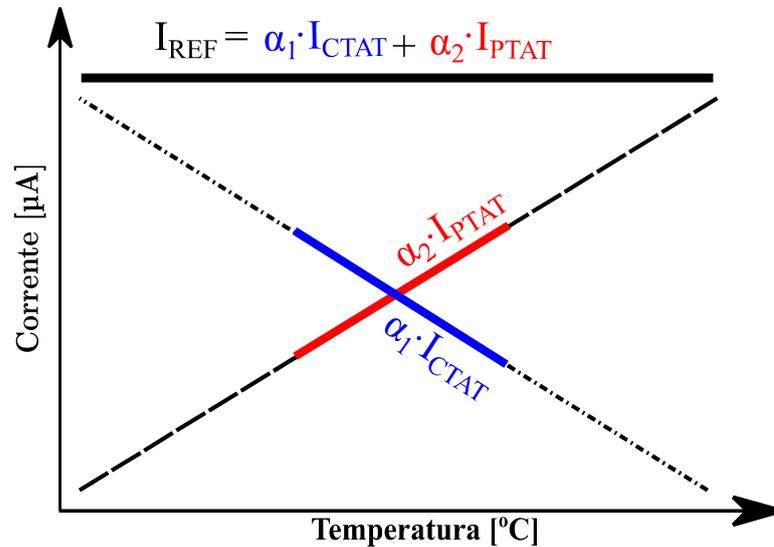
4.5.1 Gerador de correntes

Esse circuito é responsável por gerar as correntes I_{PTAT} e I_{REF} utilizadas no sensor de temperatura. Sua topologia foi baseada em um circuito *BandGap*, inicialmente desenvolvido para diminuir o *TC* da tensão de referência [53]. Como o sensor desenvolvido neste trabalho é baseado puramente no uso de correntes, empregou-se apenas a parte responsável por gerá-las, suprimindo os circuitos responsáveis pela geração da tensão de referência.

O circuito desenvolvido gera três correntes de comportamentos distintos em temperatura: uma delas é a I_{PTAT} , cuja variação é Proporcional a Temperatura Absoluta; a outra é uma de comportamento Complementar a Temperatura Absoluta, chamada I_{CTAT} e, por fim, a corrente de referência I_{REF} estável em temperatura, que é obtida através da soma das outras duas correntes apresentadas. A Figura 32 apresenta o comportamento

delas considerando o aumento da temperatura.

Figura 32 – Ilustração da geração da corrente de referência I_{REF} .



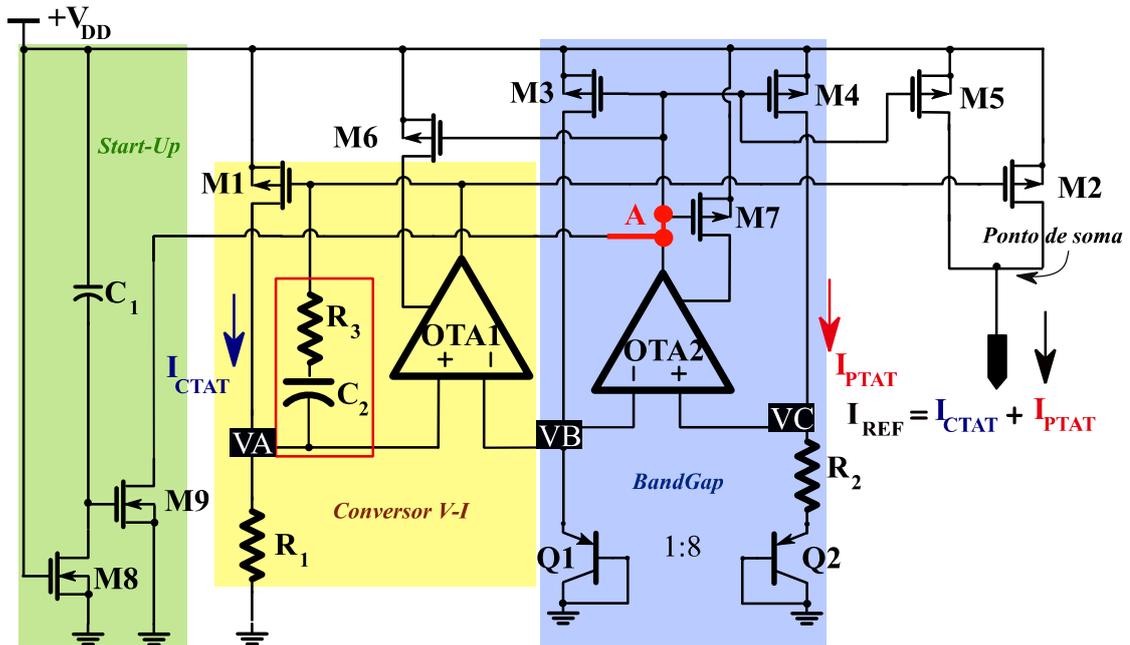
Fonte: Autoral.

A Figura 32 apresenta I_{REF} como uma soma das correntes I_{PTAT} e I_{CTAT} , ambas possuem comportamentos complementares em relação à mudança da temperatura e variam em diferentes taxas, como representado pelos termos α_1 e α_2 . Para que I_{REF} seja compensado em temperatura, esses dois termos devem ser dimensionados de forma proporcional. Isso pode ser mais bem compreendido através da equação (25):

$$I_{REF} = \alpha_1 I_{CTAT} + \alpha_2 I_{PTAT} \quad (25)$$

Onde o termo α_1 representa a inclinação de I_{CTAT} e o termo α_2 é responsável pela inclinação de I_{PTAT} .

Um esquemático simplificado do circuito gerador de correntes é apresentado na Figura 33. Neste circuito os resistores devem ser feitos do mesmo material para que seu TC seja cancelado [53].

Figura 33 – Esquemático simplificado do gerador de correntes I_{PTAT} e I_{REF} .

Fonte: Autoral.

A geração de I_{CTAT} é realizada através do conversor $V-I$ (Retângulo amarelo na figura), que atua da seguinte forma: a tensão V_{BE} do transistor Q_1 é copiada para a saída do OTA_1 , que por sua vez polariza o transistor M_1 , essa tensão é então convertida para uma corrente através do resistor R_1 , como apresentado na equação (26).

$$I_{CTAT} = \frac{V_{EB1}}{R_1} \quad (26)$$

A adição do resistor R_3 e do capacitor C_2 (Retângulo vermelho na figura) ajudam a diminuir o *overshoot* da corrente I_{CTAT} quando o circuito é ligado. Ambos foram dimensionados através de uma varredura em frequência realizada a fim de encontrar a posição do polo (P_L) a ser compensado. A equação (27) apresenta a equação da frequência.

$$f(P_L) = \frac{1}{2\pi R_3 C_2} \quad (27)$$

A corrente I_{PTAT} por sua vez é gerada por meio de um núcleo de uma referência do tipo *BandGap* (Retângulo azul na figura), através da diferença entre a tensão V_{BE} de dois transistores operando em densidades de corrente diferentes ΔV_{BE} . A equação para o dimensionamento da corrente I_{PTAT} é apresentada na equação (28):

$$I_{PTAT} = \frac{kT \ln(N)}{q R_2} \quad (28)$$

A corrente de I_{REF} é, portanto, (Equação (29)):

$$I_{REF} = I_{M5} + I_{M2} = \frac{V_{BE1}}{R_2} + \frac{\ln(N) kT}{R_1 q} \quad (29)$$

Onde, V_T é a tensão térmica, N é a proporção entre as junções dos transistores, que nesse caso é de 8 vezes (A quantidade de instâncias de Q_2 em paralelo), e V_{BE} a tensão base-emissor dos transistores bipolares. A soma das correntes é feita através dos espelhos formados por M_4 e M_5 [54].

Os termos α_1 e α_2 da equação (25) são identificados no primeiro e no segundo termo da equação (29), como V_{BE1}/R_2 para α_1 e $\ln(N)/R_1$ para α_2 . Além dessa forma, α_1 e para α_2 podem ser dimensionados através da razão $(W/L)_{M2}/(W/L)_{M1}$ e $(W/L)_{M5}/(W/L)_{M4}$.

A análise apresentada acima não considera a tensão de *offset* dos amplificadores operacionais. Este parâmetro é um dos maiores causadores de erro no projeto de circuitos baseados em *BandGap* [44]. Levando essa característica em consideração, e tomando as tensões destacadas na Figura 33 como referência, escreve-se:

$$V_B = V_A + V_{os1} = V_C + V_{os2} \quad (30)$$

Onde, V_{OS1} e V_{OS2} são respectivamente as tensões de *offset* do OTA_1 e do OTA_2 . De qualquer modo, a equação (28) continua válida devido a relação $(W/L)_{M3}/(W/L)_{M4}$. Portanto I_{PTAT} considerando o *offset* do OTA_2 é:

$$I_{PTAT} = \frac{kT \ln(N) - V_{os2}}{q R_2} \quad (31)$$

E I_{CTAT} ,

$$I_{CTAT} = \frac{V_{BE1} - V_{os1}}{R_1} \quad (32)$$

As equações (31) e (32) são importantes para entender o erro de *offset* inserido pelos amplificadores operacionais no circuito e considerá-lo no dimensionamento do gerador de correntes [54].

Como o gerador de correntes é autopolarizado, ou seja, ele mesmo fornece a corrente consumida por seus componentes. Foi necessário utilizar um circuito de *startup* para garantir a polarização dos transistores M_3 e M_4 , e aumentar a estabilidade do sistema. Na figura ele está destacado pelo retângulo verde (Arranjo entre os transistores M_8 , M_9 e o capacitor C_I). No instante um pouco antes de o circuito ser ligado, o capacitor está descarregado, e a porta de M_9 polarizada por V_{DD} , dessa forma, uma tensão próxima de 0 V é aplicada no nó A , forçando uma corrente nos transistores M_3 e M_4 , iniciando a polarização dos outros componentes. A corrente que flui nesses dois transistores é espelhada para dentro dos amplificadores operacionais, polarizando-os. Conforme a tensão no nó A aumenta, o capacitor vai sendo carregado, e a tensão sob a porta do transistor M_9 vai se extinguindo até chegar a 0 V, desligando-o. Após esse procedimento, a tensão sob o nó A chega a um ponto estável e se mantém assim com a ajuda da saída do OTA_2 , que, além disso, também força que as tensões sob os nós V_B e V_C sejam iguais, por meio da imposição das correntes de M_3 e M_4 [55].

Outro diferencial no gerador de correntes é o compartilhamento do transistor Q_I , que fica entre o conversor $V-I$ e o *BandGap*. Essa estratégia, além de reduzir o número de dispositivos necessários, também diminui a complexidade do circuito [53],[56].

4.5.1.1 Amplificadores operacionais

Devido às características do circuito gerador de correntes, alguns cuidados devem ser tomados no projeto dos amplificadores operacionais: o par diferencial de entrada, por

exemplo, deve ser do tipo *pMOS*, pois dessa forma, o mínimo valor do sinal de entrada será de 0 V; seu ganho deve ser suficiente para que as tensões V_A e V_B do gerador de correntes estejam compensadas; além disso, a saída do gerador de correntes é feita através de transistores do tipo *pMOS*, portanto, a tensão de saída do amplificador operacional deverá ser menor que $V_{DD}-|V_{THP}|$.

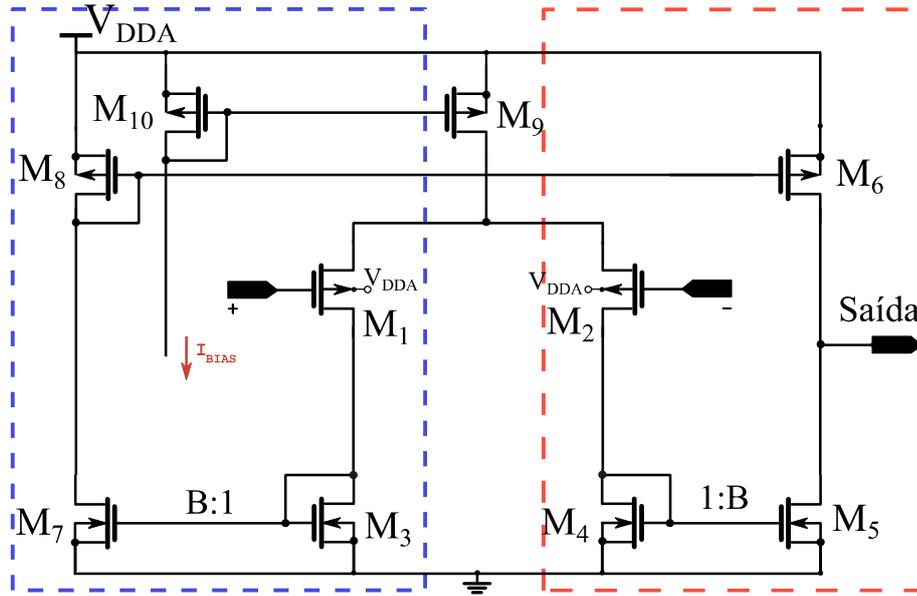
Dessa forma, diversos projetos de circuitos para os amplificadores operacionais foram desenvolvidos. Por exemplo: amplificador de dois estágios do tipo *Miller, folded cascode* e um par diferencial simples, porém, os melhores resultados foram obtidos com amplificadores do tipo simétrico com entrada diferencial do tipo *pMOS*. A seguir o projeto dos amplificadores operacionais será apresentado.

4.5.1.2 Amplificadores operacionais simétricos

Essa configuração de amplificador operacional é utilizada nos mais diversos tipos de circuitos devido à sua versatilidade, reduzido número de componentes e menor *offset* em virtude do casamento entre componentes. Essa configuração é basicamente um par diferencial conectado com dois espelhos de corrente que é apresentada na Figura 34. Perceba os retângulos: azul e vermelho, caso dobrássemos o esquemático no meio e juntássemos os lados, como em um livro, a maioria dos transistores coincidiria, com exceção dos transistores M_9 e M_{10} , que servem como polarização para o par diferencial e a saída do amplificador.

Na Figura 34, a variável B representa o ganho em corrente do amplificador, ou seja, a corrente que flui para a carga é amplificada por esse fator. Diferentemente do *OTA Miller*, esse é um amplificador de apenas um estágio. Nessa configuração existe apenas um nó de alta resistência (formado pela conexão dos transistores M_6 e M_5) que provê o ganho e a excursão do sinal. Outro ponto importante no projeto desse tipo de amplificador é que aumentar o fator B também aumenta a largura de banda [57].

Figura 34 – Esquemático do amplificador operacional simétrico.



Fonte: Autoral.

O ganho em tensão é determinado pela equação (33):

$$A_v = B \frac{g_{m1}}{g_{ds5} + g_{ds6}} \quad (33)$$

Onde:

$$B = \frac{(W/L)_8}{(W/L)_3} = \frac{(W/L)_5}{(W/L)_4} \quad (34)$$

O valor do produto ganho banda GBW é calculado pela equação (35):

$$BW = B \frac{g_{m1}}{2\pi C_L} \quad (35)$$

Onde C_L é a capacitância da carga. O *Slew Rate* é calculado através da equação (36):

$$SR = B \frac{I_{BIAS}}{C_L} \quad (36)$$

Considerando a simetria do amplificador, assume-se que:

$$\begin{aligned} (W/L)_{M1} &= (W/L)_{M2}, (W/L)_{M3} = (W/L)_{M4}; \\ (W/L)_{M5} &= (W/L)_{M7}, (W/L)_{M6} = (W/L)_{M8} \end{aligned} \quad (37)$$

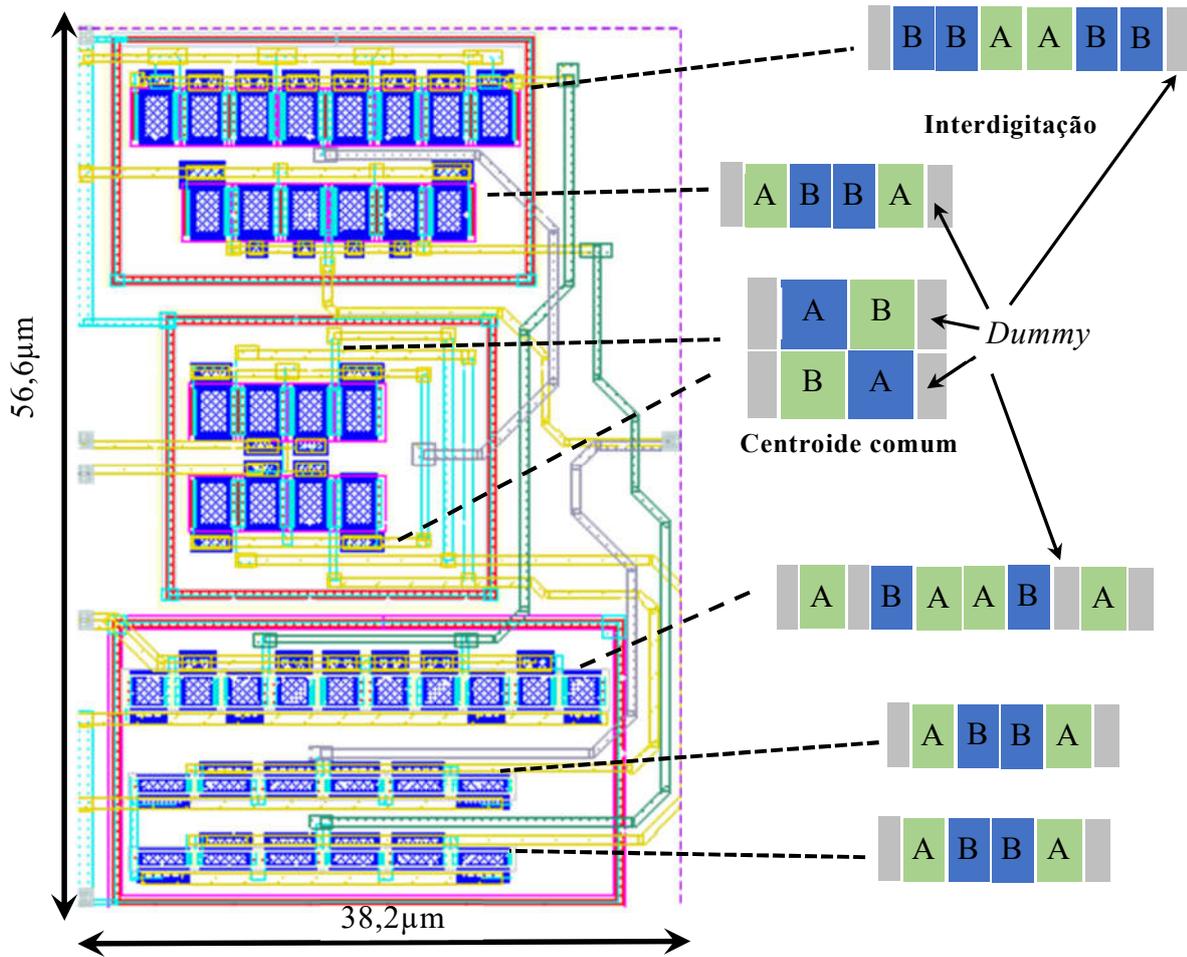
Porém, dependendo do caso, essa igualdade pode variar. A razão W/L dos transistores é apresentada na Tabela 4:

Tabela 4 – Dimensão dos transistores de OTA₁ e OTA₂

| Transistor | Razão |
|-------------------|--------------|
| M ₁ | 6µm/2µm |
| M ₂ | 6µm/2µm |
| M ₃ | 2µm/3µm |
| M ₄ | 2µm/3µm |
| M ₅ | 2µm/3µm |
| M ₆ | 6µm/2µm |
| M ₇ | 2µm/3µm |
| M ₈ | 6µm/2µm |
| M ₉ | 6µm/2µm |

A Figura 35 apresenta o leiaute do circuito, suas dimensões são de 38,2 µm x 56,6 µm. A técnica de centróide comum foi empregada no par diferencial devido à sua sensibilidade, os espelhos de corrente foram organizados utilizando a técnica de interdigitação [58]. Em ambas, transistores *dummy* foram empregados nas laterais e, em alguns casos, entre outros transistores a fim de não deixar espaços entre os componentes e, dessa forma, diminuir os efeitos de variação de processo. Além disso, *guardrings* foram utilizados para garantir as conexões ao substrato e evitar erros de *ERC* (Apêndice A).

Figura 35 – Leiaute do amplificador operacional simétrico.

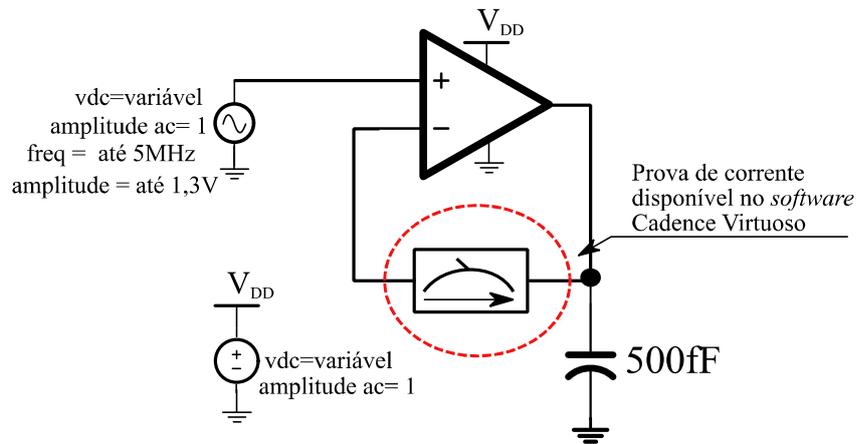


Fonte: Autoral.

4.5.1.3 Amplificadores operacionais – Resultados de simulação

Para verificar o funcionamento do amplificador operacional, simulações do tipo *PVT* foram realizadas, para isso, foi utilizada a configuração da Figura 36. Nela existe um componente chamado *iprobe*, que age como uma ponta de prova de correntes. Esse elemento foi utilizado para realizar análises de resposta em frequência e de estabilidade. A carga de saída utilizada no amplificador operacional foi de 500 fF. Os resultados de simulação são apresentados na Tabela 5.

Figura 36 – Configuração utilizada para simular o amplificador operacional.



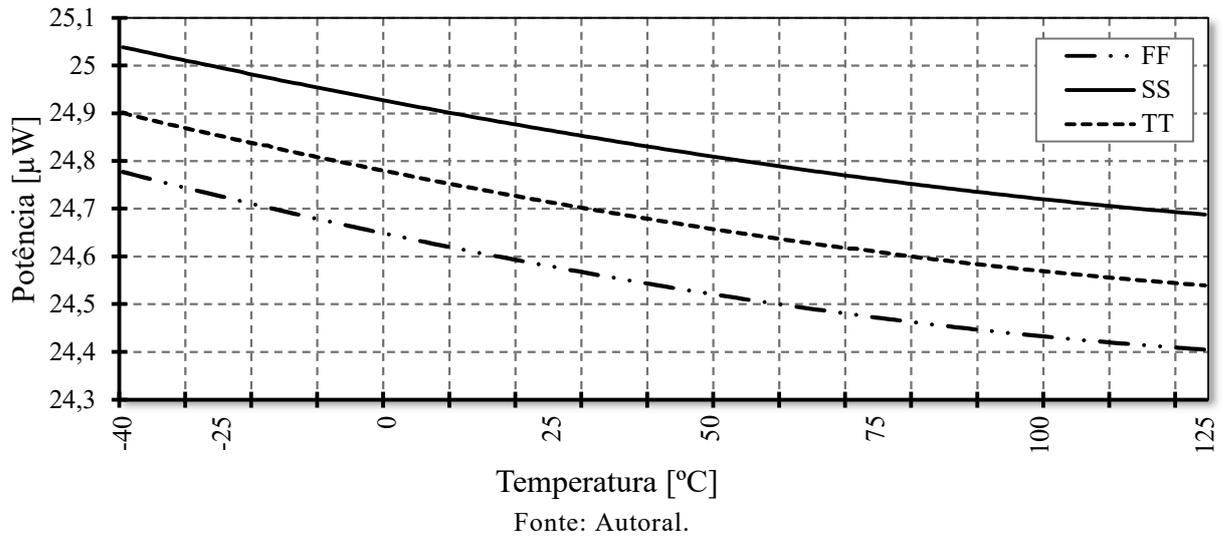
Fonte: Autoral.

Tabela 5 – Resultados de simulação para o amplificador simétrico.

| Parâmetro | Descrição | Min. | Tip. | Max. |
|---------------|------------------------------------|----------|------|----------|
| V_{DD} | Alimentação | 900 mV | 1,8 | 1,98 V |
| PM | Margem de fase @ 500fF | 73° | 74° | 75,8° |
| GM | Margem de ganho | 27,62 dB | - | 33,27 dB |
| <i>offset</i> | Erro de deslocamento da referência | 1,224 mV | - | 1,602 mV |
| ICMR | Faixa de entrada em modo comum | 0,3 V | - | 1,3 V |
| GBW | Produto ganho banda | - | - | 4,8 MHz |

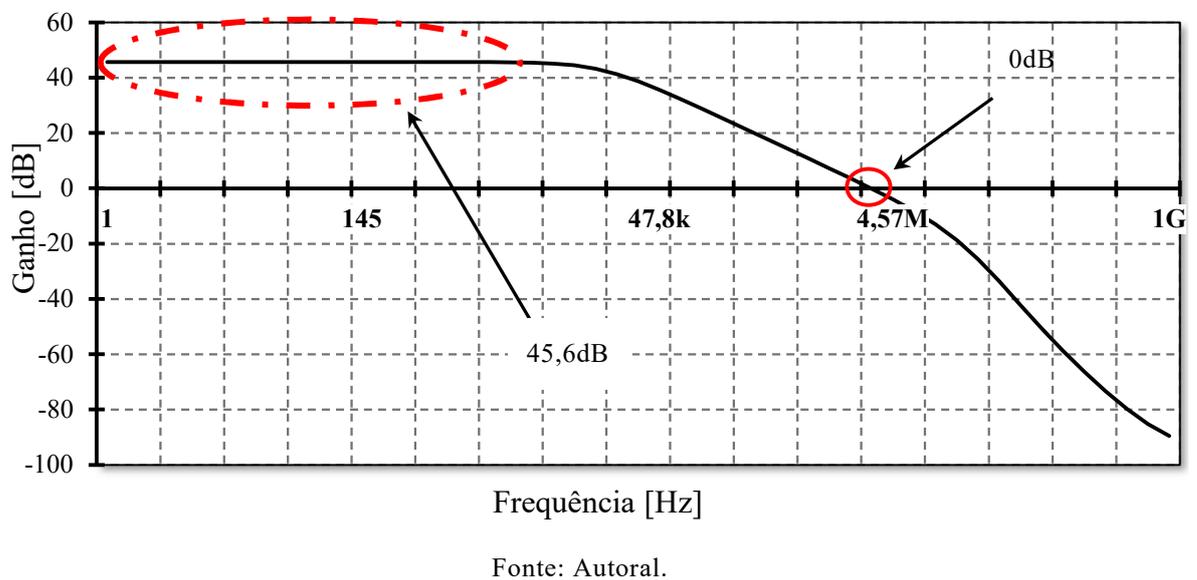
De acordo com os resultados apresentados na tabela, o amplificador operacional entra em operação com alimentação de aproximadamente 900 mV, porém com o limite máximo de entrada em modo comum de 300 mV e um GBW de 2,2 MHz. Devido ao esquema de autopolarização do gerador de correntes, é necessário que esse circuito opere com tensão de alimentação menor do que a nominal. E o gerador de correntes, por sua vez, garante a corrente necessária para polarizar os amplificadores operacionais. Ou seja, os dois circuitos dependem um do outro para que sua polarização seja garantida.

A Figura 37 apresenta os resultados de simulação para o consumo de potência total do amplificador operacional. Para uma T_A de 25 °C, o consumo típico foi de 24,71 μ W, para o *corner* lento (*ss*) (Apêndice A) foi de 24,96 μ W e para o rápido (*ff*) (Apêndice A) foi de 24,57 μ W. Apesar de o consumo não ser alto, são utilizadas duas instâncias do amplificador no gerador de correntes.

Figura 37 – Simulação do consumo de potência em *corners*.

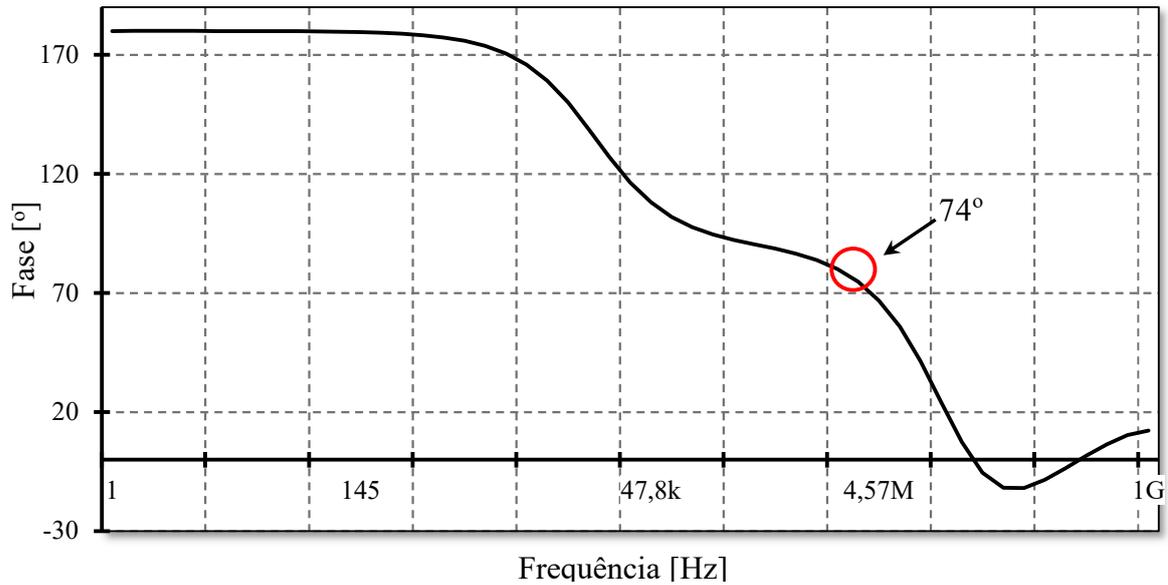
A Figura 38 apresenta o diagrama de bode para medida do ganho do amplificador. Essa curva foi obtida para T_A de 25 °C, *corner* típico e alimentação de 1,8 V. Perceba os destaques na figura. O ganho do amplificador é de 45,6 dB, enquanto a frequência de transição (GBW) é de 4,57 MHz.

Figura 38 – Diagrama de bode para medida do ganho.



A Figura 39 apresenta o diagrama de bode para medida da fase. Perceba que essa medida está acima de 45°, o que garante a estabilidade do circuito.

Figura 39 – Diagrama de bode para medida da fase.



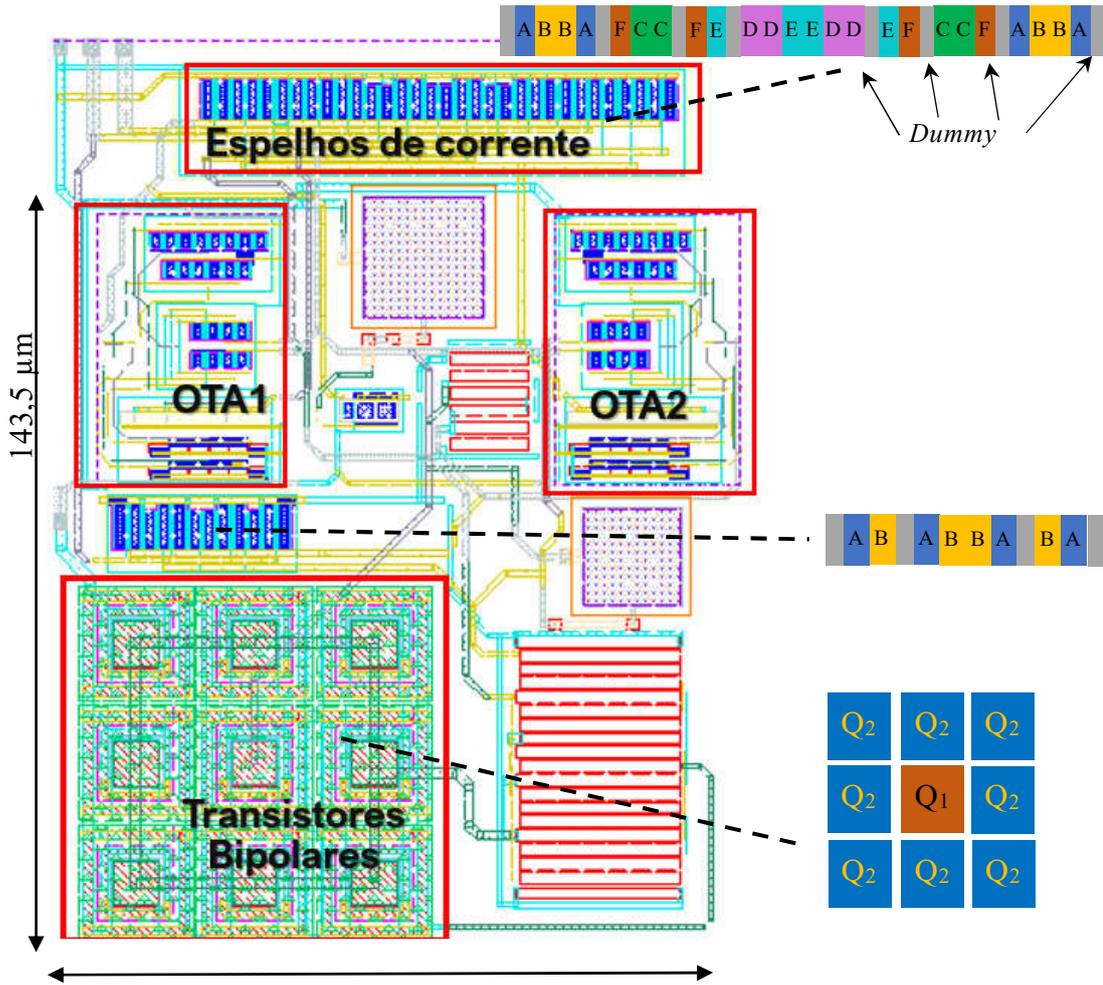
Fonte: Autoral.

4.5.2 Gerador de correntes – Leiaute e esquemático completo

O leiaute completo do gerador de correntes é apresentado na Figura 40, suas dimensões são de 143,5 μm x 188,7 μm . Na figura, são destacados os principais blocos e circuitos que fazem parte do gerador de correntes. Os transistores bipolares são os que ocupam maior área no leiaute, seguidos dos resistores e depois dos amplificadores operacionais.

As instâncias dos transistores do espelho de corrente foram agrupadas, utilizando a técnica de interdigitação [58]. Os *TBJs* utilizam uma técnica para proteger o transistor Q_1 , que ficou posicionado no centro de oito instâncias de Q_2 dispostas ao seu redor. Dessa forma as variações de processo tem pouco efeito sobre Q_1 , que é considerado bastante sensível pois possui apenas uma unidade [59].

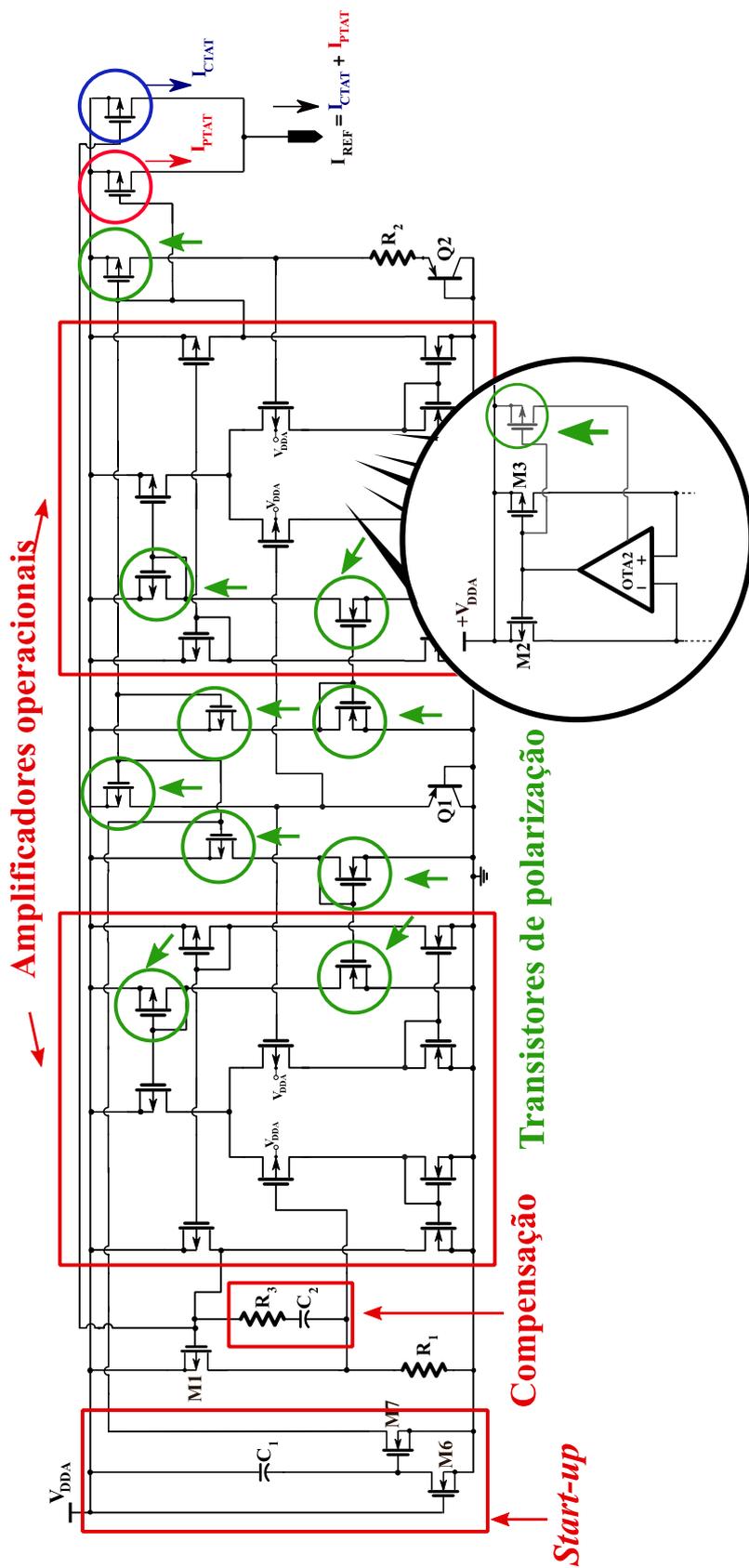
Figura 40 – Leiaute do gerador de correntes.



Fonte: Autoral.

O esquemático completo do gerador de correntes é apresentado na Figura 41. Na imagem, os transistores responsáveis por polarizar o circuito estão destacados em verde. Os amplificadores operacionais OTA_1 e OTA_2 são destacados por dois retângulos vermelhos, assim como a compensação do circuito, formada pelo resistor R_3 e o capacitor C_2 .

Figura 41 – Esquemático completo do gerador de correntes.



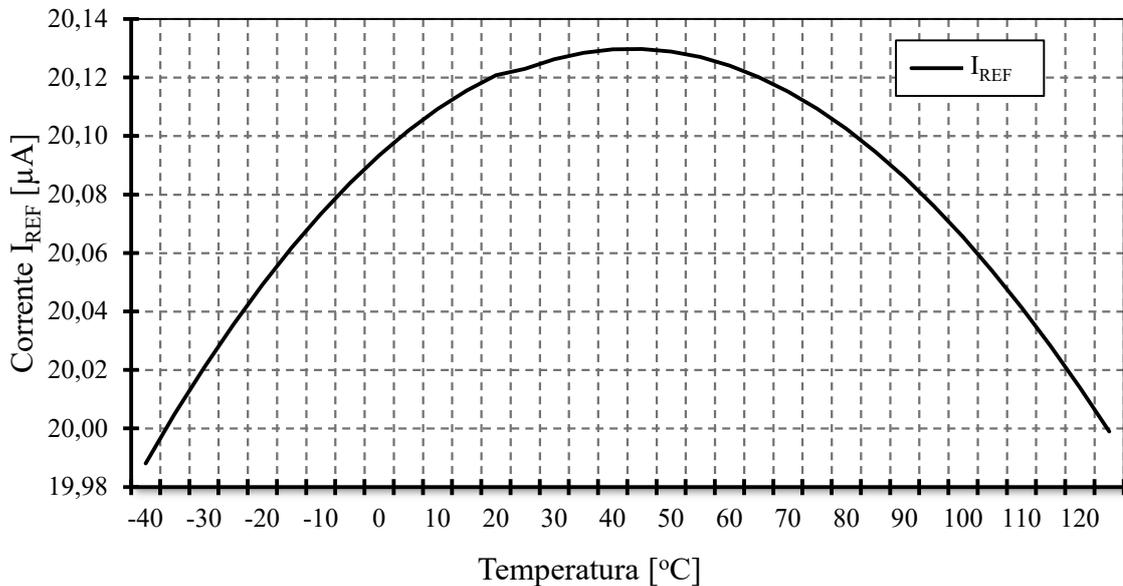
Fonte: Autoral.

4.5.3 Gerador de correntes – Resultados de simulação

O comportamento da corrente I_{REF} com relação à variação da temperatura é apresentado na Figura 42. Houve uma variação de apenas 0,75% para uma faixa de temperatura de -40 °C até 125 °C. Além disso, a partir desse mesmo gráfico, obteve-se o coeficiente de temperatura de I_{REF} , o qual foi calculado através da equação (38), atingindo cerca de 48 $ppm/^\circ C$

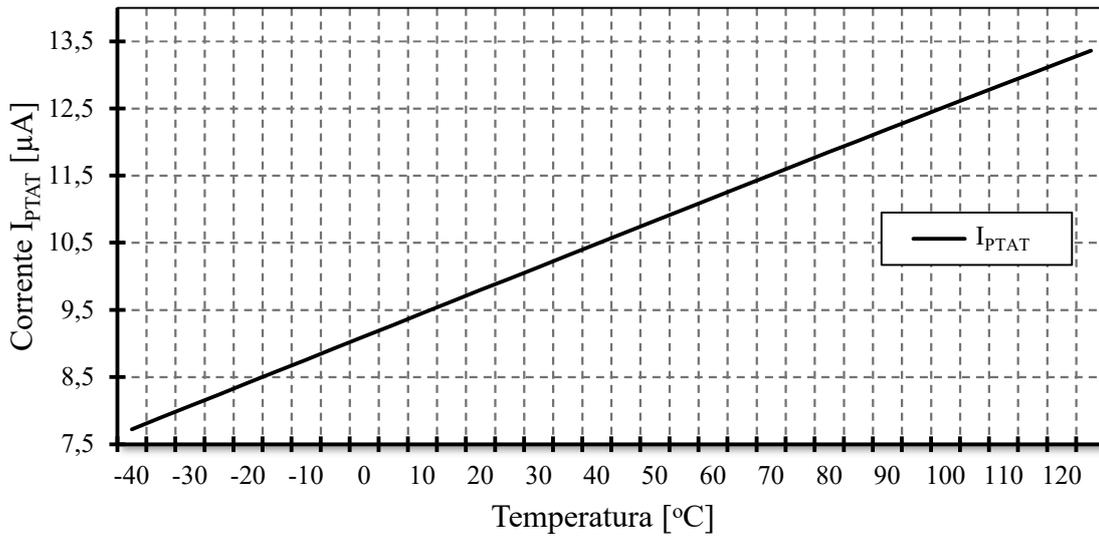
$$TC(I_{REF}) = 10^6 \frac{\Delta I_{REF} / I_{REF(27^\circ C)}}{\Delta T} = ppm / ^\circ C \quad (38)$$

Figura 42 – Comportamento da corrente I_{REF} em relação à temperatura.



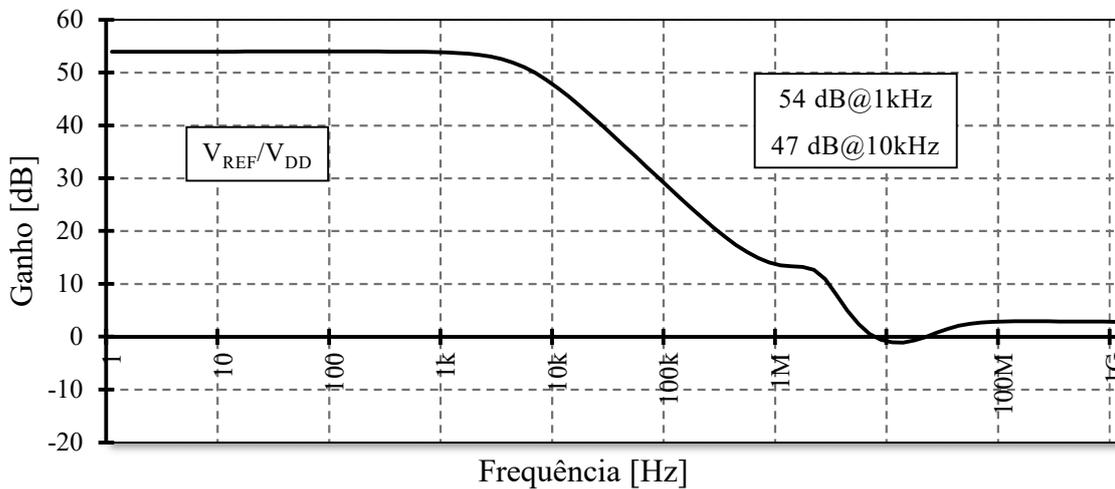
Fonte: Autoral.

A Figura 43 apresenta o comportamento da corrente I_{PTAT} para uma faixa de temperatura de -40 °C até 125 °C. A corrente possui uma não-linearidade de 0,17%, ou seja, próxima de 0% o que figura um comportamento linear.

Figura 43 – Comportamento da corrente I_{PTAT} em relação à temperatura.

Fonte: Autoral.

A Figura 44 apresenta o $PSRR$ do gerador de correntes. O teste foi realizado adicionando um resistor a saída de I_{REF} a fim de gerar 900 mV de referência (V_{REF}). Perceba que para a frequência nominal do sensor (10 kHz) o $PSRR$ é de 47 dB.

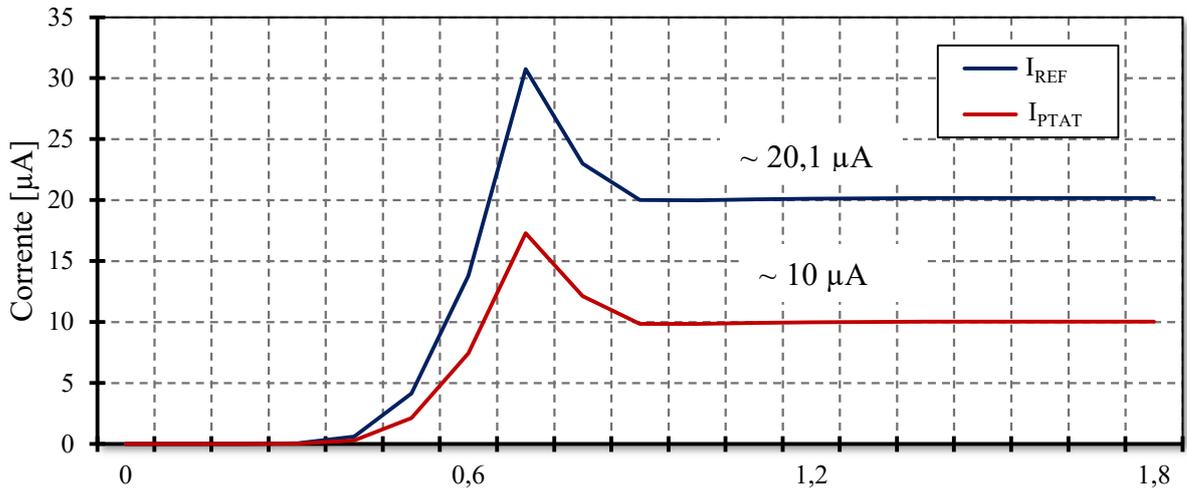
Figura 44 – $PSRR$ da fonte de corrente I_{REF} .

Fonte: Autoral.

A Figura 45 apresenta o comportamento das correntes I_{REF} e I_{PTAT} para uma T_A de 25 °C e para uma varredura da tensão de alimentação de 0 V a 1,8 V. Observe que para aproximadamente 900 mV ambas as correntes atingem a estabilidade. O valor nominal de I_{REF} é de 20,1 μA e para I_{PTAT} é de 10 μA . Isso indica que o circuito consegue trabalhar com tensões abaixo de 1 V, possibilitando seu emprego em outros projetos. Os picos de

correntes ocorrem devido à autopolarização do circuito, ação do circuito de *startup* e a influência do ganho dos amplificadores. Foi observado que ganhos maiores provêm picos mais elevados de corrente, que nesse caso foi de praticamente 50% da corrente nominal.

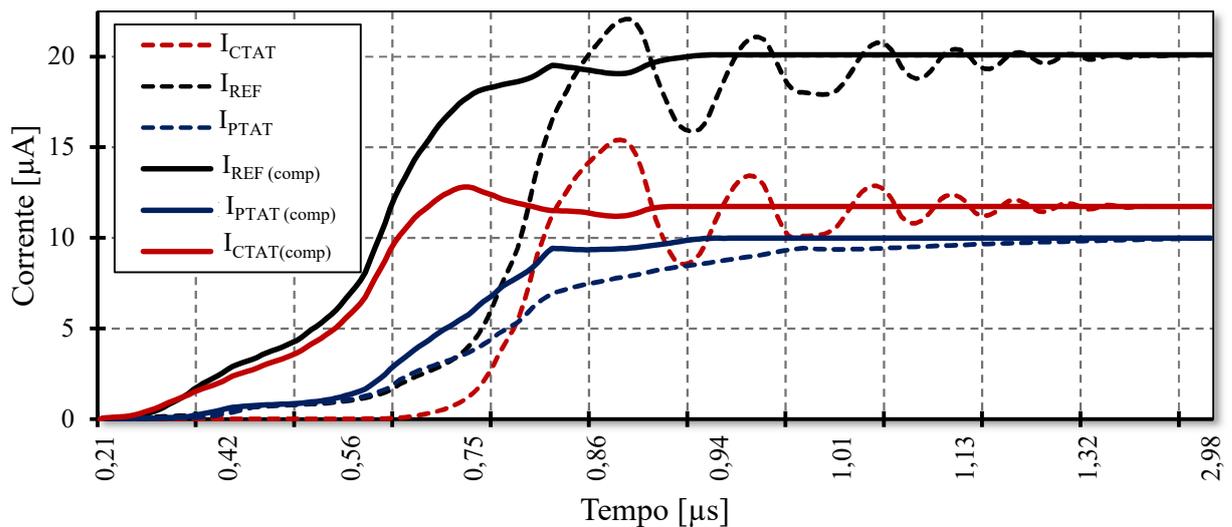
Figura 45 – I_{REF} e I_{PTAT} em relação à tensão de alimentação.



Fonte: Autoral.

Como exposto anteriormente, um circuito RC foi utilizado a fim de compensar o conversor $V-I$ presente no gerador de correntes. Isso pode ser observado através da Figura 46.

Figura 46 – Ação do circuito RC sob as correntes I_{REF} , I_{PTAT} e I_{CTAT} .



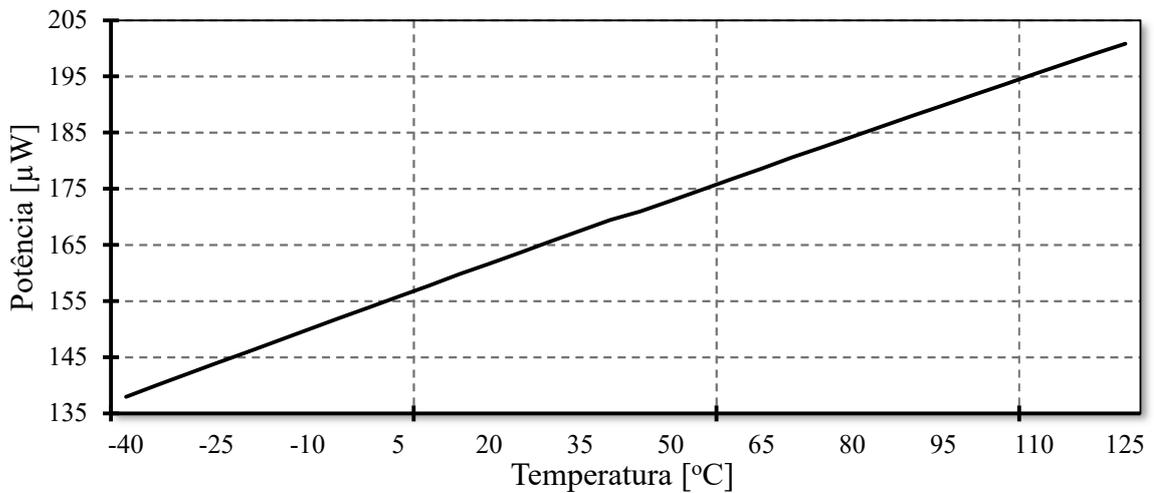
Fonte: Autoral.

Na Figura 46, as curvas tracejadas representam a resposta das correntes antes da compensação e as curvas contínuas são os resultados após a compensação. I_{REF} e I_{CTAT}

indicam uma pequena oscilação. Para um pulso de entrada na alimentação de $1\ \mu\text{s}$ e $1,8\ \text{V}$ máximo, I_{REF} demorou cerca de $900\ \text{ns}$ para entrar em regime o que é cerca de $1,14\ \mu\text{s}$ mais rápido do que sem compensação.

O consumo total de potência é apresentado na Figura 47, para uma faixa de $-40\ ^\circ\text{C}$ até $125\ ^\circ\text{C}$, para uma T_A de $25\ ^\circ\text{C}$ o consumo foi de $163,5\ \mu\text{W}$. Em $-40\ ^\circ\text{C}$ observa-se um consumo de aproximadamente $138\ \mu\text{W}$, e para $125\ ^\circ\text{C}$ ele é de $201\ \mu\text{W}$.

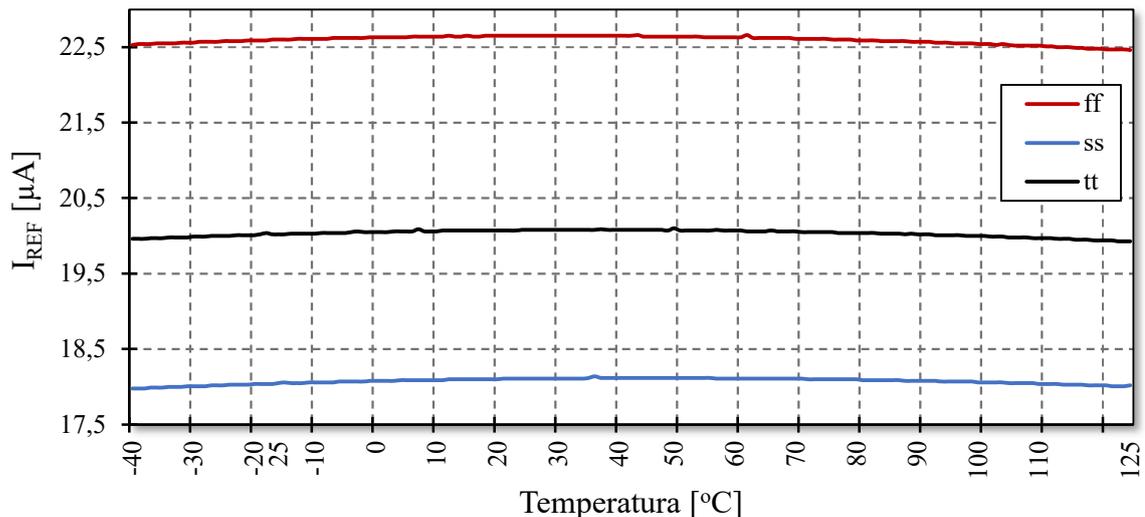
Figura 47 – Consumo de potência do gerador de correntes.



Fonte: Autoral.

Os resultados da simulação pós-leiute para I_{REF} em *corners*, com relação à variação da temperatura, é apresentado na Figura 48.

Figura 48 – Comportamento em *corners* da corrente I_{REF} em relação à temperatura.

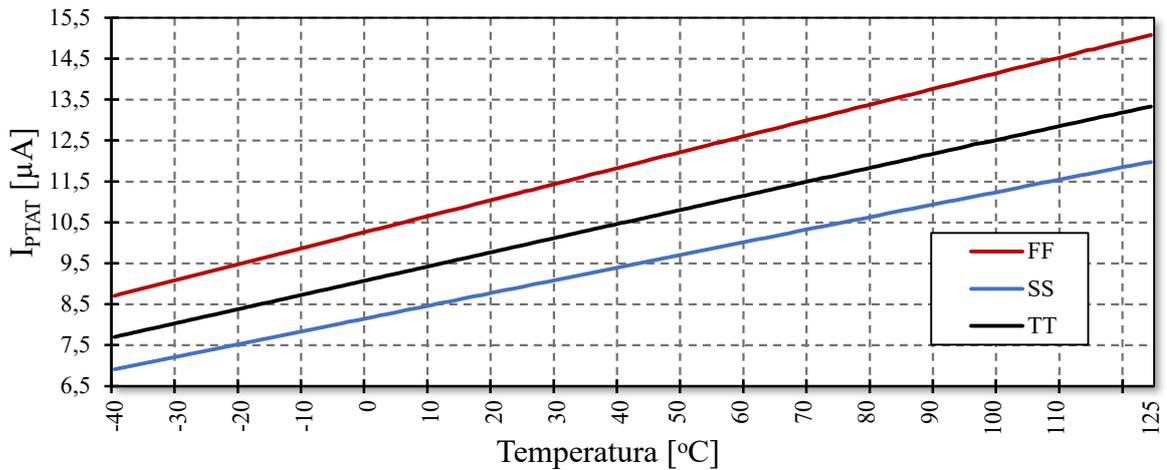


Fonte: Autoral.

Analisando o gráfico da Figura 48 e tomando como referência uma T_A de 25 °C, o *corner* rápido(ff) para I_{REF} resulta em um erro de até +11,6% e o *corner* lento (ss) em um erro de 11,16%.

Os resultados da simulação pós-leiaute de *corners*, *rápido-rápido(ff)*, *típico-típico(tt)* e *lento-lento(ss)* para I_{REF} em relação à variação da temperatura, é apresentado na Figura 49.

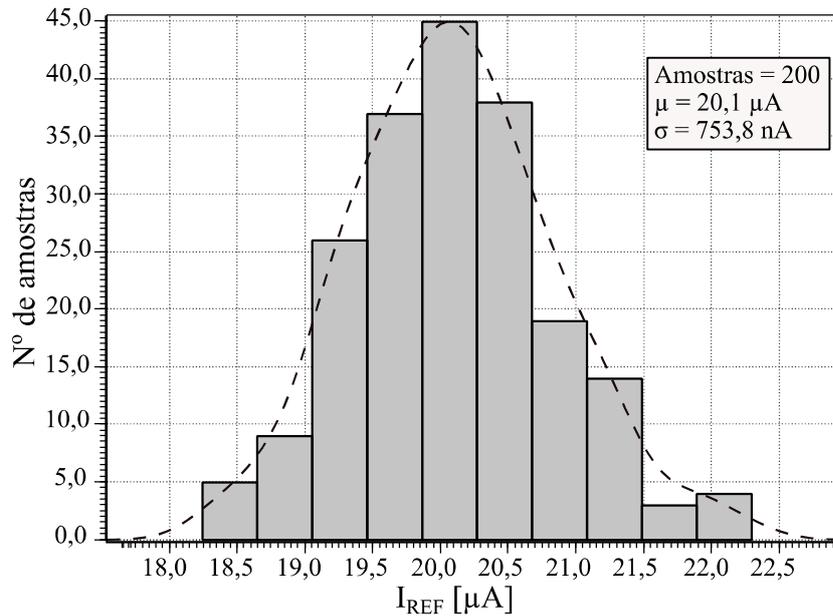
Figura 49 – Comportamento em *corners* da corrente I_{PTAT} em relação à temperatura.



Fonte: Autoral.

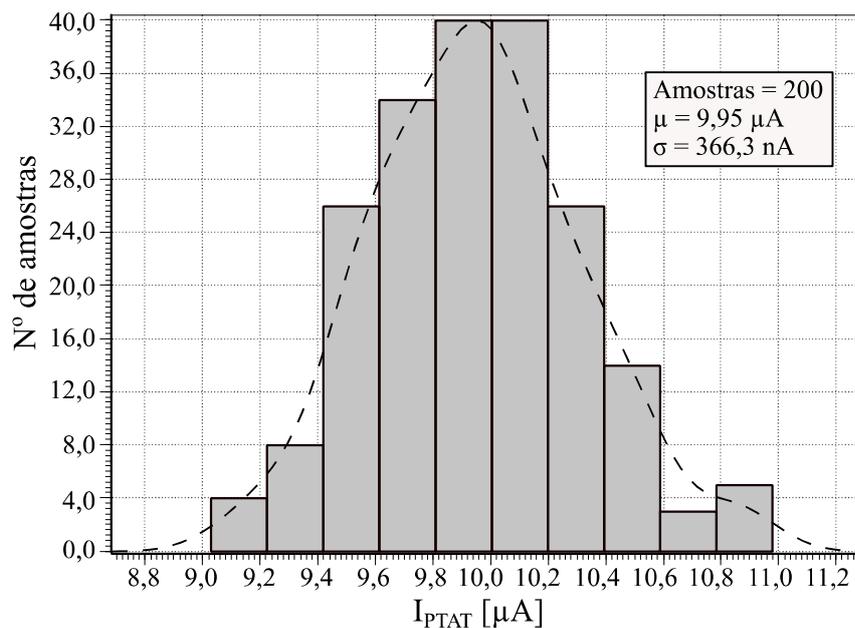
Analisando o gráfico da Figura 49 e tomando como referência uma T_A de 25 °C, o *corner* rápido(ff) para I_{PTAT} resulta em um erro de até +12,95% e o *corner* lento (ss) em um erro de -10,36%. Através das análises em *corners*, há previsão de uma grande variação das correntes após fabricação.

A análise de *Monte Carlo* do circuito pós-leiaute, para as correntes I_{REF} e I_{PTAT} , é apresentada na Figura 50 e Figura 51, respectivamente. Na simulação foram utilizadas 200 amostras para ambas. O desvio padrão para I_{REF} foi de 753,8 nA com uma média de 20,1 μA . Para I_{PTAT} esses valores foram 366,3 nA e 9,95 μA .

Figura 50 – Análise de *Monte Carlo* para a corrente I_{REF} .

Fonte: Autoral.

Mediante análise dos resultados expostos na Figura 50, percebe-se que caso haja descasamento entre componentes ou desvio de σ apenas, a corrente I_{REF} varia 3,75%. Esse resultado se agrava quando o desvio for de 3σ , o que resulta em um erro de 11,25% na corrente I_{REF} . Aplicando esse resultado na equação da razão cíclica (17) e considerando uma T_A de 25 °C, o erro na medida pode ser de aproximadamente $\pm 10\%$.

Figura 51 – Análise de *Monte Carlo* para a corrente I_{PTAT} .

Fonte: Autoral.

Repetindo a análise efetuada na Figura 50 para a Figura 51, o desvio σ para I_{PTAT} resulta em 3,7% e para 3σ o resultado é de aproximadamente 11,1% de variação na corrente.

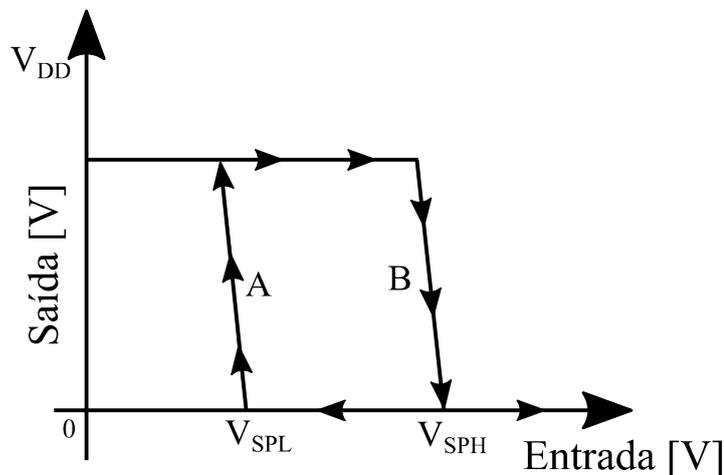
Compilando os resultados das análises em *corners* e *Monte Carlo*, há previsão de um erro máximo de aproximadamente $\pm 10\%$ na medida da razão cíclica. Além disso, caso I_{PTAT} seja a corrente mais afetada pela variação do processo e descasamento, o erro será maior em cerca de 0,3%.

4.5.4 Comparador com histerese (*Schmitt trigger*)

Este circuito é o responsável por converter a tensão sob o capacitor C_I em um sinal digital. O sinal em C_I sofre alterações em sua inclinação devido à variação da corrente I_{PTAT} em relação à temperatura. Diferente de uma modulação *PWM* onde o sinal portador (triangular ou dente de serra) é fixo, no sensor projetado é justamente o sinal triangular (tensão sob o capacitor C_I) que varia a inclinação da subida e da descida sem alterar a amplitude da referência. Portanto, é necessário que o circuito responsável pela comparação possua histerese, ou seja, um *Schmitt trigger* é o mais indicado.

A curva característica de um *Schmitt trigger* é similar à de um inversor *CMOS*, a maior diferença é uma transição mais suave e a presença de uma histerese. A curva *A*, na Figura 52, corresponde à saída do *Schmitt trigger* variando de nível baixo para alto, enquanto a curva *B* corresponde à saída variando de alto para baixo.

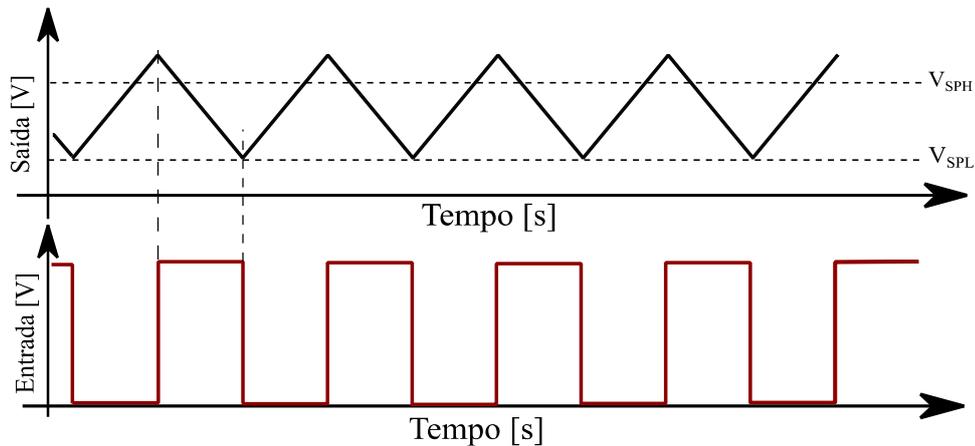
Figura 52 – Curva característica de um *Schmitt trigger*.



Fonte: Autoral.

O funcionamento do circuito pode ser mais bem explicado com o auxílio da Figura 53, a variável V_{SPH} representa o limite superior que o sinal de entrada pode chegar e V_{SPL} , o inferior. Quando o sinal da entrada do *Schmitt trigger* ultrapassar qualquer um dos limites, sua saída muda de estado. A histerese é representada pela variável V_H e pode ser calculada usando a subtração do limite superior, com o inferior, como apresentado na equação (39).

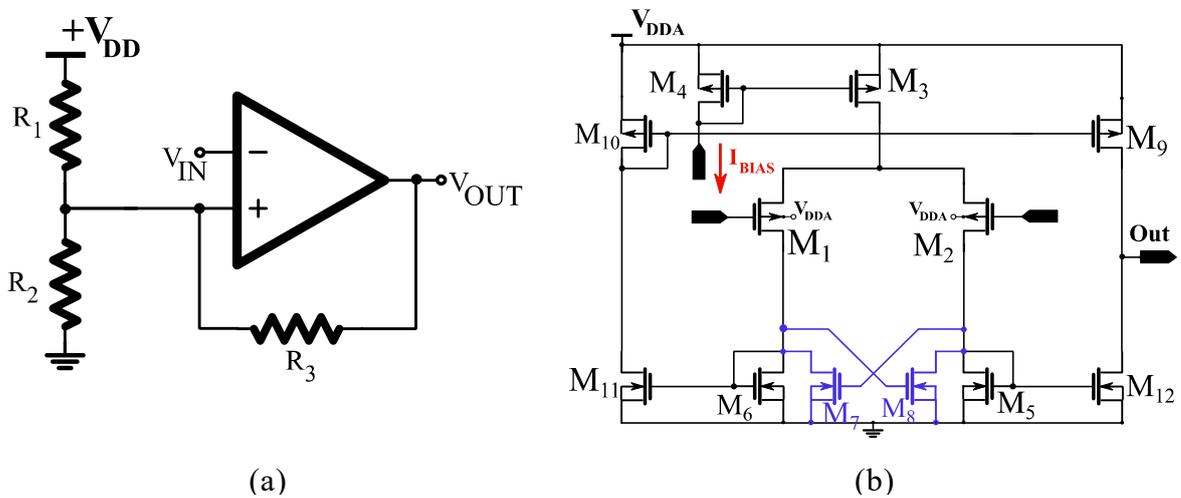
$$V_H = V_{SPH} - V_{SPL} \quad (39)$$

Figura 53 – Sinal de entrada e de saída em um *Schmitt trigger*.

Fonte: Autoral.

A solução mais popular para essa implementação é retroalimentar positivamente um amplificador diferencial utilizando resistores ou transistores, como os circuitos apresentados na Figura 54 - (a) e Figura 54 - (b), respectivamente [47].

Figura 54 – Implementações de comparadores baseados em pares diferenciais.

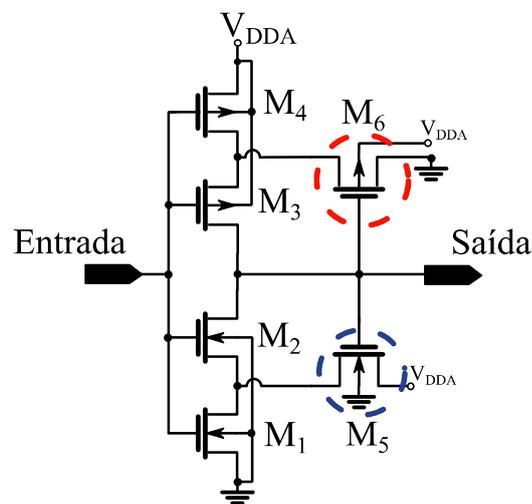


Fonte: Autoral.

Porém, como nessa implementação são necessários dois pinos de entrada, há necessidade de uma tensão de referência em um deles. Isso implica em uma mudança no sensor, haja vista que o gerador de correntes não fornece tensões, portanto, seu uso seria substituído por uma referência de tensão do tipo *Bandgap*. Outra opção seria transformar a corrente I_{REF} em tensão. Porém, as vantagens apontadas no uso da topologia do gerador de correntes seriam descartadas. Outra desvantagem típica, nessa implementação, é o erro de *offset* introduzido pelo descasamento entre componentes no par diferencial.

Diante do exposto, o uso de um *Schmitt trigger* do tipo digital é mais adequado, pois possui apenas uma entrada e uma saída, não necessita de uma tensão de referência externa e tampouco utiliza um par diferencial, ou seja, não há problema de *offset*. Dessa forma, foi possível economizar área, reduzir a complexidade dos leiautes e descartar uma compensação do *offset*. Além disso, o consumo de energia só ocorre na transição de um estado para outro, diminuindo, dessa forma, o consumo do circuito. Outra vantagem é que o circuito não afeta linearmente o sinal de saída do sensor. O esquemático do *Schmitt trigger* implementado é apresentado na Figura 55 [60].

Figura 55 – Esquemático do bloco comparador.



Fonte: Autoral, adaptado de [60].

Dado que a tensão de alimentação é de 1,8 V, definiu-se 900 mV como a tensão referência. Como a capacitância C_I é de 65 pF e a frequência de saída é 10 kHz, a histerese escolhida foi de 480 mV.

A equação (40) é utilizada para dimensionar os transistores levando em consideração o V_{SPH} . E a equação (41), considerando o V_{SPL} [60].

$$\frac{W_1 L_4}{L_1 W_4} = \left[\frac{V_{DDA} - V_{SPH}}{V_{SPH} - V_{THN}} \right]^2 \quad (40)$$

$$\frac{W_3 L_6}{L_3 W_6} = \left[\frac{V_{SPL}}{V_{DDA} - V_{SPL} - V_{THN}} \right]^2 \quad (41)$$

A razão W/L dos transistores é apresentada na Tabela 6, observe que o

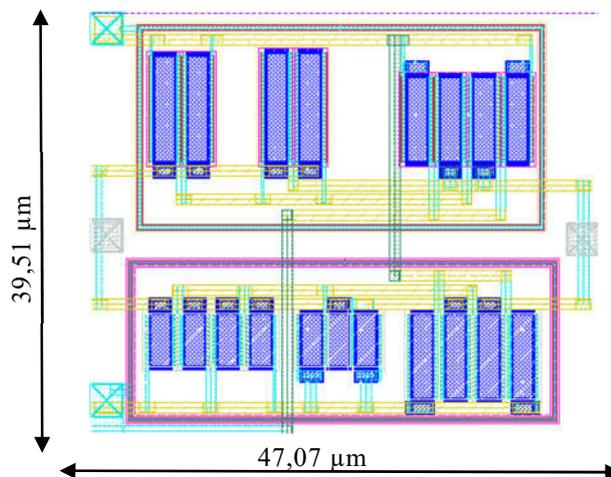
comprimento do canal L manteve o valor escolhido anteriormente para o dimensionamento dos outros circuitos. Porém, em futuras implementações, foi observado não ser necessário, pois se trata de um circuito digital permitindo que o circuito tenha dimensões menores.

Tabela 6 – Tamanho dos transistores do *Schmitt trigger*.

| Transistor | Razão |
|----------------|--------------------------------|
| M ₁ | 20 $\mu\text{m}/2 \mu\text{m}$ |
| M ₂ | 20 $\mu\text{m}/2 \mu\text{m}$ |
| M ₃ | 5 $\mu\text{m}/2 \mu\text{m}$ |
| M ₄ | 20 $\mu\text{m}/2 \mu\text{m}$ |
| M ₅ | 16 $\mu\text{m}/2 \mu\text{m}$ |
| M ₆ | 20 $\mu\text{m}/2 \mu\text{m}$ |

Devido à característica desse bloco, não foi necessário utilizar técnicas de leiaute analógico, porém, foram utilizados componentes *dummy* a fim de proteger os transistores mais externos e os mais sensíveis como o M₅ e o M₆. Outra técnica utilizada, foi o uso de *guard rings* para garantir uma melhor conexão entre eles e o substrato, evitando erros de *ERC*. A área utilizada foi de 47,07 μm x 39,51 μm ou 1.858,5 μm^2 .

Figura 56 – Leiaute do *Schmitt trigger*.

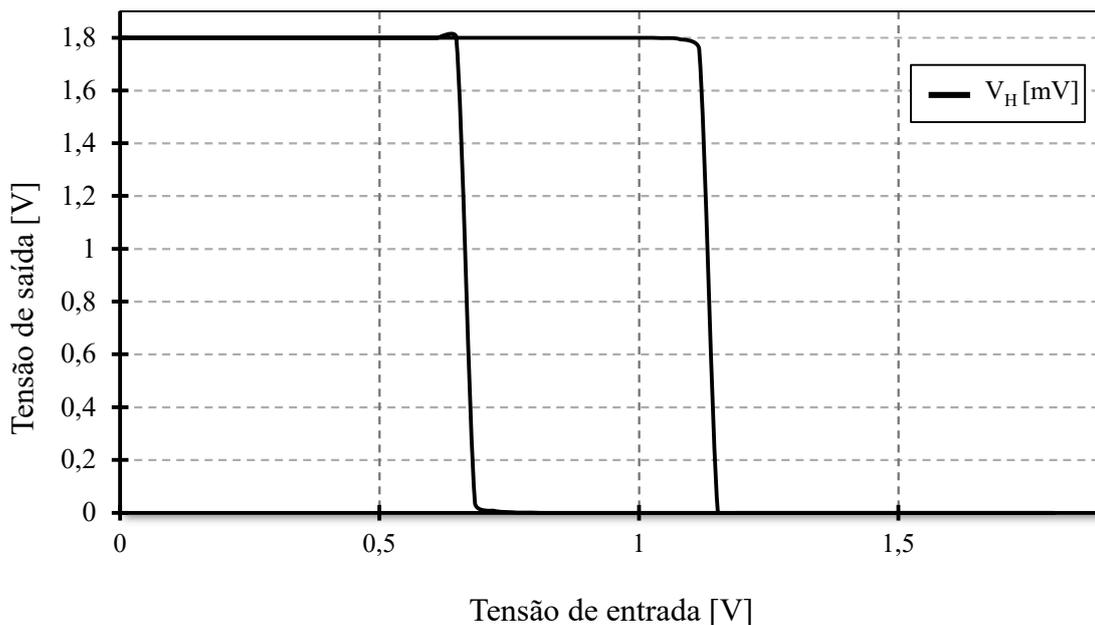


Fonte: Autoral.

4.5.4.1 Schmitt trigger – Resultados de simulação

A Figura 57 apresenta o resultado de simulação para a histerese do *Schmitt trigger* para uma T_A de 27 °C, com excursão do sinal de entrada de 0 V a 1,8 V. O valor medido foi de 467 mV, próximo à especificação de 480 mV. Apesar disso, essa discrepância não influencia significativamente o funcionamento do sensor.

Figura 57 – Histerese do *Schmitt trigger*.

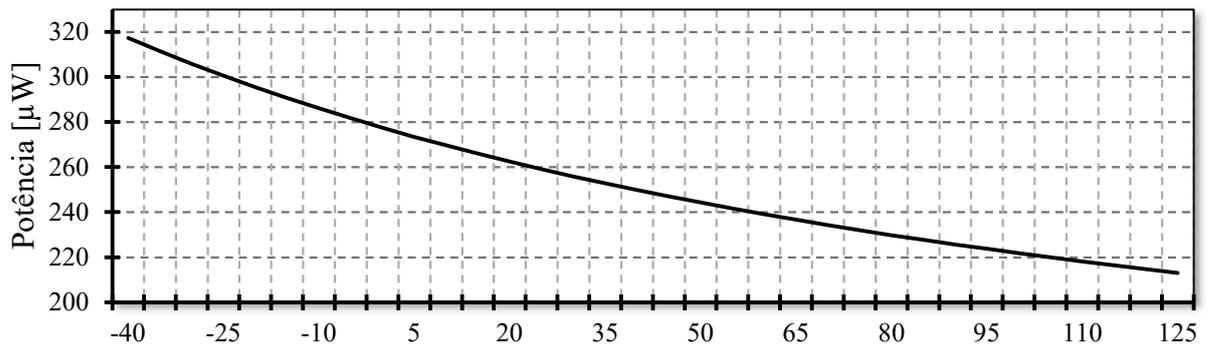


Fonte: Autoral.

A potência total consumida pelo *Schmitt trigger* em relação à variação de temperatura é apresentada na Figura 58. Nota-se que conforme a temperatura aumenta, o consumo de potência diminui nesse circuito. Para uma T_A de 25 °C, seu consumo é de 259,1 μ W. Ou seja, considera-se como um consumo alto, porém, isso se deve ao fato de a simulação ter sido feita utilizando um sinal de entrada triangular, com amplitude variável de 610 mV até 1,15 V e vice-versa. Caso o sinal triangular tivesse amplitude variável de 0 V até 1,8 V, o consumo seria menor, porém não representaria a realidade, pois o *Schmitt trigger* trabalha mais tempo na faixa de consumo dinâmica do que estática.

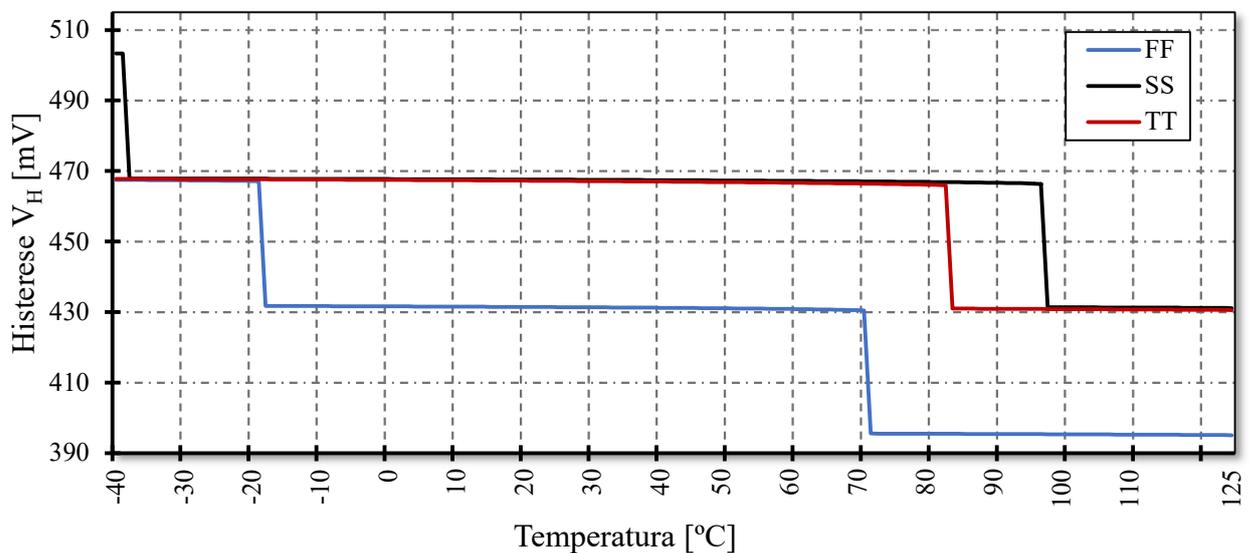
A título de ilustração, caso o segundo sinal de entrada fosse utilizado nos testes, o consumo total do circuito seria de 83,13 μ W para uma T_A de 25 °C, cerca de 211,7% menor do que o reportado no teste realizado.

Figura 58 – Consumo de potência em relação à variação da temperatura.



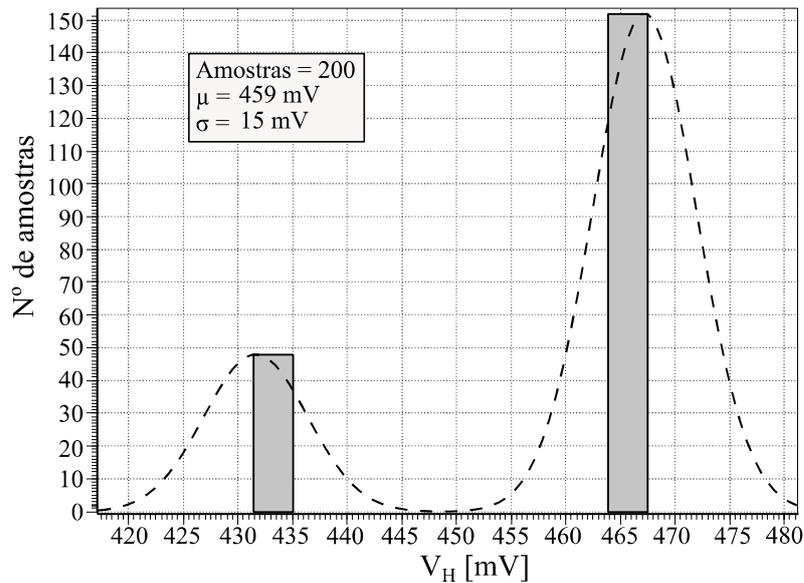
Fonte: Autoral.

A Figura 59 apresenta um gráfico importante sobre o comportamento da histerese, pois representa seu comportamento com relação à mudança da temperatura. Perceba que para o *corner* típico (*tt*), após aproximadamente 82 °C, a histerese caiu de 467 mV para 430 mV, aproximadamente 37 mV, ou 7,9% de variação, o que irá impactar diretamente na frequência de saída do sensor fabricado. O *corner* rápido (*ff*) foi o que sofreu maior variação de V_H , iniciando em 400 mV e chegando até 500 mV.

Figura 59 – Comportamento da histerese em *corners*.

Fonte: Autoral.

A Figura 60 apresenta a análise de *Monte Carlo* da histerese para 200 amostras, o V_H médio ficou em aproximadamente 459 mV, ou seja, 1,7% menor que os 467 mV. Cerca de 40 amostras indicaram uma histerese de 435 mV, validando o comportamento observado na Figura 59. Além disso, percebe-se que com variações de $\pm 3\sigma$ o erro mínimo esperado é de 7,9% abaixo dos 467 mV e o máximo de 11,3% acima dos 467 mV.

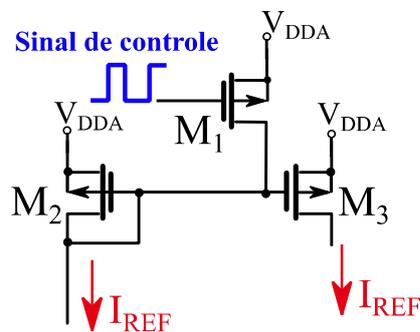
Figura 60 – Simulação de *Monte Carlo* para a histerese V_H .

Fonte: Autoral.

4.5.5 Chave S

A chave S é responsável pelo controle da corrente I_{REF} , para implementá-la apenas um transistor foi utilizado. A Figura 61 ilustra a aplicação desse mecanismo.

A corrente I_{REF} é copiada para M_3 através de M_2 , porém, quando M_1 está ligado, o fluxo de I_{REF} é interrompido, pois M_3 é desabilitado. Quando M_1 estiver desligado, a corrente é copiada de M_2 para M_3 e o fluxo será contínuo, até que se desligue M_1 novamente.

Figura 61 – Representação do uso da chave S .

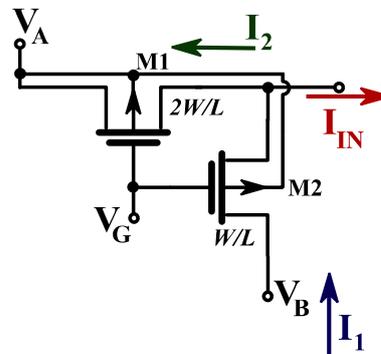
Fonte: Autoral.

O espelho de corrente formado por M_2 e M_3 é proveniente do bloco divisor de correntes, que será apresentado a seguir.

4.5.6 Divisor de correntes

Como exposto anteriormente, para que a frequência nominal do sensor atinja 10 kHz é necessário que as correntes I_{PTAT} e I_{REF} sejam divididas. Dessa forma, empregou-se um circuito para divisão da corrente. A topologia utilizada é formada por uma rede de transistores baseada nos divisores de corrente aplicados em conversores *DAC* do tipo “*peso binário*” ou *Current Steering*. Na literatura, ela é chamada de *W-2W* ou ainda, “*M-2M ladder*” e possui o mesmo conceito de divisão de correntes que a rede *R-2R*, porém, é composta apenas por transistores. A Figura 62, apresenta uma célula *W-2W* e serve de auxílio para entender o princípio de divisão da corrente.

Figura 62 – Princípio da técnica de divisão de correntes.



Fonte: Autoral, adaptado de [61].

Na figura, o transistor M_1 possui o dobro da largura de M_2 , ou seja, sua resistência r_{on} é metade da presente no outro transistor. Dessa forma, temos o mesmo efeito encontrado na rede do tipo *R-2R*. Assumindo que tanto M_1 quanto M_2 possuem a mesma tensão de porta e de que V_A e V_B podem ter qualquer valor desde que o transistor esteja ligado, a corrente I_{IN} flui para dentro ou fora do nó do circuito, pois depende do tipo do transistor (*nMOS* ou *pMOS*). Essa corrente é dividida em duas partes: uma delas flui para V_A e a outra para V_B . Uma das vantagens dessa técnica em comparação a *R-2R* é o menor consumo de potência e de área, além de que o circuito não fica susceptível a variações de resistência devido a defeitos de fabricação [61].

O princípio dessa técnica de divisão nos diz que a parte da corrente que flui para uma das tensões V_A ou V_B é:

- Constante e independente de I_{IN} . (Implicando em baixa distorção);
- Independente dos valores de V_A e V_B ;

- Independente da operação dos dispositivos em saturação ou não;
- É independente do regime de inversão no canal dos dispositivos.

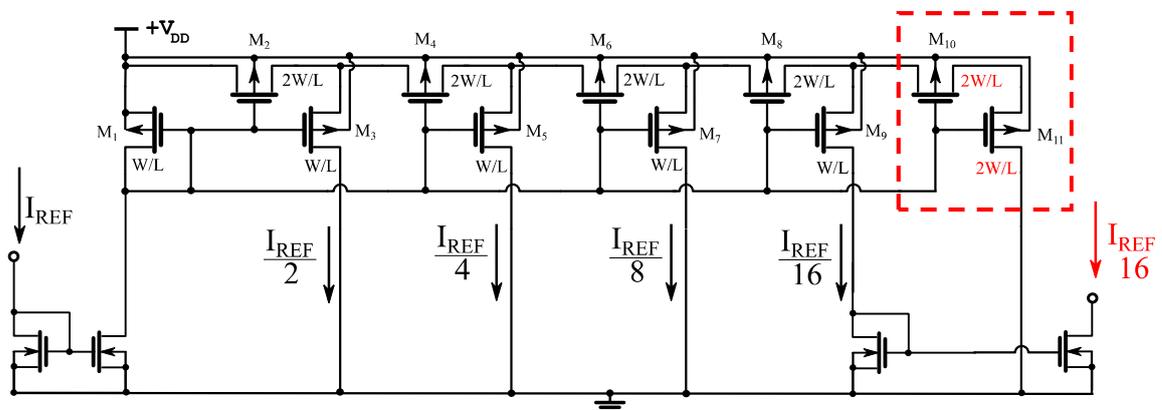
Dessa forma, podemos dizer que essa técnica é independente das variações de processo, sendo linear e insensível a efeitos como: redução da mobilidade, efeito de corpo, e válida em todas as regiões de operação do transistor *MOS*. Além disso, alguns efeitos de segunda ordem que podem influenciar na divisão de correntes, como o descasamento entre componentes, redução do comprimento do canal, *DIBL* e a avalanche fraca (*weak avalanche*) são minimizados, utilizando um tamanho de canal adequado [62] , [63].

O dimensionamento das células pode ser feito simplesmente através da equação quadrática da corrente, como o disposto na equação (42).

$$\left(\frac{W}{L}\right)_{M_1} = 2 \left(\frac{W}{L}\right)_{M_2} \quad (42)$$

A Figura 63 apresenta o esquemático com diversas células conectadas. Perceba que a única diferente é a última, destacada pelo retângulo vermelho. Os transistores M_{10} e M_{11} possuem o canal com o dobro da largura dos outros, porém, L tem o mesmo comprimento. A função deles é balancear a rede, assim como é feito nas redes *R-2R* de resistores [62].

Figura 63 – Esquemático básico do divisor de correntes.

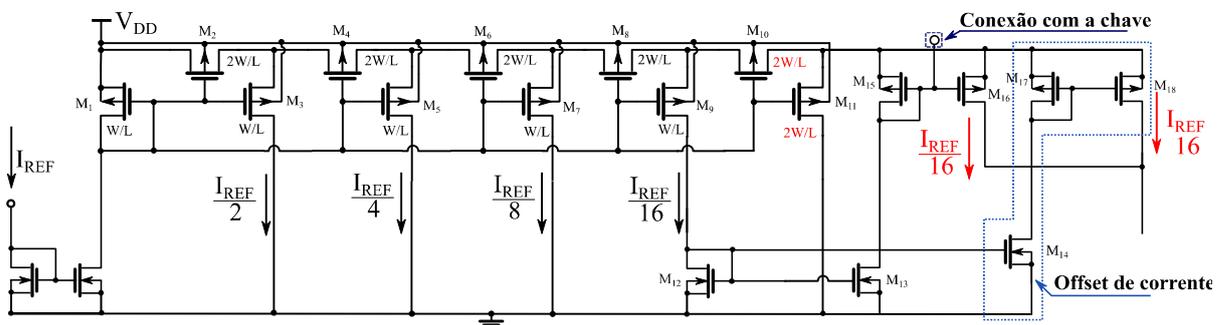


Fonte: Autoral.

Como esse circuito foi utilizado para dividir as correntes I_{PTAT} e I_{REFI} , foi necessário projetar duas versões com tamanhos diferentes de transistores. O divisor de I_{REF} divide a corrente 16 vezes e o de I_{PTAT} 8 vezes. Considerando a Figura 62 como referência, o tamanho dos transistores para o divisor de correntes de I_{PTAT} foi de $W = 10 \mu\text{m}$ e $L = 2,5 \mu\text{m}$ para M_1 e de $W = 5 \mu\text{m}$ e $L = 2,5 \mu\text{m}$ para M_2 . As células do divisor de correntes para I_{REF} foram de $W = 8 \mu\text{m}$ e $L = 2 \mu\text{m}$ para M_1 e de $W = 4 \mu\text{m}$ e $L = 2 \mu\text{m}$ para M_2 .

A Figura 64 apresenta o esquemático do circuito projetado para dividir a corrente I_{REF} . Nessa parte, além de utilizarmos espelhos de corrente simples, também adicionamos o *offset* de corrente necessário para aumentar a faixa de variação da razão cíclica. Adicionalmente, deixamos um terminal para a conexão da chave que controla a carga e descarga do capacitor C_1 . O divisor da corrente I_{PTAT} tem esquemático similar, com exceção dos espelhos de corrente de saída, que não recebem qualquer controle da chave S_1 .

Figura 64 – Divisor de correntes para a corrente I_{REF} .

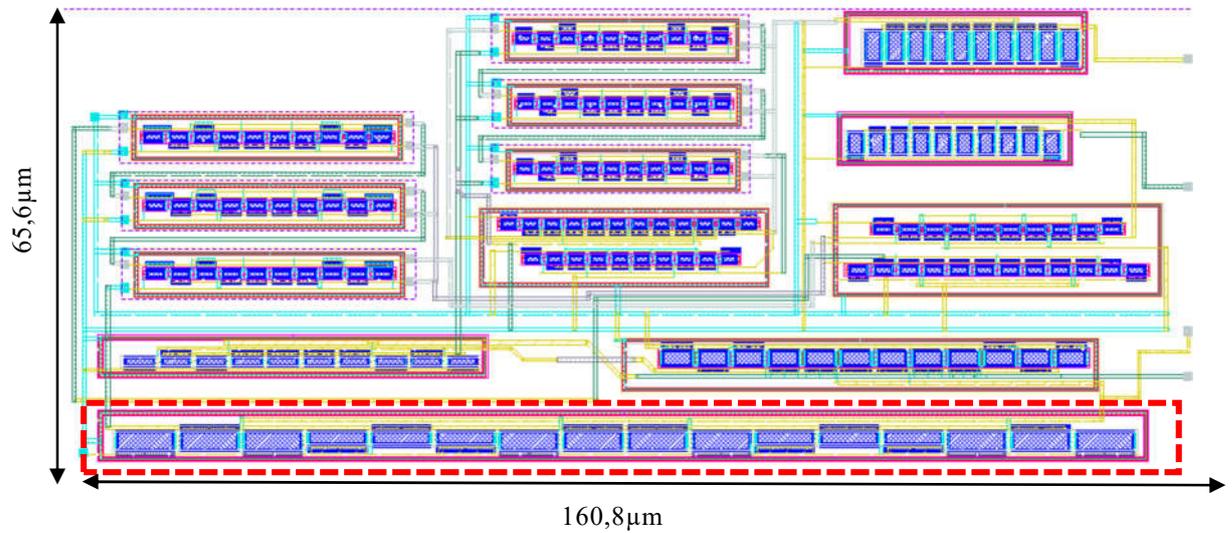


Fonte: Autoral.

O circuito utilizado para fazer a divisão da corrente I_{PTAT} a reduz para níveis abaixo de $2 \mu\text{A}$, porém, mesmo assim ela é cerca de 41% maior que I_{REF} para que a equação da razão cíclica D seja satisfeita.

O leiaute do divisor de correntes é apresentado na Figura 65, suas dimensões são de $160,8 \mu\text{m} \times 65,6 \mu\text{m}$. Perceba o tamanho dos transistores na parte destacada, eles formam o espelho de saída para a corrente I_{REF} .

Figura 65 – Leiante do circuito divisor de correntes.



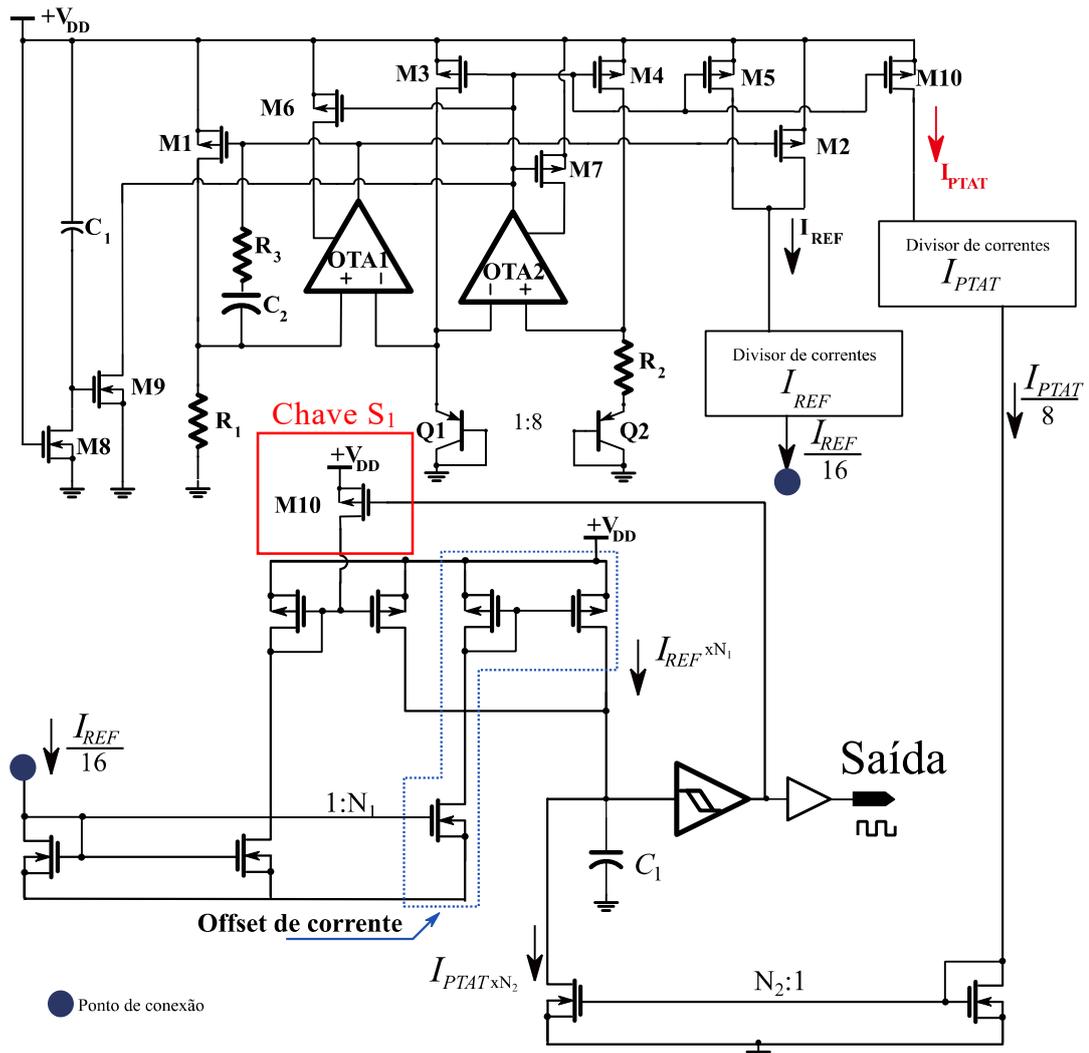
Fonte: Autoral.

Perceba que os transistores destacados pelo tracejado da figura acima possuem um L maior do que os demais. Isso foi necessário para mantê-los em saturação pois eles compõem o espelho de corrente de saída cuja corrente é baixa. Caso contrário, a corrente não seria copiada adequadamente.

4.5.6.1 Sensor completo

O esquemático completo do sensor é apresentado na Figura 66, perceba o esquema do *offset* (retângulo azul) de corrente utilizado para aumentar a faixa de trabalho da razão cíclica. A chave S_1 está destacada pelo retângulo vermelho. Os divisores de corrente foram representados por caixas, por questão de espaço.

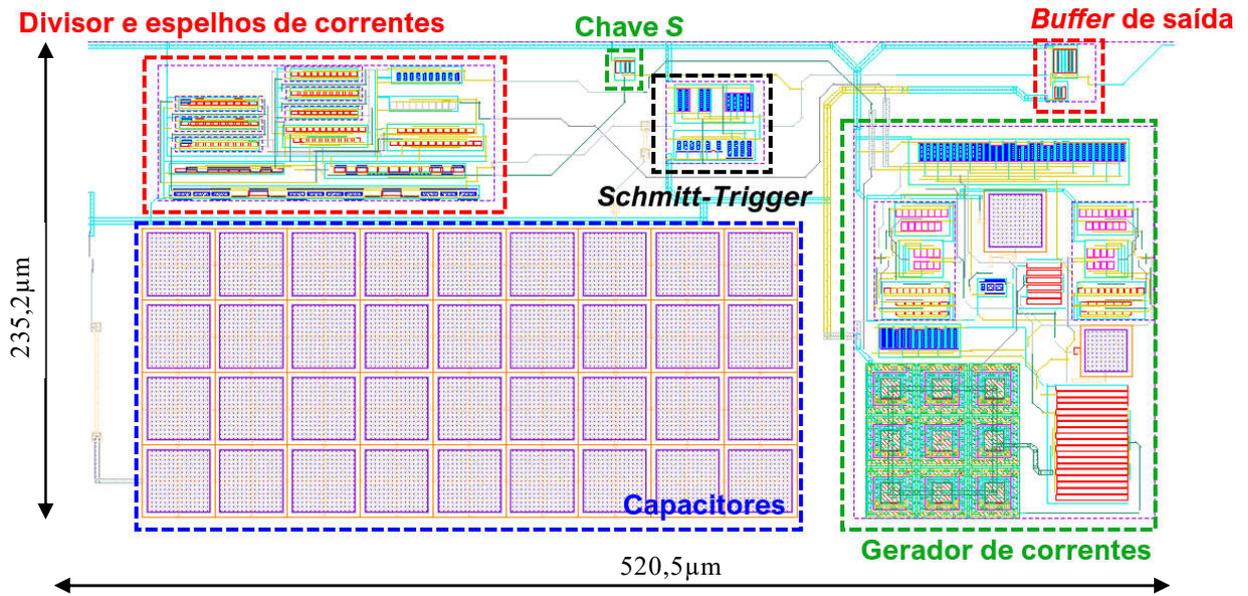
Figura 66 – Esquemático completo do sensor.



Fonte: Autoral.

A Figura 67 apresenta o leiaute do sensor, cuja área total é de $235,2 \mu\text{m} \times 520,5 \mu\text{m}$. Os capacitores são destacados pelo retângulo em azul, estes, são os componentes que mais ocupam área. Nos retângulos em vermelho estão destacados o divisor e espelhos de corrente, juntamente com o *buffer* de saída. Em preto está o *Schmitt-trigger* e em verde, o circuito gerador de correntes.

Figura 67 – Leiaute do sensor em vista completa.

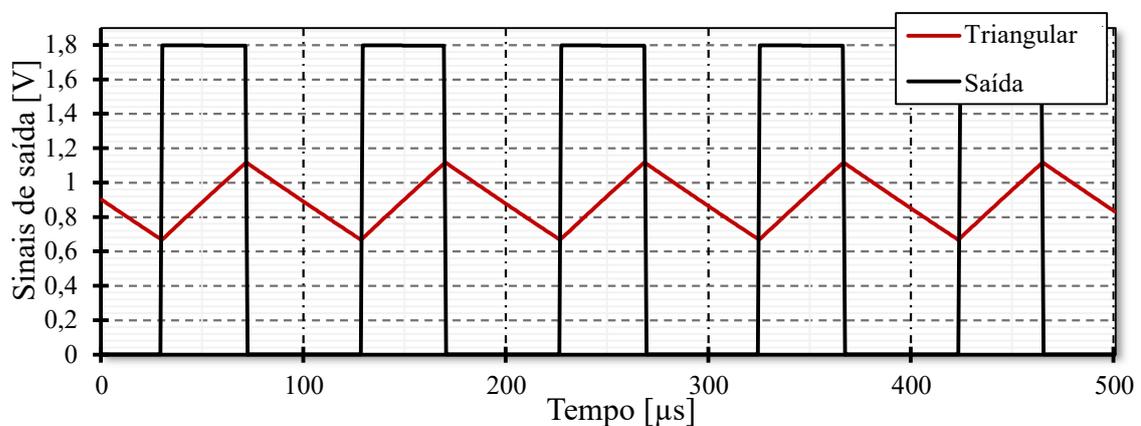


Fonte: Autoral.

4.5.6.2 Sensor Completo - Resultados de simulação

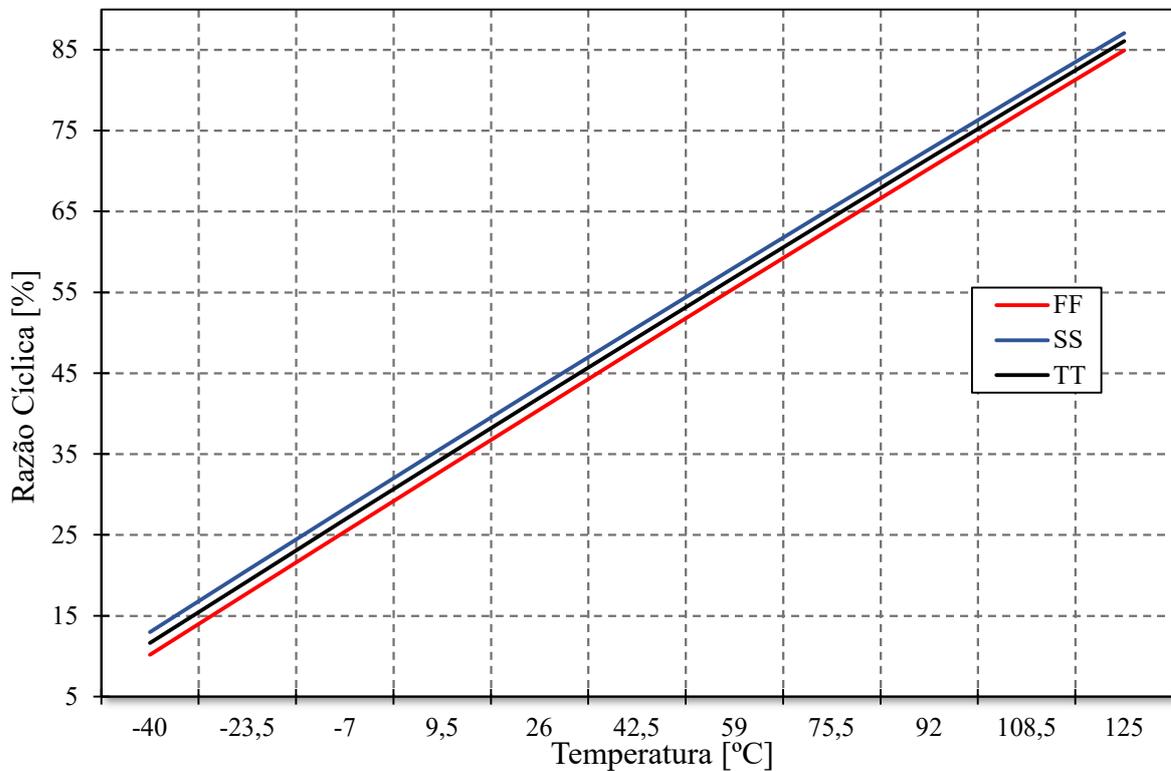
Nesta seção serão apresentados os principais resultados de simulação do sensor de temperatura.

A Figura 68 apresenta os sinais de saída do sensor e a tensão sob o capacitor C_1 . A simulação realizada para obter esses resultados foi para uma T_A de 25 °C. O *buffer* utilizado na saída do sensor, tem uma influência no atraso do sinal modulado de 5,08 ns, tendo pouco impacto no resultado.

Figura 68 – Sinal de saída em preto, tensão sob o capacitor C_1 em vermelho.

A Figura 69 apresenta os resultados de simulação em *corners* variando a temperatura de $-40\text{ }^{\circ}\text{C}$ até $125\text{ }^{\circ}\text{C}$, utilizando a vista do leiaute extraído.

Figura 69 – Resultados para simulação em *corners* do sensor de temperatura.

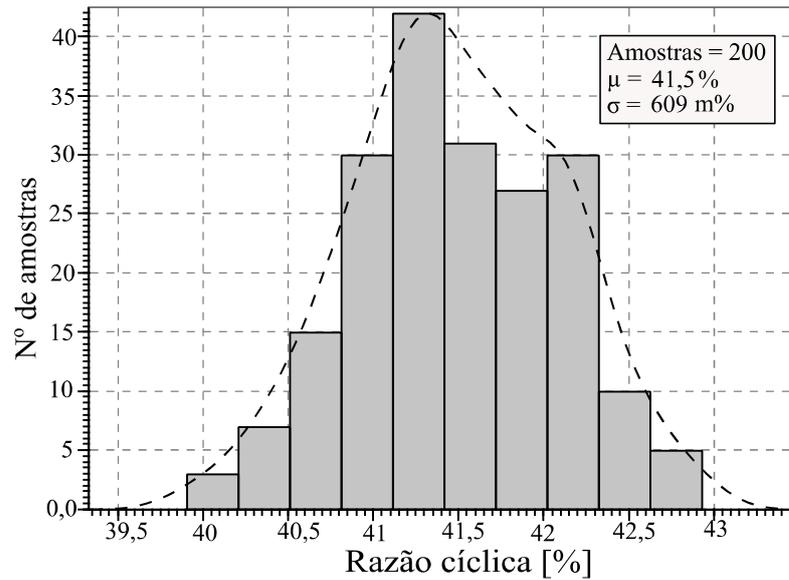


Fonte: Autoral.

Para uma T_A de $42,5\text{ }^{\circ}\text{C}$ a razão cíclica (D) obtida é de $49,42\%$ no *corner* típico, para o *corner ss*, esse valor foi de $50,7\%$ e para o *corner ff*, foi de 48% . Percebe-se que os valores da razão cíclica D são próximos aos 50% propostos para o ponto médio da faixa de trabalho do sensor. Analisando os resultados apresentados na figura, para uma T_A de $25\text{ }^{\circ}\text{C}$, o erro estimado na medida é de $\pm 3\text{ }^{\circ}\text{C}$.

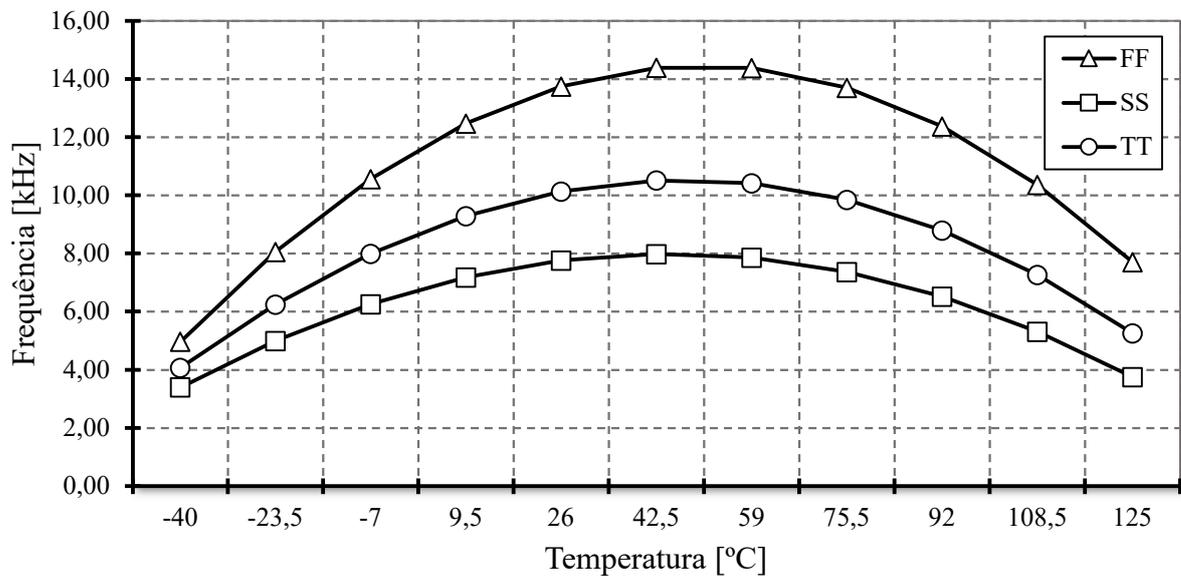
A faixa de variação da razão cíclica para o *corner* típico foi de $74,45\%$, para *corner ss* foi de 74% e para *ff*, foi de $74,75\%$. Os resultados indicam uma faixa de variação $6,25\%$ menor do que o planejado (80%). Porém, como foi proposto que a razão cíclica variasse de 10% a 90% , com esses resultados, o sensor continua operando em faixa segura, pois possui uma margem de segurança, superior a $\pm 10\%$ de variação na razão cíclica.

A Figura 70 apresenta os resultados de simulação da análise de *Monte Carlo* realizada para a razão cíclica do sensor, considerando uma T_A de $25\text{ }^{\circ}\text{C}$. Analisando-os, estima-se um erro máximo na medida de temperatura de aproximadamente $\pm 4\text{ }^{\circ}\text{C}$ para 3σ .

Figura 70 – Análise de *Monte Carlo* para a razão cíclica do sensor.

Fonte: Autoral

A Figura 71 apresenta os resultados de simulação para frequência de saída em *corners*. Para o *corner* típico na T_A de 25 °C a frequência foi 10,1 kHz, para o rápido foi de 13,7 kHz e para o lento foi de 7,7 kHz. Os pontos máximos de frequência foram 10,5 kHz, 14,4 kHz e 8 kHz para os *corners* típico, rápido e lento, respectivamente. Todos ocorreram na temperatura de 42,6 °C, a qual é próxima do ponto médio da faixa dinâmica do sensor. Perceba que os pontos máximos de frequência são próximos aos estipulados na fase de planejamento.

Figura 71 – Resultados de simulação para a frequência de saída do sensor em *corners*.

Fonte: Autoral.

A potência total consumida pelo sensor (obtida através das simulações) é de $586 \mu\text{W}$ para uma T_A de $25 \text{ }^\circ\text{C}$. A energia consumida por amostra de temperatura é de $58,07 \mu\text{J}$. Ou seja, comparando este trabalho com outros no estado da arte, o consumo é considerado alto [30]-[35]. Porém, o objetivo do projeto foi desenvolver um sensor para caracterização tanto de seus sub-blocos internos, quanto do sensor em si, ou seja, o foco não foi em um melhor desempenho energético do sensor, portanto não é válido compará-lo com os outros sensores.

Porém, em novas versões, este consumo pode ser reduzido já que não haverá necessidade de caracterizar blocos específicos. Além disso, o projeto não foi concebido para contemplar sistemas que utilizem baterias para alimentação, como por exemplo *IoT*, onde o consumo seria um grande problema.

4.6 Conclusão do capítulo

Este capítulo apresentou o projeto e o desenvolvimento do sensor de temperatura, contemplando o fluxograma apresentado no capítulo anterior. Uma etapa adicional apresentada foi o planejamento do sensor, que serviu como suporte para a definição das especificações preliminares.

Na extração de parâmetros, o gráfico de *Gummel* norteou a escolha adequada da corrente I_C , pois como os *TBJs* são os elementos sensores estes devem operar de forma segura evitando entrar em regiões de baixo nível ou alto nível de injeção de portadores.

O projeto dos sub-blocos, gerador de correntes, *Schmitt trigger*, chave S_I e divisor de correntes também foi apresentado. O bloco gerador de correntes consome $163,5 \mu\text{W}$ para uma T_A de $25 \text{ }^\circ\text{C}$. O valor nominal das correntes I_{REF} e I_{PTAT} foi de $20,1 \mu\text{A}$ e $10 \mu\text{A}$, respectivamente. O *TC* da corrente I_{REF} foi $48 \text{ ppm}/^\circ\text{C}$ e a não-linearidade de I_{PTAT} foi de apenas $0,17\%$, sendo ambos considerados satisfatórios (considerando um $TC < 100 \text{ ppm}/^\circ\text{C}$ e que a não-linearidade é próxima de 0%). Porém, as simulações de *corners* e *Monte Carlo* apresentam variações que podem afetar o funcionamento do sensor caso ocorram. Estas serão comentadas nas próximas seções, a fim de confrontar os dados.

Outro bloco importante desenvolvido neste capítulo foi o *Schmitt trigger*, que apresenta consumo de aproximadamente $259,1 \mu\text{W}$ (para uma entrada de 610 mV a $1,15$

V) e uma T_A de 25 °C. Porém, alterando a condição do sinal de entrada (para uma entrada de 0 V a 1,8 V), este sub-bloco consome 81,13 μ W; isso ocorre, pois, nessa nova condição, o consumo dinâmico é menor. Além disso, as simulações da histerese do *Schmitt trigger* para *corners* e *Monte Carlo* apresentam variações. Para simulação em *corners*, o valor nominal da histerese foi de 467 mV e o pior resultado, foi obtido no *corner ff* com uma variação de até 7,9 % ou 37 mV. Para *Monte Carlo* o valor médio da histerese foi de 459 mV, ou seja, 8mV menor do que o nominal em *corners*, o que indica uma diferença nas simulações. As variações da histerese para *Monte Carlo* foram de 7,9% abaixo de 459 mV e 11,3% acima. O que a princípio impactaria no valor da frequência de trabalho, porém as correntes I_{REF} e I_{PTAT} e o capacitor C_I tem maior influência.

Analisando os resultados de simulação do sensor e baseando-se inicialmente na análise de *corners*, estima-se um erro máximo na medida de temperatura de aproximadamente ± 3 °C. Contrapondo esses dados com a análise de *Monte Carlo*, esse erro chega a ± 4 °C após fabricação. Como se trata de estratégias de simulação diferentes, essa discrepância entre elas é normal. Porém, confrontando esses dados com os obtidos através da simulação de *corners* e *Monte Carlo* no bloco gerador de correntes, os erros na razão cíclica esperados após fabricação do *CI*, são superiores a $\pm 10\%$. O que reflete um erro da medida de temperatura, de aproximadamente ± 9 °C.

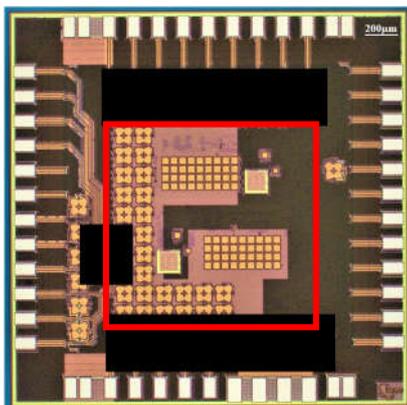
Capítulo 5 Resultados experimentais

Este capítulo apresenta os resultados da caracterização dos sensores, sub-blocos e componentes fabricados.

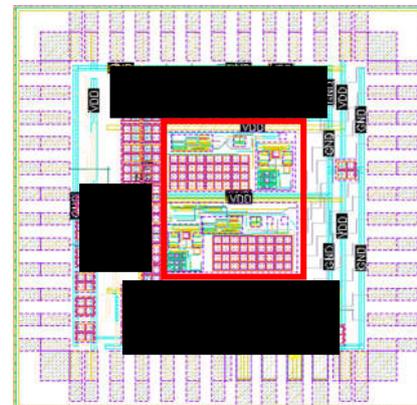
5.1 Sensores fabricados

Para realizar a caracterização, três amostras encapsuladas foram utilizadas, cada uma possui o sensor e seu equivalente com os sub-blocos fornecendo acesso externo. O sensor foi utilizado nos testes de medida da temperatura incluindo variáveis como a linearidade, sensibilidade e erro, por exemplo. O sensor na versão foi utilizado para a caracterização dos sub-blocos. A princípio, essa versão poderia fornecer mais sensores através da conexão de seus sub-blocos, porém, notou-se que estas conexões, ao serem realizadas externamente, possuíam uma resistência que acabou afetando o comportamento do sensor. Apesar disso, os testes foram realizados como planejado e apresentam resultados de variação entre CI . Não há como afirmar que o sensor e seu equivalente sofreram as mesmas variações nos mesmos circuitos, porém, é possível entender os desvios nas medidas e na fabricação. A Figura 72 – (a) apresenta uma microfotografia do CI fabricado. O sensor e seu equivalente são destacados pelo retângulo vermelho. Os retângulos pretos na foto escondem os circuitos desenvolvidos por outro grupo de pesquisa. A Figura 72 – (b) apresenta o leiaute do CI com suas interconexões. Através das imagens, percebe-se que os sensores estão posicionados mais ao centro, a fim de aproveitar melhor a área de propagação do calor.

Figura 72 – Sensor de temperatura.



(a)



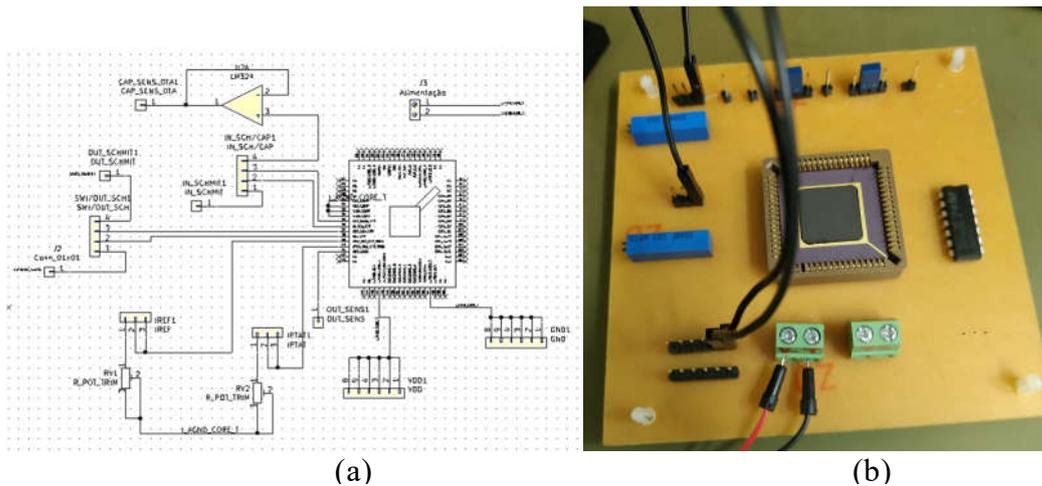
(b)

Fonte: Microfotografia por Valério Maronni Salles.

5.2 Configuração da bancada utilizada para as medidas

Para realizar os testes, uma placa de circuito impresso foi confeccionada, a qual permitiu conectar ou desconectar os sub-blocos do sensor, através do uso de *jumpers*. O esquemático da placa é apresentado na Figura 73. O *software* utilizado tanto para confeccionar o esquemático quanto o leiaute foi o *Kicad*®, por ser *open-source*.

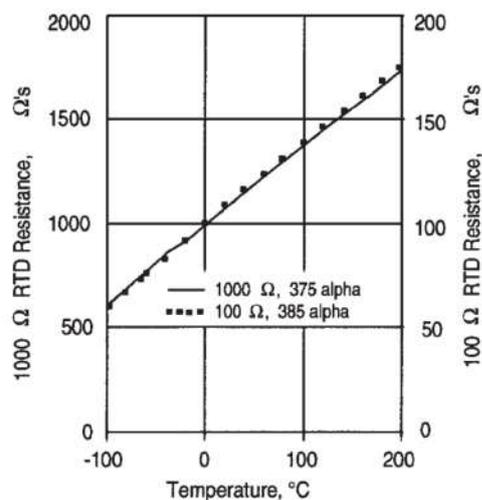
Figura 73 – (a) Esquemático da placa (b) foto da placa confeccionada.



Fonte: Autoral.

O equipamento usado para variar a temperatura foi uma câmara climática *Thermotron* © SM-1.0-3800. Os sensores foram polarizados com 1,8 V através de uma fonte E3648A da *Agilent*®. Como referência de temperatura, foi utilizado um sensor HEL-775 da *Honeywell* ©, do tipo resistivo, fabricado em platina. A curva de variação da resistência com relação à temperatura é apresentada na Figura 74:

Figura 74 – Comportamento do termistor de referência.



Fonte: *Datasheet* do sensor HEL-775 de propriedade da *Honeywell*®

O sensor de referência foi medido na configuração de 4 fios, através de um multímetro digital modelo 34401A da *Agilent*®, que também foi utilizado para realizar as medidas de corrente do bloco gerador de correntes. Os sinais de entrada do *Schmitt trigger* foram gerados por um gerador de funções 8116A da *Hewlett Packard*®. A razão cíclica do sensor foi medida através de um osciloscópio de fósforo digital modelo DPO 2014 da *Tektronix*®, que também foi utilizado para medir a histerese do *Schmitt trigger*. As medidas de temperatura foram feitas na faixa de 16 °C até 87 °C, por ser uma faixa segura de operação da câmara.

A Figura 75 apresenta uma foto da configuração utilizada na caracterização do sensor e do seu equivalente. No momento, o *Schmitt trigger* estava sendo caracterizado, como se trata de um *CI* com circuitos compartilhados, a corrente que aparece no painel da fonte de alimentação não representa o consumo do sensor apenas.

Figura 75 – Disposição dos equipamentos utilizados para caracterizar o sensor.



Fonte: Autoral.

A seguir, os resultados da caracterização dos seguintes blocos serão apresentados:

- Capacitâncias;
- Gerador de correntes;
- *Schmitt trigger*;
- Sensor de temperatura.

5.3 Capacitâncias

Na fase de dimensionamento dos componentes, uma capacitância de 65 pF foi obtida através da equação (18), a fim de satisfazer a condição de frequência escolhida. Após a fabricação, foram realizadas medidas de capacitância utilizando uma ponte *RLC* 4263B da *Agilent*®, a fim de verificar a ocorrência de variação. A Tabela 7 apresenta os resultados de medida das capacitâncias nas três amostras.

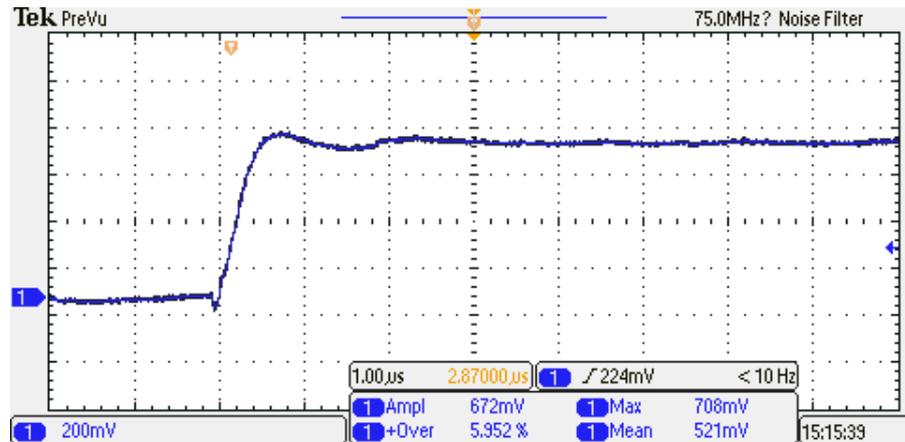
Tabela 7 – Medida das capacitâncias de três amostras fabricadas

| Nº da amostra | Capacitância | Variação |
|---------------|--------------|----------|
| 1 | 60,46 pF | 6,98% |
| 2 | 58,53 pF | 9,95% |
| 3 | 61,30 pF | 5,69% |

Como não foram empregados componentes *dummy* no leiaute, os capacitores sofreram com as variações de processo, conforme apresentado na Tabela 7. A maior discrepância foi no capacitor da amostra 2, que foi de aproximadamente 10% de variação.

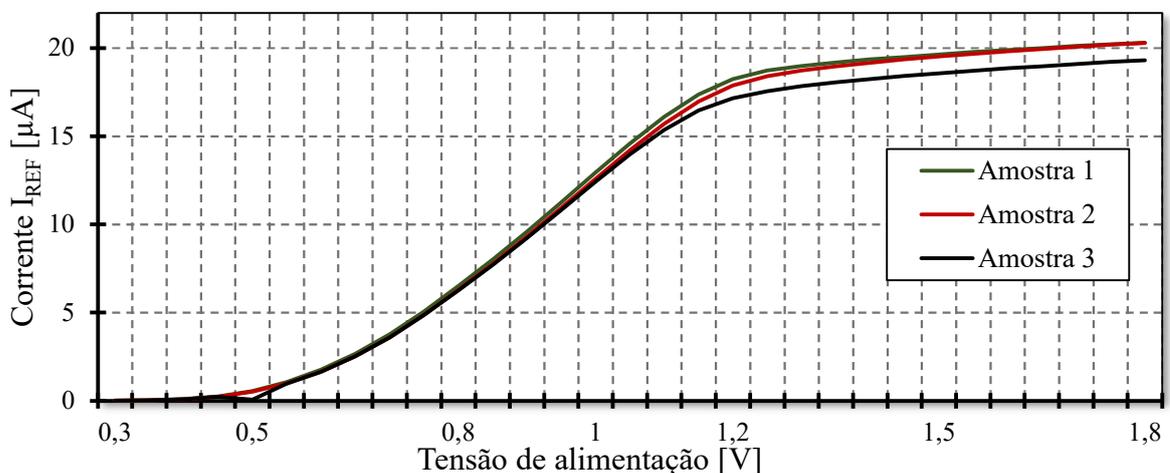
5.4 Gerador de correntes

A Figura 76 apresenta a resposta de I_{REF} para um pulso de entrada na alimentação. Perceba que o circuito é estável com um *overshoot* mínimo. A medida foi feita utilizando um potenciômetro ajustado para aproximadamente 1,3 k Ω conectado à saída do gerador de correntes, dessa forma o gráfico da Figura 76 apresenta uma tensão ao invés de uma corrente. Medindo a amplitude do sinal, obteve-se 672 mV que, divididos pela resistência relatada, apresenta uma corrente de aproximadamente 500 μ A.

Figura 76 – Resposta ao impulso na tensão de alimentação para I_{REF} .

Fonte: Autoral.

A Figura 77 apresenta o comportamento de I_{REF} com relação à variação da tensão de alimentação. A medida das três amostras foi muito próxima, para as amostras 1, 2 e 3 os valores finais foram de 20,31 μA , 20,30 μA e 19,31 μA , respectivamente. Os valores apresentados no gráfico foram divididos por 250, pois o nível da corrente de saída do CI era de aproximadamente 500 μA . Tomando o valor nominal da corrente (20,12 μA) apresentado na Figura 45, obtemos as seguintes discrepâncias entre simulação e resultados experimentais: 0,94%, 0,89% e 4,02% para as amostras 1, 2 e 3, respectivamente. Os resultados para I_{REF} foram satisfatórios, esperava-se uma discrepância de até 11,25% na corrente I_{REF} , porém, como exposto, esse valor ficou abaixo de 1% para duas amostras, sendo a terceira o maior, porém abaixo do obtido na simulação de *Monte Carlo*. Apesar de a amostra três apresentar a maior diferença entre simulação e caracterização, o seu TC não foi afetado, como será exposto adiante.

Figura 77 – Comportamento de I_{REF} em relação à variação na tensão de alimentação.

Fonte: Autoral.

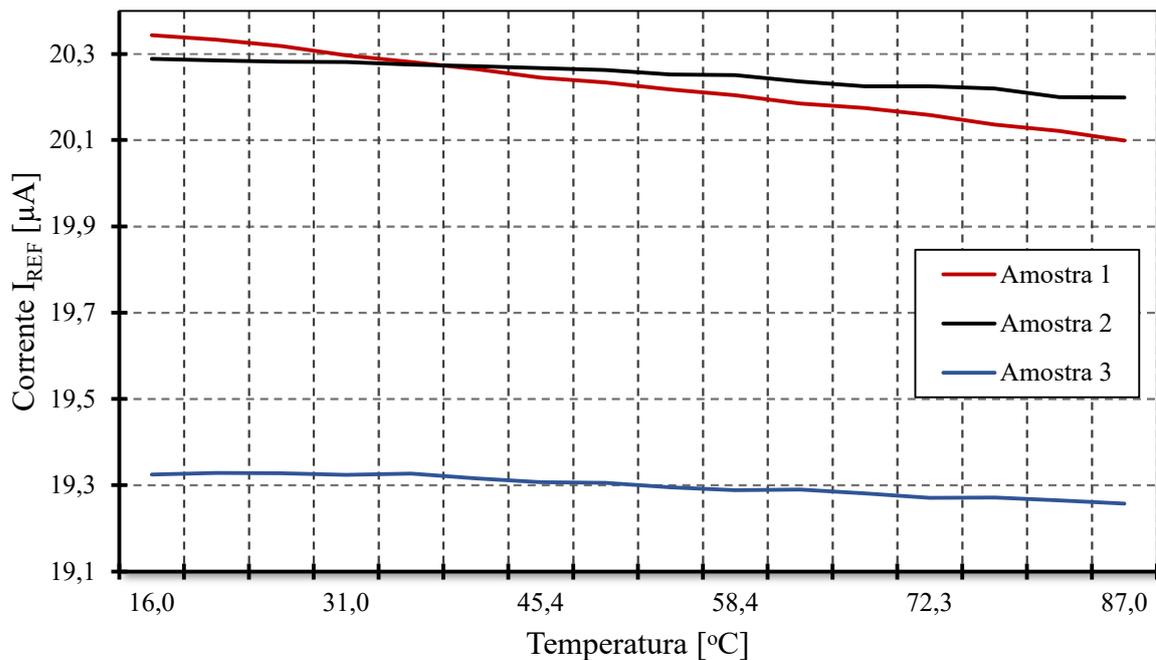
A Figura 78 apresenta o comportamento de I_{REF} em relação à temperatura. Percebe-se que tanto a amostra 1, quanto a 2 possuem amplitudes análogas. A maior diferença está na amostra 3. Porém o comportamento das correntes medidas nas três amostras é decrescente, como o esperado. Além disso os TCs obtidos experimentalmente ficaram próximos do valor de 48 ppm/°C da simulação, como apresentado na Tabela 8.

Tabela 8 – Coeficientes de temperatura obtidos experimentalmente.

| Amostra | TC [ppm/°C] |
|---------|---------------|
| 1 | 169,14 |
| 2 | 48 |
| 3 | 52 |

A amostra 1, apresentou um TC maior, o que impacta diretamente na medida da temperatura. Apesar de o circuito não ter nenhuma técnica de *trimming* ou calibração, seus resultados comprovam o possível uso desse circuito não apenas como referência de corrente ou tensão (através do uso de resistores em sua saída), mas também, como um bloco de polarização, estável em temperatura e tensão de alimentação.

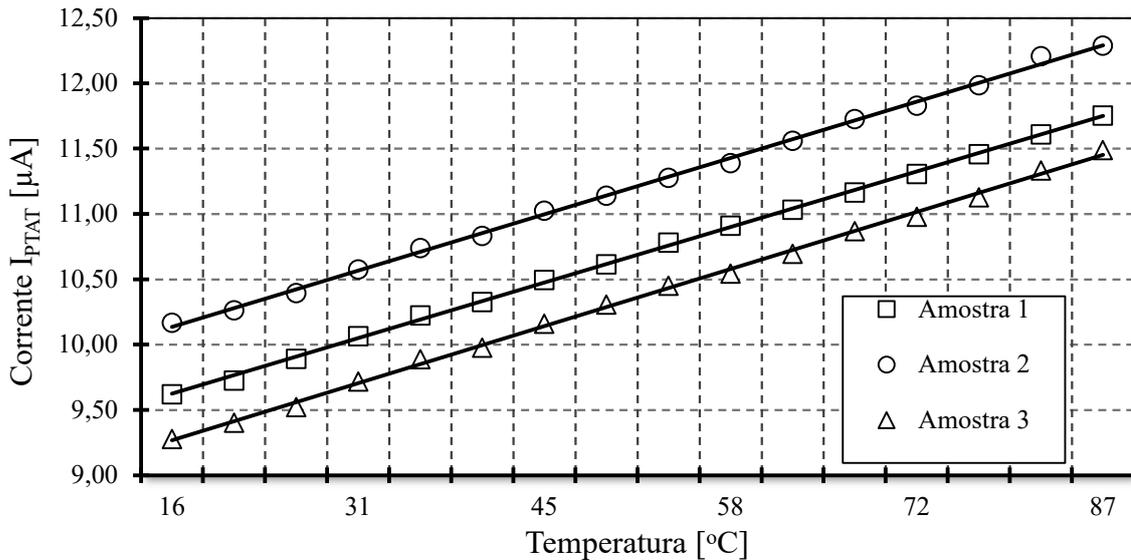
Figura 78 – Comportamento de I_{REF} em relação à variação da temperatura.



Fonte: Autoral.

A Figura 79 apresenta o comportamento da corrente I_{PTAT} em relação à temperatura. Perceba que há um *offset* entre cada curva, o que resultou em erros de -3 % e + 6,7% nos valores da corrente. Esses erros têm impacto direto na medida da temperatura, somando parcelas à razão cíclica que estão entre -5,24% a +7%.

Figura 79 – Comportamento de I_{PTAT} em relação à variação da temperatura.

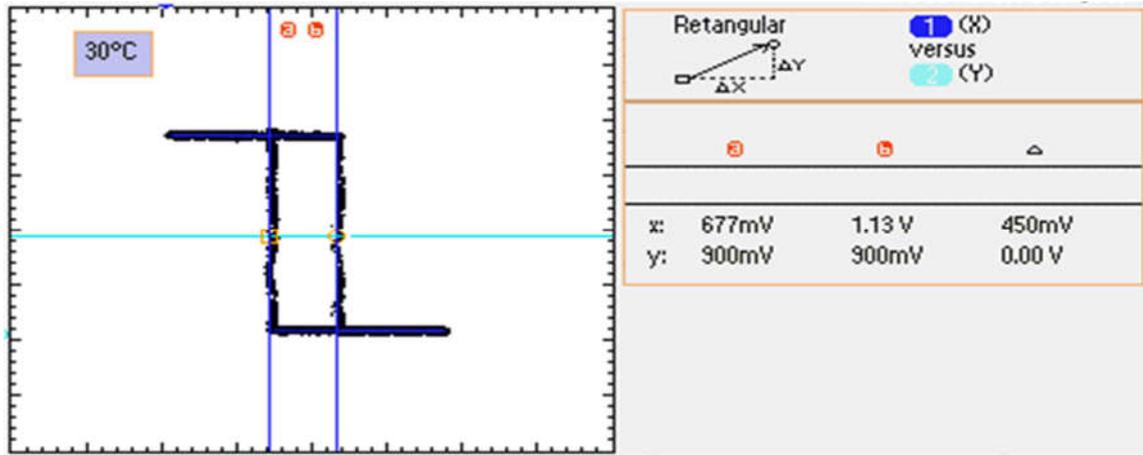


Fonte: Autoral.

A não-linearidade foi de 0,41%, 0,44% e 0,4% para as amostras 1, 2 e 3, respectivamente. Apesar de a amostra 2 possuir a maior não-linearidade, esse resultado não tem tanto impacto na medida da temperatura como será apresentado mais adiante.

5.5 Schmitt trigger

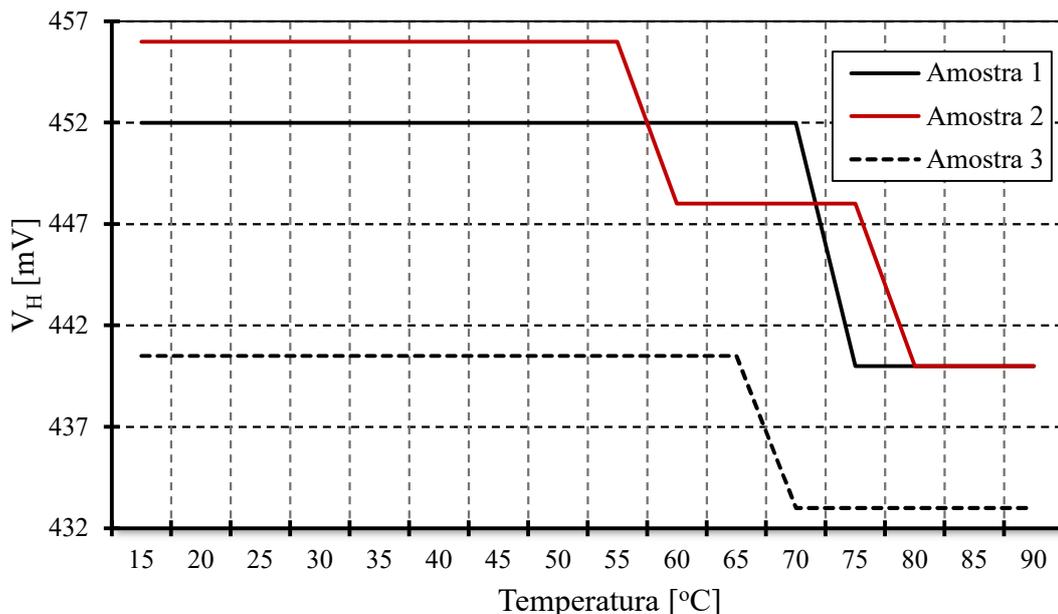
A janela de histerese é apresentada na Figura 80, resultando em aproximadamente 450 mV medidos no gráfico, que possui uma diferença de 17 mV ou 3,6% de diferença em comparação aos valores obtidos na simulação pós leiaute.

Figura 80 – Janela de histerese para uma T_A de 30 °C.

Fonte: Autoral.

Foi realizado um teste com as três amostras para verificar as mudanças da histerese em relação à variação da temperatura. Os resultados são apresentados na Figura 81. Para até 50 °C, o V_H das três amostras foi de 452 mV, 456 mV e 440,5 mV para as amostras 1, 2 e 3, respectivamente. Após isso, houve duas variações para 440 mV e 433 mV para as amostras 1 e 2 e três variações para a amostra 3. Essas variações impactam na frequência do sinal de saída, porém não são um problema para a medida da temperatura.

Figura 81 – Medidas da histerese em relação à variação de temperatura.

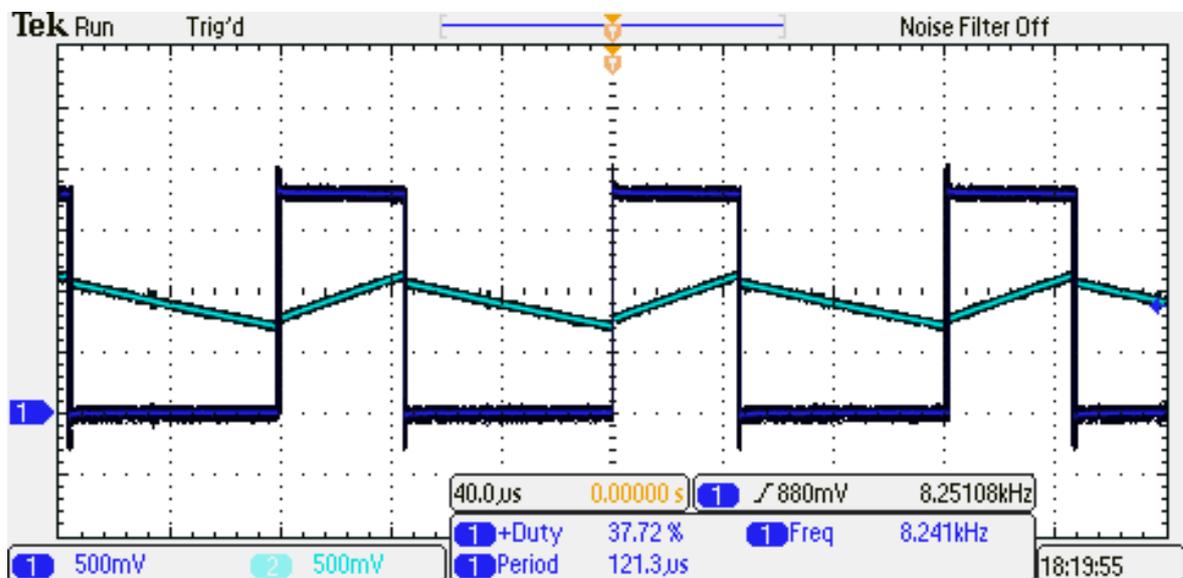


Fonte: Autoral.

5.6 Sensor de temperatura

A Figura 82 apresenta o funcionamento do sensor para uma T_A de 24 °C, a razão cíclica foi de aproximadamente 38% e a frequência de 8,24 kHz. A forma de onda em azul escuro é a saída do sensor de temperatura, e a outra, em azul claro, é a tensão sob o capacitor C_I . O comportamento das curvas, apresentado na Figura 82, está de acordo com o resultado de simulação apresentado na Figura 68. Há pequenos picos nas transições tanto da borda de subida, quanto na descida, que se devem à capacitância da ponteira do osciloscópio. Outro ponto a destacar é que para uma T_A de 24°C a razão cíclica deveria ser de 41%, essa discrepância se deve à ausência de calibração no sensor.

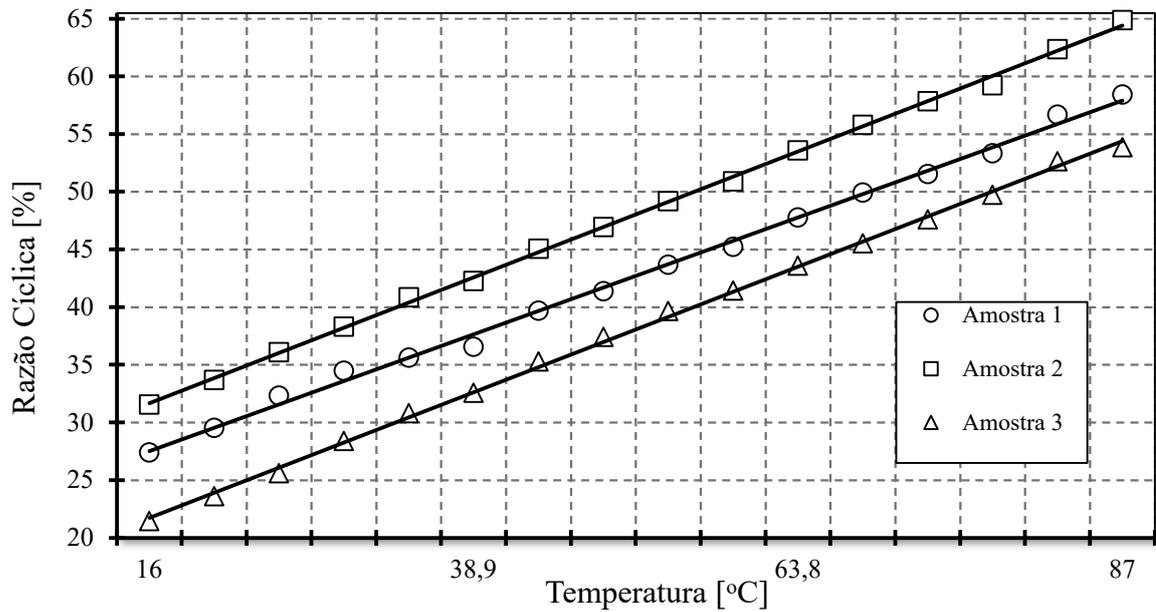
Figura 82 – Medida do sinal de saída e tensão sob o capacitor C_I .



Fonte: Autoral.

A Figura 83 apresenta as mudanças da razão cíclica (D) em relação à temperatura. A sensibilidade é de 0,437 %/°C, 0,469 %/°C e 0,465 %/°C para as amostras 1, 2 e 3, respectivamente. Observando a figura, percebe-se um *offset* entre as curvas. O valor mínimo dele é de 4,6% entre as amostras 1 e 3, e o máximo é de 10,5% entre as amostras 2 e 3. Esse efeito aconteceu devido à falta de calibração, além disso, é possível que os *TBJs* tenham entrado na região de *alto nível de injeção de portadores* afetando I_c e V_{BE} . Contudo, isso resultou em erros que variam de 6% até 16% na razão cíclica. Confrontando estes dados com as simulações de *corners* e *Monte Carlo* do sensor, houve uma variação maior do que o previsto, que era de $\pm 1,83$ %.

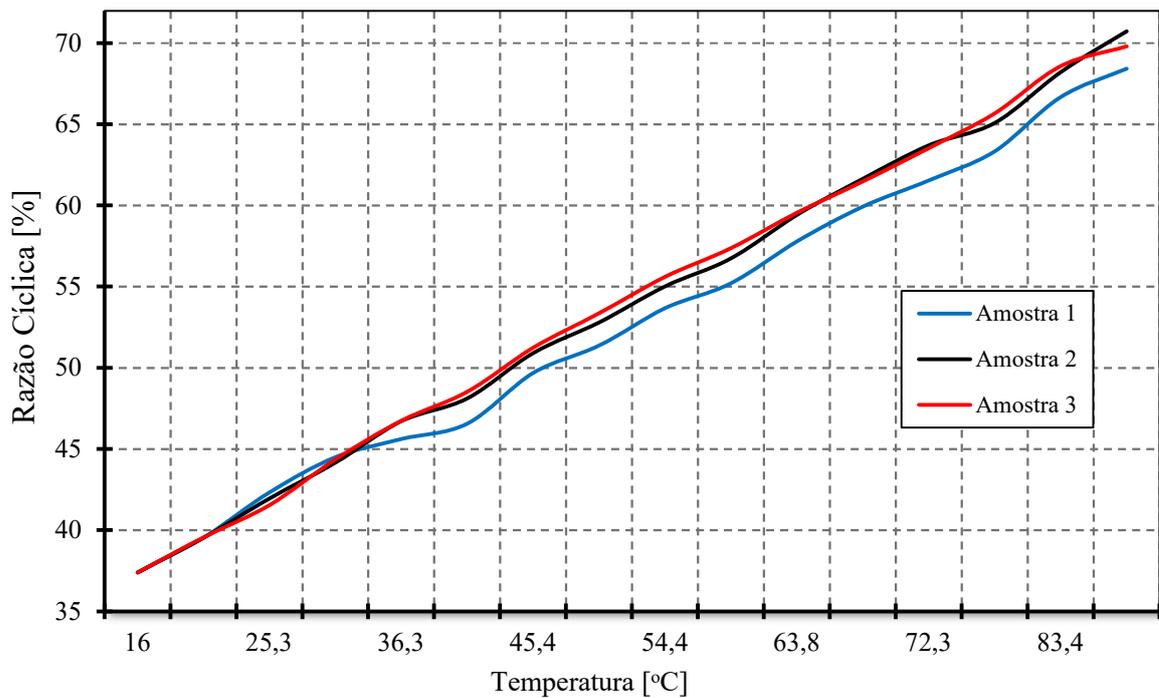
Figura 83 – Mudança da razão cíclica em relação à variação de temperatura.



Fonte: Autoral.

Como apresentado na Figura 83, houve discrepâncias entre as medidas de cada amostra do sensor. A fim de obter uma exatidão maior, utilizou-se a técnica de calibração de um ponto, por *software*. A curva de referência para a calibração foi a simulação em *corners* típica, apresentada na Figura 69. As medidas são apresentadas na Figura 84.

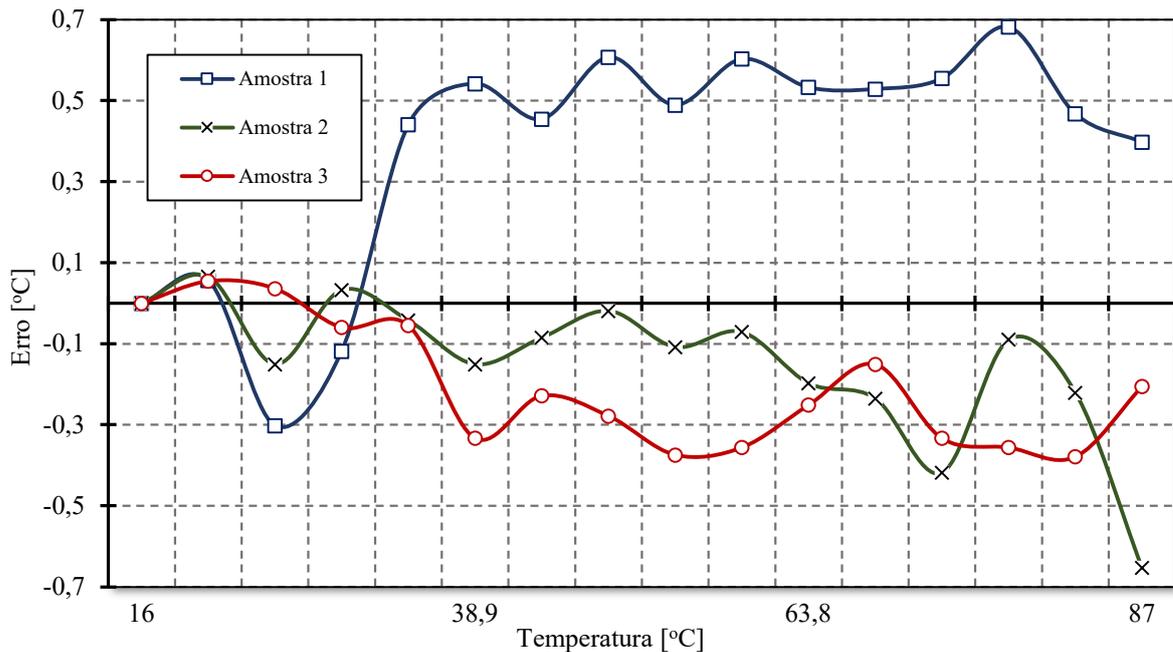
Figura 84 – Medidas da razão cíclica após calibração.



Fonte: Autoral.

A Figura 85 apresenta o erro em °C na medida da temperatura para as três amostras. O erro máximo é de 0,68 °C e acontece na amostra 1, que coincidentemente é a mesma amostra em que I_{REF} apresentou um T_C maior. A amostra 2 também possui um ponto onde o erro é maior, este acontece a 87 °C e corresponde a -0,65 °C.

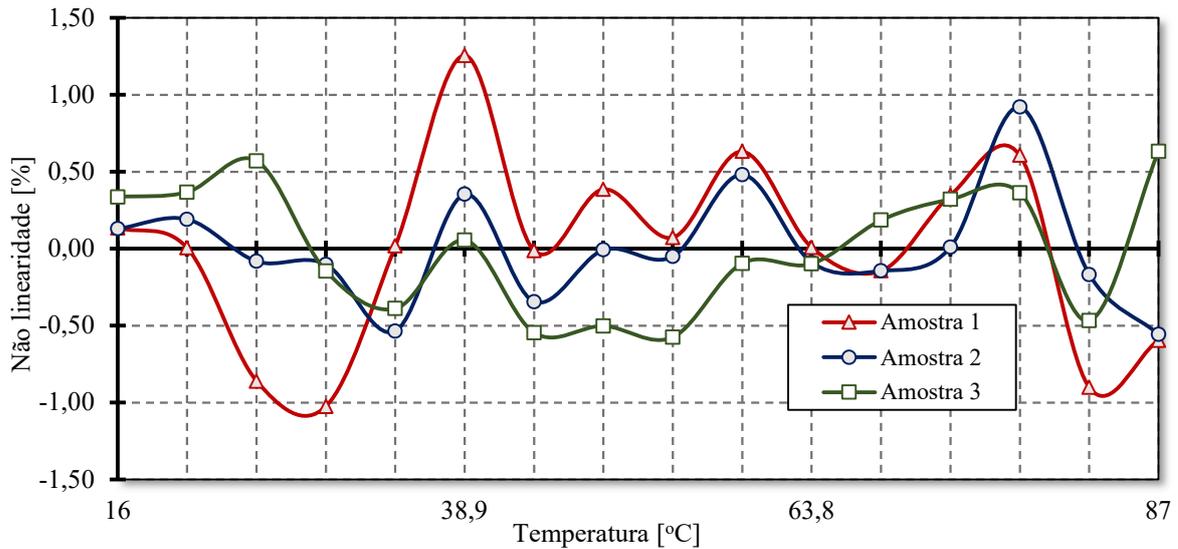
Figura 85 – Erro em °C na medida de temperatura após a calibração.



Fonte: Autoral.

A Figura 86 apresenta a não-linearidade das medidas para as três amostras, sendo a pior delas encontrada na amostra 1, variando de -0,18% a um máximo de 1,54%. Já a amostra 2 apresentou uma máxima de 1,13% e a mínima também de -0,18%. A melhor não-linearidade foi a da amostra 3, que se manteve entre -0,12% à 0,77%. Porém, esses são os valores mínimo e máximo, observando a Figura 86, percebe-se que as amostras 2 e 3, ficam mais próximas do eixo do que a amostra 1. Coincidentemente, foi nesse mesmo CI que o circuito gerador de correntes, apresentou um T_C cerca de três vezes maior que os presentes nas outras duas amostras.

Figura 86 – Não-linearidade na medida de temperatura.



Fonte: Autoral.

Os resultados de sensibilidade para as amostras 1, 2 e 3 são, respectivamente, $0,437\% / ^\circ\text{C}$, $0,469\% / ^\circ\text{C}$ e $0,456\% / ^\circ\text{C}$,

5.7 Conclusão do capítulo

Este capítulo apresentou os resultados da caracterização do sensor para três amostras. A caracterização foi realizada com o auxílio de uma câmara climática, variando a temperatura em uma faixa de 16°C até 87°C . Três sub-blocos foram caracterizados: gerador de correntes, *Schmitt trigger* e o capacitor C_1 .

Observando os resultados de medida dos capacitores, percebeu-se uma variação de $5,69\%$ até $9,95\%$ na capacitância. Isso ocorreu, devido à falta de uso de capacitores *dummy* no leiaute.

O *Schmitt trigger* apresentou discrepâncias entre os valores nominais obtidos na caracterização com aqueles obtidos na simulação. Nas simulações em *corners*, a histerese nominal (V_H) indicou valores entre 430 mV e 500 mV . Na caracterização, a histerese nominal (V_H) ficou entre 440 mV a 456 mV , porém na análise de *Monte Carlo* o V_H foi de $459\text{ mV} \pm 45\text{ mV}$, convergindo com os resultados da caracterização. Mesmo havendo discrepância, os valores obtidos através da caracterização e da simulação de *Monte Carlo* ficaram próximos.

O bloco gerador de correntes apresentou resultados próximos aos obtidos nas simulações, a corrente I_{REF} variou de 19,31 μA para até 20,31 μA , as discrepâncias entre simulação e resultado da caracterização variaram aproximadamente 0,9% para duas amostras e aproximadamente 4% para uma. Um ponto importante a se destacar é o comportamento de I_{REF} em relação à variação da tensão de alimentação. Nas simulações, I_{REF} se mostrou com valor nominal e estável a partir de 900 mV, o mesmo não foi observado na caracterização, onde I_{REF} atingiu a estabilidade em aproximadamente 1,6 V.

Os TCs de I_{REF} para a amostra 1 e 2 foram próximos do valor obtido através das simulações (48 ppm/ $^{\circ}\text{C}$), apenas a amostra 3 teve resultados discrepantes, com um TC de 169,14 ppm/ $^{\circ}\text{C}$, cerca de três vezes maior do que das outras amostras. Além disso, I_{PTAT} mostrou discrepância entre as simulações, assim como, entre as amostras. Observou-se um *offset* de -3% a + 6,7% entre elas. Indicando necessidade de calibração e *trimming*, pois as outras características não foram afetadas. Como por exemplo, a não-linearidade da corrente que foi de aproximadamente 0,4% para todas as amostras medidas.

E por fim, os resultados da caracterização do sensor de temperatura para as 3 amostras foram apresentados. O comportamento do sinal de saída e do sinal sob o capacitor C_I , é igual ao encontrado através da simulação. Porém, é importante ressaltar que as curvas da razão cíclica em relação à variação da temperatura apresentaram *offset* entre si. O valor mínimo é de 4,6% entre as amostras 1 e 3, e o máximo é de 10,5% entre as amostras 2 e 3. Porém, os erros de medida, tomando os resultados da simulação em *corners* típicos, resultam em um erro na razão cíclica que fica entre -6% a -16% ou 15 $^{\circ}\text{C}$ a 35 $^{\circ}\text{C}$ na temperatura, ou seja, muito superior ao previsto pela simulação de *Monte Carlo*. Esse resultado evidencia a dependência da razão cíclica com a corrente I_{PTAT} . Após calibração de um ponto em cada curva, o erro ficou em $\pm 0,68$ $^{\circ}\text{C}$, com uma não linearidade máxima de 1,54%, comprovando a necessidade de calibração.

Conclusão

Diante de todo o exposto, conclui-se que os objetivos do trabalho foram alcançados. O projeto do sensor de temperatura seguiu a metodologia apresentada nos capítulos teóricos e ao mesmo tempo todas as amostras disponíveis funcionaram.

Neste trabalho, conceitos e características dos sensores foram definidos, elucidando definições passíveis de erros, como por exemplo: precisão, exatidão e o próprio termo “sensor”.

O texto apresentou quatro componentes semicondutores, utilizados em medidas de temperatura através de circuitos integrados. Destacou suas vantagens e desvantagens além de apresentar trabalhos recentes que os utilizam. Dentre eles, os resistores indicam um possível uso em trabalhos futuros. Contudo, os TBJs foram utilizados nesse trabalho devido às vantagens descritas em capítulo específico. Apesar de haver fortes candidatos para substituí-los, eles ainda são os preferidos para o projeto de sensores de temperatura integrados. Como foi constatado na revisão bibliográfica e na tabela de comparação de desempenho entre sensores.

Com esse trabalho, foi possível descrever a metodologia de projeto de circuitos integrados e apresentar conceitos como o das abordagens *Top-Down* e *Bottom-Up*. O capítulo específico sobre a metodologia utilizou um projeto de circuitos integrados analógico simples, a fim de explicar o fluxo de projetos, para, então, sintetizá-lo em um fluxograma.

O fluxograma serviu como guia de projeto do sensor, onde suas etapas foram aplicadas na prática, como por exemplo, a definição das especificações do sensor e extração de parâmetros dos componentes. Um dos principais destaques dessa etapa foi o gráfico de *Gummel*, pois a partir dele a escolha adequada da corrente I_C foi realizada. Ao mesmo tempo, o projeto dos sub-blocos foi realizado, iniciando essa etapa com o gerador de correntes. Este circuito apresentou resultados satisfatórios e muito próximos das especificações, como, por exemplo, o valor nominal das duas correntes I_{REF} e I_{PTAT} , que foi de 20,1 μA e 10 μA , respectivamente. O TC da corrente I_{REF} foi de 48 ppm/ $^{\circ}C$ e a não-linearidade de I_{PTAT} foi de apenas 0,17%, sendo ambos considerados satisfatórios (levando em consideração um $TC < 100$ ppm/ $^{\circ}C$ e que a não-linearidade é próxima de 0%). Outros blocos como o *Schmitt trigger* apresentaram discrepâncias entre as simulações. Neste

bloco, por exemplo, a histerese nominal verificada em *corner* típico foi de 467 mV, porém na análise de *Monte Carlo* esse valor foi de 459 mV, com variações de 7,9% abaixo de 459 mV e 11,3% acima. O que indica uma possível diferença no modelo utilizado nas simulações. Ao confrontar os resultados de simulação do sensor com os apresentados pelo bloco gerador de correntes, conclui-se que os erros esperados na razão cíclica pós fabricação do *CI* seriam superiores a $\pm 10\%$, ou $\pm 9^\circ\text{C}$.

E por fim, os resultados da caracterização do sensor para três amostras foram apresentados, para três sub-blocos caracterizáveis: gerador de correntes, *Schmitt trigger* e o capacitor C_I . As amostras foram caracterizadas variando a temperatura em uma faixa de 16°C a 87°C .

O capacitor C_I foi afetado em seu valor nominal com variações no processo em cerca de 5,69% a 9,95%. Isso é justificado pela ausência de componentes *dummy* no leiaute. A caracterização do sub-bloco *Schmitt trigger* apresentou uma histerese nominal (V_H) entre 440 mV a 456 mV na caracterização, ficando próximo dos valores estimados por meio da análise de *Monte Carlo* ($459\text{ mV} \pm 45\text{ mV}$). Essas discrepâncias pequenas, podem ser desprezadas pois não refletem erros na medida da temperatura.

A caracterização do gerador de correntes apresentou resultados próximos aos obtidos nas simulações. A corrente I_{REF} , por exemplo, teve valores de $19,31\ \mu\text{A}$ e $20,31\ \mu\text{A}$, os *TCs* para as amostras 1 e 2, foram próximos do obtido através das simulações ($48\text{ ppm}/^\circ\text{C}$). Apenas a amostra 3 teve um *TC* diferente das demais, com um valor de $169,14\text{ ppm}/^\circ\text{C}$. A corrente I_{PTAT} mostrou discrepância entre simulação e circuito fabricado, onde um *offset* de -3% a $+6,7\%$ pôde ser observado entre as amostras.

Os resultados da caracterização do sensor, apresentaram um comportamento do sinal de saída e do sinal sob o capacitor C_I igual ao das simulações. Porém, as curvas da razão cíclica em relação a variação da temperatura apresentaram um *offset* grande entre si. O valor mínimo foi de $4,6\%$ para as amostras 1 e 3, e o máximo foi de $10,5\%$ para as amostras 2 e 3. Considerando essas variações e tomando os resultados da simulação em *corner* típico como referência, os erros na razão cíclica obtidos estão entre -6% e -16% de variação percentual, o que indicou erros de 15°C a 35°C na temperatura. Após calibração de um ponto em cada curva, o erro ficou em $\pm 0,68^\circ\text{C}$, com uma não-linearidade máxima de $1,54\%$, comprovando a necessidade de calibração.

Este trabalho, mostrou a importância do uso do fluxo de projetos de circuitos integrados para o desenvolvimento de um sensor de temperatura. Além da aplicação do fluxo, o emprego das simulações de *corners* e *Monte Carlo* são vantajosas, pois através delas é possível prever problemas futuros, fazendo que o projetista tome as devidas precauções a fim de evitá-los.

O *offset* encontrado entre as curvas da corrente I_{PTAT} presente nas amostras pode ser atribuído a dois fatores: falta de calibração por *hardware* e uma possível variação na polarização dos *TBJs*, que possivelmente fez com que eles entrassem na região de alta injeção de portadores.

Os resultados apresentados nessa dissertação derivam dois caminhos para trabalhos futuros: um deles é explorar as metodologias de projeto utilizadas em circuitos integrados. Empregá-las em tecnologias mais recentes e compará-las, a fim de encontrar um método que facilite principalmente o dimensionamento dos componentes. O outro é fazer o reprojeto do sensor de temperatura, procurando o estado da arte. Como sugestão, as correntes de polarização podem ser menores, a fim de diminuir o consumo de energia, técnicas de autocalibração e de *chopping* podem ser aplicadas no bloco gerador de correntes e a parte de conversão *ADC* pode ser modificada, empregando um conversor *Sigma-Delta* no lugar do *Schmitt-trigger*. Outro ponto que pode agregar a área de projeto de sensores de temperatura integrados, é aprofundar os estudos do uso de resistores como elementos sensores a fim de reduzir suas desvantagens.

Publicações

A seguir, apresentamos uma lista de publicações realizadas durante o período de desenvolvimento deste trabalho.

Trabalhos publicados

DEOTTI, DIEGO; BOHORQUEZ, J. R.; FRUETT, F.; A PWM output temperature sensor. In: 2018 33rd Symposium on Microelectronics Technology and Devices (SBMicro), 2018, Bento Gonçalves. Proceedings, 2018.

BOHORQUEZ, J. R.; TIOL, J. P.; DEOTTI, DIEGO; FRUETT, F. Delta-Sigma modulated output temperature sensor for 1 V voltage supply, 10th IEEE Latin American Symposium on Circuits and Systems (LASCAS), Armenia, Quindío, Colombia, 2019

DEOTTI, DIEGO; BOHORQUEZ, J. R.; FRUETT, F. Design and characterization of a smart temperature sensor, 11th IEEE Latin American Symposium on Circuits and Systems (LASCAS), San José, Costa-rica 2020

DEOTTI, D.; BOHORQUEZ, J. R.; FRUETT, F. A temperature independent current reference for 1 V supply voltage. In: SEMINATEC - XIII Workshop on Semiconductors and Micro & Nano Technology, 2018, São Bernardo do Campo. Workshop Proceedings, 2018. v. 1. p. 73-74.

DEOTTI, D.; BOHORQUEZ, J. R.; FRUETT, F. A smart temperature sensor based on vertical PNP BJT transistors in a 0.18 μ m CMOS process. In: SEMINATEC - XIV Workshop on Semiconductors and Micro & Nano Technology, 2019, Campinas. Workshop Proceedings, 2019.

Bibliografia

- [1] R. Goldstein, “Temperature Sensors Market Report”, 2019. [Online]. Available at: <https://www.goldsteinresearch.com/report/temperature-sensors-market-analysis-report>. [Acessado: 01-set-2019].
 - [2] I. Mordor, “Temperature Sensors Market - Growth, Trends, and Forecast (2020 - 2025)”, *Report*, 2019. [Online]. Available at: <https://www.mordorintelligence.com/industry-reports/temperature-sensors-market-industry>. [Acessado: 09-mar-2020].
 - [3] G. C. M. Meijer, G. Wang, e A. Heidary, “Smart temperature sensors and temperature sensor systems”, *Smart Sensors MEMS Intell. Sens. Devices Microsystems Ind. Appl. Second Ed.*, n° February, p. 57–85, 2018.
 - [4] S. Y. YURISH, “Sensors: Smart vs. Intelligent”, *Sensors & transducers*, vol. 114, p. I–VI, 2010.
 - [5] R. Taymanov e K. Sapozhnikova, “Problems of terminology in the field of measuring instruments with elements of Artificial Intelligence”, *Sensors & Transducers*, vol. 102, p. 51–61, 2009.
 - [6] M. and Markets, “Temperature Sensor Market by Product Type (Bimetallic, Thermistor, IC, RTD, Thermocouple, IR, Fiber Optic), End-User Industry (Oil & Gas, Chemicals, Automotive, Consumer Electronics, Healthcare), and Geography - Global Forecast to 2023”, 2019. [Online]. Available at: <https://www.marketsandmarkets.com/Market-Reports/temperature-sensor-market-522.html>; [Acessado: 09-fev-2019].
 - [7] L. M. de O. Costa, “Temperature Sensor in CMOS Technology”, Técnico Lisboa, 2013.
 - [8] S. Bhansali e A. Vasudev, *MEMS for biomedical applications*. WoodHead Publishing, 2012.
 - [9] J. Fraden, *Handbook of Modern Sensors: Physics, designs, and applications*, 3rd ed. New York: AIP Press, 2003.
 - [10] C. Saint e J. Saint, *IC Mask Design: Essential Layout Techniques*, 1° ed. 2002.
-

-
- [11] F. Fruett e G. C. M. Meijer, *The Piezo Junction Effect in Silicon Integrated Circuits and Sensors*. Boston: Kluwer Academic Publishers, 2002.
- [12] B. Earl, “Calibrating sensors”, *ADAFRUIT*, 2015. [Online]. Available at: <https://learn.adafruit.com/calibrating-sensors/why-calibrate>. [Acessado: 10-dez-2019].
- [13] N. C. Braga, “Entenda as especificações dos sensores (ART645)”, *Instituto Newton Braga*, 2010. [Online]. Available at: <https://www.newtoncbraga.com.br/index.php/como-funciona/52-artigos-tecnicos/artigos-diversos/4888-art645>. [Acessado: 19-fev-2020].
- [14] Toledo, “Precisão x Exatidão: Qual a diferença?”, 2017. [Online]. Available at: <https://www.toledobrasil.com.br/blog/artigos/detalhe/precisao-x-exatidao-qual-a-diferenca>. [Acessado: 10-set-2019].
- [15] Mundo Educação, “Exatidão e Precisão das Medidas”, 2019. [Online]. Available at: <https://mundoeducacao.bol.uol.com.br/quimica/exatidao-precisao-das-medidas.htm>. [Acessado: 10-set-2019].
- [16] K. A. A. Makinwa, “Smart temperature sensors in standard CMOS”, *Procedia Eng.*, vol. 5, p. 930–939, 2010.
- [17] B. Razavi, *Fundamentos de Microeletrônica*, 1º ed. Rio de Janeiro, 2010.
- [18] G. Chowdhury e A. Hassibi, “An on-chip CMOS temperature sensor using self-discharging P-N diode in a Δ - Σ Loop”, *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 65, nº 6, p. 1887–1896, 2018.
- [19] G. Pangallo *et al.*, “A Direct Junction Temperature Measurement Technique for Power LEDs”, *9th IEEE Int. Work. Appl. Meas. Power Syst. AMPS 2018 - Proc.*, vol. 1, nº 1, p. 1–5, 2018.
- [20] C. Cahoon e R. J. Baker, “Low-voltage CMOS temperature sensor design using schottky diode-based references”, *2008 IEEE Work. Microelectron. Electron Devices, WMED*, nº c, p. 16–19, 2008.
- [21] A. Rahali, M. Ouremchi, A. Elboutahiri, K. Elkhadiri, A. Tahiri, e H. Qjidaa, “Design of a Temperature Sensor with 0°C to 120°C Sensing Range for Li-Ion
-

- Battery Charger in 180 nm CMOS Technology”, *7th Mediterr. Congr. Telecommun. 2019, C. 2019*, p. 1–4, 2019.
- [22] T. Someya, T. Someya, T. Sakurai, e M. Takamiya, “An 11-nW CMOS temperature-to-digital converter utilizing sub-threshold current at sub-thermal drain voltage”, *IEEE J. Solid-State Circuits*, vol. 54, n° 3, p. 613–622, 2019.
- [23] W. Li, “1 . 8V-0 . 18- μ m CMOS Temperature Sensor with Frequency Output”, *2018 IEEE Can. Conf. Electr. Comput. Eng.*, n° 61471119, p. 1–4, 2018.
- [24] W. Yang, H. Jiang, Z. Wang, e W. Jia, “An Ultra-Low Power Temperature Sensor Based on Relaxation Oscillator in Standard CMOS”, *2018 IEEE Int. Conf. Electron Devices Solid State Circuits, EDSSC 2018*, 2018.
- [25] B. Wang, M. K. Law, C. Y. Tsui, e A. Bermak, “A 10.6 pJ·K² Resolution FoM Temperature Sensor Using Astable Multivibrator”, *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, n° 7, p. 869–873, 2018.
- [26] Y. Niu, W. Lu, Y. Zhang, S. Yu, e Z. Chen, “A low-power self-calibration digital-output CMOS temperature sensor with $\pm 0.1^\circ\text{C}$ inaccuracy from -40°C to 85°C ”, *Proc. Int. Conf. ASIC*, vol. 2017-October, p. 1005–1008, 2018.
- [27] I. Vikulin, V. Gorbachev, A. Gorbacheva, V. Krasova, e S. Polakov, “Radiation resistant BJT-based temperature sensor for IoT sensor nodes”, *2018 14th Int. Conf. Adv. Trends Radioelectronics, Telecommun. Comput. Eng.*, vol. 6, p. 441–444, 2018.
- [28] D. Sun, T. T. Zhang, M. K. Law, P. I. Mak, e R. P. Martins, “Process compensated bipolar junction transistor-based CMOS temperature sensor with a $\pm 1.5^\circ\text{C}$ (3σ) batch-to-batch inaccuracy”, *Electron. Lett.*, vol. 54, n° 22, p. 1270–1272, 2018.
- [29] F. De Canio, “Temperature Sensor with Process and Mismatch Auto-Compensation Technique in 28 nm CMOS”, *2018 IEEE Int. Symp. Circuits Syst.*, p. 1–5, 2018.
- [30] Z. Tang, N. N. Tan, Z. Shi, e X. P. Yu, “A 1.2V Self-Referenced Temperature Sensor with a Time-Domain Readout and a Two-Step Improvement on Output Dynamic Range”, *IEEE Sens. J.*, vol. 18, n° 5, p. 1849–1858, 2018.
- [31] G. Wang, A. Heidari, K. A. A. Makinwa, e G. C. M. Meijer, “An Accurate BJT-
-

- Based CMOS Temperature Sensor with Duty-Cycle-Modulated Output”, *IEEE Trans. Ind. Electron.*, vol. 64, n° 2, p. 1572–1580, 2017.
- [32] J. A. Angevare e K. A. A. Makinwa, “A 6800- μ m² Resistor-Based Temperature Sensor with ± 0.35 °c (3σ) Inaccuracy in 180-nm CMOS”, *IEEE J. Solid-State Circuits*, vol. 54, n° 10, p. 2649–2657, 2019.
- [33] S. Pan, C. Gurleyuk, M. F. Pimenta, e K. A. A. Makinwa, “10.3 A 0.12mm² Wien-Bridge Temperature Sensor with 0.1°C (3σ) Inaccuracy from -40°C to 180°C”, *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 2019-Febru, p. 184–186, 2019.
- [34] S. Pan e K. A. A. Makinwa, “A Resistor-Based Temperature Sensor with a 0.13 pJK² Resolution FoM”, *IEEE J. Solid-State Circuits*, vol. 53, n° 1, p. 164–173, 2018.
- [35] B. Wang, M. K. Law, C. Y. Tsui, e A. Bermak, “A 10.6 pJ·K² Resolution FoM Temperature Sensor Using Astable Multivibrator”, *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, n° 7, p. 869–873, 2018.
- [36] M. A. P. Pertijs, G. C. M. Meijer, e J. H. Huijsing, “Precision temperature measurement using CMOS substrate PNP transistors”, *IEEE Sens. J.*, vol. 4, n° 3, p. 294–300, 2004.
- [37] M. A. P. Pertijs, A. Niederkorn, X. Ma, B. McKillop, A. Bakker, e J. H. Huijsing, “A CMOS smart temperature sensor with a 3σ inaccuracy of ± 0.5 °C from -50 °C to 120 °C”, *IEEE J. Solid-State Circuits*, vol. 40, n° 2, p. 454–461, 2005.
- [38] F. Udrea, S. Santra, e J. W. Gardner, “Cmos temperature sensors - concepts, state-of-the-art and prospects”, *Proc. Int. Semicond. Conf. CAS*, vol. 1, n° 0, p. 31–40, 2008.
- [39] E. Malavasi *et al.*, “A Top-Down, Constraint-Driven Design Methodology for Analog Integrated Circuits”, in *Analog Circuit Design*, Boston, MA: Springer US, 1992, p. 285–324.
- [40] K. Kundert, “Principles of Top-Down Mixed-Signal Design”, 2018. [Online]. Available at: <http://www.designers-guide.org/design/tdd-principles.pdf>. [Acessado: 20-ago-2011].
-

- [41] S. E. Quadir *et al.*, “A Survey on Chip to System Reverse Engineering”, *ACM J. Emerg. Technol. Comput. Syst.*, vol. 13, n° 1, p. 1–34, dez. 2016.
- [42] J. Christiansen, “IC design methodology and related tools”. CERN, Trieste, p. 50, 2006.
- [43] G. C. M. Meijer, R. van Gelder, V. Nooder, J. v. Drecht, e H. Kerkvliet, “Three-Terminal Wide-Range Temperature Transducer With Microcomputer Interfacing.”, in *ESSCIRC '86: Twelfth European Solid-State Circuits Conference*, 1986, p. 161–163.
- [44] A. Bakker e J. Huijsing, *High-Accuracy CMOS Smart Temperature Sensors*. Boston, MA: Springer US, 2000.
- [45] B. Yousefzadeh e K. A. A. Makinwa, “A BJT-based temperature sensor with a packaging-robust inaccuracy of $\pm 0.3^{\circ}\text{C}$ (3s) from -55°C to $+125^{\circ}\text{C}$ after heater-assisted voltage calibration”, *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 60, p. 162–163, 2017.
- [46] Si2, “Compact Model Coalition”, 2020. [Online]. Available at: <https://si2.org/cmc/>. [Acessado: 20-nov-2019].
- [47] P. Allen, E. e D. Holberg, R., *CMOS Analog Circuit Design*. New York: OXFORD UNIVERSITY PRESS, 2002.
- [48] J. Ngarmnil e W. Sangnak, “BSIM3v3 key parameter extractions for efficient circuit designs”, *Semicond. Electron. 2000. Proceedings. ICSE 2000. IEEE Int. Conf.*, vol. 9, n° ml, p. 99–103, 2000.
- [49] a I. a Cunha, M. C. Schneider, C. D. C. Caetano, e M. B. Machado, “Unambiguous Extraction of Threshold Voltage Based on the Transconductance-to-Current Ratio”, in *NSTI - Nanotech*, 2005, n° 3, p. 139–142.
- [50] G. Niu, “Short Channel Effect and Reverse Short Channel Effect¶”, *Elec 6710 Class Notes*, 2015. [Online]. Available at: <http://www.eng.auburn.edu/~niuguof/elec6710dev/html/subthreshold.html#reverse-short-channel-effect-rsce>.
- [51] B. G. Streetman e S. Banerjee, *SOLID STATE ELECTRONIC DEVICES*, 5ª. tom,
-

- 2000.
- [52] J. M. Rabaey, *DIGITAL INTEGRATED CIRCUITS A design perspective*, 1^o ed. Alan Apt, 1996.
- [53] C. Zhang, S. He, Y. Zhu, e M. Gao, “A high precision CMOS bandgap reference with second-order curvature-compensation”, *ASICON 2007 - 2007 7th Int. Conf. ASIC Proceeding*, p. 553–556, 2007.
- [54] S. Jinggang, C. Zhiliang, e S. Bingxue, “A 1V supply area effective CMOS Bandgap reference”, p. 619-622 Vol.1, 2004.
- [55] E. Ishibe I., “Projeto de uma fonte de tensão de referência”, USP - São Carlos, 2014.
- [56] T. Xingyuan, Z. Zhangming, e Y. Yintang, “A 2.87 ppm/°C 65 nm CMOS bandgap reference with nonlinearity compensation”, *Int. J. Electron.*, vol. 98, n^o 9, p. 1269–1279, 2011.
- [57] W. M. C. Sansen, *Analog Design Essentials*, vol. 859. Boston, MA: Springer US, 2006.
- [58] F. Maloberti, “Layout_of_Analog_CMOS_Integrated_Circuits02”, *Lect. Notes*, p. 1–38, 2004.
- [59] F. Maloberti, “Layout of Analog CMOS Integrated Circuit Part 3: Passive components: Resistors, Capacitors”, *Lect. Notes*, p. 1–38, 2004.
- [60] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, Third Edit. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2010.
- [61] K. Bult e G. J. G. M. Geelen, “An Inherently Linear and Compact MOST-Only”, *Current*, vol. 27, n^o 12, 1992.
- [62] H. Fei e R. Geiger, “Linear Current Division Principles”, p. 2830–2833, 2007.
- [63] H. Klimach, M. Schneider, e C. Galup-Montoro, “An M-2M digital-to-analog converter design methodology based on a physical mismatch model”, *Proc. 2008 Ieee Int. Symp. Circuits Syst. Vols 1-10*, p. 2254–2257, 2008.
- [64] N. H. E. Weste e D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Quarta. 2010.
-

-
- [65] D. P. Quarles, R. Newton, A. Sangiovanni-Vincentelli, e C. Wayne, “The Spice Page”. [Online]. Available at: <http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>. [Acessado: 10-out-2019].
- [66] D. Stefanović e M. Kayal, *Structured Analog CMOS Design*. Dordrecht: Springer Netherlands, 2008.
- [67] P. G. A. Jespers e B. Murmann, *Systematic Design of Analog CMOS Circuits*. Cambridge: Cambridge University Press, 2017.
-

Apêndices

APÊNDICE A – Termos utilizados em projetos de CIs

Ferramentas de projeto:

Atualmente temos à disposição suítes de *software* que compreendem diversas ferramentas, como editor de esquemáticos, simuladores de circuitos, editor de leiautes e ferramentas de verificação. Além disso, algumas compreendem todas as etapas de fluxo de projeto analógico ou digital como as desenvolvidas pela Cadence© e são preparadas para as metodologias *Top-Down* ou *Bottom-Up* [64].

Para o fluxo de projetos analógicos a Cadence possui a suíte *Virtuoso*©, que possui um sistema de modelagem de circuitos que utiliza as linguagens: *Verilog*©, *Verilog-A*©, *Verilog-AMS*©, que podem ser utilizadas nos níveis hierárquicos mais altos. Essa suíte também possui um editor de hierarquias e um simulador preparado para rodar uma composição entre modelos na linguagem *Verilog* e circuitos a nível de esquemático e leiaute. Ou seja, em uma mesma simulação podemos utilizar modelos ideais e esquemáticos para validar o sistema, ou até mesmo depurá-lo, encontrando falhas. Além disso, ao usarmos uma simulação mista, podemos encurtar o tempo de simulação de sistemas mais complexos, pois como há uma combinação entre modelos e esquemáticos, a parte “pesada”, fica sendo apenas dos esquemáticos, uma vez que os modelos ideais, necessitam de menos tempo de simulação.

A primeira ferramenta de simulação que se tem conhecimento, é um *software* conhecido como *SPICE* que é o acrônimo de *Simulated Program with Integrated Circuits Emphasis*, ou Programa de simulação com ênfase em Circuitos Integrados). O *SPICE* serve como ferramenta de previsão e avaliação do comportamento dos circuitos e compreende análise a nível de esquemático [65]. Além dele, atualmente estão à disposição variantes como o *ngspice*, *HSPICE*©, *LTSPICE*© e Cadence© *spectre*©.

Especificações: Nessa etapa, há um confronto entre o que é desejado e o que é possível de ser feito devido a limitações da tecnologia, financeiras, de tempo, força de trabalho e assim por diante. Devemos considerar os requisitos para a execução do projeto desde o nível mais alto até o mais baixo do sistema. Geralmente, nessa etapa são feitos modelos do comportamento do sistema e a escolha da tecnologia a ser utilizada [66] [67].

Divisão do sistema em sub-blocos: Essa etapa se preocupa em dividir os sistemas em pequenas caixas, cada uma contendo uma função específica. Para projetos complexos, cada caixa pode ser atribuída a um projetista [66] [67].

Modelos comportamentais: O foco desse tipo de modelo é a funcionalidade de cada bloco, ele pode ser modelado com uma linguagem específica como *Verilog*®, *Verilog-AMS*®, *Verilog-A*® ou até mesmo, *Python*, *C* ou *Matlab*®. Como também pode ser feito através de esquemáticos de fontes de corrente ou tensão controladas e outros componentes disponíveis na biblioteca padrão da ferramenta de projeto [64].

Extração de parâmetros: Nessa etapa, são extraídos os parâmetros dos componentes utilizados nos cálculos do projeto (predominantemente transistores). Ela está intimamente ligada ao modelo de transistor a ser utilizado nos cálculos e por causa disso pode ser feita de diversas maneiras, segundo a definição dos parâmetros de cada modelo [66] [67].

PDK (Process Design Kit): É um pacote de arquivos de dados e de *scripts* específicos da *foundry* e da tecnologia que será utilizada. Usado no fluxo de projeto de circuitos integrados e desenvolvido especificamente para um tipo de suíte. Seus principais componentes são os modelos de dispositivos, símbolos, arquivos da tecnologia, células parametrizáveis (*PCells* – Circuitos prontos, parametrizáveis) e arquivos de regras de projeto contendo: quantidade de camadas metálicas, restrições do processo, regras elétricas e assim por diante. Além disso, dependendo do *PDK*, é possível ter alguns blocos prontos que podem ser utilizados no projeto, alguns com licença gratuita e outros com licença paga [64].

Dimensionamento dos transistores: Essa parte pode ser realizada seguindo diversas metodologias, é a etapa considerada como a mais difícil e mais importante sob a ótica do projetista de circuitos integrados analógico. Demanda o correto equacionamento dos circuitos, e precisão de modelos dos transistores. O método mais popular de dimensionamento é o equacionamento dos circuitos e o uso da equação quadrática da corrente, em conjunto com a condição de saturação do transistor *MOS* ($V_{DS} > V_{GS} - V_{TH}$). Há também outras opções baseadas em curvas como a metodologia *gm/id*, além de outras.

O uso de *softwares* ou *scripts* de dimensionamento também é utilizado por algumas empresas, um exemplo de suíte que faz esse tipo de trabalho é o *WiCked*© da *MunEDA*© [66] [67].

Análise de corners ou PVT: Essa análise pode ser feita tanto a nível de esquemático quanto no pós-leiaute (depois da extração de componentes parasitas). É utilizada para verificar se as especificações do projeto foram atendidas nos mais variados casos e considerando principalmente os mais desfavoráveis. O objetivo é simular os circuitos em um ambiente de variação de processos reais. Essa análise é realizada através do simulador de circuitos, utilizando o *PDK* da tecnologia utilizada. Os arquivos de modelo, contém as variações dos parâmetros do componentes estimadas pela *foundry*.

No processo *CMOS* existem dois tipos de transistores (*nMOS* e *pMOS*) que possuem algumas diferenças em suas características, que quando variadas geralmente afetam a velocidade deles. Além disso, também existem variações na interconexão dos dispositivos que também afetam a sua velocidade. Essas variações são relativas ao processo de fabricação, quando combinadas com variáveis de ambiente como Temperatura e Tensão de alimentação, formam o acrônimo *PVT* (*Process, Voltage and Temperature*).

Os corners são uma combinação do *PVT* e utilizam até cinco letras para representar a variação nos dispositivos *MOS*, interconexões, tensão de alimentação e temperatura. As letras para cada um deles são: *f*(*fast*), *t*(*typical*) e *s*(*slow*) para rápido (V_{TH} baixo), típico e lento (V_{TH} alto). A Tabela 9 apresenta uma tabela de verificação de *corners* para uma tecnologia de 1,8V de alimentação, onde as variáveis V_{DD} e *temp*, representam a tensão de alimentação e a temperatura. A Tabela 10 apresenta os *corners* do ambiente. Frequentemente os *corners* são representados por menos letras, como exemplo, duas letras representam os transistores *nMOS* e *pMOS*, quatro letras, representam os transistores, tensão de alimentação e temperatura [64].

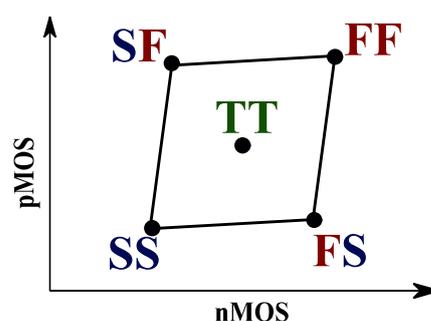
Tabela 9 – Exemplo de *corners* utilizados numa análise.

| Corner | | | | | Propósito |
|-------------|-------------|--------------|----------|-------------|--|
| <i>nMOS</i> | <i>pMOS</i> | Interconexão | V_{DD} | <i>temp</i> | |
| <i>T</i> | <i>T</i> | <i>T</i> | <i>S</i> | <i>S</i> | Especificações de tempo |
| <i>S</i> | <i>S</i> | <i>S</i> | <i>S</i> | <i>S</i> | Especificações de tempo |
| <i>F</i> | <i>F</i> | <i>F</i> | <i>F</i> | <i>F</i> | |
| <i>S</i> | <i>S</i> | - | <i>S</i> | <i>S</i> | Potência dinâmica |
| <i>F</i> | <i>F</i> | <i>F</i> | <i>F</i> | <i>F</i> | |
| <i>S</i> | <i>S</i> | <i>F</i> | <i>S</i> | <i>S</i> | Trilhas de conexão vs porta dos transistores |
| <i>F</i> | <i>F</i> | <i>S</i> | <i>F</i> | <i>F</i> | Trilhas de conexão vs porta dos transistores |
| <i>S</i> | <i>F</i> | <i>T</i> | <i>F</i> | <i>F</i> | |
| <i>F</i> | <i>S</i> | <i>T</i> | <i>F</i> | <i>F</i> | |

Tabela 10 – Valores dos *corners* para um processo típico de 180 nm.

| Corner | $V_{DD}(V)$ | Temp(°C) |
|--------|-------------|----------|
| F | 1,98 | 0 |
| T | 1,8 | 70 |
| S | 1,62 | 125 |

É importante mencionar que o termo *corner* se refere a uma caixa imaginária desenhada ao redor dos pontos de operação válidos, conforme apresentado na Figura 87. A caixa não tem formato quadrado pois algumas características, como a faixa da espessura de óxido entre dispositivos, tornam impossível encontrar um transistor *nMOS* lento com óxido espesso e um transistor *pMOS* rápido com óxido fino simultaneamente [64].

Figura 87 – *Corners* de projeto.

Fonte: Autoral, adaptado de [64].

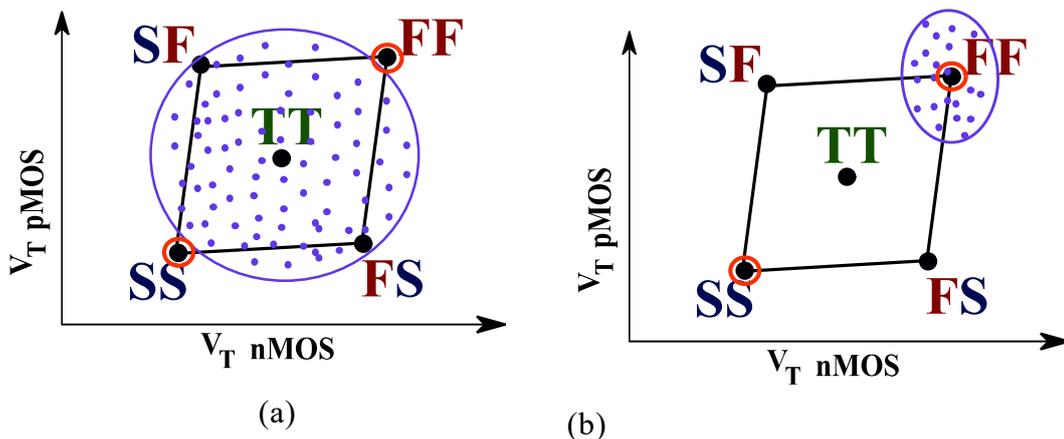
Análise de Monte Carlo: Apesar da análise de *corners* levar em consideração as variações no processo, ela não cobre todos os casos de maneira próxima do real por isso não garante que o *CI* volte funcionando. Por exemplo, em um *corner fs* ela considera que todos os transistores *nMOS* são rápidos e todos os *pMOS* são lentos, o que na prática é irreal. Devido ao processo de fabricação, o V_{TH} dos transistores não varia em conjunto, o mais típico é que cada transistor tenha um V_{TH} diferente do outro, portanto, para se ter maior confiabilidade no projeto é necessário utilizar simulações estatísticas. A análise de *Monte*

Carlo preenche essa lacuna, introduzindo aleatoriedade nos valores do V_{TH} , fazendo com que os transistores sejam diferentes uns dos outros. O método é estatístico, ou seja, utiliza amostras aleatórias dos parâmetros dos componentes, a fim de obter o resultado numérico. São feitas diversas simulações um elevado número de vezes, buscando cobrir a maioria das variações. Dessa forma, teremos uma resposta mais próxima do que é obtido após a fabricação do circuito, pois, além da variação de processo, *Monte Carlo* ajuda a enxergarmos eventuais problemas de descasamento entre componentes.

Os *PDKs* das *foundries* possuem arquivos diferentes para a análise de *corners* do processo e *corners* de *Monte Carlo*, pois as variações são diferentes. Portanto, é importante ler a documentação antes de se aplicar os modelos na simulação, pois caso haja confusão, os resultados estarão muito longe do real.

Essa simulação pode ser feita de forma global ou local, na primeira as variações das amostras são espalhadas por todos os *corners* compreendidos na caixa (Figura 88 – (a)). No caso da segunda Figura 88 – (b)), a simulação de *Monte Carlo* fica restrita a um *corner* específico, auxiliando o projetista a robustecer o circuito no pior dos piores *corners*.

Figura 88 – Simulação de *Monte Carlo*.



Fonte: Autoral, adaptado de [64].

Floor-planning: Como o nome já diz, essa é a planta do *CI*, nessa etapa são definidos: a posição dos sub-blocos e pinos, assim como uma estimativa de área a ser utilizada no leiaute. Nessa etapa é feita uma organização de como será o leiaute final. O correto posicionamento dos sub-blocos do *CI*, influencia diretamente no roteamento das interconexões, área de silício, linhas de alimentação e em alguns casos na velocidade de resposta dos circuitos. Em projetos de *CIs* complexos e que possuem vários projetistas

trabalhando em paralelo, o *Floor-planning* pode ser feito no início do projeto a fim de organizar e estimar uma área máxima para cada bloco do sistema [64].

Leiaute: Depois de dimensionar os circuitos e concluir o *floor-planning*, partimos para a implementação física, que basicamente é a confecção dos leiautes a partir dos circuitos em esquemático. Nessa etapa utilizamos algumas estratégias de distribuição dos componentes, como o centroide comum e interdigitação para que o descasamento dos componentes e as variações de processos sejam minimizadas. Após essa etapa, algumas verificações físicas são realizadas, como [64]:

- **LVS** (*Layout versus Schematic*): Leiaute versus esquemático – é um tipo de verificação que confronta a lista de componentes e interconexões do esquemático com o leiaute. Esse passo é imprescindível pois caso ocorra uma falta de conexão no leiaute, o CI ficará comprometido.
 - **DRC** (*Design Rules Check*): ou verificação de regras de projeto – nessa etapa são verificadas as distâncias entre componentes e conexões gerados no leiaute. Cada tecnologia tem seu próprio arquivo contendo essas regras.
 - **ARC** (*Antenna Rule Checking*): Essa é a verificação do efeito antena, feita para garantir que os transistores não sejam destruídos durante a fabricação. Esse efeito ocorre devido ao uso irregular das camadas de poli-silício ou metal. Na criação delas o *wafer* é bombardeado com íons que devem encontrar um caminho através do *wafer* para o substrato e camadas ativas na parte inferior evitando percorrer os transistores. Caso isso não ocorra os transistores serão destruídos pelos íons.
 - **ERC** (*Electrical Rule Checking*): Nessa etapa é feita a verificação da conexão correta dos substratos, a fim de garantir que não estejam flutuando ou no nível errado de referência (Terra ou alimentação). Além disso, a conexão das entradas também é verificada para evitar pinos desconectados ou saídas em curto.
-

- **Extração de parasitas:** Nessa etapa os componentes parasitas (Resistores, Capacitores e Indutores) são extraídos do leiaute do circuito e são adicionados ao *netlist* original formando um novo. Dessa forma, as simulações são repetidas a fim de obter um comportamento mais próximo do real e apresentar a influência desses parasitas nos circuitos.

GDS II (Graphic Database System II): Nesta etapa um arquivo de banco de dados é gerado a partir do leiaute. Ele contém todas as máscaras do circuito organizadas hierarquicamente. Esse arquivo pode ser enviado tanto para a integração do *CI* em forma de propriedade intelectual, quanto diretamente para fabricação caso seja o *CI* finalizado. Esta é a última etapa e só deve ser feita, após todas as outras terem alcançado resultado satisfatório [64].