



ALISSON SOARES GARCIA

**FORMAÇÃO E CARACTERIZAÇÃO DE CAMADAS DE TiN PARA ELE-
TRODOS METÁLICOS DE PORTA DE CAPACITORES MOS**

CAMPINAS

2014



**UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO**

ALISSON SOARES GARCIA

**FORMAÇÃO E CARACTERIZAÇÃO DE CAMADAS DE TiN PARA ELETRODOS
METÁLICOS DE PORTA DE CAPACITORES MOS**

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas para obtenção do título de Mestre em Engenharia Elétrica, na área de Eletrônica, Microeletrônica e Optoeletrônica.

Orientador: Prof. Dr. Jacobus Willibrordus Swart

ESTE EXEMPLAR CORRESPONDE À VERSÃO FINAL DA DISSERTAÇÃO
DEFENDIDA PELO ALUNO ALISSON SOARES GARCIA
E ORIENTADO PELO PROF. DR. JACOBUS WILLIBRORDUS SWART

**CAMPINAS
2014**

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Elizangela Aparecida dos Santos Souza - CRB 8/8098

G165f Garcia, Alisson Soares, 1982-
Formação e caracterização de camadas de TiN para eletrodos metálicos de porta de capacitores MOS / Alisson Soares Garcia. – Campinas, SP : [s.n.], 2014.

Orientador: Jacobus Willibrordus Swart.
Dissertação (mestrado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Nitreto de titânio. 2. Silício - Oxidação. 3. CMOS. 4. Raman, Efeito de. 5. AFM. I. Swart, Jacobus Willibrordus, 1950-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Formation and characterization of TiN layers for metal gate electrodes of MOS capacitors

Palavras-chave em inglês:

Titanium nitride

Silicon - Rust

CMOS

Raman effect

AFM

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora:

Jacobus Willibrordus Swart [Orientador]

Claudio Radtke

Ioshiaki Doi

Data de defesa: 30-01-2014

Programa de Pós-Graduação: Engenharia Elétrica

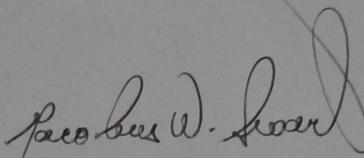
COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Alisson Soares Garcia

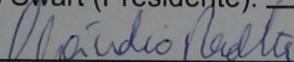
Data da Defesa: 30 de janeiro de 2014

Título da Tese: "Formação e Caracterização de Camadas de TiN para Eletrodos Metálicos de Porta de Capacitores MOS"

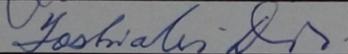
Prof. Dr. Jacobus Willibrordus Swart (Presidente):



Prof. Dr. Claudio Radtke:



Prof. Dr. Ioshiaki Doi:



*Dedido este trabalho a Deus, meus pais, minhas irmãs e
aos Drs J. A. Diniz e J. W. Swart*

AGRADECIMENTOS

- Agradeço a Deus por ter tido saúde, por guiar-me e ter sobrevivido a todos os percalços e acidentes que ocorreram durante o meu período de mestrado.
- Agradeço a minha mãe pelo apoio, paciência e por ter financiado todos os meus gastos com pedágios durante o período do meu mestrado.
- Agradeço a meu pai, minhas irmãs e meus amigos pelo apoio e paciência.
- Agradeço a todos do CCS/Unicamp e do IFGW/Unicamp que colaboraram direta ou indiretamente na realização deste trabalho.
- Agradeço ao Dr. Ricardo Rangel e ao LSI/USP que permitiram que eu usasse o laboratório para fazer parte de minhas medidas.
- Agradeço, em especial, ao Dr. J. A. Diniz que me apoiou e guiou durante a parte mais difícil do meu mestrado onde fui obrigado a trocar de orientador, assim como toda a paciência e boa vontade que sempre teve comigo. Não tenho como retribuir tudo que fez por mim, senão com esse simples agradecimento e reconhecimento. Sem o apoio do Dr. Diniz meu mestrado não teria sido concluído. Minha eterna gratidão.
- Agradeço, em especial, ao Dr. Jacobus W. Swart que aceitou me orientar sob circunstâncias totalmente inusitadas, me apoiou e me recebeu de braços abertos e sem o apoio do Dr. Jacobus meu mestrado não teria sido concluído. Minha eterna gratidão.

RESUMO

Filmes ultrafinos (espessuras inferiores a 20 nm) de nitreto de titânio (TiN) para serem usados como eletrodos de porta para tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) foram obtidos. Estes filmes ultrafinos foram obtidos através da evaporação por feixe de elétrons de camadas ultrafinas (de 1 ou 2 nm de espessura) de titânio (Ti) com posterior nitretação por plasma ECR (*Electron Cyclotron Resonance*) de nitrogênio (N₂). Após a deposição e nitretação do titânio, a fim de evitar a oxidação dos filmes, no mesmo reator ECR da nitretação, executou-se a deposição CVD (*Chemical Vapor Deposition*) de filmes de a-Si:H (silício amorfo hidrogenado) usando plasma de SiH₄/Ar. Estes filmes de a-Si:H foram implantados com fósforo (P⁺) e recozidos por processamento térmico rápido para torná-los dopados n⁺ e policristalinos. Assim, foram formados eletrodos de porta (*Metal Gate*) MOS com estruturas Poli-Si n⁺/TiN e esta dissertação apresenta as seguintes contribuições científicas:

- Obtenção de eletrodos de porta Poli-Si n⁺/TiN que suportam processos RTA em alta temperatura de 1000 °C. Esta característica foi observada por análises Raman, que identificaram picos relativos ao TiN dos modos TA (~195 cm⁻¹) e LA (~315 cm⁻¹) e ao Si cristalino (~ 521 cm⁻¹);
- Obtenção de filmes ultrafinos de TiN, com espessuras menores que 20 nm e contínuos. Quatro amostras apresentaram espessuras menores que 10 nm, que é um valor desejado para obter eletrodos de porta MOS que possam ser acomodados nos dispositivos fabricados para nós tecnológicos com dimensões menores que 22 nm. Esta característica (espessura) foi identificada por imagens SEM (microscopia eletrônica de varredura);
- Obtenção de eletrodos de porta Poli-Si n⁺/TiN do tipo *midgap*, pois os valores de V_{FB} estão entre -0,31 V e -0,48 V. Estas características foram extraídas de medidas de Capacitância-Tensão (C-V);

Portanto, eletrodos de Poli-Si n⁺/TiN do tipo *midgap*, com espessuras menores que 10 nm, resistentes a processos de alta temperatura e que podem ser usados em dispositivos fabricados para nós tecnológicos com dimensões menores que 22 nm, foram obtidos.

Palavras-chave: Nitreto de Titânio (TiN), Poli-Si, Oxinitreto de Silício (SiON), Tecnologia CMOS, Eletrodo Metálico de Porta, Tecnologia MOS, Plasma ECR, Filmes Ultrafinos, Raman, AFM, EDS, FIB, Curva C-V, Curva I-V, Curva G-V.

ABSTRACT

Ultrathin films (thickness of less than 20 nm) of titanium nitride (TiN) to be used as gate electrodes for CMOS (Complementary Metal Oxide Semiconductor) technology were obtained. These ultrathin films were obtained by electron beam evaporation of ultrathin layers (1 or 2 nm thick) of titanium (Ti) followed by ECR (Electron Cyclotron Resonance) plasma nitriding of nitrogen (N₂). After deposition and nitriding of the titanium, in order to prevent oxidation of the films, in the same nitriding ECR reactor, a-Si:H (hydrogenated amorphous silicon) films were deposited by CVD (Chemical Vapor Deposition) using SiH₄/Ar plasma. These films of a-Si:H were implanted with phosphorus (P⁺) and annealed by rapid thermal annealing to turn them n⁺ doped and polycrystalline. Thus, MOS metal gate electrodes were formed with Poly-Si n⁺/TiN structures and this dissertation presents the following scientific contributions:

- *Gate electrodes of Poly-Si n⁺/TiN that support RTA processes in high temperature of 1000 °C were obtained. This characteristic was observed by Raman analysis, that identified peaks associated to TiN at TA mode (~195 cm⁻¹) and LA mode (~315 cm⁻¹), and related to the crystalline Si at (~ 521 cm⁻¹);*
- *Ultrathin films of TiN, less than 20 nm thick and continuous, were obtained. Four samples were less than 10 nm thick, which represents a thickness that is desirable to obtain MOS gate electrodes that fit devices manufactured for technological nodes with dimensions smaller than 22 nm. This feature was identified by SEM images (Scanning Electron Microscopy);*
- *Midgap metal gate electrodes Poly-Si n⁺/TiN were obtained, as V_{FB} values are between -0.31 V and -0.48 V. These features were extracted from measurements of capacitance-voltage (C-V);*

Therefore, midgap electrodes of Poly-Si n⁺/TiN, less than 10 nm thick, resistant to high temperature processes and that can be used in devices manufactured for technological nodes with dimensions smaller than 22 nm were obtained.

Keywords: *Titanium Nitride (TiN), Poly-Si, Silicon Oxynitride (SiON), CMOS Technology, Metal Gate Electrode, MOS Technology, Plasma ECR, Ultra-Thin Films, Raman, AFM, EDS, FIB, Curve C-V, Curve I-V, Curve G-V.*

LISTA DE FIGURAS

Figura 1 – Inovações em transistores permitem cadência tecnológica. Fonte: Intel [2].	3
Figura 2 – 2012 ITRS “ <i>Equivalent Scaling</i> ” [43].	4
Figura 3 – Curvas I-V e C-V (figura reduzida no centro) de dois dispositivos MOS com eletrodos de porta de Si-poli e metálico. [1].	5
Figura 4 – A) Absorção química de TMA. B) Purga do TMA. C) Plasma O ₂ . D) Purga pós plasma. Fonte: Oxford Instruments [10].	9
Figura 5 – Tabela periódica onde as caixas sombreadas indicam elementos que tem sido depositados usando-se CVD [11].	10
Figura 6 – Ilustração onde o átomo de argônio inicialmente neutro (em vermelho) fica carregado positivamente ao perder um elétron (cor se altera para rosa) e, a partir de então, passa a se mover sob influência do campo elétrico seguindo em rota de colisão contra a superfície do alvo (em amarelo na figura). Fonte: AJA International [16].	13
Figura 7 – Ilustração mostrando o momento onde um átomo do alvo (em amarelo) é ejetado após sofrer colisão com o íon de argônio carregado (rosa). Fonte: AJA International [16].	13
Figura 8 – Ilustração mostrando o processo de deposição do alvo (em amarelo) sobre o substrato. Fonte: AJA International [16].	14
Figura 9 – Ilustração mostrando um elétron confinado no campo eletromagnético próximo à superfície do material alvo. Fonte: AJA International [16].	15
Figura 10 – Etapas do <i>Gate First</i> versus <i>Replacement Gate</i> . [55]	16
Figura 11 – Sala do forno de oxidação no CCS [17].	22
Figura 12 – Interferômetro da marca RUDOLPH, modelo FTM-STD.	22
Figura 13 – Elipsômetro da marca RUDOLPH, modelo XX 2,4C.	22
Figura 14 – Ilustração mostrando a clivagem das lâminas de silício em quatro partes e a numeração usada como nomenclatura tendo como base a espessura do titânio depositado e as concentrações de gás N ₂ e Ar.	24
Figura 15 – A imagem à esquerda mostra o sistema de MBE de ultra alto vácuo adaptado para trabalhar como evaporadora por feixe de elétrons conjuntamente com seu painel de controle. A imagem central mostra a câmara de entrada das amostras. A imagem à direita mostra as amostras fixadas ao suporte do equipamento prontas para serem inseridas no mesmo.	25

Figura 16 – Evaporadora por feixe de elétrons em funcionamento durante a deposição do titânio.	25
Figura 17 – Amostras mergulhadas em água DI após a deposição de titânio para evitar a oxidação das lâminas.	26
Figura 18 – Equipamento de plasma ECR (à esquerda), zoom em um dos orifícios do equipamento durante a nitretação mostrando a coloração alaranjada do plasma (imagem central) e zoom em um dos orifícios durante a deposição de silício amorfo mostrando a coloração rocha do plasma (à direita).....	26
Figura 19 – Ilustração do esquema montado para depositar silício amorfo apenas em parte das amostras utilizando-se cacos de lâmina como máscara no processo.	27
Figura 20 – Implantador de íons EATON GA4204 localizado no CCS da UNICAMP (à esquerda) e seu esquema de interface (à direita) [18].	28
Figura 21 – Equipamento de RTA localizado no CCS.	29
Figura 22 – Equipamento Raman Spectroscopy AFM System, modelo NTEGRA Spectra, produzido pela empresa NT-MDT [25].	30
Figura 23 – Equipamento de medidas 4 pontas localizado no CCS.	30
Figura 24 – Sistema <i>Dual-Beam</i> (FIB-SEM) localizado no CCS [26].	31
Figura 25 – Foto alinhadora MJB-3 da marca Karl Suss (à esquerda) e o <i>hot plate</i> modelo TE-018 da marca TECNAL (à direita).....	34
Figura 26 – Ilustrações das primeiras etapas do processo de fabricação dos capacitores: (a) lâmina de silício limpa para início dos processos (b) crescimento do óxido espesso (c) aplicação do fotoresiste (d) sensibilização e remoção do fotoresiste nas regiões de interesse (e) corrosão do óxido na região de interesse com padrão isométrico teórico de <i>underetching</i> representado (f) crescimento do SiO_xN_y , deposição seguida de nitretação do Ti e deposição do a-Si:H.	36
Figura 27 – Ilustrações das últimas etapas do processo de fabricação dos capacitores: (g) representação do <i>lift-off</i> com o desprendimento dos filmes superiores durante a corrosão do óxido (h) representação dos capacitores formados após o termino do processo de <i>lift-off</i> e corrosão completa do óxido de silício.	37
Figura 28 – Observa-se a sala de medidas CxV (à esquerda), probe station (centro) e placa de controle (à direita).....	37

Figura 29 – Semiconductor Parameter Analyzer da HP (à esquerda) e o CV Analyzer da KEITHLEY (à direita).....	37
Figura 30 – Conjunto de medida CxV da USP (à esquerda) e a probe station em zoom (à direita).	38
Figura 31 – Espectros Raman das estruturas TiN/SiO ₂ e Poli-Si n ⁺ /TiN/SiO ₂ (sem e com capa de Si, respectivamente). (a) amostras de TiN/SiO ₂ formadas a partir da camada de Ti de 1 nm (b) amostras de TiN/SiO ₂ formadas a partir da camada de Ti de 2 nm (c) amostras de Poli-Si n ⁺ /TiN/SiO ₂ formadas a partir da camada de Ti de 1 nm (d) amostras de Poli-Si n ⁺ /TiN/SiO ₂ formadas a partir da camada de Ti de 2 nm.....	41
Figura 32 – Imagens SEM de secção transversal das estruturas Poli-Si n ⁺ /TiN/SiO ₂ das amostras (a) Ti10N5Ar25, (b) Ti10N10Ar20, (c) Ti10N15Ar15 e (d) Ti10N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 1 nm.....	44
Figura 33 –Imagens SEM de secção transversal das estruturas Poli-Si n ⁺ /TiN/SiO ₂ das amostras (a) Ti20N5Ar25, (b) Ti20N10Ar20, (c) Ti20N15Ar15 e (d) Ti20N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 2 nm.....	45
Figura 34 – Curvas das espessuras extraídas pelo método SEM versus a razão das misturas gasosas dos plasmas ECR de N ₂ /Ar usados para nitretar as camadas de Ti de 1 nm e 2 nm, respectivamente denominadas amostras Ti10 e Ti20.....	45
Figura 35 – Espectros EDS das estruturas Poli-Si n ⁺ /TiN/SiO ₂ das amostras (a) Ti10N5Ar25, (b) Ti10N10Ar20, (c) Ti10N15Ar15 e (d) Ti10N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 1 nm. A detecção de picos correspondentes aos elementos Ti e N indicam a formação dos filmes de TiN	47
Figura 36 – Espectros EDS das estruturas Poli-Si n ⁺ /TiN/SiO ₂ das amostras (a) Ti20N5Ar25, (b) Ti20N10Ar20 e (c) Ti20N15Ar15. Todas as amostras são formadas a partir da camada de Ti de 2 nm. A detecção de picos correspondentes aos elementos Ti e N indicam a formação dos filmes de TiN.....	48
Figura 37 – Curvas C-V dos capacitores Poli-Si n ⁺ /TiN/SiON (sem sinterização) das amostras (a) Ti10N5Ar25, (b) Ti10N15Ar15 e (c) Ti10N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 1 nm.....	54

Figura 38 – Curvas C-V dos capacitores Poli-Si n⁺/TiN/SiON (sem sinterização) das amostras (a) Ti20N5Ar25, (b) Ti20N10Ar20, (c) Ti20N15Ar15 e (d) Ti20N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 2 nm. 55

Figura 39 – Curvas C-V dos capacitores Poli-Si n⁺/TiN/SiON com sinterização de 30 minutos. 56

Figura 40 – Curva dos valores de tensão de banda plana (V_{FB}) em relação aos vários tipos de eletrodos de porta usados na tecnologia CMOS [1] [49]. 57

Figura 41 – Curva de valores em módulo de V_{FB} pelos de espessura extraídos no sistema SEM/FIB das amostras Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, que foram obtidas a partir de uma camada de Ti de 2 nm. Também é inserido um ponto relativo ao valor de V_{FB} em relação à espessura de TiN da amostra Ti10N5Ar25, que foi obtida a partir de uma camada de Ti de 1 nm. 58

LISTA DE TABELAS

Tabela 1 – Tendências de aperfeiçoamento para CIs permitidos pelo escalamento de elementos [3].	2
Tabela 2 – Prós e contras de diferentes opções de integração HKMG [57].	17
Tabela 3 – Nitreto de titânio na literatura.	18
Tabela 4 – Nomenclatura das amostras dessa dissertação tendo como base a espessura do titânio depositado e as concentrações de N ₂ e Ar.	23
Tabela 5 – Resumo dos resultados para as estruturas obtidas.	39

LISTA DE ABREVIATURAS E SIGLAS

AACVD	<i>Aerosol Assisted CVD</i>
AFM	<i>Atomic Force Microscopy</i>
Al	Alumínio
ALCVD	<i>Atomic-Layer CVD</i>
ALD	<i>Atomic Layer Deposition</i>
APCVD	<i>Atmospheric Pressure CVD</i>
Ar	Argônio
CCS	Centro de Componentes Semicondutores
CCVD	<i>Combustion CVD</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CPG	Comissão de Pós-Graduação
CVD	<i>Chemical Vapor Deposition</i>
DLICVD	<i>Direct Liquid Injection CVD</i>
DSIF	Departamento de Semicondutores, Instrumentos e Fotônica
ECR-CVD	<i>Electron Cyclotron Resonance CVD</i>
EDS	<i>Energy Dispersive X-Ray Spectrometry</i>
EELS	<i>Electron Energy-Loss Spectroscopy</i>
EOT	<i>Equivalent Oxide Thickness</i>
FEEC	Faculdade de Engenharia Elétrica e de Computação
FIB	<i>Focused Ion Beam</i>
HPCVD	<i>Hybrid Physical CVD</i>
HRTEM	<i>High-Resolution Transmission Electron Microscopy</i>
HWCVD	<i>Hot-Wire CVD</i>
IFGW	Instituto de Física Gleb Wataghin
IQ	Instituto de Química
IMEC	Interuniversity Microelectronics Centre
ITRS	<i>International Technology Roadmap for Semiconductors</i>
LPCVD	<i>Low-Pressure CVD</i>
MBE	<i>Molecular Beam Epitaxy</i>

MEMS	<i>Micro Electrical Mechanical Systems</i>
MOCVD	<i>Metal Organic CVD</i>
MPCVD	<i>Microwave Plasma-Assisted CVD</i>
N ₂	Nitrogênio
NEMS	<i>Nano Electrical Mechanical Systems</i>
PECVD	<i>Plasma Enhanced CVD</i>
PICVD	<i>Photo-Initiated CVD</i>
PVD	<i>Physical Vapor Deposition</i>
RBS	<i>Rutherford Backscattering Spectroscopy</i>
RCA	<i>Radio Corporation of America</i>
RF	Radiofrequência
RPECVD	<i>Remote Plasma-Enhanced CVD</i>
RTCVD	<i>Rapid Thermal CVD</i>
(S)TEM	<i>Scanning Transmission Electron Microscopy</i>
SEM	<i>Scanning Electron Microscopy</i>
Si	Silício
Si-a (a-Si)	<i>Amorphous Silicon</i>
Si-c (c-Si)	<i>Crystalline Silicon</i>
Si-poli (poli-Si)	Silício Policristalino
SIMS	<i>Secondary Ion Mass Spectrometry</i>
SiO ₂	Óxido de Silício
SiON	Oxinitreto de Silício
TEM	<i>Transmission Electron Microscopy</i>
TEOS	<i>Tetraethylorthosilicate</i>
TERS	<i>Tip-Enhanced Raman Scattering</i>
Ti	Titânio
TiN	Nitreto de Titânio
TiO _x N _y	Oxinitreto de Titânio
ToF-SIMS	<i>Time-of-Flight Secondary Ion Mass Spectrometry</i>
USP	Universidade de São Paulo
UVCVD	<i>Ultra Vacuum CVD</i>
Unicamp	Universidade Estadual de Campinas
V _{FB}	Tensão de <i>Flat-Band</i>

VPE	<i>Vapor-Phase Epitaxy</i>
W _F	<i>Working Function</i>
XPS	<i>X-Ray Photoelectron Spectroscopy</i>

SUMÁRIO

AGRADECIMENTOS	IX
RESUMO	XI
ABSTRACT	XIII
LISTA DE FIGURAS	XV
LISTA DE TABELAS	XIX
LISTA DE ABREVIATURAS E SIGLAS	XXI
SUMÁRIO	XXV
1 INTRODUÇÃO	1
1.1 OBJETIVO	1
1.2 MOTIVAÇÃO	2
1.3 APRESENTAÇÃO DA DISSERTAÇÃO	7
2 PROCESSOS DE DEPOSIÇÃO DE FILMES DE NITRETO DE TITÂNIO	8
2.1 ALD (<i>ATOMIC LAYER DEPOSITION</i>)	8
2.2 CVD (<i>CHEMICAL VAPOR DEPOSITION</i>)	10
2.3 PULVERIZAÇÃO CATÓDICA (<i>SPUTTERING</i>)	13
2.4 GATE FIRST E REPLACEMENT GATE	16
2.5 CARACTERÍSTICAS DO TIN NA LITERATURA	18
3 PROCEDIMENTO EXPERIMENTAL	20
3.1 PRIMEIRA FASE – OBTENÇÃO DE FILMES ULTRA-FINOS DE TIN (COM OU SEM A CAMADA DE PROTEÇÃO DE POLI-SI) SOBRE ÓXIDO DE SILÍCIO ESPESSE	21
3.2 SEGUNDA FASE – FABRICAÇÃO DE CAPACITORES COM ESTRUTURAS MOS DE POLI-SI N ⁺ /TIN E DIELÉTRICO DE SION	32
4 RESULTADOS E DISCUSSÕES SOBRE OS FILMES DE NITRETO DE TITÂNIO	39
4.1 CARACTERIZAÇÃO DAS AMOSTRAS DA PRIMEIRA FASE - FILMES ULTRAFINOS DE TIN (COM OU SEM A CAMADA DE PROTEÇÃO DE POLI-SI) SOBRE ÓXIDO DE SILÍCIO ESPESSE DE 521 NM	40

4.1.1 Análises Raman	40
4.1.2 Análises SEM e EDS	42
4.2 CARACTERIZAÇÃO DAS AMOSTRAS DA SEGUNDA FASE – FABRICAÇÃO DE CAPACITORES COM ESTRUTURAS MOS DE POLI SI N ⁺ /TIN E DIELÉTRICO DE SION	49
5 CONCLUSÕES	60
REFERÊNCIAS.....	64

1 INTRODUÇÃO

1.1 OBJETIVO

O principal objetivo deste trabalho é a obtenção de filmes de nitreto de titânio com espessura inferior a 20 nm, a fim de serem usados no projeto FinFET da FAPESP de transistores 3D, projeto de parceria entre as universidades Unicamp e USP. As exigências deste projeto são: uso de nitreto de titânio como *metal gate* e espessura inferior a 20 nm para o nitreto de titânio. Idealmente, procura-se espessuras inferiores a 10 nm neste projeto, pois isso permite o uso do nitreto de titânio em tecnologias de nó tecnológico de 22 nm ou inferior.

Outro objetivo deste trabalho é a caracterização dos filmes ultrafinos (espessuras inferiores a 20 nm) de nitreto de titânio (TiN) para serem usados como eletrodos de porta para tecnologia CMOS (*Complementary Metal Oxide Semiconductor*). Como estes filmes foram fabricados por uma técnica alternativa não encontrada na literatura (nitretação do Ti seguida da deposição CVD do a-Si:H por plasmas ECR), a caracterização dos filmes assume um papel importante neste trabalho.

Por fim, deseja-se conseguir tornar o filme de a-Si:H (silício amorfo hidrogenado) em um filme policristalino, a fim de minimizar a resistência série da pilha poli-Si n⁺/TiN fabricada.

Espera-se mostrar aqui o potencial desses material como metal de porta para aplicações na tecnologia MOS.

1.2 MOTIVAÇÃO

Segundo o ITRS (*International Technology for Roadmap Semiconductors*), por mais de quatro décadas, a indústria de semicondutores tem se distinguido das demais pelo rápido ritmo de melhoria em seus produtos. As principais categorias que têm mantido essas tendências de aperfeiçoamento são mostradas na tabela abaixo [3]. A maior parte desses aperfeiçoamentos são resultados principalmente da capacidade da indústria de diminuir exponencialmente os tamanhos mínimos dos elementos usados para se fabricar circuitos integrados, que é normalmente expressa pela Lei de Moore (isto é, o número de componentes por chip dobra grosseiramente a cada 24 meses).

Tabela 1 – Tendências de aperfeiçoamento para CIs permitidos pelo escalamento de elementos [3].

Tendência	Exemplo
Nível de Integração	Componentes/chip, Lei de Moore
Custo	Custo por função
Velocidade	Desempenho do microprocessador
Energia	Vida da bateria do celular ou notebook
Compactação	Produtos pequenos e leves.
Funcionalidade	Memória não volátil

Todo esse avanço têm sido alcançado às custas de largos investimentos em P&D. Para ajudar a guiar esses programas de P&D, a *Semiconductor Industry Association* (SIA) iniciou o *The National Technology Roadmap for Semiconductors* (NTRS). Em 1998, a SIA se juntou às associações industriais correspondentes da Europa, Japão, Coreia e Taiwan para começar a trabalhar em direção ao primeiro *International Technology Roadmap for Semiconductors* (ITRS), publicado em 1999. Desde então, o ITRS tem sido atualizado nos anos pares e totalmente revisado nos anos ímpares segundo dados da própria organização. O objetivo mais geral do ITRS é apresentar um relativo consenso de toda a indústria sobre quais seriam as principais necessidades de pesquisa e desenvolvimento da indústria num horizonte de 15 anos. Para este fim, o ITRS fornece um guia para ser usado por empresas, universidades, governos, e outros provedores de pesquisas

ou financiadores com o intuito de ajudar esses grupos a melhorar a qualidade das decisões de investimento em P&D feitas e a canalizar esforços de pesquisa para áreas que mais precisam de avanços e descobertas [3]. Neste contexto, esta dissertação segue as orientações do ITRS, pois visa obter e caracterizar camadas de TiN para serem usadas como eletrodos metálicos de porta de capacitores MOS. Mas por que eletrodos metálicos de porta? Segundo o ITRS [3], publicação da Intel (**Figura 1**) e a referência [1], os eletrodos metálicos de porta e os isolantes de porta com altas constantes dielétricas (*high-k dielectric - HK*) são as principais exigências para o desenvolvimento da tecnologia CMOS com dimensões inferiores a 65 nm [1], [2], [3]. Os materiais dielétricos que apresentam constante dielétrica maior do que a do óxido de silício (SiO_2) são chamados de *high-k* (a constante do do SiO_2 é aproximadamente 3,9) [1]. A **Figura 1**, retirada da apresentação de anúncio da empresa Intel do primeiro transistor tridimensional MOS (Tri-Gate 3D) do mundo, atesta a tendência ao uso de eletrodos metálicos de porta e isolantes high-k para transistores com dimensões inferiores a 65 nm [2].

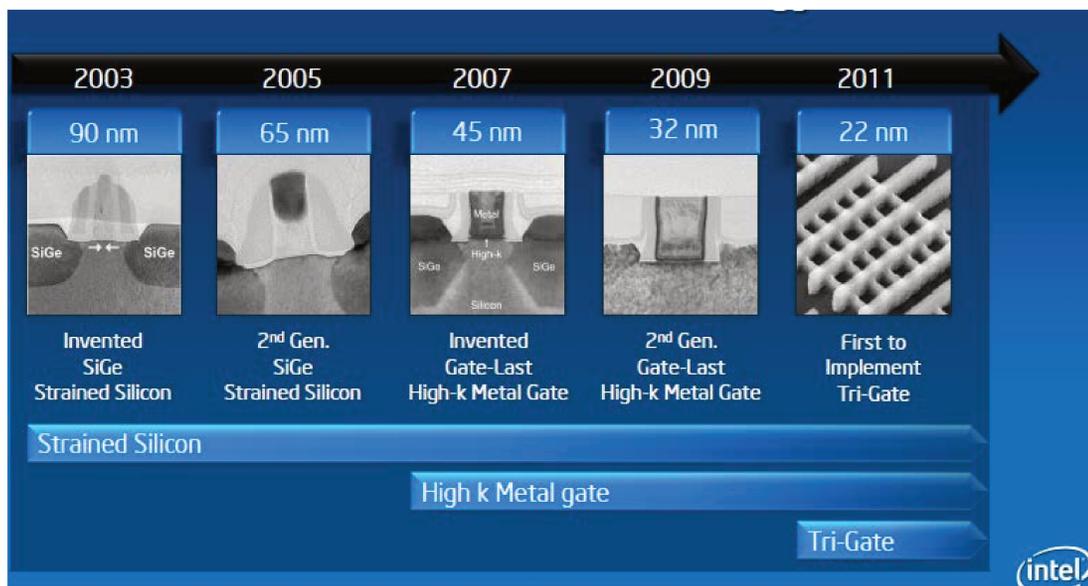


Figura 1 – Inovações em transistores permitem cadência tecnológica. Fonte: Intel [2].

A **Figura 2**, retirada do ITRS *Update Overview* de 2012, também atesta a tendência ao uso de óxidos do tipo *high-k* juntamente com metais na pilha de porta ou *Gate Stack*.

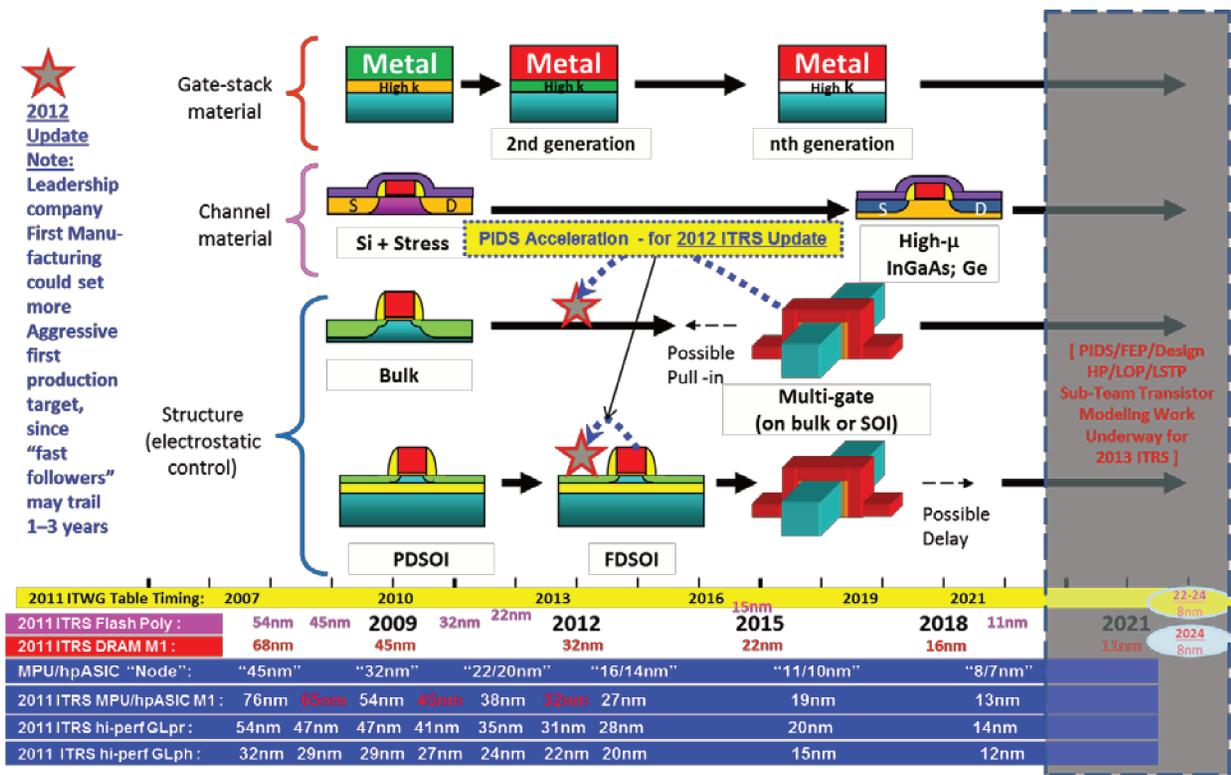


Figura 2 – 2012 ITRS “Equivalent Scaling” [43].

No entanto, o simples uso de materiais do tipo *high-k* com constante dielétrica mais elevada, apesar de reduzir a corrente de fuga, devido à redução do tunelamento quântico, não resolve o problema sozinho. Em estruturas MOS com eletrodo de porta de Si-poli dopado (concentração de aproximadamente 10^{19} cm^{-3}), mesmo fazendo uso de materiais do tipo *high-k* como dielétricos de porta, efeitos indesejáveis já conhecidos e verificados por toda a indústria ocorrem, tais como: a redução da capacitância de porta pela formação de uma camada de depleção no Si-poli (Figura 3) na interface entre o eletrodo e o dielétrico. Além disso, a baixa aderência do Si-poli sobre dielétricos *high-k* é citada na referência [1]. Neste contexto, é necessária a substituição do Poli-Si e o consenso da indústria está no uso de materiais metálicos refratários [1], [2], [3] e essa dissertação apresenta a estrutura empilhada de Poli-Si n^+ /TiN (obtida por método alternativo e inovador baseado em processos com plasmas ECR) como eletrodo de porta alternativo em dispositivos MOS com tecnologias de dimensões inferiores a 65 nm.

O material metálico refratário usado como eletrodo metálico de porta na tecnologia MOS deve apresentar as seguintes características: a baixa resistividade (inferior a $400 \mu\Omega \cdot \text{cm}$) [1], [11], [20], estabilidade térmica para suportar processos em altas temperaturas ($\sim 1000^\circ\text{C}$) [1], [21],

[22], resistência à ataques químicos [1], [21], [22] e compatibilidade e aderência com dielétricos *high-k* e com os processos MOS [1], [21], [22].

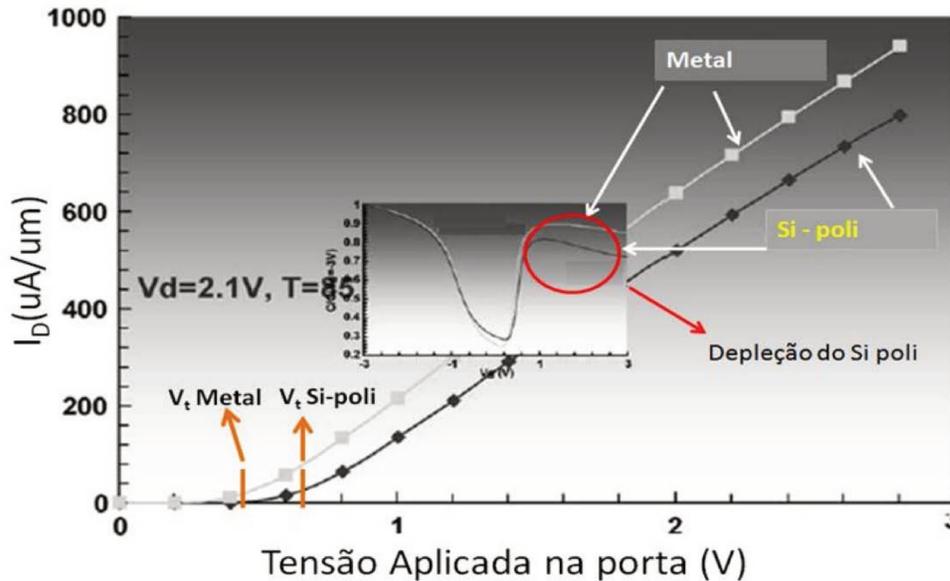


Figura 3 – Curvas I-V e C-V (figura reduzida no centro) de dois dispositivos MOS com eletrodos de porta de Si-poli e metálico. [1].

O óxido de háfnio (HfO_x), que tem constante dielétrica relativa em torno de 20, é o dielétrico *high-k* adotado pela indústria atualmente [1]. No entanto, neste trabalho será utilizado o oxinitreto de silício (SiON), que também é um dielétrico *high-k* e tem constante dielétrica em torno de 4.5 (o fabricado pelo CCS/UNICAMP). O óxido de háfnio não foi usado neste trabalho, pois a obtenção deste filme não está disponível no laboratório do CCS da UNICAMP.

Por fim, em termos de motivação, cita-se aqui que essa dissertação sobre TiN recoberto com Poli-Si é baseada em pesquisas similares feitas pelo IMEC. O IMEC, anteriormente conhecido como *Interuniversity Microelectronics Centre*, é um centro de pesquisa em micro- e nano-eletrônica com sede em Leuven, na Bélgica, e escritórios na Bélgica, Holanda, Taiwan, EUA, China, Índia e Japão [7]. Duas publicações vinculadas ao IMEC mostram o potencial e interesse da comunidade científica no nitreto de titânio [5] [6], e explicitam a necessidade de se buscar e estudar novos materiais de porta para serem utilizados conjuntamente com os dielétricos *high-k* em aplicações CMOS de alto rendimento. Segundo a referência [6], substituindo-se a porta de Poli-Si por eletrodo metálico de porta também pode-se suprimir o efeito de depleção do Si-poli e

reduzir a penetração de dopante através do dielétrico de porta. Além disso, a referência [6] também diz que o nitreto de titânio vem sendo amplamente estudado, pois apresenta as seguintes vantagens: baixa resistividade, uma função trabalho de *midgap* (vide anexo 1) e compatibilidade com técnicas CMOS de processamento padrão [6]. A referência [5] relata que as pesquisas atuais focam em nitretos metálicos como eletrodo de porta, tais como TiN e TaN, devido à excelente estabilidade térmica destes materiais. Na referência [5], a estrutura MOS estudada é formada por Poli-Si p^+ /TiN/HfO₂ sobre silício. Esta estrutura de porta é similar à apresentada nesta dissertação que é formada por Poli-Si n^+ /TiN/SiON. Salienta-se mais uma vez que o método aqui utilizado, baseado na nitretação do Ti seguida da deposição CVD do a-Si:H por plasmas ECR, é inovador, pois não é encontrado na literatura, e é alternativo aos métodos padronizados para a tecnologia CMOS, que serão discutidos no capítulo 2, intitulado: processos de deposição de filmes de nitreto de titânio.

Como explicado nos parágrafos acima, o uso de metais refratários como *Metal Gate* associados a dielétricos *high-k*, são uma exigência da indústria para fabricação de dispositivos com dimensões inferiores a 65 nm.

Dentro deste contexto, foi criado um projeto FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo) com parceria entre a USP e a UNICAMP, onde o objetivo era a fabricação de filmes de TiN com dimensões inferiores a 20 nm, a fim de serem utilizados na fabricação de transistores 3D FinFET. Como os processos atuais de fabricação por *sputtering* de TiN do laboratório do CCS são dimensionados para fabricar filmes com dimensões de até 20 nm, e esta dimensão está acima da exigida pelo projeto FAPESP, desenvolver um processo alternativo de fabricação de filmes de TiN foi necessário. Esta foi a principal razão da fabricação dos filmes de TiN pelo método de fabricação alternativo onde a deposição de Ti ocorreu por evaporação por feixe de elétrons com posterior nitretação por plasma ECR. Além disso, o projeto FAPESP também exige o uso específico do TiN como metal de porta, o que explica porque nenhum filme de TaN foi fabricado.

1.3 APRESENTAÇÃO DA DISSERTAÇÃO

Esta dissertação foi dividida em seis capítulos. Segue abaixo uma breve descrição dos capítulos que compõe a dissertação.

- Capítulo 1 (Introdução): apresenta o objetivo e motivação deste trabalho.

- Capítulo 2 (Processos de deposição de filmes de nitreto de titânio): apresenta os diferentes métodos de deposição dos filmes de TiN, descritos na literatura. Além disso, é apresentado o método de deposição utilizado neste projeto e uma tabela com as características do TiN fabricado encontradas na literatura.

- Capítulo 3 (Procedimento experimental): apresenta de forma detalhada as etapas de fabricação das amostras para caracterização física das estruturas de Poli-Si n+/TiN. Este capítulo apresenta também, as etapas para fabricação dos capacitores MOS.

- Capítulo 4 (Resultados e Discussões): são apresentados os resultados e discussões das análises de espectroscopia RAMAN (cristalinidade), microscopia eletrônica de varredura - SEM (espessura dos filmes), espectroscopia da energia dispersiva do raio-X – EDS (identificação de elementos das estruturas), curvas de capacitância-tensão – C-V (extração de valores de tensão de banda plana).

- Capítulo 5 (Conclusões): apresenta as conclusões dos resultados de caracterização dos filmes obtidos e os trabalhos futuros.

- Referências Bibliográficas: apresenta as referências bibliográficas;

2 PROCESSOS DE DEPOSIÇÃO DE FILMES DE NITRETO DE TITÂNIO

2.1 ALD (*ATOMIC LAYER DEPOSITION*)

A técnica de *Atomic Layer Deposition* (ALD), segundo alguns foi publicada pela primeira vez sob o nome “*Molecular Layering*” (ML) no início de 1960 pelo Prof. S. I. Kol'tsov do Leningrad Technological Institute (LTI) [8]. Outros dizem, que a técnica de ALD teve início com a invenção do Dr. T. Suntola e sua patente intitulada “*Atomic Layer Epitaxy*” de 1974 publicada na Finlândia [23]. Independente da origem controversa da técnica, ela é uma técnica muito importante e tem sido utilizada para depositar filmes de nitreto de titânio [1].

ALD é uma técnica de deposição de filme fino baseada em um processo químico de fase gasosa sequencial, ou seja, um processo químico onde cada fase gasosa entra no processo em uma etapa diferente e separada. A grande maioria das reações de ALD usam duas substâncias químicas, chamadas tipicamente de precursores. Esses precursores reagem com a superfície, um de cada vez, de uma maneira sequencial e auto limitante. Um filme é depositado quando se expõe os precursores à superfície de crescimento [10].

É possível controlar na escala atômica o crescimento de filmes por ALD principalmente devido às características auto limitantes do processo e das reações de superfície. ALD é semelhante quimicamente à técnica de *Chemical Vapor Deposition* (CVD), com a diferença que a reação ALD quebra a reação CVD em duas meias reações, mantendo os materiais precursores separados durante a reação. Mantendo-se os precursores separados por todo o processo de revestimento, o controle de crescimento do filme em camada atômica pode ser obtido tão bom quanto ~ 0.01 nm por ciclo segundo referências. A separação dos precursores é obtida pulsando-se um gás de purga (tipicamente nitrogênio ou argônio) na câmara de processo. Isso acaba por também prevenir a deposição CVD “parasita” sobre o substrato [8].

Segundo a referência [8], ALD pode ser usada para depositar vários tipos de filmes finos, incluindo vários óxidos (e.g. Al_2O_3 , TiO_2 , SnO_2 , ZnO , HfO_2), nitretos metálicos (e.g. TiN , TaN , WN , NbN), metais (e.g. Ru , Ir , Pt), e sulfetos metálicos (e.g. ZnS). Como se pode observar, o nitreto de titânio é explicitamente citado na lista. O crescimento de camadas de material por ALD consiste na repetição dos seguintes passos [8]:

2.2 CVD (CHEMICAL VAPOR DEPOSITION)

Chemical Vapor Deposition (CVD) é uma tecnologia de processamento de materiais amplamente usada. Uma das principais aplicações dessa técnica é a aplicação de revestimentos de filmes finos sólidos a superfícies, mas ela também é usada para produzir materiais a granel de alta pureza e pós, bem como fabricar materiais compósitos via técnicas de infiltração, segundo a referência [11]. Essa tecnologia tem sido usada para depositar uma gama muito ampla de materiais. A **Figura 5**, retirada da referência [11], mostra que a maioria dos elementos da tabela periódica vem sendo depositados por técnicas CVD. Os elementos que vêm sendo depositados por técnicas CVD foram sombreados na tabela periódica e, como se pode observar, praticamente a tabela periódica inteira foi sombreada.

IA	IIA	IIIA	IVA	VA	VIA	VIIA	VIII			IB	IIB	IIIB	IV	VA	VIB	VIIA	O
1 H 1.008																	2 He 4.003
3 Li 6.941	4 Be 9.012											5 B 10.81	6 C 12.01	7 N 14.01	8 O 16.00	9 F 19.00	10 Ne 20.179
11 Na 22.990	12 Mg 24.305											13 Al 26.98	14 Si 28.09	15 P 30.97	16 S 32.07	17 Cl 35.45	18 Ar 39.948
19 K 39.098	20 Ca 40.08	21 Sc 44.956	22 Ti 47.90	23 V 50.942	24 Cr 51.996	25 Mn 54.938	26 Fe 55.847	27 Co 58.933	28 Ni 58.70	29 Cu 63.546	30 Zn 65.39	31 Ga 69.72	32 Ge 72.61	33 As 74.92	34 Se 78.96	35 Br 79.90	36 Kr 83.80
37 Rb 85.468	38 Sr 87.62	39 Y 88.906	40 Zr 91.22	41 Nb 92.906	42 Mo 95.94	43 Tc (99)	44 Ru 101.07	45 Rh 102.905	46 Pd 106.4	47 Ag 107.868	48 Cd 112.4	49 In 114.8	50 Sn 118.7	51 Sb 121.8	52 Te 127.6	53 I 126.9	54 Xe 131.30
55 Cs 132.905	56 Ba 137.33	57 La 138.9	58 Ce 140.115	59 Pr 140.1	60 Nd 144.2	61 Pm (145)	62 Sm 150.4	63 Eu 152.0	64 Gd 157.2	65 Tb 158.9	66 Dy 162.5	67 Ho 164.9	68 Er 167.3	69 Tm 168.9	70 Yb 173.0	71 Lu 174.96	
87 Fr (223)	88 Ra (226)	89 Ac 227.0															

LANTHANIDES	57 La 138.9	58 Ce 140.115	59 Pr 140.1	60 Nd 144.2	61 Pm (145)	62 Sm 150.4	63 Eu 152.0	64 Gd 157.2	65 Tb 158.9	66 Dy 162.5	67 Ho 164.9	68 Er 167.3	69 Tm 168.9	70 Yb 173.0	71 Lu 174.96
ACTINIDES	89 Ac 227.0	90 Th 232.0	91 Pa 231.0	92 U 238.0	93 Np 237.0	94 Pu (244)	95 Am (243)	96 Cm (247)	97 Bk (247)	98 Cf (251)	99 Es (252)	100 Fm (257)	101 Md (256)	102 No (259)	103 Lr (257)

Figura 5 – Tabela periódica onde as caixas sombreadas indicam elementos que tem sido depositados usando-se CVD [11].

Em uma típica CVD, o substrato (ou *wafers*) é exposto a um ou mais precursores voláteis, que reagem e/ou se decompõem sobre a superfície do substrato para gerar a deposição desejada.

Com frequência, também são produzidos subprodutos voláteis, que são removidos por fluxo de gás através da câmara de reação. É sabido que os processos de microfabricação usam amplamente CVD para depositar materiais em várias formas, incluindo: mono cristalina, poli cristalina, amorfa, e epitaxial. A referência [12] contém uma lista de materiais em várias formas que usualmente são depositados por CVD, e nessa lista observa-se que o TiN é referenciado: silício, fibra de carbono, nano fibras de carbono, filamentos, nano tubos de carbono, SiO₂, silício-germânio, tungstênio, carbeto de silício, nitreto de silício, oxinitreto de silício, nitreto de titânio, e diversos dielétricos *high-k* [12]. Ainda segundo a referência [12], a técnica CVD também é usada para produzir diamantes sintéticos. A técnica CVD é realizada em uma variedade de formatos. Esses processos geralmente se diferem nos meios pelos quais as reações químicas são iniciadas. Usaremos aqui a mesma abordagem de classificação usada na referência [12], com algumas alterações e inclusões.

- Classificados pela pressão de operação:
 - *Atmospheric Pressure CVD* (APCVD) – CVD à pressão ambiente.
 - *Low-Pressure CVD* (LPCVD) – CVD à pressões sub atmosféricas.
 - *UltraHigh Vacuum CVD* (UHVCVD) – CVD a pressão muito baixa, tipicamente abaixo de 10⁻⁶ Pa.
- Classificados pelas características físicas do vapor:
 - *Aerosol Assisted CVD* (AACVD) – CVD no qual os precursores são transportados ao substrato através de um aerossol líquido/gasoso.
 - *Direct Liquid Injection CVD* (DLICVD) – CVD no qual o precursor está na fase líquida. Essa técnica apresenta altas taxas de crescimento.
- Classificados por métodos de plasma:
 - *Microwave Plasma-assisted CVD* (MPCVD).
 - *Plasma-Enhanced CVD* (PECVD) – CVD que utiliza plasma para aumentar as taxas de reação dos precursores. PECVD permite deposição a temperaturas mais baixas, o que é muitas vezes crítico na manufatura de semicondutores. As temperaturas mais baixas também permitem a deposição de revestimentos orgânicos segundo a referência [12].
- Outros:
 - *Atomic Layer CVD* (ALCVD) – Deposita camadas sucessivas de diferentes substâncias para produzir filmes cristalinos.

- *Combustion CVD* (CCVD) – Também conhecido como pirólise de chama, é uma técnica baseada em uma chama à atmosfera aberta para depositar filmes finos de alta qualidade e nano materiais.
- *Hot-Wire CVD* (HWCVD) – também conhecida como CVD catalítica (Cat-CVD) ou *Hot Filament CVD* (HFCVD), esse processo usa um filamento aquecido para quimicamente decompor os gases fonte.
- *Metal Organic CVD* (MOCVD) – Esse processo CVD é baseado em precursores metal orgânicos.
- *Rapid Thermal CVD* (RTCVD) – Esse processo CVD usa lâmpadas de aquecimento ou outros métodos para rapidamente aquecer o substrato. Ao aquecer apenas o substrato (ao invés do gás ou das paredes da câmara) ajuda a reduzir reações gasosas indesejáveis que podem levar à formação de partículas.
- *Vapor-Phase Epitaxy* (VPE).
- *Photo-Initiated CVD* (PICVD) – Esse processo usa luz UV para estimular reações químicas.
- *Electron Cyclotron Resonance CVD* (ECR-CVD) – CVD que faz uso de equipamento de ECR para realizar as deposições.

2.3 PULVERIZAÇÃO CATÓDICA (*SPUTTERING*)

Pulverização catódica ou *Sputtering* é um processo por meio do qual átomos são ejetados de um alvo sólido devido ao bombardeamento do alvo por partículas energéticas. O *sputtering* é comumente utilizado para a deposição de filmes finos, mas também para corrosão e técnicas analíticas segundo a referência [13].

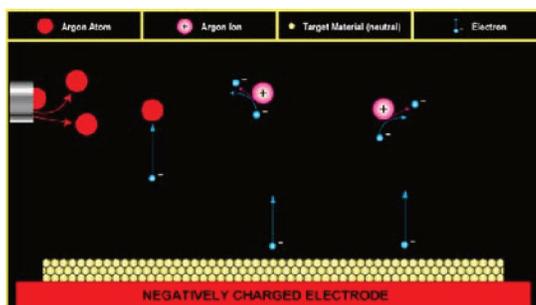


Figura 6 – Ilustração onde o átomo de argônio inicialmente neutro (em vermelho) fica carregado positivamente ao perder um elétron (cor se altera para rosa) e, a partir de então, passa a se mover sob influência do campo elétrico seguindo em rota de colisão contra a superfície do alvo (em amarelo na figura). Fonte: AJA International [16].

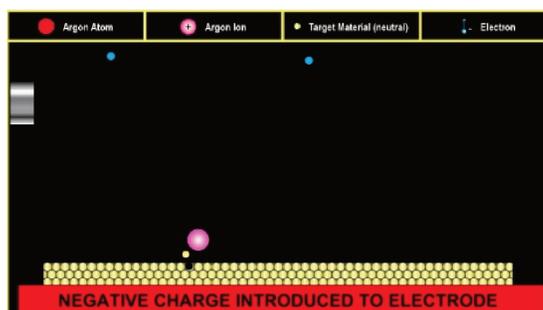


Figura 7 – Ilustração mostrando o momento onde um átomo do alvo (em amarelo) é ejetado após sofrer colisão com o íon de argônio carregado (rosa). Fonte: AJA International [16].

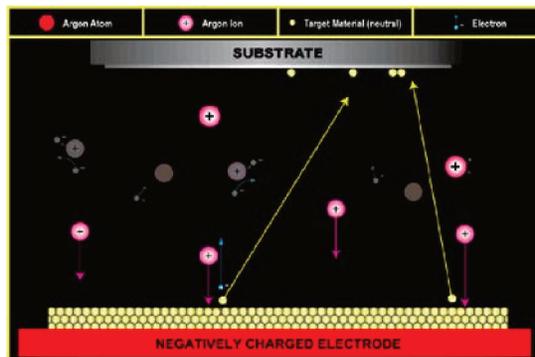


Figura 8 – Ilustração mostrando o processo de deposição do alvo (em amarelo) sobre o substrato. Fonte: AJA International [16].

Deposição por *Sputtering* é um método PVD de depositar filmes. Essa técnica envolve a ejeção de material de um “alvo” (que é a fonte de material a ser depositado) em direção a um “substrato” tal como um *wafer* de silício. *Resputtering* é a reemissão do material depositado durante o processo de deposição pelo bombardeamento de um íon ou átomo. Átomos que foram ejetados por *sputtering* do alvo têm uma vasta distribuição de energia, tipicamente até dezenas de eV (100.000 k) segundo a referência [14]. Os íons *sputtering* (tipicamente apenas uma pequena fração das partículas ejetadas são ionizadas – da ordem de 1%) podem voar balisticamente do alvo em linhas retas e impactar energeticamente sobre os substratos ou câmaras de vácuo (causando *resputtering*). Toda a faixa de energia dos átomos ejetados, partindo do impacto balístico de alta energia até o movimento termalizado de baixa energia, está acessível pela mudança da pressão de gás de fundo (*background gas pressure*). O gás usado para *sputtering* é com frequência um gás inerte como o argônio [1] [14]. Para transferência de momento de maneira eficiente, o peso atômico do gás *sputtering* deve ser próximo ao peso atômico do alvo, portanto, para pulverização de elementos leves o Neon é preferível, enquanto que para elementos pesados o Xenônio e o Criptônio são usados. Gases reativos também podem ser usados para pulverizar compostos. O composto pode ser formado sobre a superfície do alvo, em voo ou sobre o substrato dependendo dos parâmetros de processo. A disponibilidade de muitos parâmetros que controlam a deposição por *sputtering* tornam essa técnica um processo complexo, mas também permite a experts um vasto grau de controle sobre o crescimento e microestrutura do filme.

Uma importante vantagem da deposição por *sputtering* é que mesmo materiais com alto ponto de fusão são facilmente pulverizados enquanto a evaporação desses materiais em uma evaporadora de resistência ou célula Knudsen é problemática ou impossível. Filmes pulverizados

normalmente têm uma aderência melhor sobre o substrato do que filmes evaporados segundo a referência [14]. Um alvo contém uma grande quantidade de material e é livre de manutenção tornando a técnica adequada para aplicações de ultra alto vácuo.

Algumas desvantagens do processo de pulverização catódica ou *sputtering* são que o processo é mais difícil de ser combinado com *lift-off* para se estruturar um filme (*lift-off*, em tecnologia de microestruturação, é um método para se criar estruturas de um material alvo sobre a superfície de um substrato (*e.g. wafer*) fazendo uso de um material de sacrifício (*e.g. fotoresiste*) [15]), o controle ativo do crescimento camada por camada é difícil e gases provenientes do *sputtering* são incorporados ao filme em crescimento como impurezas.

A técnica de *sputtering* emprega com frequência fontes chamadas *magnetrons* que utilizam campos elétricos e magnéticos fortes para confinar partículas de plasma carregadas próximas a superfície do alvo de *sputter*. Em um campo magnético os elétrons seguem trajetórias helicoidais em torno das linhas de campo magnético sofrendo mais colisões ionizantes com os gases neutros próximos a superfície do alvo. Como já foi dito, o gás *sputtering* típico utilizado aqui é o argônio. Os íons de argônio extra gerados como resultado dessas colisões extras levam a uma maior taxa de deposição. Isso também significa que o plasma pode ser mantido a uma pressão menor. Os átomos que sofreram *sputtering* são neutros e, portanto, não são afetados pela armadilha magnética criada pelo *magnetron*. A acumulação de carga em isolantes pode ser evitada com o uso de um *sputtering* de RF.

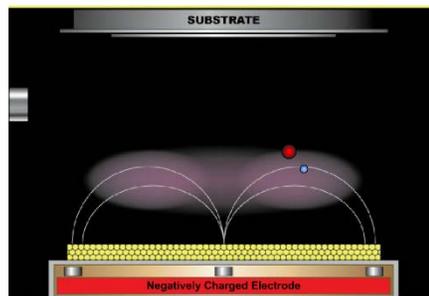


Figura 9 – Ilustração mostrando um elétron confinado no campo eletromagnético próximo à superfície do material alvo. Fonte: AJA International [16].

2.4 GATE FIRST E REPLACEMENT GATE

A implementação do empilhamento HKMG (*high-k metal gate*) é desafiadora e exige o ajuste da função trabalho de porta MOS para controlar V_t , através do emprego de novos materiais e novos processos de integração [34]. Em relação aos materiais, por exemplo, a calibração do V_t pode ser alcançada pela seleção de metais de função trabalho apropriada [34], tais como o TiN, que é o escopo desta dissertação. Em relação aos processos, dois tipos principais de processos de integração (**Figura 10**) são usados: i) o *gate first* - em que o metal e o dielétrico de porta são depositados (Etapas *Dep Hi-k & Met 1* na Figura 10) antes da definição da porta (Etapas *Patt Met 1 & Dep Met 2* na Figura 10) e da formação de Fonte/Dreno e de Contatos (Etapas *S/D formation & Contacts* na Figura 10); e ii) o *replacement gate* ou também conhecida como *gate last* - em que uma porta de sacrifício é fabricada para a definição de Fonte/Dreno (Etapas *Dep & Patt Hi-k+Gate* e *S/D formation & ILD dep/polish* na Figura 10) e mais tarde substituída pelo material metálico de porta (Etapas *Rem Gate & Patt Met 1* e *Dep Met 2+Fill & Polish* na Figura 10) [55]. Importante ressaltar que, respectivamente, os primeiro (*gate first*) e segundo (*gate last*) processos são executados antes e depois da formação de Fonte/Dreno dos transistores MOS, que exige altas temperaturas em torno de 1000°C para a reconstrução da camada cristalina após implantação de íons e ativação de dopantes. No primeiro exige-se que os materiais de eletrodo de porta MOS tenham estabilidade térmica para que suportem altas temperaturas e no segundo não, pois são colocados após a utilização de processos com altas temperaturas. A seguir serão apresentadas as vantagens e desvantagens de cada um destes processos.

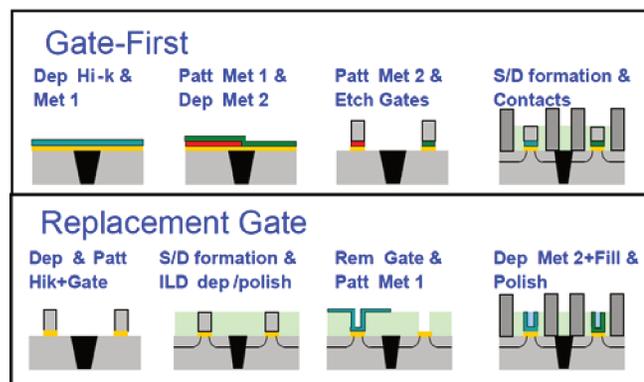


Figura 10 – Etapas do *Gate First* versus *Replacement Gate*. [55]

Desde o nó tecnológico de 45 nm, a tecnologia HKMG (*high-k metal gate*) tem sido implementada em chips comerciais de silício, sendo preferencialmente utilizado o esquema (apresentado na Figura 10) de processo de integração *replacement gate* [56]. O processo *replacement gate* possui algumas vantagens sobre o processo *gate first*, tais como: permitir o recozimento de fonte/dreno dos transistores MOS em temperaturas mais elevadas (em torno de 1000°C) previamente à deposição do metal (para melhor ativação de dopantes), pois utiliza um eletrodo de porta sacrificial que será removido após terminado os processos de alta temperatura. Outra vantagem está relacionada ao escalamento de EOT e à diminuição de V_t , que são parâmetros difíceis de obter simultaneamente na tecnologia HKMG [56]. Para esta tecnologia, que usa portas MOS formadas por camadas empilhadas de diferentes materiais, etapas de processo de alta carga térmica devem ser intencionalmente evitadas, utilizando-se então como alternativa o processo de integração *replacement gate* para melhorar a estabilidade térmica de parâmetros, tais como V_t e V_{FB} .

No entanto, considerando o custo de processo e a complexidade, pois deve ser executado em mais etapas (**Figura 10**), o processo *replacement gate* pode não ser adequado principalmente para dispositivos de baixa potência, em que a redução da corrente de fuga é o parâmetro mais importante [56].

Como o *gate first* é um processo de menor complexidade e mais barato, por seguir fluxo de processos convencionais, e mais robusto, por permitir o emprego de processos com temperaturas mais elevadas (em torno de 1000°C) sobre o *gate*, este foi o método exigido pelo projeto temático da FAPESP sobre o FinFET e, portanto, também foi o processo obrigatoriamente usado na pesquisa desta dissertação. Assim, as camadas empilhadas de eletrodo de porta Poli-Si n+/TiN fabricadas nesta dissertação devem suportar estes processos com temperaturas mais elevadas.

A **Tabela 2** mostra um resumo dos prós e contras dos esquemas de processo *gate first* e *replacement gate*.

Tabela 2 – Prós e contras de diferentes opções de integração HKMG [57].

	Gate First	Gate Last
Dielétrico	Formado antes da definição de Fonte/Dreno	Formado antes ou depois da definição de Fonte/Dreno
Eletrodo	Depositado antes da definição de Fonte/Dreno	Depositado depois da definição de Fonte/Dreno
Prós	Segue fluxo de processos convencional	Executado com carga térmica reduzida
Contras	Executado com alta carga térmica Ajuste Complexo do V_T e do EOT	Complexidade, custo

2.5 CARACTERÍSTICAS DO TiN NA LITERATURA

A **Tabela 2** apresenta um resumo de algumas características do nitreto de titânio encontradas na literatura. A **Tabela 2** servirá de base para comparar os resultados deste trabalho com os resultados obtidos por outros trabalhos.

Tabela 3 – Nitreto de titânio na literatura.

Processo	Camada Protetora	Espessura TiN (nm)	Dielétrico de porta	Características	Referência
<i>Sputtering</i>	Al	20-300	SiO ₂ ou SiO _x N _y	C-V, G-V, I-V, Raman V _{FB} = -0,29 V W _F = 4,65 eV ρ=350-420 μΩ.cm	[1] [28]
<i>ALD, CVD, PVD</i>	Poli-Si SiO ₂ **	20	SiO ₂	C-V, J-V, EOT, SIMS, W _F Al implantado V _{FB} = -0,11 a -0,33 V	[32]
<i>ALD</i>	n.a.	3-20	HfO ₂ /SiO ₂	EELS, Mobilidade	[33]
<i>Sputtering</i>	n.a.	200	SrTiO ₃ /HfO ₂ /SiO ₂	C-V, I-V, EELS, EOT, HRTEM	[27]
<i>ALD, PVD</i>	AlO _x ou LaO _x	***	HfO ₂	C-V, EOT eW _F = 4,84; 4,95 eV V _{FB} ≈ -0,2 a -1,0 V	[34]
<i>Plasma ALD</i>	TaN**** TiN****	5-10	HfO ₂	C-V, J-V, EOT V _{FB} ≈ 0,33 a 0,57 V	[35]
<i>Sputtering</i>	n.a.	*****	HfO ₂	C-V, J-V, TEM, W _F V _{FB} = 0,35 V	[36]
<i>Sputtering, PVD</i>	n.a.	100	HfO ₂ ou HfSiON	C-V, J-EOT, AFM, Taxa de Corrosão (TiN)	[37]
<i>Sputtering</i>	Poli-Si ou W	2,5-10	HfO ₂ ou HfSiON	C-V, EOT V _{FB} ≈ 0,4 a 0,55 V	[38]
<i>Sputtering</i>	Poli-Si ou NiAl _x Si ₂	2-5	HfO ₂	C-V, J-V, EELS, EOT, RBS, (S)TEM, ToF-SIMS, XPS	[39]

<i>Sputtering</i>	n.a.	*****	SiO ₂	C-V, I-V, G-V RBS	[40]
<i>Sputtering</i>	n.a.	45	n.a.*.*	RBS, TEM, XPS	[41]
<i>ALD</i>	Poli-Si	2 ou 5 ou 10	HfO	C-V, I-V, EOT, Mobilidade	[42]
<i>Sputtering</i>	n.a.*	108 ou 144	n.a.	Raman	[29]
<i>Sputtering</i>	n.a.	300-1660	n.a.	Raman	[30]

* multicamada TiAlN/TiN ou TiN/NbN.

** Al implantado através de 10 nm de SiO₂ para evitar danos ao dielétrico (SiO₂) e para parar os íons no TiN.

*** Espessura do Ti de 15 nm. Nenhuma referência à espessura do TiN.

**** W ou Al foram usados por cima da camada protetora.

***** Espessura do TiN não é citada.

. TiN/TiSi₂/Si

3 PROCEDIMENTO EXPERIMENTAL

Filmes ultrafinos foram obtidos através da evaporação por feixe de elétrons de camadas ultrafinas (de 1 ou 2 nm de espessura) de titânio (Ti) com posterior nitretação por plasma ECR (*Electron Cyclotron Resonance*) de nitrogênio (N₂). Após a deposição e nitretação do titânio, a fim de evitar a oxidação dos filmes, no mesmo reator ECR da nitretação, executou-se a deposição CVD (*Chemical Vapor Deposition*) de filmes de a-Si:H (silício amorfo hidrogenado) usando plasma de SiH₄/Ar. Estes filmes de a-Si:H foram implantados com fósforo (P⁺) e recozidos por processamento térmico rápido para torná-los dopados n⁺ e policristalinos. Assim, foram formados eletrodos de porta (*Metal Gate*) MOS com estruturas Poli-Si n[±]/TiN. Para a apresentação em detalhes de cada camada obtida destas estruturas de porta, os procedimentos experimentais desta dissertação estão divididos em duas fases. A primeira fase a respeito da obtenção de filmes ultrafinos de nitreto de titânio (com ou sem a camada de proteção de Poli-Si) sobre óxido de silício espesso (500 nm). Esta fase foi usada para calibrar os processos e verificar, através de caracterizações físicas, tais como espectroscopia Raman e EDS, se o nosso método pode formar estruturas Poli-Si/TiN com estabilidade térmica suficiente para suportar processos em temperaturas em torno de 1000°C. A segunda fase contém os procedimentos de fabricação de capacitores MOS com estruturas de porta Poli-Si n[±]/TiN e dielétrico de SiON obtido por oxinitretação do Si do substrato por plasma ECR. A seguir cada uma das fases é apresentada. Salienta-se que, os sistemas (usados nesta dissertação) de evaporação por feixe de elétrons (sistema MBE adaptado de ultra alto vácuo da ordem de 10⁻⁹ mbar) e de plasma de alta densidade do tipo ECR são do Grupo de Pesquisa formado por três Departamentos da Universidade Estadual de Campinas (UNICAMP): Departamento de Semicondutores, Instrumentos e Fotônica (DSIF) da Faculdade de Engenharia Elétrica e de Computação (FEEC); Laboratório de Pesquisas em Dispositivos (LPD) do Instituto de Física “Gleb Wataghin”(IFGW); e Centro de Componentes Semicondutores (CCS). O sistema de FIB (Focused Ion Beam) / SEM (Scanning Electron Microscopy), que será usado para a caracterização SEM e EDS, pertence ao mesmo grupo e ao Instituto de Química (IQ) da Unicamp. Os outros equipamentos e sistemas são do CCS.

3.1 PRIMEIRA FASE – OBTENÇÃO DE FILMES ULTRA-FINOS DE TiN (COM OU SEM A CAMADA DE PROTEÇÃO DE POLI-Si) SOBRE ÓXIDO DE SILÍCIO ESPESSO

Nesta primeira fase, duas lâminas de silício de 2 polegadas de diâmetro do tipo P foram usadas. As lâminas passaram por um processo de limpeza chamado **limpeza completa**. Essa limpeza consiste nas seguintes etapas:

- 1) $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ (4:1) em 80°C por 10 min (chamada de solução "piranha"): utilizada principalmente para remover gorduras presentes na superfície das lâminas. Esta é uma reação exotérmica;
- 2) $\text{HF}/\text{H}_2\text{O}$ (1:10) em temperatura ambiente por 10s: utilizada para remoção de SiO_2 .
- 3) $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5) em 80°C por 10 min: utilizada para remoção de gorduras como também para remover alguns metais que possam estar na superfície da lâmina.
- 4) $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1:1:5) em 80°C por 10 min: utilizada especificamente para remoção de metais na superfície da lâmina.

Entre uma solução e outra, as lâminas são submetidas a um enxágue com água deionizada (DI), de resistividade de $18 \text{ M}\Omega\cdot\text{cm}$, por 3min. A secagem das lâminas é feita com jato de nitrogênio. Após o término da limpeza, essas lâminas foram oxidadas no forno de oxidação (ver **Figura 10**) seguindo a seguinte receita:

- 1) N_2 : 5 minutos (na boca do forno).
- 2) $\text{N}_2 + \text{H}_2\text{O}$: 100 minutos em forno a temperatura de aproximadamente 1000°C .
- 3) N_2 : 10 minutos (na boca do forno).

As etapas 1 e 3, onde as amostras foram colocadas na boca do forno, servem para evitar que as amostras trinquem por choque térmico devido a uma mudança brusca na temperatura. Isso permite que o aquecimento (etapa 1) e o resfriamento (etapa 3) sejam mais graduais, aplicando menos tensão sobre as amostras.



Figura 11 – Sala do forno de oxidação no CCS [17].

Após as oxidações, as duas lâminas de silício oxidadas tiveram as medidas de seus óxidos realizadas no interferômetro da marca RUDOLPH, modelo FTM-STD.



Figura 12 – Interferômetro da marca RUDOLPH, modelo FTM-STD.

Outro equipamento que também foi utilizado para medir as espessuras dos óxidos foi o Elipsômetro da marca RUDOLPH, modelo XX 2,4C.



Figura 13 – Elipsômetro da marca RUDOLPH, modelo XX 2,4C.

Após oxidar as lâminas, foram realizadas medidas de espessura do SiO₂, tanto por elipsometria quanto por interferometria, que resultaram em 521 nm. Decidiu-se que em uma das lâminas seriam depositados aproximadamente 1 nm de espessura de titânio, enquanto que em outra seriam depositados aproximadamente 2 nm. Esta sistemática se repetiu em todos os processos, inclusive na etapa de fabricação de capacitores MOS.

Além disso, também ficou decidido que cada uma das lâminas receberia quatro nitretações por plasmas ECR diferentes (após a deposição de titânio). Por este motivo, as duas lâminas tiveram de ser clivadas em quatro partes nesta etapa.

Tendo como base a concentração de nitrogênio e argônio atmosféricas na câmara de processo durante a nitretação e a espessura do titânio depositado, criou-se uma nomenclatura que passou a ser adotada em todo o trabalho. A Tabela 1 mostra como ficou definida a nomenclatura tendo como base os parâmetros citados anteriormente.

Tabela 4 – Nomenclatura das amostras dessa dissertação tendo como base a espessura do titânio depositado e as concentrações de N₂ e Ar.

Espessura de Ti Depositado (nm)	Concentração de N₂ (sccm)	Concentração de Ar (sccm)	Nomenclatura da amostra
1	5	25	<i>Ti10N5Ar25</i>
1	10	20	<i>Ti10N10Ar20</i>
1	15	15	<i>Ti10N15Ar15</i>
1	20	10	<i>Ti10N20Ar10</i>
2	5	25	<i>Ti20N5Ar25</i>
2	10	20	<i>Ti20N10Ar20</i>
2	15	15	<i>Ti20N15Ar15</i>
2	20	10	<i>Ti20N20Ar10</i>

Como mostrado na **Tabela 3** e na **Figura 13**, o número de amostras diferentes analisadas nessa primeira fase foi de oito, sendo mais oito na segunda fase seguindo a mesma nomenclatura.



Figura 14 – Ilustração mostrando a clivagem das lâminas de silício em quatro partes e a numeração usada como nomenclatura tendo como base a espessura do titânio depositado e as concentrações de gás N_2 e Ar.

Finda a clivagem das amostras, antes das etapas de deposição de titânio (por evaporação por feixe de elétrons), nitretação (por plasmas ECR de N_2/Ar) e deposição de a-Si:H por ECR-CVD são executadas, as lâminas passaram novamente pela **limpeza completa** descrita anteriormente. Após o término da limpeza das lâminas, as mesmas estão prontas para a próxima etapa de deposição de titânio e nitretação.

A deposição de titânio foi realizada em um sistema de MBE (*Molecular Beam Epitaxy*) de ultra alto vácuo adaptado para trabalhar como evaporadora por feixe de elétrons. A **Figura 14** mostra três imagens do sistema que foi utilizado nessa dissertação para realizar a deposição do titânio, assim como uma imagem do equipamento em funcionamento na **Figura 15**. Os parâmetros utilizados nesta etapa foram:

- 1) Taxa de deposição: 0,04 nm / seg.
- 2) Pressão de base: $1,1 \cdot 10^{-7}$ mbar.
- 3) Pressão de processo: $0,9 \cdot 10^{-8}$ mbar.
- 4) Corrente do feixe: 38 mA.
- 5) Varredura do feixe: 5 S/N.

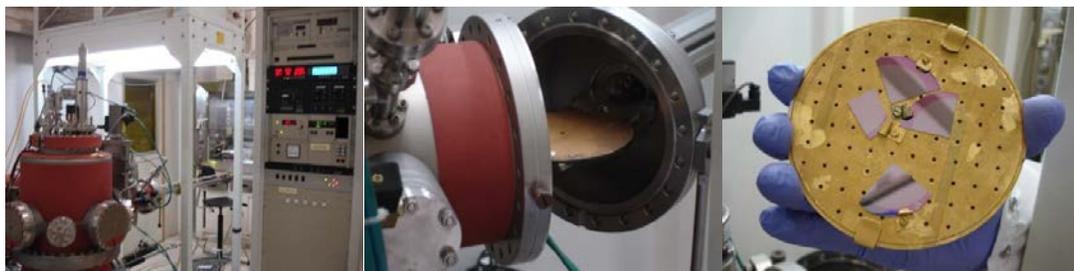


Figura 15 – A imagem à esquerda mostra o sistema de MBE de ultra alto vácuo adaptado para trabalhar como evaporadora por feixe de elétrons conjuntamente com seu painel de controle. A imagem central mostra a câmara de entrada das amostras. A imagem à direita mostra as amostras fixadas ao suporte do equipamento prontas para serem inseridas no mesmo.

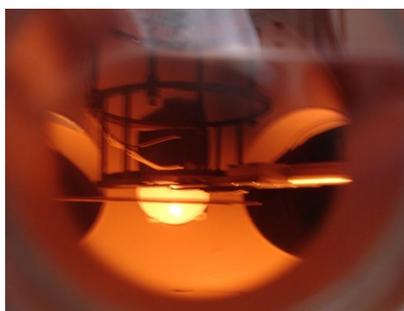


Figura 16 – Evaporadora por feixe de elétrons em funcionamento durante a deposição do titânio.

O titânio é um metal que oxida com facilidade [1]. Por conta disso, para reduzir a oxidação das amostras, imediatamente após a deposição do titânio todas as amostras foram mergulhadas em água DI até que tivesse início a etapa seguinte de nitretação. O uso de água DI, além de reduzir a oxidação das lâminas, evita a contaminação por particulados do ar do ambiente. Trata-se de uma solução já utilizada anteriormente de maneira eficaz no CCS e por este motivo adotou-se aqui o mesmo procedimento. As amostras são retiradas da água DI embaixo do fluxo laminar que situa sobre o sistema ECR, e são secas por jato de nitrogênio no mesmo local, sendo inseridas imediatamente na antecâmara do sistema ECR para o início do processo de nitretação, que será explicado a seguir.



Figura 17 – Amostras mergulhadas em água DI após a deposição de titânio para evitar a oxidação das lâminas.

Após a deposição de titânio em todas as amostras, a etapa seguinte foi a nitretação por plasma ECR no equipamento PLASMA-THERM SLR 770. Os fluxos de N₂ e Ar foram variados conforme descrito pela **Tabela 3**. Excluindo-se as variações de fluxos de N₂ e Ar, a receita utilizada no ECR foi:

- 1) Pressão: 4 mTorr.
- 2) Potência ECR: 425 W.
- 3) Potência RF: 5 W.
- 4) DC bias [-V]: 7-16.
- 5) Tempo: 15 minutos.
- 6) Pressão Base: $1,2 \cdot 10^{-5}$ Torr.
- 7) Temperatura: 20 °C.

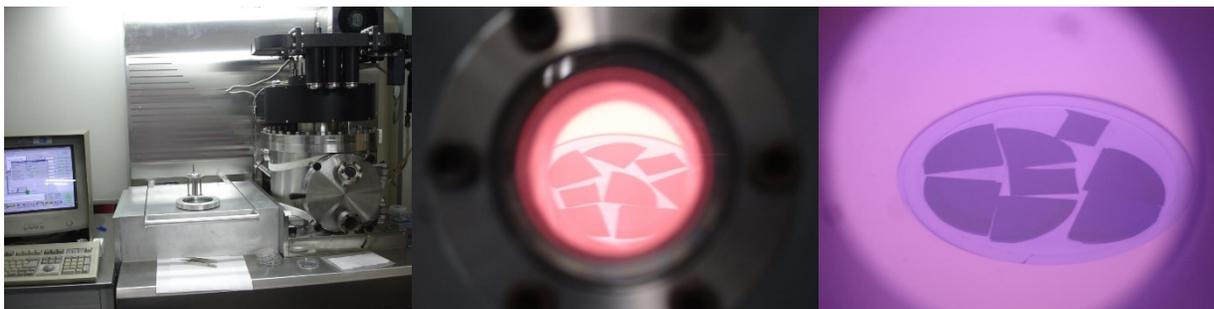


Figura 18 – Equipamento de plasma ECR (à esquerda), zoom em um dos orifícios do equipamento durante a nitretação mostrando a coloração alaranjada do plasma (imagem central) e zoom em um dos orifícios durante a deposição de silício amorfo mostrando a coloração rocha do plasma (à direita).

Seguindo a solução adotada pelo IMEC de recobrir os filmes de TiN com uma camada de silício amorfo para dar maior conformidade ao filme principalmente durante as etapas térmicas

que irão se seguir e também para proteger o filme de TiN da oxidação, depositou-se silício amorfo parcialmente sobre as amostras. A razão de se ter depositado o silício amorfo parcialmente sobre as amostras foi de permitir a análise do filme de TiN tanto diretamente quanto indiretamente (através do filme de silício) posteriormente. Para recobrir de maneira parcial as amostras com silício, utilizou-se pedaços de lâminas como máscara, cobrindo parcialmente as amostras, deixando apenas uma parte das mesmas exposta à deposição de silício. A **Figura 18** ilustra o esquema que foi montado.

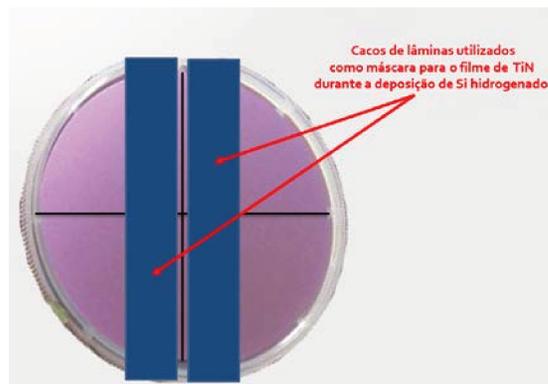


Figura 19 – Ilustração do esquema montado para depositar silício amorfo apenas em parte das amostras utilizando-se cacos de lâmina como máscara no processo.

A receita utilizada para depositar o silício amorfo no ECR foi:

- 1) Fluxos: 20 sccm de Ar e 200 sccm de SiH_4 .
- 2) Pressão: 4 mTorr.
- 3) Potência ECR: 425 W.
- 4) Potência RF: 5 W.
- 5) DC bias [-V]: 16.
- 6) Temperatura: 20 °C.
- 7) Tempo: 15 minutos.
- 8) Pressão Base: $1,2 \cdot 10^{-5}$ Torr.
- 9) Taxa de deposição: 10 nm / min.

Após a conclusão da deposição parcial de silício amorfo sobre a superfície das amostras, elas foram submetidas a uma nova **limpeza completa** e, em seguida, a uma implantação de íons

no sistema da marca/modelo EATON GA4204 [18]. A implantação realizada teve as seguintes características:

- 1) Elemento: Fósforo ($^{31}\text{P}^+$).
- 2) Energia: 20 keV.
- 3) Dose: $1 \cdot 10^{16} \text{ cm}^{-2}$.
- 4) Ângulo/Tilt : 7° .

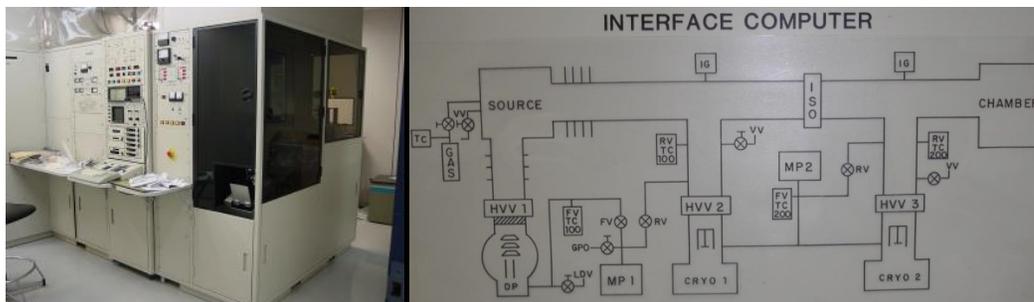


Figura 20 – Implantador de íons EATON GA4204 localizado no CCS da UNICAMP (à esquerda) e seu esquema de interface (à direita) [18].

Após a implantação, as amostras foram novamente submetidas à **limpeza completa**. Por fim, as amostras foram submetidas a uma etapa de recozimento térmico rápido conhecida como RTA (*Rapid thermal Annealing*) no sistema JIPELEC/JETFIRST, com o intuito de tornar o filme amorfo de silício em policristalino. Vale salientar que a parte dos substratos com os filmes de TiN sem a camada superior de silício amorfo também passaram pelo mesmo processo. Assim, a posterior análise Raman dos filmes de TiN, com ou sem a camada superior de Poli-Si, mostrará se essas estruturas apresentam estabilidade térmica ao processo RTA através da presença ou não dos picos correspondentes ao TiN. Vale lembrar que além de converter o filme silício amorfo em cristalino, outra função do processo RTA é a ativação dos dopantes.



Figura 21 – Equipamento de RTA localizado no CCS.

Os parâmetros utilizados na etapa de RTA foram:

- 1) Rampa de aquecimento: 50 °C/s.
- 2) Processo: 1050 °C / 60 s.
- 3) N₂: 4500 sccm.
- 4) Resfriamento: 240 s.

Após a etapa de RTA, deu-se por concluída a fabricação dos filmes, restando apenas as medidas de caracterização dos mesmos a serem realizadas através das medidas de 4 pontas, AFM, espectroscopia Raman, EDS, entre outras.

Sobre o equipamento de Raman/AFM é interessante dizer que graças a associação de um espectrômetro Raman com um microscópio de prova AFM, tal sistema permite obter espectros Raman, tirando partido do efeito TERS (*Tip-Enhanced Raman Scattering*), com resoluções que podem chegar a 30-40 nm (as quais estão bem além do limite de difração), segundo a referência [25]. Ainda de acordo com a referência [25], os melhores microscópios de efeito Raman convencionais têm resoluções de 200 nm. Assim, podem ser obtidos espectros Raman de estruturas nanométricas, nas quais, em princípio, o limite de resolução espacial é o próprio diâmetro da ponta (*tip*) do AFM [25]. O equipamento está funcionando com um laser operando em 488 nm [25].



Figura 22 – Equipamento Raman Spectroscopy AFM System, modelo NTEGRA Spectra, produzido pela empresa NT-MDT [25].

O sistema de medidas quatro pontas mostrado na **Figura 22** é do modelo RM3, produzido pela empresa JANDEL ENGINEERING LTD.



Figura 23 – Equipamento de medidas 4 pontas localizado no CCS.

Por fim, o sistema *Dual-Beam* modelo NOVA 200 NANOLAB da empresa FEI Co é apresentado na **Figura 23**. Como consta na referência [26], o sistema FIB-SEM pode ser considerado como uma ferramenta essencial para fabricação das novas gerações de MEMS e NEMS (*Micro and Nano Electrical Mechanical Systems*), pois esse sistema permite gravar padrões na superfície diretamente, sem o uso de máscaras, possibilitando a prototipagem rápida de dispositivos, pode ser usado para a deposição de metais e dielétricos e, além disso, pode obter imagens de alta resolução através de microscopia eletrônica de varredura. O sistema FIB opera de modo semelhante ao SEM, fazendo a varredura da superfície por feixe de partículas. Esse modelo utiliza um feixe de íons de Gálio com um diâmetro de feixe de cerca de 7 nm. Durante a interação do feixe com a superfície ocorre a produção de várias partículas secundárias (íons, átomos e elé-

trons). Dessa forma, tanto os íons como o elétrons secundários podem ser coletados para a formação de imagens da superfície. Esse sistema pode operar em dois regimes distintos, dependendo da corrente do feixe de íons e do tempo da exposição:

- (i) Aquisição de imagens que utiliza corrente baixa e tempos curtos.
- (ii) Modificação da superfície que geralmente utiliza corrente bastante alta durante períodos maiores, permitindo pulverizar o substrato produzindo cortes, buracos e canais na superfície.

O sistema também permite a deposição direta de metais e dielétricos como platina (ou tungstênio) e óxido de silício, através de processos induzidos pelo feixe de gálio incidente na superfície em ambiente de gases especiais que são injetados diretamente sobre a superfície processada. Para deposição de metais, são utilizados gases organometálicos e para deposição de óxido de silício, TEOS (*Tetraethylorthosilicate*).



Figura 24 – Sistema *Dual-Beam* (FIB-SEM) localizado no CCS [26].

O sistema FIB/SEM também tem instalado um espectrômetro EDS, que se baseia na microanálise dos raios-X provenientes da interação do feixe de elétrons do SEM com o material da amostra. Assim, ele caracteriza a composição elementar da amostra, pois o feixe de elétrons do SEM interage com os átomos da superfície da amostra, promovendo a ejeção de elétrons de níveis de energia K e L desses átomos. Conseqüentemente, ocorre a transição de elétrons proveni-

entes de níveis de energia mais altos para completar as ausências de elétrons em K e L. Destas transições, denominadas $K\alpha$ e $L\alpha$, surgem fótons de raios-X, que são emitidos para promover o balanço energético entre dois estados eletrônicos. Cada elemento químico da amostra tem fótons de raios-X das transições $K\alpha$ e $L\alpha$ diferentes, pois apresenta distribuições eletrônicas diferentes. Estes fótons são medidos por um detector, que indica a presença do elemento químico na amostra em análise, resultando em um espectro da intensidade em função da energia dos fótons de raios-X provenientes da amostra.

3.2 SEGUNDA FASE – FABRICAÇÃO DE CAPACITORES COM ESTRUTURAS MOS DE POLI-Si n^+ /TiN E DIELETRICO DE SiON

Nesta segunda fase, a fabricação dos capacitores seguiu, em diversas etapas, os mesmos processos ou processos bastante similares aos utilizados na fabricação dos filmes descritos na primeira fase. Novamente foram utilizadas duas lâminas de silício de 2 polegadas de diâmetro do tipo P (resistividade entre 1 e 10 $\Omega\cdot\text{cm}$). Como a fabricação dos capacitores depende de um processo *lift-off* para a definição da área dos eletrodos superiores destes dispositivos, decidiu-se crescer nas lâminas dos capacitores um óxido mais espesso (espessura em torno de 1000 nm), denominado óxido sacrificial, do que o óxido crescido nas lâminas da primeira fase (espessura em torno de 500 nm). A **Figura 26 (h)** ilustra o processo *lift-off* utilizado com óxido sacrificial para a definição do eletrodo superior de cada capacitor.

O forno de oxidação é o mesmo da etapa anterior, porém, difere no tempo da oxidação:

- 1) N_2 : 5 minutos (na boca do forno).
- 2) $N_2 + H_2O$: 280 minutos em forno em temperatura de 1000 °C.
- 3) N_2 : 10 minutos (na boca do forno).

Observa-se que a oxidação foi executada em ambiente de nitrogênio com vapor d'água o que resulta em um óxido poroso com alta concentração de hidrogênio para ser de fácil remoção em solução tampão de HF (BHF), com taxa de corrosão maior que 100 nm/min, e que será usado como camada sacrificial do processo *lift-off*. As medidas da espessura do SiO_2 foram executadas tanto por elipsometria quanto por interferometria e resultaram em uma espessura em torno de 950

nm. Com as lâminas oxidadas, foi realizada a etapa de fotolitografia, que define a região/padrão do eletrodo superior de cada capacitor que será fabricado. O padrão de capacitores escolhido foi o circular de diâmetro 200 μm . Este padrão é obtido através de uma máscara de fotolitografia com padrão do tipo “círculo aberto”, ou seja, a máscara consiste em vários círculos alinhados na forma linha/coluna onde apenas o centro dos círculos é transparente à luz ultravioleta do equipamento de litografia. A fotolitografia e a subsequente corrosão do óxido para definição das regiões dos capacitores consistem basicamente nas seguintes etapas:

- 1) Aplicação de hexametildissilazano sobre as lâminas.
- 2) Rotação das lâminas a 6000 rpm por 30 segundos.
- 3) Aplicação do fotoresiste **AZ1518**.
- 4) Rotação das lâminas a 6000 rpm por 30 segundos.
- 5) Aquecimento das lâminas em um *hot plate* (chapa quente) a 90 °C por 1 minuto.
- 6) Exposição das lâminas à luz ultravioleta por 21 segundos.
- 7) Mergulho das lâminas em solução de **MIF300** por 25 segundos para revelação, retirando o fotoresiste sensibilizado na etapa anterior.
- 8) *Hard Back* ou recozimento forte no *hot plate* a 118 °C por 20 minutos.
- 9) Corrosão por *BHF* por 6 a 8 minutos.
- 10) Verificação do nível de corrosão em um microscópio óptico para garantir que todo o óxido foi removido das regiões sem fotoresiste.
- 11) Remoção de todo fotoresiste através da **limpeza completa** (já descrita anteriormente).



Figura 25 – Foto alinhadora MJB-3 da marca Karl Suss (à esquerda) e o *hot plate* modelo TE-018 da marca TECNAL (à direita).

Finda a oxidação, a fotolitografia, a corrosão do óxido exposto e a limpeza das lâminas, as amostras foram novamente levadas ao instituto IFGW da UNICAMP onde as etapas de oxinitreção, deposição do Ti, e nitreção se repetiram. Antes de se depositar o filme de titânio, as regiões abertas de Si no óxido foram oxinitretadas por plasma ECR para a formação do dielétrico de porta de oxinitreto de silício (SiO_xN_y), pois este foi o dielétrico *high-k* escolhido para fazer parte dos capacitores fabricados. A receita utilizada para a formação do oxinitreto de silício foi:

- 1) Fluxos: 3 sccm de O_2 , 20 sccm de Ar e 7 sccm de N_2 .
- 2) Pressão: 4 mTorr.
- 3) Potência ECR: 425 W.
- 4) Temperatura: 20 °C.
- 5) Tempo: 15 minutos.
- 6) Pressão Base: $1,3 \cdot 10^{-5}$ Torr.
- 7) Taxa de oxinitreção: em torno de 0,2 nm / min.

Após a formação do oxinitreto de silício, foram repetidos os mesmos processos realizados na fabricação dos filmes da primeira fase, ou seja, deposição de titânio, nitreção do filme de titânio, deposição de a-Si:H de maneira completa sobre as lâminas (sem o uso de máscara), implantação iônica de fósforo e recozimento do tipo RTA, tudo seguindo exatamente as mesmas receitas sem qualquer alteração. Por este motivo, será omitida aqui a repetição das receitas.

De posse das amostras com todos os filmes depositados, implantados e recozidos, restou apenas a corrosão por *lift-off* para isolar os capacitores. Como já foi citado anteriormente, o *lift-off* é um método para se criar estruturas de um material alvo sobre a superfície de um substrato (*e.g. wafer*) fazendo uso de um material de sacrifício (*e.g. fotoresiste*) [15]. No caso deste trabalho, o material de sacrifício é o SiO₂. As **Figuras 24 e 25** ilustram os processos realizados na fase 2 e descritos até aqui.

Com a corrosão por *lift-off* finalizada, concluiu-se a fabricação do capacitor MOS, dando início à etapa de medidas. As principais medidas realizadas nos capacitores foram curvas CxV. Essas medidas foram repetidas por diversas vezes e, com apenas uma exceção (caso em que as medidas foram feitas na USP), foram todas realizadas no sistema automatizado do CCS da UNICAMP. Esse sistema é controlado por um programa feito em LabView, e é formado pelos equipamentos 590 CV ANALYZER da empresa KEITHLEY, pelo 4145B SEMICONDUCTOR PARAMETER ANALYZER da empresa HP, além de uma placa de controle e do equipamento SUB-MICRON ANALYTICAL PROBE STATION de modelo S-250-5” da empresa SIGNA-TONE. Esse sistema pode ser visto nas **Figuras 28 e 29**.

Como foi mencionado anteriormente, a maioria das medidas CxV foram realizadas no CCS da UNICAMP. No entanto, devido a alguns problemas e com o intuito de se obter as mesmas medidas oriundas de outro sistema para fins de comparação, foi feita uma visita à Universidade de São Paulo (USP) onde foram realizadas novas medidas CxV. O sistema da USP, mostrado na **Figura 30**, faz uso de um C-V PLOTTER, modelo 4280A, da empresa HP.

Entre cada sinterização foi feita uma limpeza orgânica cuja receita é:

- 1) Imersão das amostras em um recipiente com acetona aquecida a 80 °C por 10 minutos.
- 2) Imersão das amostras em um recipiente com álcool isopropanol aquecido a 80 °C por 10 minutos.
- 3) Enxague das amostras em água DI (18 MΩ.cm) e secagem com jato de nitrogênio.

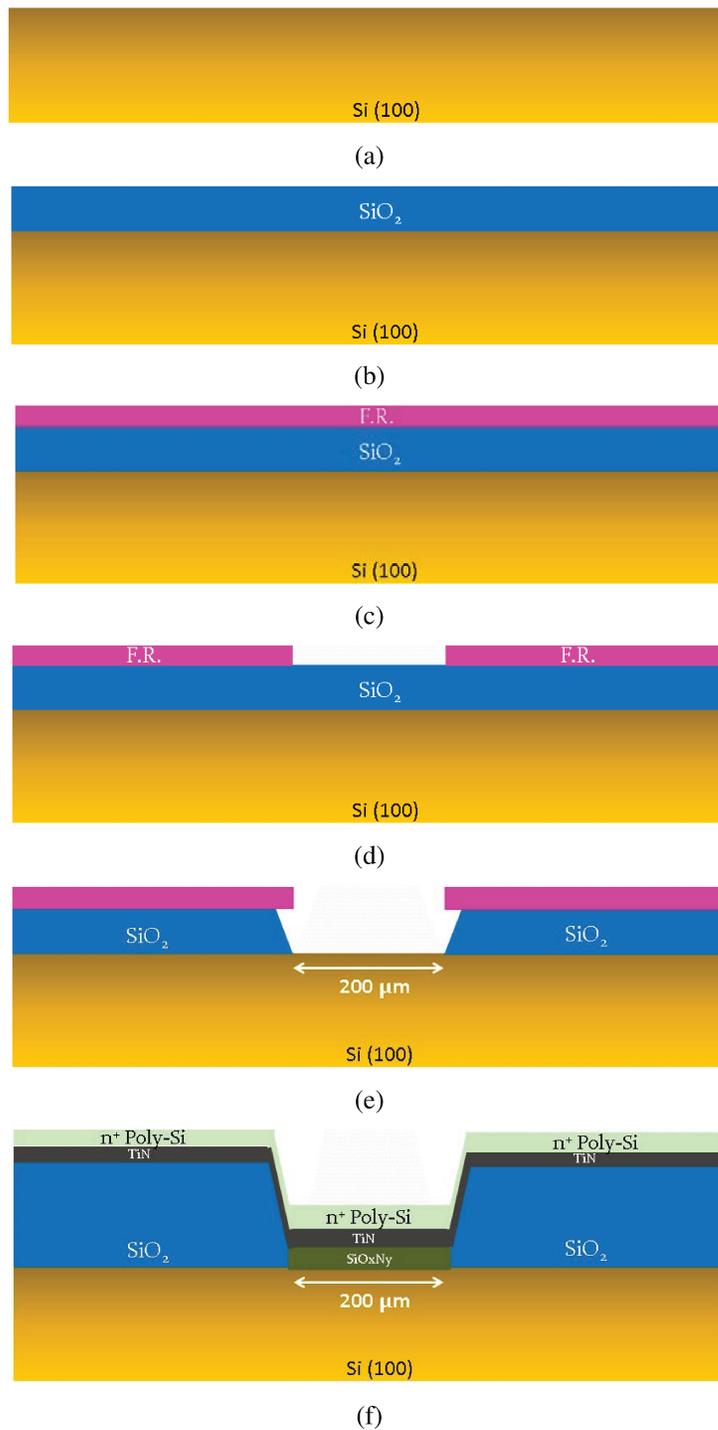


Figura 26 – Ilustrações das primeiras etapas do processo de fabricação dos capacitores: (a) lâmina de silício limpa para início dos processos (b) crescimento do óxido espesso (c) aplicação do fotoresiste (d) sensibilização e remoção do fotoresiste nas regiões de interesse (e) corrosão do óxido na região de interesse com padrão isométrico teórico de *underetching* representado (f) crescimento do SiO_xN_y, deposição seguida de nitretação do Ti e deposição do a-Si:H.

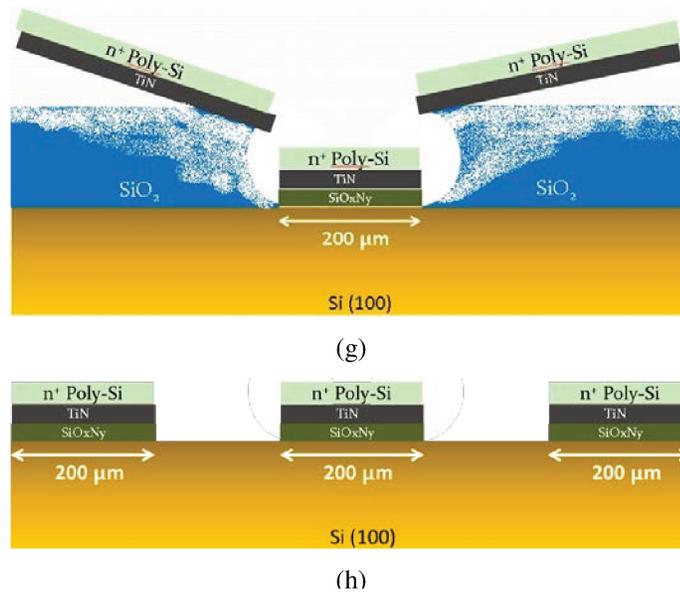


Figura 27 – Ilustrações das últimas etapas do processo de fabricação dos capacitores: (g) representação do *lift-off* com o desprendimento dos filmes superiores durante a corrosão do óxido (h) representação dos capacitores formados após o término do processo de *lift-off* e corrosão completa do óxido de silício.



Figura 28 – Observa-se a sala de medidas CxV (à esquerda), probe station (centro) e placa de controle (à direita).



Figura 29 – Semiconducter Parameter Analyzer da HP (à esquerda) e o CV Analyzer da KEITHLEY (à direita).

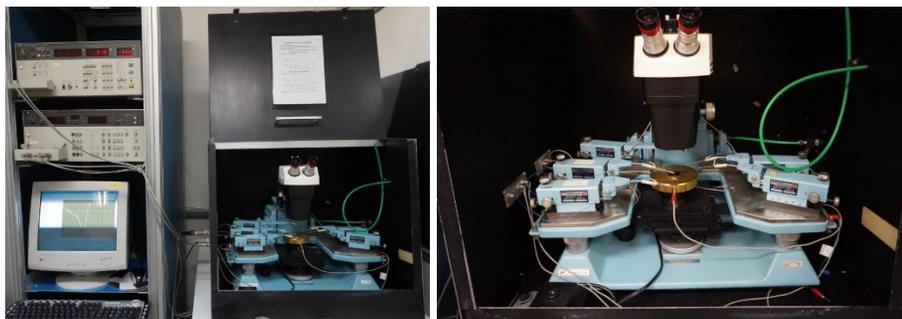


Figura 30 – Conjunto de medida CxV da USP (à esquerda) e a probe station em zoom (à direita).

4 RESULTADOS E DISCUSSÕES SOBRE OS FILMES DE NITRETO DE TITÂNIO

Como apresentado no capítulo anterior, os procedimentos experimentais desta dissertação foram divididos em duas fases. A primeira fase consistiu da obtenção de filmes ultrafinos de nitreto de titânio (com ou sem a camada de proteção de Poli-Si) sobre óxido de silício espesso (521 nm). Esta fase foi usada para calibrar os processos e verificar, através de caracterizações físicas, tais como espectroscopia Raman e EDS, se o nosso método forma estruturas Poli-Si/TiN com estabilidade térmica suficiente para suportar processos em temperaturas em torno de 1000 °C. A segunda fase consistiu da fabricação de capacitores MOS com estruturas de porta Poli-Si n⁺/TiN e dielétrico de SiON obtido por oxinitreção do Si do substrato por plasma ECR. Desta forma, neste capítulo também serão apresentados os resultados e discussões das caracterizações físicas e elétricas das amostras sequencialmente da primeira e da segunda fases de fabricação, respectivamente. A Tabela 4 apresenta um resumo das amostras obtidas com os respectivos resultados.

Tabela 5 – Resumo dos resultados para as estruturas obtidas.

Amostras	Primeira Fase Caracterizações				Segunda Fase Caracterizações	
	Raman TiN sem capa de Si (cm ⁻¹)	Raman TiN com capa de Si (cm ⁻¹)	SEM Espessura TiN (nm) Erro ±3nm	EDS p/ feixe de elétrons com 2keV (energia em KeV para elementos Ti e N) TiN com capa de Si	C-V Tensão Banda Plana V _{FB} (V) Sinterização de 30 min.	Tipo de eletrodo de porta MOS
Ti10N5Ar25	TiN: 195- TA 315- LA c-Si: 519	TiN: 300- LA c-Si: 521	6,1	Ti: 0,4; 0,45; N: 0,39.	-0,43	<i>Midgap</i>
Ti10N10Ar20			6,2		---	----
Ti10N15Ar15			9,8		-1,1	<i>Não podem ser usados para tecnologia CMOS</i>
Ti10N20Ar10			18,7		-3,7	<i>Midgap</i>
Ti20N5Ar25			7,1		-0,31	
Ti20N10Ar20			11,2		-0,4	
Ti20N15Ar15			13,7		-0,48	
Ti20N20Ar10			9,8		-1,1	<i>Não podem ser usados para tecnologia CMOS</i>

4.1 CARACTERIZAÇÃO DAS AMOSTRAS DA PRIMEIRA FASE - FILMES ULTRAFINOS DE TiN (COM OU SEM A CAMADA DE PROTEÇÃO DE POLI-SI) SOBRE ÓXIDO DE SILÍCIO ESPESSE DE 521 nm

4.1.1 Análises Raman

A Figura 30 apresenta os espectros Raman das estruturas TiN/SiO₂ e Poli-Si n⁺/TiN/SiO₂ (sem e com capa de Si, respectivamente), que foram extraídos em um equipamento NT MDT Integra Spectra, com laser de comprimento de onda $\lambda=633\text{nm}$ e uma grade de 1200/600. A Tabela 4 apresenta um resumo das análises Raman que serão discutidas neste item. Os espectros foram extraídos entre 50 cm⁻¹ e 900 cm⁻¹, com tempo de aquisição de 3 segundos. Vale salientar que todos os espectros foram extraídos após o processo RTA. Nas Figura 30 (a) e (b), sobre as estruturas TiN/SiO₂, os picos que ocorrem entre 150 e 350 cm⁻¹ estão relacionados com os modos acústicos longitudinais (LA) e transversais (TA) [44], [45], [46]. Relacionam-se os modos TA e LA com as vibrações dos átomos de Ti próximos das vacâncias de nitrogênio [47], resultando em filmes mais ricos em Ti. Das Figuras 30 (a) e (b) verifica-se ainda o pico mais intenso em 519 cm⁻¹ que está relacionado com a interação de Si proveniente do substrato. Isto ocorre, pois o laser usado tem uma penetração no substrato da ordem de 700 nm e pode alcançar e coletar o sinal correspondente do substrato, mesmo a amostra tendo um óxido espesso de 521 nm. Assim, o pico de Si não fica muito intenso e permite que se possa verificar os picos menos intensos correspondente de TiN dos modos TA (~195 cm⁻¹) e LA (~315 cm⁻¹). Vale salientar que como o SiO₂ é amorfo, tratando-se de uma estrutura transparente para a análise Raman, que extrai a cristalização dos materiais. Comparando-se os espectros das Figuras 30 (a) e (b) com os das Figuras 30 (c) e (d), para as amostras sem e com capa de Poli-Si, respectivamente, verifica-se que as intensidades dos picos correspondentes às interações de Si (em torno de 521 cm⁻¹) são de pelo menos uma ordem de grandeza maior para os espectros das Figuras 30 (c) e (d). Além de mais intensos, os picos são mais finos, indicando filmes cristalinos. Como para estes casos são espectros extraídos das estruturas com capa formadas por Poli-Si n⁺/TiN/SiO₂, com espessura da camada de Poli-Si n⁺ com espessura de 150 nm, que somada com a do TiN da ordem de 10 nm e do SiO₂ de 521 nm, resultam em torno de 681 nm. Este valor de espessura é da ordem da profundidade limite que o laser usado na análise Raman alcança. Portanto, o sinal intenso de Si é proveniente quase inte-

gralmente da camada de capa de Poli-Si n^+ , indicando que é cristalina. Trata-se de uma característica desejada para eletrodos de porta MOS, pois reduz a resistência série destes terminais. Portanto, os filmes de Si amorfo depositados pelo sistema ECR se tornaram Poli-Si n^+ após o processo de implantação de íons e recozimento RTA.

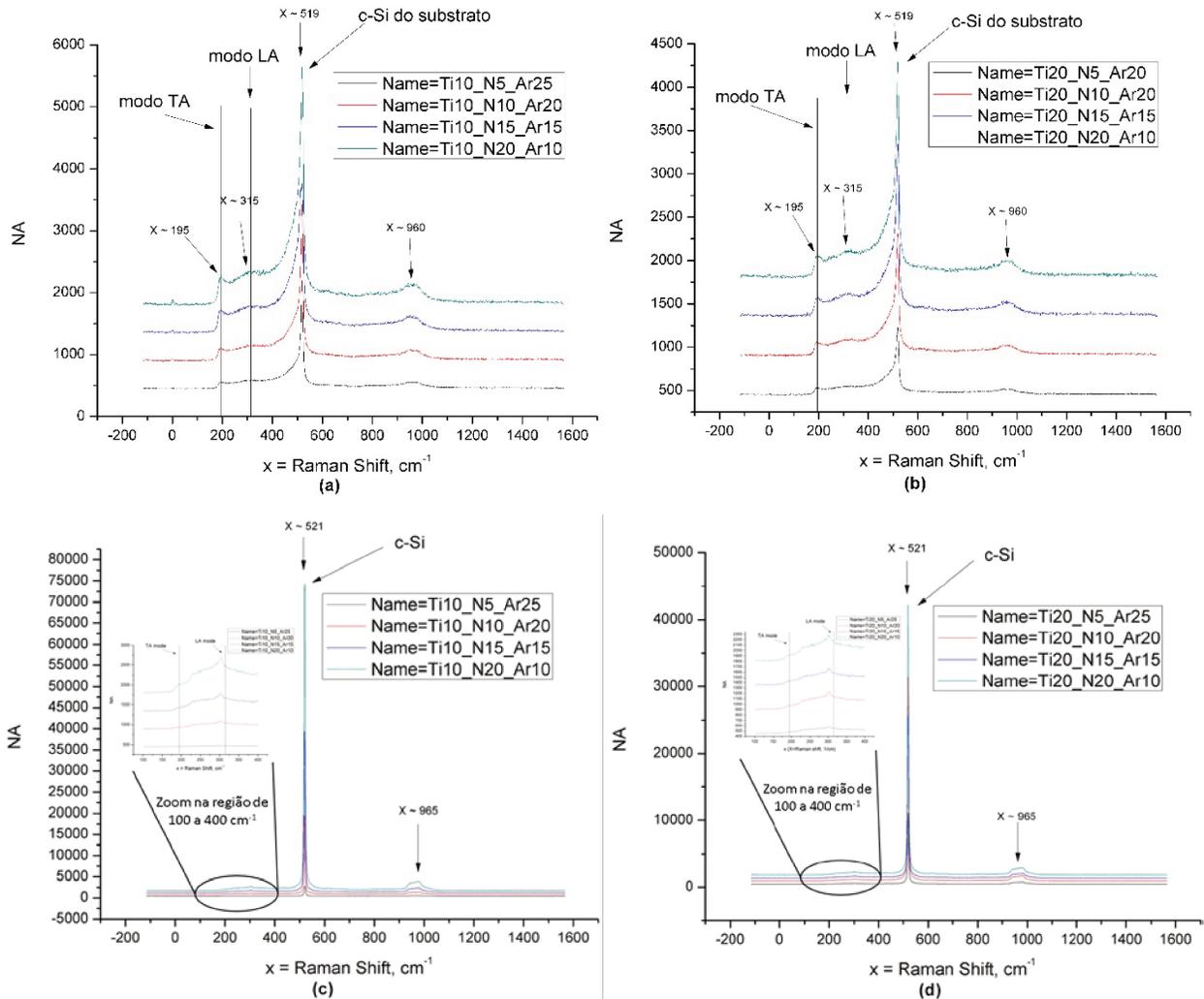


Figura 31 – Espectros Raman das estruturas TiN/SiO₂ e Poli-Si n^+ /TiN/SiO₂ (sem e com capa de Si, respectivamente). (a) amostras de TiN/SiO₂ formadas a partir da camada de Ti de 1 nm (b) amostras de TiN/SiO₂ formadas a partir da camada de Ti de 2 nm (c) amostras de Poli-Si n^+ /TiN/SiO₂ formadas a partir da camada de Ti de 1 nm (d) amostras de Poli-Si n^+ /TiN/SiO₂ formadas a partir da camada de Ti de 2 nm.

4.1.2 Análises SEM e EDS

As **Figuras 31** (a), (b), (c) e (d) apresentam as imagens de microscopia eletrônica de varredura (SEM) da secção transversal das estruturas Poli-Si n^+ /TiN/SiO₂ das amostras Ti10N5Ar25, Ti10N10Ar20, Ti10N15Ar15 e Ti10N20Ar10, respectivamente. Todas as amostras são formadas a partir da camada de Ti de 1 nm. Para a obtenção das imagens SEM de secção transversal foi utilizado o sistema FIB/SEM descrito no capítulo anterior. Com o auxílio do feixe de íons focalizados (FIB) de gálio se deposita uma camada de Pt sobre a região onde será extraída a imagem SEM da secção transversal. Esta camada de Pt serve como proteção para que o feixe de íons de Ga⁺ não destrua a região quando este feixe estiver fazendo o corte para obter a imagem SEM. Assim, o feixe de íons além de depositar a camada de Pt, executa o corte para obter a secção transversal. Após estas duas etapas usando o feixe de íons, utiliza-se o feixe de elétrons para extrair a imagem SEM que tem resolução em torno de 3 nm. Este valor deve ser considerado como erro para se medir espessuras por este sistema FIB menores que 20 nm. Pelas imagens das **Figuras 31** (a), (b), (c) e (d) das amostras Ti10N5Ar25, Ti10N10Ar20, Ti10N15Ar15 e Ti10N20Ar10, respectivamente, espessuras de camadas de TiN em torno de 6 nm, 6 nm, 9 nm e 18 nm foram estimadas, indicando que todos os filmes apresentaram espessuras menores que 20 nm e três apresentaram espessuras menores que 10 nm, que é um valor desejado para que estes filmes possam ser acomodados em dispositivos dos nós tecnológicos menores que 22 nm. Estes resultados estão também apresentados na Tabela 4 e na **Figura 33**, que mostra as curvas das espessuras extraídas pelo método SEM versus a razão das misturas gasosas dos plasmas ECR de N₂/Ar usados para nitrificar as camadas de Ti.

As **Figuras 32** (a), (b), (c) e (d) apresentam as imagens de microscopia eletrônica de varredura (SEM) de secção transversal das estruturas Poli-Si n^+ /TiN/SiO₂ das amostras Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10, respectivamente. Todas as amostras são formadas a partir da camada de Ti de 2 nm. Para a obtenção das imagens SEM de secção transversal, foi utilizado o sistema FIB/SEM, com os mesmos procedimentos usados para as estruturas formadas a partir da camada de Ti de 1 nm, cujas as imagens estão apresentadas nas **Figuras 31** (a), (b), (c) e (d). Pelas imagens das **Figuras 32** (a), (b), (c) e (d) das amostras Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10, respectivamente, espessuras das camadas de TiN em torno de 7 nm, 11 nm, 13 nm e 8 nm foram estimadas, indicando que todos

os filmes apresentaram espessuras menores que 20 nm e dois apresentaram espessuras menores que 10 nm, que é um valor desejado para que estes filmes possam ser acomodados em dispositivos dos nós tecnológicos menores que 20 nm. Estes resultados estão também apresentados na Tabela 4 e na **Figura 33**, que mostra as curvas das espessuras extraídas pelo método SEM versus a razão das misturas gasosas dos plasmas ECR de N₂/Ar usados para nitretar as camadas de Ti.

Das imagens SEM das **Figuras 31 e 32**, pode-se verificar que todos os filmes de TiN parecem estar contínuos e uniformes, mesmo apresentando espessuras menores que 20 nm. Trata-se de uma característica muito importante, que indica que os filmes de TiN com a capa de Poli-Si suportam altas temperaturas após recozimento RTA. Se não tivesse a capa de Poli-Si provavelmente a estrutura TiN poderia incorporar oxigênio, mesmo tendo ambiente de nitrogênio no sistema RTP, e aumentar a sua resistividade. Isto ocorreu para filmes de TiN depositados por sputtering e recozidos por RTA em trabalho executado em nosso grupo do CCS [28], [48], pois o nosso sistema RTP da JIPELEC não tem uma antecâmara para carregar as amostras, o que poderia reduzir a mínima concentração de oxigênio incorporada durante o processo em ambiente de nitrogênio, que danifica os filmes de TiN. A capa de Poli-Si sobre o filme de TiN, que mantém a estabilidade térmica dos filmes, foi um ganho deste trabalho para o nosso grupo do CCS.

A **Figura 33** apresenta as curvas das espessuras extraídas pelo método SEM (**Figuras 31 e 32** das amostras Ti10 e Ti20, respectivamente) versus a razão das misturas gasosas dos plasmas ECR de N₂/Ar usados para nitretar as camadas de Ti de 1 nm e 2 nm. Deve ser considerado um erro de 3 nm nas medidas, que é a resolução do feixe de elétrons do SEM do sistema FIB/SEM.

Da **Figura 33** é possível concluir que:

- i) Todos os filmes de TiN apresentam espessuras menores que 20 nm, que é o limite mínimo de espessura obtido pelo processo *sputtering* do CCS/Unicamp [1]. O que para o nosso grupo de pesquisa amplia o uso de TiN para aplicações em que se exige eletrodos ultrafinos, tais como os transistores 3D com larguras de canal menores que 35 nm que o nosso grupo de pesquisa está desenvolvendo. Trata-se de um outro ganho deste trabalho para o nosso grupo do CCS;
- ii) Quatro filmes de TiN apresentam espessuras menores que 10 nm, que é o limite máximo de espessura permitido para serem acomodados nas portas de transistores MOS tridimen-

sionais dos nós tecnológicos menores que 22 nm, e estes filmes serão testados em trabalhos futuros nos nossos transistores 3D com larguras de canal menores que 35 nm que o nosso grupo está desenvolvendo;

- iii) De forma geral, as espessuras aumentaram com a razão (N_2/Ar) dos plasmas ECR usados para nitretar as camadas de Ti, tanto de 1 nm, quanto de 2 nm. O que parece plausível, já que quando o plasma apresenta mais espécies de nitrogênio para nitretar a camada de Ti, maior deve ser a espessura final da camada de TiN. Entretanto, um ponto não seguiu este comportamento, que é o filme obtido pela razão (N_2/Ar) igual a 2 para a amostra Ti20N20Ar10. Esta condição que não seguiu o comportamento deve ser melhor estudada, executando-se medidas de microscopia eletrônica de transmissão (TEM) para aumentar a resolução da medida e verificar a espessura do filme com melhor precisão

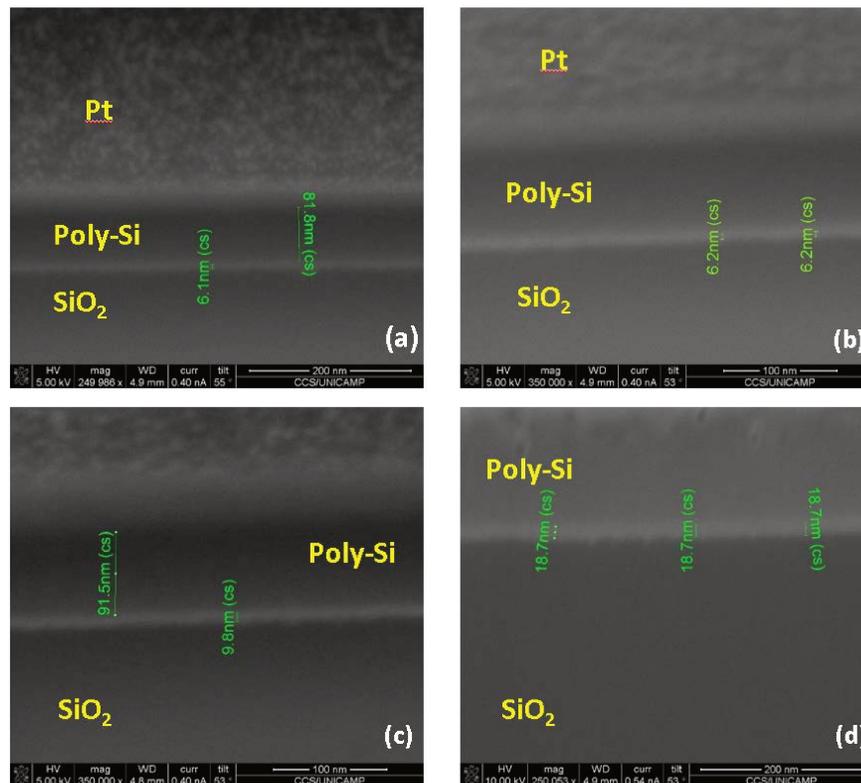


Figura 32 – Imagens SEM de secção transversal das estruturas Poli-Siⁿ⁺/TiN/SiO₂ das amostras (a) Ti10N5Ar25, (b) Ti10N10Ar20, (c) Ti10N15Ar15 e (d) Ti10N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 1 nm.

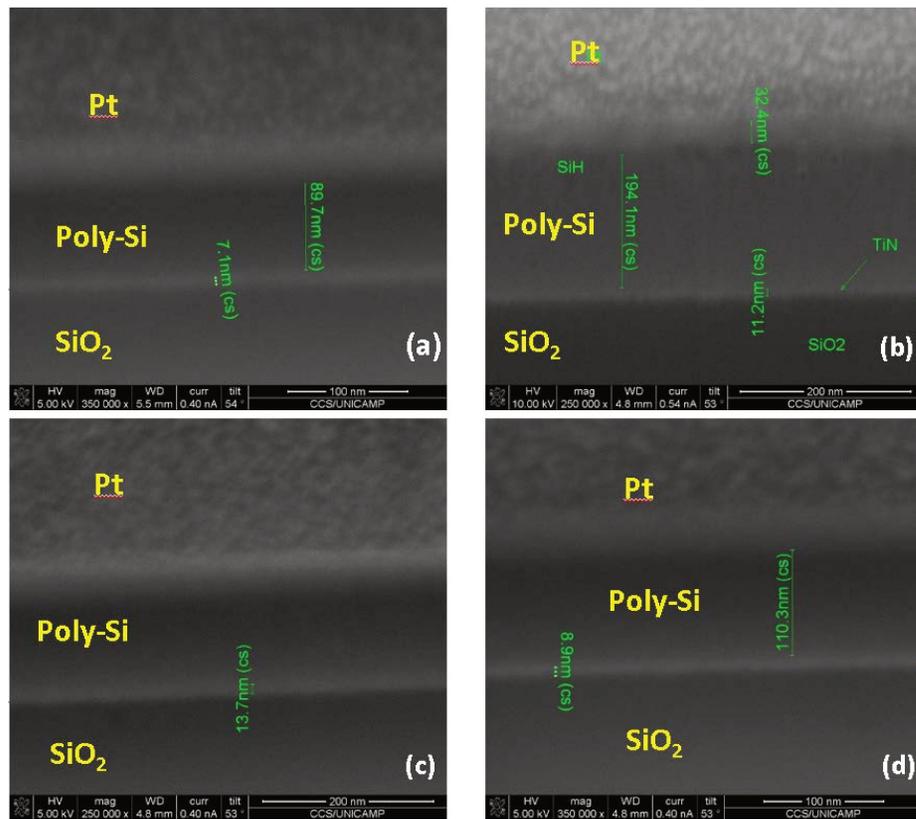


Figura 33 –Imagens SEM de seção transversal das estruturas Poli-Si n⁺/TiN/SiO₂ das amostras (a) Ti20N5Ar25, (b) Ti20N10Ar20, (c) Ti20N15Ar15 e (d) Ti20N20Ar10. Todas as amostras são formadas a partir da camada de Ti de 2 nm.

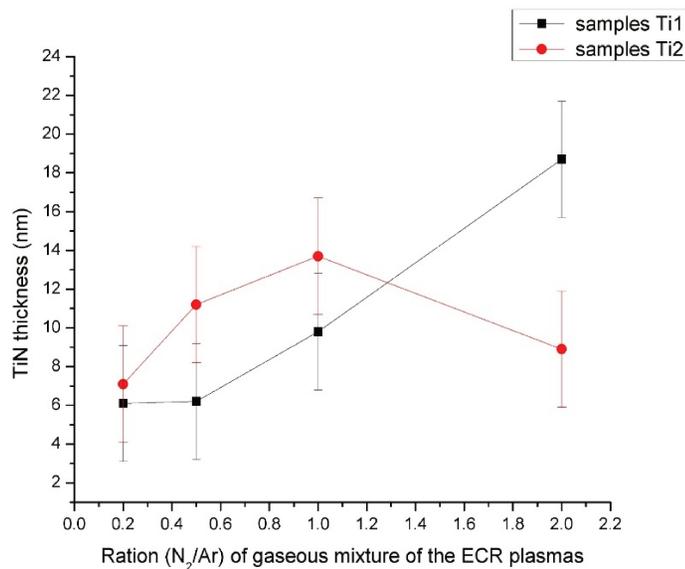


Figura 34 – Curvas das espessuras extraídas pelo método SEM versus a razão das misturas gasosas dos plasmas ECR de N₂/Ar usados para nitratar as camadas de Ti de 1 nm e 2 nm, respectivamente denominadas amostras Ti10 e Ti20.

As **Figuras 34** (a), (b), (c) e (d) apresentam os espectros EDS (*Energy Dispersive X-Ray Spectrometry*) das estruturas Poli-Si n^+ /TiN/SiO₂ das amostras Ti10N5Ar25, Ti10N10Ar20, Ti10N15Ar15 e Ti10N20Ar10, respectivamente. Todas as amostras são formadas a partir da camada de Ti de 1 nm. Os espectros EDS foram extraídos usando o sistema FIB/SEM, incidindo-se um feixe de elétrons sobre as amostras com energia de 2 keV, o que resultou em picos de interesse, com energias de 0,4 keV e 0,45 keV, das transições de elétrons que ocorrem no elemento Ti; e de 0,39 keV, de transições de elétrons que ocorrem no elemento N; que indicam a formação das camadas de TiN entre as camadas de Poli-Si e de SiO₂. A energia de 2 keV do feixe incidente de elétrons do sistema FIB/SEM foi usada pois os elétrons com esta energia conseguem passar a camada de Poli-Si e alcançar a região dos filmes de TiN, com conseqüente detecção dos elementos Ti e N, além de detectar Si e O das regiões do Poli-Si e do SiO₂ das estruturas Poli-Si n^+ /TiN/SiO₂. O mesmo resultado foi observado nos espectros das **Figuras 35** (a), (b) e (c) que apresentam os espectros EDS das estruturas Poli-Si n^+ /TiN/SiO₂ das amostras Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, respectivamente. Todas as amostras são formadas a partir da camada de Ti de 2 nm.

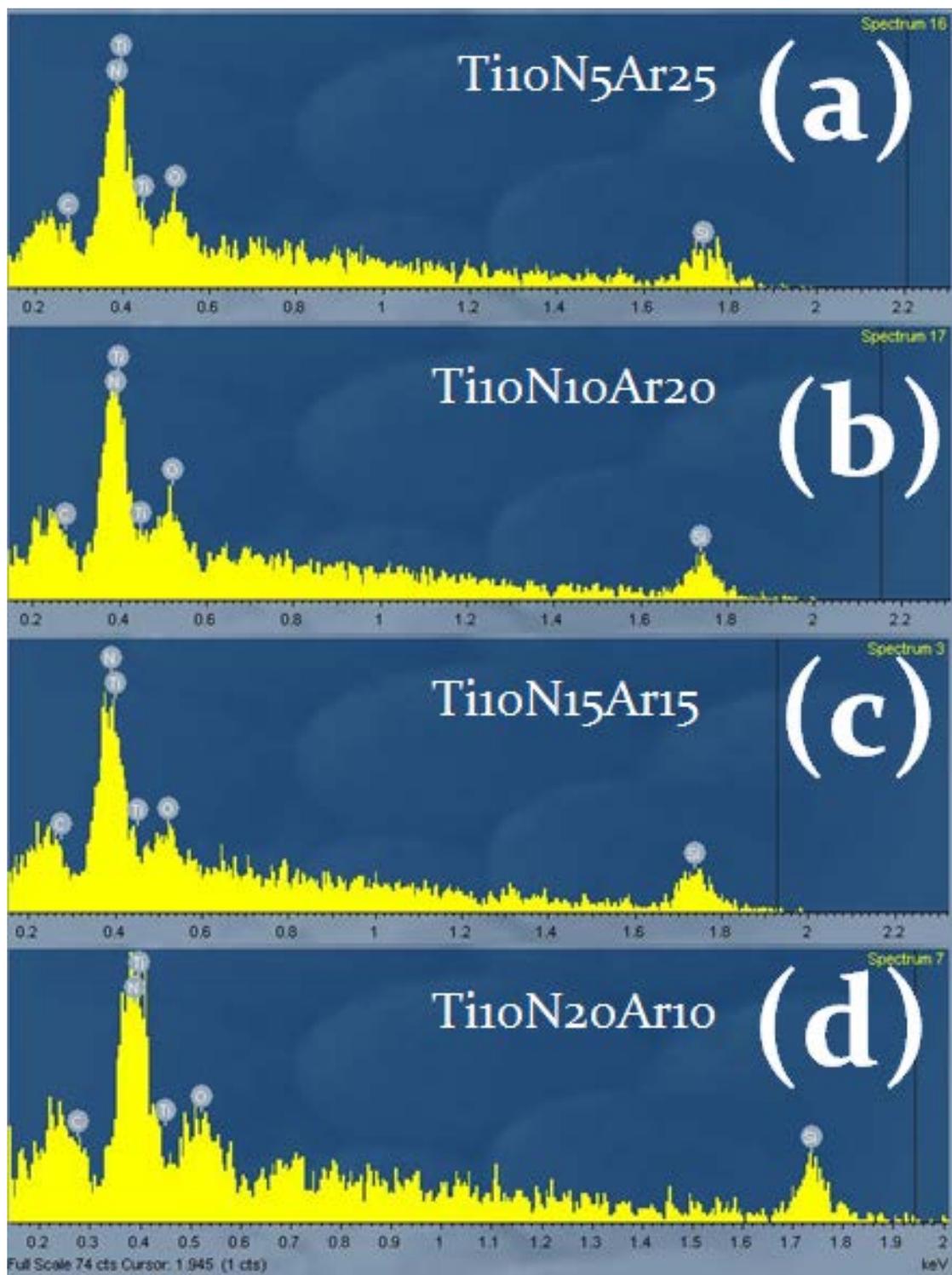


Figura 35 – Espectros EDS das estruturas Poli-Si n^+ /TiN/SiO₂ das amostras (a) Ti₁₀N₅Ar₂₅, (b) Ti₁₀N₁₀Ar₂₀, (c) Ti₁₀N₁₅Ar₁₅ e (d) Ti₁₀N₂₀Ar₁₀. Todas as amostras são formadas a partir da camada de Ti de 1 nm. A detecção de picos correspondentes aos elementos Ti e N indicam a formação dos filmes de TiN

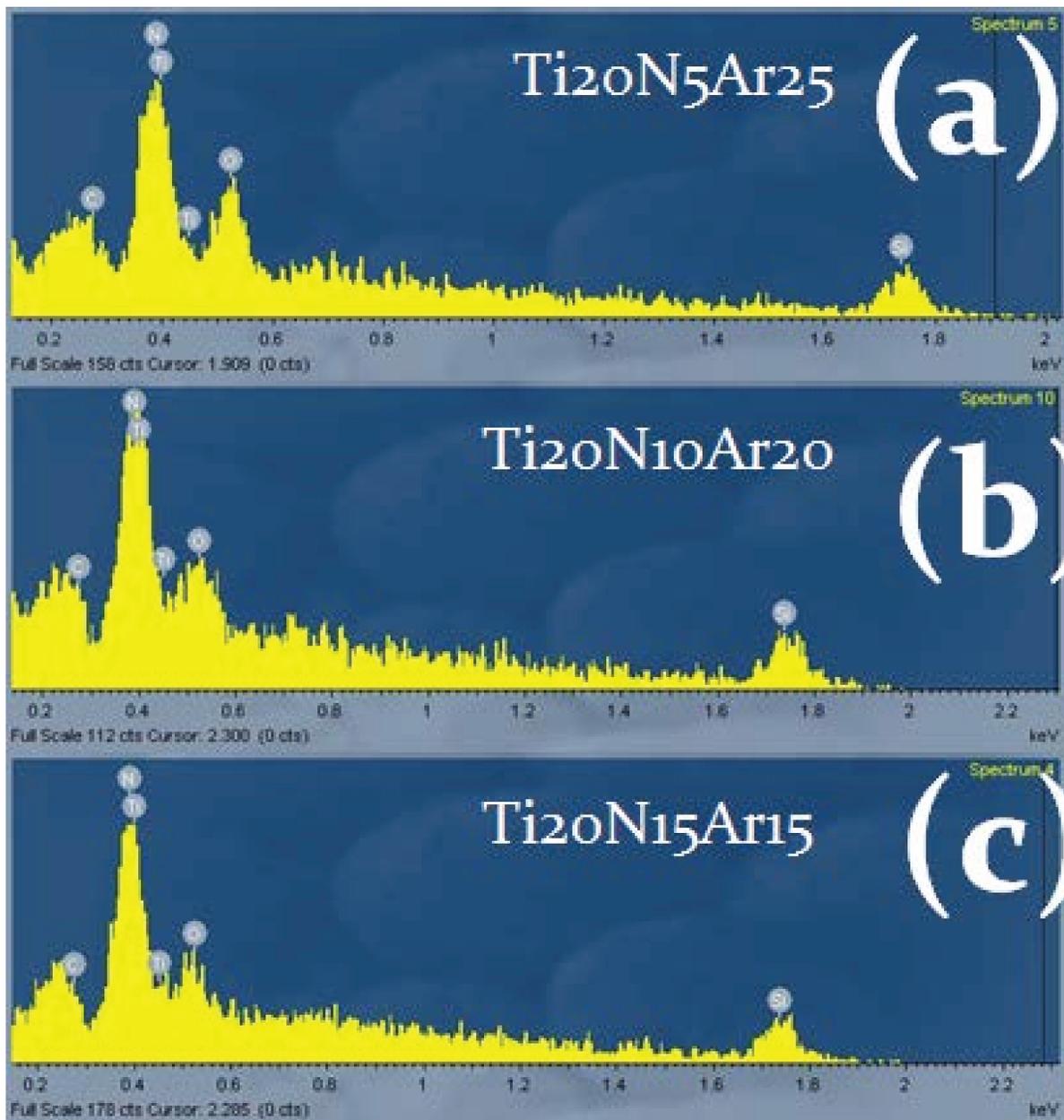


Figura 36 – Espectros EDS das estruturas Poli-Si n⁺/TiN/SiO₂ das amostras (a) Ti₂₀N₅Ar₂₅, (b) Ti₂₀N₁₀Ar₂₀ e (c) Ti₂₀N₁₅Ar₁₅. Todas as amostras são formadas a partir da camada de Ti de 2 nm. A detecção de picos correspondentes aos elementos Ti e N indicam a formação dos filmes de TiN.

4.2 CARACTERIZAÇÃO DAS AMOSTRAS DA SEGUNDA FASE – FABRICAÇÃO DE CAPACITORES COM ESTRUTURAS MOS DE POLI Si n⁺/TiN E DIELÉTRICO DE SiON

A segunda fase consistiu da fabricação de capacitores MOS com estruturas de porta Poli-Si n⁺/TiN e dielétrico de SiON obtido por oxinitreção do Si do substrato por plasma ECR. Nesta parte da dissertação apresentamos as curvas de Capacitância-Tensão (C-V) de 1MHz destes capacitores MOS, que como descrito no capítulo anterior, foram extraídas (tanto no sistema da Unicamp, quanto no da USP) após cada período de sinterização até completar um tempo total de 30 minutos. Assim, nesta parte, serão apresentadas as curvas C-V dos capacitores MOS sem sinterização (**Figura 36 e Figura 37**) e com sinterização completando um tempo de total de 30 minutos (**Figura 38**). Conforme mostra a **Figura 39**, o principal parâmetro extraído destas curvas C-V é a tensão de banda plana (V_{FB}), que indica qual tipo de eletrodo de porta MOS as estruturas Poli-Si n⁺/TiN fabricadas nesta dissertação se enquadram na tecnologia CMOS, ou seja, se estas estruturas podem ser usadas ou na porta de transistores pMOS, ou de nMOS, ou para ambos os transistores, definindo-se como metal de porta do tipo p (V_{FB} entre 0 e -0,2V), do tipo n (V_{FB} entre -0,7V e -1V) e do tipo *midgap* (V_{FB} entre -0,2V e -0,7V), respectivamente. A tensão de banda plana é a tensão que aplicada a porta do transistor MOS não provoca encurvamento nas bandas de energia da superfície do silício [1]. Trata-se de uma tensão de referência que indica a densidade de cargas no sistema MOS, como mostra a Equação (1), a seguir, e por isso influencia no valor da tensão de limiar (V_T) de condução dos transistores, como mostra a Equação (2).

$$\frac{Q_{ef}}{q} = [W_{metal} - W_{semicondutor} - V_{FB}] \frac{C_{m\acute{a}x}}{q \cdot A} \quad \text{Equação (1)}$$

e

$$\left(V_T [V] = V_{FB} \pm 2 \left(\frac{kT}{q} \right) \ln \left(\frac{N_{A,D}}{n_i} \right) \pm \left(\frac{A}{C_{max}} \right) \sqrt{4q \varepsilon_{Si} \varepsilon_0 N_{A,D} \left(\frac{kT}{q} \right) \ln \left(\frac{N_{A,D}}{n_i} \right)} \right) \quad \text{Equação (2)}$$

Onde:

$\frac{Q_{ef}}{q}$ é a densidade de carga efetiva no sistema MOS;

W_{metal} é a função trabalho do metal;

$W_{semicondutor}$ é a função trabalho do semicondutor dopado;

V_{FB} é a tensão de banda plana;

$C_{m\acute{a}x}$ é a capacitância máxima extraída da medida $C - V$ na condição de acumulação;
 A é a área do Capacitor MOS;
 q é a carga do elétron ($1,6 \times 10^{-19} \text{C}$).
 k é a constante de Boltzmann;
 $N_{A,D}$ é a concentração de dopantes do semiconductor extrínseco;
 ϵ_0 é a constante dielétrica do vácuo e ϵ_{si} é a constante dielétrica do silício;
 n_i é a concentração de portadores no semiconductor intrínseco;
 T é a temperatura.

O significado de eletrodo de porta do tipo *midgap* é baseado no alinhamento da energia de Fermi do eletrodo de porta com a energia de Fermi do semiconductor de Si intrínseco, que se situa em torno da metade da banda proibida (que é denominada *gap* em inglês) entre as bandas de energia de valência e de condução, que no caso do Si vale 1,1 eV [1]. Assim, se a tensão V_{FB} de um determinado sistema MOS estiver entre -0,2V e -0,7V, o eletrodo deste sistema apresentará um nível de Fermi próximo ao do semiconductor intrínseco, sendo conhecido assim como *midgap* e podendo ser usado para ambos os transistores. Trata-se de uma solução tecnologicamente mais barata, pois não exige duplicidade de processos para a definição do eletrodo de porta, tanto para os transistores pMOS, quanto para nMOS. Agora, para os casos dos eletrodos dos tipos p ou n, os níveis de Fermi se situam mais próximos ou da banda de valência, ou de condução do semiconductor Si, respectivamente, e os valores de V_{FB} correspondentes são entre 0 e -0,2V e entre -0,7V e -1V. Se estes tipos de eletrodos de porta são os escolhidos, a tecnologia torna-se mais cara, pois os eletrodos são diferentes para os transistores pMOS e nMOS, exigindo duplicidade de processos [49], [50].

Neste contexto, as curvas C-V de 1MHz dos capacitores MOS sem sinterização e com sinterização de 30 minutos apresentadas nas **Figuras 36 e 37** e na **Figura 38**, respectivamente, mostram os valores de tensão V_{FB} , que são comparados com os valores apresentados na **Figura 39**, indicam que tipos (*midgap* ou para transistor pMOS ou para transistor nMOS) de eletrodos são fabricados para estes eletrodos. Estes resultados também são apresentados na **Tabela 4**. Além disso, nas curvas da **Figura 36**, que são apresentadas as curvas C-V isoladamente, são indicadas as três regiões (acumulação - que apresenta patamar de capacitância máxima, depleção - transição entre valores de capacitâncias máximo e mínimo, e inversão - que apresenta patamar de capaci-

tância mínima) de polarização de cada capacitor MOS. Também são apresentados os valores da variação de tensão na região de depleção, denominado $\Delta V_{\text{depleção}}$, que trata da excursão de tensão necessária para retirar o capacitor de porta MOS da condição de acumulação para colocá-lo na de inversão, que faz o transistor ligar. Quanto maior for esta variação, se torna mais difícil o canal de condução do transistor inverter, pois ocorre uma maior densidade de cargas na interface isolante/semicondutor, deixando a curva C-V distendida. O que se deseja é o contrário, para que a porta MOS consiga, com uma variação pequena de tensão (menor ou igual a 3 V), tornar o canal de condução do transistor invertido. Entretanto, na **Figura 38**, as três regiões não são indicadas, pois foi decidido colocar juntas as curvas C-V das diferentes estruturas MOS (com sinterização de 30 minutos) para uma melhor visualização da posição da tensão V_{FB} . Se as indicações das três regiões fossem colocadas, aumentaria a quantidade de informação sobre as curvas, o que ao invés de ajudar, pode confundir. Mas, os valores de $\Delta V_{\text{depleção}}$ foram extraídos para todas as condições e serão apresentados posteriormente.

As curvas C-V de 1MHz dos capacitores MOS sem sinterização apresentadas nas **Figuras 36 e 37** mostram os valores de tensão V_{FB} , as três regiões (acumulação, depleção e inversão) de polarização de cada dispositivo e os respectivos valores de $\Delta V_{\text{depleção}}$. Os valores de V_{FB} foram obtidos através do método iterativo, que se obtém o valor da capacitância de banda plana. Este valor de capacitância é encontrado na Curva C-V no eixo y e se extrair o valor correspondente no eixo x de tensão V, que é o valor da tensão de banda-plana, como mostra as **Figuras 36 e 37**.

Das Curvas C-V de 1MHz das Figuras 36 e 37, obtêm-se os seguintes resultados:

- i) Os capacitores Poli-Si n^+ /TiN/SiON (sem sinterização) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de V_{FB} : -4,25V, -1,95V, -3,4V, -2,2V, -3,95 V, -3,00 V e -5,55 V. Verifica-se que nenhum valor de V_{FB} está entre 0 e -1,0 V, que é o intervalo exigido para que a estrutura MOS possa ser usada na tecnologia CMOS (veja **Figura 39**). Isto significa que nenhuma estrutura de porta MOS sem sinterização fabricada pode ser usada na tecnologia MOS;
- ii) Os capacitores Poli-Si n^+ /TiN/SiON (sem sinterização) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e

Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de $\Delta V_{\text{depleção}}$: 18V, 5,0 V, 15 V, 15 V, 18V, 20 V e 25 V. Verifica-se que nenhum valor de $\Delta V_{\text{depleção}}$ é menor ou igual a 3 V, e todas as curvas C-V estão distendidas, a menos da curva C-V do capacitor da amostra Ti10N15Ar15 (**Figura 36** (b)) que apresenta em torno de 5V. Entretanto, este valor ainda é alto, evidenciando a dificuldade do canal de condução (sujeito ao campo elétrico aplicado a porta MOS) em tornar-se invertido, devido à alta densidade de cargas na interface isolante/semicondutor, que deve estar maior que 10^{11}cm^{-2} . Este valor é o máximo permitido para uma porta MOS ser usada na tecnologia atual [1].

- iii) Portanto, todas as estruturas MOS fabricadas sem sinterização nesta dissertação não podem ser usadas na tecnologia CMOS por apresentarem alta densidade de cargas na interface isolante/semicondutor, conseqüentemente, nenhum valor de V_{FB} é apropriado. Daí a necessidade da sinterização para consumir, através da fonte de hidrogênio do ambiente gasoso de N_2 (92%) + H_2 (8%), os defeitos (principalmente, ligações insaturadas) que geram as cargas de interface isolante/semicondutor, e ajustar a interface isolante/eletrodo de porta [1].

As curvas C-V de 1MHz das **Figura 38** (a) e (b) foram extraídas de capacitores MOS sinterizados por um tempo total de 30 minutos. Os valores de V_{FB} também foram obtidos através do método iterativo. Entretanto, a maioria dos valores de V_{FB} é menor que 1 V em módulo, como será apresentado a seguir, exigindo um método mais preciso. Daí os valores da tensão de V_{FB} foram extraídos utilizando o método de $1/C^2$ [51], em que se a região de depleção da curva $1/C^2$ versus V se torna linear. Nesta região se faz um ajuste linear em que quando a reta deste ajuste cruzar o eixo x da tensão, este será o valor da tensão V_{FB} . Isto ocorre pois na região de depleção a capacitância é inversamente proporcional a raiz da tensão V aplicada à porta MOS [52]. Assim, trata-se de um método mais preciso, pois não necessita de cálculo.

Destas curvas das Figuras 38 (a) e (b), obtêm-se os seguintes resultados

- i) Os capacitores Poli-Si n^+ /TiN/SiON (com sinterização de 30 min) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de V_{FB} : -0,43V, -

1,1V, -3,7V, -0,31V, -0,4 V, -0,48 V e -1,1 V. Verifica-se que valores de V_{FB} de -0,43V, -0,31V, -0,4 V e -0,48 V, respectivamente, extraídos das curvas C-V dos capacitores das amostras Ti10N5Ar25, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, são relacionados aos eletrodos do tipo *midgap*, conforme indica a **Figura 39**. Foi executada uma adaptação nesta **Figura 39**, incluindo os nomes das quatro amostras fabricadas neste trabalho com os seus respectivos valores de V_{FB} na região de eletrodos do tipo *midgap*;

- ii) Os capacitores Poli-Si n^+ /TiN/SiON (com sinterização) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de $\Delta V_{depleção}$: 3,0V, 3,0 V, 6,0 V, 2,0 V, 3,0 V, 2,0 V e 5,0 V. Verifica-se que as curvas extraídas dos capacitores das amostras Ti10N5Ar25, Ti10N15Ar15, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15 apresentaram valores de $\Delta V_{depleção}$ que são menor ou igual a 3 V, e estas curvas C-V não estão distendidas, evidenciando que o canal de condução (sujeito ao campo elétrico aplicado a porta MOS) de cada capacitor tornar-se invertido sem dificuldade, pois apresenta baixa densidade de cargas na interface isolante/semicondutor, que deve estar menor que 10^{11}cm^{-2} . Este valor é o máximo permitido para uma porta MOS ser usada na tecnologia atual [1]. Vale salientar que nenhum valor de $\Delta V_{depleção}$ ultrapassou 6,0V, que comparados com os valores obtidos nas curvas das **Figuras 36 37**, são pelo menos duas vezes menores, o que traduz a importância da sinterização para a obtenção de portas MOS de alta qualidade e manter a densidade de cargas em níveis aceitáveis.
- iii) Portanto, quatro estruturas MOS fabricadas com sinterização nesta dissertação (das amostras Ti10N5Ar25, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15) podem ser usadas na tecnologia CMOS, tendo eletrodos do tipo *midgap*, por apresentarem baixa densidade de cargas na interface isolante/semicondutor menor que 10^{11}cm^{-2} , conseqüentemente, valores de V_{FB} apropriados entre -0,31V e -0,48V.

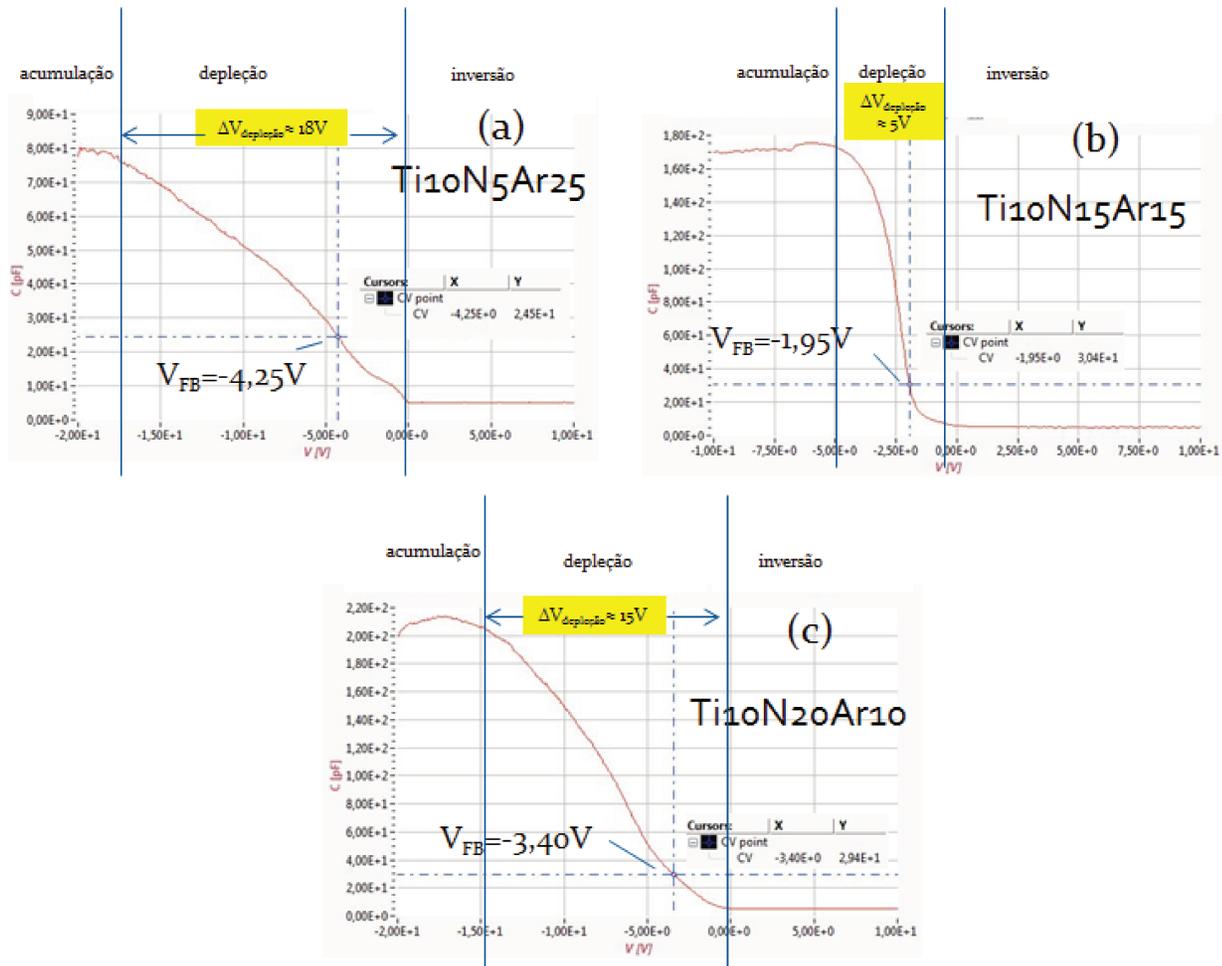


Figura 37 – Curvas C-V dos capacitores Poli-Si n⁺/TiN/SiON (sem sinterização) das amostras (a) Ti₁₀N₅Ar₂₅, (b) Ti₁₀N₁₅Ar₁₅ e (c) Ti₁₀N₂₀Ar₁₀. Todas as amostras são formadas a partir da camada de Ti de 1 nm.

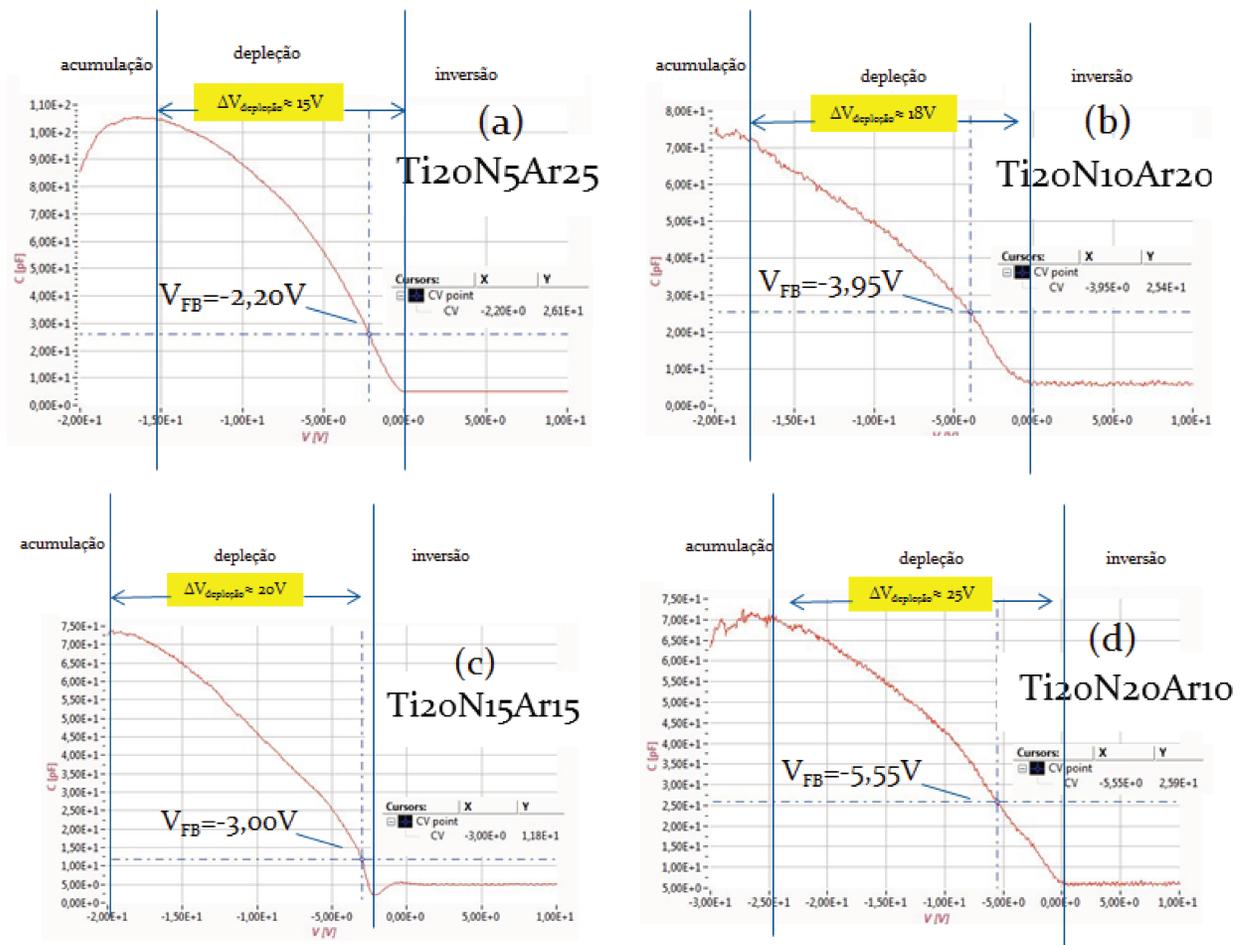


Figura 38 – Curvas C-V dos capacitores Poli-Si⁺/TiN/SiON (sem sinterização) das amostras (a) Ti₂₀N₅Ar₂₅, (b) Ti₂₀N₁₀Ar₂₀, (c) Ti₂₀N₁₅Ar₁₅ e (d) Ti₂₀N₂₀Ar₁₀. Todas as amostras são formadas a partir da camada de Ti de 2 nm.

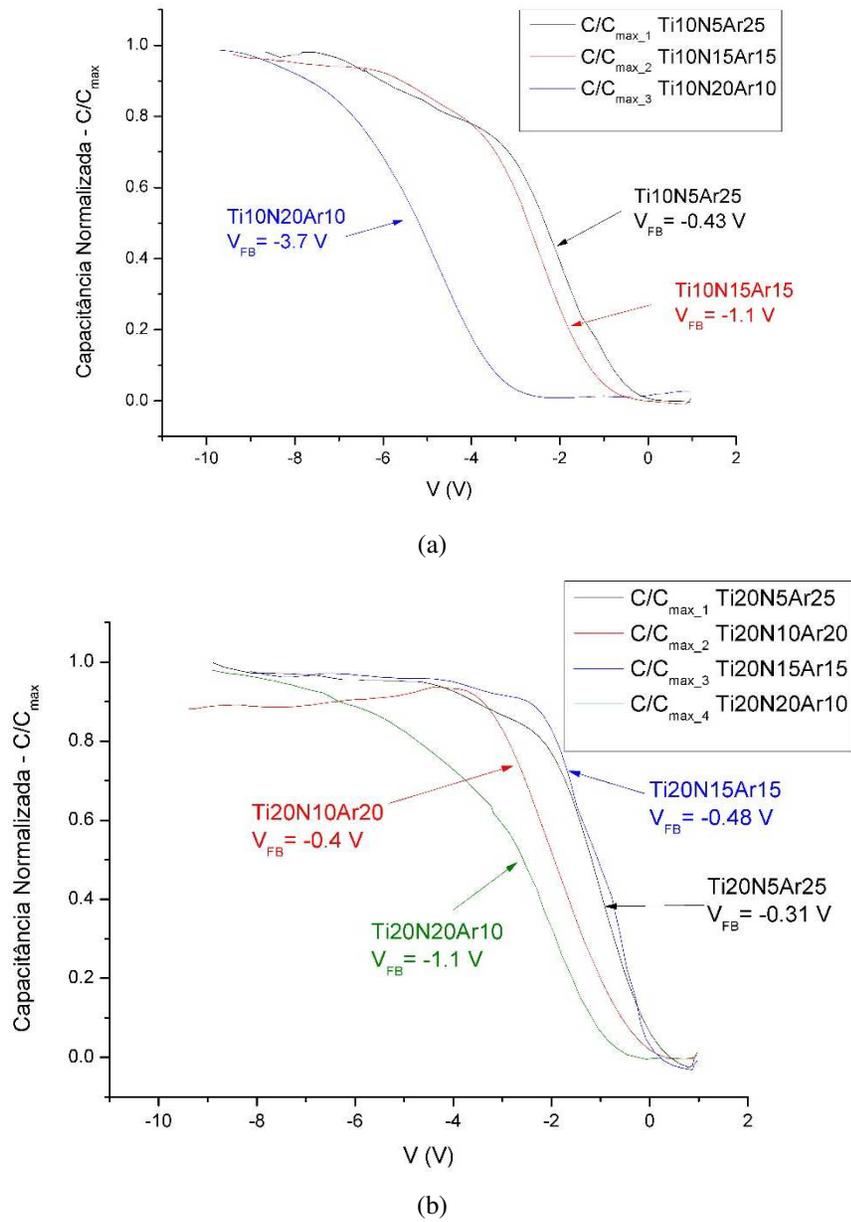


Figura 39 – Curvas C-V dos capacitores Poli-Si n⁺/TiN/SiON com sinterização de 30 minutos.

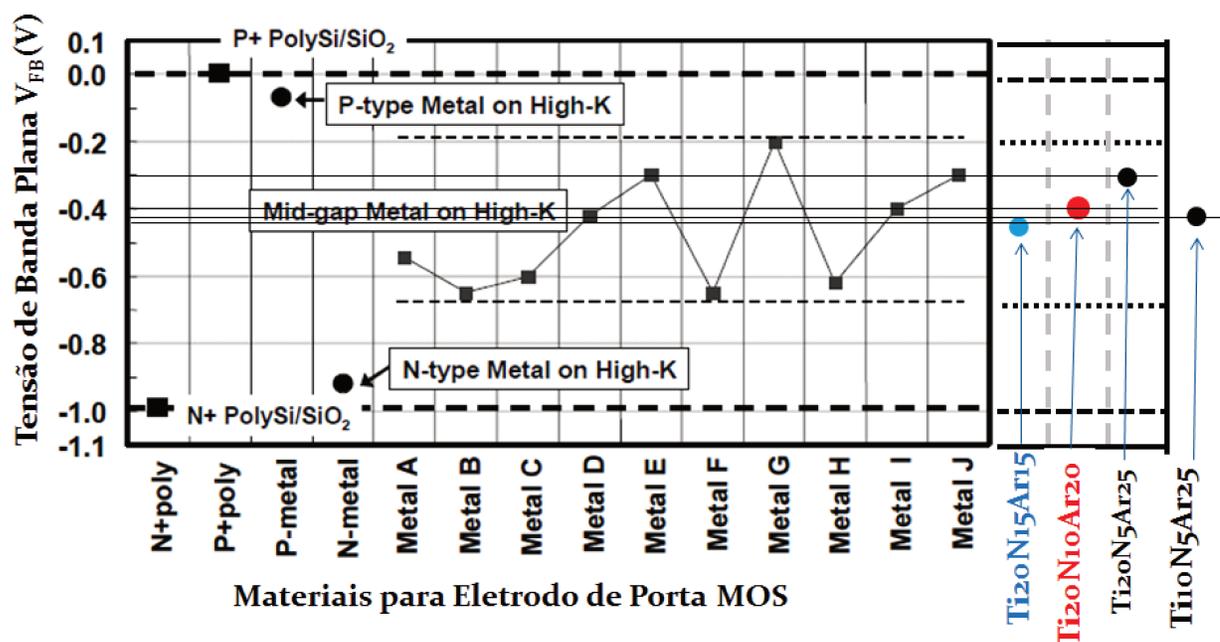


Figura 40 – Curva dos valores de tensão de banda plana (V_{FB}) em relação aos vários tipos de eletrodos de porta usados na tecnologia CMOS [1] [49].

A Figura 39 apresenta a curva dos valores de tensão de banda plana (V_{FB}) em relação aos vários tipos de eletrodos de porta usados na tecnologia CMOS [49], [50], e indica que eletrodos de porta para transistores pMOS, ou nMOS devem apresentar valores de V_{FB} entre 0 e -0,2V e entre -0,7V e -1V, respectivamente. Além disso, indica que se a tensão V_{FB} de um determinado sistema MOS estiver entre -0,2V e -0,7V, o eletrodo será do tipo *midgap*, podendo ser usado para ambos os transistores, como explicado anteriormente. Nesta **Figura 39**, foi executada uma adaptação para colocar os valores de V_{FB} extraídos dos capacitores das amostras Ti10N5Ar25, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, que como previamente descrito, apresentam os melhores resultados e os eletrodos de Poli-Si n⁺/TiN são do tipo *midgap*, o mais desejado pela tecnologia CMOS por não exigir duplicidade de processos, como já discutido anteriormente.

Verifica-se ainda na **Figura 39**, que os valores de V_{FB} para as amostras Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15 apresentam um comportamento linear em relação à razão (N₂/Ar) da mistura gasosa que nitreta a camada de Ti de 2 nm para formar o TiN. Isto é comprovado na **Tabela 4**. Com os dados desta **Tabela 4**, foi elaborada uma curva de valores em módulo de V_{FB} pelos de espessura extraídos no sistema SEM/FIB, que é apresentada na **Figura 40**. Nesta **Figura 40** também é inserido um ponto relativo ao valor de V_{FB} em relação à espessura de TiN (também

extraídos da **Tabela 4**) da amostra Ti10N5Ar25, que foi obtida a partir de uma camada de Ti de 1 nm. Como previamente discutido, deve ser considerado um erro na medida da espessura em torno de 3 nm, que é a resolução do microscópio SEM instalado no sistema FIB/SEM.

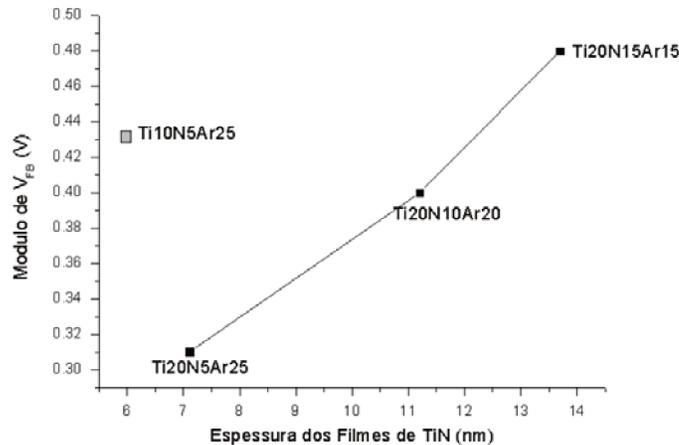


Figura 41 – Curva de valores em módulo de V_{FB} pelos de espessura extraídos no sistema SEM/FIB das amostras Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, que foram obtidas a partir de uma camada de Ti de 2 nm. Também é inserido um ponto relativo ao valor de V_{FB} em relação à espessura de TiN da amostra Ti10N5Ar25, que foi obtida a partir de uma camada de Ti de 1 nm.

Da **Figura 40**, verifica-se que quando se aumenta a espessura dos eletrodos de TiN, que foram obtidos a partir de uma camada de Ti de 2 nm, maior é o valor da tensão de banda-plana V_{FB} em módulo. Se a espessura do TiN controla o valor de V_{FB} , também deve controlar o valor da tensão de limiar V_T , já que pela Equação (2) a tensão V_T é proporcional com a tensão V_{FB} . Este comportamento da variação de V_T pela espessura do TiN vem sendo observado na literatura está relacionado com a variação da composição do eletrodo de TiN, quando se diminui a sua espessura. Filmes ultrafinos de TiN com espessuras menores que 10 nm depositados por ALD e com capa de Poli-Si podem apresentar descontinuidades e se tornar contaminados com o silício proveniente da camada superior de Poli, o que varia a tensão de V_T [53], [54]. No caso deste trabalho, não há indicação de descontinuidade nos filmes de TiN, conforme apresenta as **Figuras 31** e **32** das imagens SEM. Assim, os resultados indicam que o processo de nitretação de camadas ultrafinas de Ti usado nesta dissertação pode formar filmes contínuos e mais densos do que os obtidos por ALD, suportando temperaturas em torno de 1000°C em processos RTA.

Vale salientar que a **Figura 40** também mostra que dois eletrodos, Ti10N5Ar25 e Ti20N5Ar25, apresentam espessuras menores que 10 nm e são do tipo *midgap*. Portanto, são apropriados para serem usados em dispositivos e circuitos CMOS com nó tecnológico sub-22 nm.

5 CONCLUSÕES

Esta dissertação é baseada na obtenção e na caracterização de filmes ultrafinos (espessuras inferiores a 20 nm) de nitreto de titânio (TiN) para serem usados como eletrodos de porta para tecnologia CMOS (*Complementary Metal Oxide Semiconductor*). Estes filmes ultrafinos foram obtidos através da evaporação por feixe de elétrons de camadas ultrafinas (de 1 ou 2 nm de espessura) de titânio (Ti) com posterior nitretação por plasma ECR (*Electron Cyclotron Resonance*) de nitrogênio (N₂). Após a deposição e nitretação do titânio, a fim de evitar a oxidação dos filmes, no mesmo reator ECR da nitretação, executou-se a deposição CVD (*Chemical Vapor Deposition*) de filmes de a-Si:H (silício amorfo hidrogenado) usando plasma de SiH₄/Ar. Estes filmes de a-Si:H foram implantados com fósforo (P⁺) e recozidos por processamento térmico rápido para torná-los dopados n⁺ e policristalinos. Assim, foram formados eletrodos de porta (*Metal Gate*) MOS com estruturas Poli-Si n⁺/TiN. Salienta-se que o nosso método, que é baseado na nitretação do Ti seguida da deposição CVD do a-Si:H por plasmas ECR, é inovador, pois não é encontrado na literatura. Assim, as caracterizações físicas das estruturas Poli-Si n⁺/TiN/SiO₂ apresentaram as seguintes características:

- 1- As análises Raman, que foram executadas após o recozimento RTA, indicaram a formação de filmes de TiN, pois ocorreu a presença de picos correspondentes de TiN dos modos TA (~195 cm⁻¹) e LA (~315 cm⁻¹). A intensidade dos picos em torno de 521 cm⁻¹ (referentes as camadas de Si cristalino) dos espectros Raman sobre a capa de Poli-Si n⁺ indicaram que os filmes de a-Si:H tornaram-se cristalinos, o que é uma característica primordial para reduzir a resistência série formada por estes tipos de eletrodos. Para finalizar, a análise Raman indica que as estruturas Poli-Si n⁺/TiN suportam processos RTA em alta temperatura. Isto permite que estas estruturas de porta MOS possam ser definidas antes das regiões de fonte/dreno que exigem implantação de íons com posterior recozimento RTA;
- 2- As imagens SEM executadas no sistema FIB/SEM indicaram que todos os filmes de TiN apresentaram espessuras menores que 20 nm e são contínuos. Quatro amostras apresentaram espessuras menores que 10 nm, que é um valor desejado para obter eletrodos de porta MOS que caibam nos dispositivos fabricados para nós tecnológicos com dimensões menores que 22 nm;

- 3- Os espectros EDS executados no sistema FIB/SEM indicaram a presença dos elementos de Ti e de N, confirmando a formação dos filmes de TiN em todas as amostras;
- 4- Como o TiN aparentemente suportou o recozimento/*annealing* por apresentar visualmente nos cortes transversais conformidade física e nos resultados Raman sinais de estrutura TiN, o processo utilizado do tipo *gate first* pode ser empregado e, por ser um processo menos complexo do que alternativas do tipo *gate last* sua aplicação em trabalhos futuros pode ser feita com mais facilidade.

As caracterizações elétricas das estruturas Poli-Si n⁺/TiN/SiON apresentaram as seguintes características:

- 1- Os capacitores Poli-Si n⁺/TiN/SiON (com sinterização de 30 min) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de V_{FB} : -0,43V, -1,1V, -3,7V, -0,31V, -0,4 V, -0,48 V e -1,1 V. Verifica-se que valores de V_{FB} de -0,43V, -0,31V, -0,4 V e -0,48 V, respectivamente, extraídos das curvas C-V dos capacitores das amostras Ti10N5Ar25, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15, são relacionados aos eletrodos do tipo *midgap*;
- 2- Os capacitores Poli-Si n⁺/TiN/SiON (com sinterização) das amostras Ti10N5Ar25, Ti10N15Ar15, Ti10N20Ar10, Ti20N5Ar25, Ti20N10Ar20, Ti20N15Ar15 e Ti20N20Ar10 apresentaram, respectivamente, os seguintes valores de $\Delta V_{depleção}$: 3,0V, 3,0 V, 6,0 V, 2,0 V, 3,0 V, 2,0 V e 5,0 V. Verifica-se que as curvas extraídas dos capacitores das amostras Ti10N5Ar25, Ti10N15Ar15, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15 apresentaram valores de $\Delta V_{depleção}$ que são menor ou igual a 3 V, e estas curvas C-V não estão distendidas, evidenciando que o canal de condução (sujeito ao campo elétrico aplicado a porta MOS) de cada capacitor tornar-se invertido sem dificuldade, pois apresenta baixa densidade de cargas na interface isolante/semicondutor, que deve estar menor que 10^{11}cm^{-2} . Este valor é o máximo permitido para uma porta MOS ser usada na tecnologia atual. Salienta-se que nenhum valor de $\Delta V_{depleção}$ ultrapassou 6,0V, traduzindo a importância da sinterização para a obtenção de portas MOS de alta qualidade e manter a densidade de cargas em níveis aceitáveis;

Relacionando as espessuras dos filmes de TiN extraídas pelo microscópio SEM do sistema FIB/SEM com os valores de V_{FB} das amostras com eletrodos *midgap* (Ti10N5Ar25, Ti20N5Ar25, Ti20N10Ar20 e Ti20N15Ar15), obteve-se os seguintes resultados:

- 1- Os valores de espessura dos eletrodos de TiN, que foram obtidos a partir de uma camada de Ti de 2 nm, aumentaram com os valores da tensão de banda-plana V_{FB} em módulo. Se a espessura do TiN controla o valor de V_{FB} , também deve controlar o valor da tensão de limiar V_T , pois a tensão V_T é proporcional com a tensão V_{FB} . Este comportamento da variação de V_T pela espessura do TiN vem sendo observado na literatura está relacionado com a variação da composição do eletrodo de TiN, quando se diminui a sua espessura. Filmes ultrafinos de TiN com espessuras menores que 10 nm depositados por ALD e com capa de Poli-Si podem apresentar descontinuidades e se tornar contaminados com o silício proveniente da camada superior de Poli, o que varia a tensão de V_T . No caso deste trabalho, os filmes de TiN não apresentam descontinuidades, conforme apresentam as imagens SEM. Assim, nossos resultados estão nos indicando que: o nosso processo de nitretação de camadas ultrafinas de Ti pode formar filmes contínuos e mais densos do que os obtidos por ALD, suportando temperaturas em torno de 1000°C em processos RTA.
- 2- Dois eletrodos, das amostras Ti10N5Ar25 e Ti20N5Ar25, apresentam espessuras menores que 10 nm e são do tipo *midgap*. Portanto, são apropriados para serem usados em dispositivos e circuitos CMOS com nó tecnológico sub-22 nm.

Em conclusão, esta dissertação apresenta as seguintes contribuições científicas:

- Obtenção de eletrodos de porta Poli-Si n^+ /TiN que suportam processos RTA em alta temperatura;
- Obtenção de filmes ultrafinos de TiN, com espessuras menores que 20 nm e contínuos;
- Obtenção de eletrodos de porta Poli-Si n^+ /TiN do tipo *midgap*, pois os valores de V_{FB} estão entre -0,31V e -0,48V.

Para trabalhos futuros, podem ser listadas as seguintes atividades de pesquisa:

- repetir todos os processos novamente, inclusive usando espessuras da camada de Ti menores, tais como de 0,3 nm e 0,5 nm, que são possíveis de serem depositadas pelo sistema da evaporadora de feixe de elétrons de ultra alto vácuo;
- executar medidas de microscopia eletrônica de transmissão (TEM) para verificar as espessuras e a estrutura dos filmes de TiN;
- utilizar estes eletrodos de Poli-Si n⁺/TiN em transistores pMOS e nMOS, planares e tridimensionais;
- testar estes eletrodos sobre dielétricos baseados em HfO_x, que são os dielétricos de porta usados na tecnologia CMOS.

✚ Trabalho apresentado em evento internacional e submissão de paper:

- 6th International MOS-AK/GSA Workshop (co-located with the CMC Meeting and IEDM Conference) /Washington DC Dec.11, 2013 - The abstract, named: **Poly-Si n⁺/TiN stack layers obtained by ECR plasmas as metal gate for sub-22 nm CMOS technology**. Authors: Alisson Garcia, Marcus V. Puydinger dos Santos, José Alexandre Diniz and Jacobus W. Swart. Affiliation: School of Electrical and Computer Engineering and Center for Semiconductor Components – University of Campinas – Sao Paulo – Brazil. Speaker: Jacobus W. Swart.
- Ninth International Caribbean Conference on devices, circuits and systems. Hotel Iberostar Quetzal-Tucán, 2-4 April 2014, Playa del Carmen, México. **Formation and Characterization of TiN Layers for Metal Gate Electrodes of CMOS Capacitors**. Authors: Alisson Soares Garcia, J. A. Diniz, Jacobus W. Swart, L. P. B. Lima, Marcos V. P. dos Santos.

REFERÊNCIAS

- [1] Lima, L. P. B. **Desenvolvimento de processos de eletrodos de porta (TaN e TiN) para dispositivos MOS**. 2011 Dissertação (Mestrado em Engenharia Elétrica) – Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Campinas, 2011.
- [2] INTEL. **22nm Announcement Presentation**. 2011. Disponível em: <http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Announcement_Presentation.pdf>. Acesso em: 11 nov. 2013.
- [3] ITRS. **International Technology for Roadmap Semiconductors – Executive Summary**. San Jose, CA: Semiconductor Industry Association, 2009. Disponível em: <http://www.itrs.net/Links/2009ITRS/2009Chapters_2009Tables/2009_ExecSum.pdf>. Acesso em: 11 nov. 2013.
- [4] Martino, J. A.; Pavanello, M. A.; Verdonck, P. B. **Caracterização Elétrica de Tecnologia e Dispositivos MOS**. São Paulo: Pioneira Thomson Learning, 2003.
- [5] Nichau, A.; Schafer, A.; Knoll, L.; Wirths, S.; Schram, T.; Ragnarsson, L.A.; Schubert, J.; Bernardy, P.; Luysberg, M.; Besmehn, A.; Breuer, U.; Buca, D.; Mantl, S. **Reduction of silicon dioxide interfacial layer of 4.6 Å EOT by Al remote scavenging in high-k/metal gate stacks of Si**. Microelectronic Engineering 109, 2013.
- [6] Rodrigues, M.; Martino, J. A.; Mercha, A.; Collaert, N.; Simoen, E.; Claeys, C. **Low-frequency noise and static analysis of the impact of TiN metal gate thickness on n- and p-channel MuGFETs**. Solid-State Electronics 54, 2010.
- [7] IMEC. **About IMEC**. Disponível em: <http://www2.imec.be/be_en/about-imec.html>. Acesso em: 12 nov. 2013.
- [8] WIKIPEDIA. **Atomic Layer Deposition**. Disponível em: <http://en.wikipedia.org/wiki/Atomic_layer_deposition>. Acesso em: 13 nov. 2013.
- [9] Sreenivasana, R.; Sugawara, T.; Saraswat, K. C.; McIntyre, P. C. **Applied Physics Letters** 90, 102101, 2007.
- [10] OXFORD INSTRUMENTS. **Atomic Layer Deposition (ALD)**. Disponível em: <<http://www.oxford-instruments.com/products/etching-deposition-and-growth/plasma-etch-deposition/atomic-layer-deposition>>. Acesso em: 13 nov. 2013.
- [11] Jong-Hee Park; Sudarshan, T.S.; **Chemical Vapor Deposition**. ASM International, 2001. Disponível em: <<https://www.asminternational.org/content/ASM/StoreFiles/ACFAA6E.pdf>>. Acesso em: 14 nov. 2013.
- [12] WIKIPEDIA. **Chemical Vapor Deposition**. Disponível em: <http://en.wikipedia.org/wiki/Chemical_vapor_deposition>. Acesso em: 14 nov. 2013.

- [13] WIKIPEDIA. **Sputtering**. Disponível em: <<http://en.wikipedia.org/wiki/Sputtering>>. Acesso em: 15 nov. 2013.
- [14] WIKIPEDIA. **Sputter deposition**. Disponível em: <http://en.wikipedia.org/wiki/Sputter_deposition>. Acesso em: 16 nov. 2013.
- [15] Dicionário Babylon. **Lift-off (microtechnology)**. Disponível em: <http://www.babylon.com/definition/Lift-off_%28microtechnology%29/English>. Acesso em: 17 nov. 2013.
- [16] AJA International, Inc. **What is sputtering?** Disponível em: <<http://www.ajaint.com/whatis.htm>>. Acesso em: 17 nov. 2013
- [17] Curso EE941, CCS/UNICAMP. Disponível em: <<http://www.ccs.unicamp.br/cursos/ee941/forno.htm>>. Acesso em: 21 nov. 2013.
- [18] Curso CMOS40, CCS/UNICAMP. Disponível em: <http://wtprocess.ccs.unicamp.br/processos/cmos_v11/html/cmos40.html>. Acesso em: 04 dez. 2013.
- [19] Lima, L. P. B.; Moreira, M. A.; Cioldin, F. H.; Diniz, J. A.; Doi, I. **Tantalum Nitride as Promising Gate Electrode for MOS Technology**. ECS Trans., 31, 1, p. 319-325 (2010).
- [20] Wolf, H.; Streiter, R.; Friedemann, M.; Belsky, P.; Bakaeva, O.; Letz, T.; Gessner, T. **Microelect. Eng.** (2009).
- [21] Henkel, C.; Abermann, S.; Bethge, O.; Klang, P.; Bertagnolli, E. **Proc. 10th International Conference of Ult. Integ. Of Sil.** ULIS, p. 197-200 (2009).
- [22] Fonseca, L. R. C.; Knizhnik, A. A. **Physics Review B**. 74 195304 (2006).
- [23] Puurunen, R.; Abdulagatov, A.; Sundqvist, J.; Titoff, A. **Virtual Project, "History of ALD"**. ALD Pulse (2013). Disponível em: <<http://aldpulse.com/node/189>>. Acesso em: 5 dez. 2013.
- [24] Leskela, M; Ritala, M. **Atomic layer deposition (ALD): from precursors to thin film structures**. Thin Solid Films 409, 138–146 (2002).
- [25] LQES NEWS, Ano VI, Número 119, 16 de fevereiro de 2007. Disponível em: <http://lqes.iqm.unicamp.br/canal_cientifico/lqes_news/lqes_news_cit/lqes_news_2007/lqes_news_novidades_911.html>. Acesso em: 06 dez. 2013.
- [26] **Dual-beam system - Focused Ion Beam / Scanning Electron Microscopy (FIB / SEM)**. Disponível em: <<http://www.ccs.unicamp.br/Desenvolvimento/Infraestrutura/FIB/fib.html>>. Acesso em: 19 dez. 2013.
- [27] Choi, C.; Choi, R. **The electrical and structural properties of HfO₂/SrTiO₃ stacked gate dielectric with TiN metal gate electrode**. Thin Solid Films 521, 42-44, 2012.

[28] Cioldin, F. H.; Lima, L. P. B.; Doi, I.; Diniz, J. A.; Godoy Filho, J.; Zambotti, E. A. **Investigation of Thermal Stability of Titanium Nitride Using a RTA Process**. ECS Transactions, 49. The Electrochemical Society, 2012.

[29] Barshilia, H.C.; Rajam, K. S. **A Raman-scattering study on the interface structure of nanolayered TiAlN/TiN and TiN/NbN multilayer thin films grown by reactive dc magnetron sputtering**. Journal of Applied Physics 98, 014311, 2005.

[30] Chen, C. C.; Liang, N. T.; Tse, W. S.; Chen, I. Y.; Duh, J. G. **Raman Spectra of Titanium Nitride Thin Films**. Chinese Journal of Physics. Vol. 32, No. 2, 1994.

[31] Bavadi, R. Valedbagi, S. **Physical Properties of Titanium Nitride Thin Film Prepared by DC Magnetron Sputtering**. Materials Physics and Mechanics 15, 2012.

[32] Singanamalla, S.; Yu, H. Y.; Daele, V.; Kubicek, S.; De Meyer, K. **Effective Work-Function Modulation by Aluminum-Ion Implantation for Metal-Gate Technology (Poly-Si/TiN/SiO₂)**. IEEE Electron Device Letters, Vol. 28, No. 12, DECEMBER 2007.

[33] Kang, C. Y.; Choi, R.; Hussain, M. M.; Wang, J.; Suh, Y. J.; Floresca, H. C.; Kim, M. J.; Kim, J.; Lee, B. H.; Jammy, R. **Effects of metal gate-induced strain on the performance of metal-oxide-semiconductor field effect transistors with titanium nitride gate electrode and hafnium oxide dielectric**. Applied Physics Letters 91, 2007. Disponível em: <<http://dx.doi.org/10.1063/1.2766667>>. Acesso em: 21 dez. 2013.

[34] Kesapragada, S.; Wang, R.; Liu, D.; Liu, G.; Xie, Z.; Ge, Z.; Yang, H.; Lei, Y.; Lu, X.; Tang, X.; Lei, J.; Allen, M.; Gandikota, S.; Moraes, K.; Hung, S.; Yoshida, N.; Chang, C. **High-k / Metal Gate Stacks in Gate First and Replacement Gate Schemes**. Applied Materials, 2010.

[35] Heo, S. C.; Choi, C. **Plasma atomic layer deposited TiN metal gate for three dimensional device applications: Deposition temperature, capping metal and post annealing**. Microelectronic Engineering 94, 2012.

[36] Choi, C.; Ahn, J.; Choi, R. **Suppressed Thermally Induced Flatband Voltage Instabilities with Binary Noble Metal Gated Metal–Oxide–Semiconductor Capacitors**. Japanese Journal of Applied Physics 51, 2012.

[37] Heo, S. H.; Yoo, D.; Choi, M. S.; Kim, D.; Chung, C.; Choi, C. **A Study of Sputtered TiN Gate Electrode Etching with Various Wet Chemicals and Post Etch Annealing for Complementary Metal–Oxide–Semiconductor Device Integration Applications**. Japanese Journal of Applied Physics 51, 2012.

[38] Lee, S.; Choi, R.; Choi, C. **Effects of composition and thickness of TiN metal gate on the equivalent oxide thickness and flat-band voltage in metal oxide semiconductor devices**. Microelectronic Engineering 109, 2013.

[39] Nichau, A.; Schäfer, A.; Knoll, A.; Wirths, S.; Schram, T.; Ragnarsson, L.; Schubert, J.; Bernardy, P.; Luysberg, M.; Besmehn, A.; Breuer, U.; Buca, D.; Mantl, S. **Reduction of silicon**

dioxide interfacial layer to 4.6 Å EOT by Al remote scavenging in high-j/metal gate stacks on Si. *Microelectronic Engineering* 109, 2013.

[40] Evangelou, E. K.; Konofaos, N.; Aslanoglou, X. A.; Dimitriadis, C. A.; Patsalas, P.; Logothetidis, S.; Kokkoris, M.; Kossionides, E.; Vlastou, R.; Groetschel, R. **Characterization of magnetron sputtering deposited thin films of TiN for use as a metal electrode on TiN/SiO₂/Si metal-oxide-semiconductor devices.** *Journal of Applied Physics* 88, 7192, 2000. Disponível em: <<http://dx.doi.org/10.1063/1.1322068>>. Acesso em: 28 dez. 2013.

[41] Hara, T.; Tani, K.; Inoue, K.; Nakamura, S.; Murai, T. **Formation of titanium nitride layers by the nitridation of titanium in high pressure ammonium ambiente.** *Applied Physics Letters* 57, 1660, 1990.

[42] Rodrigues, M.; Martino, J. A.; Mercha, A.; Collaert, N.; Simoen, E.; Claeys, C. **Low-frequency noise and static analysis of the impact of the TiN metal gate thicknesses on n- and p-channel MuGFETs.** *Solid-State Electronics* 54, 2010.

[43] ITRS. **International Technology for Roadmap Semiconductors – 2012 Update Overview.** San Jose, CA: Semiconductor Industry Association, 2012. Disponível em: <<http://www.itrs.net/Links/2012ITRS/2012Chapters/2012Overview.pdf>>. Acesso em: 16 jan. 2014.

[44] Bernard, M.; Deneuville, A.; Thomas, O.; Gergaud, P.; Sandstrom, P.; Birch, J.; **Thin Solid Films**, 380, p.252-255 (2000).

[45] Chen, C. C.; Liang, N. T.; Tse, W. S.; Chen, L. Y.; Duh Chin, J. G.; **Journal of Physics**, 32, 2 (1994).

[46] Barshilia, H. C.; Rajam, K. S. **Journal of Materials Research**, 19, 11 (2004).

[47] Bernard, M.; Deneuville, A.; Thomas, O.; Gergaud, P.; Sandstrom, P.; Birch, J. **Thin Solid Films**, 380, p.252-255 (2000).

[48] Cioldin, F. H.; Lima, L. P. B.; Doi, I.; Diniz, J. A.; Godoy Filho, J.; Zambotti. **Microelectronics Technology and Devices – SBMicro 2012**, vol.49, n.1, p. 407-413, 2012.

[49] Chau, R. **Proc. 7th Int. Conf. Solid-State and Integr. Circ. Technol.**, p. 26 (2004).

[50] Chau, R.; Brask, J.; Datta, S.; Dewey, G.; Doczy, M.; Doyle, B.; Kavalieros, J.; Jin, B.; Metz, M.; Majumdar, A.; Radosavljevic, M. **Application of High-k Gate Dielectrics and Metal Gate Electrodes to enable Silicon and Non-Silicon Logic Nanotechnology.** 2005.

[51] Özdag, P. **Capacitance-Voltage spectroscopy in Metal-Tantalum Pentoxide Silicon MOS capacitors.** Master Thesis, İzmir Institute of Technology, July 2005.

[52] Nicollian, E.N.; Brews, J.R. **MOS Physics and Technology.** New York, NY, John Wiley & Sons, 1982.

- [53] Rodrigues, M.; Galeti, M.; Martino, J.A.; Collaert, N.; Simoen, E.; Claeys, C. **Solid-State Electronics**. Volume 62, Issue 1, Pages 146–151, August 2011.
- [54] Galeti, M.; Rodrigues, M.; Collaert, N.; Simoen, E.; Claeys, C.; Martino, J. A. **Analog Performance of SOI nFinFETs with Different TiN Gate Electrode Thickness**. 25th Symposium on Microelectronics Technology and Devices, 2010.
- [55] Kuhn, K. J. **CMOS Transistor Scaling Past 32nm and Implications on Variation**. Advanced Semiconductor Manufacturing Conference (ASMC), Pages 241-246, 2010 IEEE/SEMI.
- [56] Lee, S. H.; Choi, R.; Choi C. **Effects of composition and thickness of TiN metal gate on the equivalent oxide thickness and flat-band voltage in metal oxide semiconductor devices**. Microelectronic Engineering 109, Pages 160-162, 2013.
- [57] Hoffmann, T. Y. **Integrating high-k /metal gates: gate-first or gate-last?** Solid State Technology – Insights for Electronics Manufacturing. Disponível em: <<http://electroiq.com/blog/2010/03/integrating-high-k>>. Acesso em: 28 Fev. 2014.