

UNIVERSIDADE ESTADUAL DE CAMPINAS**FACULDADE DE ENGENHARIA ELÉTRICA
E DE COMPUTAÇÃO****DEPARTAMENTO DE MICROELETRÔNICA****INTEGRAÇÃO INTELIGENTE DE POTÊNCIA
BASEADA EM TRANSISTORES NMOS****Saulo Finco**

Este exemplar corresponde a redação final da tese defendida por <u>SAULO FINCO</u>	
e aprovada pela Comissão	
Julgada em	<u>16 / 06 / 2000</u>
<u>Wilmar Bueno de Moraes</u> Orientador	

Orientador: Prof. Dr. Wilmar Bueno de Moraes
DEMIC - FEEC - UNICAMP**Co-Orientadores:** Prof. Dr. Frank Herman Behrens
Prof. Dra. Maria Inês Silva de Castro Simas**Comissão Julgadora:**

Prof. Dr. Wilmar Bueno de Moraes - FEEC/UNICAMP
Prof. Dr. Peter Jünger Tatsch - FEEC/UNICAMP
Prof. Dr. Carlos Ignácio Zamitti Mammana - Fundação CTI
Prof. Dr. Renato Ribas - UFRGS
Prof. Dr. Nicolau Jannuzzi - Fundação CTI
Prof. Dr. Alberto Martins Jorge - FEEC/UNICAMP

Dissertação apresentada como parte integrante dos requisitos necessários para a obtenção do Título de Doutor em Engenharia Elétrica, na área de concentração ELETRÔNICA, MICROELETRÔNICA E OPTOELETRÔNICA, à Comissão Julgadora da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas.

Campinas, 16 de Junho de 2000

UNIDADE	BC
N.º CHAMADA:	1/Unicamp
	F492i
V.	Ex.
TOMBO BC	43324
PROC.	278/2000
C	<input type="checkbox"/>
D	<input checked="" type="checkbox"/>
PREC@	R\$ 11,00
DATA	30/12/2000
N.º CPD	

CM-00153703-0

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

F492i Finco, Saulo
Integração inteligente de potência baseada em
transistores NMOS / Saulo Finco.--Campinas, SP: [s.n.],
2000.

Orientador: Wilmar Bueno de Moraes.

Co-orientadores: Frank Herman Behrens, Maria Inês
Silva de Castro Simas.

Tese (doutorado) - Universidade Estadual de Campinas,
Faculdade de Engenharia Elétrica e de Computação.

1. Circuitos integrados. 2. Transistores de potência.
3. Eletrônica de potência. 4. Microeletrônica. 5. Sistemas
eletrônicos analógicos. I. Moraes, Wilmar Bueno de. II.
Behrens, Frank Herman. III. Castro Simas, Maria Inês de
IV. Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. V. Título.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

Resumo

Este trabalho está relacionado com importantes progressos no projeto de Circuitos Integrados Inteligentes de Potência usando agregados, fundamentados em uma única célula básica contendo transistores NMOS. Tais agregados estão associados de forma matricial adequada para implementar funções genéricas requeridas pelos circuitos de controle de potência. Esta técnica permite o projeto de novos CIs semidedicados de baixo custo, proporcionando uma nova estratégia de configuração de ICs que permite uma fácil implementação industrial em direção à integração Inteligente de Potência utilizando tecnologias CMOS convencionais digital/analógica, sem nenhuma etapa adicional de processo. A mesma técnica pode também ser aplicada a tecnologias complexas e sofisticadas dedicadas à integração de Circuitos Inteligentes de Potência (*Smart Power Technologies*), para a prototipagem rápida ou produção em escala industrial destes circuitos. No cenário mundial, um grande esforço têm sido realizados para compatibilizar a integração inteligente de potência com processos CMOS convencionais de baixo custo. Os resultados apresentados comprovam a potencialidade da técnica desenvolvida neste trabalho em muitos nichos de aplicação.

Abstract

This work is related to important improvements in Smart Power design using arrays based on a unique NMOS cell type. These arrays are arranged in matrices that can implement generic functions required by power control blocks, thus enabling low cost semicustom designs. This new IC configuration strategy has an easy industrial implementation towards Smart Power using standard digital/analog CMOS technologies, without any additional processing steps. The same method can also be applied to sophisticated Smart Power technologies, for fast prototyping or even for industrial production. A huge worldwide effort is being carried out to find solutions that may render Smart Power circuits compatible with low cost CMOS technologies. The results show potentialities of these techniques for many niche of applications.

Agradecimentos

Sou grato a um grande número de colaboradores e instituições que no transcorrer do desenvolvimento deste trabalho contribuíram com maior ou menor intensidade para a sua realização, através de um simples comentário ou questionando-me com uma visão crítica mais profunda, ou, de outra forma, simplesmente tendo paciência e amizade. Não sendo possível agradecer a todos nominalmente ao menos gostaria de explicitamente agradecer:

À Fundação Centro Tecnológico para Informática – CTI, que abrigou este trabalho dentro de seus projetos institucionais, propiciando suporte de inestimável valor, em termos materiais, laboratoriais, através de convênios internacionais, pelas participações em congressos internacionais, pelo patrocínio do Projeto Multiusuário Brasileiro – PMU, entre outras ações. Particularmente agradeço o Prof. Dr. Carlos I. Z. Mammanna, presidente da Fundação CTI, por ter proposto a semente deste trabalho e pelo apoio demonstrado em todas as fases importantes.

À coordenação do Programa de Cooperação Internacional Institucional entre o CNPq (Brasil)/ICCTI (Portugal) permitindo o intercâmbio entre pesquisadores da Fundação CTI, Campinas, Brasil, e do Instituto de Telecomunicações - IT do Instituto Superior Técnico – IST, Lisboa, Portugal. Ao suporte dado pelo programa PMU - Fapesp.

Aos meus orientadores Prof. Dr. Wilmar Bueno de Moraes, da FEEC-DEMIC-UNICAMP, à Prof. Dra. Maria Inês Castro Simas, do IT-IST, e ao Prof. Dr. Frank H. Behrens da PUCCAMP, que em momento algum mediram esforços pessoais para a concretização deste trabalho. Recordo-me que seus incentivos, críticas, sugestões e ensinamentos sempre foram colocados de forma tranqüila e prazerosa.

Ao Dr. Pierre Rossel, Dr. Georges Charitat e Dr. Nicolas Nolhier, companheiros de trabalho do LAAS/CNRS-França, pelas discussões iniciais deste trabalho. Ao Prof. Dr. Carlos A. dos Reis da UNICAMP pela aplicação experimental deste trabalho em seus desenvolvimentos técnicos.

Aos companheiros de trabalho pelas valorosas contribuições durante a redação e composição deste trabalho: Pedro N. M. Santos, António Pedro A. Casimiro e Paulo Tavares, pesquisadores do Instituto de Telecomunicações do Instituto Superior Técnico; Carlos de Oliveira, Pimentel, Márcio, Wellington, Cleomar, Susete, Marinalva, Elaine e Mariana, da Fundação CTI. Ao amigo João Costa Freire e família pela compreensão e apoio.

À minha querida esposa, ao meu filho e pela paciência, compreensão e muito carinho...

Aos meus queridos pais por terem sustentado meus estudos ao longo de minha vida.

Ao nosso Deus Criador e Mantenedor, pela vida, saúde e cuidados que teve para comigo durante as inúmeras jornadas estendidas de trabalho. Muito obrigado!

Índice

CAPÍTULO 1 - INTRODUÇÃO GERAL

1.1 INTRODUÇÃO.....	3
1.2 MOTIVAÇÃO.....	5
1.3 OBJETIVOS.....	6
1.4 ORGANIZAÇÃO.....	7
1.5 REFERÊNCIAS.....	9

CAPÍTULO 2 - A INTEGRAÇÃO DE POTÊNCIA, TECNOLOGIAS E APLICAÇÕES

2.1 INTRODUÇÃO.....	13
2.2 CONCEITOS BÁSICOS.....	16
2.3 TECNOLOGIAS DEDICADAS À INTEGRAÇÃO DE POTÊNCIA.....	17
2.3.1 Tecnologias MOS.....	17
2.3.1.1 Circuitos Integrados Inteligentes de Potência.....	18
2.3.1.2 Circuitos Integrados de Alta Tensão.....	19
2.3.2 Tecnologias BiCMOS.....	22
2.3.3 Tópicos sobre Isolamento.....	23
2.3.3.1 Auto-isolamento.....	23
2.3.3.2 Isolamento por Junções Verticais.....	24
2.3.3.3 Isolamento por Dielétrico.....	25
2.4 DESCRIÇÃO DE ALGUNS PROCESSOS COMERCIAIS DEDICADOS À INTEGRAÇÃO DE POTÊNCIA.....	27
2.4.1 BCD V, Tecnologia da SGS-THOMSON.....	28
2.4.2 SmartMOS, Tecnologia TMOS da Motorola.....	30
2.4.3 BCD5, Tecnologia da MICREL.....	32
2.4.4 TrenchFETs, Tecnologia da TEMIC.....	32
2.4.5 Considerações sobre as Novas Tecnologias em Desenvolvimento.....	33
2.5 INTEGRAÇÃO INTELIGENTE DE POTÊNCIA.....	34
2.5.1 Controle da Potência.....	34
2.5.1.1 Topologias de Carga e de Interruptor.....	34
2.5.1.2 Concretização dos Interruptores.....	38
2.5.1.3 Circuitos de Acionamento e suas Topologias.....	40
2.5.2 Circuitos de Controle de Proteção.....	41
2.6 DESAFIOS PARA INOVAÇÃO.....	41
2.6.1 Evolução dos Dispositivos de Potência nas Tecnologias CMOS Convencionais.....	44
2.6.2 Dispositivos Laterais NMOS.....	47
2.6.2.1 Descrição Detalhada.....	48
2.6.2.2. Modelamento dos Dispositivos Laterais.....	49
2.6.3 Alguns Resultados Experimentais Preliminares.....	49
2.6.4. Alguns Resultados Experimentais.....	51
2.6.4.1 Regulador DC-DC tipo Ampliador (Boost).....	51
2.6.4.2 Reator Eletrônico para Lâmpada Fluorescente.....	53
2.6.4.3 Amplificador Sigma-Delta.....	54
2.7 CONCLUSÕES.....	55
2.8 REFERÊNCIAS.....	56

CAPÍTULO 3 - CIRCUITOS PARA O CONTROLE DE POTÊNCIA BASEADOS EM TRANSISTORES NMOS

3.1 INTRODUÇÃO.....	61
3.2 CIRCUITOS PARA O CONTROLE DE POTÊNCIA	63
3.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação	64
3.2.1.1 Circuitos Zener Baseados Unicamente em Transistores NMOS	66
3.2.1.2 Circuitos Retificadores Baseados Unicamente em Transistores NMOS	67
3.2.2 Circuitos de Deslocamento de Nível Baseados em Transistores NMOS.....	70
3.2.3.1 Circuitos de Bombeamento de Cargas Capacitivos (Charge Pump).....	74
3.2.3.2 Circuitos de Intensificação de Excitação (Bootstrap).....	79
3.2.4 Fontes de Corrente Baseadas Unicamente em Transistores NMOS	85
3.3 IMPLEMENTAÇÃO FÍSICA DE CIRCUITOS NMOS PARA APLICAÇÃO EM CIIP.....	88
3.3.1 Especificações Gerais da Arquitetura de uma Matriz Semidedicada para Aplicações em Potência	90
3.3.1.1 Pré-requisitos:.....	91
3.3.1.2 Restrições:	91
3.3.1.3 Características Desejadas	92
3.3.2 Arquitetura da Planta da Célula Básica de Comutação	93
3.3.3 Arquitetura da Matriz de Células Básicas	98
3.3.4 Considerações sobre o Desenho das Máscaras	99
3.3.4.1 Exemplos de Roteirização de Ligações	100
3.3.4.2 Planta Final.....	106
3.4 CONCLUSÃO	107
3.3 REFERÊNCIAS	109

CAPÍTULO 4 - RESULTADOS EXPERIMENTAIS CIRCUITOS, MATRIZES E APLICAÇÕES

4.1 INTRODUÇÃO.....	113
4.2 CIRCUITOS PARA O CONTROLE DE POTÊNCIA	116
4.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação	116
4.2.1.1 Circuitos Zener	120
4.2.1.2 Circuitos Retificadores	121
4.2.1.3 Associação Série de Circuitos Zener com Retificador	122
4.2.2 Circuitos de Deslocamento de Nível	123
4.2.3 Circuitos de Excitação.....	124
4.2.3.1 Circuitos de Bombeamento de Cargas.....	124
4.2.3.2 Circuitos de Intensificação de Excitação	126
4.3 MATRIZES SEMIDEDICADAS E CÉLULAS DE POTÊNCIA BASEADAS EM ESTRUTURAS LDS D E LDMOS	127
4.3.1 Esquema Elétrico das Células de Potência	127
4.3.2 Características Elétricas das Células de Potência	131
4.3.3 Planta das Células de Potência, dos Agregados e das Matrizes.....	135
4.4 EXEMPLOS DE CIRCUITOS DE APLICAÇÃO	140
4.4.1 Fonte de alimentação 24V DC.....	141
4.4.2 Micro-sistema para Estimulação Terapêutica.....	143
4.4.3 Sistema para Indústria Automotiva	148
4.5 CONCLUSÕES.....	150
4.6 REFERÊNCIAS	152

CAPÍTULO 5 - CONCLUSÃO GERAL

5.1 RECAPITULAÇÃO	155
5.2 TEMAS PARA DESENVOLVIMENTO FUTURO.....	157
5.3 HISTÓRICO SOBRE OS PRINCIPAIS TRABALHOS PUBLICADOS	159
5.4 REFERÊNCIAS	162

1

Introdução Geral

Onde se apresenta de forma concisa o contexto, a motivação, os objetivos e a forma da organização e apresentação deste trabalho.

Capítulo 1

Introdução Geral

1.1 INTRODUÇÃO.....	3
1.2 MOTIVAÇÃO.....	5
1.3 OBJETIVOS	6
1.4 ORGANIZAÇÃO	7
1.5 REFERÊNCIAS	9

1.1 Introdução

A atual tendência de evolução no sentido do desenvolvimento de micro-sistemas, i.e., de CIs que realizam as funções de um sistema em um único circuito monolítico, conduz à integração de circuitos de controle analógicos, digitais e dispositivos de comutação, em uma única pastilha, com capacidade de controlar a potência fornecida a uma determinada carga. Este tipo de CIs é conhecido na literatura técnica anglo-saxônica como circuito monolítico *Smart Power* [1.1] e também freqüentemente será denominado no âmbito deste trabalho como Circuitos Integrados Inteligentes de Potência ou simplesmente CIIP. Fatores como a diminuição das dimensões do encapsulamento e número de pinos de ligação ao exterior, das interferências eletromagnéticas [1.1] [1.2], volume, e fundamentalmente o custo global do sistema com melhoria da funcionalidade [1.3], têm motivado o desenvolvimento destes CIs.

Há um grande número de sistemas eletrônicos que requerem o desenvolvimento de Circuitos Integrados de Aplicação Específica - *ASICs*. A escolha entre o tipo de *ASIC* semipersonalizado ou totalmente personalizado para realizar uma determinada função é condicionada pelo compromisso entre custo, tempo de desenvolvimento e desempenho pretendido. O tempo e o custo de desenvolvimento de um *ASIC* totalmente personalizado é superior ao de um *ASIC* semipersonalizado mas, em contrapartida, os circuitos assim produzidos podem atingir maior desempenho com menor área de silício e menor custo de produção em grandes volumes de utilização [1.4].

Os *ASICs* semipersonalizados configuráveis por máscaras, dedicados à integração de sistemas inteligentes de potência, são freqüentemente utilizados em aplicações em que o volume de produção é pequeno [1.5] e/ou em que o tempo de prototipagem ou desenvolvimento deve ser reduzido, ou ainda, para a validação final do projeto do CI. Estes *ASICs* são uma alternativa de construção de sistemas integrados em substituição aos sistemas híbridos que contêm CIs e componentes de potência discretos, ou atuam como uma via otimizada para o desenvolvimento de um *ASIC* totalmente personalizado. No mercado já existem estes tipos de componentes configuráveis por máscara há mais de 10 anos, em que os dispositivos dedicados ao processamento de potência são essencialmente transistores LDMOS [1.6].

Desde 1986 têm sido apresentadas algumas tecnologias LSI que combinam transistores Bipolares/CMOS/LDMOS [1.7]. As propriedades do transistor de potência LDMOS permitindo o suporte de tensões elevadas no corte e a possibilidade de integração monolítica de múltiplas células de comutação controladas por circuitos Bipolares ou CMOS, foram as principais condicionantes técnicas motivadoras do avanço do uso da tecnologia de *smart power* no mercado. Porém, os custos deste processo, que exige etapas adicionais às necessárias para a fabricação de circuitos puramente analógico/digitais Bipolares, ou CMOS, o consumo de área e a complexidade dos projetos, inicialmente apresentaram-se como um entrave ao avanço daquela tecnologia no mercado de CIs devido ao aumento dos custos da ordem de 1,5 a 10 vezes [1.5], [1.9], até o início da década de 90, quando comparado com a concretização do sistema com componentes discretos ou com os equivalentes eletromecânicos. Este panorama é antagônico ao panorama previsto para os fins dos anos 90 e início da próxima década, segundo o qual, os sistemas eletrônicos otimizados em custo e desempenho conteriam CIIP.

Também é cada vez mais evidente que a prototipagem rápida será uma necessidade no desenvolvimento de um CIIP da mesma forma como ocorre em toda a indústria eletrônica de ASICs hoje em dia. A dificuldade no acesso às tecnologias para potência, principalmente devido ao seu alto custo e ao longo ciclo de projeto desde a especificação até à obtenção de protótipos, levam os projetistas de CIIP a terem dificuldade em testar suas idéias rapidamente, mesmo com um desempenho não otimizado. Considerando que esta fase de verificação da consistência do projeto é uma atividade importante no desenvolvimento de um CIIP, a disponibilidade de um serviço de prototipagem rápida deste circuito traz aos projetistas a possibilidade de uma primeira avaliação da possibilidade de integração de suas idéias antes de iniciar um trabalho de refinamento e otimização do projeto.

Este trabalho baseia-se nos resultados de simulação e resultados experimentais obtidos de estruturas NMOS, que suportam alta tensão (HV), que são totalmente compatíveis com a tecnologia CMOS digital e que realizam funções similares às funções dos transistores LDMOS construídos em tecnologias combinadas no que se refere ao suporte de correntes na condução e de tensões no corte, de tempos de comutação [1.9]. Este trabalho visa alcançar aplicações de sistemas inteligentes de potência que operem em gamas de tensões até 50V e de corrente até 2A.

1.2 Motivação

As características específicas das topologias de conversão de potência, regulação e amplificação tornam possível pensar em um arranjo básico de células de comutação de potência e de funções elementares pré-difundidas, que podem ser configuradas de acordo com os requisitos de cada aplicação com o objetivo de obter uma solução versátil, compatível com a produção de poucas unidades, redução de custos e do ciclo de projeto, usando técnicas semelhantes às utilizadas em circuitos configuráveis tais como os *Field-Programmed Gate Arrays* (FPGAs) e *Mask-Programmed Gate Arrays* (MPGAs).

Tecnicamente a tecnologia CMOS não é, atualmente, a mais adequada para a fabricação de circuitos monolíticos inteligentes de potência, mas fatalmente irá drenar a maior parte das aplicações de baixa/média potência. A integração destes sistemas em tecnologia CMOS é, assim, um desafio atual e exigirá dos engenheiros e projetistas de sistemas o desenvolvimento de novas técnicas e de novas topologias passíveis de adaptarem esta tecnologia às funcionalidades específicas exigidas pelos CIIP [1.8].

A principal motivação deste trabalho foi a de introduzir a capacidade de configuração por máscara em circuitos integrados de potência compatíveis com processos CMOS convencionais. Em conformidade com esta motivação, surgiu a necessidade de gerar padrões que possam ser associados de forma repetitiva e otimizada e que possibilitem a concretização de todas as funções exigidas pelos CIIP através da configuração pós-fabrico de um circuito integrado pré-definido. Esta preocupação visa uma rentável utilização da área de silício ao mesmo tempo que disponibiliza uma metodologia de prototipagem rápida e válida para um grande número de tecnologias possíveis de ser utilizadas no seu fabrico.

Parte desta dissertação pode ser considerada como um estudo de viabilidade de uma alternativa para a integração de sistemas inteligentes de potência configuráveis baseado numa tecnologia puramente CMOS, seguindo assim a tendência de migração dos sistemas eletrônicos para esta tecnologia, pressionados pelos baixos custos de produção em larga escala. Esta solução torna exequível o conceito de prototipagem de CIIP, acima apresentado.

Tipicamente existem dois caminhos para o desenvolvimento de Circuitos Integrados Inteligentes de Potência [1.5]. O primeiro trata de desenvolver uma tecnologia capaz de concretizar uma família de dispositivos de potência e agregar a estes circuitos de alta densidade e baixa tensão para realizar as funções de controle. O segundo consiste em compatibilizar a fabricação de dispositivos de potência com um processo dedicado a uma elevada escala de integração já existente. Ambos os caminhos exigem um elevado custo de desenvolvimento de processo, caracterização, etc. Neste trabalho propõe-se uma solução que se aplica a ambos os caminhos, porém com a vantagem de exigir um reduzido esforço de desenvolvimento de processos de fabricação.

1.3 Objetivos

Resultados experimentais, acumulados ao longo dos últimos anos de trabalho, demonstraram que a utilização dos transistores NMOS que suportam alta tensão e que são capazes de controlar potências médias, disponíveis em processos CMOS convencionais, associados a resistores, capacitores e indutores, integrados ou não, são suficientes para realizar um grande número de circuitos que são tipicamente utilizados em aplicações que recorrem a CIIP (*Smart Power*) [1.10] e [1.11]. Tais resultados fundamentaram este trabalho, cujo objetivo é apresentar um conjunto de circuitos básicos exigidos pelos CIIP. Esta estratégia utiliza somente o transistor NMOS e elementos passivos disponíveis em processos compatíveis com a tecnologia CMOS, dispensando o uso de outros dispositivos de alta tensão como os transistores PMOS, Bipolares PNP, Bipolares NPN ou diodo retificador e diodo Zener. Tem-se assim por principal objetivo apresentar uma nova família de circuitos baseados em transistores NMOS de alta tensão (NMOS-HV) para realizar as principais funções requeridas pelos circuitos de acionamento e de controle existentes nos CIIP. O conjunto de circuitos aqui apresentado é composto por seis circuitos:

- 1) emuladores de diodo retificador
- 2) emuladores de diodo Zener
- 3) deslocadores de nível (*Level shifter*)
- 4) bombas de carga capacitiva (*charge-pump*)
- 5) intensificadores de tensão (*bootstrap*)
- 6) fonte de corrente flutuante

Também são apresentadas possíveis topologias dos dispositivos de potência dos CIIP compatíveis com a tecnologia CMOS escolhida para demonstrar a viabilidade da abordagem proposta.

Tem-se como um segundo objetivo a geração de uma proposta de arquitetura celular adequada à construção de uma matriz capaz de concretizar a família de circuitos e topologias propostas. Para veículo experimental deste estudo foram projetadas duas células básicas dedicadas ao controle de potência, uma concretizada em tecnologia puramente CMOS e a outra numa tecnologia combinada CMOS/LDMOS, ambas compatíveis com os circuitos de controle CMOS. Uma análise destas duas células permitirá ao leitor avaliar o desempenho, as potencialidades e versatilidade dos mesmos e sobre as vantagens e desvantagens das topologias de circuito testadas.

A especificação da arquitetura da matriz e do agregado pré-difundido, originada na associação destas matrizes, deve atender a dois requisitos fundamentais definidos pelos resultados obtidos em trabalhos anteriores [1.12] e dos quais este é uma continuação:

1. ser totalmente compatível com o processo CMOS digital convencional contendo pelo menos dois níveis de interligação em metal;
2. ser configurável apenas através do último nível de metal, adequando-se à atual infra-estrutura de processo e respectivas ferramentas de *software* para projetos de CIs semipersonalizados desenvolvidos pela Fundação Centro Tecnológico para Informática.

Tem-se como último objetivo, não menos importante que os anteriores, a construção experimental de alguns exemplos de aplicação com potencial interesse comercial que são técnica e economicamente viáveis em tecnologia CMOS convencional, em contraste com a inviabilidade econômica de se construírem em uma tecnologia dedicada.

1.4 Organização

Este trabalho está dividido em 5 Capítulos. No início de cada capítulo é apresentado o índice relativo ao mesmo, e na seqüência, a descrição do seu propósito. Cada capítulo possui uma conclusão individual do trabalho desenvolvido. As referências e as figuras estão organizadas por capítulo sendo listadas no final de cada um e referidas ao longo do texto. Na introdução do Capítulo 1, o contexto deste trabalho é apresentado em tópicos que têm relação direta com este trabalho, tais como os Circuitos Integrados Inteligentes de Potência - CIIPs, Circuitos Integrados de Aplicação Específica - ASICs, os ASICs semipersonalizados programáveis por máscaras, dedicados à integração inteligente de potência, perspectivados para a prototipagem rápida. No

tópico seguinte foi à procura de compatibilização desses *ASICs* com processo CMOS convencional, investigando soluções tanto para os circuitos como para a arquitetura da planta das matrizes que devem realizar os circuitos propostos, considerando as restrições impostas pelo processamento final disponibilizado para a realização do mesmo.

Na primeira parte do Capítulo 2 são apresentados uma revisão das tecnologias e principais processos que foram desenvolvidos para serem utilizados na construção dos CIIP presentes no mercado. Na segunda parte é relatado o desenvolvimento e a evolução de nossas pesquisas na busca de compatibilizar a integração de dispositivos de potência em tecnologias CMOS convencionais, único processo tecnológico disponível na época para realizar integração inteligente de potência e que está alinhada com a atual tendência de simplicidade e baixo custo na construção dos CIIP. Na parte final do capítulo são apresentados alguns dos circuitos que motivaram a persistência na continuação deste trabalho superando as dificuldades impostas pelas variadas restrições técnicas.

Na primeira parte do Capítulo 3 são apresentados os principais circuitos que dão sustentação à proposta de construir circuitos dedicados ao controle de potência baseados unicamente em transistores NMOS, dispensando o uso de tecnologias complexas para um grande conjunto de aplicações nos diversos segmentos da eletrônica. Na segunda parte são apresentadas e descritas duas arquiteturas de planta de células básicas que permitem a formação de matrizes de transistores e agregados capazes de realizar os circuitos dedicados ao controle da potência descritos na primeira parte do Capítulo 3.

O Capítulo 4 apresenta os principais resultados de simulação elétrica, os resultados experimentais dos circuitos, bem como as respectivas fotos, para as estruturas construídas que foram apresentadas no Capítulo 3. Na última parte são também apresentados alguns exemplos de aplicações recorrendo aos CIIP construídos. São ilustrações do interesse e do desempenho da solução adotada. No Capítulo 5 é apresentada uma conclusão geral dos resultados obtidos e trabalhos futuros são propostos no âmbito da continuação desta pesquisa.

1.5 Referências

- [1.1] B.J. Baliga, "An Overview of Smart Power Technology", IEEE Trans. on Electronic Devices, Vol. 38, n.7, pp. 1568-1575, Julho, 1991.
- [1.2] M.I. Castro Simas, "Intelligent Power Devices", II Workshop IBERCHIP, 1995.
- [1.3] D. Pryce, EDN, pg. 67, Março, 1987.
- [1.4] J.P. Huber, M.W. Rosneck, "Successful ASIC Design the First Time Through", Van Nostrand Reinhold, 1991.
- [1.5] "Smart Power Markets and Applications", Electronic Trend Publications, Saratoga, CA 1988.
- [1.6] A.P. Ramsey, in VLSI System Design - IEEE, Vol 9, N° 5, pg. 36-41, Maio, 1998
- [1.7] C. Cini, "Smart Power Processes for LSI Circuits", SGS-THOMSON Application Note AN446/0392.
- [1.8] B.J. Baliga, "Power ICs in the Saddle", in Power Electronics in Action, Gadi Kaplan Editor, IEEE SPECTRUM, pp. 34-49, Julho 1995.
- [1.9] "Smart Power ICs Technologies and Applications", Springer Editor, pg. 53, 1997.
- [1.10] S. Finco, J. Guilherme, F. Behrens, M. I. Castro Simas and M. Lança, "Pushing standard CMOS Technologies into Smart Power Conversion and Amplification", Journal of Circuits, Systems and Computers, vol. 5, no. 3, pp. 455-463, © World Scientific Publishing Company, 1995.
- [1.11] H. Ballan, M. Declercq, "High Voltage Devices and Circuits in Standard CMOS Technologies", Kluwer Academic Publishers, Dordrecht, The Netherlands, 1999.
- [1.12] F.H. Behrens, S. Finco, R.P. Ribas, F. Chavez, L.A. Razera, "Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal", Anais do I Workshop Iberchip, pp. 259-270, Cartagena de Indias, Colômbia, Fevereiro, 1995.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

2

A Integração de Potência, Tecnologias e Aplicações

Onde se disserta sobre o estado da arte das tecnologias usadas na integração de potência, revendo primeiramente, os principais aspectos tecnológicos dos processos dedicados à integração de potência em geral e aos circuitos integrados inteligentes de potência em particular, com a apresentação das tecnologias usadas pelos fabricantes: Micrel, Motorola, Temic, SGST. São também referidos as tecnologias CMOS convencionais e os resultados obtidos, quando se visam aplicações de conversão e amplificação de potência.

Capítulo 2

A Integração de Potência, Tecnologias e Aplicações

2.1 INTRODUÇÃO.....	13
2.2 CONCEITOS BÁSICOS.....	16
2.3 TECNOLOGIAS DEDICADAS À INTEGRAÇÃO DE POTÊNCIA.....	17
2.3.1 Tecnologias MOS.....	17
2.3.1.1 Circuitos Integrados Inteligentes de Potência.....	18
2.3.1.2 Circuitos Integrados de Alta Tensão.....	19
2.3.2 Tecnologias BiCMOS.....	22
2.3.3 Tópicos sobre Isolamento.....	23
2.3.3.1 Auto-isolamento.....	23
2.3.3.2 Isolamento por Junções Verticais.....	24
2.3.3.3 Isolamento por Dielétrico.....	25
2.4 DESCRIÇÃO DE ALGUNS PROCESSOS COMERCIAIS DEDICADOS À INTEGRAÇÃO DE POTÊNCIA.....	27
2.4.1 BCD V, Tecnologia da SGS-THOMSON.....	28
2.4.2 SmartMOS, Tecnologia TMOS da Motorola.....	30
2.4.3 BCD5, Tecnologia da MICREL.....	32
2.4.4 TrenchFETs, Tecnologia da TEMIC.....	32
2.4.5 Considerações sobre as Novas Tecnologias em Desenvolvimento.....	33
2.5 INTEGRAÇÃO INTELIGENTE DE POTÊNCIA.....	34
2.5.1 Controle da Potência.....	34
2.5.1.1 Topologias de Carga e de Interruptor.....	34
2.5.1.2 Concretização dos Interruptores.....	38
2.5.1.3 Circuitos de Acionamento e suas Topologias.....	40
2.5.2 Circuitos de Controle de Proteção.....	41
2.6 DESAFIOS PARA INOVAÇÃO.....	41
2.6.1 Evolução dos Dispositivos de Potência nas Tecnologias CMOS Convencionais.....	44
2.6.2 Dispositivos Laterais NMOS.....	47
2.6.2.1 Descrição Detalhada.....	48
2.6.2.2. Modelamento dos Dispositivos Laterais.....	49
2.6.3 Alguns Resultados Experimentais Preliminares.....	49
2.6.4. Alguns Resultados Experimentais.....	51
2.6.4.1 Regulador DC-DC tipo Ampliador (Boost).....	51
2.6.4.2 Reator Eletrônico para Lâmpada Fluorescente.....	53
2.6.4.3 Amplificador Sigma-Delta.....	54
2.7 CONCLUSÕES.....	55
2.8 REFERÊNCIAS.....	56

2.1 Introdução

Nas duas últimas décadas assistiu-se a um grande progresso tecnológico, que foi marcado pelo desenvolvimento da Microeletrônica. A sigla VLSI surgiu com muita ênfase em todo o meio industrial e educacional. A associação de complexidade e velocidade encontrou aplicação imediata para sistemas VLSI no processamento digital complexo, sofisticado e de alto desempenho, atingindo rapidamente o estado da arte. Porém, isto é um fato somente quando o alvo é o processamento de sinais e controle. Quando os objetivos são os circuitos integrados de potência – CIP, (*PICs - Power Integrated Circuits*) [2.1], ainda há um longo caminho a percorrer para atingir o mesmo grau de desenvolvimento. Na verdade, as condições que, nos anos 80, permitiram a contratação de um grande número de pessoas no projeto e especificação de circuitos VLSI, no que se refere aos CIP, ainda esta em fase embrionária. Podemos referir, nomeadamente, as bibliotecas de células e ferramentas automáticas de projeto e teste, que tornam possível o ciclo de prototipagem rápida, e que permitem o acesso a tecnologias de baixo custo e fácil interface com os fabricantes de circuitos integrados. O completo preenchimento destes requisitos é condição essencial para a eficaz interação entre os projetistas de circuitos e as tecnologias disponibilizadas pelos fabricantes, para além do ambiente relativamente restrito da indústria de semicondutores. Este progresso vai ainda permitir a recorrência a estas soluções em um vasto campo de aplicações.

Importantes avanços podem ser observados nos circuitos integrados de potência, pois a sua importância econômica é já inquestionável. Soluções monolíticas dedicadas à conversão e amplificação de potência são altamente desejáveis, não somente pelo fato de reduzir interfaces e conseqüentemente seu volume, peso e interferências eletromagnéticas, mas também pelo fato de aumentar o rendimento, com uma melhoria significativa do desempenho e da confiabilidade de todo o sistema, tornando-se cada vez mais importante, permitindo a concretização de fontes de alimentação compactas, de conversores e de amplificadores de potência compatíveis com a impressionante redução de custo e volume alcançada no processamento de sinal [2.2]. Um grande número de aplicações que recorrerão a soluções monolíticas é previsível, visto que a potência que os CIP podem entregar à carga pode ser de dezenas, centenas ou até mesmo um milhar de Watt [2.1]. Deste modo, muitas abordagens estão sendo investigadas buscando novas estratégias para reduzir os custos dos circuitos integrados de potência. Relativamente aos CIP, dois tipos de

circuitos podem ser encontrados no mercado: os Circuitos Integrados Inteligentes de Potência - CIIP e os Circuitos Integrados de Alta Tensão (*HVICs - High Voltage Integrated Circuits*).

Considerando as conquistas das tecnologias até este momento, espera-se que num futuro próximo, não somente a microeletrônica e a integração de potência mas também a mecânica [2.3], a óptica [2.4] e a química [2.5], venham a concorrer para uma nova era na qual os micro-sistemas [2.6] serão o âmago de uma grande quantidade de produtos. Os micro-sistemas, como representados na Figura 2.1, integram microprocessadores, circuitos integrados de potência, micromáquinas, sensores químicos, circuitos de microondas e conexões ópticas, usando novos métodos de interligação, tais como pastilha sobre pastilha, pastilha dentro de pastilha [2.6] e camada enterrada de metal [2.7].

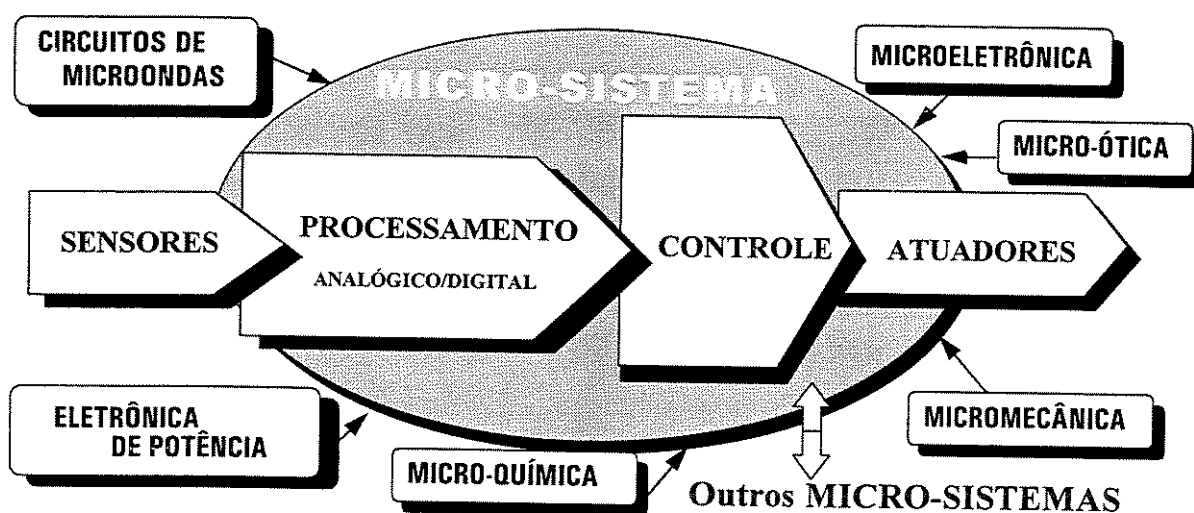


Figura 2.1 - Diagrama de Blocos de um micro-sistema que utiliza um amplo espectro de tecnologias.

Os circuitos integrados inteligentes de potência são considerados, segundo B. J. Baliga, como a chave para a segunda revolução da eletrônica [2.8], assim como os transistores MOS foram os componentes eletrônicos fundamentais da primeira. A inteligência atribuída aos dispositivos de potência, quer dos circuitos integrados inteligentes de potência, quer dos circuitos integrados de alta tensão, advém da capacidade de realizar funções lógicas e de memorização, permitindo a implementação de funções de proteção e de funções complexas de controle e de interfaceamento com microprocessadores.

O impacto dos circuitos integrados de potência, com ênfase especial nos dispositivos de potência, sobre os recentes avanços na indústria automotiva e aeroespacial, equipamentos médicos, de telecomunicação e muitos outros, e a expectativa da grande redução de custo para aplicações destas soluções monolíticas em muitos produtos de consumo, tais como aparelhos elétricos, ar condicionado e sistemas de iluminação, máquinas e ferramentas, controles programáveis e robótica, justificam o súbito aumento de interesse desta área e a reflexão que será apresentada neste capítulo.

Embora o Silício reúna a maioria dos requisitos para concretização dos CIP, novas estruturas de heterojunções estão sendo estudadas e testadas, tais como: o Arsenieto de Gálio, cuja elevada mobilidade dos elétrons permite realizar dispositivos que suportam alta tensão, operando a uma elevada velocidade de comutação [2.9]; o Silício-Germânio, que pode ser produzido com um baixo custo, além de suportar altas tensões e operar a uma elevada velocidade de comutação [2.6]; o Carbetto de Silício, que possui a capacidade de suportar uma temperatura de operação muito superior à do Silício, sendo estes dispositivos úteis para aplicação em controle de motores e na indústria automotiva e aeronáutica [2.10]; o Diamante, que oferece o melhor isolamento entre os dispositivos de potência e o circuito de controle [2.6]. Porém, todas estas soluções ainda não estão tecnologicamente resolvidas e estão em fase de aprimoramento com a evolução dos processos de fabricação. Deste modo, somente as tecnologias sobre Silício serão consideradas neste trabalho.

Neste capítulo, também, será feita uma breve consideração sobre a realização de circuitos integrados de potência e as estratégias usadas para aumentar o isolamento entre os dispositivos de potência e os circuitos que operam em baixa tensão. As principais funções requeridas para o desempenho inteligente dos dispositivos de potência também serão referidas. Finalmente, uma nova abordagem para aumentar a capacidade de uma tecnologia CMOS convencional para suportar aplicações de potência é apresentada, bem como as perspectivas de inovação quando usadas em aplicações de baixa ou média potência. Resultados simples porém diversificados, obtidos experimentalmente, ilustram a parte final deste capítulo, nomeadamente topologias de conversão e amplificação, concretizadas utilizando células otimizadas, que confirmam a viabilidade desta proposta, sendo os resultados obtidos nos circuitos preliminares responsáveis pelo desenvolvimento mais aprofundado, relatado nesta dissertação.

2.2 Conceitos Básicos

Os Circuitos Integrados Inteligentes de Potência [2.8] [2.11] são definidos como circuitos integrados de potência, que atuam como interface entre o controle analógico/digital e a carga de potência e são projetados para controlar médias tensões (muitas dezenas de Volt) e níveis de corrente relativamente elevados (alguns Ampere). Estas exigências de mercado motivaram o desenvolvimento de tecnologias sofisticadas e muito dispendiosas, destinadas a integrar na mesma pastilha dispositivos de potência com o seu controle, proteção, memórias e circuitos de amostragem, diagnóstico de falhas e monitoramento de processos. Os CIIP são projetados para realizar funções complexas de comutação a altas frequências, promovendo assim grandes progressos nesta área e induzindo os fabricantes de semicondutores a entrarem no mercado de circuitos integrados de potência de aplicação específica, tanto para baixa, como para média potência, nomeadamente nas áreas da indústria automotiva, robótica, telecomunicação móvel, equipamentos médicos e áreas que exigem elevada confiabilidade e compactação.

Circuitos Integrados de Alta Tensão (*HVIC*) [2.12] são circuitos integrados de potência, que suportam elevadas tensões (centenas de Volt), no corte, para aplicações que exigem uma corrente relativamente baixa (menor que um Ampere e tipicamente dezenas de mA), tais como os circuitos de acionamento de mostradores eletroluminescentes de plasma. Nestes circuitos, usualmente, muitos dispositivos de potência são colocados dentro da mesma pastilha com seus respectivos circuitos de acionamento e controle e outros circuitos que operam em baixa tensão. Os isolamentos para alta tensão e a necessidade inerente de interligações exigem técnicas especiais que evoluíram a partir da invenção da técnica de *RESURF* (*REDUCed SURface Field*), que será referida a seguir. Os Circuitos Integrados de Alta Tensão representam uma solução atraente para um grande número de aplicações, nomeadamente para painéis planos eletroluminescentes, circuitos para telecomunicações, reatores eletrônicos e automação industriais.

Em paralelo com estas soluções monolíticas, existem associações de componentes discretos montados em placas de circuito impresso e de circuitos híbridos sob o mesmo encapsulamento, que permitem a construção dos chamados módulos inteligentes de potência [2.13], utilizados em aplicações que requerem simultaneamente alta tensão e elevadas correntes como no caso dos veículos elétricos, alguns circuitos para telecomunicações, alguns reatores eletrônicos, automação industrial, controle de motores, tração e linhas de transmissão de alta tensão. De fato, soluções

monolíticas para estas aplicações são proibitivas em função das dimensões da pastilha requerida, considerando as tecnologias disponíveis na atualidade.

2.3 Tecnologias Dedicadas à Integração de Potência

Tanto os transistores bipolares de potência discretos, como os MOSFETs de potência e posteriormente suas estruturas derivadas, tais como os IGBTs e os tiristores MOS, têm sido usados para realizar os dispositivos inteligentes de potência.

A seguir, versões das tecnologias utilizadas serão revisadas, considerando suas principais contribuições na implementação de circuitos integrados de alta tensão e circuitos integrados inteligentes de potência, considerando especialmente as técnicas desenvolvidas para aumentar a tensão de ruptura.

2.3.1 Tecnologias MOS

Recentemente as estruturas MOS apresentaram grandes melhorias na capacidade de suportar tensão e de transportar corrente. O progresso conseguido tem aberto um grande leque de aplicações para esta tecnologia, que no início se julgava essencialmente eficaz para a concretização de circuitos que operam em baixa tensão, baixa corrente e com maior ou menor complexidade de integração (*LSI e VLSI*). A maioria dessas inovações baseia-se na técnica da dupla difusão para a realização de dispositivos com comprimento de canal reduzido, tal estrutura de dispositivo denominando-se DMOS (*double Diffusion MOS*). A incorporação de uma região de deriva ou deslocamento (*drift region*) fracamente dopada entre a região ativa do canal e a região de dreno permitiu obter dispositivos que suportam no corte elevadas tensões sem a ocorrência da ruptura. Além do mais, para reduzir a área de silício relacionada com essa técnica, foi feita a estrutura vertical. Os terminais de dreno e fonte estão posicionados em lados opostos da pastilha semicondutora.

A maturidade das tecnologias MOS permite a produção de dispositivos de potência que apresentam características interessantes, tais como: elevada impedância de entrada, reduzidas perdas de comutação, coeficiente de temperatura negativo, eficácia de comutação inerente à condução baseada em portadores majoritários e a possibilidade de integração com circuitos de

controle complexos realizados com tecnologia CMOS, integrando funções analógicas e digitais na mesma pastilha. A combinação simultânea dessas características dá origem a dispositivos de elevado desempenho [2.14].

2.3.1.1 Circuitos Integrados Inteligentes de Potência

Um circuito integrado inteligente de potência é essencialmente constituído por um ou vários dispositivos de potência, associados na mesma pastilha a circuitos de elevada densidade, que operam em baixa tensão, para obter uma melhoria da sua funcionalidade.

A disponibilidade de dispositivos MOS de potência realizados em Silício, tais como o transistor MOS vertical com dupla difusão, o transistor VDMOS e sua implementação lateral o transistor LDMOS tornaram viáveis e atraentes os circuitos integrados inteligentes de potência em muitas aplicações desenvolvidas pela Philips e pela Siemens, entre outros [2.15], [2.16] e [2.17]. Porém, como a principal preocupação é a redução do custo [2.18] para aplicações de média potência, a redução das dimensões da pastilha foi alcançada usando o conceito de modulação da condutividade, através da injeção de portadores [2.19] implementada no IGBT (*Insulated Gate Bipolar Transistor* também chamado de *COMFET*, pela RCA; *GEMFET*, pela Motorola; e *IGT*, pela GE e Philips), e o seu transistor lateral derivado, o transistor lateral com porta isolada LIGT (*Lateral Insulated Gate Transistor*), foi fabricado pela Philips utilizando a tecnologia CMOS [2.20].

Os dispositivos inteligentes de potência são projetados usando uma estratégia especial para otimizar a capacidade dos dispositivos de potência no que diz respeito à sua tensão de ruptura e resistência de condução, tanto usando um dispositivo com fluxo de corrente na vertical, mostrado na Figura 2.2, através do crescimento de uma camada epitaxial sobre um substrato com elevada concentração de impurezas, como utilizando um fluxo de corrente lateral, recorrendo ao conceito de semicondutor com baixa concentração de impurezas (LDD - *Lightly Doped Drain*) [2.21], Figura 2.3, ou ainda utilizando placas de campo e/ou técnicas de deslocamento de porta em relação ao dreno [2.22].

Outra solução de estrutura de dispositivo lateral, usando o conceito de redução do campo superficial, *REduced SURface Field (RESURF)* [2.23], permite que dispositivos laterais possam

suportar no corte elevadas tensões com uma capacidade de corrente razoável. Este efeito ocorre em estruturas que contêm uma fina camada de crescimento epitaxial, com uma forte concentração de impurezas sobre um substrato com baixa concentração de impurezas. A Figura 2.4 mostra um exemplo do corte lateral desta estrutura.

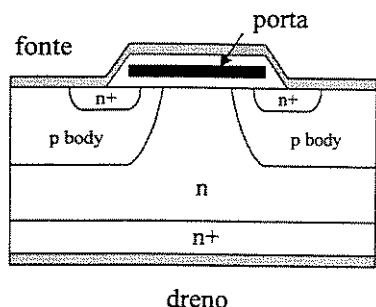


Figura 2.2 – Corte transversal de um dispositivo com fluxo de corrente na vertical.

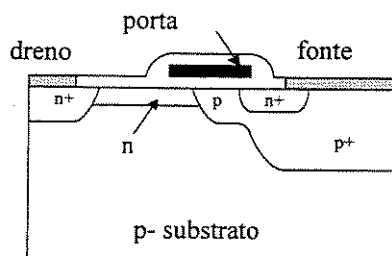


Figura 2.3 – Corte transversal de um dispositivo com fluxo de corrente lateral.

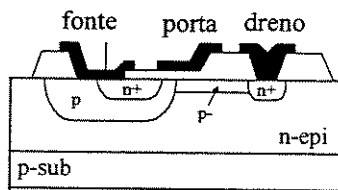


Figura 2.4 – Corte transversal de um dispositivo que utiliza o conceito de redução do campo superficial (*RESURF*).

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

Para os diversos tipos de dispositivos acima referidos, existem diferentes soluções para integrar os circuitos de controle que operam em baixa tensão, com o isolamento necessário. Na Seção 2.3.3, Tópicos sobre Isolamento, será apresentada uma revisão das técnicas utilizadas.

2.3.1.2 Circuitos Integrados de Alta Tensão

Dispositivos discretos de alta tensão têm sido fabricados recorrendo a estruturas caracterizadas por um fluxo de corrente vertical, através da região de deriva, com baixa concentração de portadores minoritários. Deste modo, para isolar estes dispositivos, é necessário realizar difusões profundas que são inadequadas para serem fabricadas em processos dedicados à construção de circuitos integrados de baixa tensão. Em contraste com os processos para construção dos dispositivos inteligentes de potência, onde ambas as estruturas, vertical ou horizontal, podem ser encontradas, os dispositivos de alta tensão, como não precisam suportar correntes muito elevadas,

são baseados no fluxo de corrente horizontal e os maiores esforços incidiram no desenvolvimento de técnicas que permitam a estas estruturas laterais suportar alta tensão.

Numerosas técnicas têm sido estudadas com o objetivo de atingir a tensão de ruptura próxima da tensão ideal de uma junção plana [2.14], [2.22] e [2.23]. Uma das primeiras tentativas foi a utilização do Silício Policristalino Semi-Isolante (*Semi Insulating Polycrystalline Silicon - SIPOS*) para a camada de passivação, mostrado na Figura 2.5 [2.24] e [2.25], para reduzir os efeitos de campo na superfície e aumentar a tensão de ruptura. Porém, esta solução é suscetível de provocar contaminação de superfície, dando origem à existência de elevadas correntes de fuga, e de reduzir a imunidade do dispositivo à dV/dt [2.26]. Outras soluções derivadas desta técnica foram desenvolvidas para resolver os problemas de contaminação e da corrente de fuga [2.27]. Melhorias posteriores foram obtidas usando placas de campo e camadas semi-resistivas [2.28]. Estas técnicas podem ser aplicadas tanto para os dispositivos da tecnologia MOS como para os da tecnologia Bipolar.

O uso de substratos de elevada resistividade com uma camada de crescimento epitaxial relativamente fina elimina o efeito de ruptura na superfície devido ao efeito chamado *RESURF* anteriormente referido [2.23]. Esta técnica, quando aplicada a dispositivos de alta tensão, como no caso dos transistores MOS com injeção de portadores por efeito de Schottky, (*Schottky Injection MOS-gated Transistor - SINFET*) [2.29], conduz a soluções viáveis para processos de *HVIC*, compatíveis com a tecnologia CMOS, Figura 2.6 [2.30]. Porém, a tensão de ruptura é de difícil previsão quando a técnica de *RESURF* é utilizada, devido ao fato de requerer um controle preciso da concentração de impurezas na camada de crescimento epitaxial, quando as tolerâncias dos parâmetros de processo são freqüentemente maiores que a precisão requerida para otimizar a tensão de ruptura. Além disto, os dispositivos que utilizam a técnica de *RESURF* apresentam uma elevada resistência de condução devido à fina camada de crescimento epitaxial utilizada na sua fabricação, como mostrado na Figura 2.4. Com o objetivo de melhorar a resistência de condução destes dispositivos, mantendo elevadas tensões de ruptura, outras técnicas têm sido propostas que utilizam uma região de deriva, cuja concentração de impurezas é otimizada de forma a satisfazer a condição do efeito *RESURF*: em uma delas, através do implante de uma região de deriva [2.31]; outra utiliza múltiplas camadas de deriva resistivas [2.32].

Foi também proposta [2.33] e otimizada [2.34] a utilização de anéis de campo flutuantes entre o canal e o dreno do transistor LDMOS, como mostrado na Figura 2.7. A vantagem desta técnica reside no fato da concentração de impurezas e a espessura da camada de crescimento epitaxial não serem parâmetros cruciais no projeto; porém, a tensão de ruptura é uma função da concentração de impurezas do anel e a implementação deste exige por vezes uma máscara adicional no processo [2.34].

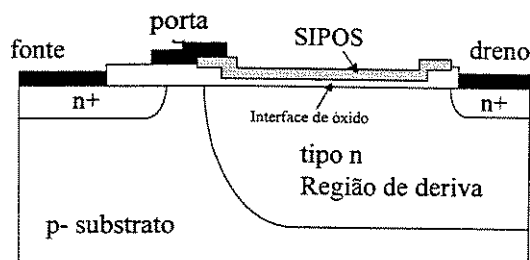


Figura 2.5 - Corte transversal de um transistor NMOS de alta tensão usando camada SIPOS

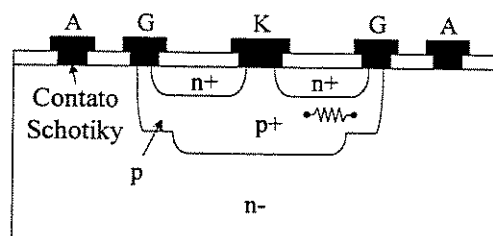


Figura 2.6 - Corte transversal de uma estrutura SINFET

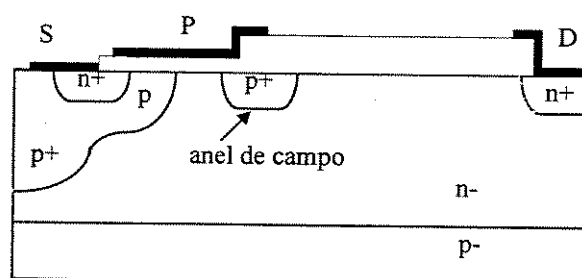


Figura 2.7 - Corte transversal de um transistor LDMOS que utiliza anéis de campo flutuantes

Muitas outras tentativas de novas estruturas foram desenvolvidas e testadas [2.35], e merecem posterior atenção com o objetivo de torná-las facilmente compatíveis com circuitos de controle CMOS. Algumas das mais interessantes, devido ao elevado potencial no que diz respeito ao suporte de correntes e tensões elevadas com uma baixa resistência de condução, são as estruturas: LIGT, Figura 2.8, que podem ser incorporadas em um CIP, juntamente com circuitos de controle CMOS [2.20], mas apresenta a desvantagem da degradação da velocidade de comutação quando comparado com o transistor LDMOS; MICFET ("*Minority Carrier Injection Field Effect Transistor*") [2.36], que permite alcançar uma baixa resistência de condução com reduzida penalidade no tempo de passagem ao corte do dispositivo de potência; uma outra estrutura que merece destaque é o TRIMOS, um TRIAC com porta isolada, Figura 2.9 [2.37], que derivou do transistor de alta tensão LDMOS e opera com ambas as polaridades da fonte de tensão,

apresentando dois modos de operação, um dos quais regenerativo, característica que é altamente desejável quando é requerido o suporte de uma corrente muito elevada.

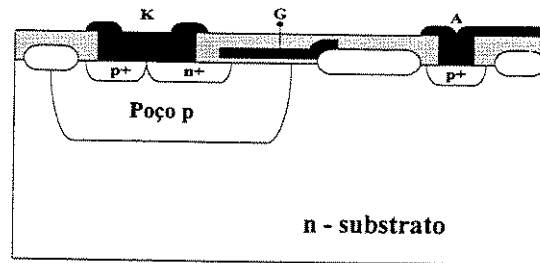


Figura 2.8 - Estrutura do transistor LIGT

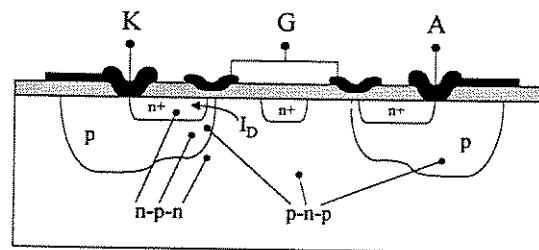


Figura 2.9 - Estrutura TRIMOS baseada em dois transistores LDMOS com um dreno comum.

2.3.2 Tecnologias BiCMOS

Durante a década de 80, a tecnologia BiCMOS evoluiu dos esforços iniciais da tecnologia BiMOS [2.38], [2.39] e [2.40] para uma tecnologia madura e viável, tornando-se uma opção para a integração monolítica de aplicações que requerem tanto circuitos analógicos, como digitais. Com o advento dos transistores bipolares controlados por portas MOS, novos CIP foram desenvolvidos. Tanto os circuitos integrados inteligentes de potência, como os circuitos de alta tensão *HVICs*, beneficiando-se da capacidade de corrente do transistor bipolar e suporte de elevada tensão, conjuntamente com alta impedância de entrada proporcionada pelo transistor MOS, que simplifica os seus circuitos de controle.

Estes dispositivos bipolares controlados por portas MOS, que incluem o IGBT (*Insulated Gate Bipolar Transistor*) [2.19], os tiristores de porta MOS (MOS-SCR, MOS-GTO, TRIMOS, etc.), o MCT (*MOS-Controlled Thyristor*) [2.35], e o MTO (*MOS Turn-Off thyristor*) [2.14], foram primeiramente desenvolvidos para dispositivos discretos que suportam múltiplos kiloampere e kilovolt. Porém, esforços adicionais estão permitindo expandir as suas aplicações para realizar

CIP robustos, de baixo custo, tanto para os dispositivos com estrutura vertical como para os de estrutura horizontal.

Avanços recentes [2.41] abriram o caminho para a fabricação de dispositivos bipolares de alta tensão e elevado desempenho, através da incorporação de camadas de crescimento epitaxiais e enterradas, que são totalmente compatíveis com as demais etapas de processos para fabricação dos circuitos de controle, operando em baixa tensão, Figura 2.10 [2.42].

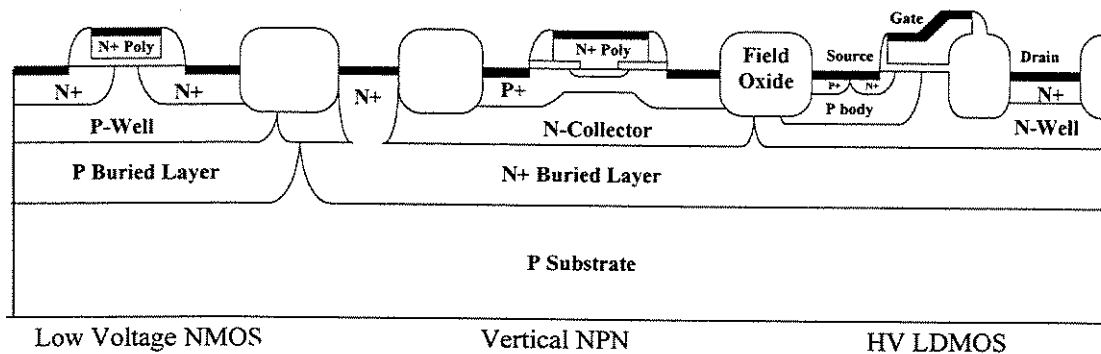


Fig. 2.10 - Corte transversal de uma estrutura BiCMOS .

2.3.3 Tópicos sobre Isolamento

A maior dificuldade no desenvolvimento de circuitos integrados inteligentes de potência - CIP é a proteção eletricamente eficaz do circuito que opera em baixa tensão, relativamente à alta tensão aplicada nos dispositivos de potência. As técnicas de isolamento usualmente utilizadas nos CIP são baseadas em soluções tecnológicas altamente complexas e dispendiosas. Essas técnicas podem ser divididas em três tipos diferentes: auto-isolamento, isolamento por junção e isolamento por dielétrico.

2.3.3.1 Auto-isolamento

Esta técnica [2.43] é baseada na polarização inversa das junções obtidas através de uma junção profunda, ou poço, com uma fraca concentração de impurezas, difundido em uma camada de crescimento epitaxial, sendo o circuito de controle implementado por dispositivos laterais - construídos dentro do poço. Tal técnica pode ser aplicada tanto a estruturas verticais, como a horizontais. No primeiro caso, um poço-P com uma fraca concentração de impurezas é difundido dentro de uma camada de crescimento epitaxial-N de deriva, crescida sobre substrato-N de forte

concentração de impurezas, mostrado na Figura 2.11. Também é mostrado como os dispositivos CMOS de alta tensão são construídos, munindo os drenos dos dispositivos CMOS de baixa tensão de uma região de deriva "*resurfed*". Observa-se que esta solução tecnológica é limitada à realização de interruptores eletrônicos isolados (*high side*) e, também, que o substrato do transistor PMOS não pode ser isolado eletricamente do dreno dos transistores de potência. Para uma estrutura lateral, um poço-N de fraca concentração de impurezas é difundido em um substrato P, mostrado na Figura 2.12, com a função de criar uma região de deriva em direção ao dreno. Também deve ser lembrado que a estrutura lateral deve ser projetada com uma geometria anelar, cujo dreno é completamente circundado pelas regiões de porta e fonte do transistor. Isto limita a tecnologia a dispositivos de alta tensão no estágio de saída configurados como fonte comum.

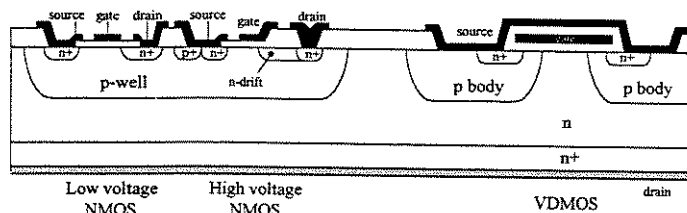


Figura 2.11 – Corte transversal de uma estrutura vertical auto-isolada.

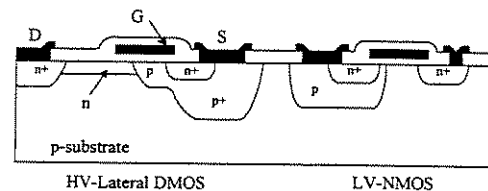


Figura 2.12 - Corte transversal de uma estrutura horizontal auto-isolada.

A técnica chamada de auto-isolamento apresenta excelente resultado de isolamento estático. Porém as capacitâncias associadas a esta técnica não permitem um isolamento dinâmico muito eficiente. De fato, os transitórios de tensão em camadas de crescimento epitaxial ou no substrato podem induzir fluxos de corrente suficientemente elevados na região do poço, que por sua vez podem gerar níveis de tensão que polarizem diretamente as junções de dreno e fonte, produzindo uma condução intempestiva (*latch-up*).

2.3.3.2 Isolamento por Junções Verticais

Esta técnica [2.43] utiliza a capacidade de isolamento de junções inversamente polarizadas, obtidas por regiões de fraca concentração de impurezas numa camada dupla de crescimento epitaxial. As ilhas de elevada concentração de impurezas conferem o isolamento necessário aos circuitos que operam em baixa tensão. Esta técnica também pode ser aplicada tanto a estruturas verticais como a estruturas horizontais. Nas estruturas verticais, utilizam-se "paredes" verticais, para permitir o fluxo de corrente na vertical, sendo utilizada como contato uma região n^+ de

elevada concentração de impurezas difundida na interface superior da camada epitaxial p^- de suave concentração, mostrado na Figura 2.13. Adicionalmente, camadas enterradas do tipo n^+ são utilizadas para reduzir a resistência de condução e aumentar o ganho do transistor pnp lateral.

Esta solução tecnológica é limitada à existência de um único transistor de potência ou a uma matriz de transistores com dreno comum, quando na implementação de circuitos integrados inteligentes de potência. Para a estrutura lateral, uma camada espessa de crescimento epitaxial é otimizada para a construção de transistores de baixa tensão e de elevado desempenho, como mostrado na Figura 2.14.

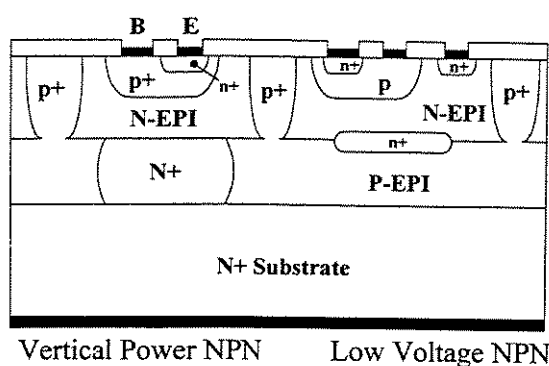


Figura 2.13 - Corte transversal de uma estrutura vertical utilizando a técnica de isolamento por junção.

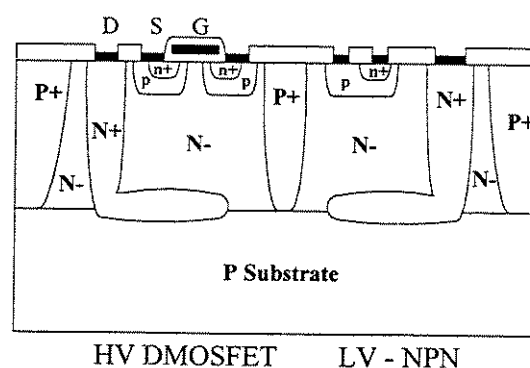


Figura 2.14 - Corte transversal de uma estrutura horizontal utilizando a técnica de isolamento por junção.

Estas tecnologias são complexas e normalmente utilizam mais de 12 máscaras de processo, porém, ainda assim, não é possível evitar o desencadeamento de condução intempestiva (*latch-up*) quando o dispositivo é exposto a variações de tensão muito rápidas. Uma solução derivada desta tecnologia, que apenas utiliza 9 máscaras, foi desenvolvida baseada no efeito denominado de "poço flutuante" [2.44], que apresenta uma maior eficácia tanto em regime estático de operação do dispositivo, como em regime dinâmico, se for convenientemente protegido por um circuito periférico de atenuação.

2.3.3.3 Isolamento por Dielétrico

Esta técnica tem atraído a atenção dos fabricantes [2.45], principalmente dos fabricantes dos *HVICs*, como sendo uma alternativa ao isolamento por junção pn. Nesta técnica, o efeito *latch-up* é inexistente e os efeitos capacitivos parasitas são pequenos. Têm a vantagem inerente de suportar de elevadas tensões, baixa taxa de geração de corrente térmica, alta confiabilidade, alta

densidade de empacotamento eletrônico e uma grande flexibilidade de projeto. Um dos primeiros esforços para implementar esta técnica usou ilhas de cristal de silício sobre um substrato policristalino separados por uma fina camada de SiO_2 [2.43], Figura 2.15, tendo-se conseguido a completa inexistência de corrente de fuga, quando inversamente polarizado e é reduzida a possibilidade de ocorrência de condução intempestiva. Porém a matéria prima é de custo muito elevado, devido ao fato de utilizar um substrato espesso de silício policristalino para obter resistência mecânica compatível com o processo, o que também origina uma baixa condutividade térmica.

Adicionalmente, esta técnica requer um procedimento de corrosão profunda e polimento da face inferior da lâmina, exigindo a utilização de precauções não convencionais para evitar a flexão da lâmina durante as etapas de processamento realizado em elevadas temperaturas, durante o processo de fabricação do dispositivo. Deste modo, a técnica de isolamento por dielétrico - *DI* é limitada em sua capacidade de dissipar potência sobre a pastilha, restringindo-se o seu uso a aplicações de baixa potência ou que exijam características superiores de isolamento, tais como as que são requeridas em circuitos integrados de alta tensão usados em telecomunicações.

Muitos trabalhos têm sido desenvolvidos com o objetivo de criar novos processos que permitem implementar a técnica de isolamento por dielétrico [2.12]. Por exemplo, um destes processos usa o Silício-Sobre-Safira (*SOS - Silicon on Sapphire*), que oferece vantagem quando a robustez à radiação é requerida e utiliza a tão bem caracterizada tecnologia CMOS.

O desenvolvimento de processos que realizam a colagem de Silício diretamente sobre o Silício (*SDB - Silicon Direct Bonding*) permite a produção de lâminas de Silício sobre Isolante (*SOI - Silicon on Insulator*) [2.46], [2.47] e a geração de lâminas de Silício Sobre Isolante Sobre Silício (*SOIS - Silicon on Insulator on Silicon*) [2.48], os quais oferecem muitas vantagens para a construção de circuitos integrados de alta tensão isolados por dielétrico. Esta técnica apresenta uma maior qualidade, quando comparado com o *SOS* e tanto a espessura do Silício como a do dielétrico podem ter um grande leque de opções relativamente à espessura desejada, e concomitantemente, esta técnica exige menor número de etapas no processo de fabricação e menos equipamentos adicionais.

Uma outra tecnologia de *SOI* que permite obter um elevado grau de isolamento, mesmo em presença de transitórios abruptos, utiliza a implantação de oxigênio (SIMOX) [2.49]. O corte de uma destas estruturas é exemplificado na Figura 2.16, para formar camadas duplas de isolante enterradas [2.50].

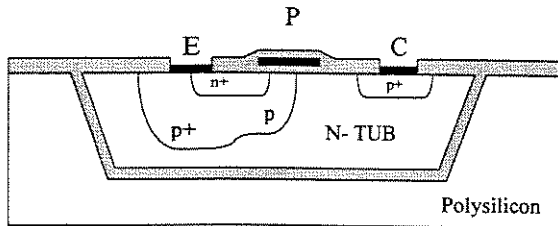


Figura. 2.15 - Corte transversal de um PIC usando isolamento por dielétrico convencional.

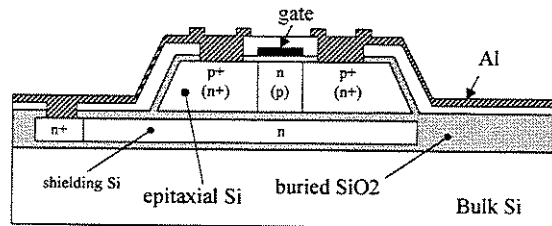


Figura. 2.16 – Corte transversal de um MOSFET usando a técnica de isolamento por dielétrico SIMOX.

2.4 Descrição de Alguns Processos Comerciais Dedicados à Integração de Potência

A tecnologia que agrega às tecnologias de construção dos dispositivos Bipolares, CMOS e DMOS, é conhecida na literatura como tecnologia BCDMOS. Diversos fabricantes [2.51] oferecem diferentes variações de tecnologias que integram dispositivos Bipolares, lógica de controle CMOS e dispositivos de potência DMOS (BCDMOS). As tecnologias BCDMOS podem ser caracterizadas genericamente como sendo orientadas para processos Bipolares ou para processos CMOS. A tecnologia orientada para processos Bipolares caracteriza-se por conter regiões isoladas formadas por crescimento epitaxial enterradas, e a orientada para processos CMOS é caracterizada por conter regiões de difusão de poço como base para os dispositivos verticais Bipolares.

As primeiras são mais adequadas para aplicações que requerem interfaces com tensões mais elevadas, i.e. superiores a 20V, e que operam a altas frequências, utilizando um pequeno número de portas lógicas, tipicamente inferior a 200. As segundas são tipicamente mais adequadas para aplicações que exigem um processamento lógico relativamente complexo, i.e. acima de 1000 portas lógicas equivalentes ou para dispositivos com tensão de operação inferior a 12V. Geralmente os processos destas tecnologias têm seus limites de operação em torno de 20V.

A principal distinção provém da técnica de construção utilizada para cada tecnologia. Nas tecnologias que utilizam isolamento por junção conseguem-se maiores tensões de ruptura das junções quando ambas possuem uma mais baixa concentração de impurezas; já nas tecnologias

que recorrem à soldagem de lâminas, a ruptura ocorre no isolamento por óxido, para tensões tão mais elevadas quanto mais eficaz for o isolamento. Processos que utilizam a técnica de isolamento por junção são as de mais baixo custo. Quando um dos lados da junção p-n obtida por difusão apresenta baixa concentração de impurezas, resulta que a região de depleção irá estender-se a distâncias consideráveis dentro da região de difusão de baixa concentração. Este resultado determina espaçamentos significativamente grandes (dezenas de μm) entre distintas junções que permitem a construção dos dispositivos DMOS neste tipo de tecnologia BCDMOS. Este grande espaçamento requerido pelos dispositivos DMOS pode ser parcialmente resolvido pela utilização da tecnologia de isolamento por dielétrico, onde a região que deve suportar altas tensões não é obtida a partir da difusão de um poço. Infelizmente esta solução requer um processo mais sofisticado e de elevado custo. São raros os processos comerciais ou os dispositivos semicondutores inteligentes que utilizam a técnica de isolamento por dielétrico para aplicações de alta tensão.

Nos sub-itens desta seção serão apresentadas sumariamente algumas das tecnologias utilizadas por alguns dos principais fabricantes de dispositivos semicondutores de potência.

2.4.1 BCD V, Tecnologia da SGS-THOMSON [2.52]

A SGS THOMSON foi a pioneira a produzir a tecnologia BCDMOS. Em meados dos anos oitenta, foi proposta a conjugação da tecnologia do transistor DMOS com a tecnologia Bipolar convencional, que utiliza o isolamento por junções verticais. Como resultado, obtiveram produtos que reúnem os benefícios dos circuitos Bipolares de alta precisão, com a alta densidade dos circuitos lógicos CMOS e a alta eficiência do estágio de potência construído com transistores DMOS. O fato de todos os contatos dos dispositivos estarem no topo da lâmina permitiu a integração totalmente isolada do transistor de potência DMOS e de qualquer outro tipo de estágio de potência, incluindo as configurações em ponte.

Devido à baixa dissipação de potência dos transistores DMOS, a existência da tecnologia BCD trouxe a possibilidade de montagem de circuitos integrados de potência em encapsulamento de baixo custo tipo DIP e SO. Adicionalmente, a redução de dissipação e possibilidade de construção de circuitos CMOS de alta densidade resultou na possibilidade de integração de funções altamente complexas. Através dos anos, a tecnologia original BCD da SGS THOMSON

tem evoluído para uma litografia mais fina, encolhendo de 4 para 2,5 micra, posteriormente para 1,0 e agora 0,6 μm . Em paralelo, a tecnologia tem se tornado mais flexível, adicionando mais recentemente novas capacidades tal como a de incluir memória não volátil ao processo original Bipolar/CMOS/DMOS [2.52].

A Figura 2.17 mostra um corte da topografia do processo BCD III da SGS THOMSON apresentado por A. Andreini *et al.* em sua contribuição ao livro da referência [2.11]. A tecnologia BCD5/CD5 é uma evolução da BCD III de 1,2 μm , porém com uma litografia de 0,6 μm e com a capacidade adicional de integrar memória flash na realização dos CIIP. A Figura 2.18 apresenta um gráfico da evolução do processo BCD desenvolvido pela SGS THOMSON [2.11].

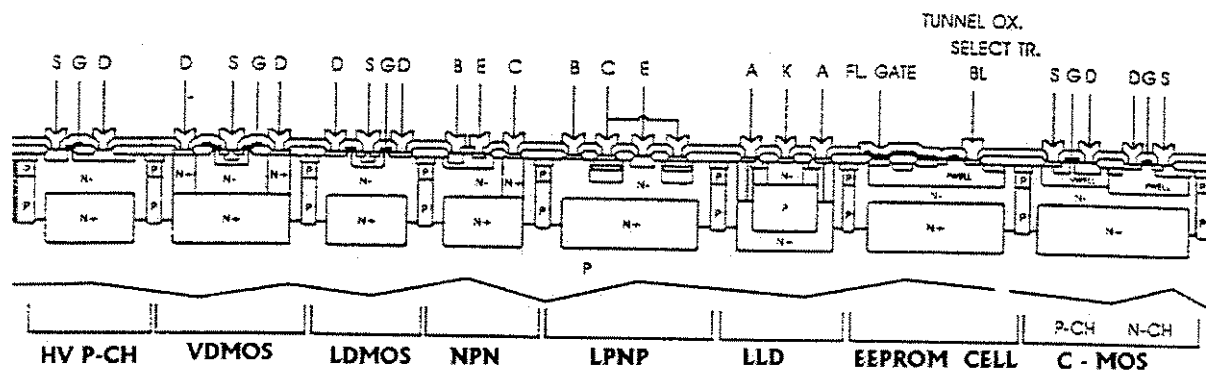


Figura 2.17 - Corte da topografia do processo BCD III da SGS THOMSON, MULTIPOWER BCD III [2.11]

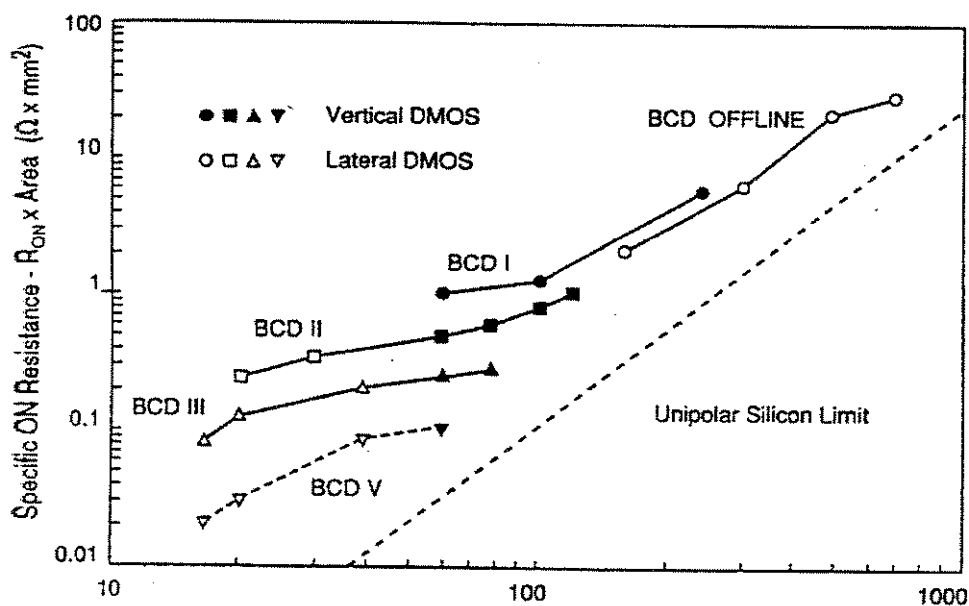


Figura 2.18 - Gráfico da evolução do processo BCD desenvolvido pela SGS THOMSON [2.11]

2.4.2 *SmartMOS*, Tecnologia TMOS da Motorola [2.53]

A família TMOS de transistores MOS de potência, desenvolvida pela Motorola, é formada por uma matriz de canais verticais difundidos, baseada num processo parametrizado para as especificações de V_{BR} e R_{ON} do dispositivo desejado. Esta tecnologia tem como característica propiciar a realização de dispositivos em uma larga escala de valores tensão e corrente com baixos valores da resistência de canal durante o estado de condução, $R_{DS(on)}$.

Os transistores MOS TMOS de potência da Motorola são o último passo de uma progressão evolucionária, que começou com o transistor MOS de pequenos sinais em 1973, sendo posteriormente substituído pelo Transistor lateral MOS da dupla difusão (LDMOS) e pelo transistor MOS vertical V-groove (VDMOS).

O transistor MOS, canal N, para pequenos sinais era construído num substrato tipo P com baixa concentração de impurezas, no qual eram difundidas duas regiões N^+ com alta concentração de impurezas, como mostrado na Figura 2.19 (a). As regiões N^+ atuam como dreno e fonte, separadas pelo canal do transistor, o qual era definido pelo processo litográfico. Esta configuração resultou em canais de longo comprimento, baixa capacidade de corrente, baixa tensão inversa de ruptura e um alto valor de $R_{DS(on)}$.

Duas grandes mudanças na estrutura do transistor de pequenos sinais MOS foram responsáveis pela evolução deste para os dispositivos de potência MOS. A primeira consistiu no uso da técnica de auto-alinhamento do canal, associada à técnica de difusão dupla para obter transistores com canais curtos, o que permitiu uma alta densidade de canal, resultando uma alta capacidade de corrente e baixo $R_{DS(on)}$. A segunda foi a incorporação de uma região de baixa concentração de impurezas entre o dreno e fonte formadas por uma difusão N-, conferindo ao dispositivo a propriedade de suportar elevadas tensões inversas no corte.

Estas alterações resultaram no transistor MOS, cuja estrutura é mostrada na Figura 2.19 (b). Todos os terminais do dispositivo estão localizados no topo da superfície da pastilha. A maior desvantagem desta configuração é a ineficiência do uso da área de silício, particularmente na área da região de deriva existente entre o canal e o ponto de contato de dreno.

O próximo passo no processo evolucionário é uma estrutura vertical, na qual o contato de dreno está na parte de baixo da pastilha, depois o crescimento da densidade do canal de empacotamento. O conceito inicial usa um transistor de potência V-groove MOS passando pela difusão dupla da região N^+ e P^+ . Figura 2.19 (c). A solicitação da densidade do empacotamento adequado, uso eficiente do silício e baixa tensão inversa de ruptura são obtidas nesta configuração. Entretanto, para esta estrutura vertical, o processo consistente e o resultado obtido justificam claramente um elevado custo de pastilha.

O passo seguinte dado na evolução deste processo foi a criação de uma estrutura vertical de potência TMOS como mostrado na Figura 2.19 (d), similar à da Figura 2.19 (b), exceto que o contato de dreno é localizado também na parte de baixo da pastilha. A estrutura da porta é feita com polissilício localizado entre duas camadas de óxido (óxido de porta e óxido grosso ou de isolamento), permitindo que o metal do contato de fonte cubra toda a área ativa do dispositivo. Esta configuração com duas camadas de contato elétrico, a de dreno e a de fonte, localizadas em lados opostos da pastilha, apresenta uma melhor densidade de empacotamento e mantém as vantagens do processo do LDMOS plano, resultando num processo de alto rendimento, com baixo valor de $R_{DS(on)}$ e adequado para produzir dispositivos com uma larga gama de tensões.

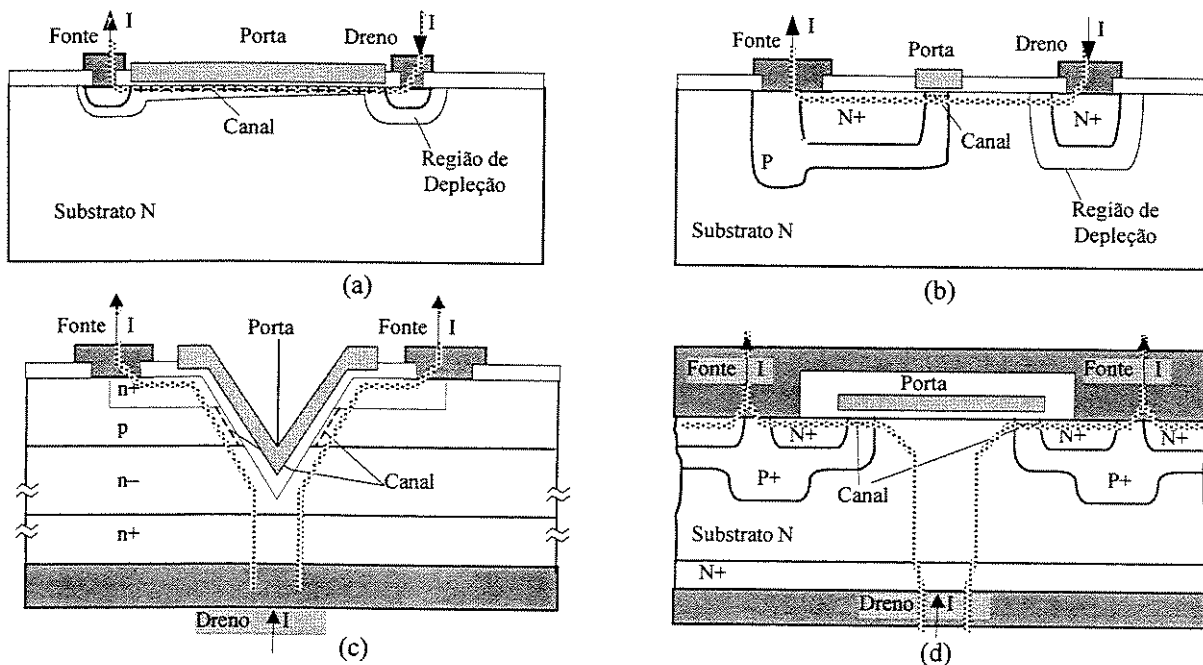


Figura 2.19 – (a) MOS lateral convencional; (b) DMOS lateral de baixo R_{on} ; (c) V-groove NMOS, (d) TMOS.

2.4.3 BCD5, Tecnologia da MICREL [2.54]

A MICREL é proprietária de uma tecnologia BCDMOS dedicada à realização de ASICs para aplicações em CIIP. Esta tecnologia é divulgada pela MICREL com o nome de BCD5, permitindo a combinação de dispositivos de alta velocidade e baixa tensão para a construção de circuitos digitais e analógicos com dispositivos DMOS de alta tensão, 100 V, utilizados tipicamente como circuito de excitação para interruptores de potência. Os dispositivos presentes nesta tecnologia são: DMOS alta tensão, PMOS FETs alta tensão, NPN alta tensão, diodo Schotky, diodo Zener, resistores e capacitores e transistores MOS tipo p e n para lógica transistores JFET. A tecnologia BCD5 é uma das tecnologias vocacionadas para a construção de dispositivos bipolares, utiliza a técnica de isolamento por junção e apresenta-se capaz de oferecer um processo tecnológico que resolve grande parte dos problemas de alta tensão e alta velocidade, a um preço muito competitivo no mercado para a fabricação de ASICs.

2.4.4 *TrenchFETs*, Tecnologia da TEMIC [2.55]

No primeiro semestre de 1999 a Siliconix, pertencente ao grupo da TEMIC Semiconductor, anunciou que havia superado todos os recordes da baixa resistência de condução para transistores encapsulados em cápsulas tipo elevado-volume. Esta tecnologia é apresentada pelo fabricante como sendo a tecnologia de potência mais avançada disponível no mercado atual. Este feito foi atribuído à tecnologia utilizada na construção do dispositivo de potência, que permite a construção da célula elementar compacta gerando um dispositivo de potência ultra denso. A tecnologia caracteriza-se principalmente pelo fato da porta do transistor ser construída dentro de uma "trincheira" cavada no silício, semelhante às utilizadas nas atuais tecnologias para a fabricação de memórias de alta densidade. Devido a esta característica, a Siliconix registrou o nome proprietário *TrenchFET* que caracteriza a tecnologia utilizada na construção deste dispositivo de potência. Um corte transversal ilustrando esta tecnologia é apresentado na Figura 2.20.

Outras melhorias importantes destacadas pelo fabricante são a redução significativa das capacitâncias parasitas quando comparado com as outras tecnologias e a capacidade da junção em operar a temperaturas de até 175°C. A faixa de tensão de operação dos dispositivos oferecidos no mercado varia de 12 a 80 V. Estes sucessos permitiram à Siliconix colocar no mercado

dispositivos MOSFET com R_{on} tão baixo quanto $4\text{m}\Omega$ em cápsulas tipo TO-220 ou D²PAK, sendo o único MOSFET de potência do gênero no mercado encapsulado em SO-8 para aplicações automotivas. Um dispositivo de sua fabricação, o SUB75N06-06 com capacidade de 75 A e $6\text{m}\Omega$ em DPAK.

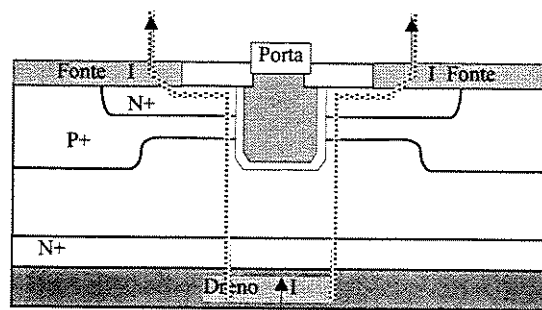


Figura 2.20 – Corte transversal de uma estrutura de um transistor tipo *TrenchFET*

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

2.4.5 Considerações sobre as Novas Tecnologias em Desenvolvimento

A convergência de tecnologias no século 21 traz grandes implicações no futuro dos produtos eletrônicos em todos os níveis: projeto, integração de semicondutor, portabilidade, desempenho e nas próprias arquiteturas de potência [2.56]. A nova geração de semicondutores para circuitos analógicos e de potência em desenvolvimento utiliza tecnologias de fabricação de lâminas limitada a aplicações CIs digitais. Atualmente as fábricas de semicondutores que operam com processos de médio e profundo submicron estão sendo utilizadas para produzir CIIP, dispositivos MOS discretos de potência e circuitos mistos analógico-digital-potência com novas larguras de linhas e com alta densidade de células, outrora consideradas impossíveis. A chave para tal mudança está baseada não na atualização do antigo processo para novas fábricas, mas na otimização de novos processos que tirem proveito por completo das mais modernas ferramentas de *software* disponíveis [2.56]. Associado a estes novos processos também está a utilização de novas técnicas de projeto que tiram o máximo proveito de cada dispositivo disponível em um dado processo [2.57].

Atualmente dispositivos do tipo *Trench FET* construídos em silício estão na vanguarda do desenvolvimento para aplicações de médias tensões. Os dispositivos construídos em SiC, cujas características de excelente desempenho tem sido reportadas, estão agora atraindo aplicações reais [2.58], que exigem potências elevadas.

2.5 Integração Inteligente de Potência

Os dispositivos inteligentes de potência contêm as suas próprias funções de lógica e memória e permitem implementar sistemas de controle de potência juntamente com processamento confiável e sofisticado, integrável facilmente com microprocessadores concebidos para sistemas de alta escala de integração. Assim, os dispositivos de potência, seus circuitos de acionamento e de controle devem ser projetados considerando que terão de ser reunidos numa única pastilha, com base numa tecnologia confiável e de baixo custo, que permita fabricação em massa.

2.5.1 Controle da Potência

O controle da potência é realizado através de dispositivos de potência e seus respectivos circuitos de acionamento. A construção dos circuitos de excitação ou acionamento utilizado para o controle da potência utiliza transistores que operam em altas tensões. É desejável que estes dispositivos apresentem uma baixa resistência de condução e baixas perdas de potência durante a comutação de estado, obtendo-se deste modo um circuito eficiente para excitar tanto o transistor de potência isolado como o transistor de potência ligado à massa. Usualmente os circuitos de excitação requerem blocos específicos na sua concretização, dos quais podemos citar os deslocadores de nível para alta tensão, bombas de carga (*Charge pump*), intensificador de excitação (*Bootstrap*) capacitivo ou indutivo. Tipicamente estes circuitos são construídos utilizando transistor NMOS e PMOS de alta tensão, e diodos retificadores e diodos Zener, disponíveis nos processos de integração de circuitos inteligentes de potência.

2.5.1.1 Topologias de carga e de interruptor

Os dispositivos de potência devem suportar altas tensões e altas correntes, ou a combinação de ambas, porém com baixo valor da resistência de condução, reduzidos tempos de comutação e devem ainda ser robustos, sem possibilidade de conduções intempestivas (*latch-up*), insensíveis aos problemas de distribuição de corrente e com um comportamento térmico estável. Adicionalmente, os dispositivos de potência devem ser capazes de ser acionados por circuitos simples e de baixo consumo de potência. Nas Figuras 2.21, 2.23 e 2.24 são apresentadas as topologias de Carga-Interruptor tipicamente utilizadas em circuitos de potência nas suas implementações clássicas [2.59]. As letras HV é utilizado como cognomino para Alta Tensão.

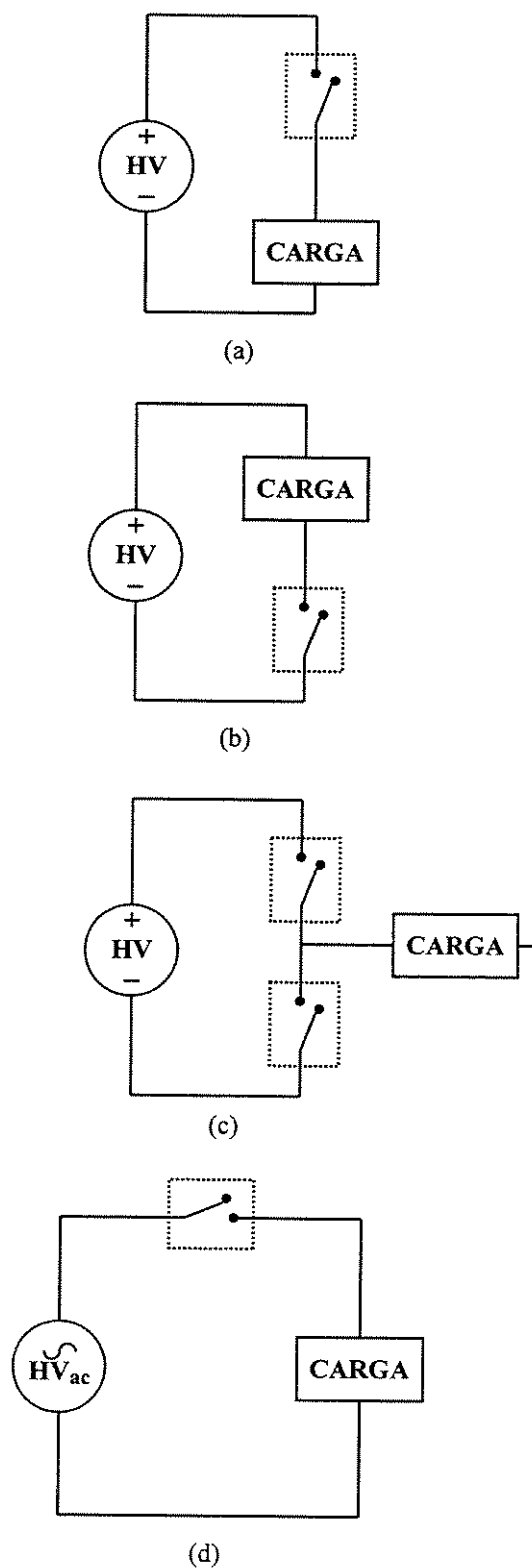
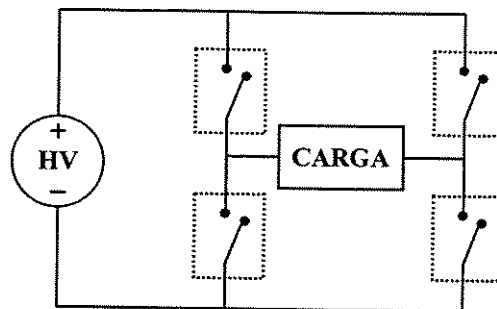
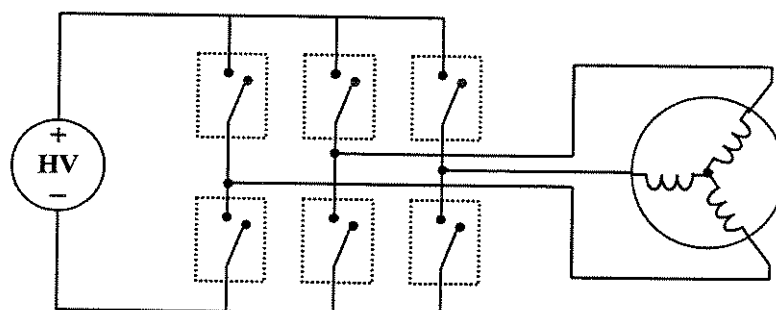


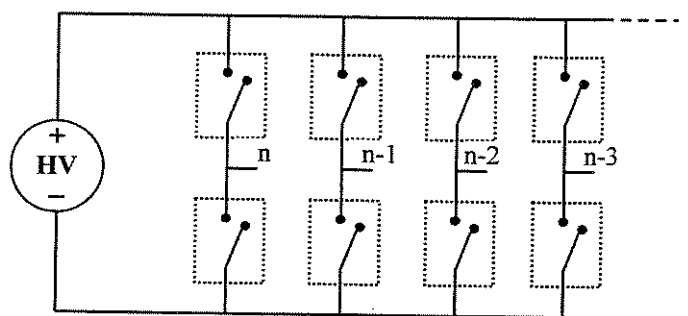
Figura 2.21- Topologias Carga-Interruptor fundamentais. (a) Interruptor isolado, *High Side Switch* - HSS; (b) Interruptor referenciado à massa, *Low Side Switch* - LSS; (c) Meia Ponte - *Half Bridge*; (d) Interruptor Bilateral .



(a)

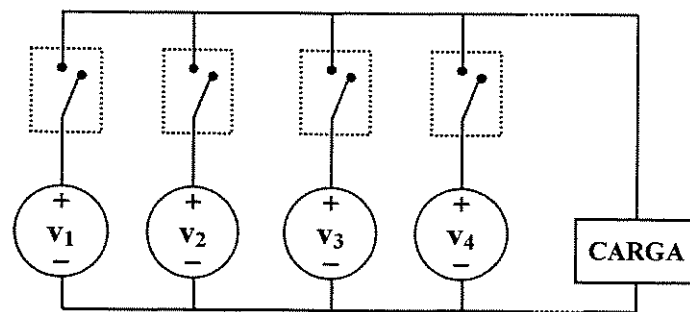


(b)

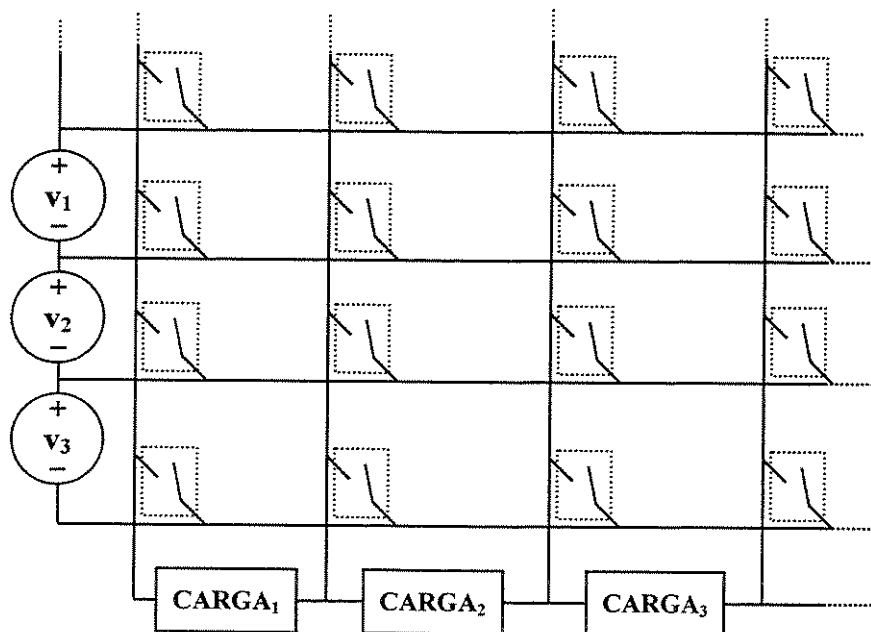


(c)

Figura 2.22 - Topologias Carga-Interruptor derivadas do circuito fundamental Meia Ponte :
(a) configuração em Ponte completa ou ponte H; (b) Trifásico e (c) N-fases .



(a)



(b)

Figura 2.23 - Topologias Carga-Interruptor derivadas do circuito fundamental interruptor bilateral:
 (a) n-fontes e uma carga (idêntico para n-cargas e uma fonte); (b) n-fontes de tensão e m-cargas.

2.5.1.2 Concretização dos Interruptores

As topologias apresentadas podem ser implementadas com diferentes tipos de dispositivos semicondutores nas posições ocupadas pelos interruptores [2.59]. O tipo do dispositivo semicondutor ótimo para cada aplicação depende essencialmente dos valores de tensão, corrente e do regime de operação exigido pela carga. A Tabela 2.I apresenta um quadro comparativo entre os quatro tipos de dispositivos semicondutores mais freqüentemente utilizado na integração de potência e seus atributos. Esta tabela serve como orientação aos projetistas sobre qual o tipo de dispositivo a ser utilizado para implementar a aplicação alvo.

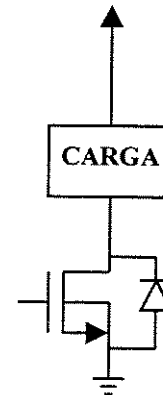
Características	Bipolar	Tiristor	DMOS	IGBT
Alta impedância de entrada	NÃO	NÃO	SIM	SIM
Controle de porta permanente	SIM	NÃO	SIM	SIM
Desligamento rápido	NÃO	NÃO	SIM	NÃO
V_{on} Escalonável com a área	NÃO	NÃO	SIM	NÃO
Disponibilidade de dispositivo complementar	SIM	NÃO	SIM	NÃO
Liga/Desliga controlado pela porta.	SIM	NÃO	SIM	SIM
Operação linear	SIM	NÃO	SIM	NÃO
Resistência de condução específica a 60V	MÉDIA	ALTA	BAIXA	ALTA
Resistência de condução específica a 500V	MÉDIA	BAIXA	MÉDIA	BAIXA
Resistência de condução específica a 1000V	MÉDIA	BAIXA	ALTA	BAIXA

Tabela 2.I - Atributos dos dispositivos de potência tipicamente utilizados na integração de potência [2.59].

Abaixo são apresentados exemplos das principais topologias interruptor-carga concretizadas com transistor DMOS ou LDMOS. Associado a cada topologia são, dados alguns dos principais requisitos dos circuitos de acionamento, bem como as principais características [2.59].

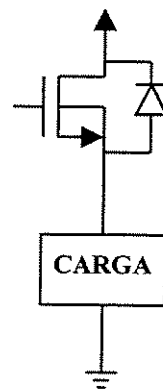
Interruptor referenciado a massa:

- Configuração fonte comum;
- Circuito de excitação de baixa tensão referenciado à massa;
- Integrável com DMOS lateral de baixa tensão ou de alta tensão ou com DMOS vertical;
- Diodo intrínseco dreno-substrato;
- Compatível com resistor sensor de corrente ou com sensor MOS;
- Viável economicamente como interruptor integrado até 300V;
- Viável economicamente como interruptor discreto até 600V;



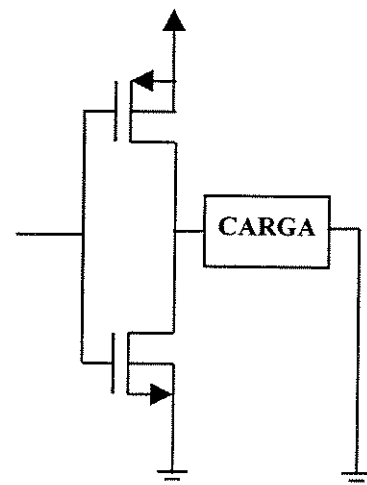
Interruptor isolado:

- Configuração seguidor de fonte;
- Requer circuito de excitação flutuante para atingir a máxima excursão do sinal;
- Integrável como lateral DMOS;
- Diodo intrínseco dreno-substrato;
- Compatível com resistor sensor de corrente ou com sensor MOS;
- Geralmente usado na faixa de 60 a 100 V em sistemas contendo uma única chave.



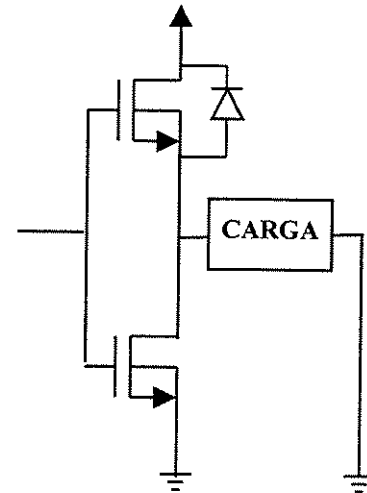
Interruptor complementar DMOS:

- Fonte comum NMOS e PMOS;
- A saída apresenta excursão total da tensão de saída (*rail-to-rail*);
- Diodos (de proteção) intrínsecos;
- Para operação em alta tensão é requerido um circuito de excitação para o interruptor isolado (*high side*) PMOS;
- Quando integrado monoliticamente apresenta um transistor bipolar parasita para o substrato;
- Susceptível de condução intempestiva (*Latch-up*);

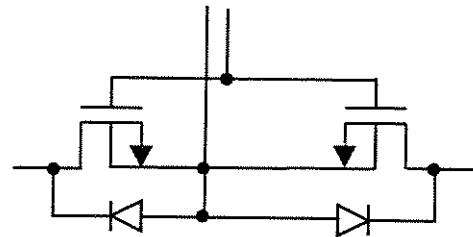


Interruptor Totêmica (Totem-Pole):

- Transistor em fonte comum e transistor isolado seguidor de fonte;
- Para operação em alta tensão é requerido um circuito de excitação para o interruptor isolado;
- Integrável com lateral ou com lateral-verticial DMOS;
- Viável economicamente para aplicações de até 150 Volts;
- Diodos intrínsecos

Interruptor Bilateral com DMOS canal N:

- Configurado como interruptor de passagem em fonte comum;
- Interruptor AC verdadeiro: Condução e bloqueio bidirecional;
- Diodos intrínsecos posicionados costa-a-costa;
- Apresenta condução no terceiro quadrante para ambos dispositivos;
- Substitui o relê mecânico;
- Necessita de um único circuito de excitação flutuante;
- Geralmente realizado com dispositivos discretos;
- Apresenta distorção mínima para os sinais AC.

**2.5.1.3 Circuitos de acionamento e suas topologias**

Os circuitos de acionamento não são circuitos analógicos e/ou digitais convencionais, uma vez que necessitam suprir energia suficiente para ligar e desligar dispositivos de potência, sendo tipicamente projetados para operar acima de 30 volts. Adicionalmente, na maioria das aplicações necessita-se de pelo menos de um par de dispositivos de potência *LSS/HSS* em uma configuração totêmica (*totem-pole*), que requer um circuito de acionamento capaz de realizar o deslocamento dos níveis de tensão de controle aos níveis de tensão, capazes de comandar os interruptores de potência. Além da técnica de deslocamento, técnicas de bombeamento de cargas (*charge pump*) e de intensificação da tensão (*bootstrap*) são utilizadas com este propósito. As topologias dos circuitos de acionamento típicas serão descritas detalhadamente no decorrer do Capítulo 3.

2.5.2 Circuitos de Controle de Proteção

Topologias de conversão de potência, regulação e amplificação necessitam de circuitos que realizam funções de controle e proteção através de diagnósticos e amostragem dos sinais vitais da aplicação, que por sua vez atuam nos mecanismos de controle e auto proteção dos CIIP.

Diagnóstico e Amostragem - Uma das características mais interessantes dos dispositivos inteligentes de potência é a capacidade de realizar a sua própria proteção, através do diagnóstico do desempenho, durante a operação. Para isto, é necessário detectar sobre-correntes, sobre-tensões e sobre-temperaturas. Frequentemente, também é necessário detectar condições de carga em vazio ou em curto-circuito ou ainda estados de sob-tensão da fonte de alta tensão, que pode levar o dispositivo a operar fora de uma condição de polarização satisfatória. A amostragem de corrente é realizada usualmente com baixas perdas de energia, através do desvio de uma fração de fluxo de corrente principal, que flui em algumas poucas células elementares, que compõem a área ativa do dispositivo de potência. A interface, com os sinais recebidos de um microprocessador, bem como as mensagens relativas ao diagnóstico de operação e monitorização da carga, é implementada por circuitos lógicos, os quais realizam operações de codificação e decodificação.

Controle e auto-proteção - Comparadores, fontes de referência de tensão (*bandgap*), geradores de rampa, geradores de corrente, osciladores, moduladores delta-sigma e de largura de impulso, osciladores controlados por tensão são circuitos que podem ser requeridos, em uma dada aplicação, para a implementação do controle e da auto-proteção do dispositivo. Uma vez que estes circuitos devem ser incluídos em uma malha de realimentação, onde o tempo de resposta é crítico, devem ser concretizados utilizando circuitos analógicos de elevado desempenho. Para realizar isto, um dos principais requisitos é o desenvolvimento de amplificadores operacionais eficazes e circuitos de referência de tensão e/ou corrente.

2.6 Desafios para Inovação

A integração conjunta de circuitos de potência com circuitos de baixa tensão e alta densidade, explorando a combinação de seus processos tecnológicos, resulta em um processo com elevado número de máscaras e alto custo, ou a um comprometimento das propriedades dos dispositivos

quando comparado à expectativa de desempenho destes fabricados de forma discreta. Novas tecnologias devem ser exploradas considerando ambos, dispositivos de alta tensão eficientes e elevado desempenho na implementação dos circuitos de baixa tensão, fazendo uso de novas etapas de processo, dedicadas para evitar a eletro-migração e os problemas inerentes à distribuição da corrente. Sempre haverá um compromisso entre a espessura das camadas de metal do circuito integrado e os fios de ligação entre a pastilha e os pinos do encapsulamento, resultando num consumo adicional de área na pastilha para possibilitar múltiplos pontos de ligação.

Outras abordagens devem considerar modificações nas tecnologias maduras para obter soluções confiáveis e de baixo custo. Novas heteroestruturas devem ser consideradas para a fabricação de dispositivos inteligentes de potência robustos e de elevado desempenho. Novos materiais bem como novas técnicas de encapsulamento merecem uma especial atenção, pois são partes fundamentais dos dispositivos de potência.

Em muitas aplicações dos dispositivos inteligentes de potência é necessário um projeto específico e totalmente dedicado. Ferramentas computacionais devem ser disponibilizadas permitindo a redução do tempo do ciclo de projeto-fabrico, minimizando os erros de implementação. O escalonamento automático dos dispositivos de potência, incluindo o desenho automático das terminações nas bordas da pastilha, constitui uma das barreiras a serem vencidas rumo a projeto automatizado que assegure maior confiabilidade e menor percentagem de erro. Adicionalmente, simuladores de sistemas e de circuitos, bibliotecas de componentes, de circuitos digitais, analógicos e de potência, ferramentas computacionais de posicionamento e interligação automáticas de células e dispositivos, para a síntese e geração automática das plantas dos circuitos (*layout*), respeitando as regras de interligação existentes tanto para as linhas de transmissão dos sinais de potência, bem como para as dos sinais de controle, e finalmente as ferramentas de verificação e extração, a partir das plantas (*layout*) dos dispositivos projetados, são características altamente desejáveis do ambiente de projetos para CIIP.

- Novas funções relativas à amostragem de variáveis, diagnóstico, controle, proteção e acionamento, necessárias para garantir o comportamento inteligente do dispositivo de potência e, simultaneamente, promover versatilidade para atender a um amplo espectro de aplicações, estão sendo investigadas. O projeto destes circuitos deve considerar o comportamento eficaz requerido

pelos dispositivos inteligentes de potência. Como a estabilidade do sistema é altamente desejada sob as mais variadas condições de carga, o circuito analógico da malha de realimentação envolvida deve ser cuidadosamente projetado, dado que não serão permitidos ajustes posteriores no produto final.

É expectável que os dispositivos inteligentes de potência produzam impacto em todas as áreas onde os dispositivos semicondutores de potência estão sendo utilizados nos dias de hoje.

A evolução dos conversores de potência e das topologias de amplificação está ampliando o espectro de utilização dos interruptores de potência, exigindo níveis tensão e corrente mais baixos.

Um dos maiores desafios para este progresso é a definição da célula elementar de potência e das funções analógicas básicas necessárias, fundamentadas em padrões facilmente associáveis em uma matriz elementar passível de ser programável, para produzir dispositivos inteligentes de potência de acordo com a aplicação.

Uma abordagem que tem sido minuciosamente simulada, desenvolvida, otimizada e testada é a utilização de tecnologias CMOS convencionais de baixo custo e de fácil acesso, para realizar dispositivos inteligentes de potência [2.2]. Os resultados apresentados para um amplo número de aplicações de baixa e média potência (até 20W) encorajaram o desenvolvimento de uma nova metodologia para a configurabilidade dos Circuitos Integrados Inteligentes de Potência.

A mesma tecnologia CMOS serve de veículo à comprovação das técnicas defendidas nesta dissertação e que podem ser aplicada a tecnologias mais sofisticadas, promovendo a utilização de Circuitos Integrados Inteligentes de Potência em aplicações de potências bem mais elevadas.

Nesta parte deste capítulo, será apresentado um resumo dos trabalhos experimentais realizados em diversos processos de tecnologias CMOS convencionais, culminando com a descrição de uma célula básica de potência, que é adequada à concretização de diferentes topologias de amplificação e conversão de potência. Esta célula foi projetada para suportar tensões bem superiores às tensões usuais exigidas pelos circuitos digitais.

Ao final deste capítulo, três exemplos, simples e ilustrativos, são apresentados e demonstram a capacidade de construir circuitos integrados inteligentes de potência baseados em uma célula elementar de potência.

2.6.1 Evolução dos dispositivos de potência nas tecnologias CMOS Convencionais

Vários dispositivos de potência MOS que operam com médias tensões, tanto com estrutura lateral como vertical de condução de corrente, compatíveis com a integração de circuitos de controle implementados em CMOS, foram projetados e construídos [2.16]. A Figura 2.24 apresenta um resumo do corte transversal dos primeiros dispositivos construídos em nosso trabalho de investigação. As quatro primeiras estruturas foram fabricadas em uma tecnologia CMOS de 3 μm , poço-P, 1 nível de metal com 10 níveis de máscaras. As duas últimas estruturas foram construídas em tecnologias CMOS de 2 μm e 1,5 μm , ambas com poço-N, 2 níveis de metal e também 10 níveis de máscaras.

O dispositivo VDMOS, mostrado na Figura 2.24 (a), foi a primeira estrutura concebida [2.60]. Esta estrutura apresenta uma resistência de condução R_{ON} de aproximadamente $75\text{m}\Omega\cdot\text{cm}^2$ e uma tensão de ruptura de 100 volt. Desta estrutura é derivada naturalmente uma estrutura lateral, conhecida como o transistor LDMOS [2.60], [2.61], mostrado na Figura 2.24 (b). Como era expectável, tal dispositivo apresenta um R_{ON} mais elevado em comparação com a estrutura anterior, de aproximadamente $100\text{m}\Omega\cdot\text{cm}^2$ com uma tensão de ruptura de 35 volt.

Substituindo a região contato de dreno N^+ por P^+ , é obtida uma estrutura de um tiristor [2.62], como mostrado na Figura 2.24 (c). Tal dispositivo apresenta um comportamento altamente sensível ao efeito de condução intempestiva (*latch-up*), um modo de operação regenerativa bipolar-MOS, com o canal transmissor MOS operando na região sub-limiar, a baixos níveis de corrente, no qual o dispositivo pode ser ligado e desligado. Quando a corrente no transistor Bipolar aumenta, a estrutura regenerativa bipolar-bipolar normal é ativada. Atualmente seu comportamento é um promissor campo de investigação [2.62].

Se um contato de dreno é colocado na secção da Figura 2.24 (c), uma mistura de um dispositivo VDMOS/Tiristor-MOS [2.63] pode ser obtido. O comportamento combinado da união de ambos os dispositivos, operando em paralelo, pode ser usado para aplicações que exijam um

comportamento linear de $I(V)$ próximo da origem no estado de condução, aliado a um modo de funcionamento com proteção contra sobre-tensões.

Com uma pequena modificação no arranjo de ambos os eletrodos de dreno e de fonte, a estrutura é transformada em um dispositivo LDD-PMOS [2.64], como mostrado na Figura 2.24 (d). O transistor LDD-PMOS foi desenvolvido baseando-se no conceito de construir um dispositivo com a junção de dreno levemente dopada [2.20], onde a junção de poço-P, profunda, atua como dreno de alta tensão. Tal dispositivo apresentou uma resistência de condução R_{ON} de aproximadamente $120 \text{ m}\Omega\cdot\text{cm}^2$ e uma tensão de ruptura de aproximadamente 160 volts. Este dispositivo pode ser utilizado como um interruptor isolado (*high side*), embora o seu PMOS intrínseco imponha uma estratégia de acionamento de porta, como por exemplo o uso de circuitos de deslocador de nível, ou circuito de bombeamento de carga, intensificadores de tensão ou outra técnica.

O transistor LDD-NMOS apresentado na Figura 2.24 (e), morfologicamente derivado do LDD-PMOS apresentado anteriormente, foi fabricado em uma tecnologia CMOS poço-N [2.65]. O transistor LDSD-NMOS da Figura 2.24 (f) usa o conceito do dreno com fraca concentração de impurezas, aplicados a ambos os terminais de dreno e fonte [2.66]. Estes dois dispositivos serão discutidos mais detalhadamente no decorrer deste capítulo.

A estrutura VDMOS permite o projeto de um único interruptor de potência, com controle construído com transistores NMOS, realizados dentro de um poço-P, para proteger contra o ambiente de alta tensão. Os dispositivos LDMOS e TiristorMOS usam o substrato P^- como um de seus eletrodos e não podem ser utilizados como interruptores de potência independentes em circuitos integrados de potência, mas somente em pastilhas separadas, a menos que a tecnologia permita o crescimento de uma camada epitaxial que favoreça a existência do isolamento vertical por junção.

O transistor LDD-PMOS pode ser utilizado em circuitos integrados de potência como um interruptor isolado (*high side*) para tensões negativas elevadas aplicadas no terminal de dreno. Atualmente, a integração monolítica de múltiplos interruptores LDD e/ou LDSD-NMOS, com controle operando em baixa tensão, é a melhor solução encontrada para atender a um grande número de aplicações, uma vez que ambas as estruturas são eletricamente compatíveis e, sendo o substrato aterrado, garantem um bom isolamento do circuito de controle em relação à alta tensão.

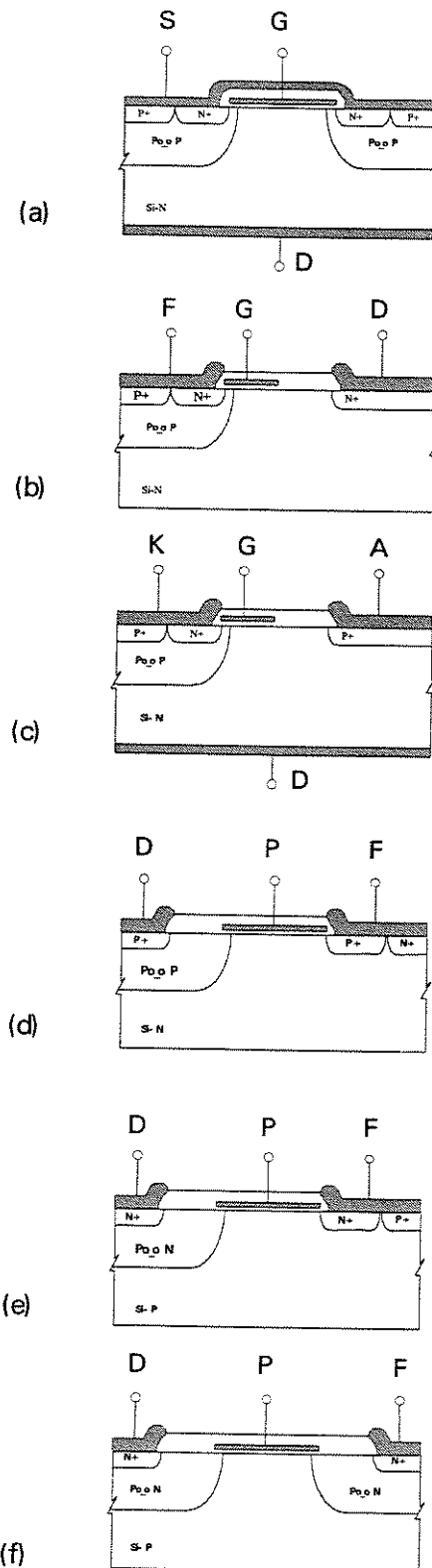


Figura 2.24- Corte transversal dos dispositivos fabricados em tecnologias MOS convencionais:
 (a) VDMOS, (b) LDMOS, (c) Tiristor-MOS e T2MOS, (d) LDD-PMOS,
 (e) LDD-NMOS e (f) LDSD-NMOS.

Todas as estruturas apresentadas acima são totalmente compatíveis com as tecnologias CMOS convencionais, sem a necessidade de nenhuma etapa adicional no processo de fabricação. Um intenso trabalho de caracterização e otimização tem sido feito para a utilização eficaz dos dispositivos LDD e LDSN-MOS em aplicações de potência, como será discutido em uma seção seguinte.

UNICAMP

BIBLIOTECA CENTRAL

SEÇÃO CIRCULANTE

2.6.2 Dispositivos Laterais NMOS

Atualmente, os dispositivos laterais apresentam as mais promissoras perspectivas para os circuitos integrados de potência em aplicações de média tensão, principalmente quando múltiplas chaves isoladas e independentes são solicitadas, tanto nas configurações HSS (*high side*) como LSS (*low side*). A tecnologia CMOS com substrato-P e poço-N, estruturalmente, permite a fabricação de múltiplos transistores NMOS de alta tensão isolados entre si, juntamente com circuitos de controle analógico/digital que operam em baixa tensão. O substrato de silício tipo P⁺, normalmente é polarizado em zero volt. Os terminais de alta tensão restringem-se às difusões de dreno e de fonte do dispositivo.

Dois transistores NMOS laterais que suportam alta tensão foram propostos, baseando-se no trabalho de Parpia *et al.* [2.64] e no conceito de dreno com fraca concentração de impurezas (LDD- *light doped drain*) descrito por Plummer e Blanchard [2.20]. A idéia chave para aumentar a gama de tensão de operação do dreno/fonte do transistor é a utilização da junção do poço-N, disponível em um processo CMOS, como dreno/fonte, devido ao fato de que, tanto sua dopagem quanto o seu raio de curvatura permitem que estas junções atinjam valores bem superiores à junção rasa de N⁺, utilizada no dreno/fonte dos transistores que operam em baixa tensão [2.55].

Resultados experimentais usando a tecnologia CMOS [2.55] [2.16] [2.21] indicam que a junção isolada pode suportar tipicamente de 35 a 100 volts, dependendo da concentração do substrato, bem como da profundidade e perfil da junção (gaussiana ou outra). Quando associada com uma estrutura de transistor MOS, a máxima tensão de ruptura decresce devido a vários efeitos, mas principalmente devido à sobreposição de porta sobre o dreno/fonte de alta tensão, que induz um intenso campo elétrico na borda da porta, promovendo a ruptura do óxido de porta ou a ionização de pontos logo abaixo da porta na região do canal, que resulta em ruptura por avalanche. Alguns dispositivos foram projetados e testados para atingir o limite da tecnologia [2.21].

2.6.2.1 Descrição detalhada

O primeiro dispositivo, denominado transistor LDD-NMOS, cuja secção transversal é mostrada na Figura 2.25 (a), é adequado para aplicações onde transistores configurados em topologia tipo LSS (*low side*) sejam requeridos. O dreno de alta tensão foi construído com a junção do poço-N, e a fonte foi ligada ao substrato através da difusão N^+ e P^+ , existentes nos processos para fabricação dos dispositivos de baixa tensão. A máxima tensão de ruptura do dreno depende da geometria utilizada em sua construção, da sobreposição da porta sobre o dreno, da distância do canal até o contato N^+ do dreno e do comprimento do canal.

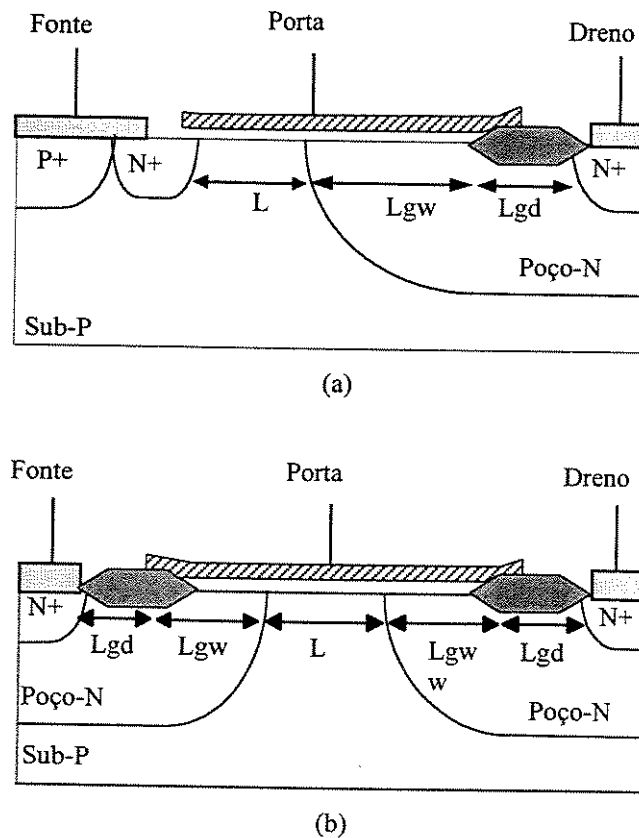


Figura 2.25 - Detalhe das estruturas dos dispositivos laterais: a) LDD-NMOS; b) LDSD-NMOS.

O segundo dispositivo é denominado transistor LDSD-NMOS, cuja secção transversal está mostrada na Figura 2.25 (b), e aplica o conceito do dreno com fraca concentração de impurezas, tanto no dreno como na fonte do dispositivo [2.66]. Tal dispositivo pode ser usado como interruptor de passagem de baixa impedância, onde ambas as terminações suportam alta tensão em relação ao substrato.

2.6.2.2. Modelamento dos dispositivos laterais

O modelamento [2.60] [2.67] para a otimização da tensão de ruptura e resistência de condução R_{ON} , utilizando também modelos e simuladores bi-dimensionais [2.67] [2.68], bem como modelos precisos para a simulação do comportamento em comutação a frequências elevadas, têm sido objeto de estudos e constitui um promissor campo de investigação.

2.6.3 Alguns Resultados Experimentais Preliminares

Resultados experimentais dos dispositivos VDMOS, LDMOS, TiristorMOS, T2MOS e LDD-PMOS já foram relatados previamente [2.67]. Um par de transistores LDD e LDSN-MOS, construído em tecnologia CMOS 1,5 μm , poço-N, foi projetado para aplicações de média potência em sistemas comutados [2.17], [2.69] e [2.70]. As estruturas LDD e LDSN-MOS apresentadas possuem uma resistência de condução R_{ON} de aproximadamente 9 e 11 $\text{m}\Omega\cdot\text{cm}^2$, respectivamente. Ambos os dispositivos possuem uma tensão de ruptura de em torno de 25 V.

A seguir é apresentada, de forma resumida, a descrição de um circuito inteligente de potência construído em tecnologia CMOS convencional, isto é, construído em uma tecnologia de baixo custo. Este circuito basicamente incorpora dois transistores de potência projetados com base na união de múltiplas células básicas, com seus circuitos de acionamento e com os circuitos de amostragem, de controle e de proteção.

Muitas aplicações são baseadas em topologias de conversão e amplificação, que resultam na associação em ponte de quatro interruptores de potência, ou na associação de dois interruptores de potência configurados em meia ponte, ou de um interruptor de potência com um diodo "roda livre", em topologias semelhantes às descritas na seção 2.5.1.1. A célula de comutação, mostrada na Figura 2.26, consiste em um par de transistores HSS e LSS (*low side e high side*), capaz de realizar cada uma das três topologias acima citadas, através de uma associação apropriada dos pares de transistores elementares.

Interruptores de Potência

A implementação desta célula básica em processos de baixo custo, tal como o CMOS convencional, em tecnologia de poço-N, é factível de ser utilizada em um grande número de aplicações de média potência, algumas destas descritas em [2.17]. A seção transversal desta

célula é mostrada na Figura 2.27. A célula de comutação básica usa dispositivos referenciados à massa ou substrato e isolados (*low side* e *high side*), respectivamente LDD e LDSD-NMOS, descritos detalhadamente na seção 2.6.2.1 [2.67].

Com o objetivo de otimizar a tensão de ruptura dos dispositivos de potência, ou seja, aumentar sua capacidade de bloquear altas tensões, três estratégias de projeto de *layout* foram investigadas e testadas [2.22] com o auxílio do simulador bidimensional de dispositivos SPICES [2.68]: inclusão de uma placa de campo sobre a região de dreno; inserção de anel de campo e a utilização da técnica de deslocamento da porta em relação ao dreno, realizado através do deslocamento da máscara poço-N em relação à máscara de polissilício, que forma o canal por baixo da porta [2.71].

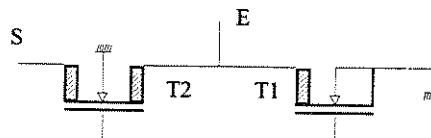


Figura 2.26 - Configuração dos transistores da célula de comutação básica para potência .

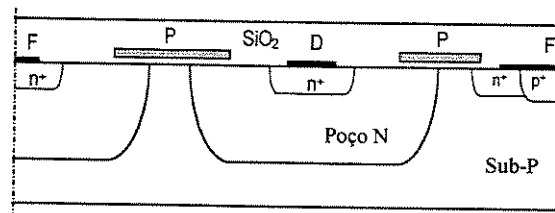


Figura 2.27 - Corte transversal da metade de uma estrutura LDD e LDSD-NMOS unidas.

Os resultados de simulação bidimensional permitem concluir que, com a combinação da técnica de deslocamento de porta em relação ao dreno e a inclusão da placa de campo construída com o metal2, a melhoria na tensão de ruptura foi de aproximadamente 15,5 V em relação aos primeiros resultados experimentais de estrutura LDD/LDSD, elevando a tensão de ruptura para 39 V. Esta melhoria permite viabilizar o uso destes dispositivos em diversas áreas de aplicação dos CIIP.

- Ambos os transistores de potência apresentam um baixo valor de tensão de limiar (*threshold voltage* V_{th}). Isto permite um circuito de acionamento relativamente simples de projetar, mesmo para o transistor configurado em topologia contendo o transistor isolado (*HSS - high side switch*). Mesmo assim, um circuito intensificador de tensão foi utilizado para melhorar as condições de

comutação do dispositivo de isolado. Este circuito de acionamento é distinto dos circuitos tipicamente apresentados na literatura, pois é formado pela associação de um par de células elementares LDD/LDSD-NMOS [2.69].

Circuitos de amostragem, Controle, Proteção e Acionamento

O projeto dos circuitos de controle e proteção considerou a possibilidade de realizar várias aplicações com a célula básica proposta.

Os circuitos de detecção incluem um sensor de tensão, um de corrente e um de temperatura. A amostragem da informação de corrente alimenta um circuito de realimentação em malha que é realizada pela seleção de uma célula do transistor T1, conectando a sua fonte a um terminal de saída em vez de conectá-lo à fonte do T1, célula esta denominada de Célula Sensora de Corrente.

Os circuitos analógicos são concretizados recorrendo principalmente a amplificadores operacionais projetados para operarem com a máxima excursão dos sinais tanto de entrada como de saída, elevado valor de taxa de variação (*slew-rate*) e alta taxa de rejeição às variações da tensão da fonte de alimentação.

2.6.4. Alguns Resultados Experimentais

Com o objetivo de provar as potencialidades e desempenho das estruturas [2.2], citadas na secção acima, foram projetados, construídos e testados, diferentes circuitos de conversão de potência e amplificação, para aplicações com um alto fator de potência por volume.

2.6.4.1 Regulador DC-DC tipo amplificador (*Boost*)

Um regulador DC-DC PWM do tipo amplificador (*Boost*), utilizado para equipamentos eletrônicos que operam com duas baterias de 1,2 volt foi selecionado para testar a capacidade da estrutura de potência proposta.

O conversor da Figura 2.28 foi projetado para promover uma saída estável operando em condição de carga variável. A tensão de saída é de 5 volts, mas este valor pode ser ajustado através do controle do ciclo de trabalho (*duty-cycle*), dentro dos limites de estabilidade do circuito de controle. Diferentes estratégias de controle foram testadas [2.72] (*clocked turn-on, clocked torn-*

off, e double-clocked) e foi verificado um alto grau de estabilidade do circuito de conversão sobre toda a faixa de operação.

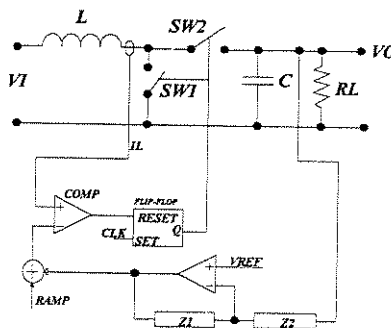


Figura 2.28 - Diagrama do regulador DC-DC amplificador com controle em modo de corrente.

Uma eficiência de aproximadamente 90% foi obtida para frequências de comutação de 100kHz a 200kHz para tensão de saída de 7V, como se ilustra na Figura 2.29. Uma regulação da tensão de saída de 5 a 12 V é permitida com corrente de carga até 2 A [2.72].

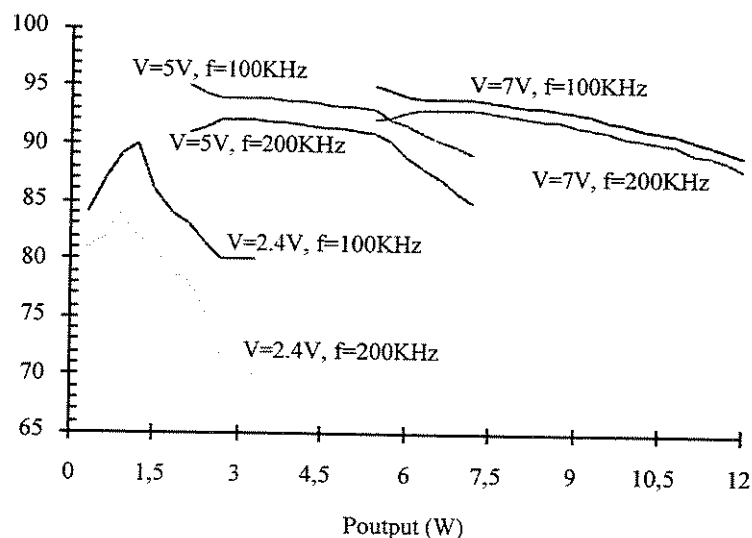


Figura 2.29 – Rendimento em função da potência entregue à carga e da frequência de operação

2.6.4.2 Reator Eletrônico para Lâmpada Fluorescente

O segundo exemplo de aplicação a ser descrito corresponde a um reator eletrônico para lâmpada fluorescente de 8 W, que usa uma topologia inversor série-paralelo da Figura 2.30. A Figura 2.31 mostra o leiaute dos dispositivos de potência usados para este circuito.

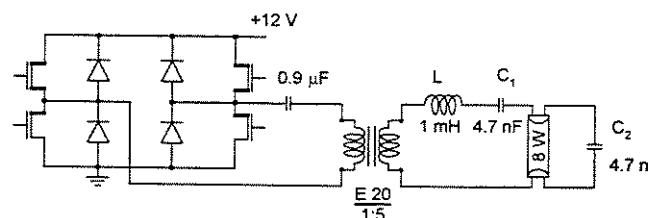


Figura 2.30 - Diagrama de circuito para reator eletrônico para lâmpada fluorescente operando em altas frequências.

Um oscilador controlado por tensão (VCO) foi projetado para promover uma resposta linear visando obter um completo domínio sobre a potência entregue à carga, permitindo a variação da intensidade luminosa. A frequência variou de 96kHz a 140kHz. Uma eficiência de 93 % foi medida para o caso de maior consumo de potência quando operando a 96kHz. Este resultado mostra a capacidade que a célula básica de comutação apresenta para operar num ambiente com transitórios de alta tensão, quando configurado em topologia ressonante apropriada à aplicação.

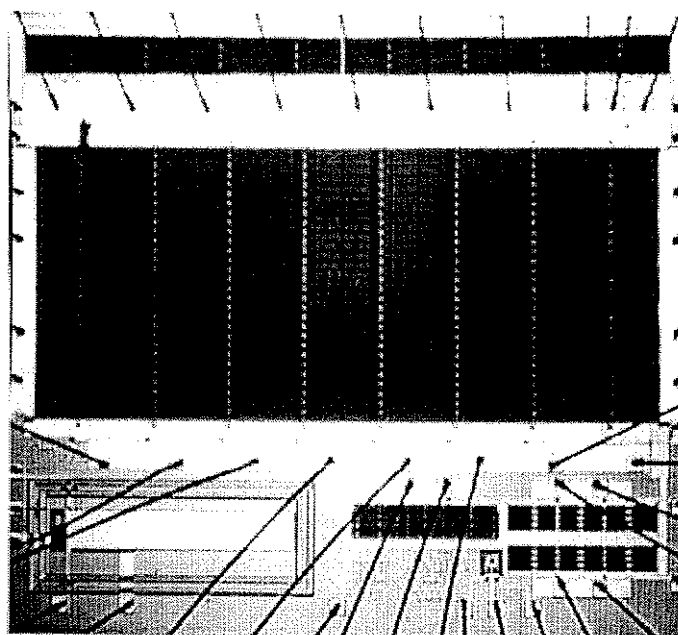


Figura 2.31 - Foto do CIIP usado no reator eletrônico para lâmpada fluorescente.

2.6.4.3 Amplificador Sigma-Delta

A modulação Sigma-Delta apresenta uma resposta em frequência tipo passa-baixa. Como os níveis importantes de ruído são transferidos para valores elevados de frequência, uma boa relação sinal/ruído (S/N) é obtida. Este tipo de modulação inerentemente realiza uma pré-amplificação do sinal de entrada.

A capacidade e desempenho da célula de comutação básica proposta também foi testada neste tipo de aplicação. A Figura 2.32 apresenta o diagrama do circuito amplificador tipo Sigma-Delta projetado para este propósito e a Figura 2.33 apresenta o resultado experimental desta montagem.

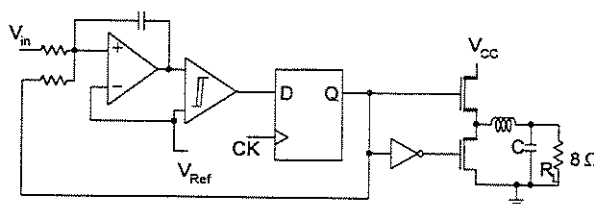


Figura 2.32 - Diagrama do circuito amplificador de áudio com modulação Sigma-Delta Sinal.

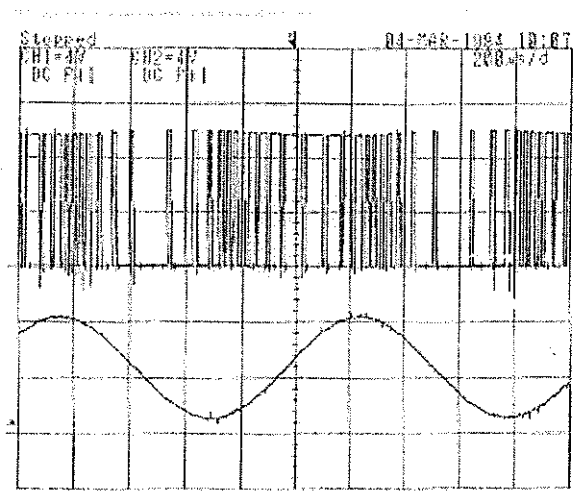


Figura 2.33 - Tensão entre dreno e fonte do transistor LDD do amplificador

Os resultados experimentais mostram que o rendimento obtido é de aproximadamente 92% para uma potência de saída de 6 W, para uma carga de 8Ω , operando com um sinal modulador de 100kHz.

2.7 Conclusões

Numa primeira parte deste capítulo, foram apresentados os conceitos usualmente utilizados em integração inteligente de potência e algumas considerações sobre micro-sistemas, evidenciando áreas de aplicação e exemplos representativos. Foi apresentada, também, uma revisão sobre o estado atual das tecnologias utilizadas na concretização dos dispositivos inteligentes de potência, quer para aplicações de baixa tensão e elevada corrente, quer para aplicações de elevada tensão e reduzida corrente, bem como uma breve referência a estratégias de isolamento entre o dispositivo de potência e respectivos circuitos de controle, amostragem, proteção e interligação. Foram revistas às topologias de interligação e as funções que conferem um desempenho inteligente às células de comutação. Foram referidos os desafios considerados críticos para o desenvolvimento desta área, perspectivando importantes linhas de investigação.

Finalmente, foram discutidas as potencialidades da tecnologia convencional CMOS, utilizada bem para além dos seus limites usuais, e perspectivas de inovação para a realização de dispositivos inteligentes de potência para aplicações de baixa ou média potência e de baixo custo, tendo sido apresentados exemplos de aplicação ilustrativos de diferentes topologias de conversão e amplificação de potência, cujos resultados confirmam a eficácia do desempenho da célula básica de comutação proposta para as aplicações de potências.

2.8 Referências

- [2.1] V. Rumennik, "Power Devices are in the Chips", IEEE Spectrum, vol. 22, pp. 42-48, Julho 1985.
- [2.2] M. I. Castro Simas, "Intelligent Power Devices", Invited Tutorial, II Workshop, IBERCHIP'96, pp. T10-T22, São Paulo, SP, Brasil, Fevereiro 1996.
- [2.3] J. Bryzek, K. Petersen and W. McCulley, "Micromachines on the Março", IEEE SPECTRUM, pp. 20-31, Maio 1994.
- [2.4] C. G. Fonstad, "Optoelectronic Integrated Circuits - Overview and Prospects for Foundry Services", I Workshop IBERCHIP, Cartagena das Índias, Colombia, Fevereiro 1995.
- [2.5] H.-H. Möbius, "Solid-State Electrochemical Pontentiometric Sensors for Gas Analysis", in W. Göpel, T. Jones, M. Kleitz, I. Lundström and T. Seiyama, Ed., Chemical and Biochemical Sensors-Part II, vol. 3, chap. 25, Sensors - a Comprehensive Survey, Agosto 1991.
- [2.6] Daimler-Benz AG, Stuttgart, "Microsystems - a Key to the Future", edited by Forschung und Technik, Publikationen, 1992.
- [2.7] W. L. Goh, D. L. Campbell and H. S. Gamble, "Buried Metallic Layers with Silicon Direct Bonding", Second International Seminar on Power Semiconductors, ISPS'94, pp. 7-14, Department of Electrotechnology, CTU Prague, Setembro 1994.
- [2.8] B. J. Baliga "An Overview of Smart Power Technology", IEEE Trans. on Electronic Devices, Vol. 38, n.7, pp. 1568-1575, Julho 1991.
- [2.9] P. Mok, C. A. Salama, "A Novel High-Voltage High-Speed MESFET Using a Standard GaAs Digital IC Process", IEEE Trans. on Electron Devices, vol. 41, no. 2, pp. 246-250, Fevereiro 1994.
- [2.10] B. J. Baliga, "Power ICs in the Saddle", in Power Electronics in Action, Gadi Kaplan Editor, IEEE SPECTRUM, pp. 34-49, Julho 1995.
- [2.11] "Smart Power ICs", edited by B. Murari, F. Bertotti, G. A. Vignola, New York, Springer, 1995 ISBN 3-540-60332-8.
- [2.12] "High Voltage Integrated Circuits", edited by B. J. Baliga, IEEE PRESS, 1988.
- [2.13] T. Nakajima, S. Yoshida, A. Uenishi, T. Shirasawa, S. Ukita and Y. Kimura, "New Intelligent Power Module for Electric Vehicles", Proceedings of Industry Applications Society Annual Meeting, IAS'95, pp. 954-958, Orlando, Florida, Outubro 1995.
- [2.14] B. J. Baliga, "Modern Power Devices", New York, John Wiley & Sons, 1987.
- [2.15] S. L. Wong, S. Venkatasubrahmanian, M. J. Kim and J. C. Young, "Design of a 60-V 10-A Intelligent Power Switching Using Standard Cells", IEEE Journal of Solid-State Circuits, vol. 27, no. 3, Março 1992.
- [2.16] J. Tihanyi, "Smart SIPMOS® Technology", Siemens Forsch.-Ber. Bd. 17(1988) Nr. 1, Springer-Verlag 1988.
- [2.17] S. Finco, J. Guilherme, F. Behrens, M. I. Castro Simas and M. Lança "Pushing standard CMOS Technologies into Smart Power Conversion and Amplification", Journal of Circuits, Systems and Computers, vol. 5, no. 3, pp. 455-463, © World Scientific Publishing Company, 1995.
- [2.18] F. Berta, J. Fernández, S. Hidalgo, P. Godignon, J. Rebollo and J. Millán, "A Simplified Low-Voltage Smart Power Technology", IEEE Electron Devices Letters, vol. 12, no. 9, pp. 465-467, Setembro 1991.
- [2.19] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray and N. D. Zommer, "The Insulated Gate Transistor: a New Three-Terminal MOS-Controlled Bipolar Power Device", IEEE Trans. on Electron Devices, vol. ED-31, pp. 821-828, Junho 1984.
- [2.20] S. Mukherjee, M. Amato, I. Wacyk and V. Rumennik, "LDMOS and LIGTs in CMOS Technology for Power Integrated Circuits", Proc. of the IEEE International Electron Devices Meeting, IEDM'87, pp. 778-781, Washington, D.C., Dezembro 1987.
- [2.21] J. D. Plummer and R. A. Blanchard, "Power MOS devices" in P. Antognetti, Ed., Power Integrated Circuits, New York: McGraw Hill, ch. 3, 1986.
- [2.22] P. M. Santos, M. I. Castro Simas, S. Finco, F. Behrens and M. Lança, "Breakdown Voltage Improvement of Standard MOS Technologies Targeted at Smart Power", Proceedings of Industry Applications Society Annual Meeting, IAS'95, pp. 937-945, Orlando, Florida, Outubro 1995.
- [2.23] J. A. Appels and H. M. J. Vaes, "High Voltage Thin Layer Devices (resurf devices)", IEEE 25th Int. Electron Devices Meeting, pp. 238-241, 1979.
- [2.24] T. Matsushita, A. Teruaki, O. Takaji, Y. Hisayoshi, H. Hisao, O. Masanori and K. Yoshiyuki, "Highly-Reliable High-Voltage Transistors by Use of SIPOS Process", IEEE Trans. on Electron Devices, vol. ED-23, no. 8, pp. 826-830, Agosto 1976.
- [2.25] H. Mochizuki, et al., Jpn. J. Appl. Physics, vol. 15, pp. 41, 1976.

-
- [2.26] S. Mukherjee, C. J. Chou, K. Shaw, D. McArthur and V. Rumennik, "The Effects of SIPOS Passivation on DC and Switching Performance of High Voltage MOS Transistors", Proc. of the IEEE International Electron Devices Meeting, IEDM'86, pp. 646-649, 1986.
 - [2.27] A. Mimura, M. Oohayashi, S. Murakami and N. Momma, "High-Voltage Planar Structure Using SiO₂-SIPOS-SiO₂ Film", IEEE Electron Device Letters, vol. EDL-6, no. 4, pp. 826-830, Abril 1985.
 - [2.28] D. Jaume, G. Charitat, J. M. Reynes and P. Rossel, "High-Voltage Planar Devices Using Field Plate and Semi-Resistive Layers", IEEE Trans. on Electron Devices, vol. ED-38, no. 7, pp. 1681-1684, Julho 1991.
 - [2.29] J. K. O. Sin, C. A. T. Salama and L.Z. Hou, "The SINFET - A Schottky Injection MOS-Gated Power Transistor", IEEE Trans. on Electron Devices, vol. ED-33, no. 12, pp. 1940-1947, Dezembro 1986.
 - [2.30] W. T. Ng, and C. A. T. Salama, "A CMOS-Compatible Complementary SINFET HVIC Process", IEEE Trans. on Electron Devices, vol. 38, no. 8, pp. 1935-1942, Agosto 1991.
 - [2.31] K. Board and M. N. Darwish, "LDMOS Transistor with Implanted and Deposited Surface Layers", Proc. Inst. Elec. Eng., pt. I, vol.132, pp. 177-180, 1985.
 - [2.32] J. G. Mena and C. A. T. Salama, "High Voltage Multiple-Resistivity Drift Region LDMOS", Solid-State Electron., vol. 29, pp. 647-656, 1986.
 - [2.33] A. W. Ludikhuize, "Design Aspect of High Voltage Devices for a Versatile 700-1200 V IC Process", Proc. Symp. on High Voltage and Smart Power ICs, pp. 133-138, Los Angeles, CA, 1989.
 - [2.34] A. Nezar and C. A. T. Salama, "Breakdown Voltage in LDMOS Transistors Using Internal Field Rings", IEEE Trans. on Electron Devices, vol. 38, no. 7, pp. 1676-1680, Julho 1991.
 - [2.35] M. N. Darwish and M. A. Shibib, "Lateral MOS-Gated Power Devices - A Unified View", IEEE Trans. on Electron Devices, vol. 38, no. 7, pp. 1600-1604, Julho 1991.
 - [2.36] J. Ajit, B. J. Baliga, S. Tandon and A. Reisman, "The Minority Carrier Injection Controlled Field-Effect Transistor (MICFET): A New MOS-Gated Power Transistor Structure", IEEE Trans. on Electron Devices, vol. 39, no. 8, pp. 1954-1960, 1992.
 - [2.37] J. D. Plummer and B. W. Scharf, "Insulated-Gate Planar Thyristors: I - Basic Operation", IEEE Trans. on Electron Devices, vol. ED-27, no. 2, pp. 380-387, Fevereiro 1980.
 - [2.38] M. Heisig, "BiMOS - A New Way to Simplify High-Power Custom Interface", IEEE 3rd Custom Integrated Circuits Conf., pp. 8-12, 1981.
 - [2.39] S. Krishna, J. Kuo and I. S. Gaeta, "An Analog Technology Integrates Bipolar, CMOS, and High-Voltage DMOS Transistors", IEEE Trans. on Electron Devices, vol. ED-31, pp. 89-95, Janeiro 1984.
 - [2.40] G. Thomas, G. Troussel and F. Vialettes, "High-Voltage Technology Offers New Solutions for Interface Integrated Circuits", IEEE Trans. on Electron Devices, vol. ED-33, no. 12, pp. 2016-2024, Dezembro 1986.
 - [2.41] T. Nakamura and H. Nishizawa, "Recent Progress in Bipolar Transistor Technology", IEEE Trans. on Electron Devices, vol. 42, no. 3, pp. 390-398, Março 1995.
 - [2.42] P. Tsui, P. Gilbert and Shih-Wei Sun, "A Versatile Half-Micron Complementary BiCMOS Technology for Microprocessor-Based Smart Power Applications", IEEE Trans. on Electron Devices, vol. 42, no. 3, pp. 564-570, Março 1995.
 - [2.43] B. J. Baliga, "Power Integrated Circuits - A Brief Overview", IEEE Trans. on Electron Devices, vol. ED-33, no. 12, pp. 1936-1939, Dezembro 1986.
 - [2.44] A. Elmoznine, J. Buxo, M. Bafleur, and P. Rossel, "The Smart Power High side Switch: Description of a Specific Technology, its Basic Devices and Monitoring Circuitries", IEEE Trans. on Electron Devices, vol. ED-37, no. 4, Abril 1990.
 - [2.45] C. Y. Lu et als., "An Analog/Digital BCDMOS Technology with Dielectric Isolation - Devices and Process", IEEE Trans. on Electron Devices, vol. 35, no. 2, pp. 230-239, Fevereiro 1988.
 - [2.46] J. Lasky, "Wafer Bonding for Silicon-On-Insulator Technologies", Appl. Phys. Lett., vol. 48, pp. 78-80, 1986.
 - [2.47] H. Ohashi, J. Ohura, T. Tsukakoshi and M. Simbo, "Improved Dielectrically Isolated Device Integration By Silicon-wafer Direct Bonding (SDB) Technique", IEEE 32th Int. Electron Devices Meeting, pp. 210-213, 1986.
 - [2.48] U. Apel, H. Graf, C. Harendt, B. Höflinger and T. Ifström, "A 100-V Lateral DMOS Transistor with a 0.3-Micrometer Channel in a 1-Micrometer Silicon-Film-On-Insulator-on-Silicon", IEEE Trans. on Electron Devices, vol. 38, no. 7, pp. 1655-1659, Julho 1991.
 - [2.49] K. Izumi, M. Doken and H. Ariyoshi, "CMOS Devices Fabricated on Buried SiO₂ Layers Formed by Oxygen Implantation into Silicon", Electron. Lett., vol. 14, pp. 593-594, 1978.
 - [2.50] T. Ohno, S. Matsumoto and K. Izumi, "An Intelligent Power IC with Double Buried-Oxide Layers Formed by SIMOX Technology", IEEE Trans. on Electron Devices, vol. 40, no. 11, pp. 2074-2080, Novembro 1993.
-

- [2.51] F. Bertotti, S. Garue, B. Murari "Power Integrated Circuits - An Introduction", in Power Integrated Circuits, P. Antognetti (editor), McGraw-Hill, 1986.
- [2.52] C. Contiero, P. Galbiati, M. Palmieri and L. Vecchi, "LDMOS Implementation by Large Til Implant in 0.6um BCD5 Process", 8th International Symposium on Power Semiconductor Device and ICs - ISPSD'96 - Maui, Hawaii, Maio 1996.
- [2.53] "TMOS Power MOSFET Transistor Device Data", Motorola, printed in USA, Novembro 96.
- [2.54] Catálogos de divulgação comercial da MICREL, 1999.
- [2.55] Informações extraídas da homepage da TEMIC, 1999.
- [2.56] Richard K. Willians "Beyond Y2K: Technology Convergence as a Driver of Future Low-Voltage Power Management Semiconductors", invited paper ISPSD'2000, Toulouse, France, Maio of 2000.
- [2.57] S. Finco, P. Tavares, P. Casimiro, P. Santos, F. Behrens and M. I. Castro Simas, "A New Concept for Cost Effective Smart Power ICs Based on a Unique Cell Type" Proceedings of Industry Applications Society Annual Meeting, IEEE - IAS'98, St. Lois, MO-USA, 12-16 Outubro 1998.
- [2.58] A. Senes, H. Iwamoto, "Progress in Wide-band Semiconductor SiC for Power Devices", invited paper ISPSD'2000, Toulouse, France, Maio de 2000.
- [2.59] Richard K. Willians, "SmartPower Design and Partitioning of Circuits and Systems", Cópia das transparências de apresentação técnica, Santa Clara, CA 95054, datada de 7 de Maio de 1989.
- [2.60] F. H. Behrens, "Modelamento, Projeto e Caracterização de Transistores Verticais DMOS de Potência e Estruturas de Alta Tensão Compatíveis com a Tecnologia CMOS", Tese de Mestrado, Universidade Estadual de Campinas (UNICAMP), Abril 1989.
- [2.61] F. H. Behrens, "Uma Metodologia para o Projeto de Circuitos Integrados de Potência", Proceedings of SBCCI'90, pp. 207-215, Ouro Preto, MG, Brasil, Outubro 1990.
- [2.62] J. L. Sanchez, "Propriétés à l'état passant des transistors DMOS de puissance coplanaires ou verticaux", Ph.D. Thesis, INSA, Toulouse, France, 1984.
- [2.63] J. L. Sanchez, H. Tranduc, P. Rossel, G. Charitat, F. H. Behrens, "Declenchement des Structures Thyristor Metal Oxyde Semiconducteur (Thy-MOS et MCT) par la Composante du Courant Sous le Seuil", Journal de Physique III, pp. 11-32, France, Janeiro 1995.
- [2.64] H. Tranduc, P. Rossel, M. Gharbi, J. L. Sanchez, G. Charitat - "Le transistor-thyristor métal-oxyde-semiconducteur (T2MOS), Revue Phys. Appl., Vol. 20, pp. 575-581, Agosto 1985.
- [2.65] Z. Parpia, C. A. Salama, R. A. Hadaway - "Modeling and Characterization of CMOS-Compatible High-voltage Device Structures", IEEE Trans. Electron Devices, Vol. ED-34, No. 11, pp. 2335-2343, Novembro 1987.
- [2.66] F. H. Behrens, S. Finco, M. I. Castro Simas, "Medium-voltage Lateral NMOS Power Devices in Standard CMOS Technology", 5th European Conference on Power Electronics and Applications, EPE-93, Vol. 2, pp. 209-214, Brighton, UK, Setembro 1993.
- [2.67] F. Behrens, G. Charitat, P. Rossel, "Medium-voltage switching devices compatible with standard CMOS technology", Proceedings of the Symp. on Materials and Devices, MADEP/EPE'91, Florence, Italy, Setembro, pp. 98-103, 1991.
- [2.68] "AtlasII/SPICES 2D Device Simulation Framework - User's Manual", Edition 2, Silvaco International, Março 1994.
- [2.69] P. Santos, A. P. Casimiro, M. I. Castro Simas and M. Lança, "The Gate-Shifted LDD-NMOS", EPE'99, Lausanne, Switzerland, Setembro 1999.
- [2.70] S. Finco, F. Behrens, M. I. Castro Simas, "Smart Power IC for DC-DC Low Power Regulation", Proceedings of Industry Applications Society Annual Meeting, IAS'92, pp. 1204-1211, Houston, Texas, Oct. 1992.
- [2.71] S. Finco, "Projeto de um Dispositivo Inteligente de Potência em Tecnologia Convencional CMOS", Tese de mestrado, Universidade Estadual de Campinas (UNICAMP), Fevereiro 1996.
- [2.72] J. Guilherme, S. Finco, F. Behrens, M. I. Castro Simas, "Control strategies for a smart power switching cell aimed at high performance DC-DC regulation", Proceedings of the 1st Brazilian Power Electronics Conference, COBEP'93, Uberlândia, Brasil, Dezembro 1993.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

3

Circuitos para o Controle de Potência Baseados em Transistores NMOS

Onde se descrevem e caracterizam os circuitos inerentes ao bloco de controle de potência, baseados unicamente em transistores NMOS. O estudo, projeto, otimização e caracterização destes circuitos constitui o objetivo desta dissertação e viabiliza a repetição de padrões simples passíveis de realizar associações matriciais, facilmente configuráveis pela(s) última(s) camada(s) de metal.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

Capítulo 3

Circuitos para o Controle de Potência Baseados em Transistores NMOS

3.1 INTRODUÇÃO.....	61
3.2 CIRCUITOS PARA O CONTROLE DE POTÊNCIA.....	63
3.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação.....	64
3.2.1.1 Circuitos Zener Baseados Unicamente em Transistores NMOS.....	66
3.2.1.2 Circuitos Retificadores Baseados Unicamente em Transistores NMOS.....	67
3.2.2 Circuitos de Deslocamento de Nível Baseados em Transistores NMOS.....	70
3.2.3.1 Circuitos de Bombeamento de Cargas Capacitivos (<i>Charge Pump</i>).....	74
3.2.3.2 Circuitos de Intensificação de Excitação (<i>Bootstrap</i>).....	79
3.2.4 Fontes de Corrente Baseadas Unicamente em Transistores NMOS.....	85
3.3 IMPLEMENTAÇÃO FÍSICA DE CIRCUITOS NMOS PARA APLICAÇÃO EM CIIP.....	88
3.3.1 Especificações Gerais da Arquitetura de uma Matriz Semidedicada para Aplicações em Potência.....	90
3.3.1.1 Pré-requisitos:.....	91
3.3.1.2 Restrições:.....	91
3.3.1.3 Características Desejadas.....	92
3.3.2 Arquitetura da Planta da Célula Básica de Comutação.....	93
3.3.3 Arquitetura da Matriz de Células Básicas.....	98
3.3.4 Considerações sobre o Desenho das Máscaras.....	99
3.3.4.1 Exemplos de Roterização de Ligações.....	100
3.3.4.2 Planta Final.....	106
3.4 CONCLUSÃO.....	107
3.5 REFERÊNCIAS.....	109

3.1 Introdução

O termo Circuito Integrado Inteligente de Potência - CIIP [3.1] tem sido vulgarmente utilizado para definir circuitos integrados para aplicação em potência que proporcionam uma interface entre uma lógica de controle digital e uma carga de potência, destinada a controlar médias tensões (até muitas dezenas de Volt) e níveis de corrente médios (até uns poucos de Ampère). Por conseguinte, um Circuito Integrado Inteligente de Potência é essencialmente formado por um circuito monolítico que engloba dispositivos de potência, circuitos analógicos e circuitos digitais de elevada densidade e baixa tensão de operação, a fim de obter um aumento de funcionalidade e confiabilidade.

Como visto no Capítulo 2, usualmente, a Integração Inteligente de Potência recorre a complexos processos de fabricação de Circuitos Integrados [3.2], que um grande esforço de investigação tem sido feito no sentido de tornar compatíveis com os processos CMOS [3.3]. Estes processos sofisticados de fabricação [3.4], [3.5], [3.6], [3.7] disponibilizam vários tipos de dispositivos semicondutores, tais como: Transistores de Efeito de Campo N-MOS, P-MOS, HV-NMOS (*High-voltage* NMOS), HV-PMOS (*High-voltage* PMOS), Transistores de Junção Bipolar TJB-NPN, PNP, HV-PNP, HV-NPN, Diodos Zener, Diodos retificadores, IGBTs, Tiristores MOS.

Os dispositivos disponíveis nas tecnologias chamadas “*Smart Power*” [3.8] permitem a concretização das funções de retificação, limitação, retenção, deslocamento de nível, bombeamento de cargas e intensificação da excitação necessárias ao controle de potência, através de circuitos clássicos [3.9], que utilizam dispositivos bipolares, transistores MOS alta tensão, diodos de retificação e diodos Zener, e de circuitos lógicos construídos sobre poços flutuantes.

Observa-se que o recente interesse por soluções monolíticas em aplicações de Eletrônica de Potência tem motivado o desenvolvimento de sofisticadas e dispendiosas tecnologias que permitem fundir, numa mesma pastilha, dispositivos de potência juntamente com circuitos de controle, proteção e amostragem de grandezas físicas, bem como interfaces com microprocessadores, diagnósticos de falhas e monitoramento de processos. Os CIIPs são referidos como capazes de realizar funções complexas de comutação a altas frequências com aumento da funcionalidade e confiabilidade relativamente às soluções discretas, representando um progresso

motivador na área do processamento de potência, o que tem levado os fabricantes a lançar no mercado CIIPs para aplicações específicas, para baixa e média potência, nomeadamente para a indústria automotiva, robótica, telecomunicações portáteis e equipamento médico, áreas em que é necessário grande confiabilidade, aliada a tamanho e peso reduzidos.

O presente trabalho tem como campo de aplicação a concepção e a realização de funções de comutação, excitação, controle, amplificação, amostragem de variáveis físicas e proteção em sistemas monolíticos inteligentes de potência, utilizando apenas Estruturas NMOS, fabricadas recorrendo, inclusive, a processos tecnológicos convencionais de circuitos integrados “VLSI” e dispensa o uso de outros tipo de dispositivo semicondutores freqüentemente utilizada no processamento de sinais de potência [3.10].

As tecnologias CMOS convencionais ficam assim viabilizadas e potencializadas para a Integração Inteligente de Potência de baixo custo e com a facilidade de permitir ainda a prototipagem rápida de CIIPs para aplicações específicas, beneficiando-se da maturidade das tecnologias, das ferramentas de projeto automático (*EDA*), das bibliotecas disponíveis e dos núcleos de funções reutilizáveis.

O mesmo método ou técnica de projeto pode ser utilizado em tecnologias específicas para a Integração de Potência, perspectivando-as para prototipagem rápida, utilizando o transistor isolado disponibilizado pela tecnologia como elemento básico das Estruturas NMOS, constitutivas das Matrizes e Agregados apresentados, facilmente configuráveis pela(s) última(s) camada(s) de metal, para obtenção das topologias e circuitos necessários à funcionalidade exigida.

Em conformidade, neste capítulo é apresentada a descrição de algumas das Topologias dos circuitos propostos, baseados unicamente em Estruturas NMOS e que substituem os circuitos convencionais necessários à excitação dos dispositivos de comutação de potência para o controle de potência já referidos anteriormente: circuitos retificadores e limitadores; circuitos de retenção; circuitos de deslocamento de nível; circuitos de excitação flutuante; circuito de acionamento por bombeamento de cargas e circuito intensificador de excitação.

Apresenta-se, em seguida, a descrição pormenorizada de dois agregados contendo matrizes de transistores de potência [3.11], utilizadas no âmbito deste trabalho, capazes de concretizar os diferentes circuitos de acionamento das células de comutação, verificando deste modo o desempenho dos circuitos desenvolvidos ao longo deste trabalho [3.12]. Os resultados de simulação e resultados experimentais são apresentados no Capítulo 4.

3.2 Circuitos para o Controle de Potência

Para o controle de potência, para além dos dispositivos semicondutores de alta tensão que concretizem as células de comutação, são necessários circuitos, nomeadamente para a excitação dos dispositivos de potência, que realizam tipicamente funções de retificação, retenção, regulação, limitação, deslocamento de nível de tensão, bombeamento de cargas, intensificação de excitação e geração de corrente.

Estes circuitos auxiliares para a construção dos estágios de acionamento dos interruptores exigem estratégias de controle e topologias de circuitos dedicadas a compatibilizar o controle em baixa tensão com os níveis de elevada tensão e corrente, que necessita ser fornecida à carga.

Descrevem-se, a seguir, exemplos de topologias destes circuitos, baseadas em Estruturas NMOS, reivindicadas como inovadoras no contexto apresentado. As Estruturas NMOS utilizam basicamente transistores LDSD descritos na seção 2.6.2, sendo ainda apresentadas soluções de topologias para a concretização dos mesmos circuitos recorrendo a transistores LDMOS [3.13].

A título de clareza, quando a Estrutura NMOS utilizada for baseada em transistores LDSD, esta será representada por um símbolo de quatro terminais cujo terminal de substrato (corpo) do transistor será obrigatoriamente ligado ao substrato da lâmina de silício; se for baseada num transistor LDMOS, o quarto terminal (o de corpo) será obrigatoriamente ligado à fonte do transistor. Se a funcionalidade do circuito for independente do tipo de transistor, a representação do transistor será feita por um símbolo de três terminais e o terminal do corpo do transistor será omitido. Torna-se importante ressaltar que no transistor LDSD, o terminal de corpo tipo P coincide com o substrato da lâmina de silício, enquanto que no transistor LDMOS, o terminal de corpo do transistor (também tipo P) encontra-se interligado à fonte, ficando portanto flutuante, tal como os terminais de dreno e fonte, em relação ao substrato P da lâmina.

3.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação

Aplicações tais como retificação, retenção, regulação e limitação utilizam diodos retificadores ou diodos de Zener semelhantes aos apresentados na Figura 3.1. Nesta dissertação são propostas topologias específicas baseadas em Estruturas NMOS que emulam funções semelhantes às que realizam os díodos, ou seja, tal como estes dispositivos semicondutores, permitem a passagem de corrente em um único sentido, emulando parametricamente a curva característica de um diodo comum sob polarização direta (Figura 3.1 (a)), ou nos dois sentidos emulando o efeito de ruptura Zener sob polarização inversa (Figura 3.1 (b)), ou ainda de uma associação série de diodos, tal como na Figura 3.1 (c).

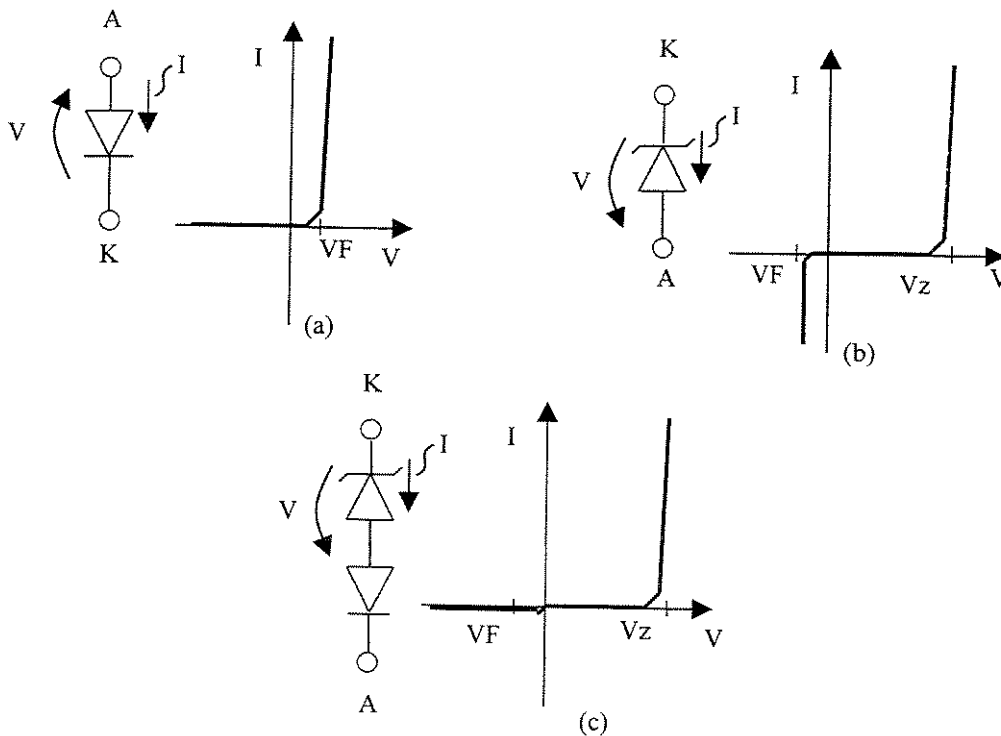


Figura 3.1 – Curvas características $I(V)$ para (a) um diodo retificador, (b) um diodo Zener e (c) um diodo retificador em associação série costa-a-costa com um diodo Zener.

As Estruturas NMOS aqui apresentadas necessitam, na sua grande maioria, de circuitos de Controle (Figura 3.2) para acionamento dos seus transistores NMOS. Os circuitos de controle desenvolvidos contêm dois blocos de circuitos:

- 1) Bloco de controle analógico/digital, referido à massa do circuito, que opera em baixa tensão e utiliza os circuitos e técnicas de controle convencionais; e
- 2) Bloco de saída do circuito de controle, que é um amplificador de ganho G , podendo conter tanto transistores de baixa tensão como de alta tensão, e que é projetado de forma a fornecer os níveis de tensão e corrente adequados à operação do circuito. As Figuras 3.2 (a) e 3.2 (b) apresentam o diagrama de blocos do controle descrito acima.

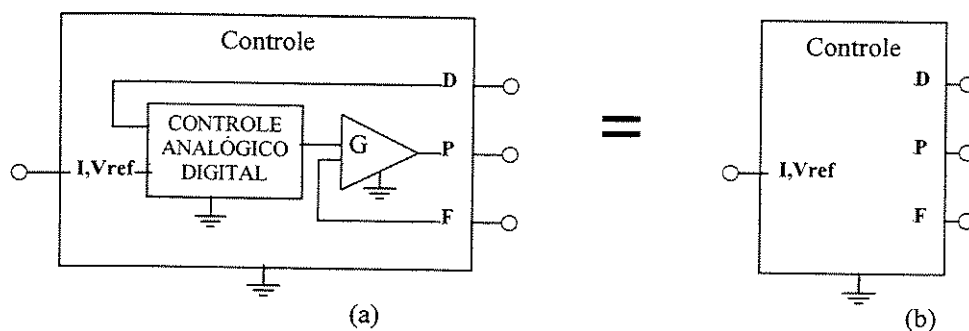


Figura 3.2 – Representação simbólica (a) do bloco de controle analógico/digital e do amplificador de ganho G , e representação simplificada (b) do bloco de controle.

Em muitas topologias de circuitos, os diodos parasitas, intrínsecos à Estrutura NMOS, (junções PN entre eletrodos ou em relação ao substrato), são utilizados para implementar a funcionalidade desejada.

No projeto e uso destas topologias, a polarização correta e os limites físicos da tecnologia de concretização devem ser respeitados no que tange aos valores máximos de tensão e corrente, de modo a evitar a excessiva dissipação de potência nas estruturas, que poderá levar à degeneração do comportamento desejado (impacto sobre a confiabilidade a longo prazo) ou até mesmo à destruição das estruturas. Também, os componentes parasitas, correspondentes a efeitos resistivos, capacitivos e indutivos, assim como, a diodos e transistores, devem ser considerados e modelados para que operem dentro de limites aceitáveis de frequência de trabalho e com respostas adequadas nos regimes transitórios, garantindo assim o comportamento funcional como diodo ou como circuito mais complexo, na aplicação em vista.

3.2.1.1 Circuitos Zener Baseados Unicamente em Transistores NMOS

O circuito Zener realiza funções equivalentes às de um diodo Zener implementado fisicamente através de junções PN. A realização de circuitos Zener consiste em associar os terminais de Dreno (D), Porta (P) e Fonte (F) de uma estrutura NMOS a um circuito auxiliar de controle (c) referenciado à massa (t), utilizando apenas estruturas NMOS, conforme ilustra a Figura 3.3 para a alternativa de concretização baseada em transistores do tipo LDSD (e). O comportamento $I(V)$ deste circuito é semelhante ao da Figura 3.1 (b).

A Figura 3.4 ilustra a segunda alternativa de concretização do circuito que emula um diodo Zener, para o caso em que a Estrutura NMOS é baseada em transistores LDMOS (e). Nestas condições, o funcionamento deste circuito é idêntico ao ilustrado na Figura 3.3, mas o circuito auxiliar de controle (c) é diferente, de forma a considerar as diferenças funcionais de cada tipo de estrutura.

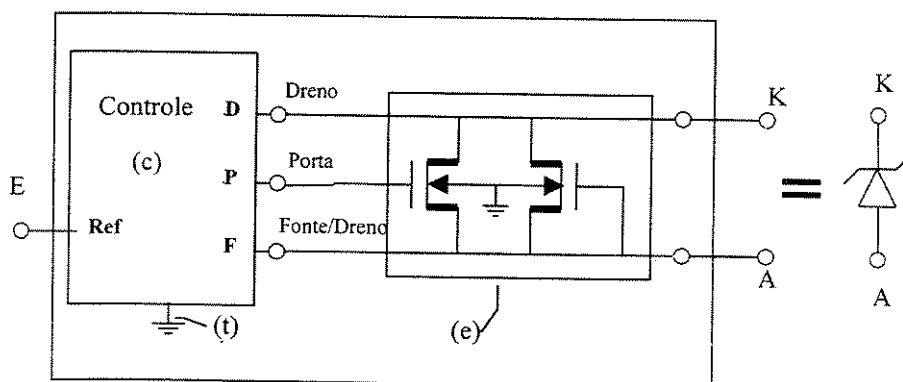


Figura 3.3 – Circuito Zener em estrutura NMOS, constituído por transistores LDSD-NMOS, polarizada de forma a emular o comportamento de um diodo Zener flutuante similar ao da Figura 3.1 (b).

O circuito de controle (c) possui um comportamento programável através da entrada E do circuito de controle, atuando de forma a controlar o valor da tensão entre a Porta e a Fonte do transistor, v_{GS} , limitando o valor da tensão entre o Dreno e a Fonte, v_{DS} , da estrutura NMOS (e) ao valor de tensão Zener desejado. A programação do valor da tensão de ruptura do Circuito Zener é realizada através da aplicação de um sinal analógico ou digital de referência, em tensão ou corrente, Ref, na entrada de referência E do circuito de controle.

O circuito de controle opera monitorando a tensão v_{DS} existente e atua no eletrodo de Porta da estrutura NMOS, aplicando uma tensão v_{GS} conveniente, controlando assim a impedância de

condução do transistor NMOS. Se a tensão v_{DS} ultrapassar o valor programado, o controle atua aumentando a condução deste transistor, de forma a reduzir e manter constante a tensão v_{DS} no valor requerido, através da dissipação de potência do sinal aplicado entre o Dreno e a Fonte, que coincide com a tensão v_{AK} (vide Figura 3.3). Se a tensão v_{DS} assumir um valor menor que o programado, nenhuma potência é dissipada na estrutura NMOS, mas há corrente através do Circuito Zener, necessária à polarização do circuito de controle ligado entre o Dreno e a massa (t), o qual assume um valor mínimo, que irá provocar o respectivo aumento na tensão v_{AK} , no sentido de restaurar o equilíbrio e mantê-la constante.

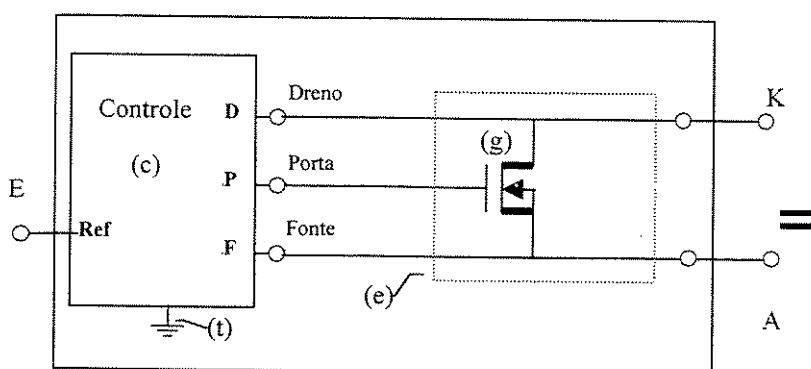


Figura 3.4 – Circuito Zener em estrutura NMOS, constituído por transistores LDMOS, polarizada de forma a emular o comportamento de um diodo Zener flutuante similar ao da Figura 3.1 (b).

O comportamento $I(V)$ de um diodo Zener, semelhante ao mostrado na Figura 3.1 (b), é emulado pelos Circuitos Zener descritos nas Figuras 3.3 e 3.4 através de seus terminais de Anodo (A) e Catodo (K), desde que os transistores das estruturas NMOS (e) sejam dimensionados corretamente.

3.2.1.2 Circuitos Retificadores Baseados Unicamente em Transistores NMOS

O comportamento do diodo retificador (Figura 3.1 (a)) e da associação diodo retificador com diodo Zener (Figura 3.1 (c)), é emulado utilizando-se uma estrutura que contém um bloco amplificador de ganho G em seu respectivo circuito de controle (Figura 3.2 (b)), associado a uma estrutura NMOS (e), conforme mostrado na Figura 3.5, para uma estrutura NMOS baseada em transistores LDSD, e na Figura 3.6, para uma estrutura NMOS baseada em transistores LDMOS, que neste caso utilizam um circuito de controle similar (c).

A estrutura NMOS (e), baseada em transistores do tipo LDSD, deve ser flutuante e operar dentro dos limites das especificações elétricas de operação. Os terminais de Dreno, Porta e Fonte dos transistores nas Estruturas NMOS, configuradas como diodo comum, devem operar sempre com tensões positivas em relação ao terminal da massa (t). O circuito de controle contém um circuito amplificador de ganho G , cuja função é promover a mínima impedância possível na estrutura NMOS, através da aplicação de uma tensão adequada entre a Porta e a Fonte, v_{GS} , controlada pela tensão entre o Anodo equivalente (A') e o Catodo equivalente (K'). Ou seja: quando a tensão em A' for superior à tensão em K' , o circuito opera equivalentemente a um diodo sob polarização direta, apresentando um comportamento $I(V)$ exponencial, com tensão de limiar V_F ; quando a tensão entre A' e K' for negativa, o amplificador G deixa de atuar, “cortando” o transistor, equivalendo ao comportamento de um diodo sob polarização inversa (corrente praticamente nula até que se atinja a “ruptura por avalanche” ou a tensão Zener V_Z).

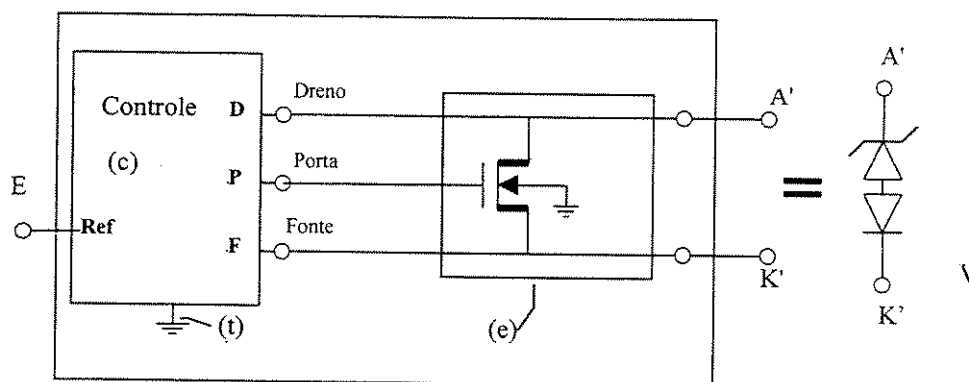


Figura 3.5 – Circuito retificador baseado em estruturas NMOS, constituído por transistores LDSD, de forma a emular o comportamento de uma associação diodo retificador comum com diodo Zener.

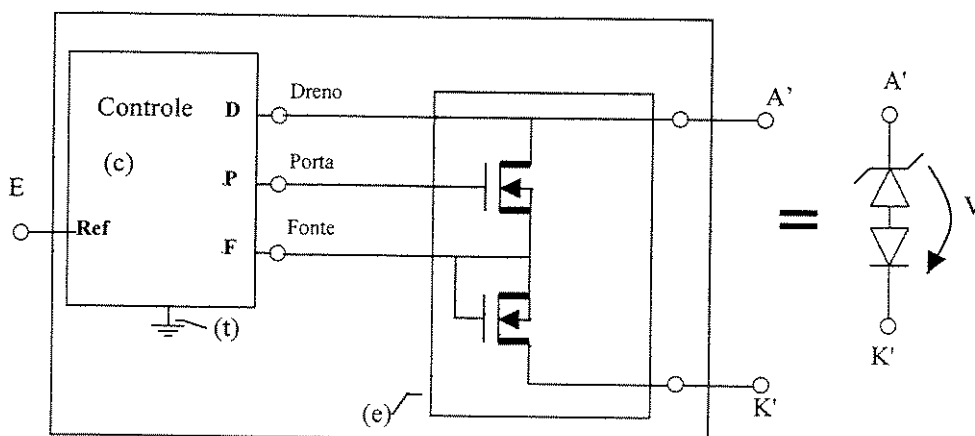


Figura 3.6 - Configuração de uma Estrutura NMOS, constituída por transistores LDMOS, que emula o comportamento de um diodo retificador comum, similar ao representado na Figura 3.1 (c).

Se as estruturas NMOS forem baseadas em transistores do tipo LDMOS, o circuito da Figura 3.5 não permite emular um diodo retificador quando configurado da forma descrita acima. Entretanto, é possível a sua utilização com a função de diodo ligando a Porta do transistor à sua Fonte e ao substrato do dispositivo, como se mostra na Figura 3.6.

Em muitas aplicações em que se pretenda o efeito diodo, o circuito de controle G, que opera em baixa tensão, é dispensado, sendo reduzido a um curto-circuito entre o Dreno e a Porta, no caso de uma estrutura LDSD, ou Dreno e Fonte, para estruturas LDMOS, conforme mostrado nas Figuras 3.7 e 3.8.

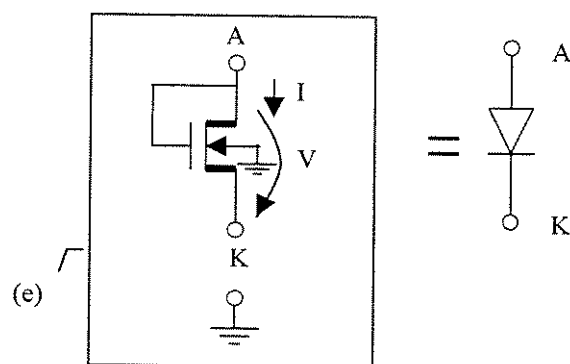


Figura 3.7 - Configuração de uma estrutura NMOS, constituída por transistores LDSD, que emula o comportamento do diodo retificador comum, similar ao representado na Figura 3.1 (a).

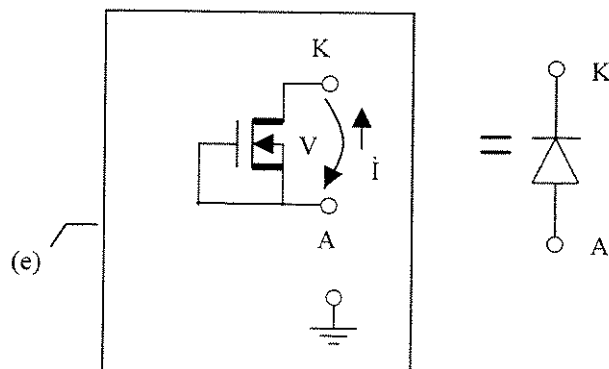


Figura 3.8 - Configuração de uma estrutura NMOS, constituída por transistores LDMOS, que emula o comportamento do diodo retificador comum, similar ao representado na Figura 3.1 (a).

O comportamento de um diodo retificador comum, (Figura 3.1 (a)), ou da associação diodo retificador comum com diodo Zener (Figura 3.1 (c)), é emulado pelos Circuitos Retificadores descritos nas Figuras 3.5, 3.6, 3.7 e 3.8, desde que os transistores das estruturas (e) sejam dimensionados corretamente.

3.2.2 Circuitos de Deslocamento de Nível Baseados em Transistores NMOS

Os circuitos deslocadores de nível tradicionalmente utilizados em sistemas inteligentes de potência, tal como o circuito apresentado como exemplo na Figura 3.9 [3.1], utilizam transistores de alta tensão NMOS ou NPN, para realizar o caminho de baixa impedância entre a saída S e o terminal da massa GND, e transistores de alta tensão PMOS ou PNP, para realizar o caminho de baixa impedância entre a saída S e o terminal de tensão mais elevada HV.

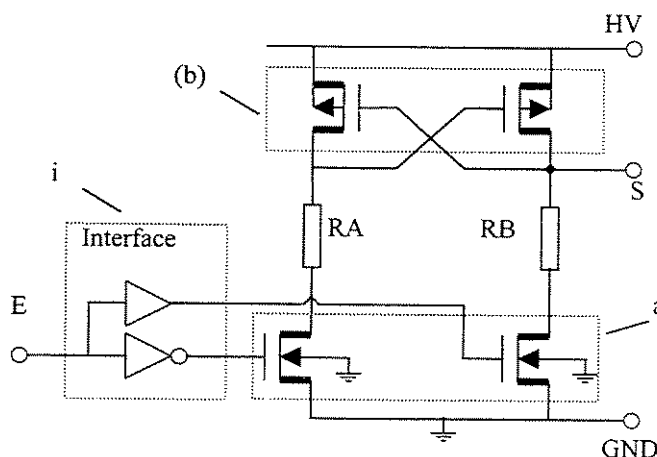


Figura 3.9 - Circuito deslocador de nível clássico, que utiliza transistores *high side* de alta tensão do tipo PMOS (ou PNP Bipolar).

Os caminhos de baixa impedância em direção à massa ou à fonte de alta tensão HV são ativados de forma alternada, ou seja, somente um destes caminhos pode ter baixa impedância no mesmo instante. O sinal de controle aplicado na entrada E opera em baixa tensão, com níveis lógicos “0” e “1”, fazendo a seleção do caminho de baixa impedância a ser ativado. O circuito apresentado na Figura 3.9 tem um comportamento inversor: quando o sinal de controle E está no nível lógico “0”, a saída S tem o caminho de baixa impedância para HV ativado, ao passo que quando o nível lógico na entrada for “1”, a saída S tem o caminho de baixa impedância para GND ativado. Nos circuitos deslocadores de nível convencionais [3.15] existe, normalmente, um

circuito de interface (i), construído com transistores de baixa tensão, como adaptador entre o sinal de controle E e a Porta dos transistores de alta tensão (a).

Os circuitos desenvolvidos neste trabalho apresentam a funcionalidade de um deslocador de nível, utilizando apenas Estruturas NMOS para realizar os dois caminhos de baixa impedância, tal como se ilustra nas Figuras 3.10 e 3.11.

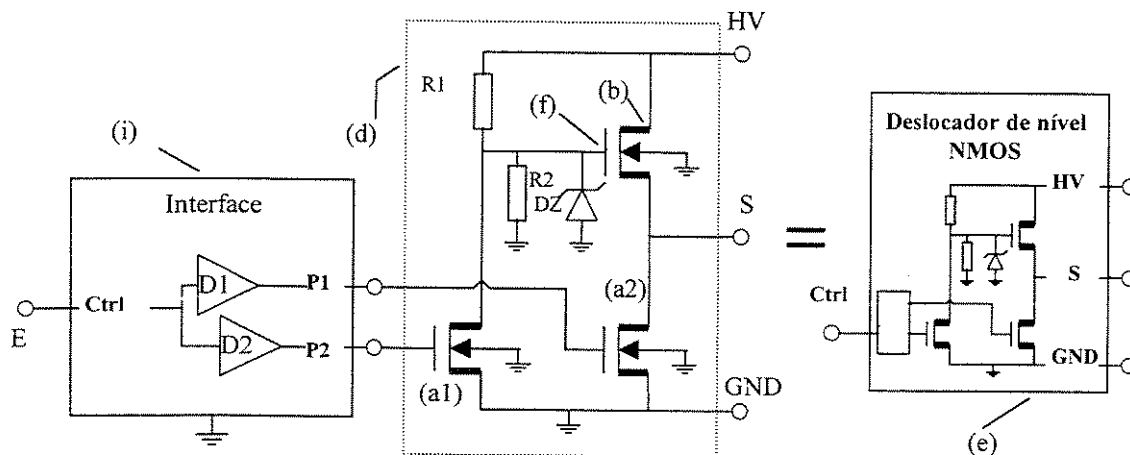


Figura 3.10 - Circuito deslocador de nível utilizando apenas transistores LDSD, que dispensa o uso de transistores PMOS (ou PNP bipolar) de alta tensão na posição *high side*.

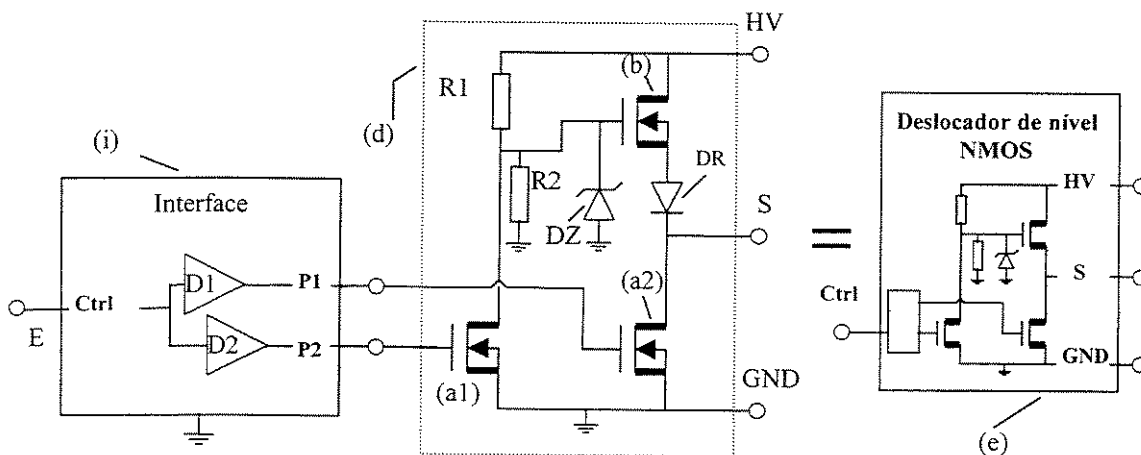


Figura 3.11 - Circuito deslocador de nível utilizando somente transistores LDMOS. Nota-se a adição do elemento DR quando comparado com a topologia da Figura 3.10.

Estes circuitos contêm transistores NMOS (a1), (a2) e (b), resistores R1 e R2, um diodo Zener, DZ, e um diodo retificador comum, DR. Os elementos R2 ou DZ ou DR, ou um conjunto

formado por estes componentes, podem ser suprimidos em certas configurações, dando origem a algumas variantes destes circuitos com a mesma função, e adequadas a aplicações específicas.

Cabe ressaltar que os diodos retificadores e os diodos Zener apresentados nas topologias a serem descritas em seguida podem ser discretos, integrados ou derivados de Estruturas NMOS, conforme apresentado na seção 3.2.1.

O sinal de controle E atua sobre os circuitos de interface de corrente, promovendo a excitação dos transistores de alta tensão da estrutura NMOS (a). Os valores dos atrasos relativos, capacidade de corrente e níveis tensão da saída do circuito de Interface (i) são especificados em cada projeto, de acordo com a aplicação.

A operação do circuito da Figura 3.10, na configuração em que o elemento DZ é suprimido, é descrita a seguir. Quando o sinal de controle E está no nível lógico “1”, os transistores (a1) e (a2) estão em condução e o transistor (b) está no corte, pois a tensão na sua Porta (f) está praticamente ao potencial da massa. O caminho de baixa impedância de S para a massa é realizado através de (a2). Quando o sinal de controle E está no nível lógico “0”, os transistores (a1) e (a2) passam para um estado de alta impedância e a Porta (f) do transistor (b) passa a ser referida ao menor valor das tensões $HV \times R2 / (R1 + R2)$ ou V_Z . O transistor (b) forma, assim, um caminho de baixa impedância entre o terminal HV e o terminal de saída S do circuito. Isto se verifica para tensões de saída S menores que $HV \times R2 / (R1 + R2) - V_{GS(b)}$. Para o caso específico de exclusão simultânea da resistência R2 e de DZ, o valor final da tensão de saída S passa a ser definido pela relação $HV - V_{GS(b)}$. O valor da tensão de saída S em ambas as condições acima descritas será, em última análise, dependente da tensão de alimentação HV. Isto se verifica para tensões de saída S menores que $HV \times R2 / (R1 + R2) - V_T(b)$ ou $V_Z - V_T(b)$, em que $V_T(b)$ é a tensão limiar de condução entre a Porta e a Fonte do transistor (b).

A seguir é descrita a operação do circuito da Figura 3.10 na configuração em que apenas o elemento R2 é suprimido, mantendo-se DZ. Ao ligar o Catodo de um diodo Zener ou de um circuito Zener, representado por DZ na Figura 3.10, à Porta (f) do transistor (b) e o respectivo Anodo à massa, o circuito opera de forma similar ao descrito acima, porém o valor final da tensão na saída S será limitado pela relação $V_Z - V_T(b)$ e é independente do valor da tensão de

alimentação HV, evidentemente para valores de HV superiores a $V_Z + V_{T(b)}$. Escolhendo-se o valor de V_Z , pode-se compensar a perda de tensão descrita no parágrafo anterior. As topologias de circuito acima descritas podem ser realizadas ou com transistores NMOS de alta tensão do tipo LDSD, como mostra a Figura 3.10, ou do tipo LDMOS, como é representado na Figura 3.11.

Apesar destes dois circuitos possuírem um valor de tensão final na saída S um pouco menor que os circuitos convencionais realizados com transistores PMOS ou PNP na posição *high side* (Figura 3.9), eles podem ainda assim ser utilizados na grande maioria das aplicações que requeiram um circuito deslocador de nível. A possibilidade de programação da tensão de saída S destas topologias, como explicado acima através das relações de tensões, apresenta-se como uma vantagem em relação à topologia tradicional da Figura 3.9.

Os deslocadores de nível construídos com transistores LDMOS contêm, adicionalmente, o diodo DR na sua topologia. A inclusão deste elemento é necessária para que ambas as topologias apresentadas nas Figuras 3.10 e 3.11 tenham a mesma funcionalidade, permitindo a existência de tensões superiores à tensão HV no terminal S, quando o transistor (a2) estiver cortado.

Os circuitos das Figuras 3.10 e 3.11 podem também operar como um deslocador do nível DC redutor de tensão, como mostrado na Figura 3.12. Por exemplo, se o sinal de controle E for permanentemente conectado à massa, o valor da tensão no terminal S será limitado ao valor programado no diodo Zener ou proporcional a HV, conforme apresentado anteriormente.

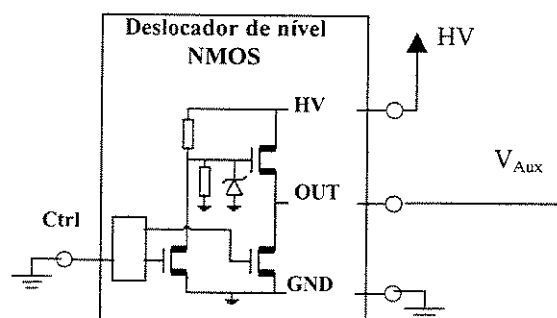


Figura 3.12 - Circuito deslocador de nível configurado para operar como fonte de tensão DC auxiliar, derivada de HV.

Nesta configuração, o circuito opera como uma fonte auxiliar de tensão DC, derivada da tensão HV. Esta configuração pode ser utilizada para alimentar circuitos do tipo do circuito de bombeamento de cargas (*charge pump*) e dos circuitos intensificadores de tensão (*bootstrap*), como será visto mais adiante.

3.2.3 Circuitos de Excitação Baseados em Transistores NMOS

Muitas aplicações de potência são baseadas em topologias de circuitos para conversão de potência ou para amplificação, obtidas através das associações de dispositivos semicondutores de potência, utilizados como interruptores, em configuração de ponte completa ou meia-ponte, ou como um dispositivo ativo conectado a um diodo roda livre ou amortecedor (*free-wheeling diode*).

Os circuitos de excitação requeridos para estas aplicações devem ser de dois tipos: referidos à massa para a excitação de dispositivos em configuração *low side* e flutuantes para a excitação de dispositivos isolados, em configuração *high side*. Os circuitos de excitação flutuantes são os que requerem mais cuidados no projeto e podem ser concretizados à custa de circuitos capacitivos, de bombeamento de cargas ou de intensificação de tensão, como os que se descrevem a seguir.

3.2.3.1 Circuitos de Bombeamento de Cargas Capacitivos (*Charge Pump*)

O princípio de funcionamento dos circuitos de bombeamento de cargas capacitivos é exemplificado nas Figuras 3.13 e 3.14 [3.13]. O circuito fundamental desta configuração, mostrado na Figura 3.13 (a), contém pelo menos dois diodos retificadores comuns, dois capacitores e um circuito de interface LS (deslocador de nível - *Level Shifter*), semelhante ao circuito da Figura 3.12, alimentados por uma fonte de tensão auxiliar V_{AUX} (g). O sinal de entrada Rel (b) na entrada da interface LS provém de um oscilador (a), que tipicamente gera uma onda quadrada periódica com amplitude compatível com os níveis digitais padrão (0 – 5 V). A amplitude de pico a pico do sinal de saída (c) do circuito de interface LS será menor ou igual a V_{AUX} , sendo definido pelo dimensionamento do circuito e pelas características da Estrutura NMOS utilizada. O capacitor C_{Tq} pode ser ligado entre os terminais da associação de diodos retificadores (d) e (e), cuja conexão está representada por linha pontilhada nas Figuras 3.13a e 3.14, ou entre a saída (e) e o terminal GND (f), dependendo da aplicação.

O circuito da Figura 3.13 (a) opera a uma frequência imposta pelo sinal de relógio Rel (b). No semi-ciclo positivo de Rel (nível lógico "1"), ocorre a carga do capacitor C_{Bb} através de D1 com uma determinada carga elétrica Q_{CBb} , estando a tensão na saída (c) da interface LS referida ao terminal GND (f), através do caminho de baixa impedância criado internamente em LS. A energia armazenada no capacitor provém da fonte V_{Aux} (g). No final deste semi-ciclo, haverá uma tensão aos terminais de C_{Bb} com valor máximo igual a V_{Aux} , correspondendo à carga Q_{CBb} armazenada. No semi-ciclo negativo de Rel (nível lógico "0"), a saída (c) da interface LS assume um valor mais próximo de V_{Aux} (limitado pelo valor máximo de saída da interface LS). Neste intervalo de tempo, ocorre a transferência de parte da carga Q_{CBb} para C_{Tq} através de D2. A cada ciclo de relógio, a tensão V_G em C_{Tq} aumenta em função da carga elétrica nele armazenada seguidamente pelo processo de bombeamento.

A Figura 3.13 apresenta a resposta transitória de um circuito que utiliza componentes ideais, i.e., interface LS com tensão de saturação nula e diodos retificadores ideais. Neste caso, após alguns ciclos de bombeamento, a tensão existente nos terminais de C_{Tq} , V_G , tende para o valor $2V_{Aux}$. Este tipo de circuito é conhecido como circuito duplicador de tensão e é muito utilizado em diversas aplicações.

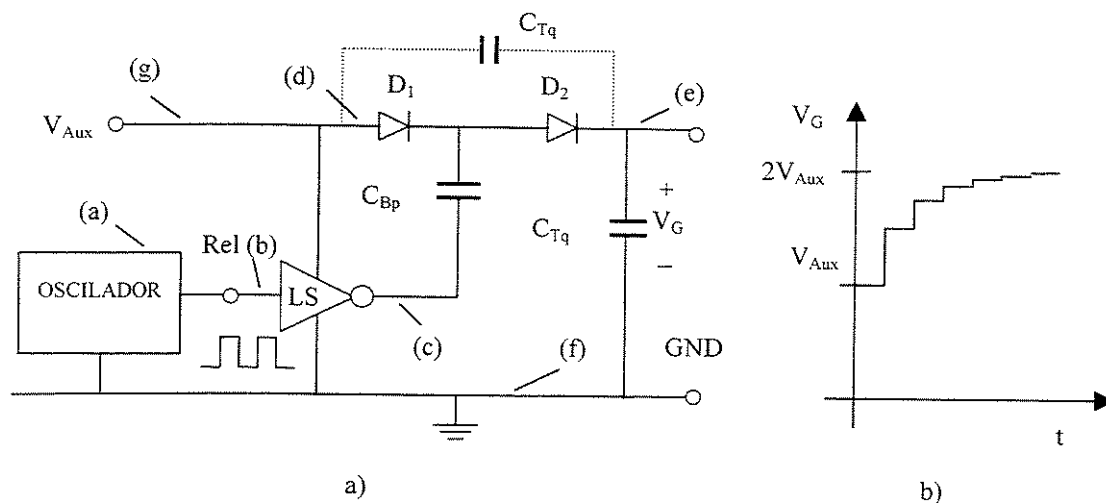


Figura 3.13 - Circuito típico de bombeamento de cargas capacitivo (a) com função de duplicador de tensão e (b) forma de onda da tensão V_G sobre o capacitor C_{Tq} em função do tempo.

Para se projetar um circuito de bombeamento de cargas de forma precisa, é necessário considerar o valor da tensão de saturação dos transistores NMOS (a2) e (b) da interface LS (vide Figuras 3.10 e 3.11), a queda de tensão nos diodos retificadores, a perda de carga dos capacitores,

e as perdas ôhmicas nas ligações entre os componentes. Normalmente, o circuito de interface LS é alimentado com uma fonte auxiliar $V_{Aux}(g)$ derivada da fonte de alta tensão HV e fornece o valor de tensão adequado para a interface LS promover a variação do sinal na sua saída (e), de forma a realizar a carga em C_{Tq} da maneira mais rápida e eficiente.

Os circuitos de interface LS implementados com dispositivos de alta tensão como mostrado nas Figuras 3.10 e 3.11, podem ser alimentados diretamente pela fonte de alta tensão HV ou por uma fonte auxiliar V_{Aux} , como mostrado na Figura 3.12, derivada de HV. Tais circuitos possuem uma maior variação das amplitudes pico-a-pico presentes na saída (c) da interface LS exigindo, por isso, valores de capacidade menores, em comparação com um circuito construído com células lógicas CMOS de baixa tensão. Nestes circuitos, os dispositivos semicondutores podem ser projetados de tal modo que a tensão de saturação da interface LS possa atender à especificação da tensão final de saída V_G do circuito de bombeamento de cargas.

Circuitos contendo múltiplos estágios de bombeamento, construídos utilizando o princípio acima descrito, exibem um valor final da tensão V_G que será, idealmente, igual ao valor do número de estágios multiplicado por V_{Aux} . Estes circuitos são vulgarmente chamados multiplicadores de tensão. A Figura 3.14 apresenta um circuito triplicador de tensão. Quando comparado com o circuito da Figura 3.13 (a), este circuito contém um estágio adicional, composto por um circuito de interface deslocador de nível LS (h), um diodo D3 e um capacitor adicional C_{Bb2} , funcionando de modo similar ao duplicador. Considerando um circuito construído com componentes ideais, o valor final de V_G é $3xV_{Aux}$. Com componentes reais, V_G será um pouco menor, devido às perdas anteriormente citadas.

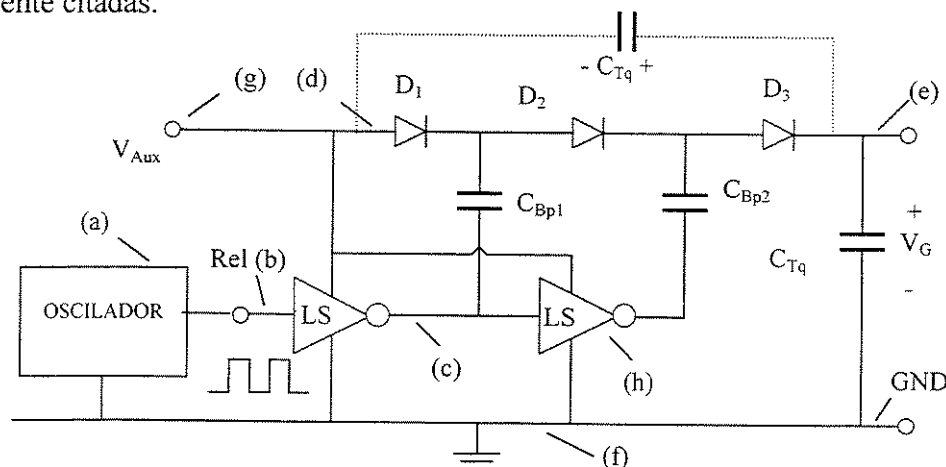


Figura 3.14 - Circuito típico de bombeamento de cargas capacitivo com função de triplicador de tensão.

Os circuitos das Figuras 3.13a e 3.14 foram utilizados para descrever o princípio de funcionamento dos circuitos de bombeamento de cargas capacitivos. Uma aplicação típica é o circuito de bombeamento de carga configurado como uma fonte de tensão flutuante. Para tal, o Anodo do diodo D1 é desligado de V_{Aux} e torna-se o pólo (-) da fonte flutuante FPS (acrônimo em inglês de *Floating Power Supply*), ao passo que o Catodo D2 da Figura 3.13 (a), ou o Catodo de D3 da Figura 3.14, torna-se o pólo (+). O capacitor C_{Tq} pode estar ligado nos terminais (d) e (e), pólo (-) e pólo (+) da fonte, respectivamente, ou entre os terminais (e) e o terminal da massa (f). Este tipo de circuito é freqüentemente utilizado para gerar uma tensão acima da tensão de alimentação do circuito de alta tensão e para alimentar as fontes de corrente que são utilizadas para injetar corrente nos eletrodos de Porta dos transistores NMOS de potência, configurados como Interruptores isolados (*high side*) ou interruptores referenciados à massa (*low side*), como será abordado na seção 3.2.4.

As Figuras 3.15, 3.16 e 3.17 apresentam algumas das topologias adicionalmente desenvolvidas neste trabalho que atuam como fonte de tensão flutuante e utilizam somente Estruturas NMOS. Os diodos retificadores e diodos Zener, bem como os circuitos deslocadores de nível existentes nestes circuitos, podem ser construídos com Estruturas NMOS contendo transistores LDSO ou LDMOS, conforme descrito nas seções anteriores. Os capacitores podem ser integrados ou não. Identifica-se a existência de uma estrutura elementar, tal como mostrada na Figura 3.18, e a partir dela podem ser facilmente obtidas as topologias dos circuitos de bombeamento de cargas mostrados nas Figuras 3.15, 3.16 e 3.17, mediante a conexão conveniente dos terminais de controle, alimentação e dos eletrodos A e B.

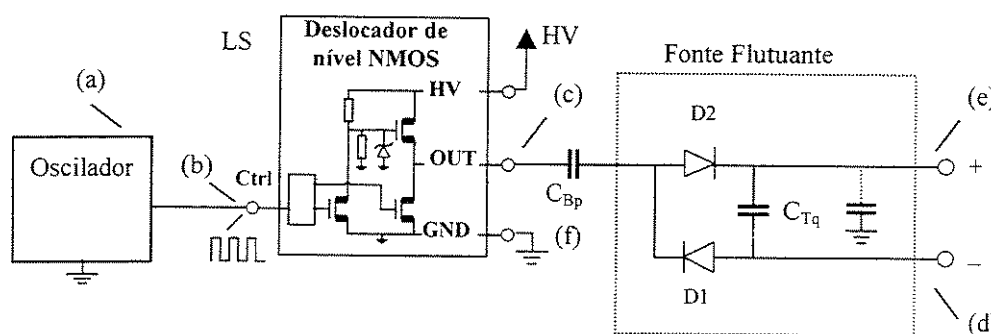


Figura 3.15 – Implementação de um circuito de bombeamento de cargas capacitivo funcionando como fonte de tensão flutuante (FPS) duplicadora de tensão.

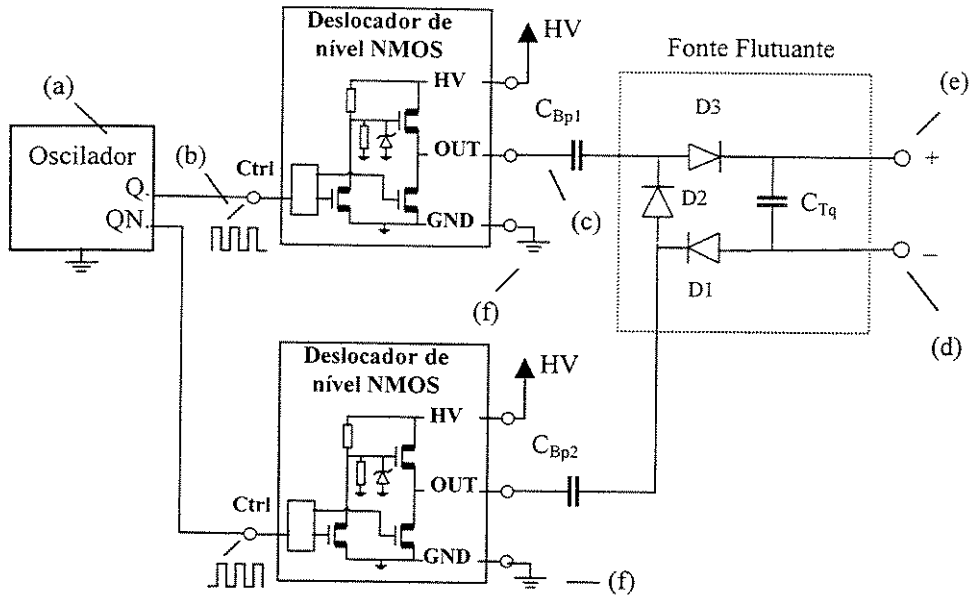


Figura 3.16 – Implementação de um circuito de bombeamento de cargas capacitivo funcionando como fonte de tensão flutuante (FPS) triplicadora de tensão: QN é a inversão lógica de Q .

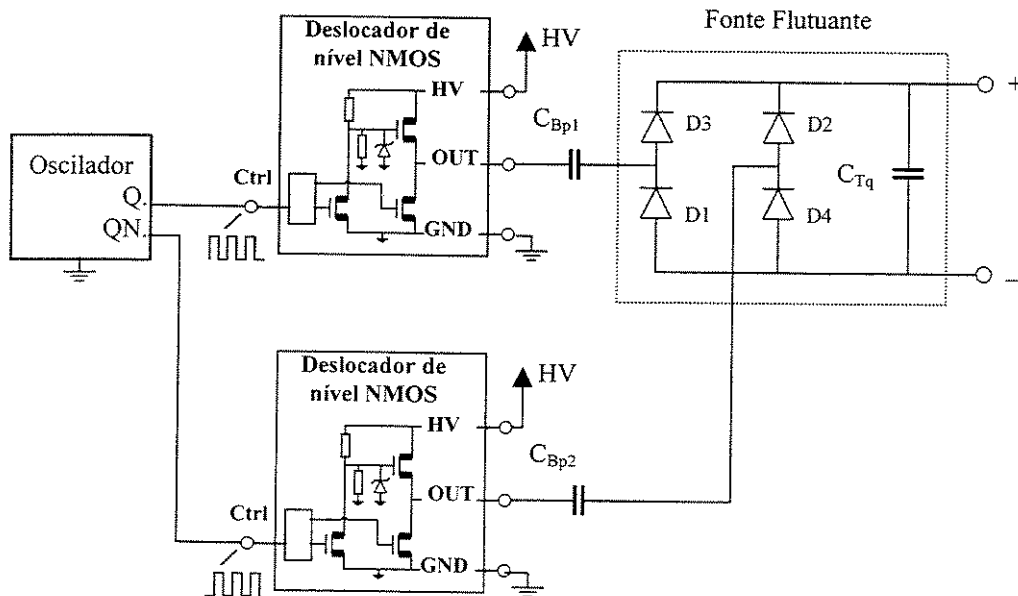


Figura 3.17 – Circuito de bombeamento de cargas capacitivo funcionando como fonte flutuante, implementada como uma ponte de diodos retificadores na saída.

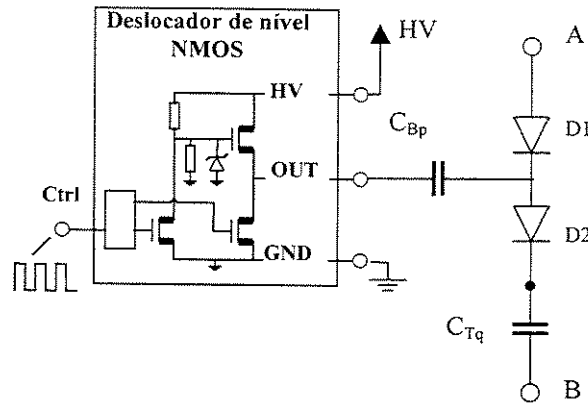


Figura 3.18 – Circuito elementar a partir do qual se pode construir as topologias de circuito baseado em bombeamento de cargas capacitivo.

3.2.3.2 Circuitos de Intensificação de Excitação (*Bootstrap*)

A Figura 3.19 (a) mostra o esquema elétrico típico de um Circuito Capacitivo Intensificador de Excitação apresentado na literatura [3.13]. Este circuito é constituído tipicamente por um capacitor C_{Boot} , circuitos de interface BH e BL (*Buffer High side* e *Buffer Low side*, respectivamente), um resistor R_{Boot} , dois transistores de potência, MH e ML em configuração *high side* e *low side*, respectivamente, um circuito de controle e um transistor de controle MC.

O seu funcionamento [3.15] baseia-se no armazenamento de carga elétrica no capacitor C_{Boot} , de modo a manter uma tensão adequada em seus terminais, permitindo uma alimentação flutuante do circuito BH, que serve como circuito de excitação do transistor NMOS de potência MH, controlando o seu estado de condução. O Dreno do transistor MC e um dos terminais de R_{Boot} estão ligados à entrada da interface BH e formam um circuito deslocador de nível. O terminal (-) da fonte de alimentação flutuante formada pelo capacitor C_{Boot} está ligado ao terminal da Fonte (V_{out}) do transistor MH. A tensão de alimentação V_{Aux} é normalmente superior à tensão de alimentação do circuito lógico (tipicamente 5 V) e pode ser menor que a tensão da fonte de alimentação de alta tensão, HV, que alimenta o estágio de saída, constituído pelo par de transistores de potência MH e ML. O valor de V_{Aux} pode ser gerado a partir da fonte de alimentação de alta tensão, como descrito na seção 3.2.2, e deve estar de acordo com o valor de tensão que se pretende aplicar em V_{GS} do transistor MH para promover sua condução plena.

O circuito capacitivo intensificador de excitação é normalmente utilizado em aplicações onde o sinal de controle Ctrl é periódico, com sua frequência de operação bem definida e constante. Para

descrever o funcionamento deste circuito, considera-se um período do sinal de controle Ctrl, dividido em três fases distintas, e para cada fase será descrito o estado do circuito conforme mostra a Figura 3.19(b):

UNICAMP

BIBLIOTECA CENTRAL

SEÇÃO CIRCULANTE

Fase 1: Carga do capacitor C_{Boot}

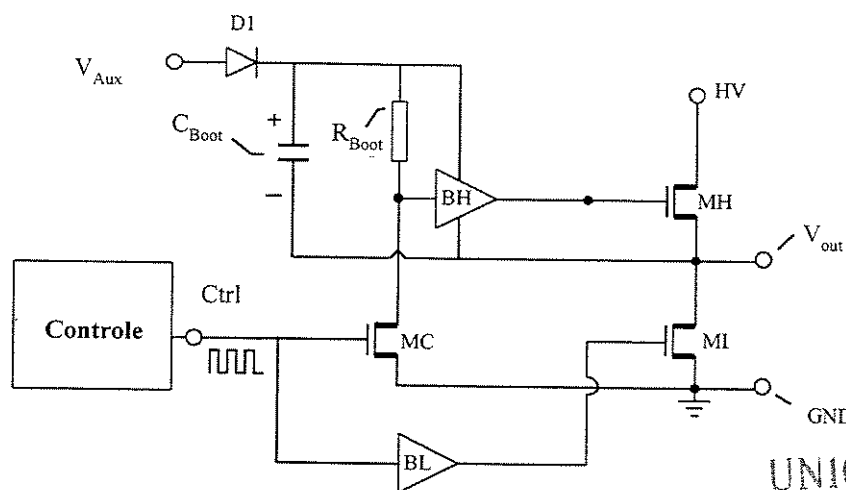
Nesta fase, o sinal de controle Ctrl está em nível alto, promovendo a condução de MC e ML. Durante esta fase, C_{Boot} é carregado com aproximadamente o valor da tensão em V_{Aux} , através do diodo D1. Enquanto ML estiver conduzindo, a interface BH mantém o transistor MH desligado, sendo que ML forma um caminho de baixa impedância de V_{out} para a massa do circuito, permitindo a carga de C_{Boot} ;

Fase 2: Início da ação de intensificação da tensão

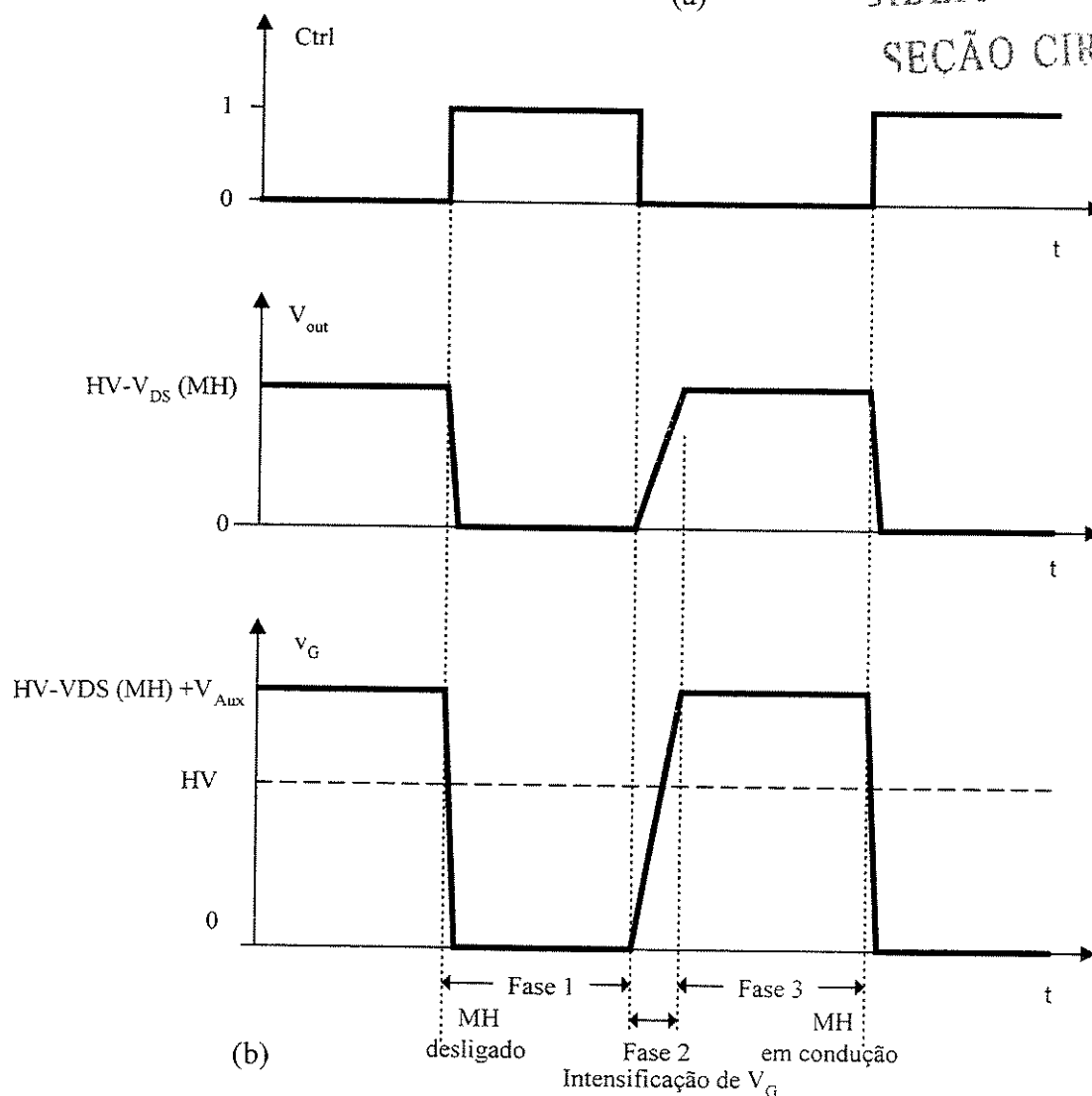
Esta fase é caracterizada pela mudança de estado imposta pelo sinal de controle Ctrl, que muda do nível lógico "1" para o nível "0". Neste instante, o transistor ML é desligado e o sinal na entrada da interface BH fica ao potencial do terminal (+) de C_{Boot} e, por consequência, o sinal de saída V_G da Interface BH fica referido a esta tensão, levando o transistor MH ao estado de condução. A tensão V_{out} aumenta em função da corrente que circula na carga até atingir o valor final de $HV - V_{DS(MH)}$. A tensão nos terminais do capacitor C_{Boot} mantém-se praticamente constante durante o tempo de condução de MH e o valor da tensão na Porta de MH (V_G) atinge o valor de aproximadamente $HV - V_{DS(MH)} + V_{Aux}$. Neste intervalo, o diodo D1 fica inversamente polarizado e isola a fonte de alimentação V_{Aux} ;

Fase 3 Excitação de MH

Segue-se a fase em que o transistor MH entra em condução. Enquanto MH está na fase de condução, C_{Boot} descarrega-se através das correntes de fuga do circuito e através da energia fornecida para o circuito de excitação de MH. A duração máxima desta fase é determinada pelo tempo durante o qual o capacitor C_{Boot} consegue manter uma tensão adequada à alimentação da interface BH, que por sua vez mantém a tensão na Porta de MH, permitindo que este se mantenha em condução. Observe-se que a descarga do capacitor C_{Boot} é devido à transferência de carga para a Porta de MH e às perdas devidas aos elementos dissipativos parasitas. Normalmente o dimensionamento de C_{Boot} é feito de modo a permitir que a sua tensão se reduza no máximo de 10% durante o ciclo de trabalho.



(a)



(b)

Figura 3.19 – (a) Circuito típico intensificador de tensão; (b) diagramas temporais das tensões de controle, de saída e de Porta durante o transitório de *turn-ON* e *turn-OFF* de MH

O circuito apresentado na Figura 3.19(a) é adequado para aplicações onde a frequência de operação é bem definida, pois é necessário definir o valor adequado de C_{Boot} para cada circuito e a respectiva frequência de operação. Tal técnica tem a vantagem de ser simples, permitindo comutar MH em alta frequência utilizando um reduzido número de componentes de alta tensão. Entretanto quando implementada, é limitada a um reduzido número de aplicações, pois pode existir uma situação indesejável onde tanto ML como MH estejam conduzindo durante o mesmo intervalo de tempo. Entretanto, quando implementada com um circuito de controle mais elaborado, pode-se evitar a condução simultânea de MH e ML, sendo tal situação a mais utilizada para comutar transistores associados em configurações de ponte e meia-ponte *high side* [3.13].

A Figura 3.20 apresenta a implementação prática da topologia mostrada na Figura 3.19, que utiliza apenas transistores NMOS. O bloco deslocador de nível NMOS, descrito em detalhes na seção 3.2.2, apresenta a funcionalidade exigida à interface BH (Figura 3.19 (a)). O circuito de Controle do intensificador de excitação das Figuras 3.19 (a) e 3.20 podem ser programados para promover os atrasos adequados à excitação de MH em relação à excitação de ML, para evitar a condução simultânea destes transistores. O diodo D1 pode ser implementado como descrito na seção 3.1.2 ou através de junção PN, em processos onde haja diodos que suportem alta tensão.

A Figura 3.21 (a) apresenta uma outra topologia para a realização de um circuito capacitivo intensificador de excitação, para controlar apenas a condução do transistor NMOS de potência MH, em topologia meia-ponte *high side*. A implementação deste circuito requer um capacitor C_{Boot} , um resistor R_{Boot} e duas interfaces deslocadoras de nível LS1 e LS2, como por exemplo os deslocadores de nível descritos anteriormente na seção 3.2.2. Para esta aplicação a interface LS1 é programada para atingir a tensão final de V_{Aux} , valor que deve ser aplicado em V_{GS} (f) do transistor MH (e) para sua plena condução.

A interface LS2 é programada para que a sua tensão de saída varie até um valor o mais próximo possível da alta tensão HV(g), que alimenta tanto o Dreno de MH como as interfaces LS1 e LS2. A Figura 3.21 (b) apresenta o diagrama temporal de formas de onda dos sinais de controle A e A' (entradas dos deslocadores de nível) e da tensão da Porta (V_G) de MH, durante um ciclo de trabalho (*turn-ON* e *turn-OFF*) da chave MH. Para efeito de análise, o ciclo foi dividido em três fases:

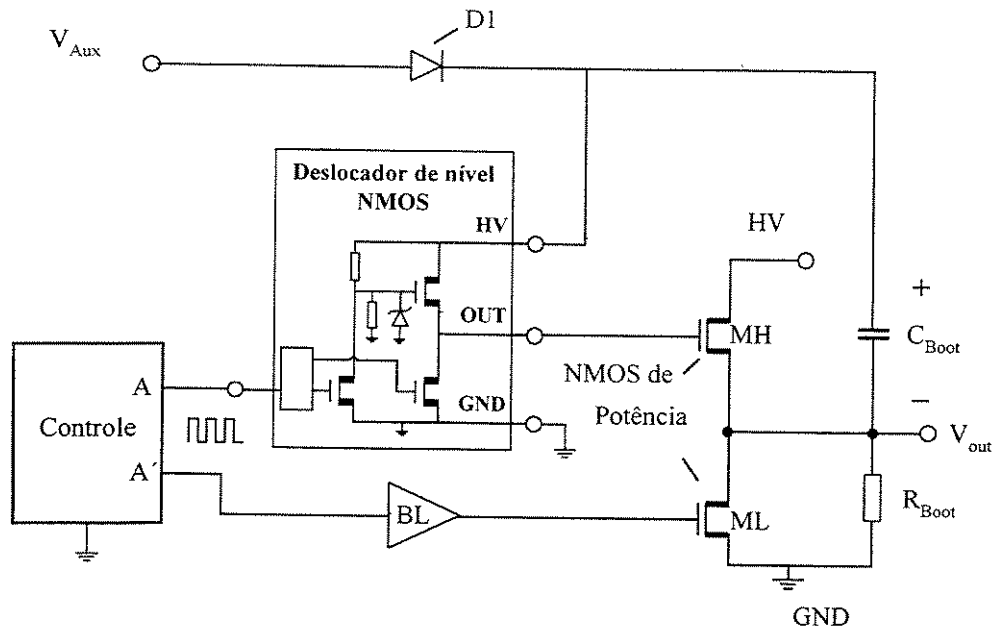


Figura 3.20 – Circuito Intensificador de Excitação Capacitivo Clássico Baseado em estruturas NMOS

Fase 1: MH desligado

Na Fase 1, o transistor MH está desligado. Os sinais A e A' nas entradas das interfaces LS1 e LS2 estão simultaneamente no nível "1", forçando as suas saídas ao potencial da massa. A tensão entre a Porta e a Fonte de MH, $V_{GS}(MH)$, é praticamente nula e não há corrente circulando na carga Z_{Carga} .

Fase 2: Carga de C_{Boot} e intensificação de V_G

Na Fase 2, há dois intervalos distintos. O primeiro intervalo é o da carga do capacitor C_{Boot} . Isto ocorre logo após a transição do sinal de controle A do nível "1" para o nível "0". Neste estado, a saída da interface LS1 fornece corrente para a carga do capacitor C_{Boot} até o nível de tensão programada em LS1 (V_{Aux}), como descrito na seção 3.2.2 Simultaneamente, a capacitância parasita existente na Porta do transistor MH também é carregada através da saída da interface LS1. Enquanto isso, o sinal A' deve permanecer em nível lógico "1" durante um intervalo Δt suficiente para que se realize a carga de C_{Boot} através de LS1 (agindo como Fonte de alimentação) e LS2 (agindo como massa) até atingir o valor de tensão desejado V_{Aux} , promovendo assim a condução de MH. Após o intervalo Δt , o sinal A' comuta do nível "1" para o nível "0", iniciando assim o segundo intervalo desta fase, que é caracterizado pela ação de intensificação da tensão de V_G . O terminal (-) de C_{Boot} passa a ser referido ao potencial existente na Fonte do transistor MH através do resistor R_{Boot} . Deste modo, a tensão V_{GS} (MH) será praticamente a mesma que a tensão existente em C_{Boot} , e a Fonte HV passa a fornecer a máxima corrente à carga Z_{Carga} através do transistor MH;

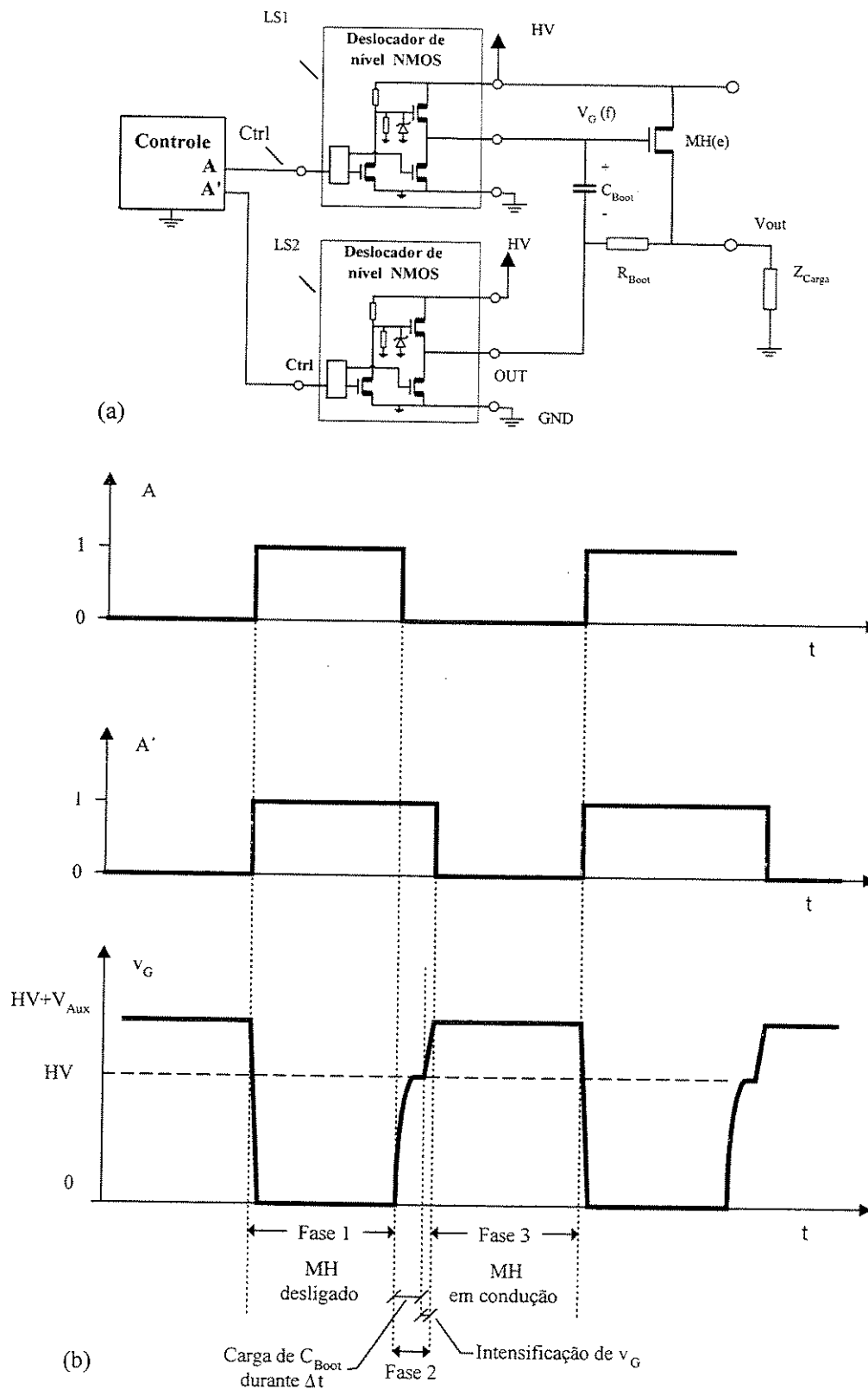


Figura 3.21 - (a) Circuito capacitivo intensificador de tensão para dispositivos de potência em *high side* e (b) formas de onda das tensões de controle e de Porta, durante os transitórios de *turn-ON* e *turn-OFF*.

Fase 3: MH plenamente ligado

A Fase 3 de operação deste circuito é caracterizada pela permanência dos sinais A e A' em nível lógico "0", após a tensão V_G atingir o seu valor final de aproximadamente $HV + V_{Aux}$, como mostrado na Figura 3.21 (b). Esta fase dura até o momento em que os sinais de controle A e A' passam simultaneamente do nível lógico "0" para o nível lógico "1", promovendo a descarga do capacitor C_{Boot} e levando o transistor MH ao corte, o que caracteriza o início de um novo ciclo. Observe-se que o estágio de saída dos circuitos deslocadores de nível LS1 e LS2 utilizados é realizado com transistores NMOS, que permitem que as tensões de saída atinjam um valor acima da tensão de alimentação HV das interfaces.

Ao circuito da Figura 3.21 (a) pode ser acrescentado um transistor ML, ligado entre a Fonte de MH e a massa GND, numa configuração *low side*, controlado diretamente pelo circuito de controle BL, tal como no circuito da Figura 3.20, de forma a completar o circuito para a topologia meia-ponte *push-pull*. Este tipo de circuito é adequado de ser utilizado onde a tensão HV varia de valores entre 0 Volt a HV, como é o caso de conversores DC-DC do tipo *Boost*.

3.2.4 Fontes de Corrente Baseadas Unicamente em Transistores NMOS

As fontes de corrente são freqüentemente utilizadas nas interfaces de acionamento de transistores de potência, com o intuito de controlar a carga e descarga do capacitor equivalente da entrada destes transistores, C_{GS} [3.15]. Os circuitos que utilizam fontes de corrente como forma de controlar a injeção e drenagem da corrente em C_{GS} , tanto para a condução como para o corte do transistor, permitem a implementação de algoritmos de controle e comutação otimizados, de acordo com o tipo de carga que se pretende alimentar. Em tecnologias de fabricação dedicadas à integração de dispositivos inteligentes de potência, que disponibilizam transistores de alta tensão NMOS e PMOS, a realização de circuitos fonte de corrente para alimentar transistores *high side* é facilitada pela existência do transistor PMOS de alta tensão.

A Figura 3.22 mostra um circuito típico que utiliza uma fonte de corrente [3.13] flutuante, útil para injetar corrente num dispositivo de potência MH em topologia contendo o transistor isolado (*high side*), levando-o ao estado de condução. Uma outra fonte de corrente, referida à massa, cujo estágio de saída é constituído pelo transistor M4, é utilizada para drenar a corrente da Porta de MH, levando-o assim ao corte.

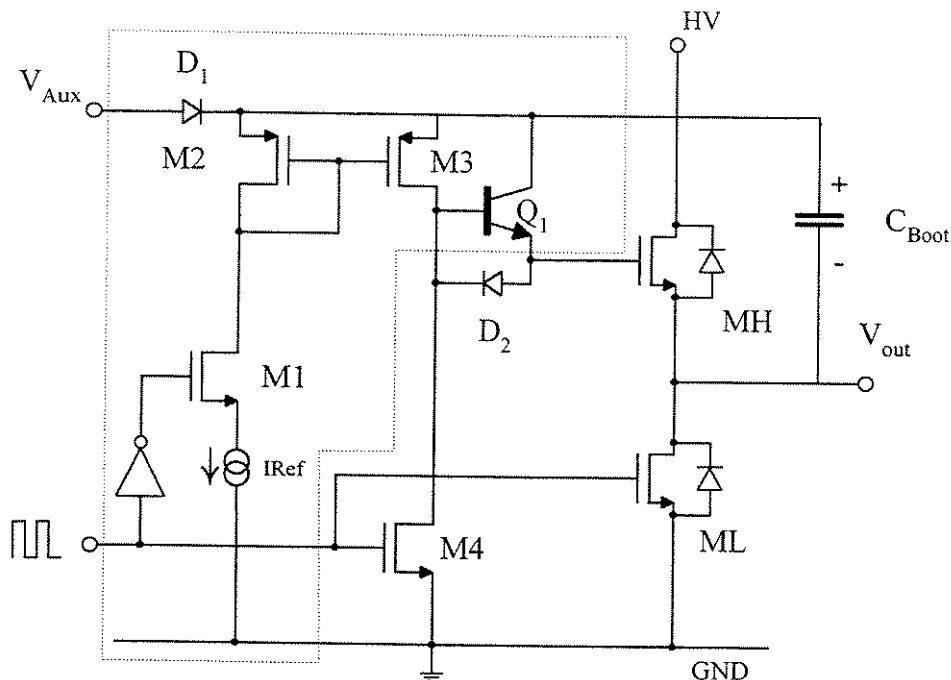


Figura 3.22 - Circuito típico contendo uma fonte de corrente flutuante, para injeção de corrente num dispositivo de potência (transistor MH) em topologia *high side*.

Uma fonte de corrente construída em tecnologia MOS consiste basicamente no controle da tensão V_{GS} aplicada a um transistor. Quando este transistor estiver operando na região de saturação, a sua corrente de Dreno será dependente de V_{GS} . Tipicamente, a fonte de corrente de referência I_{ref} mostrada na Figura 3.22 é realizada com circuitos analógicos construídos com transistores de baixa tensão ligados à massa. A corrente gerada na fonte I_{ref} é espelhada ou copiada por circuitos construídos com transistores MOS canal N ($M1$ e $M4$) e canal P ($M2$ e $M3$), e o transistor bipolar NPN ($Q1$) que opera em alta tensão.

Neste trabalho, foram consideradas topologias de fontes de corrente com a funcionalidade de injetar ou drenar corrente tanto em transistores isolados (*high side*) como em transistores referenciados à massa (*low side*), construídos exclusivamente com Estruturas NMOS. Há diversas topologias possíveis. A Figura 3.23 apresenta uma das várias topologias para operar como um circuito de fonte de corrente flutuante, injetando corrente na Porta de um transistor NMOS, MH, em configuração como transistor isolado.

Como visto anteriormente na seção 3.2.1, é possível a realização de circuitos que emulam o comportamento de um diodo Zener flutuante utilizando Estruturas NMOS. O valor da tensão

"Zener" destes circuitos pode ser programado dinamicamente através de um circuito de controle que opere em baixa tensão. Também foi mostrado na seção 3.2.2 que é possível construir fontes de tensão flutuantes utilizando somente Estruturas NMOS. No circuito da Figura 3.22, a fonte flutuante de tensão - FPS para alimentar a fonte de corrente é concretizada pelo capacitor C_{Boot} de um circuito intensificador de excitação (*bootstrap*), descrito na seção 3.2.3.2. Outra opção de FPS seria a utilização de um circuito de bombeamento de cargas capacitivo (*charge pump*) apresentado na seção 3.2.3.1.

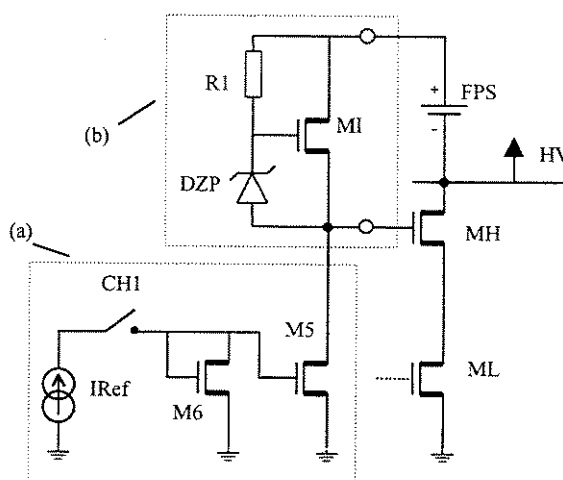


Figura 3.23 – Fonte de corrente baseada em estruturas NMOS.

As fontes de corrente da Figura 3.23 são assim apenas baseadas em Estruturas NMOS. A fonte de corrente flutuante, ligada ao eletrodo de Porta de MH, é utilizada para injetar corrente na capacitância parasita C_{GS} , levando MH à condução. A fonte de corrente, referida à massa, tem como função drenar a corrente da Porta do transistor MH, levando-o ao corte.

A fonte de corrente flutuante é composta basicamente pelos circuitos circunscritos ao bloco (b) da figura 3.23, ou seja, um circuito Zener representado por DZP, um transistor NMOS de alta tensão MI e um resistor R1. Tais componentes são alimentados por uma fonte de tensão flutuante, identificada como FPS (*Floating Power Supply*), cujo terminal (-) está ligado à fonte de alta tensão HV. A fonte de tensão FPS tem uma amplitude de cerca de uma dezena de Volt. O componente DZP representa um circuito Zener programável, com o controle referenciado ao terminal GND, que tem por função manter a tensão V_{GS} (MI) num determinado valor programado, controlando assim a injeção de corrente na Porta do transistor MH, segundo o algoritmo especificado para a aplicação. É importante salientar que o controle realizado sobre o

circuito Zener determina o valor da corrente que passa em MI. Em particular, é possível gerar um valor de tensão no circuito Zener DZP que não permita a passagem de corrente em MI. O resistor R1 deve possuir tipicamente um valor elevado, tendo como função promover a polarização do circuito DZP e colocar a fonte flutuante de corrente ao potencial dado pela soma das tensões $HV + V_{(FPS)}$.

Durante a injeção de corrente na Porta do transistor MH, o transistor MI atua como fonte de corrente, o interruptor CH1 do bloco (a) está aberto e o transistor M5 não exerce nenhuma influência na Porta de MH.

Durante a drenagem de corrente da Porta do transistor MH, o valor de DZP é ajustado de modo a reduzir ou anular a passagem de corrente em MI. A fonte de corrente, referenciada à massa, é então ativada. O interruptor CH1 é fechado e o transistor M5 passa a drenar corrente da Porta de MH levando-o ao corte.

3.3 Implementação Física de Circuitos NMOS para Aplicação em CIIP

Para a avaliação do desempenho das topologias apresentadas e desenvolvidas no âmbito desta dissertação, foi primeiramente realizado um estudo através de simulação que permitiu a otimização dos circuitos. A caracterização experimental das topologias desenvolvidas foi realizada em protótipos fabricados, utilizando uma tecnologia CMOS convencional de baixo custo, que embora limitativa em termos de tensões e correntes máximas admitidas, é potencialmente eficaz para a prototipagem rápida em eletrônica de média potência, como se demonstrará. Efetivamente, a tecnologia CMOS não é necessariamente a mais adequada para fabricar circuitos integrados *smart power* de uma forma geral, mas certamente ela pode ser usada na maior parte das aplicações de baixa e média potência. A integração de sistemas contendo dispositivos de potência em tecnologia CMOS constitui um desafio que requer novas técnicas de projeto e novas topologias de circuito, adaptadas às restrições da tecnologia de fabricação, de modo a obter-se a funcionalidade especificada para o sistema.

- Outras tecnologias dedicadas a aplicações de potência permitirão otimizar os desempenhos obtidos nesta abordagem. Os resultados de simulação e resultados experimentais obtidos no teste dos protótipos e em aplicações específicas serão apresentados no Capítulo 4.

Em trabalhos anteriores [3.14] e [3.16], foram apresentados alguns resultados de simulações bidimensionais de dispositivos, bem como medidas experimentais feitas sobre protótipos, que comprovam a adequação da tecnologia CMOS convencional para realizar dispositivos de baixa e média potência. O emprego da tecnologia CMOS convencional poço de N impõe uma limitação básica: o dispositivo de potência deve ser apenas de tipo NMOS, ou seja, de canal N. A alternativa PMOS de potência não está sempre disponível, a menos que se acrescentem etapas adicionais ao processo de fabricação. É sabido que praticamente todos os circuitos realizados em CMOS, dispondo simultaneamente de ambos os transistores canal N e P, podem ser construídos usando apenas dispositivos NMOS, tal como era comum no início dos anos 80 em circuitos digitais em tecnologia NMOS.

Dessa forma, pode ser fabricado qualquer circuito de potência, constituído por interruptores de potência, circuitos de excitação (*drivers*), circuitos de controle e monitoração, usando apenas transistores NMOS, resistores, capacitores (integrados ou não), além de uns poucos componentes discretos externos ao CI.

Assim sendo, abre-se a perspectiva de se utilizar a abordagem semidedicada para o projeto de CI's de potência, que deve ser orientada para criar uma matriz de dispositivos NMOS unitários, que possam ser facilmente interligados interna e externamente, contando ainda, e se possível, com alguns poucos recursos de componentes passivos e circuitos eletrônicos pré-definidos. Além desse recurso, há necessidade de se definir uma biblioteca mínima de circuitos e associações de transistores e outros componentes (integrados ou não), de modo a satisfazer as necessidades mínimas de projetos típicos de potência. A tecnologia CMOS de baixo custo utilizada permite cobrir aplicações práticas que se situem nas faixas dos 50 V e 2 A.

Apesar desta abordagem sugerir claramente que o resultado obtido com o circuito final não constitua, do ponto de vista técnico, a solução mais otimizada, certamente ela propicia um meio rápido de se desenvolver protótipos. Assim a parte crítica, relativa à interação dos interruptores de potência e os circuitos de controle e monitorização, seja monolítica em grande porcentagem, de modo a permitir avaliar, na prática, os principais aspectos do circuito em desenvolvimento, quais sejam: exequibilidade, desempenho, eficiência, estabilidade, efeitos parasitas, efeitos térmicos, efeitos de interferências eletromagnéticas, interações com as cargas de potência, etc.

A seguir são apresentadas considerações gerais relativas à proposta de abordagem semidedicada para o projeto de CIIP utilizando unicamente transistores NMOS, bem como considerações relativas à especificação e desenho dos dispositivos e matrizes de componentes NMOS e das estruturas de teste das topologias baseadas em dispositivos NMOS de potência, dispositivos esses também apresentados neste trabalho.

3.3.1 Especificações Gerais da Arquitetura de uma Matriz Semidedicada para Aplicações em Potência

A solução elaborada para resolver o problema do projeto de CIIP segundo a abordagem semidedicada constituiu-se na concepção de uma célula básica de comutação de potência e na organização de agregados destas células e áreas de interligação, de modo a formar a matriz semidedicada.

A arquitetura da célula básica de comutação foi otimizada como um bloco construtivo para uma matriz semidedicada (*semicustom array*) para aplicações mistas analógicas-digitais de potência. Essa matriz deve por sua vez poder ser configurada através de metalização simples (1 nível) para aplicações de baixa e média potência. A matriz semidedicada assim obtida contém células básicas de pares de transistores NMOS de potência, pré-processadas, assim como alguns blocos analógicos pré-definidos (a princípio, 1 amplificador operacional e 1 fonte de tensão *bandgap*), para atuarem como alternativas de circuitos de controle de desempenho otimizado. Demais blocos de circuitos analógicos e digitais podem ser obtidos mediante interligações dos transistores internos da matriz, segundo técnicas de projeto bem estabelecidas [3.16]. As interligações fixas são pré-processadas a nível das camadas de silício policristalino, metal1, contatos e vias. A personalização da matriz pode ser feita pela definição apenas das interligações de metal2.

No texto a seguir, constam algumas considerações relativas ao projeto físico da célula básica em si, tendo como base a estrutura LDSO, em termos de pré-requisitos, restrições e características. Todas estas considerações são igualmente aplicáveis à estrutura LDMOS, de forma que este estudo particular será suprimido, salvo quaisquer exceções intimamente relacionadas à natureza deste tipo de transistor ou de sua estrutura.

3.3.1.1 Pré-requisitos:

A especificação da arquitetura de uma célula básica para potência, segundo a abordagem semidedicada, quer seja segundo um arranjo matricial de células pré-processadas, quer seja em blocos de *layout* dedicados (células-padrão), deve seguir os dois pré-requisitos apresentadas anteriormente [3.18]:

- 1) Ser totalmente compatível com a tecnologia CMOS, preferencialmente convencional, que contenha ao menos dois níveis de metal para interligação.
- 2) Ser configurável por meio do último nível de metal, de modo a requerer um mínimo de etapas adicionais para personalização final. Isto significa que a matriz semidedicada deve estar pré-fabricada até a etapa anterior à personalização deste último nível de metal. Tal estratégia é consistente com a abordagem de Prototipagem Rápida [3.18].

3.3.1.2 Restrições:

- a) Processamento: As interligações de personalização dos circuitos devem ser definidas utilizando-se apenas o último nível de metal. Os níveis de interligações inferiores devem possuir sua geometria definida e imutável, sem prejuízo da capacidade de interligação de conexões e capacidade de corrente. O nível de vias deve estar também definido, tanto em número como em termos de posicionamento, da forma mais flexível possível, uma vez que estabelece a ligação do nível de metal personalizável com o nível metálico imediatamente inferior.
- b) Regras de projeto (*design rules*): A otimização de área também impõe algumas restrições. A largura total da célula (*Wcell*) deve ser um múltiplo inteiro do espaçamento entre dois contatos (*pads*) adjacentes, de modo a facilitar a entrada ou saída de conexões de potência aos terminais dos transistores internos (Fonte ou Dreno).
- c) Necessidades da aplicação: A máxima largura de célula (*Wcell*) e a correspondente altura da associação de células (agregado de células) depende das topologias de circuitos que a matriz deva poder concretizar, que por sua vez define a corrente máxima ou a resistência de condução (no estado *ON*) que cada transistor individualmente deva apresentar. A largura de

célula deve ser ajustada de forma a considerar situações em que um transistor elementar alimente por si só uma interface, ou que um agregado de transistores garanta uma certa intensidade de corrente de excitação. Outro fator importante são os tempos de comutação (*turn-ON* e *turn-OFF*): à medida que a largura da célula básica aumenta, a sua capacitância de Porta também aumenta, aumentando os tempos de comutação do transistor. Comutações lentas resultam no aumento da dissipação de potência e na perda de eficiência.

- d) Pós-processamento: algumas restrições importantes são impostas pelo equipamento a ser utilizado nas etapas finais de processamento, durante a personalização da matriz e fabricação de CI's. Aspectos como a topografia da pastilha de silício, espessura de metal, densidades máximas de corrente nas vias ou linhas de metal, larguras e espaçamentos mínimos das linhas de interligação, entre outros, influenciam fortemente o dimensionamento final da célula básica e do agregado de células, apesar de não inviabilizarem diretamente a arquitetura proposta (questões relativas às dimensões geométricas muitas vezes alteram a métrica do *layout*, sem contudo afetar a topologia, que neste contexto é entendida como arquitetura).
- e) Ferramentas de projeto: Algumas ferramentas de *software* para auxílio ao projeto de CIs, principalmente as ferramentas de posicionamento e interligação, impõem um conjunto de restrições relacionadas com o tamanho da grade de interligação (*grid*), sua regularidade, as direções dos canais de interligação, restrições de áreas onde as interligações são proibidas devido a conexões padronizadas (*pads*, alimentação) ou proximidade de vias e limites da pastilha.

3.3.1.3 Características Desejadas

- a) Topologias típicas a serem implementadas usando a célula básica LDSD, adequadas a diversos tipos de circuitos de interface e de potência:
- 1 Transistor referenciado à massa (*low side switch*) para 600 mA;
 - 1 Transistor isolado (*high side switch*) para 600 mA ;
 - 2 Transistores referenciados à massa (*low side switch*) para 300 mA;
 - 2 Transistores isolados (*high side switch*) para 300 mA;
 - 4 Transistores referenciados à massa (*low side switch*) para 150 mA;
 - 4 Transistores isolados (*high side switch*) para 150 mA;
 - 1 Estrutura *totem pole* para 300 mA;
 - 1 Estrutura de Deslocamento de Nível (*level-shift*) ;
 - 3 Circuitos de Intensificação de Excitação (*Bootstrap*);
 - 1 Circuito de Bombeamento de Cargas (*Charge pump*);

- 1 Célula de comutação AC;
- b) Possibilidade de interligação simplificada, por meios manuais ou automáticos, usando ferramentas de posicionamento e interligação já existentes para aplicações analógicas ou digitais.
- c) Grade (*grid*) regular através de toda a área de interligação.
- d) Maximização da densidade de potência manipulada em função da área da pastilha de silício.
- e) Isolamento das células básicas contendo transistores de potência, através de geometria fechada (anelar), de modo a minimizar correntes parasitas e minimizar condução intempestiva (*latch-up*). Diversas características elétricas e funcionais dos transistores dependem diretamente de sua geometria construtiva, inclusive algumas não diretamente relacionadas aos parâmetros dos modelos de simulação normalmente utilizados para transistores MOS. Por exemplo, os resultados experimentais demonstram que o uso de geometria fechada em estágios de saída de potência minimizam a sensibilidade das estruturas aos efeitos das descargas eletrostáticas (ESD).

3.3.2 Arquitetura da Planta da Célula Básica de Comutação

A configuração de uma célula básica de comutação de potência foi proposta em trabalho anterior [3.13], tal como se apresenta na Figura 3.24 (a), consistindo de um par de transistores NMOS, sendo um referenciado à massa (*low side switch*) e o outro isolado (*high side switch*) ou atuando como chave de passagem (*pass switch*), capaz de implementar as três configurações acima referidas através da configuração deste par elementar de transistores e sua associação em paralelo ou com componentes passivos.

Algumas versões da célula básica utilizando processos CMOS convencionais foram descritas [3.19] e a sua seção transversal típica é apresentada na Figura 3.24 (b). Esta célula básica utiliza um transistor MOS canal N com Dreno levemente dopado LDD (*Lightly Doped Drain*) como interruptor, com o terminal de Fonte conectado à massa, e um transistor LDSO (*Lightly Doped Source and Drain*) como transistor de passagem [3.13], não referido à massa.

A idéia básica atrás deste conceito é a utilização da difusão de poço N, normalmente profunda e levemente dopada ($\sim 5 \cdot 10^{15}$ átomos /cm³), para constituição da junção de Dreno ou Fonte, sempre que a tensão de trabalho destes terminais requerer uma tensão elevada (acima dos 5 Volt convencionais). A tensão máxima de trabalho pode assim atingir a faixa de 25 a 50 Volt, sem alcançar o limite de ruptura por avalanche, dependendo do nível de concentração de impurezas no substrato, da profundidade da junção de poço e da existência de estruturas condutoras na

superfície e nas proximidades das bordas desta junção. A junção de poço N necessária a tais estruturas está disponível para a construção de transistores PMOS de baixa tensão em processos CMOS convencionais baseados em substratos tipo P com baixa concentração de impurezas ($\sim 10^{15}$ átomos/cm³).

Pode ser visto, com o auxílio das Figuras 3.24 (a) e 3.24 (b) que a estrutura LDD corresponde a um transistor MOS lateral comum, cujo Dreno se insere numa região N pouco dopada, de modo a reduzir o pico do campo elétrico na superfície, nas proximidades do eletrodo de Porta, evitando desta forma que o mecanismo de avalanche se inicie logo em baixas tensões, devido ao efeito de encurvamento das linhas de campo elétrico nesta região. Enquanto o transistor LDD é normalmente usado com sua Fonte ligada à massa, o transistor LDSD é utilizado como dispositivo de passagem de baixa impedância (interruptor de passagem). Dessa forma ambos Dreno e Fonte podem ter seu potencial flutuante e estarem aptos a suportar altas tensões em relação ao substrato. Daí que, na estrutura LDSD, o eletrodo de Fonte também seja construído através da junção de poço N com baixa concentração de impurezas.

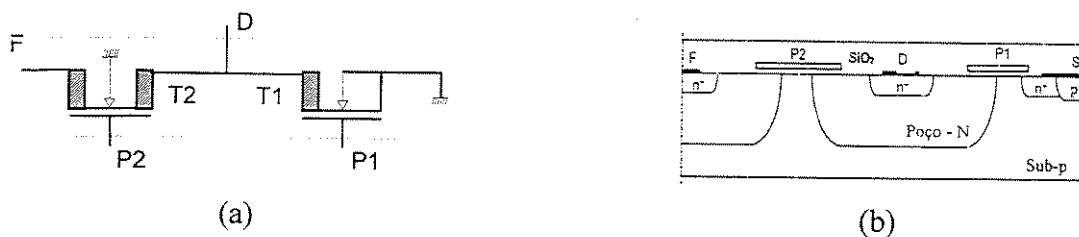


Figura 3.24 - Configuração da célula básica de comutação originalmente proposta (a) e seção transversal (b) da estrutura LDD - T1 e LDSD - T2.

Um aumento adicional na tensão de ruptura pode ser obtido quando algumas técnicas específicas de *layout* são utilizadas [3.16], com o objetivo de diminuir o pico do campo elétrico no ponto crítico (ponto onde se inicia o processo de avalanche), sem prejuízo da resistência de condução no estado *ON*, capacitância parasita e aumento excessivo de área [3.14]. Obviamente, neste contexto levam-se também em conta as limitações provindas das regras de projeto impostas pela tecnologia de fabricação, normalmente orientadas ao projeto de circuitos analógicos e digitais de baixa tensão, algumas das quais tem de ser obrigatoriamente transgredidas para viabilizar a estrutura.

A abordagem de projeto semidedicado, ou seja, baseado na interligação de dispositivos funcionais prontos ou de células pré-projetadas com planta (*layout*) específica, impõe como requisito principal um alto grau de flexibilidade. Dessa forma, torna-se mais conveniente construir a célula básica de potência de forma a dispor de um par de transistores LDSD, ou qualquer outra estrutura que não contenha algum terminal previamente ligado à massa, aumentando assim a flexibilidade de projeto através da liberdade de conexão do terminal de Fonte do transistor T1, que ao invés de estar permanentemente ligado à massa, pode ser conectado a qualquer potencial. Esta alternativa é apresentada na Figura 3.25. Embora utilize mais área, esta opção amplia a flexibilidade quanto à liberdade de conexões para atender a uma maior gama de topologias de circuitos.



Figura 3.25 – Nova configuração da célula básica de comutação (a) baseada apenas em transistores LDSD e respectiva seção transversal (b). Nota-se a similaridade estrutural dos transistores de T1 e T2.

Tipicamente, a resistência de condução (no estado *ON*) pode ser dimensionada para valores relativamente baixos, em função da área ativa do dispositivo, enquanto que a tensão de ruptura pode atingir valores relativamente elevados, porém restritos às características físicas do processo de fabricação e às configurações do *layout* de máscaras relativo às junções sob alta tensão.

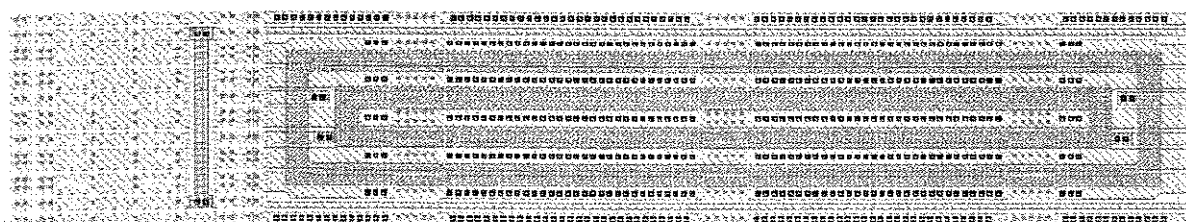
Alguns dispositivos apresentando resistência de condução na faixa de 2 a 5 m Ω .cm² e suportando tensões até 50 Volt podem ser construídos, utilizando processos CMOS de poço N de 2 μ m ou menos [3.17], tidos atualmente como convencionais, os quais podem dar solução a problemas em diversas áreas de aplicação. Por outro lado, alguns fornecedores de serviços de difusão (*silicon foundries*) oferecem tecnologias CMOS com algumas etapas extras de processamento, que incluem de 1 a 3 máscaras adicionais, a fim de construir estruturas DMOS reais e otimizadas [3.19]. Tais alternativas também constituem boas opções para a abordagem semidedicada baseada em células básicas, tal como descrito. Considera-se ambas as opções como válidas e úteis ao contexto de projeto de CIIPs, de acordo com a perspectiva de abordagem de projeto semidedicado. A escolha por uma ou outra está baseada no compromisso entre custo,

disponibilidade de acesso à fabricação, área de silício e, em alguns casos, especificações mais restritas em termos de resistência de condução, tensão de operação, tempos de comutação (*turn ON*, *turn OFF*), dissipação de potência, etc.

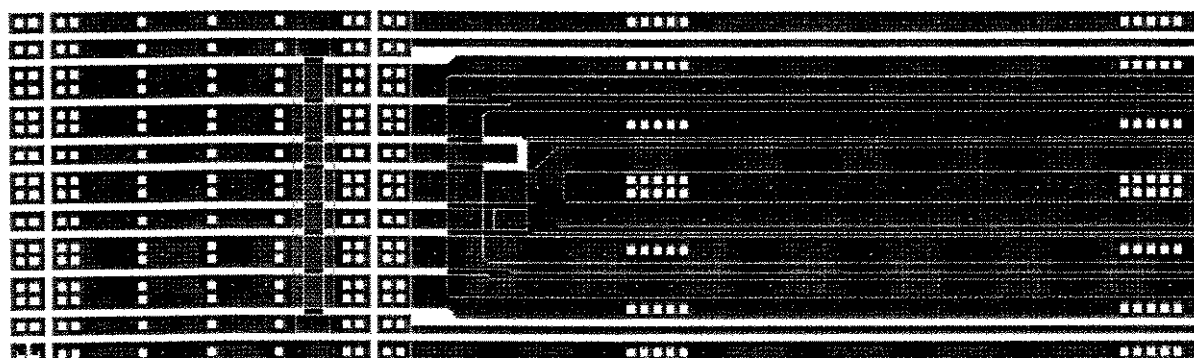
Uma terceira alternativa seria considerar a estrutura de transistor LDMOS, descrita em [3.21], que se assemelha a um verdadeiro transistor DMOS e pode operar com tensões flutuantes em relação ao substrato, apesar de possuir o terminal de corpo, ou “substrato” (*bulk* do transistor), conectado à Fonte, porém isolado do substrato comum de todos os transistores (lâmina P).

As Células Básicas de comutação elaboradas neste trabalho são constituída por dois transistores NMOS do tipo LDS, que possuem um eletrodo de Fonte/Dreno compartilhado, tal como ilustrado na Figura 3.25. Adicionalmente, estão associados à célula básica um resistor de silício policristalino de 27 k Ω , um resistor de baixo valor (10 a 100 m Ω) feito em metal (a ser empregado como resistor sensor de corrente), um canal de interligação para sinais de controle, com capacidade de 8 linhas verticais e um canal de interligação de sinais de potência, separado do controle, com capacidade de até 6 linhas verticais. A largura de célula escolhida (W_{cell}) corresponde a 4 vezes a distância mínima entre *pads*. A Figura 3.26 mostra a planta (*layout*) da célula básica projetada construída com transistor LDS.

A estrutura do par de transistores de potência é fechada, construída na forma de dois anéis concêntricos quanto às áreas de Dreno ou Fonte e às áreas das Portas de silício policristalino. Os cantos não são circulares nem retos, porém são feitos com ângulos de 135° em relação a cada aresta. Ao redor de cada par de transistores, há um anel de guarda de difusão P+ ligado ao substrato, que deve ser conectado ao potencial mais negativo do circuito, normalmente à massa ou ao potencial mais negativo da fonte de alimentação. Sobre as difusões de Dreno e Fonte, existe uma linha de metal (denominada “dedo” – *finger*) e contatos entre difusão e metal, dimensionados adequadamente para suportar a corrente máxima que cada transistor pode conduzir quando em condução plena (corrente de saturação). Há também uma linha central de metal com largura dupla em relação às linhas laterais da célula, uma vez que o terminal compartilhado de Dreno/Fonte pode conduzir duas vezes mais corrente do que os demais terminais, quando ambos os transistores estiverem em condução ao mesmo tempo.



(a)



(b)

Figura 3.26 – Célula básica: (a) Vista geral e (b) detalhe dos canais de interligação dos sinais de controle (à esquerda) e de potência (no centro e à direita, sobre a célula).

Os eletrodos de Porta, embora desenhados de forma circular, possuem dois terminais de contato, um em cada extremidade longitudinal. Na maioria das vezes, deve-se conectar ambos terminais à respectiva linha de controle, de forma a minimizar qualquer efeito de comutação lenta, devido à resistência e capacitância distribuídas ao longo da linha de silício policristalino que forma cada um dos eletrodos de Porta.

O canal de interligação para sinais de controle é adjacente aos transistores, tal como se apresenta na região esquerda da Figura 3.26b. Ele é composto por linhas horizontais pré-definidas de metal1, denominadas passantes (*underpasses*), permitindo a conexão com linhas de metal2, preferencialmente verticais, através de pontos de contato (vias), localizados em posições estratégicas do canal em relação aos terminais dos transistores. O número de passantes é definido como a soma do número de “dedos” (5), com o número de pontos de acesso à Porta em cada lado (2), mais um par de pontos de acesso ao resistor de polissilício localizado sob o canal (2), mais um passante livre para uso geral (1). Dessa forma, o canal de interligação para os sinais de controle contam com um total de 10 passantes horizontais. O canal de interligação para sinais de

potência está localizado diretamente sobre a área ativa do par de transistores de potência. A cadeia de contatos entre difusão e metal1 é interrompida 3 vezes para a inserção de vias, permitindo o contato entre metal1 e metal2. A quantidade de vias é calculada em função da corrente máxima que cada “dedo” pode conduzir em operação normal, resultando em 10 vias para cada interrupção. As interrupções citadas estão alinhadas de forma a permitir a passagem de duas linhas de metal2 para potência, largas e verticais, de cada lado da interrupção. Para que se estabeleça o contato de um grupo de vias com uma das linhas de potência, torna-se necessário apenas definir uma pequena linha lateral de metal2 na posição adequada. Nesta estrutura, pode-se acomodar um total de 6 linhas verticais de potência, cada uma com 60 μm de largura, capaz de suportar a corrente máxima que uma matriz de células (arranjo de diversas células básicas em paralelo) pode conduzir, ou seja 600 mA, que dividido em dois, resulta em 300 mA para cada linha de potência adjacente. A divisão desta linha em dois aumenta a flexibilidade de conexão.

3.3.3 Arquitetura da Matriz de Células Básicas

A célula básica de comutação, ou simplesmente célula básica, foi concebida de modo a facilmente ser agrupada num arranjo matricial. A matriz pode ser configurada para operar como um único transistor, conectando todos os pares de transistores das células básicas em paralelo. Ela pode também ser dividida em diversos transistores independentes, definindo uma quantidade específica de transistores em paralelo, a fim de satisfazer um valor específico de corrente máxima desejável.

A Matriz de células é composta de 3 estruturas de *layout* principais: o agregado de células básicas, a região periférica de *pads* e a região de passantes de metal1. Esta última está localizada entre o agregado e a região de *pads*, sendo utilizada para a interligação de sinais de controle e/ou potência entre a matriz e os *pads*. A Figura 3.27 mostra o aspecto construtivo do agregado de células, onde se observa os cuidados tomados com a disposição regular de células, o espaçamento entre colunas de células adjacentes e outras estruturas, a área dedicada aos canais de interligação e a continuidade desta em relação ao acesso dos sinais de controle aos contatos com o exterior (*pads*).



Figura 3.27 – Uma visão geral da extremidade inferior da pastilha projetada, mostrando as três regiões componentes da matriz de células: agregado de células básicas e canais de interligação verticais, áreas passantes de conexão com os *pads* e região periférica de *pads*.

3.3.4 Considerações sobre o Desenho das Máscaras

A representação esquemática adotada para a célula básica LDSO é apresentada na Figura 3.28. Dois transistores NMOS e um resistor de polissilício são os dispositivos representados esquematicamente dentro de um retângulo.

As linhas sólidas horizontais representam os “dedos” de metal1 existentes em cada célula básica, conforme a descrição feita no item 3.3.3. O canal de interligação dos sinais de potência está representado ao lado do retângulo esquemático, através de 6 linhas tracejadas com orientação vertical, representando os modos possíveis como as linhas de metal2 podem passar sobre os transistores para implementar as conexões de potência. Todos os terminais dos dispositivos disponíveis na célula básica possuem pelo menos um ponto de acesso ao canal de interligação, representado por um pequeno retângulo azul presentes na extremidade do canal de interligação dos sinais de controle. Os “dedos” relativos aos Drenos e Fontes dos transistores possuem, adicionalmente, outros três pontos de conexão no canal de interligação dos sinais de potência.

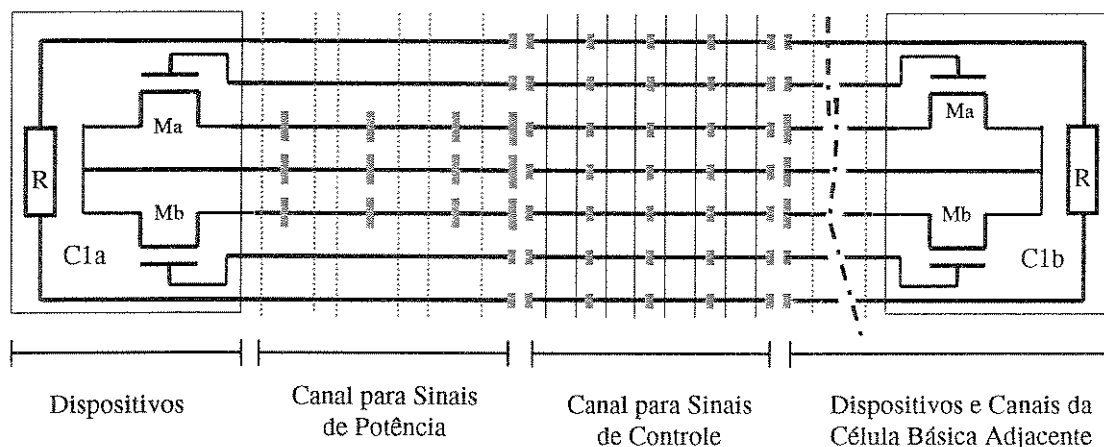


Figura 3.28 – Uma representação esquemática da Célula Básica e respectivos canais de interligação.

O canal de interligação dos sinais de controle, localizado do lado esquerdo da planta (*layout*) da célula básica na Figura 3.26 (b), está representado por 8 linhas finas com orientação vertical no lado direito da Figura 3.28. Estas linhas representam os modos possíveis como as linhas de metal2 podem passar sobre as linhas de metal1 dos passantes, de forma a concretizar as interligações dos sinais de controle.

O resistor R de silício policristalino está fisicamente localizado sob a região do canal de interligação dos sinais de controle e seus terminais estão conectados a dois passantes de metal1. Na planta (*layout*) da célula básica, existem também dois passantes horizontais em paralelo com os “dedos” de metal1 ligados às difusões de Dreno e Fonte. Eles podem ser usados para minimizar a resistência distribuída dos eletrodos de Porta dos transistores ou como resistores sensores de corrente, devido ao pequeno valor de sua resistência. Seus pontos de acesso para conexão estão na mesma coordenada horizontal do resistor R de polissilício, não se encontrando indicados na representação esquemática da Figura 3.28 para simplificação da representação.

3.3.4.1 Exemplos de Roterização de Ligações

A configuração de circuito denominada de ponte completa (*full bridge*) é a seguir utilizada como exemplo para comprovação da flexibilidade da matriz em termos de interligação de conexões entre transistores de um conjunto de células básicas. Dois exemplos de roteirização foram realizados para este circuito. As Figuras 3.29a e 3.30a apresentam duas possibilidades de ligação entre as células para a elaboração de esquema elétrico do circuito ponte completa. As

Figuras 3.29 (b) e 3.30 (b) apresentam as respectivas possíveis roterizações realizadas sobre um agregado de células formado por 4 células básicas, onde L e R indicam, respectivamente, as saídas à esquerda (*left*) e à direita (*right*), para conexão do circuito em ponte completa à carga.

Para um maior entendimento das Figuras 3.29 (b), 3.30 (b) e 3.31 (b), os retângulos de cor azul representam os contatos existentes em cada “dedo” de metal1, tanto do Canal para Sinais de Potência como no Canal para Sinais de Controle. As linhas em preto, na horizontal, representam os dedos de metal1, as linhas em vermelho representam as ligações em metal2 sobre o Canal para Sinais de Controle, as linhas em azul representam as ligações em metal2 sobre o Canal para Sinais de Potência e as linhas em verde representam os canais que estão livres para ser utilizados para outras ligações não pertencentes a este circuito.

Na Figura 3.29 (a), os transistores Ma da célula C1 e Ma de C2 estão em paralelo, os Drenos estão conectados à fonte de alimentação de alta tensão HV e as Fontes estão conectadas ao contato (*pad*) de saída L. Os transistores Mb de C1 e Mb de C2 também estão em paralelo, as Fontes estão conectadas ao terminal G da fonte de alimentação e os Drenos estão conectados ao contato (*pad*) de saída L.

Os quatro transistores assim conectados constituem o braço esquerdo da configuração ponte completa, normalmente denominado de meia-ponte (*half bridge*), estando pois conectados ao terminal L da carga. Da mesma forma, as células C3 e C4 perfazem o braço direito da ponte para o terminal R da carga.

A Figura 3.30 (a) mostra a concretização do mesmo circuito através de um arranjo de ligações diferente. As células C1 e C3 são agora configuradas para implementar os transistores que operam como interruptores isolados (*high side switch*), de cada lado da ponte, enquanto que as células C2 e C4 perfazem os transistores referenciados à massa (*low side switch*). O desempenho esperado para ambas as implementações é similar, diferindo apenas quanto aos efeitos parasitas das ligações, que podem ser extraídos a partir da planta (*layout*), e interferindo ainda na otimização da distribuição dos contatos (*pads*) para o meio exterior, do ponto de vista do encapsulamento da pastilha. De uma forma geral, espera-se que o posicionamento das ligações sobre os canais não interfira fortemente no desempenho elétrico do circuito implementado, fato que atribui uma razoável liberdade de interligações para a arquitetura proposta. Esta afirmação

traduz uma expectativa de bom senso e, portanto, deve ser comprovada por meio de experimentação e caracterização elétrica das duas alternativas de concretização a partir dos protótipos fabricados.

Os sinais de controle de Porta DLL e DLR devem ser conectados aos respectivos circuitos de excitação (*drive*) para interruptores referenciados à massa, enquanto que os sinais DHL e DHR devem ser conectados aos circuitos específicos para excitação (*drive*) de interruptores isolados, que possuem configuração especial por se tratar de transistores NMOS. Ambos os circuitos de excitação podem ser concretizados utilizando transistores das células básicas disponíveis na matriz de células. Estes circuitos, por sua vez, podem ser controlados através de sinais puramente digitais de baixa tensão (0 a 5 Volt), fornecidos por meio de circuitos excitadores (*buffers*).

A Figura 3.31 (a) representa esquematicamente um circuito Deslocador de Nível (*level shifter*), útil para a excitação dos interruptores de potência. Este circuito requer pelo menos 3 transistores e um resistor de polissilício. Apenas duas células básicas são o suficiente para a sua concretização. O circuito da Figura 3.31 (a), concretizado com três células básicas, pode ser utilizado como circuito de excitação, quer para dispositivos referenciados à massa, quer para os interruptores isolados, gerando, portanto, os sinais de controle DHx ou DLx necessários para a meia-ponte na Figura 3.29 e 3.30. Para isto a alimentação HV+ do circuito Deslocador de Nível, tem que ser compatível com a tensão de controle desejada para cada interruptor.

Observe que nas Figuras 3.29 (b), 3.30 (b) e 3.31 (b), todos os dedos de metal que não foram utilizados para a realização das interligações dos circuitos, foram conectados a um terminal de potencial definido, no caso ao potencial do terminal G, mesmo que nenhum, terminal da célula seja utilizado, como é o caso da célula Cx da Figura 3.31 (b). Isto é recomendável para que se evite ter estruturas flutuando dentro do circuito integrado, que por sua vez podem ser um problema durante a fabricação, ou até mesmo durante a operação do circuito, armazenando cargas espúrias. Note que mesmo sendo em número elevado, as ligações necessárias para este fim não provocam nenhuma interferência nos caminhos utilizados para a realização dos circuitos.

Observe-se também que se fosse aumentado o número de células em paralelo com as células C1 C2, C3 e C4 e aumentada a capacidade de condução dos circuitos, isto não implicaria num aumento do número de canais utilizados e sim, numa extensão dos canais já utilizados.

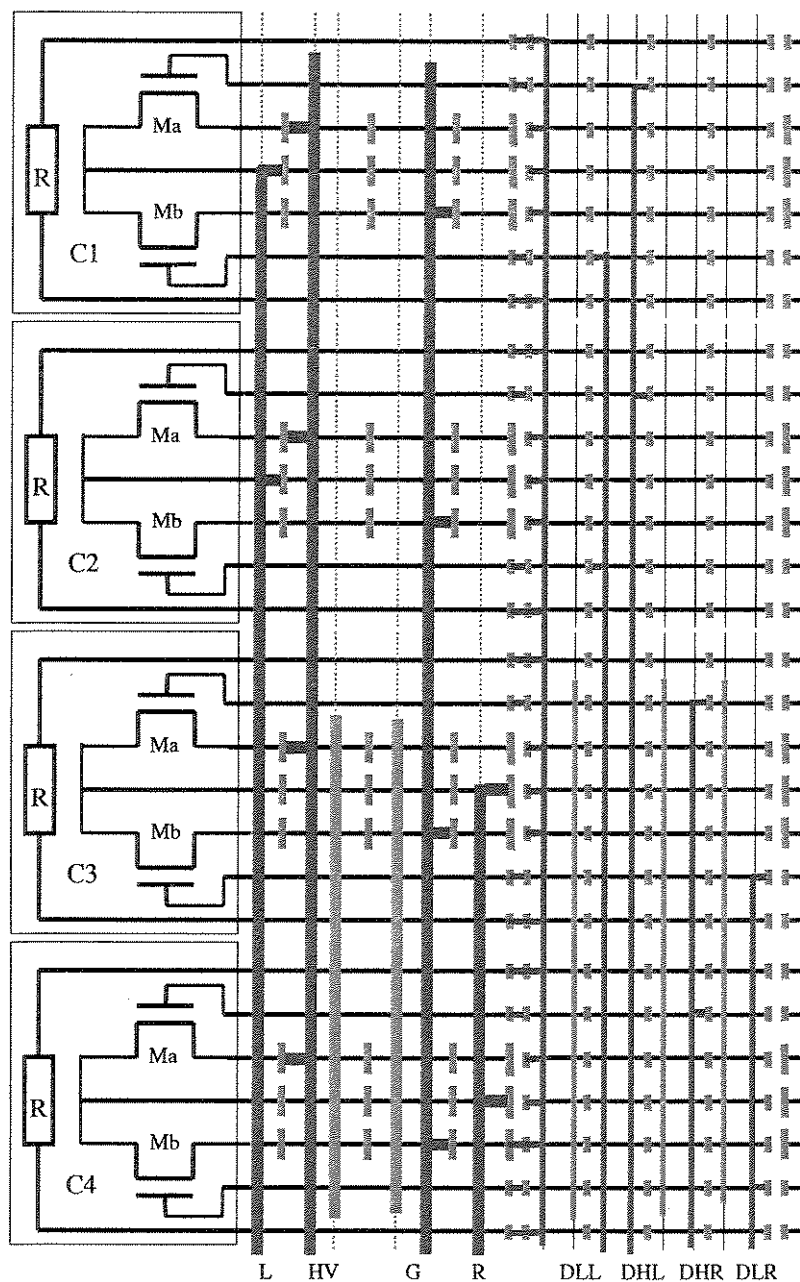
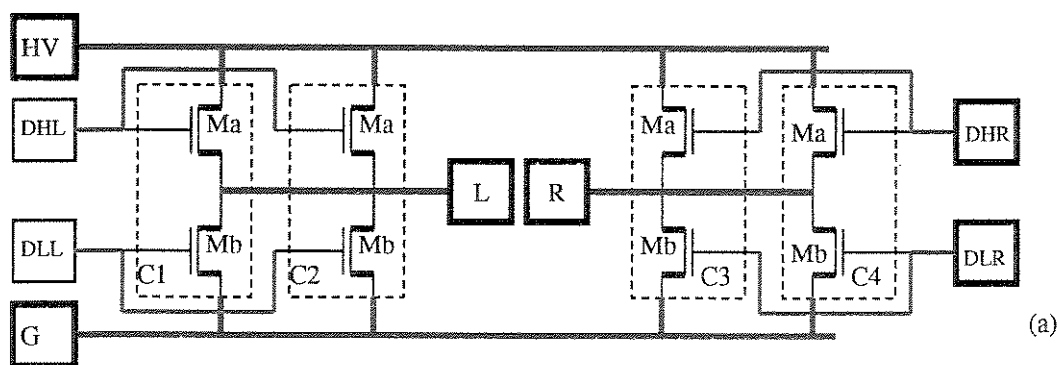


Figura 3.29 – (a) Diagrama de conexões das células básicas para a configuração I em ponte completa e (b) respectivo diagrama de roteirização.

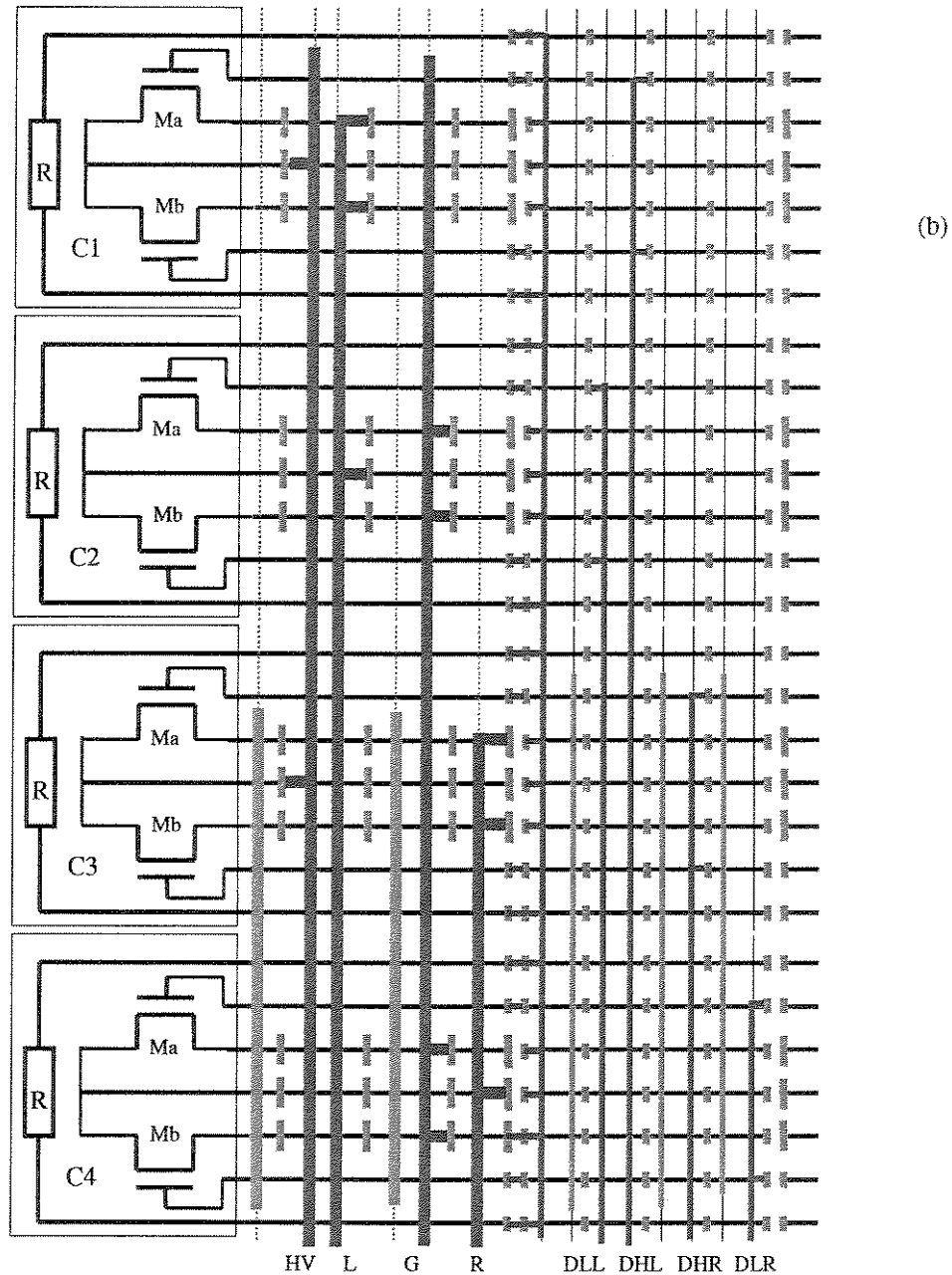
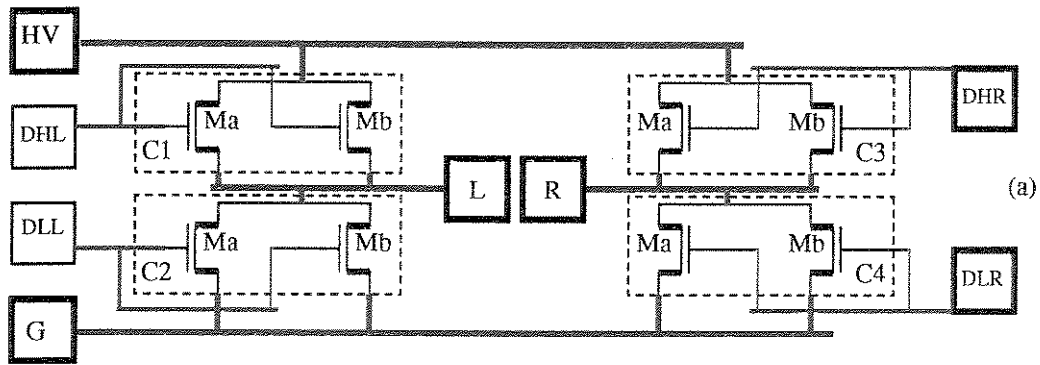


Figura 3.30 – (a) Diagrama de conexões das células básicas para a configuração II em ponte completa e (b) respectivo diagrama de roteirização.

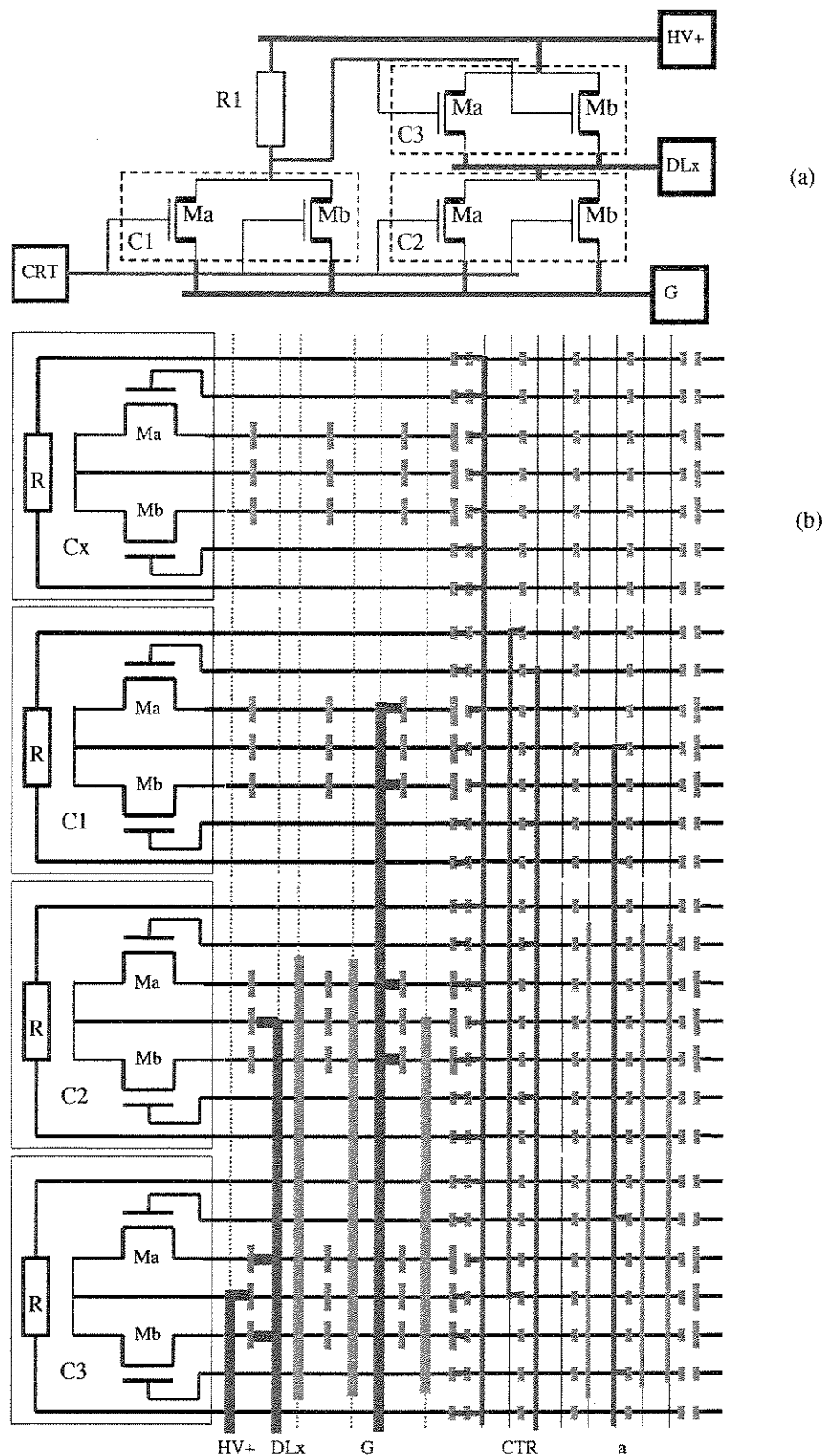


Figura. 3.31 – (a) Diagrama do circuito Deslocador de Nível (*level shifter*), utilizado para a excitação dos interruptores de potência, (b) respectiva roteirização das interligações em metal2.

3.3.4.2 Planta Final

Dois Circuitos Integrados contendo matrizes de células básicas foram projetados para o presente trabalho. Tiveram como base o mesmo tipo de arranjo de células básicas [3.20] na forma de uma matriz de quatro colunas com 19 células cada.

A Figura 3.32 apresenta o plano geral das plantas elaboradas. Existem duas Células de Potência (referidas como Pcell), constituídas por 16 células básicas em paralelo, cujo diagrama a nível de transistor se apresenta na Figura 3.33; duas Células de *Driver* (Dcell), formadas por 3 células básicas cada (ver igualmente a Figura 3.33); oito transistores de uso geral, formados por associações de células ligadas em paralelo, contando com 2, 4 e 8 células básicas respectivamente para as estruturas T2, T4 e T8.

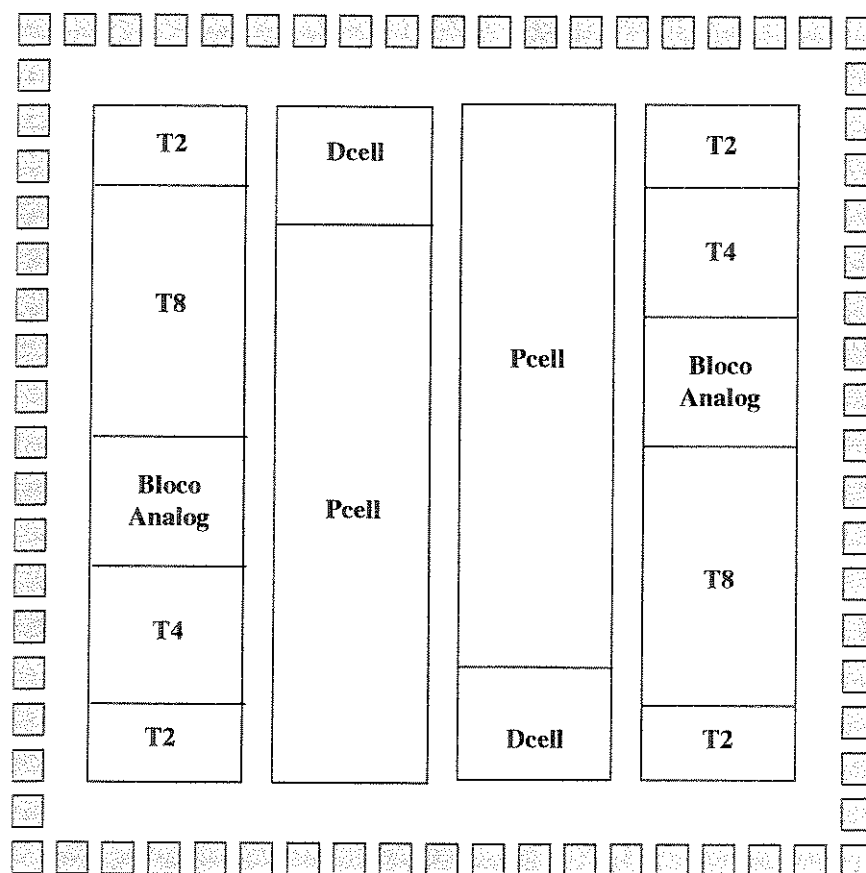


Figura 3.32 - Plano geral comum às duas matrizes projetadas.

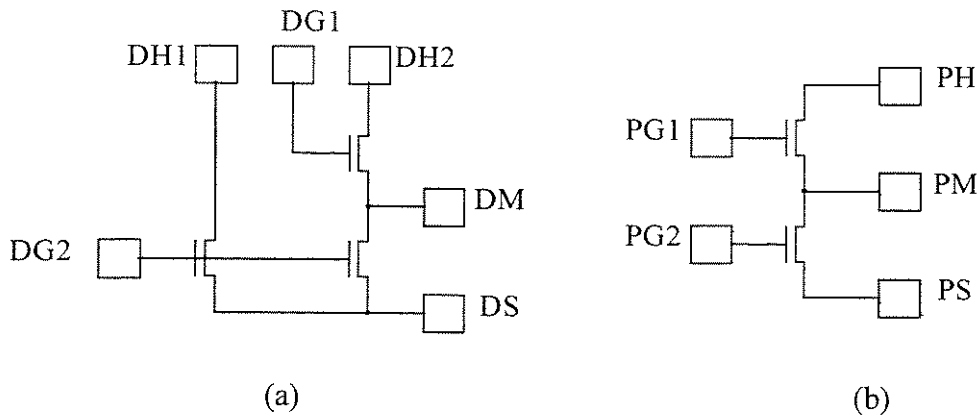


Figura 3.33 – Diagrama das (a) Células de Excitação e (b) Células de Potência.

Para a matriz de células que utiliza transistores LDSD, uma vez que os transistores do par não têm a mesma largura, pois estão encaixados um dentro do outro, a associação das 16 células básicas para constituir a Célula de Potência foi feita, associando-se os transistores exteriores das primeiras oito células com os transistores interiores das oito células restantes. Isto para o transistor isolado (*high side*) e, inversamente, para o transistor referenciado à massa (*low side*), de maneira a conseguir que o conjunto que forma cada um dos transistores possua igual largura de canal W . Em relação à matriz que utiliza transistores LDMOS, não foi necessária nenhuma estratégia especial de *layout*, uma vez que não existe discrepância de largura de canal nos transistores da célula básica.

Os transistores obtidos pelas associações descritas na Figura 3.32 permitem a caracterização de elementos internos de um projeto típico para potência. Além disso, podem ser utilizados como blocos construtivos para montagens experimentais de teste de configurações e topologias de circuitos, particularmente aquelas que se baseiam em transistores puramente NMOS.

3.4 Conclusão

Neste capítulo foram apresentadas topologias dos circuitos exigidos para a concretização do controle de potência, recorrendo apenas a transistores NMOS. Foram apresentadas novas topologias de circuitos que emulam circuitos retificadores e limitadores, circuitos deslocadores de nível, circuitos capacitivos de excitação e geradores de corrente. Esta biblioteca de circuitos caracteriza-se por ser facilmente padronizável e versátil.

Outro ponto marcante deste capítulo relaciona-se com a percepção de que a utilização única de transistores NMOS em aplicações de potência sugere a adoção de uma abordagem de projeto semidedicada, com base na configuração pós-fabricação, pela(s) última(s) camada(s) de metal, de uma matriz de células básicas de comutação, organizadas em agregados, que apresenta uma arquitetura específica de acordo com a gama de aplicações que serve. Para tanto, a concepção da referida matriz de células básicas de comutação foi detalhadamente discutida, tanto sob o ponto de vista de sua especificação funcional e de arquitetura, quanto de sua utilização para acomodar o projeto de circuitos típicos de aplicações de potência.

Conclui-se, portanto, como tema central desta dissertação, que a adoção de topologias de comutação e controle, recorrendo apenas a circuitos NMOS, concretizáveis em matrizes de células de comutação também NMOS pré-fabricadas, utilizando inclusive tecnologias de fabricação CMOS de baixo custo, viabilizam a adoção da abordagem de projeto semidedicado como solução de problemas de média ou baixa potência, abrindo a perspectiva de prototipagem rápida a custo de desenvolvimento e produção reduzidos, com amplos reflexos quanto ao desenvolvimento de novas aplicações sob o prisma da eficiência de custo e prazos.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

3.5 Referências

- [3.1] H. Ballan, M. Declercq, "High Voltage Devices and Circuits in Standard CMOS Technologies", Kluwer Academic Publishers, Dordrecht, The Netherlands, 1999.
- [3.2] B. J. Baliga, "An Overview of Smart Power Technology", IEEE Trans. on Electronic Devices, Vol. 38, n.7, pp. 1568-1575, Julho, 1991.
- [3.3] B. Z. Parpia, C. A. T. Salama, R. A. Hadaway, "Modelling and characterization of CMOS compatible high-voltage device structures", IEEE Trans. Electron Devices, vol. ED-34, pp. 2335-2343, 1987.
- [3.4] W. G. Meyer, G. W. Dick, K. H. Lee, J. A. Shimer, "Integrable high-voltage CMOS: Devices, process, applications", in IEEE International Electron Devices Meeting Tech. Dig., IEDM'85, pp. 732-735, 1985.
- [3.5] G. M. Dolny, O. H. Schade, B. Goldsmith, L. A. Goodman, "Enhanced CMOS for analog-digital power IC applications", IEEE Trans. Electron Devices, vol. ED-33, pp. 1985-1991, 1986.
- [3.6] Yong Qiang Li, C. A. T. Salama, M. Seufert, P. Schvan, Mike King, "Design and characterization of submicron BiCMOS compatible high-voltage NMOS and PMOS Devices", IEEE Trans. Electron Devices, vol. 44, n° 2, pp. 331-338, Fevereiro, 1997.
- [3.7] T. Efland, T. Keller, S. Keller, J. Rodriguez, "Optimized complementary 40 V power LDMOS-FETs using existing fabrication steps in submicron CMOS technology", in IEEE International Electron Devices Meeting Tech. Dig., IEDM'94, pp.399-402, 1994.
- [3.8] Arlette Marty-Blavier, Didier Farenc, Thierry Sicard, Gisele Blanc, Irene Pages, "A Cost Effective Smart Power Technology for 45V Applications", in Proceedings of the 27th European Solid-State Device Research Conference, ESSDERC'97, Stuttgart, Setembro, 1997.
- [3.9] Electronic Trend Publications, "Smart Power Markets and Applications", 1996.
- [3.10] J. D. Plummer, R. A. Blanchard, "Power MOS devices in discrete and integrated circuits", in Power Integrated Circuits, P. Antognetti (editor), Cap. 3, pp.3.1 McGraw-Hill Book Co., 1986.
- [3.11] F. H. Behrens, S. Finco, "Proposta de arquitetura de uma célula básica de potência e de blocos básicos aplicáveis em matrizes semidedicadas", Relatório Técnico RT2_01, Fundação CTI, Dezembro, 1998.
- [3.12] A. P. Casimiro, S. Finco, M. I. Castro Simas, F. Behrens, "Semicustom Smart Power Design: a Novel Transistor Cell Architecture", International Conference on Microelectronics and Packaging - ICMP'98 (XIII SBMICRO), Curitiba, Brasil, Agosto de 1998.
- [3.13] S. Finco, F. H. Behrens, M. I. Castro Simas, "A Smart Power IC for DC-DC Power Regulation", in Proceedings IEEE Industrial Application Society 27th Annual Meeting, IAS'92, pp.1204-1211, Houston, Texas, U.S.A., Outubro, 1992.
- [3.14] M. I. Castro Simas, J. Costa Freire, S. Finco, F. H. Behrens, "Modeling and Characterization of LDD and LDSN NMOS Transistors", in Proceedings IEEE Industrial Applications Society 28th Annual Meeting, IAS'93, pp. 1183-1189, Toronto, Ontario, Canada, Outubro, 1993.
- [3.15] B. Murari, F. Bertotti, G. A. Vignola, "Smart Power IC's – Technologies and Applications", Springer Editor, 1995.
- [3.16] P. Santos, J. Dias, S. Finco, M. I. Castro Simas, F. H. Behrens, M. Lança, "Otimização de uma Estrutura LDD-NMOS", Anais do IV Workshop Iberchip, pp. 381-387, Mar del Plata, Argentina, Março, 1998.
- [3.17] P. M. Santos, M. I. Castro Simas, S. Finco, F. Behrens and M. Lança, "Breakdown Voltage Improvement of Standard MOS Technologies Targeted at Smart Power", Proceedings of Industry Applications Society Annual Meeting, IAS'95, pp. 937-945, Orlando, Florida, Outubro 1995.
- [3.18] F. H. Behrens, S. Finco, R. P. Ribas, F. Chavez, L. A. Razera, "Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal", Anais do I Workshop Iberchip, pp. 259-270, Cartagena de Indias, Colômbia, Fevereiro, 1995.
- [3.19] S. Finco, J. Guilherme, F. H. Behrens, M. I. Castro Simas, "Monolithic Smart Switching Cell Targeted to a Wide Range of Low Power High Density Applications", IEEE Power Electronics Specialists Conference, pp. 457-462, Taipei, R. O. China, Junho, 1994.
- [3.20] S. Finco, J. Guilherme, F. Behrens, M. I. Castro Simas and M. Lança, "Pushing Standard CMOS Technologies into Smart Power Conversion and Amplification", Journal of Circuits, Systems and Computers, vol. 5, no. 3, pp. 455-463, © World Scientific Publishing Company, 1995.
- [3.21] "AMS – 2 um CMOS 50V Process Parameter and Layout Rules, Doc. 9933007, Rev. A", 1996.
- [3.22] F. H. Behrens, S. Finco, "Proposta de arquitetura de uma célula básica de potência e de blocos básicos aplicáveis em matrizes semidedicadas", Relatório Técnico RT2_01, Fundação CTI, Dezembro, 1998.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

4

Circuitos, Matrizes e Aplicações: Resultados Experimentais

Onde se apresentam as características físicas, elétricas e funcionais de alguns dos circuitos realizados e uma análise do comportamento dos circuitos e topologias propostas no âmbito deste trabalho. São apresentadas simulações elétricas dos circuitos, resultados experimentais e fotografias com detalhes das plantas dos circuitos concretizados que pormenorizam a estratégia utilizada no desenho das plantas.

Capítulo 4

Circuitos, Matrizes e Aplicações: Resultados Experimentais

4 RESULTADOS EXPERIMENTAIS CIRCUITOS, MATRIZES E APLICAÇÕES:	113
4.1 INTRODUÇÃO	113
4.2 CIRCUITOS PARA O CONTROLE DE POTÊNCIA	116
4.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação	116
4.2.1.1 Circuitos Zener	120
4.2.1.2 Circuitos Retificadores	121
4.2.1.3 Associação Série de Circuitos Zener com Retificador	122
4.2.2 Circuitos de Deslocamento de Nível	123
4.2.3 Circuitos de Excitação	124
4.2.3.1 Circuitos de Bombeamento de Cargas	124
4.2.3.2 Circuitos de Intensificação de Excitação	126
4.3 MATRIZES SEMIDEDICADAS E CÉLULAS DE POTÊNCIA	
BASEADAS EM ESTRUTURAS LDSD E LDMOS	127
4.3.1 Esquema Elétrico das Células de Potência	127
4.3.2 Características Elétricas das Células de Potência	131
4.3.3 Planta das Células de Potência, dos Agregados e das Matrizes	135
4.4 EXEMPLOS DE CIRCUITOS DE APLICAÇÃO	140
4.4.1 Fonte de alimentação 24V DC	141
4.4.2 Micro-sistema para Estimulação Terapêutica	143
4.4.3 Sistema para Indústria Automotiva	148
4.5 CONCLUSÕES	150
4.6 REFERÊNCIAS:	152

4 Circuitos, Matrizes e Aplicações: Resultados Experimentais

4.1 Introdução

Uma das atividades mais importantes associadas à realização de um novo circuito, seja ele integrado ou discreto, é a sua comprovação experimental. Neste trabalho, os resultados obtidos durante a realização das experiências permitiram verificar o comportamento funcional esperado e estabelecer alguns limites à aplicação do modelo teórico.

Neste capítulo são apresentados as simulações elétricas, os resultados experimentais e fotografias, que pormenorizam as plantas dos circuitos concretizados. O conteúdo apresenta, em detalhes, subsídios para a análise do comportamento dos circuitos e topologias propostas, cuja funcionalidade foi descrita no Capítulo 3. Adicionalmente são apresentados protótipos de outros circuitos mais complexos, com potencial aplicação industrial, que foram simulados, construídos, testados e são relatados neste capítulo.

Os resultados apresentados a seguir estão inseridos no âmbito do desenvolvimento das matrizes semidedicadas para aplicações de potência, configuráveis através de apenas um nível de metal, em consonância com o Projeto de Prototipagem Rápida do Instituto de Microeletrônica da Fundação Centro Tecnológico para Informática – CTI [4.1]. As topologias de circuitos descritos foram projetadas e concretizadas em CIs experimentais, contendo agregados de matrizes realizadas com Células Básicas NMOS [4.2], organizados e dimensionados na forma de um circuito genérico de múltiplos propósitos, que foram previamente fabricados em tecnologias CMOS 1,5 μm da ES2-European Silicon Structures [4.3] e 2,0 μm da AMS – Austria Mikro Systeme [4.4].

Os protótipos das topologias dos circuitos concretizados foram testados e caracterizados, visando determinar o desempenho e as características dos dispositivos de potência incluídos nas matrizes. A viabilidade da fabricação monolítica foi verificada através da utilização de transistores individuais de um mesmo circuito monolítico, que operam com diferentes tensões e alguns componentes, tipicamente resistores, capacitores ou indutores, cujo dimensionamento ou restrições de operação exige a sua utilização na forma discreta e externamente ao CIIP. Este capítulo, à semelhança do capítulo anterior, está organizado de maneira que o leitor possa primeiramente observar o comportamento dos circuitos fundamentais necessários ao

desenvolvimento de CIIP e na sequência, são apresentados os resultados sobre as matrizes configuráveis por um nível de metal e circuitos de aplicações construídos.

Conforme exposto anteriormente, a motivação deste trabalho foi a procura de soluções para a realização de CIIP configuráveis, compatíveis com a tecnologia CMOS convencional. Nesta procura, o elemento fundamental é o dispositivo de potência passível de ser construído de modo similar em diversas tecnologias, que permitem a construção de CIIP. Observou-se que o dispositivo mais freqüente e de construção mais favorável é o transistor NMOS. Na sequência desta constatação, surgiram duas perguntas:

- 1) Dada uma tecnologia onde existam somente estruturas NMOS isoladas, os circuitos necessários à realização dos CIIP são ainda passíveis de ser construídos?
- 2) Estes circuitos podem ser construídos com base numa estrutura de múltiplas células básicas que constitua um padrão geométrico de fácil repetição?

Os circuitos apresentados no âmbito desta dissertação são respostas a ambas as perguntas. Este capítulo primeiramente apresenta os resultados associados aos circuitos, respondendo à primeira pergunta e na sequência apresenta os resultados da concretização destes, respondendo à segunda pergunta. A despeito do conteúdo deste capítulo responder às duas perguntas acima formuladas, uma terceira pergunta fundamental é apenas perspectivada neste capítulo:

- 3) Posso construir um determinado projeto utilizando esta estratégia de integração?

Esta pergunta somente pode ser respondida mediante uma especificação clara do projeto. É propósito do autor que a análise detalhada deste trabalho oriente a decisão do projetista de CIIP para soluções mais eficientes, considerando todos os fatores envolvidos no projeto de sua responsabilidade, onde entre eles certamente se encontram os fatores custo e volume de produção.

As topologias de circuitos eletrônicos de excitação e controle, descritos no Capítulo 3, foram testadas utilizando a configuração de dois circuitos integrados construídos na forma de arranjo matricial de transistores LDSD e de LDMOS, respectivamente. Estes circuitos integrados, bem como algumas amostras do circuito integrado CON.PROT3 [4.5] permitiram verificar o desempenho das diversas topologias de circuitos, destinados à concretização não só dos

dispositivos de potência ligados diretamente à carga, mas também dos seus circuitos de excitação e controle.

A Figura 4.1 mostra a montagem experimental desenvolvida para uma utilização fácil da matriz de transistores LDSO (ou LDMOS), para concretizar circuitos que permitam a caracterização das diversas topologias de circuitos. Esta montagem mostrou-se versátil quanto à facilidade de realizar as interligações entre as células internas, ou com alguns componentes discretos, através de ligações externas. Uma montagem equivalente foi realizada para a utilização dos transistores do circuito integrado CON.PROT3.

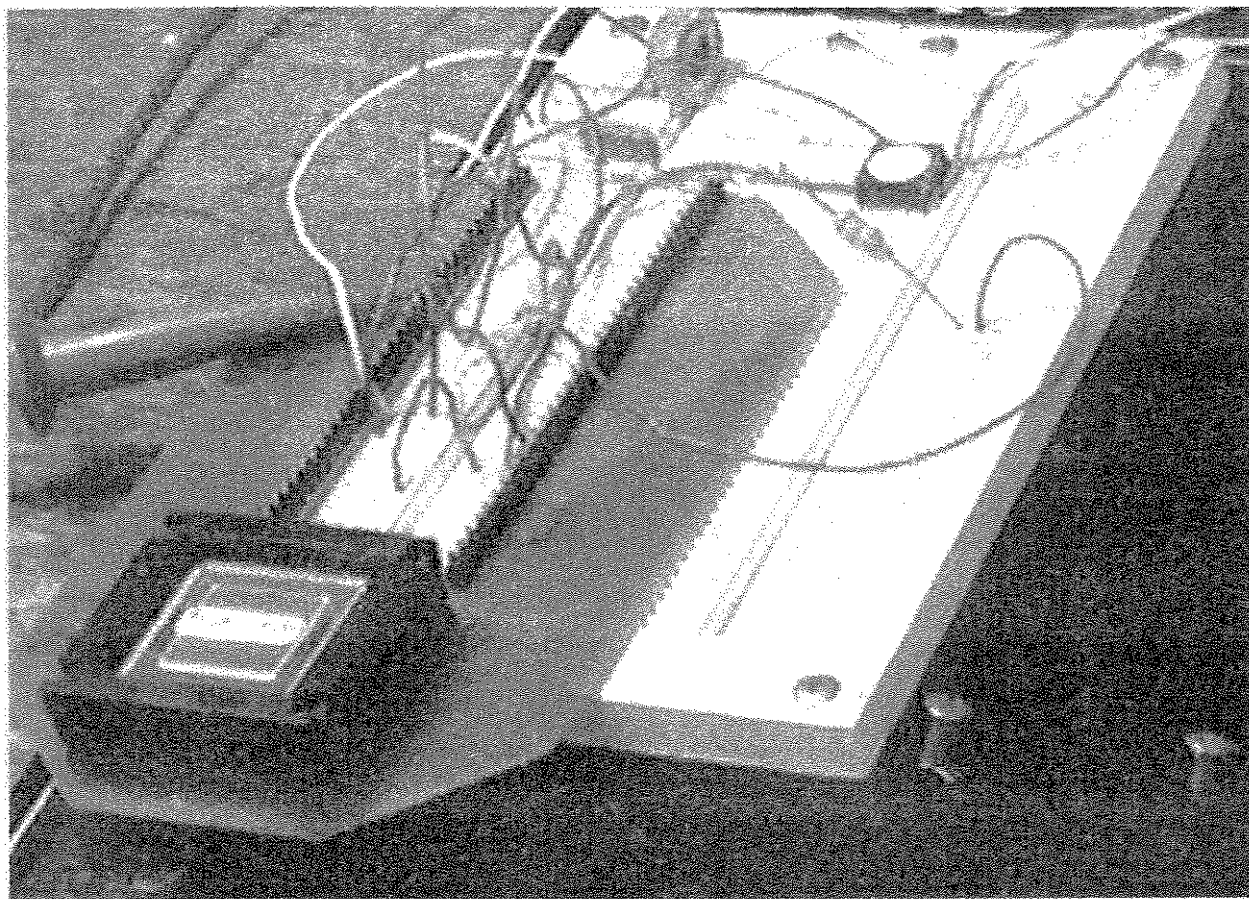


Figura 4.1 – Montagem experimental utilizando a placa de circuito impresso padrão, elaborada para acesso aos transistores individuais da matriz de transistores LDSO (ou LDMOS), para o teste de topologias de circuitos de excitação e controle de dispositivos de potência.

4.2 Circuitos para o Controle de Potência

Os circuitos necessários ao controle de potência e à excitação dos dispositivos de potência diretamente aplicados à carga, podem ser agrupados segundo a classificação seguinte:

- a) Retificadores, retentores, reguladores e limitadores;
- b) Deslocadores de nível;
- c) Bombecedores de cargas (*charge pump*);
- d) Intensificadores de excitação (*bootstrap*);
- e) Fontes de corrente DC.

Os princípios de funcionamento e a topologia destes circuitos já foram descritos no capítulo anterior. Este capítulo é dedicado à apresentação dos resultados de simulação e medidas experimentais dos circuitos acima referidos, construídos recorrendo apenas a Estruturas NMOS, que utilizam basicamente transistores LDSD ou LDMOS.

4.2.1 Circuitos de Retificação, Retenção, Limitação e Regulação

Os Circuitos de Retificação, Retenção, Limitação e Regulação são circuitos básicos necessários ao controle de potência dos CIIP.

Os circuitos descritos nas seções a seguir foram concretizados em tecnologia CMOS convencional. Os parâmetros de simulação foram fornecidos pelo fabricante da tecnologia [4.4]. O simulador elétrico utilizado foi o Accusim (Kernel do Eldo) da Mentor Graphics. Das inúmeras topologias possíveis de circuitos de controle do circuito Zener, escolheu-se, para fins de análise de simulação, um circuito de controle que possui uma equação de tensão "Zener" dada por $V_Z = (V_{Ref} \times 2 + 2) \pm 10\%$.

O controle utilizado para simulação e medidas elétricas foi projetado para depender do valor de uma tensão de referência, V_{Ref} , multiplicado por uma constante que depende da relação entre resistências, portanto pouco sensível à variação do processo ou até mesmo da temperatura. V_{Ref} é uma tensão de controle referenciada ao terra analógico e pode variar tipicamente de 1 a 4 V para a tensão de alimentação V_{dda} de 5 V dos circuitos analógicos utilizados no controle. O valor de V_Z tem uma certa dependência da tensão de operação a que o cátodo se encontra e, para este circuito, pode atingir um valor de até 10% de V_K , devido ao efeito de corpo existente no transistor LDSD, utilizado para emular o diodo Zener.

A Figura 4.2 apresenta o esquema elétrico de um circuito que contém três conjuntos de dispositivos. Cada conjunto contém três funções distintas: de um diodo retificador; de um diodo Zener; e de uma associação diodo Zener com diodo retificador. O primeiro conjunto (1), da esquerda para a direita, foi baseado em dispositivos discretos, o segundo conjunto (2) em dispositivos LDSO e o terceiro (3) em LDMOS. Este circuito foi selecionado como exemplo para apresentar os resultados de simulação, comparando as funcionalidades de cada circuito com a sua concretização com componentes discretos.

O sinal HV é um sinal de alta tensão, que varia de 0 a 50 V, com forma de onda triangular na frequência de 100 KHz. V_K é a tensão forçada nos terminais de cátodo do diodo retificador e dos circuitos que emulam seu comportamento. V_{Ref} é o sinal de tensão aplicado no circuito de controle dos circuitos Zener. O circuito de controle existente em cada circuito Zener é alimentado pela tensão Vdda; no caso destes circuitos é de 5 V. O diodo retificador de sinais 1N4148 e o diodo Zener 1N543, V_Z de 8 V, foram os componentes discretos utilizados neste exemplo. Em cada ramo do circuito, entre o sinal HV e o sinal V_K , existe um resistor de 10 K Ω , associado em série com um componente discreto ou circuito.

As Figuras 4.3 e 4.4 apresentam resultados de simulação do circuito da Figura 4.2 para valores de V_K iguais a 10 e 30 V, com V_{Ref} igual a 2,9 V e estão divididas em quatro conjuntos de gráficos. Na sequência, e de cima para baixo, o primeiro conjunto de gráficos contém os sinais de estímulo do circuito (HV, V_K , V_{Ref} e Vdda). O segundo, terceiro e quarto conjuntos apresentam os sinais de interesse observados para uma análise comparativa entre as três formas de concretização de uma mesma funcionalidade. No segundo, terceiro e quarto conjuntos α , δ e γ , são os sinais de tensão sobre a associação dos componentes discretos; igualmente, β , ϵ e η são os sinais de tensão sobre o equivalente circuito baseado no transistor LDSO, e χ , ϕ e ι são os sinais de tensão sobre o circuito equivalente baseado no transistor LDMOS, respectivamente.

A tensão V_K está presente nos quatro conjuntos e serve como referência para a observação do comportamento de cada um dos sinais presentes no gráfico. Nota-se que os sinais β e χ no segundo conjunto e γ e ι no quarto conjunto estão sobrepostos para esta resolução gráfica. Da observação destes conjuntos, é possível perceber que os circuitos construídos realizam a funcionalidade programada com um desempenho adequado.

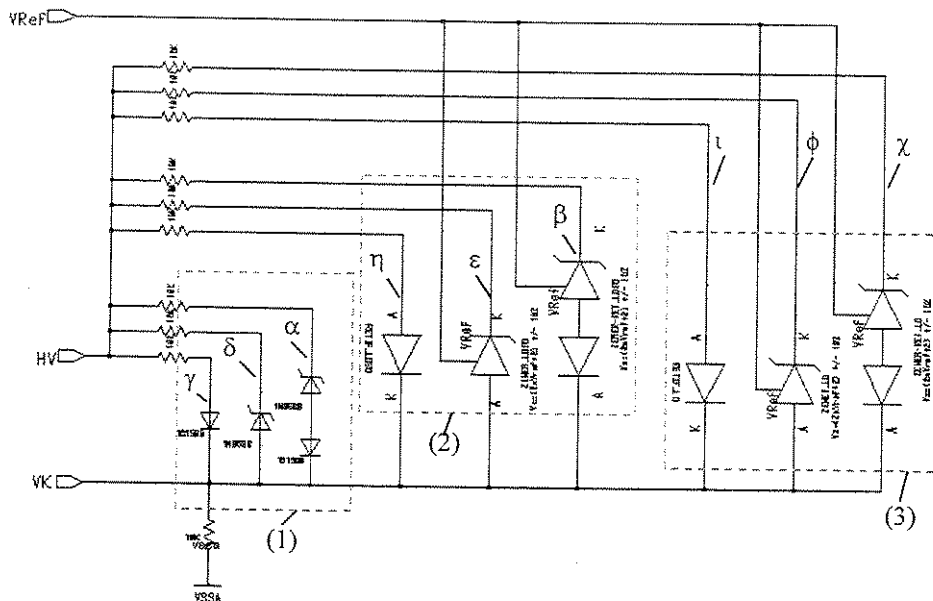


Figura 4.2 – Esquema de circuito elétrico comparativo construído com componentes (1) discretos; (2) circuitos baseados em LDSD; e (3) LDMOS.

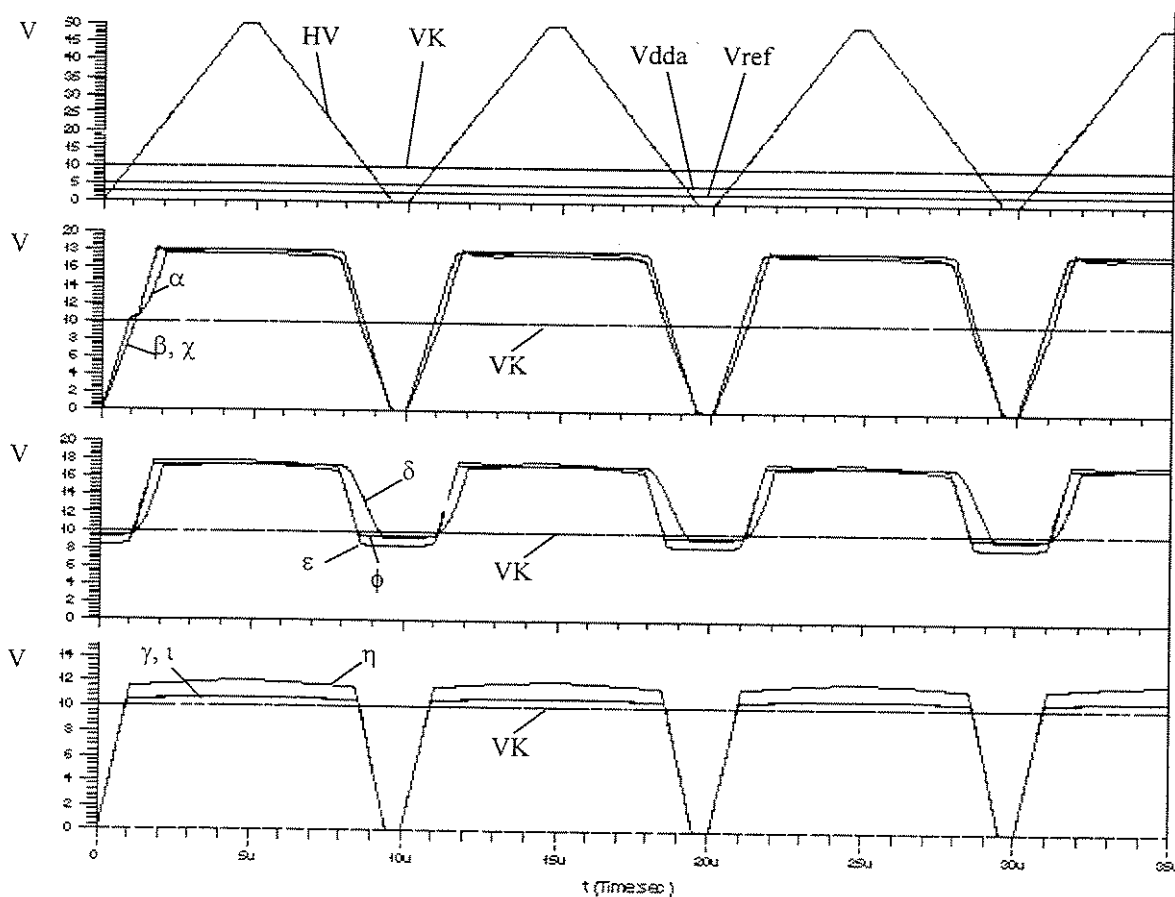


Figura 4.3 - Resultado de simulação elétrica do esquema da Figura 4.2 com $V_K = 10$ V.

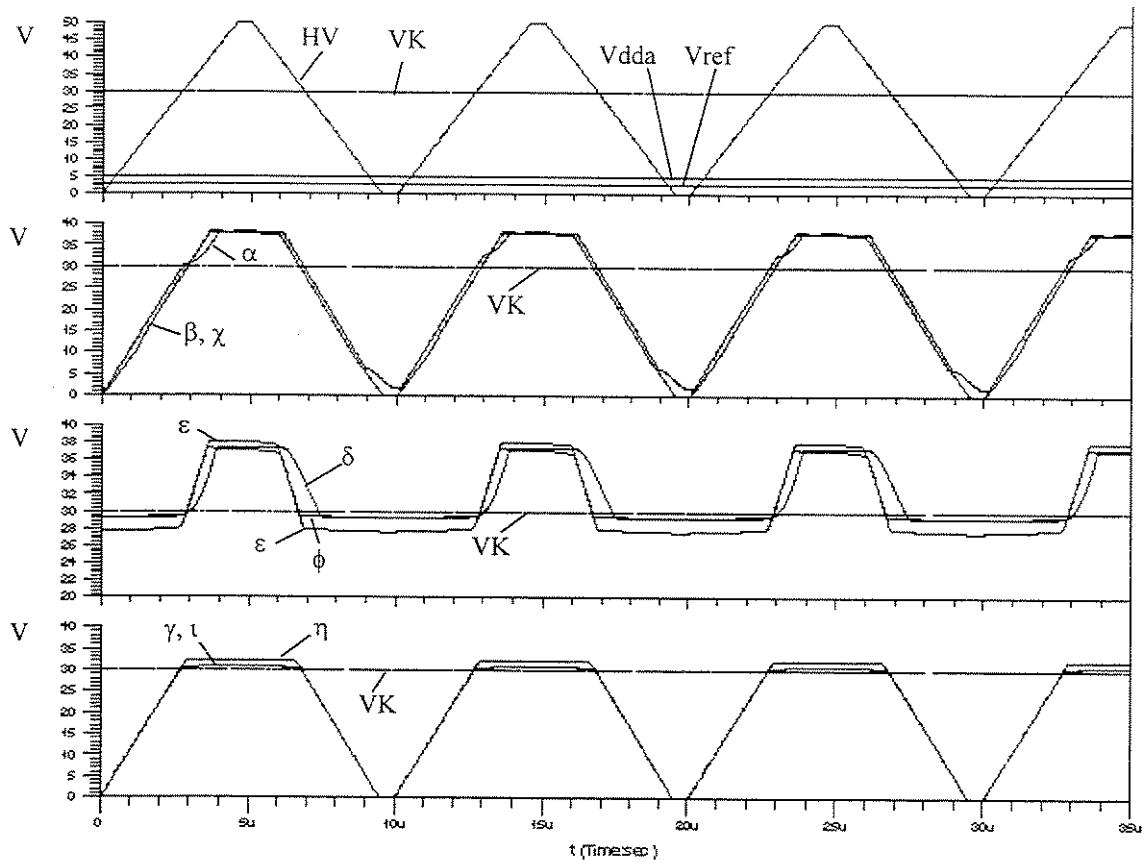


Figura 4.4 - Resultado de simulação elétrica do esquema da Figura 4.2 com $V_K = 30$ V.

A Figura 4.5 apresenta os resultados de simulação elétrica dos circuitos Zener da Figura 4.2, sinais ϵ e ϕ , programável por tensão para V_K igual a 10 e 30 V. Note-se que a tensão “Zener” do circuito obedece à expressão $V_Z = (V_{Ref} \times 2 + 2) \pm 10\%$.

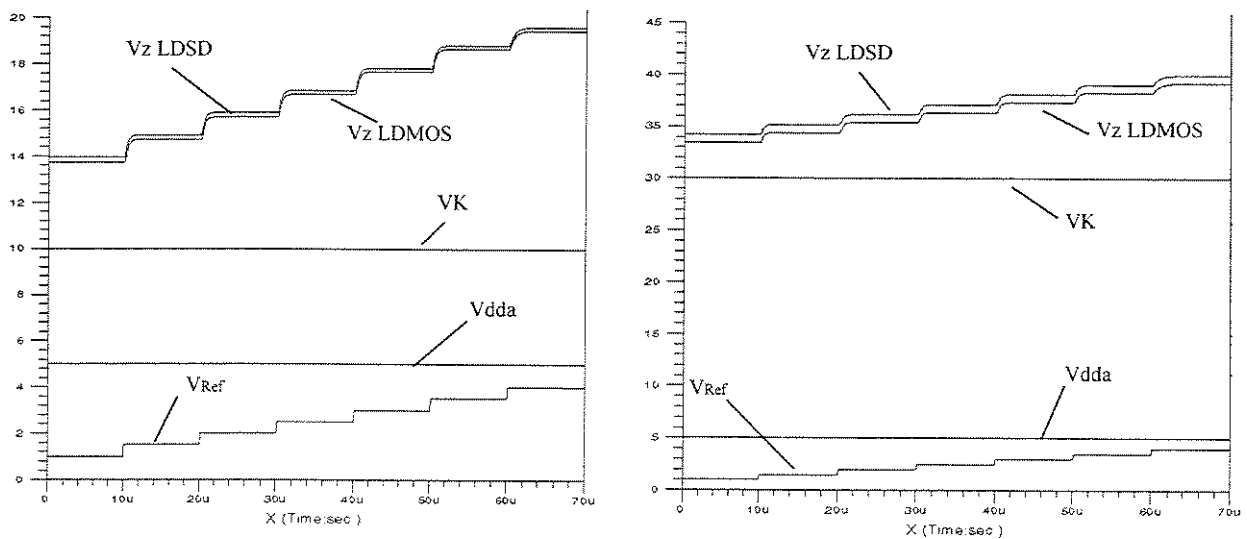


Figura 4.5 – Apresentação dos resultados de simulação elétrica dos circuitos Zener programável por tensão construídos, baseados em transistores LDS e LDMOS para V_K de 10 e 30 V.

4.2.1.1 Circuitos Zener

As Figuras 4.6 e 4.7 apresentam os resultados de simulação e os resultados das medidas elétricas dos circuitos concretizados que emulam um diodo Zener, utilizando transistores LDSD e LDMOS das matrizes referidas (ver 3.3), em comparação com a curva de um diodo Zener discreto. Os sinais observados são os sinais δ , ϵ e ϕ do circuito da Figura 4.2, para a tensão de VK igual a 10 V, HV com uma amplitude de 20 V a uma frequência de 10 KHz. Utilizou-se um resistor de 5,6 K Ω em série com o diodo Zener de 5,1 V e com circuito Zener. Observe-se que os sinais ϵ e ϕ apresentam a mesma característica funcional, que é o sinal δ sobre o diodo Zener discreto.

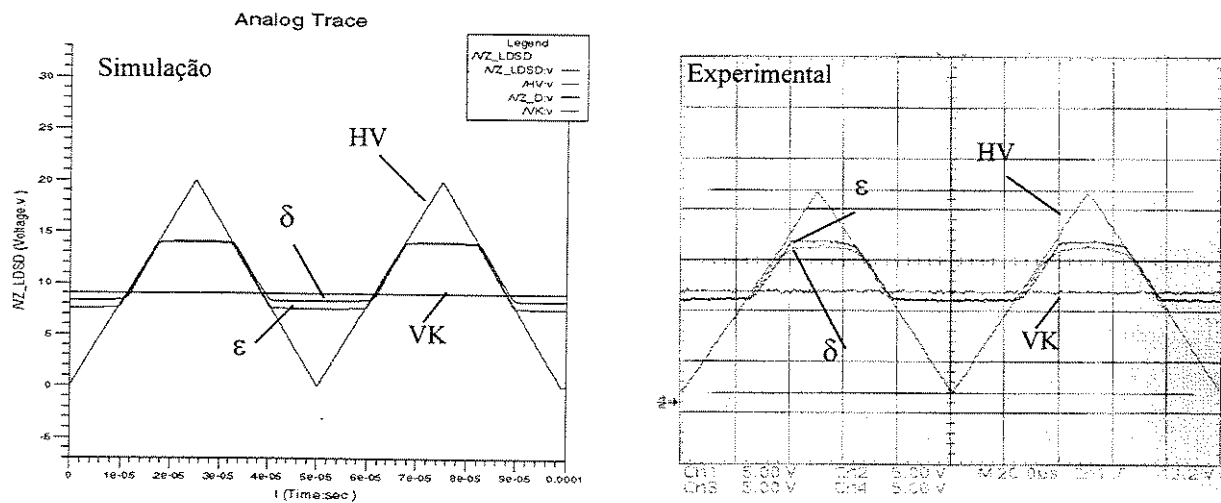


Figura 4.6 – Circuito Zener concretizado com LDSD: simulação e medidas elétricas.

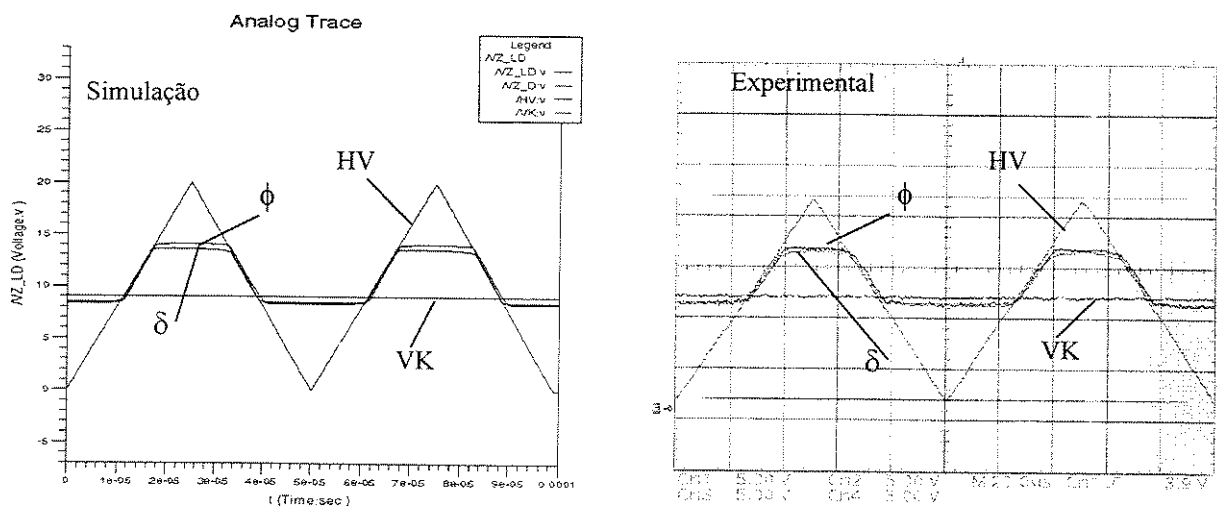


Figura 4.7 – Circuito Zener concretizado com LDMOS: simulação e medidas elétricas.

4.2.1.2 Circuitos Retificadores

As Figuras 4.8 e 4.9 apresentam os resultados de simulação e os resultados das medidas elétricas dos circuitos concretizados que emulam um retificador, utilizando transistores LDSD e LDMOS das matrizes referidas (ver 3.3), em comparação com a curva de um diodo retificador discreto. Os sinais observados são os sinais γ , η e ι do circuito da Figura 4.2, para a tensão de VK igual a 10 V, HV com uma amplitude de 20 V a uma frequência de 10 KHz. Utilizou-se um resistor de 5,6 k Ω em série com o diodo Zener 5,1 V e com circuito retificador. Observe-se que os sinais η e ι apresentam a mesma característica funcional, que é o sinal γ sobre o diodo discreto.

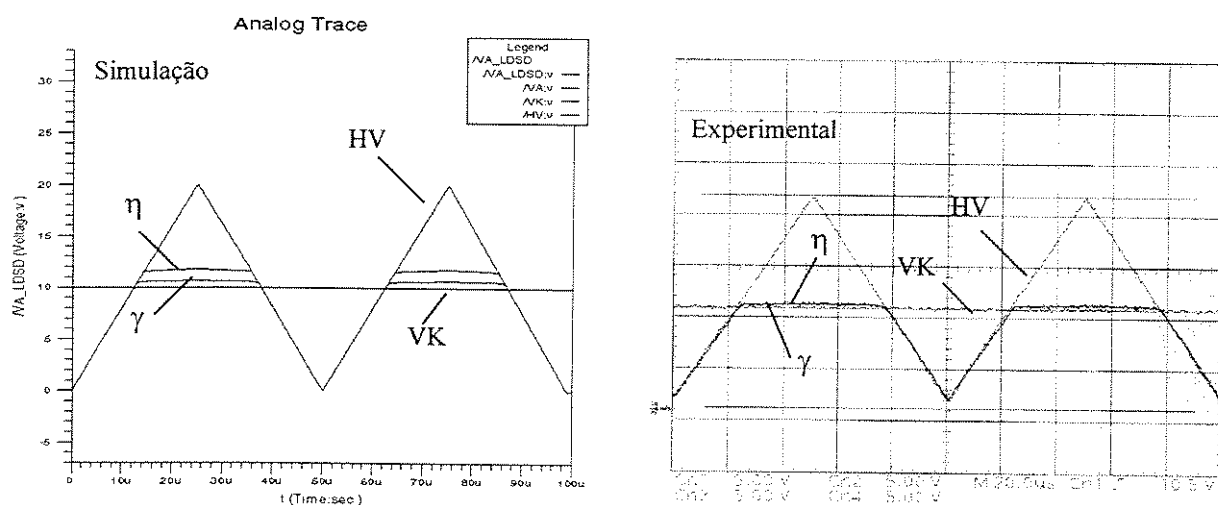


Figura 4.8 – Circuito retificador concretizado com LDSD: simulação e medidas elétricas.

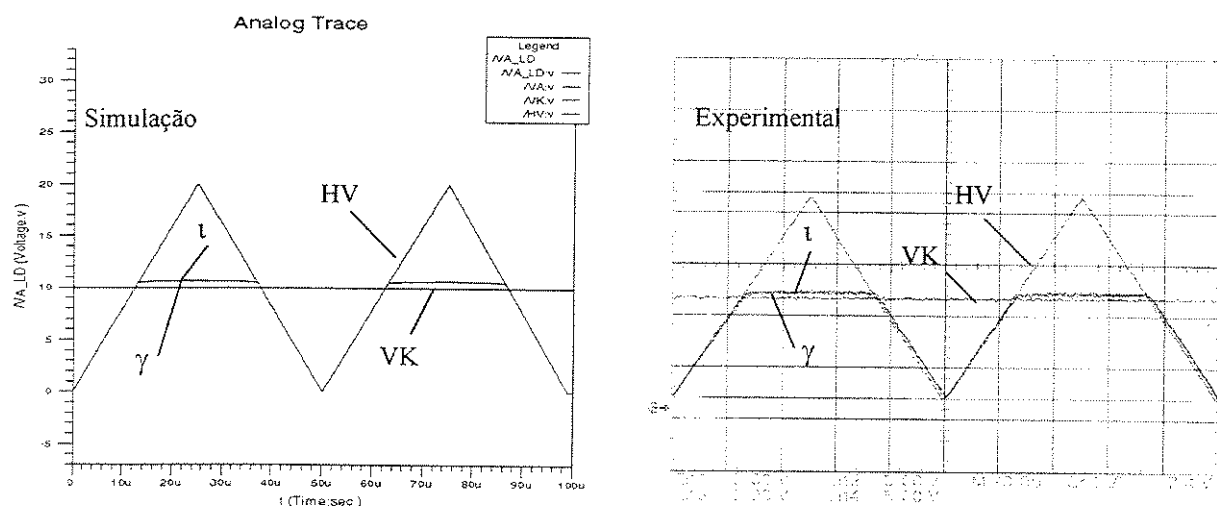


Figura 4.9 – Circuitos retificadores concretizado com LDMOS: simulação e medidas elétricas.

4.2.1.3 Associação Série de Circuitos Zener com Retificador

As Figuras 4.9 e 4.10 apresentam os resultados de simulação e os resultados das medidas elétricas dos circuitos concretizados que emulam uma associação Zener com um retificador, utilizando transistores LDSD e LDMOS das matrizes referidas em 3.3, em comparação com a curva de uma associação com diodos discretos. Os sinais observados são os sinais α , β e χ do circuito da Figura 4.2, para a tensão de VK igual a 10 V, HV com uma amplitude de 20 V a uma frequência de 10 KHz. Utilizou-se uma resistência de 5,6K Ω em série com a associação do diodo Zener de 5,1 V com o retificador e com o circuito NMOS que emula esta associação. Observe-se que os sinais β e χ apresentam a mesma característica funcional, que é o sinal α sobre a associação realizada com diodos discretos.

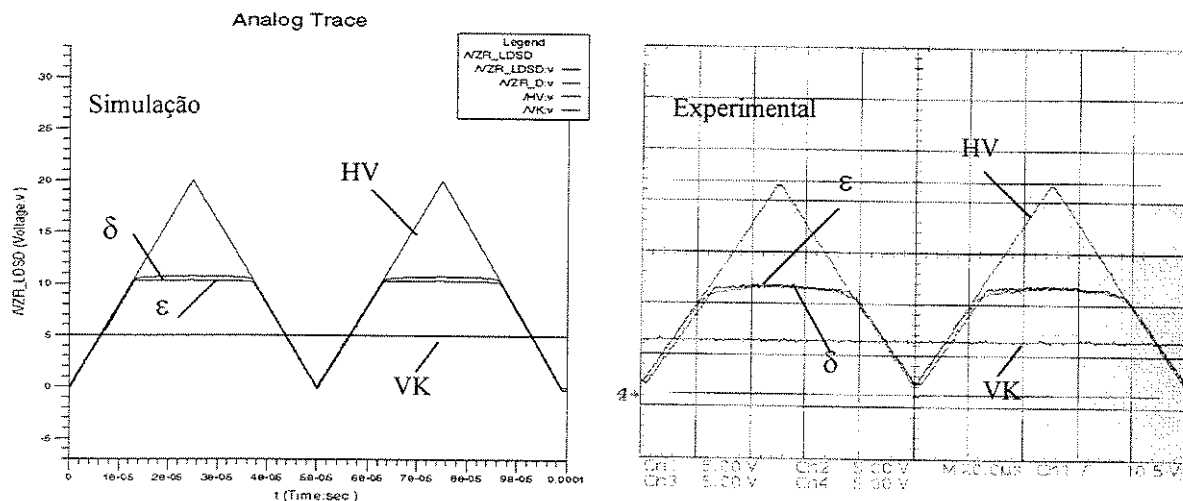


Figura 4.9 – Associação concretizada com LDS: simulação e medidas elétricas.

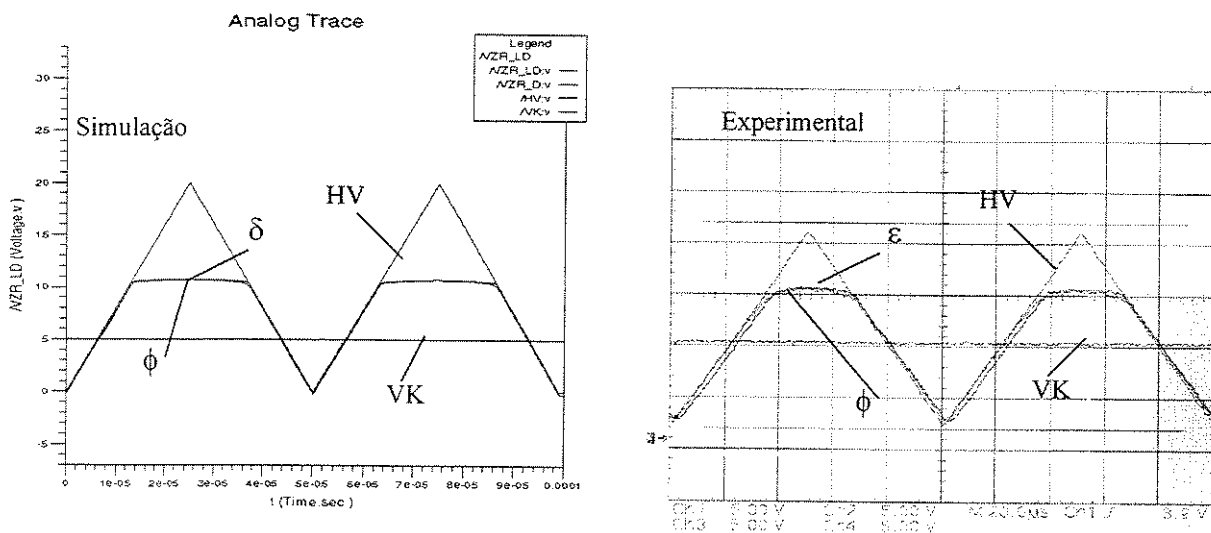


Figura 4.10 – Associação concretizados com LDMOS: simulação e medidas elétricas.

4.2.2 Circuitos de Deslocamento de Nível

As Figuras 4.11 e 4.12 apresentam os resultados de simulação e os resultados experimentais das medidas elétricas dos circuitos concretizados conforme o circuito apresentado nas Figuras 3.10 e 3.11, porém implementado na sua forma simplificada sem R2 e DZ, operando com $HV = 20V$. Deve-se notar que os resultados experimentais foram melhores que os resultados de simulação no que diz respeito à excursão do sinal S, especialmente para a configuração que utiliza o transistor LDSD. Outro detalhe importante: o circuito de comando opera com tensão de controle em E (Figura 4.11), desde 1,6 Vp, até 20 V, como garantido pelos parâmetros elétricos de projeto fornecido pelo fabricante [4.4]. O valor de R1 utilizado, tanto na simulação como na montagem experimental, foi de 27 K Ω . Foi levado em consideração na simulação o valor de 50pF para quantificar os efeitos capacitivos parasitas do nó f da montagem experimental da Figura 3.11.

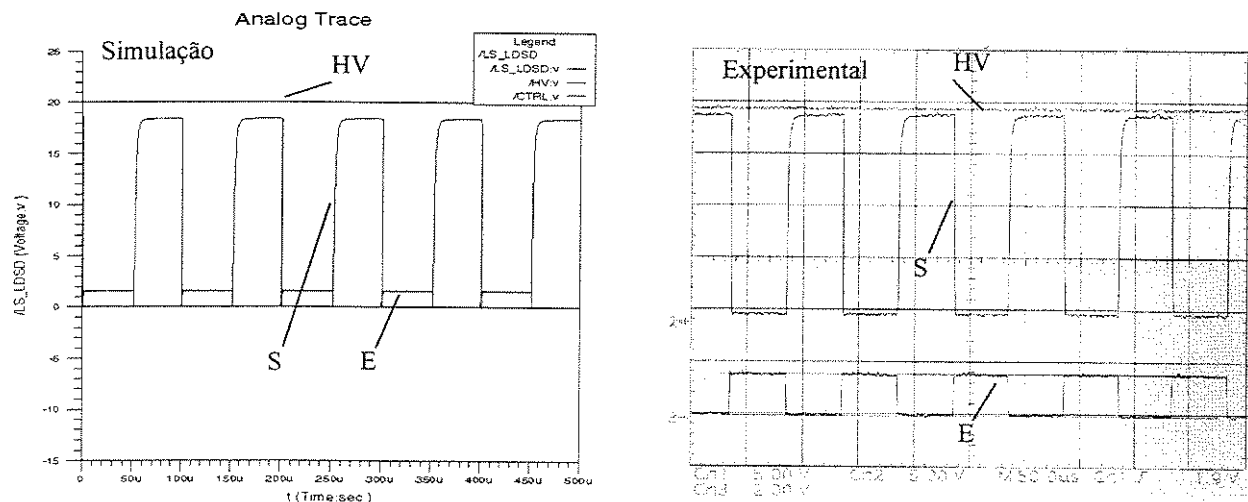


Figura 4.11 – Circuito deslocador de nível concretizado com LDSD: simulação e medidas elétricas.

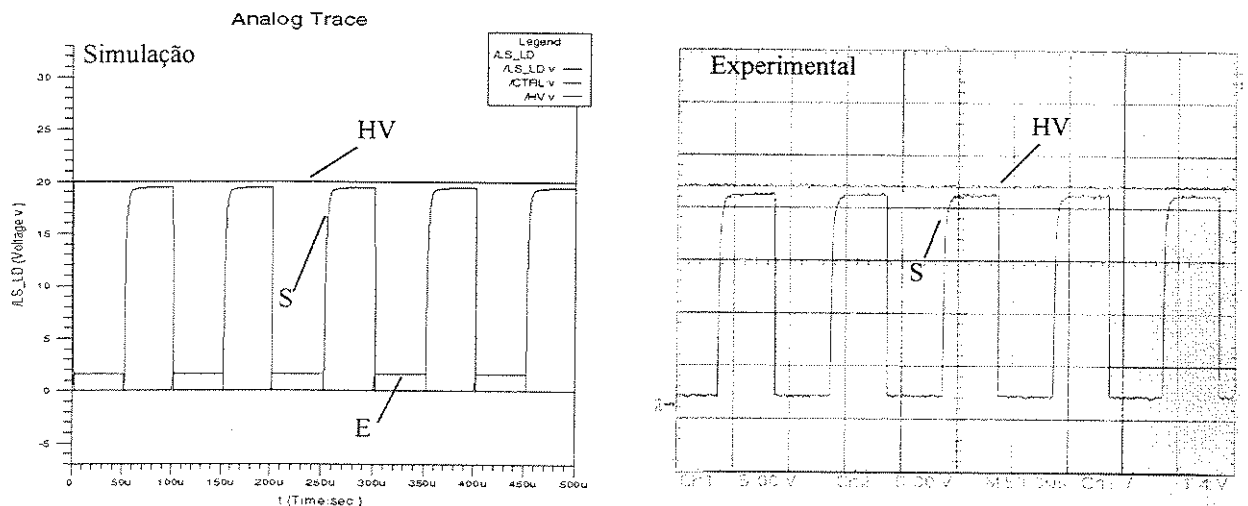


Figura 4.12 – Circuito deslocador de nível concretizado com LDMOS: simulação e medidas elétricas.

UNICAMP

BIBLIOTECA CENTRAL

SEÇÃO CIRCULANTE

4.2.3 Circuitos de Excitação

4.2.3.1 Circuitos de Bombeamento de Cargas

As Figuras 4.13 e 4.14 apresentam os resultados de simulação e os resultados das medidas elétricas dos circuitos concretizados conforme a topologia do circuito da Figura 3.15, concretizados com LDSD e LDMOS respectivamente, operando com HV de 12 V e com C_{ctrl} (b), com amplitude de 5V, referenciado ao terra, a uma frequência de 2 MHz, aplicado como sinal de estímulo. As montagens experimentais foram realizadas utilizando os Circuitos Deslocadores de Nível relativos às Figuras 3.10 e 3.11, implementados na sua forma simplificada sem R2 e DZ, associados aos Circuitos Retificadores das Figuras 3.7 e 3.8, respectivamente para a versão LDSD e LDMOS. Tanto na simulação como na montagem experimental, foram utilizados capacitores C_{Bp} de 89pF.

O Circuito de Bombeamento de Cargas utilizado funciona como circuito de excitação de um transistor isolado, cujo dreno está ligado em HV (12 V) e cuja fonte está ligada a uma carga constituída por um resistor de 330 Ω , em paralelo com uma capacitância de 10nF, ligados ao terminal GND. A capacitância de porta, C_{Tq}, do transistor isolado utilizado foi de aproximadamente 200pF. O terminal (d) está ligado à fonte do transistor de potência e o terminal (e) à porta do transistor de potência. As Figuras 4.13 e 4.14 apresentam as formas de onda simuladas e medidas, tanto sobre a carga como sobre a porta do transistor isolado. Observe-se que o sinal (e) possui uma ondulação significativa. Esta ondulação é devida principalmente às altas capacitâncias parasitas existentes na montagem experimental, principalmente entre o Ânodo e o Cátodo do diodo D2, da ordem de 30-50pF, que também foram consideradas durante a simulação.

A Figura 4.15 apresenta os resultados da simulação e do teste do protótipo da fonte de tensão flutuante, obtida a partir da topologia do circuito da Figura 3.18, para um circuito concretizado com LDMOS, com a função de gerar uma fonte de tensão, V⁺C_{Tq} com valor pelo menos 5V superior a HV, quando operando com tensões de HV entre 10 e 14 V para uma corrente de 1mA. O terminal A da Figura 3.18 está ligado à alta tensão, HV, e corresponde à saída de alta tensão desejada (V⁺C_{Tq}=V_B). O sinal de estímulo aplicado foi de 5 V a uma frequência de 300 KHz, com C_{Bp} de 4,7nF e C_{Tq} de 10nF. A corrente de carga solicitada foi de 1mA. Uma característica importante é o desempenho do deslocador de nível, cuja saída, OUT_LS, é apresentada na Figura 4.15.

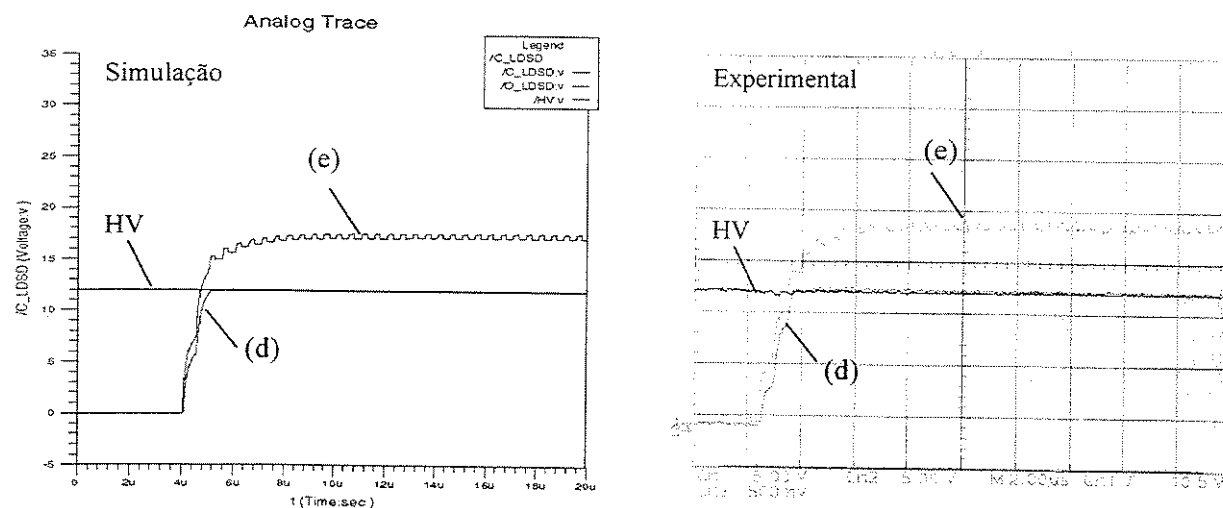


Figura 4.13 – Circuito de bombeamento de cargas concretizado com LDSD: simulação e medidas elétricas.

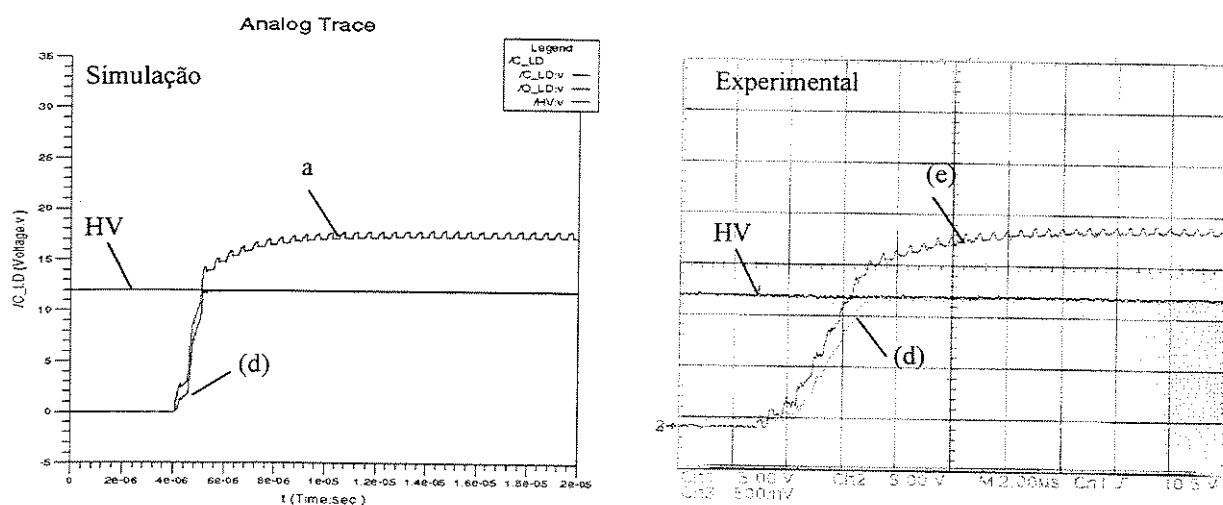


Figura 4.14 – Circuito de bombeamento de cargas concretizado com LDMOS: simulação e medidas elétricas.

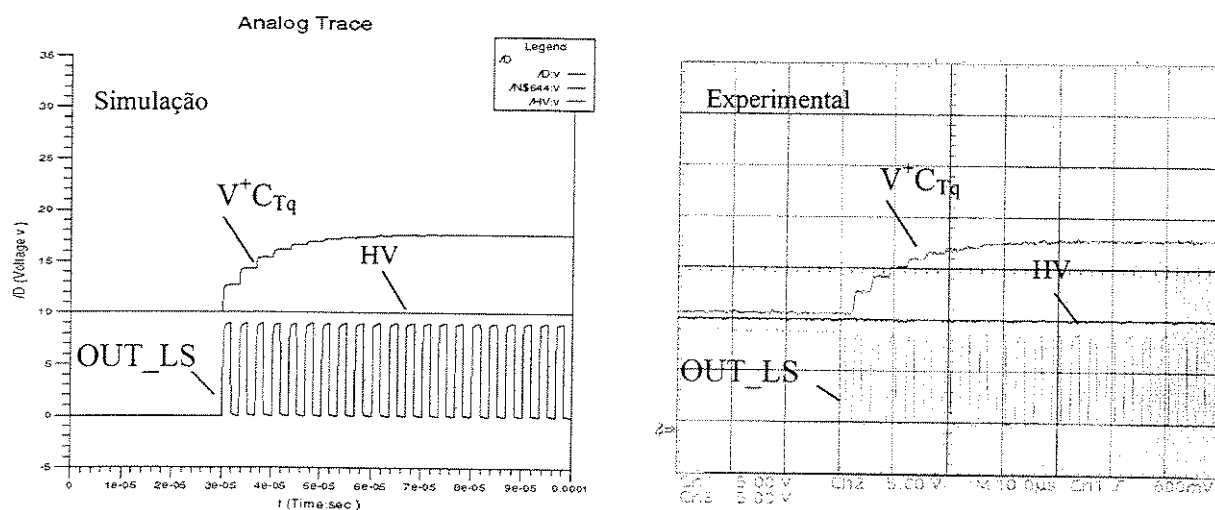


Figura 4.15 – Circuito fonte de tensão flutuante concretizado com LDMOS: simulação e medidas elétricas.

4.2.3.2 Circuitos de Intensificação de Excitação

As Figuras 4.16 e 4.17 apresentam os resultados de simulação e os resultados das medidas elétricas dos circuitos de Intensificação de Excitação, utilizando LDSD e LDMOS, respectivamente concretizando a topologia da Figuras 3.20, porém sem o transistor ML, operando com V_{Aux} de 12 V e com um sinal de controle Ctrl de 10 KHz com amplitude de 5V. O Transistor MH utilizado possui uma resistência de condução, R_{on} de aproximadamente 10 e 3,5 Ω , respectivamente para a concretização com um transistor LDSD e com um transistor LDMOS, integrado monoliticamente com o circuito de excitação. A carga R_{Boot} exigiu uma corrente de 200 mA. O diodo D1 foi concretizado com os Circuitos Retificadores das Figuras 3.7 e 3.8. As indicações V_{Aux} , V_{out} e V^+C_{Boot} correspondem à tensão de alimentação do circuito, tensão de saída sobre a carga R_{Boot} e no pólo positivo do capacitor C_{Boot} .

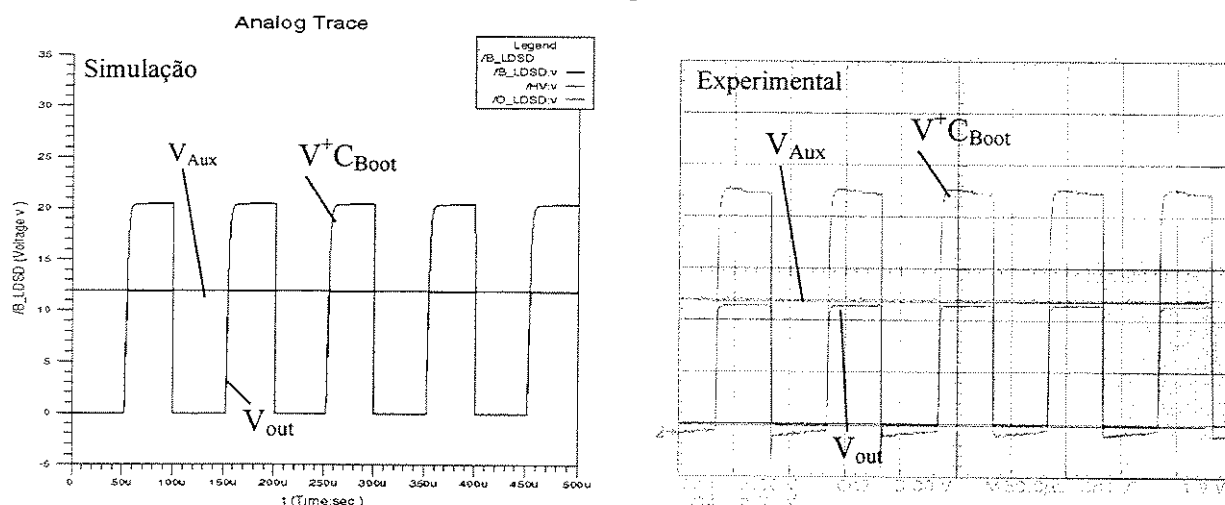


Figura 4.16 – Circuito de Intensificação de Excitação concretizado com LDSD: simulação e medidas elétricas.

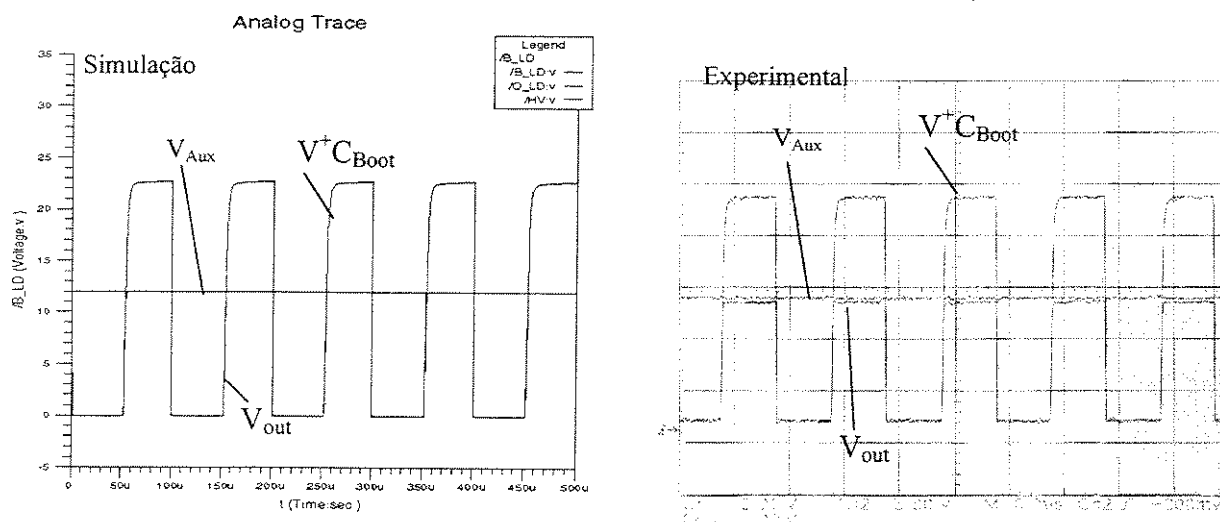


Figura 4.17 – Circuito de Intensificação de Excitação concretizado com LDMOS: simulação e medidas elétricas.

4.3 Matrizes Semidedicadas e Células de Potência Baseadas em Estruturas LDS e LDMOS

Esta seção pretende realçar as principais características físicas e funcionais de duas matrizes de transistores NMOS elaboradas para aplicação em potência, cujas características foram definidas no Capítulo 3. São apresentados os esquemas elétricos das células construídas, as curvas características medidas, tabelas de resumo das propriedades elétricas de resistência de condução e tensão de ruptura das células de potência desenhadas e fabricadas, em contraste com o valor típico esperado para este processo. Também são apresentadas fotos com detalhes do desenho das plantas, cujos agregados de células pré-difundidas foram configurados através do metal2, de acordo com as interligações definidas para cada esquema elétrico das células caracterizadas.

4.3.1 Esquema Elétrico das Células de Potência

Como visto no Capítulo 3, a planta de cada Célula Básica desenhada possui dois transistores com a largura média de canal de aproximadamente 800 μm e um comprimento médio de 2 μm , um resistor de polissilício de 27 K Ω e um resistor metálico de 20 m Ω . O acesso aos terminais destes componentes é realizado através dos canais de interligação dos sinais de potência e dos canais de interligação dos sinais analógicos e digitais. As duas matrizes receberam os mesmos conjuntos de células de potência dispostas como mostrado na Figura 3.32.

A Figura 4.21 apresenta os diagramas elétricos das células de potência realizadas. A célula T2 está associada a uma configuração de metal2 construída sobre a planta de duas Células Básicas pré-difundidas, C1 e C2, e as interligações que devem existir entre os pares de transistores de C1 e C2. Em T2, os pares de transistores estão interligados em paralelo conforme mostra o esquema da Figura 4.21a). A construção das células T4 e T8, representadas respectivamente nas Figuras 4.21b) e 4.21c), são similares à construção da célula de T2, diferenciando somente no número de células básicas associadas em cada esquema elétrico. T4 está associado a uma configuração de metal2 construída sobre 4 Células básicas, C1 a C4. Semelhantemente T8 está associado a uma configuração de metal2, construída sobre 8 Células básicas, C1 a C8. Sobre cada matriz foram colocadas quatro células de T2, duas células de T4 e duas células de T8.

Os terminais T2_xG, T4_xG e T8_xG são os terminais de acesso às portas dos transistores T2, T4 e T8 respectivamente. A letra “x” contida no nome dos terminais pode assumir um valor entre 1 e 4 e refere-se às plantas 1, 2, 3 ou 4 de uma dada célula colocada sobre a mesma matriz. De

forma similar, os terminais T2_xD, T4_xD e T8_xD referem-se aos terminais de dreno e T2_xS, T4_xS e T8_xS referem-se aos terminais de fonte de suas respectivas células.

A célula PCell, sigla atribuída à célula de "Potência", está associada a uma configuração de metal2 construída sobre a planta de 16 células básicas. Cada par de transistores está ligado em configuração totêmica (*totem-pole*). Os 16 pares de transistores destas células estão interligados em paralelo, conforme mostra o esquema da Figura 4.21d), formando dois transistores em configuração totêmica (*totem-pole*) com grande capacidade de corrente. Os terminais P_xG1 e P_xG2 referem-se aos terminais de acesso às portas dos transistores; P_xH, P_xM e P_xL referem-se aos terminais de acesso aos drenos e às fontes destes transistores. PCell possui uma configuração adequada para construção de circuitos em ponte H ou meia ponte. Sobre cada matriz foram colocadas duas células de PCell.

A célula DCell, sigla atribuída à célula "Deslocadora", está associada a uma configuração de metal2 construída sobre a planta de 3 células básicas. Cada célula básica possui o seu par de transistores ligado em paralelo, conforme mostrado na Figura 4.21e). O dreno de C1 está ligado a um resistor de polissilício de 27 K Ω e formando o terminal de acesso DxH1, estando a outra extremidade do resistor ligada ao terminal de acesso DxR. As portas dos transistores de C1 estão ligadas às portas dos transistores de C3 e formam o terminal de acesso DxG1.

A fonte dos transistores de C1 está ligada à fonte dos transistores de C3 e formam o terminal de acesso DxS. Os Drenos dos transistores de C2 formam o terminal DxH2; as portas dos transistores de C2 formam o terminal de acesso DxG2; as Fontes dos transistores de C2 estão ligadas eletricamente aos Drenos dos transistores de C3 e formam o terminal de DxM. Em DCell, há acesso a todos os terminais dos transistores o que facilita a construção de circuitos de deslocamento de nível, conforme apresentado anteriormente. Sobre cada matriz foram colocadas duas células de DCell.

No total, sobre cada matriz foram posicionadas 12 células, sendo quatro células de T2 e duas das demais células (T4, T8, DCell e PCell).

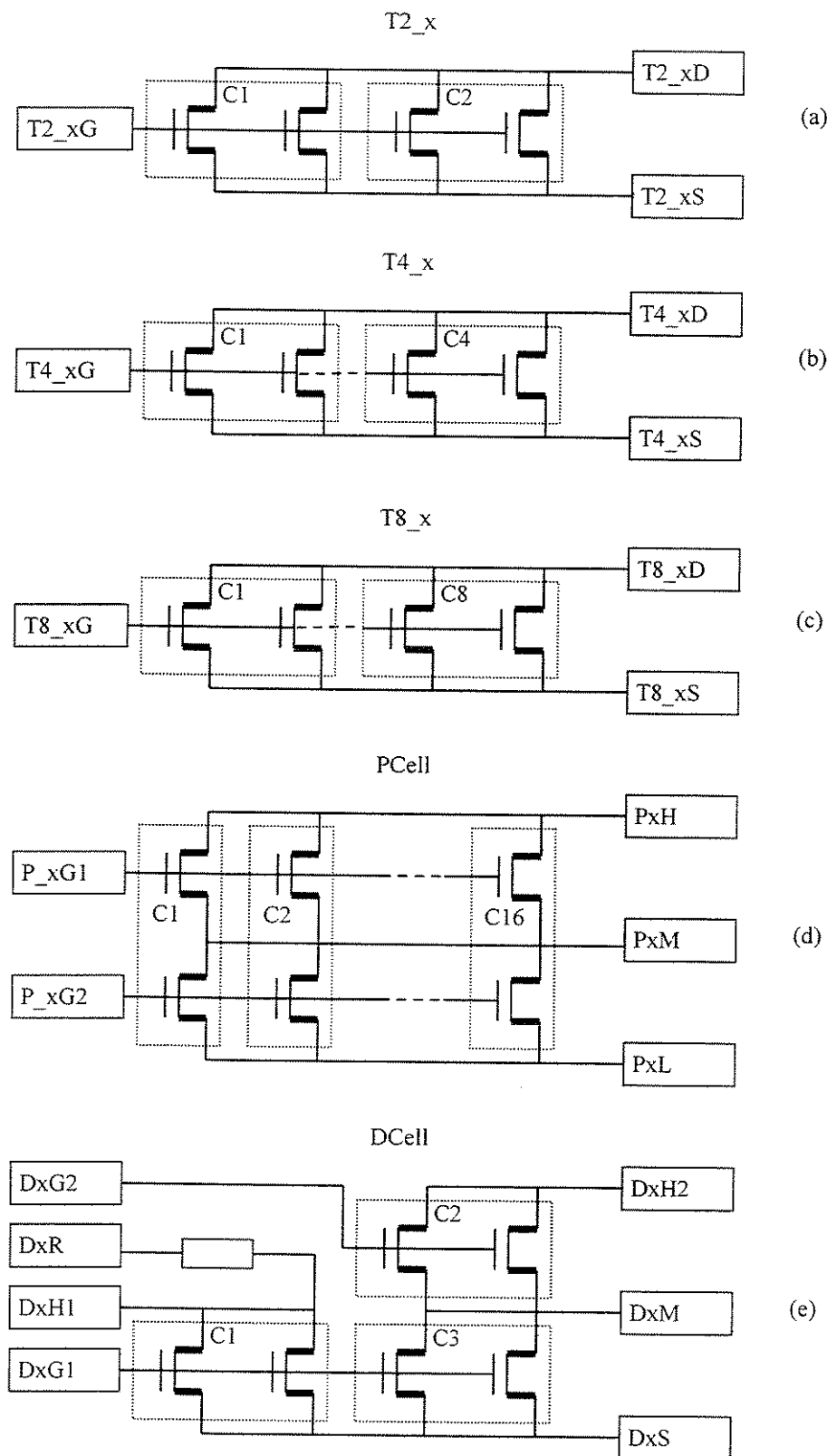


Figura 4.21 Esquemáticos das Células de Potência construídas sobre os agregados.

Adicionalmente às células de potência, foram incluídas na planta da matriz duas células analógicas que são frequentemente utilizadas no circuito de controle das interfaces de potência dos CIIP: um amplificador operacional chamado por OpCell e um circuito gerador de tensão e de corrente de referência, conhecido na literatura anglo-saxônica por *Band Gap*, nomeado no âmbito deste trabalho por BGCell.

Estes circuitos pertencem à biblioteca de circuitos analógicos disponibilizada pelo fabricante, portanto não será nosso objetivo caracterizar o seu comportamento, dado que suas características elétricas e limitações são facilmente obtidas [4.4]. Foi ainda construído um transistor DMOS de W/L de 40/4 de uso geral. Os blocos analógicos foram utilizados na construção dos circuitos de controle das interfaces e de exemplos de aplicações que serão descritas no decorrer deste capítulo. Os respectivos terminais de acesso disponíveis na planta estão representados nas Figuras 4.22a) e 4.22b).

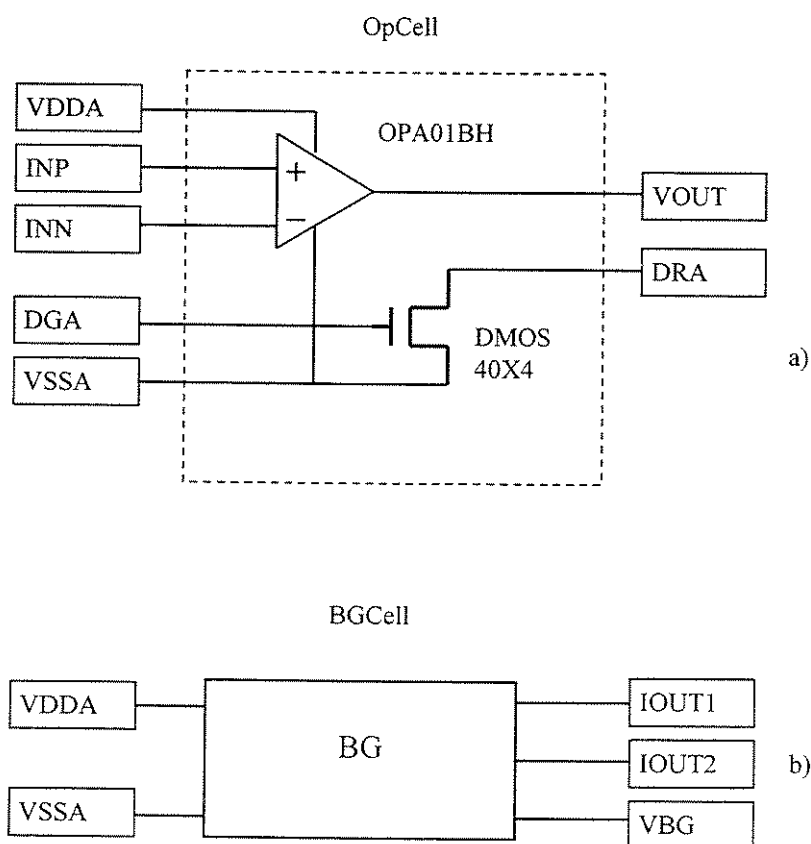


Figura 4.22 –Esquemas das duas células analógicas da biblioteca do fabricante incluídas na planta das Matrizes: a) amplificador operacional; e b) circuito gerador de sinais de tensão e corrente de referência.

4.3.2 Características Elétricas das Células de Potência

Com o objetivo de verificar o comportamento elétrico das células construídas sobre as 10 amostras de cada matriz, foi elaborado um documento descritivo da caracterização efetuada [4.6] e que registra os principais resultados extraídos durante os ensaios destes protótipos. Para cada planta associada a um esquema apresentado nesta seção, foi elaborado uma tabela como a Tabela 4.1 que, como exemplo, contém o resultado das medidas realizadas sobre T2_1 de todos os 10 circuitos fabricados para a matriz construída com transistores LDSD.

circuito	VBr(V)	Ron Ω	Observações
IC 1	69,0	26,9	
IC 2	69,5	27,0	
IC 3	68,7	26,7	
IC 4	68,9	26,7	
IC 5	69,0	27,0	
IC 6	70,1	27,3	
IC 7	69,0	26,9	
IC 8	69,2	26,9	
IC 9	69,4	26,8	
IC10	69,0	26,9	

Tabela 4.1 – Modelo do Registro das medidas e observações de cada circuito medido para a planta de T2_1 construído sobre a matriz LDSD.

As condições de medidas utilizadas para esta estrutura foram:

VxI - $V_{ds} = 0 - 10V$, $V_{gs} = 0 - 10V$ em passo de 1V;

VBr - $V_{gs}@ 0$, $V_{ds} = 0 - 100V$ com I_{ds} limitado em 100 nA;

Ron - $V_{ds} = 0 - 0.1V$, $V_{gs} = 0 - 10V$ em passo de 1V, com I_{ds} limitado em 100mA.

A Tabela 4.2 apresenta de forma condensada os valores de VBr e de Ron típicos obtidos nas células T2, T4 T8, PCell e DCell das 10 amostras medidas, comparados com os valores típicos oferecidos pelo fabricante para estruturas com as mesmas dimensões e condições de medidas.

Célula de Potência	LDSD Medido		LDSD Esperado		Observação Condições de medidas referidas aos terminais da Figura 4.21.
	VBr V	Ron W	VBr	Ron W	
T2	69	27	50	27	
T4	69	13,5	50	13,7	
T8	69	7	50	8	
PCell	69	3,5	50	4,4	PxH - PxM (PxM, PxG2 @ 0V)
	69	3,5	50	4,4	PxM - PxL (PxH, PxG1 @ PxM)
DCell	69	27	50	27	DxH2 - DxM (DxG1, DxM @ 0V)
	69	27	50	27	DxM - DxS (DxH2, DxG2 @ DxM)
	69	27	50	27	DxH1 - DxS (DxH2, DxG2 @ 0V)

Tabela 4.2 – Valores típicos medidos para cada tipo de célula construída sobre as Matrizes LDSD, em comparação com os valores esperados calculados ou fornecidos pelo fabricante.

As Figuras 4.23a), 4.23b) e 4.23c) mostram as curvas características de I_xV , V_{br} e de R_{on} para uma célula de T2 extraídas de um dos 10 circuitos da matriz baseada nos transistores LDSD. As Figuras 4.24a), 4.24b) e 4.24c) igualmente mostram as curvas características de I_xV , V_{br} e de R_{on} para uma célula de T2 da matriz baseada nos transistores LDMOS. As curvas das dez amostras medidas são semelhantes.

Observe-se que as células de comutação construídas sobre a matriz LDMOS possuem um R_{on} menor que as Células construídas sobre a matriz LDSD como previsto teóricamente. T2 em ambos os processos ocupa uma área aproximada de 0.4mm x 0.2mm e possui um R_{on} de 27 Ω na Matriz LDSD e de 10 Ω para a matriz LDMOS.

As medidas foram realizadas utilizando um equipamento dedicado à caracterização de semicondutores, o HP4145 *semiconductor analyzer* da HP, devidamente calibrado e aferidos. Os testes foram realizados nas instalações do Laboratório de Análise, Caracterização e Medidas Elétricas -LACAM da Fundação CTI a uma temperatura ambiente de 25 °C.

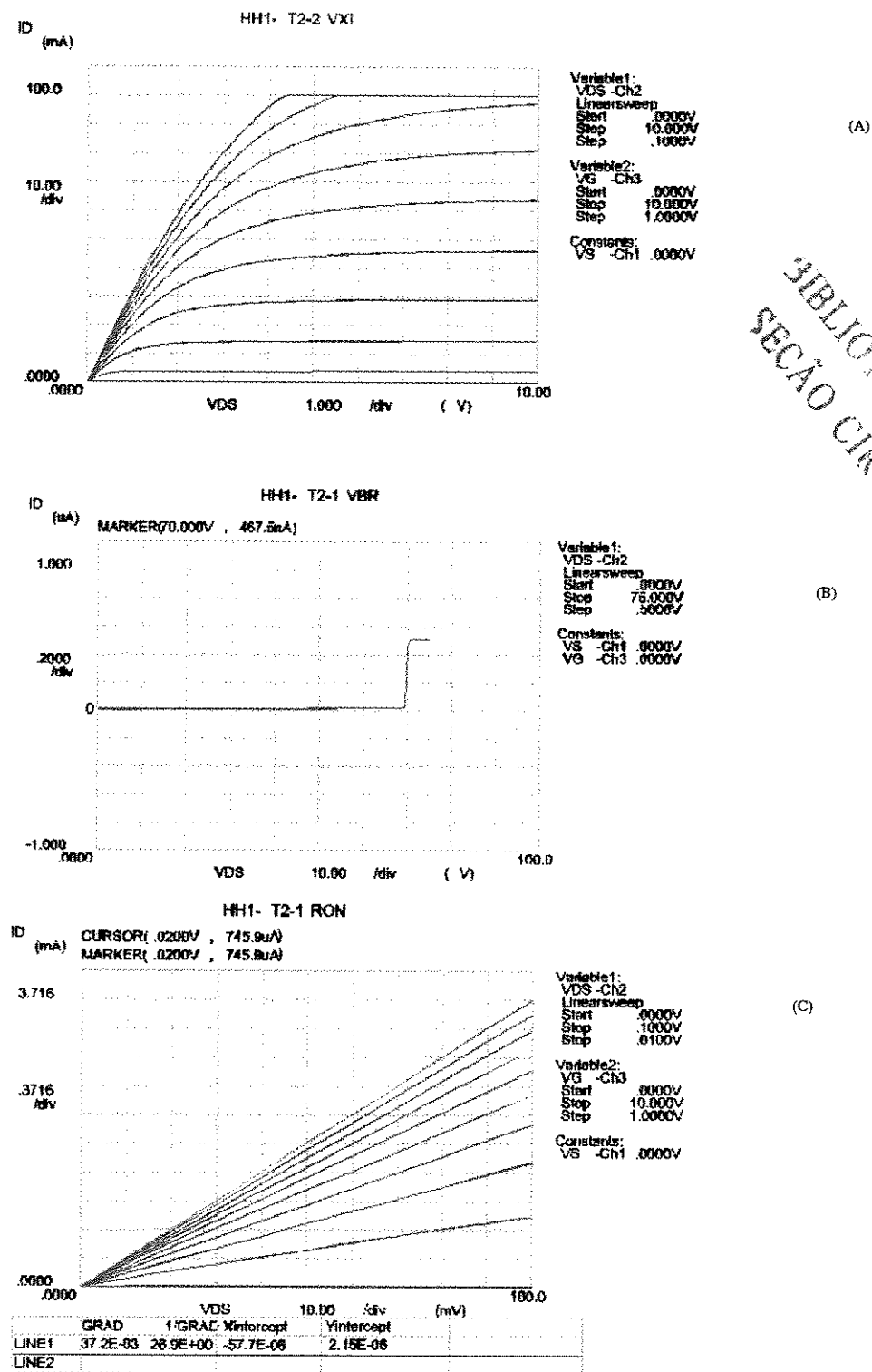


Figura 4.23 – Curvas características IxV típicas, medidas nas dez amostras da célula de T2, construída sobre a Matriz LDS: (a) vista geral do modo IxV, (b) determinação de Vbr e (c) determinação de Ron.

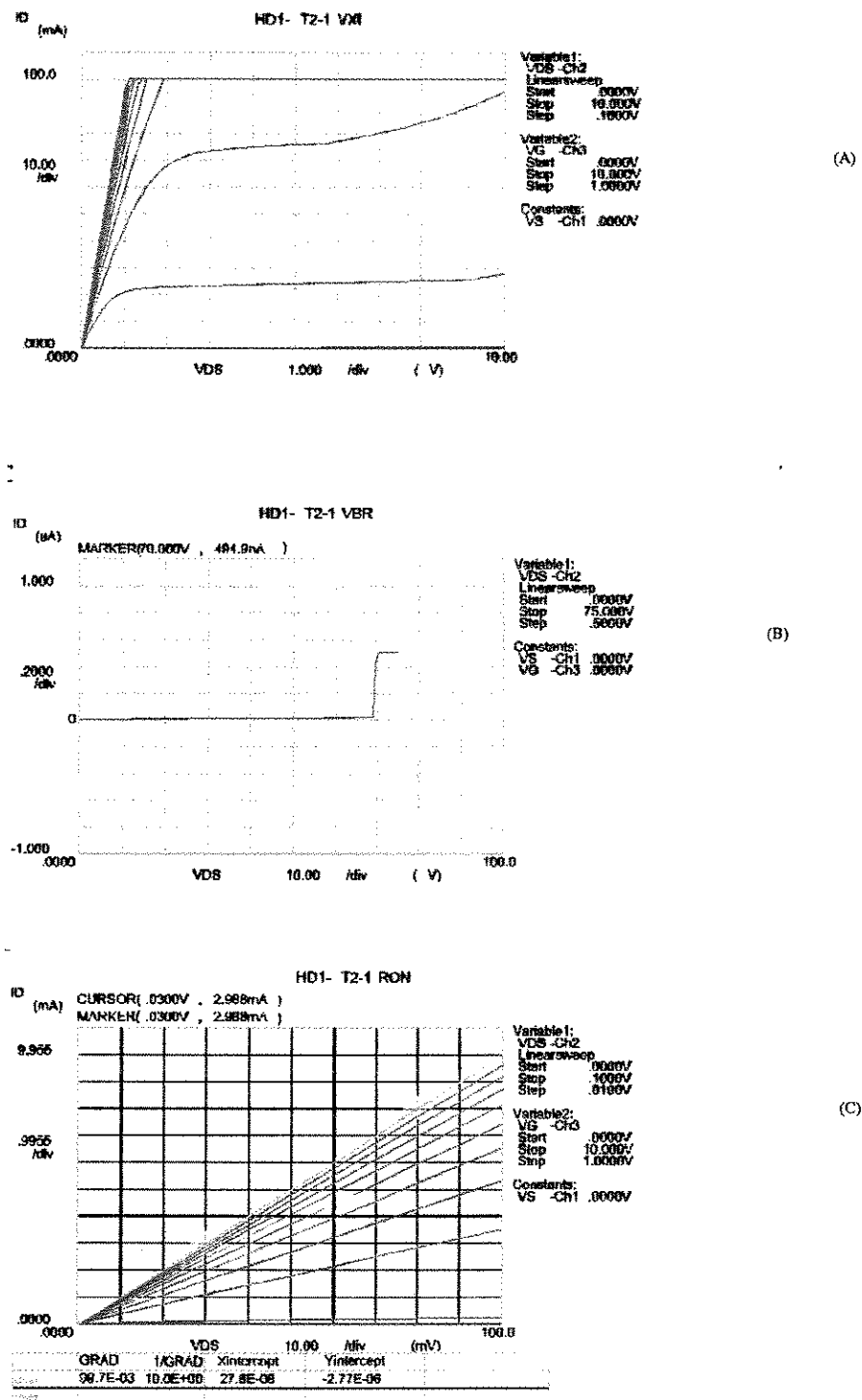


Figura 4.24 – Curvas características I_xV típicas, medidas nas dez amostras da célula de T2, construída sobre a Matriz LDMOS: (a) vista geral do ponto I_xV , (b) determinação V_{br} e (c) determinação de R_{on} .

Observa-se na caracterização elétrica das células que:

- a) Quanto ao comportamento I_xV geral apresentado nas Figuras 4.23a) e 4.24a), a célula baseada em transistor LDSD, possui um comportamento MOS bastante estável, enquanto que a célula baseada em LDMOS, embora bastante mais condutiva, demonstra a possibilidade de efeitos de canal curto para valor de V_{DS} acima de 6V. Sugere-se estudos mais aprofundados.
- b) A tensão de ruptura V_{br} manifestou-se num mesmo valor ($\sim 70V$) independente do tipo de estrutura da célula.
- c) A resistência de condução R_{on} apresenta-se menor para as estruturas baseadas LDMOS, devido ao menor comprimento de canal destas em relação à estrutura LDSD (cerca de 1/3)

4.3.3 Planta das Células de Potência, dos Agregados e das Matrizes

A Figura 4.25 mostra a configuração das células T2 e T4 construídas sobre a matriz LDSD. A configuração das células T8, PCell e DCell tem aspectos semelhantes às de T2 e T4. A Figura 4.26 mostra os detalhes construtivos da Célula Básica e detalhes do canal de interligação sobre as estruturas passantes existentes entre dois agregados de células adjacentes formados por estruturas LDSD. Igualmente, a Figura 4.27 mostra detalhes da matriz e do canal de interligação da matriz implementada por LDMOS. As Figuras 4.28 e 4.29 mostram a disposição das Células de Potência sobre os agregados baseados em LDSD e LDMOS, respectivamente.

Na Figura 4.26, a Célula Básica é formada por uma estrutura que contém dois transistores LDSD concêntricos, conforme descrição na seção 3.3.2 e Figura 3.26. Externo aos transistores, há um anel de polarização de substrato. Entre o anel de polarização e o Dreno do transistor externo, na parte superior e na parte inferior da Célula Básica, existe um passante construído em Metal1. Estes passantes também podem ser utilizados como resistências de baixo valor, para amostrar a corrente que circula em alguma das células de amostragem de corrente.

Observe-se que há duas estruturas independentes. Nas extremidades, à esquerda e à direita, estão posicionados os terminais de acesso aos Drenos, Fontes, Portas e dos passantes disponíveis na

Célula Básica. Veja-se nas Figuras 4.26 e 4.27 a legenda de identificação das estruturas citadas, conforme a descrição abaixo:

- a - Contato de substrato localizado ao redor de toda a Célula Básica em forma anelar ;
- b - Passante construído em Metal 1 que cruza a Célula Básica de uma extremidade a outra;
- c - Dreno/Fonte do transistor externo em forma circular;
- d - Porta do transistor externo em forma circular;
- e - Ponto comum de Fonte/Dreno entre o transistor externo e o interno em forma circular;
- f - Porta do transistor interno em forma circular;
- g - Dreno/Fonte do transistor interno construído em forma linear; nota-se que o terminal de acesso à Porta é posicionado no meridiano central da célula.

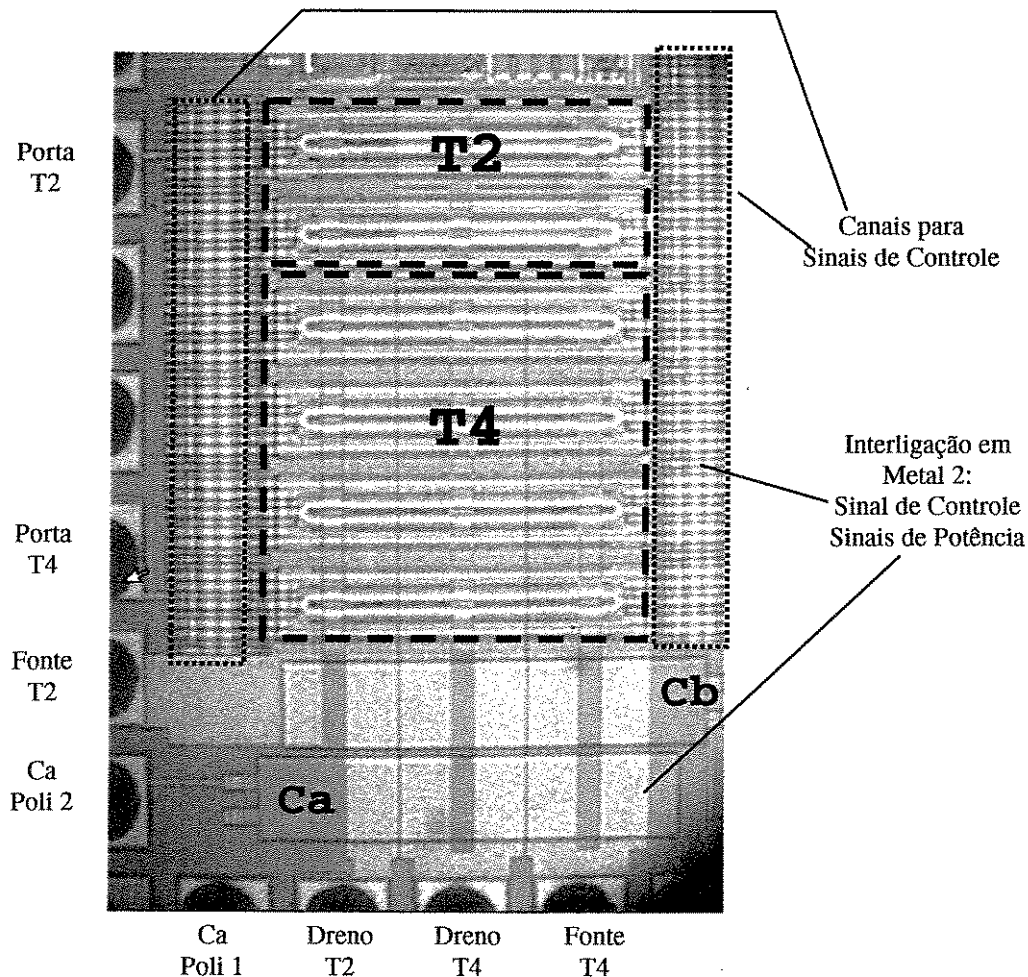


Figura 4.25 – Planta da célula de potência de T2 e T4 construída sobre a matriz LDSD e respectiva Indicação dos contatos de acesso exterior (*pads*). Pormenores: capacitor Ca e Cb de 100pF e canais de interligação dos Sinais de Controle e dos Sinais de Potência.

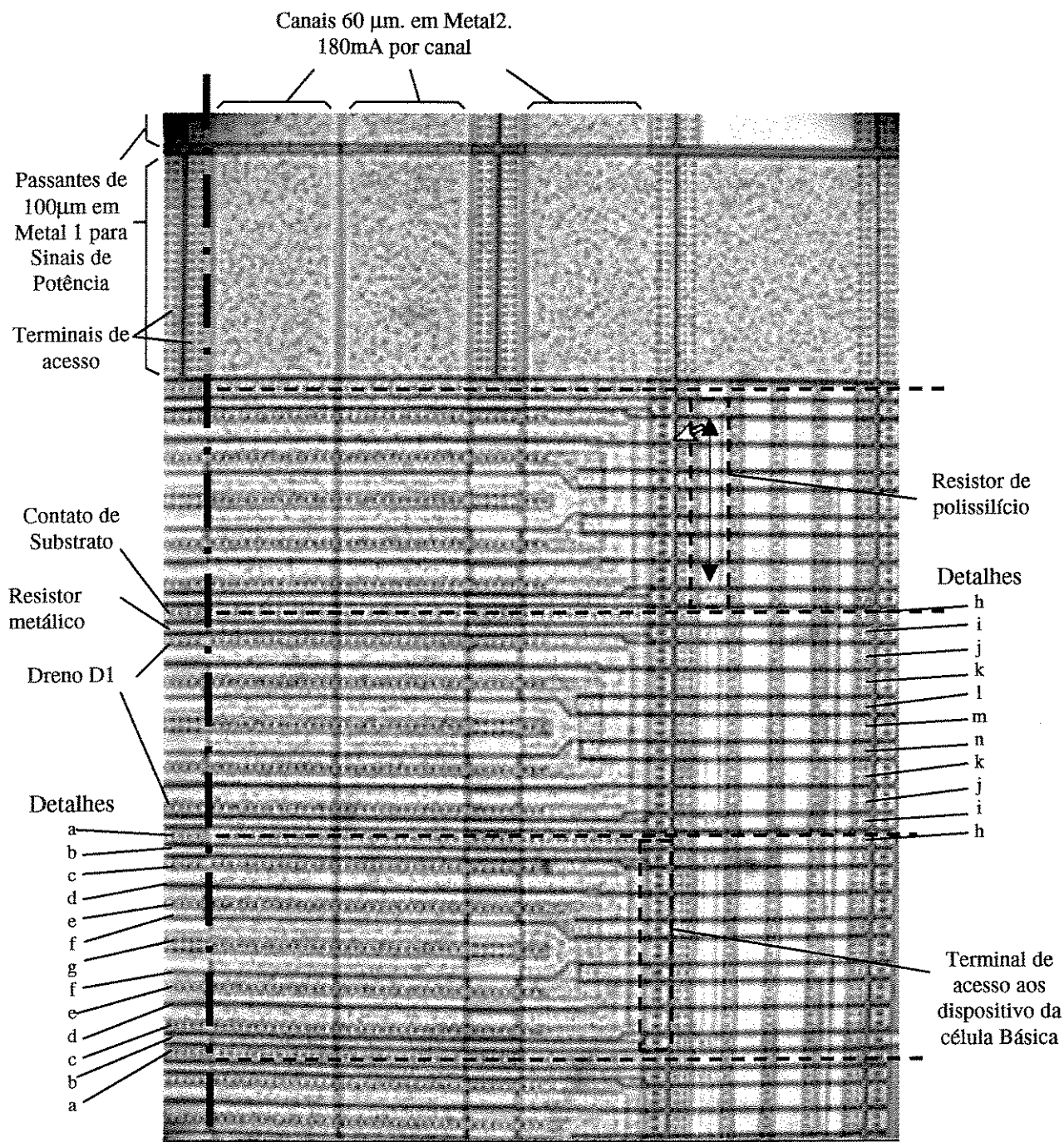


Figura 4.26 – Vista parcial de uma Matriz LDSD em que se realça três células básicas seccionadas pelo eixo de simetria e canais de interligação das estruturas passantes.

Na área existente entre dois agregados de transistores, denominado canal, reservada para o posicionamento das ligações dos Sinais de Controle, para cada Célula básica existem 10 estruturas passantes construídas em Metal1, na horizontal, cada uma alinhada com cada terminal existente nas extremidades da Célula Básica, conforme descrito na seção 3.3.2. Cada passante

permite o cruzamento com até 8 linhas de Sinais de Controle em Metal2 e pode ser ligado a qualquer um deles. Observe-se na Figura 4.26 que há um resistor de polisilício construído perpendicularmente e abaixo dos passantes. A seta dupla sobre esta resistência mostra as interligações entre os seus terminais e os passantes, que por sua vez estão alinhados com o passante interno da Célula Básica. Outros pormenores realçados são descritos abaixo:

- h - Passante alinhado com Contato de substrato da Célula Básica;
- i - Passante alinhado com o Passante construído em Metal 1 interno à Célula Básica;
- j - Passante alinhado com Dreno/Fonte do transistor externo;
- k - Passante alinhado com a Porta do transistor externo;
- l - Passante alinhado com o Ponto comum Fonte/Dreno entre o transistor externo e o interno;
- m - Passante alinhado com a Porta do transistor interno;
- g - Dreno/Fonte do transistor interno construído com forma linear.

No topo da Figura 4.26 está indicada a posição dos canais para os Sinais de Potência, que passam sobre a Célula Básica, realizando a configuração das Células de Potência. Também é possível ver as estruturas dos passantes para os Sinais de Potência construídos em Metal1.

A foto da Figura 4.26 é uma vista de topo da célula básica construída utilizando a estrutura do transistor LDMOS. À semelhança da célula básica do transistor LDSO, esta célula contém dois transistores como dreno comum; a principal diferença entre as duas células é que os dois transistores LDMOS são retangulares, totalmente fechados, com a fonte no lado interno colocados um ao lado do outro, enquanto que na célula do LDSO os dois transistores são concêntricos. Apesar dos elementos de cada célula serem os mesmos, devido a esta diferença geométrica, a sequência dos passantes e dos terminais de acesso das duas células são diferentes.

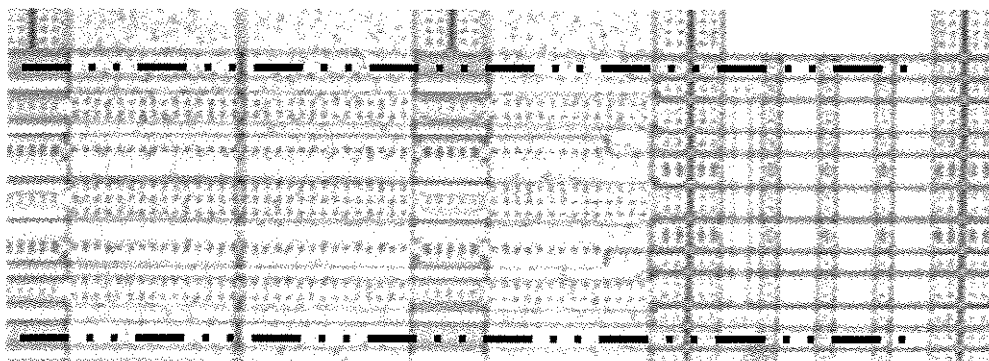


Figura 4.27 – Detalhe de interligação sobre as estruturas passantes construídas sobre a Matriz LDMOS.

As fotos das Figuras 4.28 e 4.29 mostram detalhes das plantas das matrizes construídas por transistores LDSO e LDMOS, respectivamente. Em ambas as figuras é possível identificar a posição de cada uma das Células de Potência configurada sobre a matriz. Também é possível a localização de BGCell, OpCell, Ca e Cb. Ambas as matrizes possuem 5 canais dedicados para a interligação dos Sinais de Controle, cada qual com capacidade para 8 linhas e as linhas tracejadas colocadas na vertical indicam a localização destes canais. Os 2 Passantes, que formam um dos dois canais de interligação dos Sinais de Potência, construído na parte inferior entre a matriz e o anel de contatos externos (*pads*), são indicados pelas linhas tracejadas colocadas na horizontal. O segundo canal está localizado na parte superior da matriz e não está indicado nas figuras.

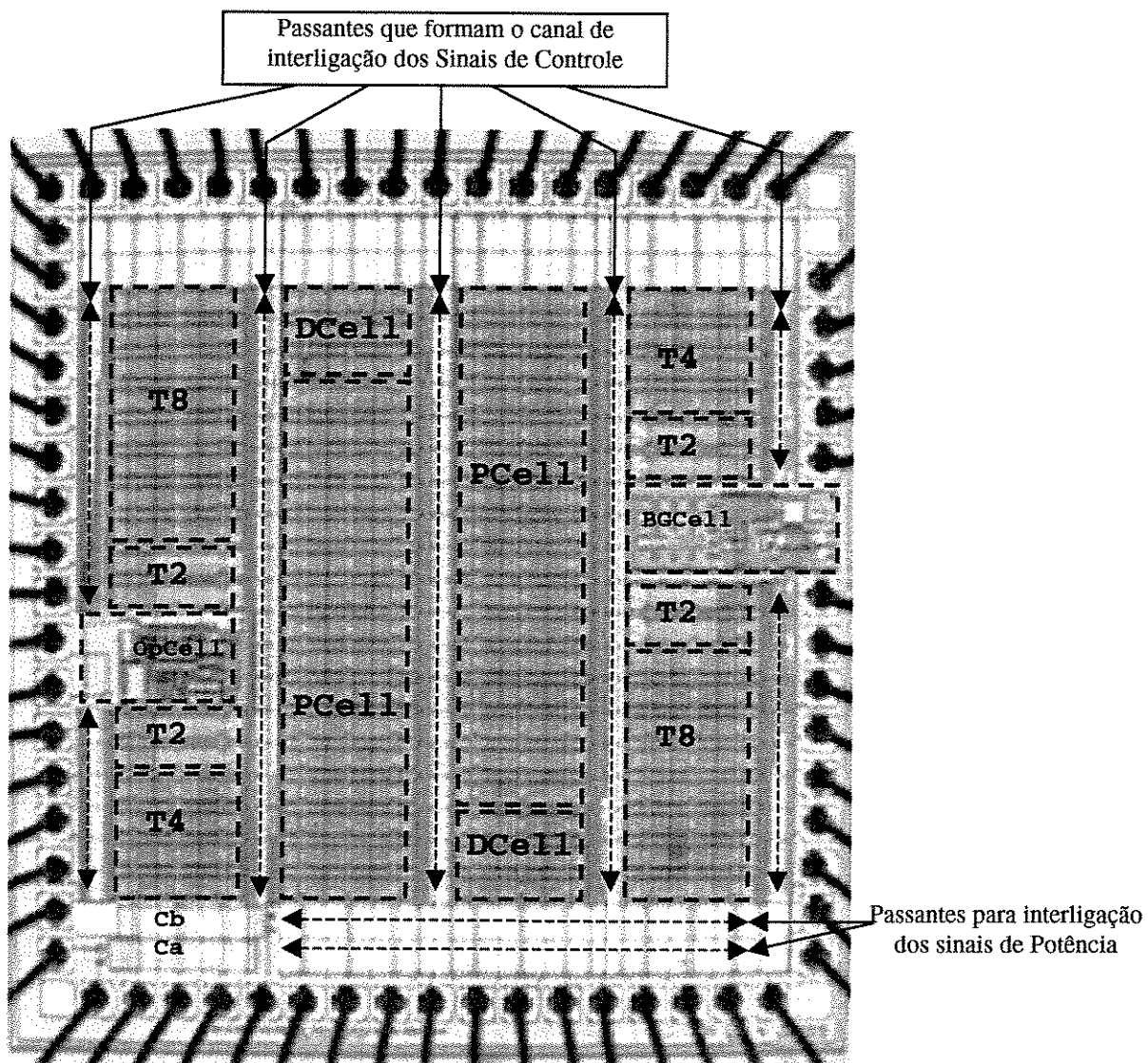


Figura 4.28 – Panorama geral da Matriz LDSO.

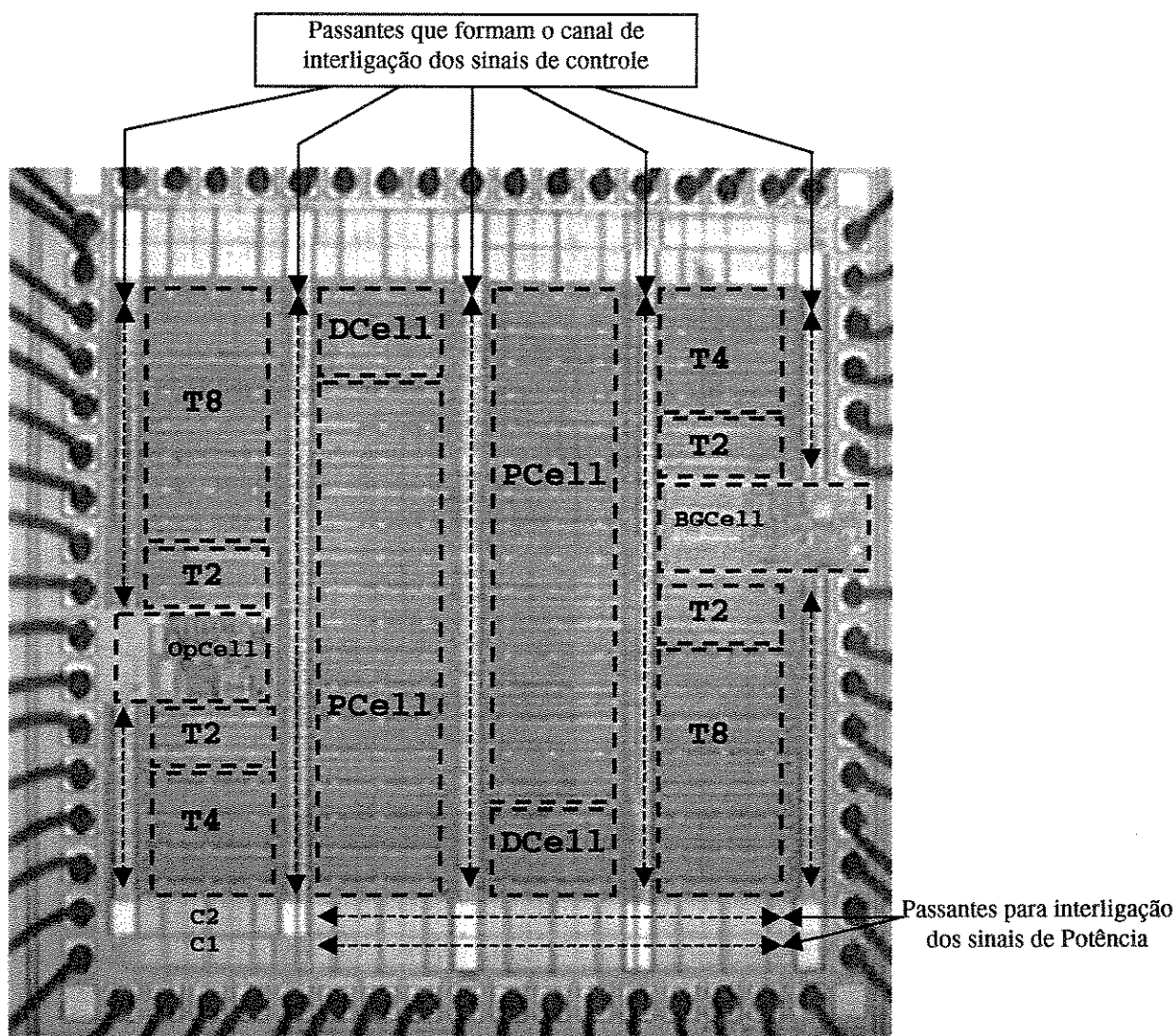


Figura 4.29 – Panorama geral da Matriz LDMOS.

4.4 Exemplos de Circuitos de Aplicação

Nesta seção são descritos três exemplos de aplicação utilizando as topologias de circuitos NMOS, apresentadas conceitualmente no Capítulo 3 e desenvolvidas no transcorrer deste trabalho. As montagens experimentais, utilizando o recurso apresentado na Figura 4.1, com os circuitos integrados disponíveis, têm por objetivo testar a adequação dos blocos propostos à solução de problemas práticos reais no âmbito da eletrônica de potência.

4.4.1 Fonte de alimentação 24V DC

O primeiro exemplo de aplicação aqui apresentado é o de uma fonte de alimentação DC de 24V, cujo circuito é mostrado na Figura 4.30. Caracteriza-se por ser ligado diretamente à rede alternada AC de 110 V ou 220 V, dispensando o uso de transformador. Em sua aplicação final, este circuito será o controle monoliticamente integrado de um forno elétrico. O estágio de potência deste circuito deve controlar um relê de 10 A, de baixo custo. A carga ligada ao relê é uma resistência elétrica que promove o aquecimento do forno, da ordem de 2000W.

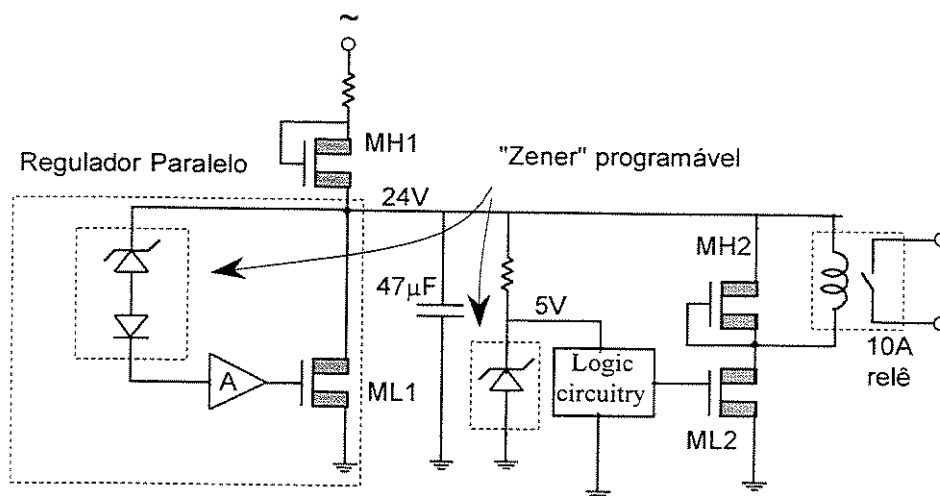


Figura 4.30 - Fonte de alimentação 24 DC a partir da rede AC.

A programação de operação do forno é realizada através do painel de comando que atua diretamente nas entradas digitais do circuito integrado. O circuito de controle de programação e o circuito de acionamento do visor do forno devem ser realizados em lógica CMOS que opera em 5V. A tensão de 5V também é obtida da fonte DC de 24V integrada monoliticamente. A fonte de 24V deve alimentar tanto o visor de plasma como um relê. Um dos requisitos do projeto final deste circuito é que, para o funcionamento da fonte de 24 V, somente um resistor e um capacitor devem ser utilizados externamente ao circuito integrado.

Um circuito regulador paralelo, de estrutura muito simples, foi a base para a realização de uma fonte de alimentação DC de 24 V. O transistor MH1 atua como um diodo retificador, deixando passar apenas os semi-ciclos positivos da tensão alternada. Além disso, sua junção dreno - substrato fica polarizada diretamente em relação ao terra durante os semi-ciclos negativos. A

resistência em série serve como divisor de tensão entre o regulador série e a rede elétrica de alimentação, auxiliando na redução da amplitude da tensão alternada, à qual o circuito fica submetido, evitando assim o uso do transformador.

O transistor ML2 atua como chave referenciado ao terra para comutar a bobina do relê, enquanto que MH2 está ligado como diodo para proteção do Dreno de ML2 durante o transitório de desligamento (turn-off), quando ocorrem picos de tensão na bobina.

O regulador de 24 V é formado pelo transistor ML1 associado ao circuito Zener ligado ao seu terminal de Porta, tal como descrito na seção 3.1.2. O capacitor de 47 μF serve como filtro contra ondulações na tensão retificada. Associado ao circuito regulador de 24 V, existe um segundo regulador de tensão de 5 V, constituído por um circuito Zener programável, que tem por objetivo alimentar exclusivamente o circuito lógico de controle do forno e do relê.

Medidas experimentais efetuadas sobre este circuito são apresentadas na Figura 4.31. O efeito de carga da bobina do relê sobre o circuito regulador de 24 V é perceptível, estando indicado na figura por A. Durante o desligamento do relê, existe uma tendência da tensão de Dreno de ML2 aumentar acima dos 24 V regulados pelo regulador paralelo. Entretanto, o transistor MH2 opõe-se a esta tendência, atuando como um diodo de roda livre; a atuação do diodo é indicado por B.

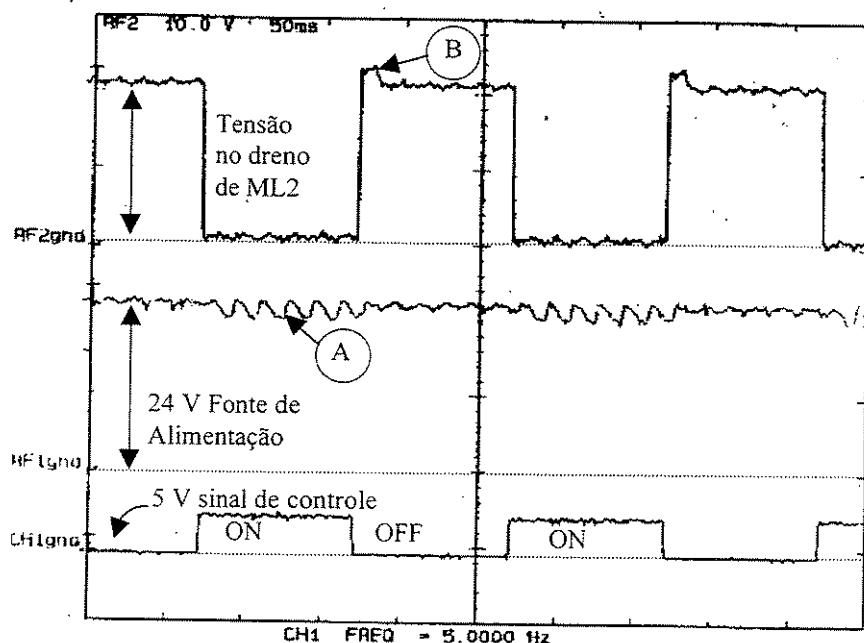


Figura 4.31 - Resultados experimentais do funcionamento do circuito regulador paralelo.

4.4.2 Micro-sistema para Estimulação Terapêutica

Diversas técnicas em Fisioterapia utilizam a estimulação elétrica através das aplicação de impulsos de tensão ou corrente. Em alguns casos, inclusive, a medida da impedância da pele é também necessária como fase inicial de calibragem do processo de terapia [4.8].

A aplicação em questão consiste em desenvolver um sistema de eletro-acupuntura, de tamanho reduzido, que possua controle analógico e digital com característica de auto-ajuste. Tal dispositivo requer ainda a exibição de informações textuais em um mostrador de cristal líquido, além da produção de um tom sonoro audível na forma de “bip”. Existem dois modos de operação: medida da impedância da pele e aplicação dos impulsos de estimulação.

Ao operar o sistema, o terapeuta deve utilizar o primeiro modo de operação para verificar a melhor localização dos pontos de eletro-acupuntura os quais corresponderão aos locais de impedância mínima. Deve ser possível, também, a comparação do valor da impedância da pele antes e depois da estimulação.

A fase de estimulação utiliza o segundo modo de operação, para o qual o terapeuta deve escolher a amplitude adequada para o pulso de estimulação (até 40 V) e a frequência de estimulação (1 até 160 Hz), pressionando em seguida a tecla APPLY para realizar uma seqüência de estimulação.

A configuração do sistema é mostrada na Figura 4.32. Para obter a maior compactação possível, o micro-sistema deve ser montado sobre uma pequena placa de circuito impresso (PCB), sobre a qual são fixados componentes discretos SMD (*surface mounted technology*), o circuito integrado de potência contendo todo o circuito eletrônico de controle e estimulação, o mostrador LCD, todos montados segundo a técnica COB (*chip-on-board*). Somente poucos componentes discretos são necessários, tais como o LCD, um pequeno indutor e uma bateria. As teclas mecânicas podem ser evitadas e implementadas através de superfícies sensíveis ao toque [4.9], realizados sobre a superfície do mostrador. A operação do dispositivo requer apenas quatro teclas e um indicador visual na forma de diagrama de barra. Um mostrador numérico auxiliar e a indicação alfa-numérica do modo de operação estão também disponíveis no visor.

A seguir, apresenta-se uma explicação sucinta do micro-sistema, detalhado nos diagramas de bloco das Figuras 4.33 e 4.34. O bloco de medida é simplesmente um bloco amplificador analógico, cujo ganho é ajustado por V_{escala} , i.e.

$$V_{medida} \propto (R_{pele} / R_{ref}) V_{escala}$$

A função de auto-ajuste é obtida por meio de um circuito de realimentação o qual, quando habilitado pela entrada CNTR, impõe para V_{escala} um certo valor de modo a forçar V_{medida} a corresponder ao meio da escala do mostrador de barra. O contador up/down serve como um registrador para o valor de escala. A lógica de controle do mostrador (*display logic*) recebe os valor numéricos digitais, ajustando-os para sua exibição no mostrador LCD.

O circuito de estimulação é mostrado na Figura 4.33. Os blocos principais que utilizam transistores NMOS são o conversor amplificador e o regulador de tensão. O funcionamento de ambos já foi apresentado e discutido em detalhe em trabalho anterior [4.8]. Os registradores de amplitude e frequência podem ser realizados através de contadores crescentes/decrescentes, ativados pelas teclas de toque “+”/“-”, e de duas tabelas de valores, para seleção dos valores apropriados das larguras e frequências dos impulsos de estimulação.

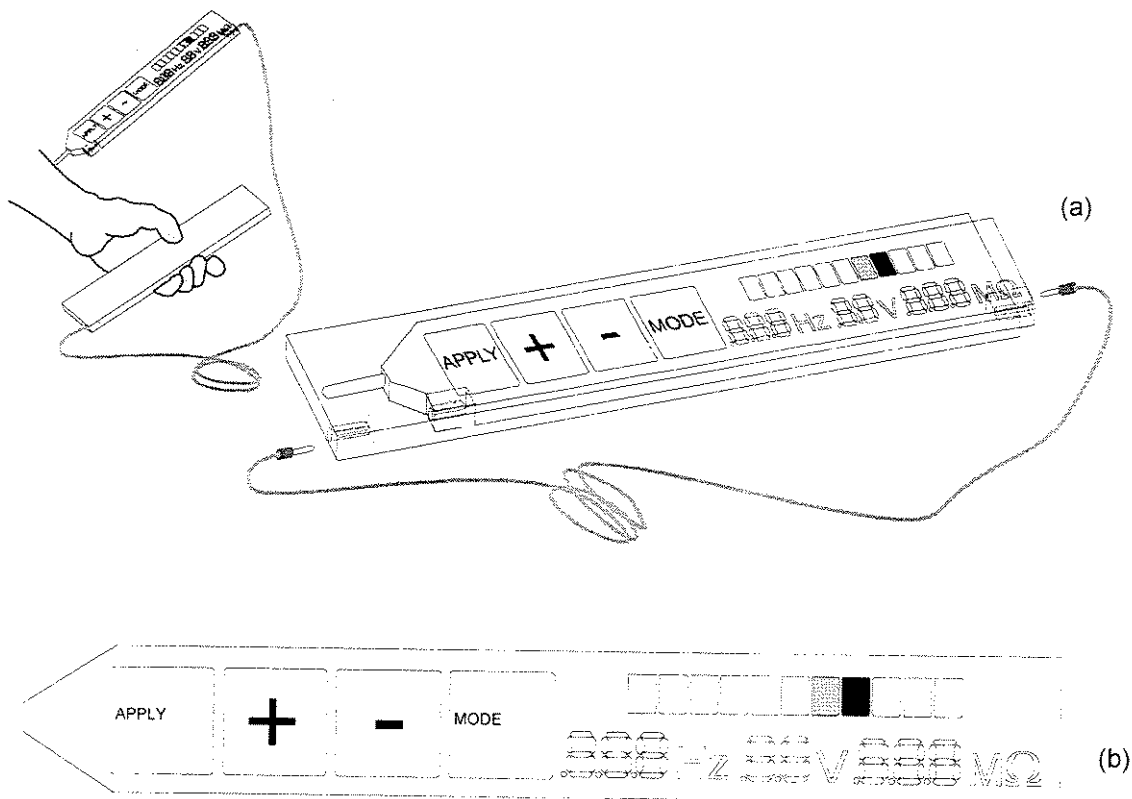


Figura 4.32– (a) Vista geral do micro-sistema estimulador para eletro-acupuntura e (b) detalhe do seu painel de controle.

O circuito de controle da potência envolve múltiplas células de comutação e os respectivos circuitos de excitação. Os dispositivos de potência utilizados no estágio de saída apresentam características de baixa resistência de condução e baixa perda de comutação, requerendo para isso circuitos de excitação eficientes, tanto para interruptores em configuração isolada como os referenciadas à massa.

Usualmente, empregam-se circuitos de deslocamento de nível (de alta tensão), retentores, limitadores de tensão, circuitos de bombeamento de carga (*charge pumps*), intensificadores de excitação capacitivos (*bootstraps*), conforme descritos no Capítulo 3. No presente projeto, tais circuitos de acionamento foram concretizados exclusivamente através de transistores LDSD, de acordo com as topologias já apresentadas.

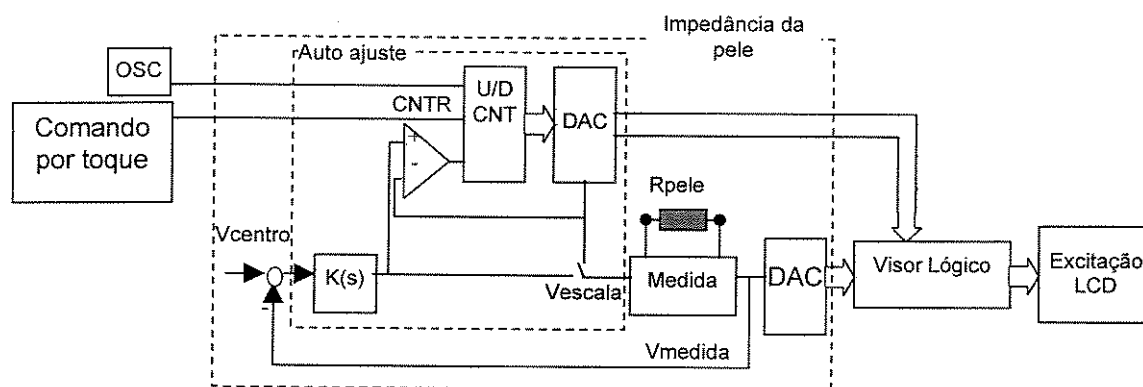


Figura 4.33 - Diagrama de blocos do circuito de medida de impedância.

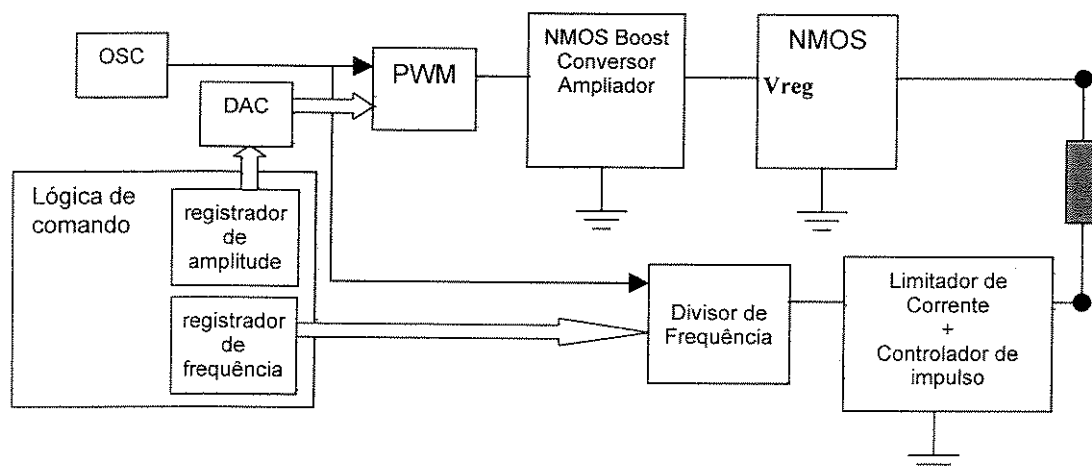


Figura 4.34 - Diagrama de blocos do circuito de estimulação.

O presente micro-sistema, descrito pelas Figuras 4.33 e 4.34 foi concretizado utilizando os circuitos integrados da matriz LDSO previamente apresentados, além de alguns componentes discretos, tal como mostrado na Figura 4.35. Alguns resultados experimentais importantes são mostrados na Figura 4.36, evidenciando o perfeito funcionamento do estágio de saída de estimulação do micro-sistema em sua montagem discreta, o que demonstra a viabilidade de integração bem sucedida para o mesmo.

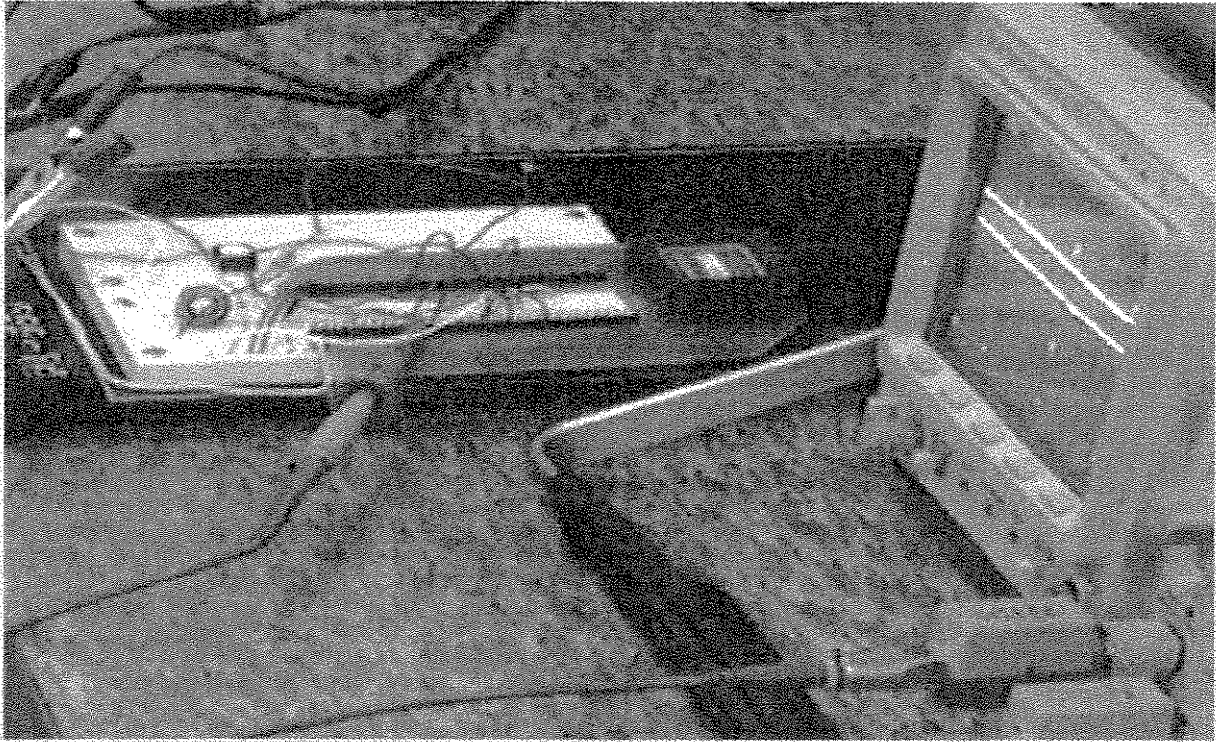
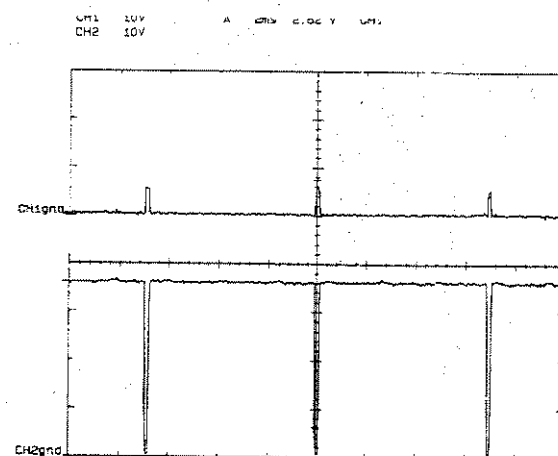
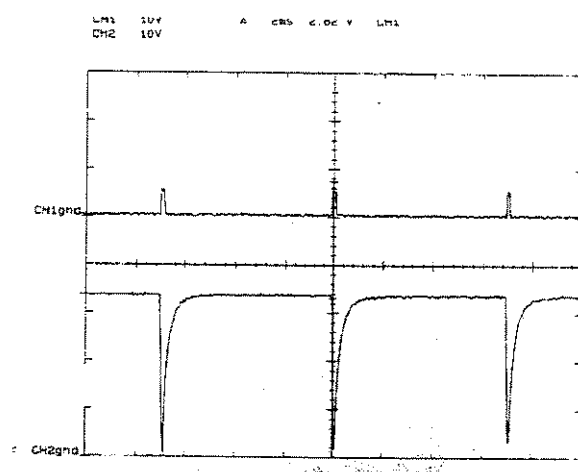


Figura 4.35 – Montagem experimental dos circuitos de estimulação.

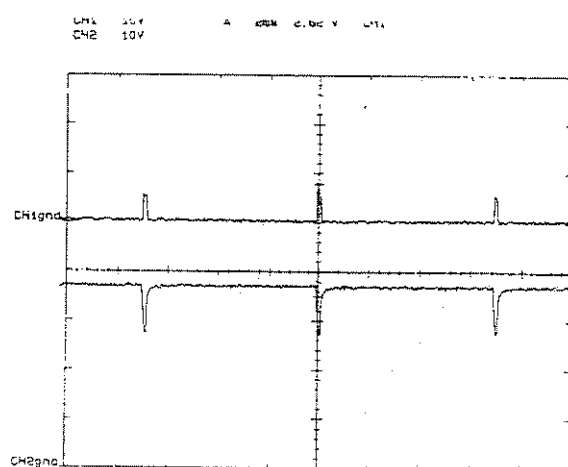
Os resultados experimentais da Figura 4.36, medidos sobre o protótipo da Figura 4.35, exibem o sinal do impulso de controle e o impulso de tensão de saída medido a partir do terminal negativo da carga em relação ao terra. Trata-se da tensão complementar da carga, razão pela qual os impulsos parecem estar invertidos. O do circuito conversor utiliza uma bobina de 30mH e um capacitor de 220nF.



(a)



(b)



(c)

Figura 4.36– Resultados experimentais: (a) carga puramente resistiva; (b) contato real com a pele, com um visível efeito capacitivo e (c) pele sensível (próxima à extremidade da unha) evidenciando a limitação de corrente por parte do estágio de saída.

4.4.3 Sistema para Indústria Automotiva

Neste trabalho apresenta-se parte de uma contribuição para a realização de um sistema de comunicação em anel que utiliza um único fio para a comunicação de dados em ambiente automotivo, em desenvolvimento no laboratório da Magneti Marelli/Unicamp [4.10], uma unidade de comunicação serial e um transistor MOS de potência e seu circuito de acionamento. Caracteriza-se por ser uma solução genérica para a comunicação, controle, acionamento e monitoramento deste ambiente.

Cada nó do sistema contém um circuito de comunicação serial associado a um transistor de potência, com capacidade de acionar uma grande variedade de cargas existentes em veículos automóveis, embora possa ser amplamente utilizado em outras aplicações. Utilizou-se uma tecnologia CMOS convencional de 0,8 μm , sem nenhuma etapa adicional de processo, para a construção do circuito lógico e do transistor de potência, apresentando-se, portanto, como uma solução de baixo custo.

A área de Silício total ocupada foi de 12 mm^2 sendo o transistor de potência (2A / 18 V) compatível com encapsulamento convencional e ocupando somente 1/3 da área total do projeto. Esta solução, quando realizada de forma monolítica, pode ser uma opção vantajosa de substituição dos atuais nós de redes utilizados em veículos automóveis, pois o custo de produção, volume, peso e interligação são sensivelmente reduzidos, viabilizando a introdução de um maior conjunto de funções eletronicamente assistidas em veículos populares.

Uma pequena rede de aplicação foi construída para demonstração funcional do circuito integrado, e do protocolo de comunicação. Maiores detalhes deste trabalho, com a apresentação da descrição funcional da Unidade Serial e sua descrição em HDL, o transistor de Potência e suas características e os resultados de experimentais de desempenho do estágio de potência, quando utilizado para o acionamento de cargas típicas existentes nos veículos automóveis, saem fora do âmbito deste trabalho e foram publicados anteriormente [4.10]. Cabe realçar aqui apenas o desempenho eficaz do transistor NMOS projetado com o conceito de arranjo de células básicas, no acionamento de cargas variadas como lâmpadas, motores e solenóides com potências até 25W.

A Figura 4.37 apresenta a foto do transistor construído com este propósito. A Figura 4.38 ilustra as formas de onda obtidas com a utilização do transistor projetado, para acionamento de uma

lâmpada incandescente de 20 watts e de um motor elétrico típico para aplicação automotiva de 1,8A.

Está em desenvolvimento uma nova versão monolítica que incorporará a unidade de comunicação serial, os acionadores de potência e um transistor com capacidade de acionar tanto cargas *low-side* como *high side* até 25 Watt .

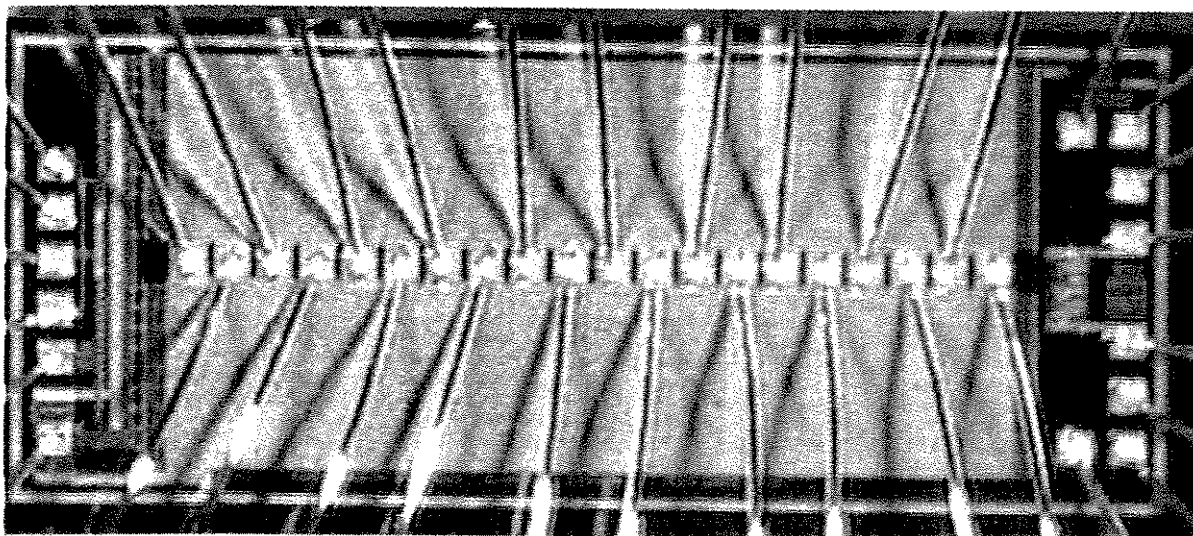


Figura 4.37 - Foto do transistor da unidade de comunicação serial

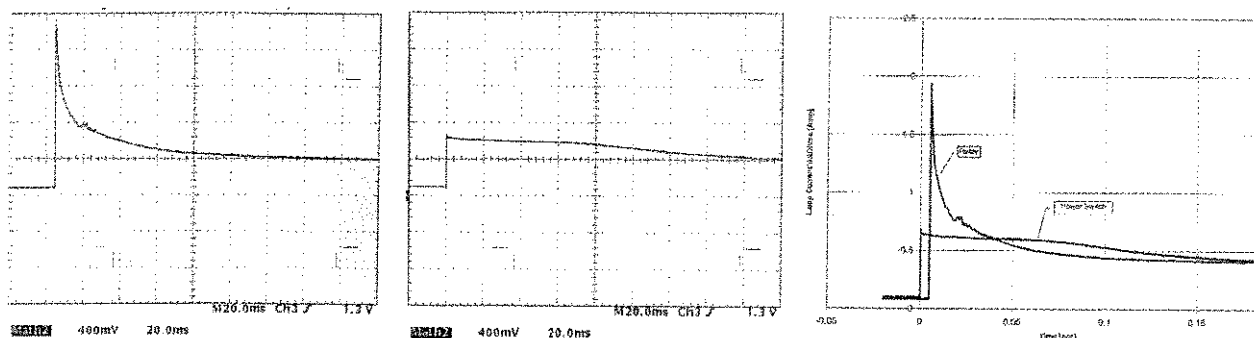


Figura 4.38 – Formas de onda da corrente de acionamento de uma lâmpada incandescente de 18 Watt referenciada ao terra: (a) quando o interruptor de potência é um relê mecânico; (b) quando o interruptor é o transistor NMOS; (c) comparação entre a magnitude das correntes.

A Figura 4.38(c) mostra que a corrente que circula na carga, quando o transistor NMOS é utilizado como interruptor de potência, é sensivelmente menor e naturalmente limitada. Este resultado é benéfico para o sistema de baterias em geral, pois em contraste com os interruptores eletromecânicos, estes não promovem um curto-circuito entre o pólo positivo da bateria e o terra durante o período em que o filamento da lâmpada está frio.

4.5 Conclusões

Neste Capítulo, foram apresentadas as características funcionais e resultados experimentais de caracterização das células de comutação e das topologias apresentadas no Capítulo 3, para os circuitos necessários ao Controle de Potência, bem como fotografias das matrizes de transistores de potência projetadas no âmbito desta tese. Foram também descritos três exemplos de aplicação.

A matriz que dá suporte aos diferentes circuitos foi definida previamente. De fato, uma diretriz importante adotada desde o início do presente trabalho foi partir de definições básicas tais como:

- a) a proposta de uma célula básica de comutação de potência;
- b) o arranjo matricial de células básicas configurando matrizes de transistores NMOS para aplicações em potência;
- c) a proposta de algumas topologias de circuitos de acionamento de potência e seu controle totalmente implementadas, utilizando tão somente transistores NMOS e alguns componentes passivos, integrados ou não;

rumo à definição de uma metodologia de projeto de CIIPs, passível de concretizar aplicações práticas. A trajetória adotada considera a abordagem de projeto semi-dedicado, apoiada no conceito de prototipagem rápida, e a utilização de ferramentas convencionais de desenho automático (*EDA*) para projeto de CIs convencionais, devidamente adaptadas para contemplar também as fases de captura esquemática, simulação e desenho das máscaras em base celular de circuitos de potência, de forma compatível e integrada no projeto convencional de circuitos analógicos e digitais de baixa tensão.

Assim, no sentido de atender às necessidades de um projeto conduzido segundo uma metodologia de desenvolvimento *bottom-up* [4.11], e tendo como ponto inicial a disponibilidade das células básicas já projetadas, houve três fases de desenvolvimento distintas:

- 1) Desenvolvimento de CIs experimentais, contendo arranjos de células básicas, com o intuito de se avaliar a viabilidade construtiva das matrizes, além de caracterizá-las do ponto de vista de sua funcionalidade elétrica;
- 2) Desenvolvimento de diversas topologias de circuitos, de forma a constituir um acervo de células para projetos completos, não só do estágio de comutação de potência, constituído pelos transistores de potência em diversas configurações

(*switch load topologies*), como também dos seus circuitos de controle e monitorização deste estágio (*switch driver techniques*);

- 3) Desenvolvimento de alguns circuitos de aplicação baseados nas matrizes e topologias consideradas nas fases anteriores.

Neste sentido, os resultados experimentais reportados neste capítulo nas seções 4.2, 4.3 e 4.4 permitem concluir que a idéia inicial de se projetar CIIP por meio de uma abordagem de projeto semidedicada é tecnicamente possível, sendo ainda promissora para a especificação de um procedimento de projeto orientado ao conceito de ciclo de projeto curto, via prototipagem rápida.

Cabe ainda ressaltar que, com relação à planta das Células Básicas da matriz baseada no LDSD, a despeito do seu bom funcionamento, a experimentação mostrou que seria interessante, por questões práticas para a continuação deste trabalho, que a arquitetura da Célula Básica proposta no Capítulo 3 tivesse uma planta com terminais de acesso aos seus elementos dispostos geometricamente da mesma forma, tanto para as matrizes LDSD como para as Matrizes LDMOS. Isto sugere uma modificação na forma de implementar a arquitetura da Célula Básica baseada no transistor LDSD, que em vez de utilizar 2 transistores concêntricos, utilize 2 transistores circulares colocados em paralelo, da mesma forma como foram construídas as Matrizes baseadas no transistor LDMOS. Esta alteração permite a completa igualdade da disposição dos terminais de acesso para os dispositivos das células básicas de ambas as matrizes, obedecendo inclusive à mesma grelha, sem perdas significativas de área ou de desempenho.

A ressalva feita no parágrafo anterior tem importância não só no que se refere ao desenho da planta, mas principalmente para o desenvolvimento das ferramentas de desenho automático (*EDA*) que se pretende realizar para ambas as matrizes. Estas ferramentas facilitarão o projeto das matrizes e das máscaras de metal que as configurarão de acordo com as aplicações, o que constitui, afinal, a motivação de todo o trabalho.

4.6 Referências:

- [4.1] F. H. Behrens, S. Finco, R. P. Ribas, F. Chavez, L. A. Razera, "Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal", Anais do I Workshop Iberchip, pp. 259-270, Cartagena de Indias, Colombia, Fevereiro, 1995.
- [4.2] A. P. Casimiro, S. Finco, M. I. Castro Simas and F. Behrens, "Semicustom Smart Power Design: a Novel Transistor Cell Architecture", International Conference on Microelectronics and Packaging - ICMIP'98 (XIII SBMICRO), Curitiba, Brasil, Agosto, 1998.
- [4.3] "ECPD15", ES2 – European Silicon Structures Design Rule, 1991
- [4.4] "AMS – 2 μm CMOS 50V Process Parameter and Layout Rules, Doc. 9933007, Rev. A", 1996.
- [4.5] S. Finco, "Projeto de um Dispositivo Inteligente de Potência em Tecnologia Convencional CMOS", Tese de Mestrado, Universidade de Campinas (UNICAMP), Fevereiro, 1996.
- [4.6] "AMS standard analog library", 1996.
- [4.7] F. H. Behrens, "Proposta de arquitetura de uma célula básica de potência e de blocos básicos aplicáveis em matrizes semidedicadas" Relatório Técnico RT2_01, Fundação CTI, Dezembro, 1998.
- [4.8] P. Tavares, S. Finco, F. Behrens, L. E. Seixas, A. P. Casimiro, and M. I. Castro Simas, "Microsystem for Biomedical Application Using Cost Effective Smart Power Strategies", SBMICRO'99, Campinas, Brasil, Agosto, 1999.
- [4.9] A.P. Mammana, M. A. Schreiner, D. V. Ferreira, J. C. Bohorquez e Atonio Garcia R., "Sistema de tela de toque ou sopro e de tablets para comunicação alternativa", Mobilidade e Comunicação: desafios à tecnologia e à inclusão social / editado por Antônio Augusto Fasolo Quevedo, José Raimundo de Oliveira, Maria Teresa Eglér Mantoan. Campinas, Editora da UNICAMP.
- [4.10] Jorge A. Polar Seminário, Carlos A. dos Reis Filho, "A 0.8 μm – CMOS Serial Interface Macrocell for a One-Wire Network Protocol Interpreter Microsystem", IV Workshop IBERCHIP, pp 1-9, Mar del Plata, Argentina, Março, 1998.
- [4.11] J.P. Huber, M.W. Rosneck, "Successful ASIC Design the First Time Through", Van Nostrand Reinhold, 1991.

5

Conclusão Geral

Onde se apresenta de forma concisa o contexto, a motivação, os objetivos alcançados ao longo deste trabalho. Considerações sobre o trabalho futuro são apresentadas com base nas perspectivas de evolução da tecnologia CMOS.

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

Capítulo 5

Conclusão Geral

5.1 RECAPITULAÇÃO.....	155
5.2 TEMAS PARA DESENVOLVIMENTO FUTURO	157
5.3 HISTÓRICO SOBRE OS PRINCIPAIS TRABALHOS PUBLICADOS.....	159
5.4 REFERÊNCIAS.....	162

5.1 Recapitulação

Foi realçado neste trabalho o recente interesse por soluções monolíticas em aplicações de Eletrônica de Potência, que tem motivado o desenvolvimento de sofisticadas e dispendiosas tecnologias que permitem fundir numa mesma pastilha "chip" dispositivos de potência, juntamente com circuitos de controle, proteção e amostragem de grandezas físicas, bem como interfaces com microprocessadores, diagnósticos de falhas e monitorização de processos. Na seqüência do trabalho, os CIIPs foram referidos como capazes de realizar funções complexas de comutação a altas frequências com aumento da funcionalidade e confiabilidade relativamente às soluções discretas, representando um progresso motivador na área do processamento de potência. Este fato tem levado os fabricantes a lançar no mercado CIIPs para aplicações específicas, para baixa e média potência, nomeadamente para a indústria automotiva, robótica, telecomunicações, portáteis e equipamento médico, áreas em que são necessárias grande confiabilidade e compactibilidade.

O presente trabalho surge como uma nova abordagem à concepção e à realização de funções de comutação, excitação, controle, amplificação, amostragem de variáveis físicas e proteção em sistemas monolíticos inteligentes de potência (*Smart Power*) permitindo a utilização apenas de Estruturas NMOS, fabricadas recorrendo, inclusive, a processos tecnológicos convencionais de circuitos integrados "VLSI", e dispensando a utilização de outro tipo de dispositivos semicondutores no processamento de sinais de potência.

As tecnologias CMOS convencionais ficam assim viabilizadas para a Integração Inteligente de Potência de baixo custo e com a facilidade de permitir ainda a prototipagem rápida de CIIPs para aplicações específicas, beneficiando da maturidade das tecnologias, das ferramentas de projeto automático (EDA), das bibliotecas disponíveis e dos núcleos de funções reutilizáveis.

A mesma metodologia pode ser utilizada em tecnologias específicas para a Integração de Potência, perspectivando-as para prototipagem rápida, utilizando o transistor isolado disponibilizado pela tecnologia, como elemento básico das Estruturas NMOS, constitutivas dos Agregados e Matrizes apresentados, facilmente configuráveis pela(s) última(s) camada(s) de metal, para obtenção das topologias e circuitos necessários à funcionalidade exigida.

Mesmo em processos tecnológicos, em que é fácil obter estruturas semicondutoras bipolares (PNP, NPN) e estruturas unipolares PMOS, a recorrência apenas a estruturas NMOS reduz a possibilidade de condução intempestiva (*latch-up*) e, em certos casos, a área de Silício necessária.

As contribuições originais deste trabalho inserem-se no âmbito do desenvolvimento de topologias de circuitos passíveis de concretizar as Células genéricas necessárias ao controlo e à comutação de potência em Circuitos Integrados Inteligentes de Potência – CIIP, (*Smart Power*), recorrendo apenas a transistores isolados NMOS, nomeadamente a transistores LDS, a transistores ou transistores LDMOS. Estes transistores podem ser associados em diferentes topologias para comutação de potência (*Switch Load Topologies*): interruptor isolado (*High-Side*), interruptor referenciado ao substrato (*Low-side*), interruptor de passagem (*Pass Element*), interruptor vai-vem (*Push-Pull*), meia-ponte (*Half-Bridge*), ponte (*Full-Bridge*), ponte-múltipla (*n-Phases Full-Bridge*) e topologias derivadas.

Inerente ao conceito original defendido nesta tese, de utilizar unicamente transistores NMOS na concretização das funções necessárias ao controle de potência, na excitação dos dispositivos de potência, foram concebidos, projetados, simulados, otimizados, fabricados e testados diferentes circuitos necessários à excitação dos dispositivos de comutação de potência:

- circuitos deslocador de nível (*Level Shifters*);
- circuitos retificadores e limitadores (*Clippers*);
- circuitos retentor (*Clampers*);
- circuitos flutuantes de excitação (*High Voltage Floating Drivers*);
- circuito de bombeamento de cargas (*Charge-pump*) e
- circuito intensificador de excitação (*Bootstrap*)

Os conceitos apresentados e defendidos nesta dissertação perspectiva importantes avanços. As vantagens da solução apresentada são:

- a) compatibilizar a Integração Inteligente de Potência com as tecnologias CMOS convencionais, sem etapas adicionais de processo;
- b) utilizar um único modelo elétrico básico das estruturas semicondutoras para a simulação de dispositivos e circuitos;
- c) compatibilizar a produção em massa de micro-sistemas com as tecnologias CMOS convencionais, sem etapas adicionais de processo, de acordo com as tendências da tecnologia;

- d) conferir potencialidades a grande número de processos CMOS convencionais existentes no mercado, para concretizarem Circuitos Integrados Inteligentes de Potência – CIIP, (*Smart Power*), mediante o simples acréscimo, às bibliotecas já existentes, de bibliotecas de circuitos de controle de potência;
- e) viabilizar a realização de Circuitos Integrados Inteligentes de Potência – CIIP semidedicados, facilmente configuráveis através da(s) última(s) camada(s) de metal, utilizando processos tecnológicos CMOS convencionais existentes no mercado para circuitos digitais;
- f) conferir potencialidades a grande número de processos existentes no mercado dedicados à integração inteligente de potência (*smart power technologies*) para viabilizar a fabricação de Circuitos Integrados Inteligentes de Potência semidedicados, facilmente configuráveis através da(s) última(s) camada(s) de metal, mediante a simples introdução de bibliotecas de circuitos de controle de potência;
- g) permitir a realização de prototipagem rápida de Circuitos Integrados Inteligentes de Potência (*Smart Power*), numa dada tecnologia CMOS ou em tecnologias dedicadas à integração inteligente de potência.

Os resultados experimentais permitem antever um elevado potencial industrial deste trabalho. Diferentes aplicações estão em desenvolvimento e farão uso das topologias de circuitos apresentadas ao longo deste trabalho. Os conceitos apresentados neste trabalho ultrapassam as fronteiras dos circuitos eletrônicos convencionais e satisfazem as necessidades de micro-sistemas eletro-mecânicos monolíticos entre outras potenciais aplicações.

5.2 Temas para desenvolvimento futuro

Os conceitos apresentados e desenvolvidos nesta dissertação perspectivam também diferentes áreas de atuação.

No âmbito dos dispositivos, sugere-se a obtenção de geometrias otimizadas de transistores de alta tensão compatíveis com as tecnologias CMOS convencionais, estendendo a sua aplicação até gamas de tensão superiores às usualmente estabelecidas para estas tecnologias. Ainda há um grande trabalho de otimização da arquitetura das Estruturas NMOS que deve ser concluído.

No âmbito da Matriz ,pré-difundida, sugere-se que esforços sejam feitos no sentido de gerar uma Matriz de Agregados, que apresente uma arquitetura repetitiva e otimizada sob a forma de blocos elementares, que contenha área dedicada a circuitos analógicos, digitais e de potência, que seja compatível com o processo idealizado pelo CTI-IM de configuração pela última camada de metal,

utilizando a litografia por feixe de elétrons, e passível de realizar diferentes topologias, designadamente de células de comutação e de circuitos analógicos, que concretizem as funções necessárias ao controle de potência. Recomenda-se a criação de um ambiente de projeto sobre esta Matriz para plataformas de baixo custo, baseado nos atuais computadores pessoais. Este ambiente de projeto deve, no mínimo, conter ferramenta de descrição, de simulação analógica, digital e mista e de geração automática da planta (*layout*).

No âmbito das topologias de circuitos que concretizem funções específicas, sugere-se a utilização de Matrizes de Células Básicas, constituídas por Estruturas NMOS pré-definidas, para configurar topologias específicas, que realizem funções de amplificação, amostragem de variáveis físicas e proteção em sistemas monolíticos inteligentes de potência (*Smart Power*), suficientemente versáteis para serem utilizadas em variadas aplicações.

No âmbito das aplicações, sugere-se:

- a) a curto prazo, a exploração da viabilidade de concretização de micro-sistemas eletromecânicos, cuja dinâmica seja controlada por atuadores pelos blocos básicos NMOS apresentados ao longo deste trabalho;
- b) a médio prazo, a exploração da viabilidade de construídos de micro-sistemas em aplicações de telemática, recorrendo à realização de circuitos de RF em CMOS, por exemplo em aplicações biomédicas e terapêuticas vigiadas centralmente.

A longo prazo, muitas outras aplicações podem vir a ser exploradas, sempre considerando um compromisso entre volume, custo e tempo de prototipagem, mas a principal motivação para continuidade deste trabalho é a forte tendência da queda da tensão de alimentação dos CI construídos em tecnologias CMOS ultra-densos para valores entorno de 0,1 V. Nestas condições, mesmo 2 V poderá ser considerado alta tensão. Os conceitos desenvolvidos nesta tese potencialmente poderão ser aplicados para resolver os problemas de interface de comunicação, tanto com os dispositivos discretos de potência como com os atuais circuitos integrados de baixa tensão.

5.3 Histórico sobre os principais trabalhos publicados

BIBLIOTECA CENTRAL

SEÇÃO CIRCULANTE

Como última parte deste trabalho, será apresentada uma pequena resenha da evolução deste, baseada em algumas das principais publicações realizadas, as quais contêm contribuições significativas do autor. Há outras publicações que não foram mencionadas por se tratarem de uma extensão ou complemento na forma de tutoriais, teses ou artigos derivados do material aqui referido.

Ressalta-se que todos os interruptores de potência LDD e LDSD utilizados nas aplicações são do tipo NMOS construídos sobre uma tecnologia CMOS convencional.

Logo no início da carreira do autor como projetista de circuitos integrados, foi colocado como desafio o projeto de um circuito integrado dedicado ao acionamento de Mostradores de Cristal Líquido – LCD (Liquid Crystal Display) multiplexado com uma taxa de até 4:1 contendo 24 pinos de saída. O projeto foi realizado em uma tecnologia digital CMOS 1.5 μm utilizando interruptores do tipo LDSD. Cada interruptor de saída continha dois transistores em configuração totêmica, cujo circuito de acionamento era realizado utilizando um circuito intensificador de excitação capacitivo integrado monoliticamente. A seleção do estado de condução de cada interruptor era determinada pelo bit de informação armazenado em um registrador bi-estável. A entrada de dados era realizada através de um registrador serial. Ao fim de cada ciclo de carga do registrador serial, as informações eram transferidas simultaneamente para os registradores de memória de cada saída. O trabalho “*A 25-volt LCD Driver IC in CMOS Technology*” [5.1] apresenta maiores detalhes sobre este projeto.

Este primeiro trabalho foi baseado em um grande número de resultados experimentais obtidos de protótipos de diferentes interruptores construídos em tecnologias convencionais. Maiores detalhes sobre este desenvolvimento podem ser encontrados no trabalho “*Medium-voltage switching devices compatible with standard CMOS technology*” [5.2]. Este trabalho foi fruto de uma cooperação técnica e científica entre o LAAS, da França, e a Fundação CTI, do Brasil. A contribuição do lado francês foi a capacidade de simulação bidimensional de dispositivos de potência. A contribuição do lado brasileiro foi a proposta de estruturas compatíveis com processos considerados convencionais, a simulação e a prototipagem experimental. Como

resultado diversos dispositivos foram propostos, construídos e caracterizados e serviram como orientação para os trabalhos realizados.

Fazendo uso de um par de interruptores de potência LDD e LDS, com dreno comum, foi possível construir o estágio de potência de um conversor e regulador de tensão DC-DC. Este trabalho foi fruto de uma cooperação técnica e científica entre o IT do IST, de Portugal, e a Fundação CTI. Do lado brasileiro, a contribuição foi o desenvolvimento dos interruptores de potência, e do lado português a contribuição foi o desenvolvimento do controle. Esforços comuns foram feitos durante a etapa de descrição, simulação e geração da planta do CI. Os resultados foram apresentados em um trabalho com o título de *"A Smart Power IC for DC-DC Power Regulation"* [5.3]. A cooperação com o IT prosseguiu fortemente, produzindo novos frutos.

Os resultados de simulação e os resultados experimentais deste conversor apresentaram um rendimento elevado, porém os dispositivos não haviam sido modelados de maneira metódica. Para se obter um ambiente de simulação adequado ao desenvolvimento de aplicações foi necessário propor um modelo e um método experimental de caracterização dos dispositivos de potência. Os resultados foram apresentados no trabalho *"Modeling and Characterization of LDD and LDS NMOS Transistors"* [5.4].

Novas tecnologias foram utilizadas no desenvolvimento dos dispositivos de potência LDD e LDS, cujos resultados experimentais foram caracterizados produzindo novos dados, relatados no trabalho *"Medium-voltage Lateral NMOS Power Devices in Standard CMOS Technology"* [5.5].

Os dispositivos já tinham uma concepção amadurecida e eram já bem conhecidos, abrindo assim a oportunidade de construir diversas aplicações. Curiosamente, todas as aplicação foram construídas utilizando um par de transistores LDD e LDS com o dreno comum. O trabalho daí resultante foi apresentado em *"Monolithic Smart Switching Cell Targeted to a Wide Range of Low Power High Density Applications"* [5.6].

Em paralelo, as atividades de projeto da Fundação CTI estavam focalizadas em desenvolver um circuito do tipo *Gate Array*, dedicado à integração de ASICs digitais, cuja particularidade é a

configuração por intermédio da última camada de metal. Os principais resultados foram relatados no trabalho “*Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal*” [5.7]. O domínio da técnica de projeto de circuitos configuráveis pelo último nível de metal para circuitos digitais associado aos resultados obtidos das aplicações passíveis de serem construídas recorrendo a somente um tipo de transistor de potência serviram como motivação para a proposta de desenvolver circuitos integrados inteligentes de potência também configuráveis pelo último nível de metal.

Esforços foram feitos para se otimizar a construção de dispositivos de potência, utilizando ferramentas de simulação para a construção de dispositivos de potência. Os resultados, de simulação e experimentais, foram relatados no trabalho “*Breakdown Voltage Improvement of Standard MOS Technologies Targeted at Smart Power*” [5.8].

As aplicações apresentadas despertaram interesse de uma revista técnica, convidando-nos para que o trabalho “*Pushing standard CMOS Technologies into Smart Power Conversion and Amplification*” [5.9] fosse publicado por eles.

Os requisitos necessário para a construção de um arranjo matricial de transistores capaz de ser configurado pelo último nível de metal, de maneira a formar diversas topologias de interruptores necessárias ao controle de potência, foram descritos no trabalho “*Semicustom Smart Power Design: a Novel Transistor Cell Architecture*” [5.10].

O último desafio era o de construir os circuitos tradicionais que são utilizados na integração inteligente de potência, circuitos que fazem uso de múltiplos tipos de dispositivos de alta tensão para o controle dos interruptores de potência, utilizando somente um tipo de dispositivo de alta tensão, o transistor NMOS. Tal objetivo foi alcançado, e a principal publicação que apresenta os resultados tem o título de “*A New Concept for Cost Effective Smart Power ICs Based on a Unique Cell Type*” [5.11].

Exemplo de aplicações práticas dos resultados obtidos foram publicado nos trabalhos , “*Microsystem for Biomedical Application Using Cost Effective Smart Power Strategies*” [5.12] e “*A 0.8 μm -Standard CMOS Merges One-wire Protocol Interpreter and 2.5A-18 V Power Switch to Accomplish Low-Cost Automotive Network*” [5.13].

5.4 Referências

- [5.1] S. Finco, M. Cuin Jr., F. H. Behrens, "A 25-volt LCD Driver IC in CMOS Technology", Proceedings of 6th SBMicro, pp. 632-634, Belo Horizonte, MG, Brasil, Julho, 1991.
- [5.2] F. Behrens, G. Charitat, P. Rossel, "Medium-voltage switching devices compatible with standard CMOS technology", Proceedings of the Symp. on Materials and Devices, MADEP/EPE'91, Florence, Italy, Setembro, pp. 98-103, 1991.
- [5.3] S. Finco, F. H. Behrens and M. I. Castro Simas, "A Smart Power IC for DC-DC Power Regulation", in Proceedings IEEE Industrial Application Society 27th Annual Meeting, IAS'92, pp.1204-1211, Houston, Texas, U.S.A., Outubro, 1992.
- [5.4] M. I. Castro Simas, J. Costa Freire, S. Finco, F. H. Behrens, "Modeling and Characterization of LDD and LDS NMOS Transistors", in Proceedings IEEE Industrial Applications Society 28th Annual Meeting, IAS'93, pp. 1183-1189, Toronto, Ontario, Canada, Outubro, 1993.
- [5.5] F. H. Behrens, S. Finco, M. I. Castro Simas, "Medium-voltage Lateral NMOS Power Devices in Standard CMOS Technology", 5th European Conference on Power Electronics and Applications, EPE-93, Vol. 2, pp. 209-214, Brighton, UK, Setembro, 1993.
- [5.6] S. Finco, J. Guilherme, F. H. Behrens, M. I. Castro Simas, "Monolithic Smart Switching Cell Targeted to a Wide Range of Low Power High Density Applications", IEEE Power Electronics Specialists Conference, pp. 457-462, Taipei, R. O. China, Junho, 1994.
- [5.7] F. H. Behrens, S. Finco, R. P. Ribas, F. Chavez, L. A. Razera, "Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal", Anais do I Workshop Iberchip, pp. 259-270, Cartagena de Indias, Colombia, Fevereiro, 1995.
- [5.8] P. M. Santos, M. I. Castro Simas, S. Finco, F. Behrens and M. Lança, "Breakdown Voltage Improvement of Standard MOS Technologies Targeted at Smart Power", Proceedings of Industry Applications Society Annual Meeting, IAS'95, pp. 937-945, Orlando, Florida, Outubro 1995.
- [5.9] S. Finco, J. Guilherme, F. Behrens, M. I. Castro Simas and M. Lança "Pushing Standard CMOS Technologies into Smart Power Conversion and Amplification", Journal of Circuits, Systems and Computers, vol. 5, no. 3, pp. 455-463, © World Scientific Publishing Company, 1995.
- [5.10] A. P. Casimiro, S. Finco, M. I. Castro Simas and F. Behrens, "Semicustom Smart Power Design: a Novel Transistor Cell Architecture", International Conference on Microelectronics and Packaging - ICMP'98 (XIII SBMICRO), Curitiba, Brasil, Agosto, 1998.
- [5.11] S. Finco, P. Tavares, P. Casimiro, P. Santos, F. Behrens and M. I. Castro Simas, "A New Concept for Cost Effective Smart Power ICs Based on a Unique Cell Type", Proceedings of Industry Applications Society Annual Meeting, IEEE - IAS'98, St. Lois, MO-USA, Outubro, 1998.
- [5.12] P. Tavares, S. Finco, F. Behrens, L. E. Seixas, A. P. Casimiro, and M. I. Castro Simas, "Microsystem for Biomedical Application Using Cost Effective Smart Power Strategies", SBMICRO'99, Campinas, Brasil, Agosto, 1999.
- [5.13] C.A. dos Reis Filho, J.A.P. Seminario, M. Jara, S. Finco and W. Luque, "A 0.8 μ m-Standard CMOS Merges One-wire Protocol Interpreter and 2.5A-18 V Power Switch to Accomplish Low-Cost Automotive Network", Proceedings of The 12th International Symposium on Power Semiconductor Devices & ICs - ISPSD'2000, Toulouse, França, Maio, 2000.