



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e Computação
DSIF – Departamento de Semicondutores Instrumentos
e Fotônica

Análise, Projeto e Layout de uma Nova Topologia de Circuito
Regulador de Tensão para Aplicação em
Microprocessadores.

Autor: Fernando Zampronho Neto

Orientador: Prof. Dr. Jacobus Willibrordus Swart

Co-Orientador: Prof. Dr. Jader Alves de Lima Filho

Trabalho apresentado à Faculdade de Engenharia Elétrica e Computação da UNICAMP como parte dos requisitos exigidos para obtenção do título de Mestre em Engenharia Elétrica.

Comissão Examinadora

Prof. Dr. Jacobus Willibrordus Swart

Prof. Dr. José Alexandre Diniz

Prof. Dr. Sandro Augusto Pavlik Haddad

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Z149p Zampronho Neto, Fernando
Análise, projeto e layout de uma nova topologia de
circuito regulador de tensão para aplicação em
microprocessadores / Fernando Zampronho Neto. --
Campinas, SP: [s.n.], 2009.

Orientadores: Jacobus Willibrordus Swart, Jader
Alves de Lima Filho.

Dissertação de Mestrado - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Microeletrônica. 2. Reguladores de voltagem. 3.
Conversores eletrônicos. 4. Circuitos integrados. 5.
Sistemas eletrônicos analógicos. I. Swart, Jacobus
Willibrordus. II. Lima Filho, Jader Alves de. III.
Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. IV. Título.

Título em Inglês: Analysis, Design and Layout of a new Voltage Regulator Circuit
Topology Applied to Microprocessors

Palavras-chave em Inglês: Microelectronics, Voltage regulators, Electronic
converters, Integrated circuits, Analog electronic systems

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: José Alexandre Diniz, Sandro Augusto Pavlik Haddad

Data da defesa: 17/12/2009

Programa de Pós Graduação: Engenharia Elétrica

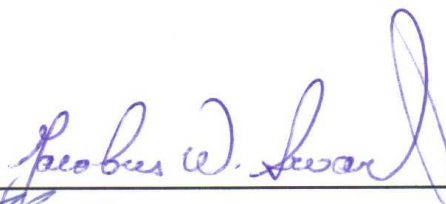
COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Fernando Zampronho Neto

Data da Defesa: 17 de dezembro de 2009

Título da Tese: "Análise, Projeto e Layout de uma Nova Topologia de Circuito Regulador de Tensão para Aplicação em Microprocessadores"

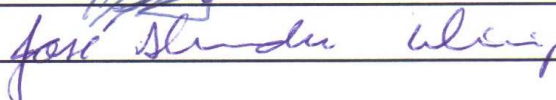
Prof. Dr. Jacobus Willibrordus Swart (Presidente):



Dr. Sandro Augusto Pavlik Haddad:



Prof. Dr. José Alexandre Diniz:



Agradecimentos

Agradeço, primeiramente, à minha Família, que me apoiou e incentivou incondicionalmente durante todo o período de elaboração desta pesquisa.

Agradeço, também, ao Professor Dr. Jacobus Willibrordus Swart e ao Professor Dr. Jader Alves de Lima Filho pela orientação e apoio dados durante a elaboração deste trabalho. Também agradeço à equipe de Divisão e Concepção de Sistemas de Hardware – DCSH – CTI Renato Archer pelo auxílio com a utilização do programa *Mentor Graphics*. Agradeço também à Fundação de Amparo à Pesquisa do Estado de São Paulo – Fapesp pela ajuda financeira através da bolsa de mestrado e a *Freescale* Semicondutores Brasil – BSTC por ceder seu laboratório para que os testes das amostras fabricadas pudessem ser realizados.

E, finalmente, quero agradecer a todas as pessoas que, direta ou indiretamente, me auxiliaram durante a pesquisa e elaboração deste trabalho, caso seus nomes não foram aqui mencionados.

Resumo

Este trabalho tem como objetivo o estudo de uma arquitetura de regulador de tensão do tipo multi-fase para alimentação de microprocessadores, os quais demandam pequena variação em sua tensão, mesmo face aos seus agressivos transitórios de corrente. O estudo engloba a análise, que descreve as vantagens e desvantagens de topologias de reguladores chaveados, o projeto, a simulação, a fabricação e a caracterização experimental do regulador.

Na etapa de projeto, uma nova abordagem no dimensionamento do filtro externo LC é apresentada, considerando-se seus respectivos elementos parasitas, a partir da introdução do parâmetro “fator de não idealidade”, ou n , que é compreendido no intervalo $[0, 1]$. Quanto mais n se aproxima da unidade, menores serão os elementos parasitas do filtro, facilitando a escolha dos capacitores e indutores no mercado. Adicionalmente, é proposta uma técnica de projeto do compensador em frequência, aplicada em topologias realimentadas por tensão. Esta consiste na soma de sua tensão de saída com a diferença de potencial entre dois de seus nós internos, que ocorre apenas durante o transitório de carga, reduzindo o tempo de resposta do regulador. Simulações mostraram uma queda de mais de 25% na ondulação da tensão de carga utilizando esta técnica, em comparação com a solução convencional. O processo, simulador e modelos utilizados neste trabalho são, respectivamente, o AMS H35, PSPICE e Bsim3v3.

O *layout* do regulador foi feito via *Mentor Graphics* e possui área efetiva de $0,444\text{mm}^2$. A fabricação na *foundry* AMS foi viabilizada pelo programa multi-usuário da FAPESP. A caracterização experimental compara o tempo de resposta do regulador nas mesmas condições da etapa de simulação. Resultados experimentais indicaram uma redução de 96,1% na ondulação da tensão de carga durante seu transitório de corrente utilizando a técnica proposta, em comparação a solução convencional, validando a nova técnica de projeto do compensador em frequência.

O presente trabalho é concluído enfatizando-se os objetivos alcançados e principais resultados experimentais obtidos, dificuldades de projeto e limitações da arquitetura do regulador chaveado estudada.

Abstract

This work aims to study the topology of multi-phase voltage regulators applied to microprocessors, where only tiny variations in the supply voltage are allowed, even when facing aggressive current transients. This study consists in the analysis, which describes the advantages and disadvantages of switched voltage regulator topologies, design, simulation, layout and experimental characterization of the proposed regulator.

In the design phase, a new approach in sizing the external LC filter is herein described, considering their stray elements, through the introduction of the “non ideality” parameter, or n , which is valid within interval $[0,1]$. As more as n approaches unity, less parasitic elements the filter will have, easing the choice of the capacitors and inductors commercially available. In addition to this, a new technique applied to voltage feedback topologies is proposed, which consists in adding the output voltage of the frequency compensator to a voltage between two of its internal nodes. With such an approach, the response time of the regulator to load transients decreases. Simulation results show a reduction over 25% in the output voltage ripple using this new approach, when comparing to the traditional solution. The process, simulator and models used in this work are, respectively, AMS H35, PSPICE and Bsim 3v3.

The layout of the regulator was edited through Mentor Graphics, and it has an effective area of 0.444mm^2 . The fabrication in foundry AMS was done by multi-user program of FAPESP. The experimental characterization compares the response time of the regulator in the same conditions of simulation phase. Experimental results indicated a 96,1% reduction in load voltage ripple during transient, when comparing the purposed technique with the traditional solution, validating the excellent performance of the regulator with the new design technique.

This work is concluded by emphasizing the reached objectives and main experimental results reached, design difficulties and limitations of the switched-regulator architecture studied.

Sumário

Lista de Figuras	xiii
Lista de Tabelas.....	xvii
Lista de Abreviações	xix
Lista de Símbolos	xxi
Trabalhos Publicados pelo Autor	xxv
Capítulo 1	1
Introdução.....	1
1.1 Considerações iniciais.....	1
1.2 Limitação das topologias atuais e estudo de uma abordagem para o projeto de reguladores.....	6
Capítulo 2	11
Análise em Regime Transitório da Topologia Multi-Fase.....	11
2.1 Estudo das especificações da carga e suas implicações.....	11
2.2 Análise dos componentes parasitas de L e C_{LOAD}	13
Capítulo 3	23
Projeto do Regulador.....	23
3.1 Considerações Iniciais.....	23
3.2 Compensador em Frequência – CFREQ.....	28
3.2.1 Estudo do tempo de resposta transiente de CFREQ.....	31
3.3 Amplificador operacional – opamp.....	33
3.4 Comparador com Histerese - COMP.....	34
3.5 Circuito Somador/Subtrator - SSUB.....	35
3.6 Gerador de Rampa – GR.....	37
3.7 Circuito de Partida Suave (Soft-Start) - SS.....	41
3.8 Lógica de acionamento + dead-time (DT).....	46
3.9 Gerador das Correntes de Polarização - GCP.....	47
3.10 Regulador.....	48
Capítulo 4	51
Resultados de Simulação.....	51
4.1 OPAMP.....	51
4.2 Comparador.....	54
4.3 Somador/Subtrator.....	55
4.4 Gerador de rampa.....	56
4.5 Soft-Start.....	57
4.6 Dead-Time.....	59
4.7 Gerador das Correntes de Polarização.....	60
4.8 Simulação Post-Layout do Regulador.....	60
Capítulo 5.....	63

Resultados Experimentais.	63
5.1 Opamp.	63
5.2 Comparador com histerese.	67
5.3 Circuito SSUB.	68
5.4 Gerador de Rampa.	69
5.5 Soft-start.	70
5.6 Dead-time.	71
5.7 Regulador.	73
Capítulo 6.	77
Conclusões e Perspectivas Futuras.....	77
7. Anexos.....	83
Anexo 1: Layout dos blocos projetados.	83
Anexo 2: Tabelas de Variação dos Circuitos em Função das Características do Processo. .	85
7.2.1 Circuito opamp.	85
7.2.2 Comparador.	85
7.2.3 Gerador de rampa.	86
7.2.4 Circuito SSUB.	86
7.2.5 SS_OPAMP.....	88
Anexo 3: Limitações do Processo de Fabricação AMS H35 e Soluções Adotadas	89
Anexo 4: <i>Layout</i> da Placa de Circuito Impresso (PCB).	93
Referências Bibliográficas	99

Lista de Figuras

- Figura 1.1.1: Conversor Buck (CB): (a) tradicional (b) síncrono.
- Figura 1.1.2: Evolução de V_{LOAD} e I_{LOAD} dos microprocessadores.
- Figura 1.1.3: Evolução do SR de I_{LOAD} .
- Figura 1.1.4: Faixa de aplicação de alguns reguladores chaveados.
- Figura 1.1.5: Diagrama básico da malha de controle de um CB.
- Figura 1.1.6: Representação dos sinais de controle de HS e LS.
- Figura 1.2.1: *Spikes* que ocorrem durante um TC [1].
- Figura 1.2.2: Esquemático para modelamento do MP [1].
- Figura 1.2.3: Esquemático e formas de onda de um CMF básico [1].
- Figura 1.2.4: Resposta transiente de um CMF [1].
- Figura 1.2.5: Conversor CMF com $N = 4$ [1].
- Figura 2.1.1: Tolerância de V_{LOAD} de acordo com I_{LOAD} [6].
- Figura 2.1.2: Estrutura simplificada para o CB (a), e modelo para pequenos sinais (b).
- Figura 2.2.1: Modelamento de V_{LOAD} do CMF para um transitório de corrente
- Figura 2.2.2: Dependência de C_{NORM} em função de n_{CT} .
- Figura 2.2.3: Dependência de ESR_{C_NORM} (a) e ESL_{C_NORM} (b) em função de n_{CT} .
- Figura 2.2.4: Esquemático do CMF com N células, para análise de L .
- Figura 2.2.5: Modelo para análise AC do CMF.
- Figura 2.2.6: Circuito AC equivalente do CMF.
- Figura 3.1.1: Diagrama em blocos da arquitetura CMF.
- Figura 3.1.2: FT de um CB (a) e de um CMF (b) com $2 \leq N \leq 6$.
- Figura 3.1.3: Resposta de um CB (a) e de um CMF (b) a um degrau em V_{IN} .
- Figura 3.2.1: Diagrama em blocos de CFREQ.
- Figura 3.2.2: FT do CMF incluindo ESR_C e ESL_C .
- Figura 3.2.1.1: Esquemático simplificado de CFREQ.
- Figura 3.2.1.2: Diagrama final do bloco CFREQ.
- Figura 3.3.1: Esquemático do op-amp utilizado.
- Figura 3.4.1: Esquemático do comparador.
- Figura 3.5.1: Diagrama de blocos de SSUB.

Figura 3.5.2: Esquemático do circuito SSUB.

Figura 3.6.1: Diagrama em blocos para o gerador de rampa.

Figura 3.6.2: Diagrama do bloco gerador de rampa.

Figura 3.6.3: esquemático do *flip-flop* tipo D com preset.

Figura 3.6.4: *Flip-flop* tipo D com reset.

Figura 3.6.5: Esquemáticos das portas lógicas INV, NAND e NOR utilizadas.

Figura 3.7.1: Diagrama em blocos do SS.

Figura 3.7.2: Esquemático do bloco SS.

Figura 3.7.3: Diagrama do CS de 8 bits.

Figura 3.7.4: Esquemático do SS_OPAMP.

Figura 3.8.1: Diagrama do DT para HS e LS.

Figura 3.8.2: Esquemático completo do bloco DT.

Figura 3.9.1: Diagrama do GCP.

Figura 3.10.1: Esquemático do regulador.

Figura 4.1.1: Análise AC típica do opamp.

Figura 4.1.2: Análise DC do bloco opamp.

Figura 4.1.3: Esquemático para análise AC do opamp inserido no regulador.

Figura 4.1.4: Análise AC para o opamp inserido no regulador.

Figura 4.2.1: Forma de onda de V_{COMP} .

Figura 4.3.1: Resultado típico de simulação do SSUB.

Figura 4.4.1: Formas de onda típicas do GR.

Figura 4.5.1: Tensão à saída do bloco SS.

Figura 4.6.1: Simulação típica do DT para HS e LS.

Figura 4.8.1: Esquemático do regulador para simulação *post-layout*.

Figura 4.8.2: Ondulação em V_{LOAD} sem a inclusão de SSUB.

Figura 4.8.3: Ondulação em V_{LOAD} com a inclusão de SSUB.

Figura 5.1: Fotografia do chip fabricado. (1603 μ m x 1603 μ m).

Figura 5.1.1: Resposta em frequência do opamp.

Figura 5.1.2: Excursão DC e análise de *offset* do opamp.

Figura 5.1.3: Estrutura *off-chip* para análise AC do opamp.

Figura 5.1.4: Análise AC do opamp com $C_{OUT_OPAMP} = 90\text{pF}$.

Figura 5.2.1: Caracterização experimental para V_{HIST} do comparador.

Figura 5.3.1: Resultado experimental para SSUB no cenário 1.

Figura 5.3.2: Caracterização de SSUB no cenário 2.

Figura 5.4.1: Resultado experimental para o gerador de rampa.

Figura 5.5.1: Resultado experimental do SS para car1.

Figura 5.5.2: Resultado de caracterização para car2.

Figura 5.6.1: TM medido para $I_{\text{Bias_10u}} = 10\mu\text{A}$.

Figura 5.6.2: TM para $I_{\text{Bias_10u}} = 20\mu\text{A}$.

Figura 5.7.1: V_{LOAD} sem o bloco SSUB (a), e com SSUB (b).

Figura 5.7.2: Linearidade de V_{LOAD} em função de V_{REF} .

Figura 5.7.3: Forma de onda de V_{GS} de HS e LS.

Figura 7.1.1: *Layout* dos blocos opamp (a) e comparador (b).

Figura 7.1.2: *Layout* dos blocos SSUB (a) e GR (b).

Figura 7.1.3: *Layout* do *soft-start* (a) e *dead-time* (b).

Figura 7.1.4: *Layout* do regulador: sem os PADS (a) e com os PADS (b).

Figura 7.2.1.1: Esquemático para simulação do opamp.

Figura 7.2.4.1: Simulação da linearidade de V_A do bloco SSUB.

Figura 7.2.4.2: Simulação de *offset* à saída de SSUB em relação a $V_B - V_C$.

Figura 7.3.1: *Level-shifter* para acionamento do transistor LS.

Figura 7.3.2: Resultado típico de simulação do DLS.

Figura 7.3.3: Atraso na comutação de LS.

Figura 7.3.4: Esquemático do bloco DHS.

Figura 7.3.5: Modelo simplificado para I_p do HS.

Figura 7.3.6: Resultado de simulação para o bloco DHS.

Figura 7.4.1: Vista superior da PCB.

Figura 7.4.2: Vista inferior da PCB.

Figura 7.4.3: Vista superior com os componentes posicionados na placa.

Figura 7.4.4: Representação da montagem dos indutores.

Lista de Tabelas

Tabela 2.1.1: Especificações para o projeto.

Tabela 3.1.1: Características de transistores MOS para comutação comerciais.

Tabela 3.7.1: Tabela da verdade para projeto do CS de 8 bits.

Tabela 3.7.2: Expressões booleanas para o contador síncrono.

Tabela 3.10.1: Lista de *pads* do regulador, com descrição de cada um.

Tabela 4.1.1: RA (μm) dos componentes do opamp.

Tabela 4.2.1: RA (μm) dos componentes do comparador

Tabela 4.3.1: RA (μm) dos componentes do SSUB.

Tabela 4.4.1: RA (μm) dos componentes do bloco GR.

Tabela 4.5.1: Características típicas do SS_OPAMP.

Tabela 4.5.2: RA (μm) dos componentes do SS_OPAMP.

Tabela 4.5.3: RA (μm) dos dispositivos do *soft-start*.

Tabela 4.6.1: RA (μm) dos dispositivos do DT.

Tabela 4.8.1: RA (μm) de $M_1 - M_{10}$ do regulador.

Tabela 6.1: Resultados medidos *versus* simulados para os blocos do regulador.

Tabela 6.2: Relação dos parâmetros de processo utilizados na simulação.

Tabela 7.1: Área ocupada pelos blocos mostrados.

Tabela 7.2.1.1: Parâmetros do opamp em função de variações no processo.

Tabela 7.2.2.1: Histerese de comp em função de variações no processo.

Tabela 7.2.3.1: Variação de V_{P_RAMPA} em função da variação do processo.

Tabela 7.2.4.1: Comportamento de V_A do SSUB em função do processo de fabricação.

Tabela 7.2.4.2: Primeira situação de *offset* à saída do bloco SSUB.

Tabela 7.2.4.3: Segunda situação de *offset* à saída do bloco SSUB.

Tabela 7.2.5.1: Parâmetros do SS_OPAMP em função de variações do processo.

Lista de Abreviações

AC – *Alternating Current* – Corrente Alternada.

BIT – Dígito Binário, importante na especificação do circuito de partida suave.

BS – *Boot strap*, presente no bloco DHS.

CB – Conversor *buck* tradicional.

CF – Bloco compensador em frequência.

CFREQ – Bloco compensador em frequência.

CMF – Conversor *buck* multi-fases.

COMP – Comparador com histerese.

CS – Contador Síncrono.

DHS – Bloco *Driver* para acionamento do transistor HS.

DLS – Bloco *Driver* para acionamento do transistor LS.

Driver – Circuito acionador de HS e de LS.

DT – Bloco que envolve a lógica de acionamento e a geração do tempo-morto para HS e LS.

ESL – *Equivalent Series Inductance* – Indutância Série Equivalente.

ESR – *Equivalent Series Resistance* – Resistência Série Equivalente.

FT – Função de transferência.

GCP – Gerador de correntes de polarização.

GR – Gerador de Rampa.

HS – *High Side* – transistor comutador.

IN_M – Entrada inversora do circuito opamp do bloco CFREQ.

IN_P – Entrada não inversora do circuito opamp do bloco CFREQ.

LS – *Low Side* – transistor comutador.

LSH – Bloco deslocador de nível (*level shifter*).

MOSFET – Do inglês, *Metal Oxide Semiconductor Field Effect Transistor*, ou transistor de efeito de campo com óxido de metal semicondutor.

MP – Microprocessador, sendo a carga do regulador.

OA – Oscilador em anel, utilizado no bloco de partida suave.

Opamp – Amplificador operacional.

PCB – *Printed Circuit Board* – Placa de Circuito Impresso.

PSPICE – Simulador de Circuitos, fabricado pela empresa *Cadence*.

PWM – Pulse Width Modulation – Modulação por Largura de Pulso.

RA – Razão de aspecto.

SR – *slew rate* da corrente de carga durante um transiente.

SS – Bloco de partida suave - *soft-start*.

SS_opamp – Amplificador operacional utilizado no bloco SS.

SSUB – Circuito somador / subtrator.

TC – Transiente visto na carga.

TM – tempo morto entre o acionamento de HS e LS, e também, entre LS e HS.

VID – *Voltage Identification* – Tensão de Identificação do Regulador.

VRM – *Voltage Regulator Module* – Módulo Regulador de Tensão.

(W / L) – Relação entre comprimento e largura do canal de um transistor MOSFET.

Lista de Símbolos

Símbolo	Descrição	Unidade
α	Deslocamento de fase do compensador	°
α_H	Relação entre área de transistores específicos no bloco "comparador com histerese"	Adimensional
δ_{MIN}	Mínimo ciclo de trabalho presente no regulador	Adimensional
Δt	Período que a carga leva para ir de 0A até sua máxima corrente	S
Δt_{BOOT}	Tempo de duração da corrente existente no capacitor de <i>boot strap</i> durante ligação de HS	S
ΔV	Variação máxima permitida na tensão do capacitor de <i>boot strap</i> .	V
ΔV_P	Perda total de tensão existente nos elementos parasitas do capacitor de saída	V
μ_P, μ_N	Mobilidade dos portadores de um transistor tipo P e N, respectivamente.	cm ² /V.s
A	Ganho de tensão presente no bloco SSUB	Adimensional
C_N	Capacitor N, sendo N = 1, 2, 3...	Adimensional
C_{LOAD}	Capacitor de saída do regulador	F
C_{OX}	Capacitância do óxido de um transistor MOSFET	nF/cm ²
C_U	Valor unitário de cada um dos capacitores de saída ligado em paralelo.	F
D, δ	Ciclo de trabalho do regulador de tensão em regime permanente	Adimensional
ESL_C	Indutância série equivalente presente no capacitor de saída	Ω
ESR_C	Resistência série equivalente presente no capacitor de saída	Ω
ESR_{C_U}	Resistência série equivalente presente em um único capacitor de saída	Ω
$ESRL$	Resistência série equivalente de um indutor	Ω
$ESRL^*_{HS}$	Resistência série equivalente do indutor máxima permitida para o transistor HS ligado	Ω
$ESRL^*_{LS}$	Resistência série equivalente do indutor máxima permitida para o transistor LS ligado	Ω
$ESRL_U$	Indutância série equivalente presente em um único capacitor de saída	Ω

f_{REG}	Frequência de chaveamento do regulador	Hz
f_{C_CFREQ}	Frequência de corte do bloco CFREQ	Hz.
f_{CLK_SS}	Frequência do sinal de <i>clock</i> aplicado ao bloco de partida suave.	Hz.
f_{INV}	Frequência onde ocorre inversão de fase do conversor	Hz
G	Ganho da malha compensadora na frequência de corte do regulador.	Adimensional
I_{BIAS}	Corrente de polarização para diversos circuitos	A
I_{CN}, I_{BN}	Corrente de coletor e base do transistor N, respectivamente.	A
I_{DS_MAX}	Corrente máxima entre dreno e fonte de um MOSFET.	A
I_{LN}	Corrente no indutor N, sendo $N = 1, 2, 3...$	A
I_{LOAD}	Corrente consumida pela carga	A
I_{LOAD_MAX}	Máxima corrente consumida pela carga	A
I_{MAX}	Corrente máxima permitida no regulador quando este é ligado.	A
I_{OND_LOAD}	Ondulação na corrente de saída do regulador.	A
I_{PICO}	Corrente de pico possível no capacitor de <i>boot strap</i> .	A
I_{REF_SS}	Corrente de referência do bloco SS, que é função de V_{REF} .	A
k	Constante determinada a partir do ângulo de avanço de fase do compensador	Adimensional
L_N	Indutor N, sendo $N = 1, 2, 3...$	Adimensional
M	Menor ganho obtido da função de transferência do regulador.	Adimensional
N	Número de fases existentes no regulador	Adimensional
n_{CT}	Fator de não-idealidade total de C_{LOAD} . Assume valores entre 0 e 1.	Adimensional
n_{CT}	Fator de não-idealidade resistivo de C_{LOAD} . Assume valores entre 0 e 1.	Adimensional
n_{LR}	Fator de não-idealidade resistivo de L. Assume valores entre 0 e 1	Adimensional
N_{PC}	Número de capacitores de saída ligados em paralelo	Adimensional
n_R	Fator de idealidade resistivo para o capacitor de saída. Assume valores entre 0 e 1	Adimensional

P	Deslocamento de fase da FT do regulador.	°
Q	Quantidade de carga existente no capacitor de <i>boot strap</i> .	C
Q _O	Quantidade inicial de carga presente no capacitor de saída	C
Q _N	Transistor N, sendo N = 1, 2, 3....	Adimensional
r _{DS_ON_MAX}	Máxima resistência entre dreno e fonte para um transistor MOSFET quando ligado	Ω
R _N	Resistor N, sendo N = 1, 2, 3...	Ω
R _O	Resistência elétrica da carga	Ω
R _{LOSS}	Perdas resistivas das trilhas da placa de circuito impresso.	Ω
R _{ON_HS}	Resistência entre dreno e fonte para o transistor HS quando este se encontra ligado.	Ω
S _N	Elemento comutador N, sendo N = 1, 2, 3...	Adimensional
T	Período de chaveamento	s
T _{DT_HS_LS}	Tempo que HS demora a ligar depois que LS é desligado	s
T _{DT_LS_HS}	Tempo que LS demora a ligar depois que HS é desligado	s
T _N	Transformador N, sendo N = 1, 2, 3....	Adimensional
T _{SS}	Duração da rampa de V _{REF} feito pelo bloco de partida suave.	s
V _{BEN} , V _{BCN}	Tensão entre base e emissor, e entre base e coletor do transistor N, respectivamente.	V
v _C	Tensão do sinal de controle do regulador para efeito de análise AC	V
V _C	Tensão existente na componente capacitiva ideal do capacitor de saída	V
V _{DD_CHIP}	Tensão de alimentação do chip.	V
V _{CAP_GR}	Tensão no capacitor do bloco GR	V
V _{CFREQ}	Tensão de saída do bloco CFREQ	V
V _{CM}	Tensão de modo comum aplicada a amplificadores operacionais ou comparadores	V
V _{COMP_MAX}	Tensão máxima que pode ser aplicada às entradas do bloco "comparador com histerese"	V
V _{COMP_MIN}	Tensão mínima que pode ser aplicada às entradas do bloco "comparador com histerese"	V

$V_{\text{COMPENSADOR}}$	Tensão à saída do amp-op dentro do bloco CFREQ	V
V_{DC}	Tensão de alimentação do sistema	V
$V_{\text{DECOUPLING}}$	Tensão medida no nó "decoupling".	V
$V_{\text{DS_SAT_N}}$	Tensão mínima entre dreno e fonte para manter um MOS tipo N na região de saturação.	V
V_{ESLC}	Tensão presente na indutância série equivalente do capacitor	V
V_{ESRC}	Tensão presente na resistência série equivalente do capacitor	V
$V_{\text{ID}}, V_{\text{REF}}$	Tensão de referência aplicada ao regulador	V
V_{HIST}	Tensão de histerese existente no bloco "comparador com histerese"	V
$V_{\text{IH_MIN}}$	Mínima tensão de entrada de bloco digital de modo que este perceba ser nível lógico alto.	V
V_{IN}	Tensão de entrada do regulador.	V
V_{LOAD}	Tensão de saída para efeito de análise AC	V
V_{LOAD}	Tensão de saída no momento anterior a ocorrência de degrau de corrente de carga	V
V_{LOAD}^*	Tensão de saída após a ocorrência de degrau de corrente de carga	V
$V_{\text{OND_LOAD}}$	Tensão de ondulação à saída do regulador.	V
$V_{\text{OUT_OPAMP}}$	Tensão de saída do opamp.	V
$V_{\text{P_RAMPA}}$	Tensão de pico da rampa produzida pelo bloco gerador de rampa.	V
V_{RAMPA}	Tensão à saída do bloco gerador de rampa.	V
V_{R}	Queda de tensão do resistor entre V_{LOAD} e I_{N}_{M} do bloco CFREQ	V
$V_{\text{REF_MAX}}$	Máxima tensão de referência aplicada ao sistema	V
$V_{\text{REF_MIN}}$	Mínima tensão de referência aplicada ao sistema	V
$V_{\text{SS_OUT}}$	Tensão de saída do bloco de partida suave	V
V_{STEP}	Passo da evolução da tensão do circuito de partida suave quando o sistema é ligado.	V
$V_{\text{T_MAX}}$	Máxima tensão de limiar de um transistor MOSFET	V
V_{TOL}	Tolerância máxima de variação de tensão permitida à carga.	V

Trabalhos Publicados pelo Autor

F. Zampronho, J. A. De Lima, J. W. Swart “*Analysis and Modeling of Multi-Phase Buck Regulators Applied to Microprocessors*”, *Student Forum, Chip in Rio, September 2007*.

Capítulo 1

Introdução

1.1 Considerações iniciais.

O crescente aumento na velocidade de operação dos microprocessadores (MPs) tem levado a um maior consumo de energia, bem como à demanda por respostas mais rápidas aos transientes da carga da parte dos reguladores de tensão [1]. Se utilizado, um conversor *buck* convencional (CB) [1], mostrado na Figura 1.1.1, que consiste em um conversor DC/DC chaveado abaixador de tensão, necessitaria de um capacitor de saída C_{LOAD} de elevado valor para suprir a alta corrente de carga I_{LOAD} durante o transiente, e manter estabilizada a tensão de carga V_{LOAD} dentro dos limites especificados. Como o espaço dedicado ao C_{LOAD} na placa-mãe que abriga o MP é geralmente limitado, a utilização de estruturas convencionais de CBs torna-se inviável em tais aplicações. Portanto, outras topologias têm sido adotadas para suprir a tensão de alimentação, com capacidade de corrente de dezenas de Ampères, aos microprocessadores atuais e futuros.

O CB tradicional da Figura 1.1.1 (a) funciona baseado na comutação de um transistor (HS), que, quando acionado, liga a tensão de entrada V_{IN} ao nó V_X , onde está um terminal do indutor L , carregando-o. Quando HS desliga, o indutor é descarregado via diodo D_1 . A tensão de saída V_{LOAD} é igual a $V_{IN}\delta$, onde $\delta = T_{ON_HS} / T_{CLK}$, sendo que T_{ON_HS} é o período em que HS é mantido ligado e T_{CLK} é o período de *clock* do regulador. Este conversor possui a desvantagem de entrar em modo descontínuo de operação, que é quando a corrente em L , I_L , se anula, mantendo-se nesta condição, abrindo D_1 . Quando isso ocorre, V_{LOAD} deixa de ser igual a $V_{IN}\delta$, sendo que nesta situação o modo de operação do regulador é denominado de descontínuo.

A partir da Figura 1.1.1, nota-se, também, que o transistor HS utilizado é do tipo N, ou NMOS. Embora apresente a desvantagem de necessitar de um circuito de *boot-strap*, que serve para elevar a tensão de *gate* a um valor maior que V_{IN} para garantir que o dispositivo entre em sua região triodo, utilizar um NMOS implica em transistores menores, mais rápidos e com menores capacitâncias de *gate*, já que um transistor tipo P, ou PMOS, necessita ser em média três vezes maior que um NMOS para comutar na mesma frequência de operação, conduzindo a

mesma quantidade de corrente que um NMOS. Dessa forma, conseguem-se maiores frequências de operação com circuitos de controle mais simples de serem elaborados trabalhando com dispositivos NMOS, para emprego como transistor HS. Analogamente, poderia ser utilizado um transistor bipolar do tipo NPN para esta função, sendo mais vantajoso que o PNP devido a mesma razão explicada para os transistores MOS.

O CB síncrono da Figura 1.1.1 (b) funciona de maneira análoga ao tradicional, com a diferença de se utilizar outro comutador (LS) em vez de um diodo. Assim, o circuito de controle faz tanto a carga quanto a descarga de L, já que mesmo quando I_L se anula, LS se mantém ligado. Assim, I_L pode tornar-se negativo, impedindo o modo descontínuo de corrente deste tipo de regulador. Logo, para o CB síncrono, V_{LOAD} será sempre $V_{IN}\delta$, o que é uma vantagem em relação ao CB tradicional, já que a corrente de carga para o caso do CB síncrono pode excursionar de 0 a seu valor máximo sem que o conversor saia do modo contínuo de corrente.

Os processadores são projetados para operar com V_{LOAD} cada vez menor, de maneira a aumentar a sua frequência de operação, f_{CLK_PROC} , para tornar-se mais rápidos, porém, sem aumentar sua potência dissipada P_{DISS} , que é proporcional a $V_{LOAD}^2 f_{CLK_PROC}$. Os primeiros MPs eram alimentados com tensões de 5V, até o aparecimento da linha Pentium, da Intel, que utilizava $V_{LOAD} = 3.3V$. Para microprocessadores do estado-da-arte, tem-se $0.8V \leq V_{LOAD} \leq 1.8V$. No entanto, se de um lado V_{LOAD} tem diminuído, o valor de I_{LOAD} tem aumentado, já que o número de componentes integrados em um MP aumenta a cada nova geração. A capacidade máxima de corrente de um CBs está limitada, na prática, a 30A, aproximadamente, em contraste com demandas de até 120A. O aumento de componentes integrados dentro de um único *chip* exige um maior e mais agressivo controle de V_{LOAD} , com tolerâncias máximas de $\pm 2\%$ [1].

As Figuras 1.1.2 e 1.1.3 mostram, respectivamente, como as exigências de V_{LOAD} , I_{LOAD} e o *slew-rate* (SR) de I_{LOAD} se modificaram ao longo da evolução dos microprocessadores [2]. Nota-se, portanto, que o CB não é capaz de atender aos requisitos dos microprocessadores atuais. Outras arquiteturas de reguladores, que possuam uma alta capacidade de corrente e ainda mantenha moderados valores de C_{LOAD} , têm assegurado o progresso dos microprocessadores. A Figura 1.1.4 mostra um gráfico ilustrando as características mais importantes de diversos tipos de reguladores de tensão [3]. Nele, há conversores CB, *Boost* [3, 4], que possuem V_{LOAD} maior que a tensão de entrada, V_{IN} , *SEPIC* (*Single Ended Primary Inductive Converter*) [3, 4], que pode ter V_{LOAD} tanto maior quanto menor que V_{IN} , dependendo de suas condições de projeto, e

reguladores *charge pump*, que utilizam capacitores como elemento de passagem, ao invés de indutores como nos outros reguladores.

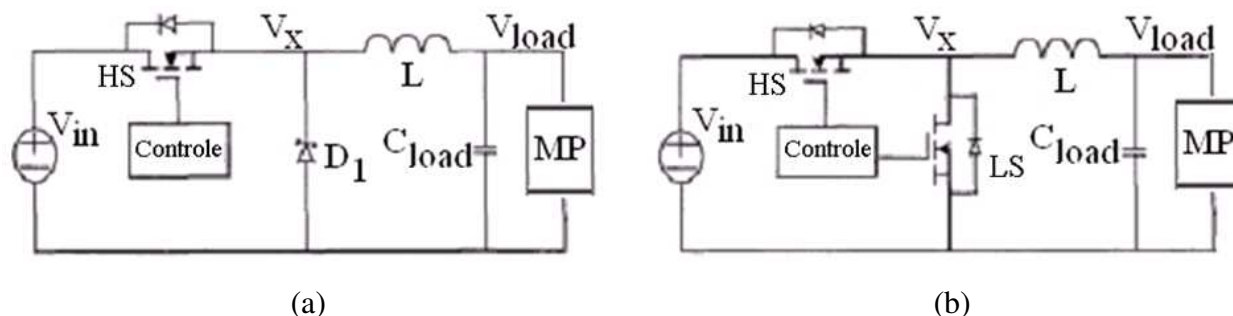


Figura 1.1.1: Conversor Buck (CB): (a) tradicional (b) síncrono.

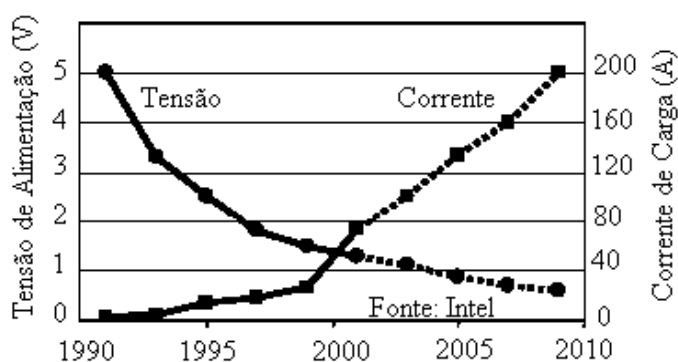


Figura 1.1.2: Evolução de V_{LOAD} e I_{LOAD} dos microprocessadores.

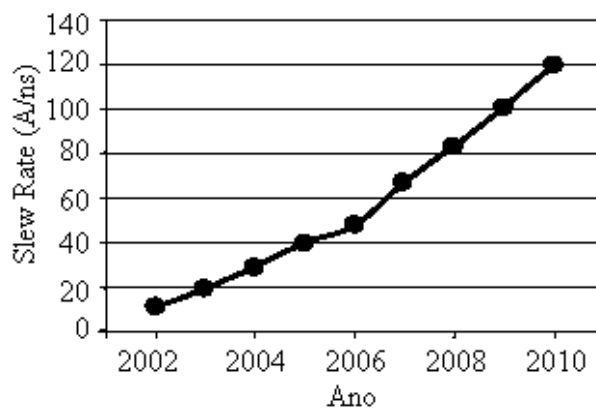


Figura 1.1.3: Evolução do SR de I_{LOAD} .

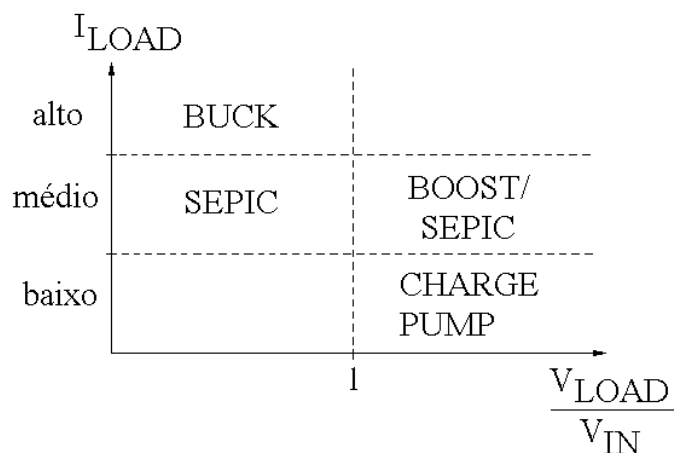


Figura 1.1.4: Faixa de aplicação de alguns reguladores chaveados.

Os conversores *buck* possuem um sistema de controle realimentado de sua tensão de saída para que seja possível controlá-la. Para garantir que V_{LOAD} não oscile, é necessário um circuito compensador em frequência para evitar que a malha de realimentação inverta sua fase. A Figura 1.1.5 mostra um diagrama básico de blocos de uma malha de controle de um regulador *buck*.

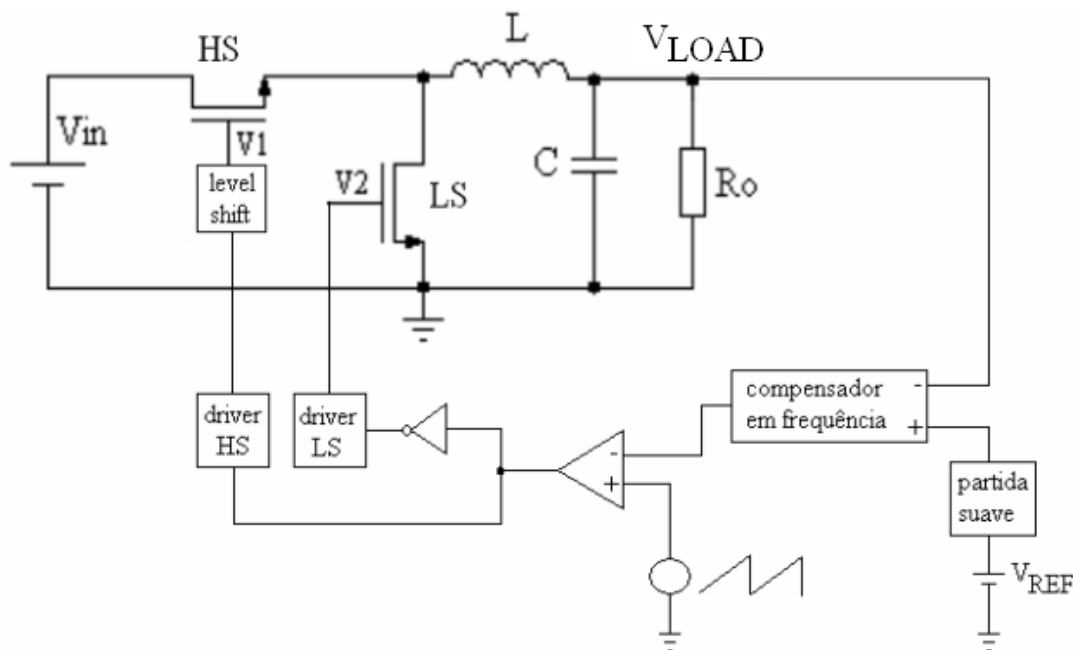


Figura 1.1.5: Diagrama básico da malha de controle de um CB.

Da Figura 1.1.5, o comparador monitora a tensão de saída do compensador e verifica quando a tensão de rampa em sua entrada positiva se torna maior que a negativa. Quando isso

ocorre, sua saída vai para nível lógico alto, acionando o transistor HS via driver HS e seu respectivo *level shifter*. Esse controle é chamado de PWM (*Pulse Width Modulation*) devido à tensão de saída do comparador ser modulada por largura, já que variações em V_{LOAD} causam alterações na tensão aplicada a entrada “-“ do comparador, mudando a largura do pulso do comparador, pois a rampa retorna a VSS em um período constante, sendo este igual a T_{CLK} .

Quando o conversor é ligado tem-se que $V_{LOAD} = V_{SS}$. Nesse momento, a malha de controle liga o transistor HS até que $V_{LOAD} = V_{REF}$ no menor tempo possível, limitado pela resistência do HS e das resistências parasitas da placa de circuito impresso - *Printed Circuit Board* – PCB, e de L. Assim, a tensão de saída cresce muito rapidamente em um curto intervalo de tempo, resultando em um alto $C(dV_{LOAD} / dt)$, podendo queimar o HS, além da própria PCB. Para evitar este problema, V_{REF} não é inserido integralmente no compensador no instante em que o conversor é ligado, sendo este aplicado em forma de uma rampa, partido de VSS em direção a V_{REF} , com um tempo de subida bem determinado, de maneira a proporcionar um controle sobre a corrente do capacitor de saída enquanto o conversor ainda não estabilizou seu V_{LOAD} . Só depois que $V_{LOAD} = V_{REF}$ que a referência passa a ser aplicada integralmente ao compensador, evitando assim a avaria dos componentes envolvidos na comutação de elevadas correntes do regulador. A aplicação de V_{REF} ao compensador de forma rampada é feita pelo circuito de partida suave, também mostrado na Figura 1.1.5.

A operação do HS e LS do conversor síncrono necessita de um cuidado adicional, já que o atraso para estes ligarem não é o mesmo para desligarem, sendo que normalmente os comutadores demoram mais a desligar do que a ligar. Se LS for acionado ao mesmo tempo em que HS for desligado, pode haver um curto-circuito entre esses dispositivos e V_{IN} , causando avarias nestes componentes, além de diminuir o rendimento do regulador. Assim, um tempo-morto (*dead time*) entre os tempos para os comutadores ligarem / desligarem é necessário para evitar tal problema. A Figura 1.1.6 mostra como os sinais de controle de HS / LS devem funcionar.

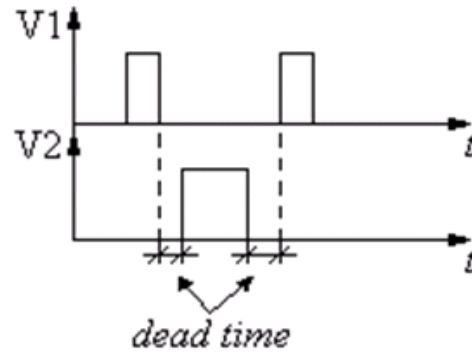


Figura 1.1.6: Representação dos sinais de controle de HS e LS.

1.2 Limitação das topologias atuais e estudo de uma abordagem para o projeto de reguladores.

Baseado no CB síncrono da Figura 1.1.1, durante o transiente de carga, há três *spikes* que proporcionam uma queda na tensão de alimentação [1]. A Figura 1.2.1 mostra o comportamento de V_{LOAD} durante um transiente. Considerando-se o MP como carga, tem-se na Figura 1.2.2, as malhas parasitas que causam tais *spikes*, sendo as malhas F2, F3 e F4 responsáveis pelo primeiro, segundo e terceiro *spikes*, respectivamente. A limitação dos CBs se dá pelo alto valor de indutância de seus filtros. Durante um transitório de carga, I_{LOAD} é limitada pelo alto valor do indutor L. Assim, a corrente é totalmente fornecida por C_{LOAD} , sendo seu valor diretamente proporcional a I_{LOAD} . Vários capacitores unitários C_U 's devem ser paralelizados à saída, para reduzir os efeitos de resistência e indutância série equivalentes, ou *equivalent series resistance / inductance*, ESR_C e ESL_C , respectivamente, no desempenho do regulador. Assim, um espaço maior da placa-mãe deve ser utilizado. Como tal área é limitada, tais CBs são inviáveis para muitos microprocessadores atuais, e futuros.

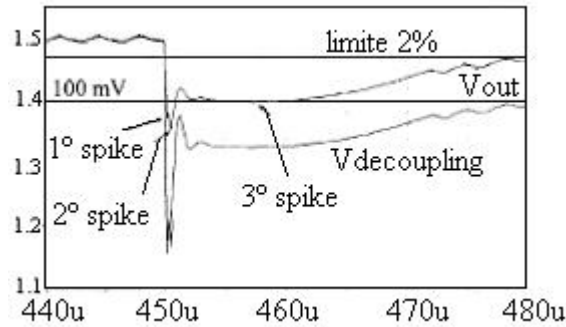


Figura 1.2.1: *Spikes* que ocorrem durante um TC [1].

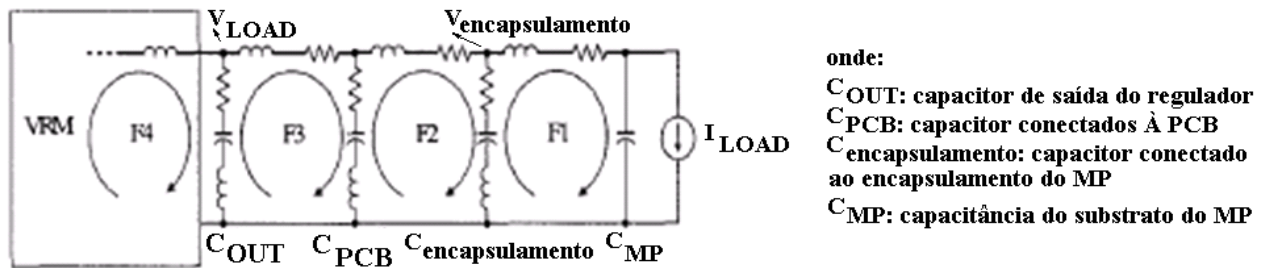


Figura 1.2.2: Esquemático para modelamento do MP [1].

Além do aumento de C_{LOAD} , o CB tem seu rendimento reduzido com a redução de V_{LOAD} . Rendimento menor implica em maior dissipação e aquecimento nos componentes do regulador, e conseqüente aumento no consumo de energia da placa-mãe.

Uma arquitetura de reguladores, denominada conversor *buck* multi-fases [1, 5] (*interleaved* ou *multi-phase buck converter* – CMF), propõe resolver o problema de variação em V_{LOAD} ao transiente, através da redução do valor de L . Para isso, sua corrente I_L passa por zero, tanto durante a carga, quanto na descarga, deste componente. A Figura 1.2.3 mostra a forma de onda de um CMF, assim como seu circuito básico, que em primeira observação, se assemelha a um CB. O nome “multi-fases” tem origem na forma de como a corrente nos indutores é chaveada, sendo o acionamento dos comutadores não simultâneo.

A indutância é bastante reduzida nesta topologia. Pode-se perceber que o *ripple* de I_{OND_LOAD} na corrente de carga é menor, pois enquanto um indutor estiver se descarregando, o outro é carregado. Devido ao menor do valor de L , os *spikes* de V_{LOAD} são reduzidos. Tal redução se deve à operação não-simultânea dos comutadores. As chaves S_1 e S_2 se comportam de forma análoga ao CB: quando S_1 estiver ligada, S_2 está desligada e vice-versa, dando o comportamento de I_{L1} indicado no gráfico da Figura 2.4. As chaves S_3 e S_4 também funcionam da mesma forma,

porém, S_1 e S_3 não são ligadas ao mesmo tempo em que S_2 e S_4 . Esta diferença deve ocorrer para minimizar I_{OND_LOAD} .

Uma característica que se mantém para o CMF quando comparado ao CB é quanto ao rendimento do regulador, sendo aqui definido por $\eta = I_{LOAD} / I_{IN}$, onde I_{IN} é a corrente fornecida pela fonte V_{IN} , para baixos valores de I_{LOAD} . Tanto o CB quanto o CMF possuem uma queda significativa do valor de η quando a carga exige uma baixa corrente, quer dizer, quando I_{LOAD} for muito menor que seu valor máximo. Logo, a topologia apresentada não visa o aumento do rendimento do regulador para tal situação.

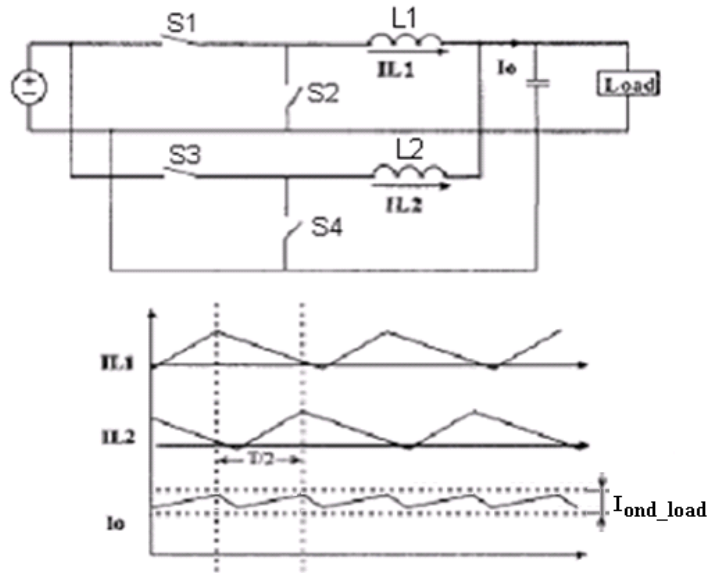


Figura 1.2.3: Esquemático e formas de onda de um CMF básico [1].

Para que I_{L1} e I_{L2} possuam o mesmo valor, é necessário que o tempo de atraso entre elas proporcione uma divisão simétrica no período de chaveamento dos comutadores. Considerando-se um conversor com N células, sendo cada célula constituída por um indutor e respectivos comutadores, tem-se

$$\Delta t = \frac{T_{CLK}}{N} [s] \quad \text{ou} \quad \Delta t = \frac{360}{N} [^\circ] \quad (2.1)$$

onde N é o número de fases do conversor e Δt é o intervalo de tempo entre o acionamento de duas células sucessivas.

Assim, a Figura 1.2.3 mostra um conversor com $N = 2$. Pela equação (2.1) tem-se que, para um conversor a duas fases, o atraso entre I_{L1} e I_{L2} é a metade de T_{CLK} , ou 180° . Para três células, a defasagem é de 120° , e assim por diante. Com isso, reduz-se o valor e a espessura do enrolamento de cada indutor devido à divisão de I_{LOAD} através do mesmo. Estando as correntes nos indutores defasadas, a soma delas implica em uma menor ondulação de corrente à carga, assim como o de tensão V_{OND_LOAD} . Desse modo, aplicados aos microprocessadores, os CMF podem substituir os tradicionais CBs com excelente vantagem.

A Figura 1.2.4 mostra a resposta transiente do CMF. Nota-se que o terceiro *spike* é desprezível, sendo o segundo bastante reduzido. Cada *spike* da Figura é definido como a diferença entre a tensão mínima em regime permanente, $V_{LOAD_MIN_ESTÁVEL}$, e a tensão na carga no momento em que esta se encontra menor que $V_{LOAD_MIN_ESTÁVEL}$, que ocorre no instante de um transitório em I_{LOAD} .

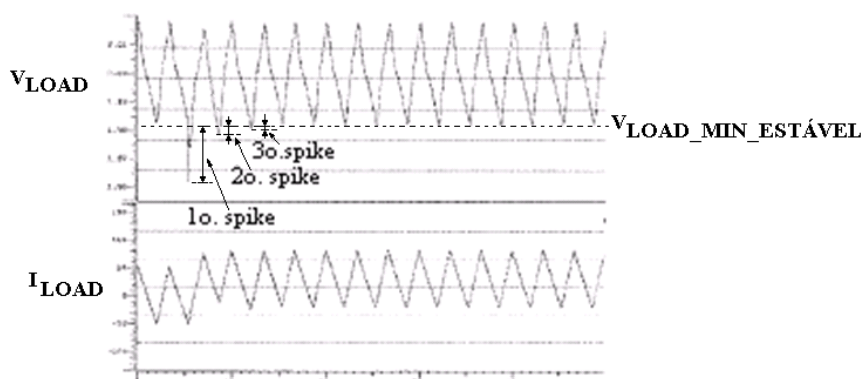


Figura 1.2.4: Resposta transiente de um CMF [1].

A partir do circuito básico CMF, podem-se construir outros com fator N mais alto, como indicado na Figura 1.2.5, para $N = 4$.

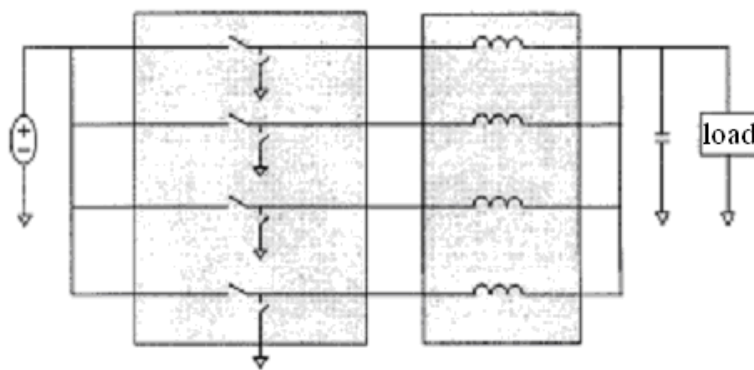


Figura 1.2.5: Conversor CMF com $N = 4$ [1].

O circuito de controle para aplicação no circuito da Figura 1.2.5 deve ser capaz de chavear todos os dispositivos de modo a assegurar um tempo de atraso de 90° entre os sinais de controle das células, minimizando-se I_{OND_LOAD} . Também, é necessário garantir-se um valor para o tempo morto TM entre a comutação dos transistores de cada célula, evitando-se um possível curto-circuito entre a tensão de alimentação e o terminal VSS. Logo, esta topologia deve possuir um elaborado sistema de controle, mais complexo do que o necessário para o CB.

Capítulo 2

Análise em Regime Transitório da Topologia Multi-Fase.

2.1 Estudo das especificações da carga e suas implicações.

Os processadores atuais possuem comportamento altamente variável quanto ao consumo de corrente ao longo do tempo. Algumas funções, como a “hibernação” (*sleep*), fazem com que o MP apresente I_{LOAD} extremamente baixo, da ordem de mili-ampères. Tal função é útil para computadores alimentados via bateria, como *laptops*, em momentos em que o computador está ligado, mas sem que o usuário esteja operando a máquina. E, ao primeiro toque no teclado do computador, o MP literalmente “acorda” (*wake-up*), voltando a receber comandos do usuário. Nesse processo de acordar, I_{LOAD} salta de mili-ampères para dezenas de ampères. Esse salto causa uma variação em V_{LOAD} , a qual não pode ser maior que a tolerância máxima permitida, V_{TOL} . Atualmente, de acordo com [6], tem-se $-20\text{mV} \leq V_{TOL} \leq$ V ão ao valor nominal de V_{OUT} , já considerando-se regulação de linha/carga, variação dos parâmetros dos processos de fabricação e temperatura, e perdas devido à resistência das trilhas de cobre, R_{LOSS} , da PCB. A Figura 2.1.1 e a Tabela 2.1.1 [6] mostram, respectivamente, os limites de variação de V_{LOAD} de acordo com I_{LOAD} e as especificações definidas para o projeto do CMF, que será feito no Capítulo 3.

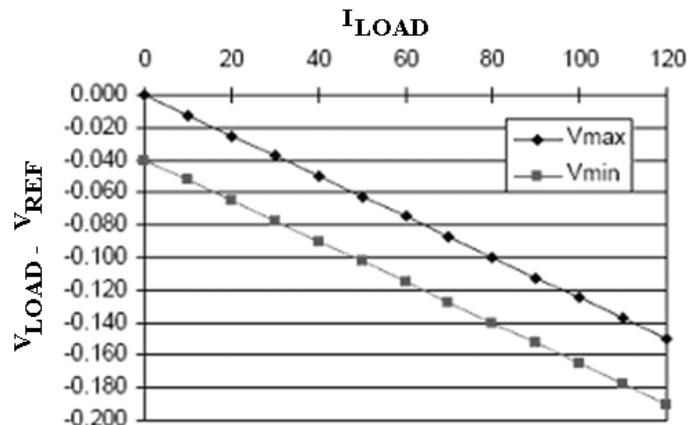


Figura 2.1.1: Tolerância de V_{LOAD} de acordo com I_{LOAD} [6].

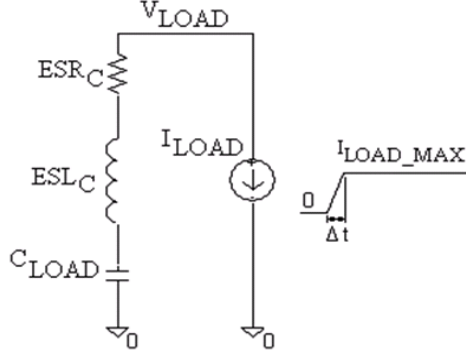
Tabela 2.1.1: Especificações para o projeto.

especificação	significado	valor	unidade
ILOAD_MAX	máxima corrente consumida pela carga	105	A
ILOAD_MIN	mínima corrente consumida pela carga	0	A
SR de ILOAD	máximo <i>slew rate</i> que ocorre na carga	100	A/ μ s
VTOL	desvio máximo de VLOAD com relação a VREF	+/- 20	mV
RLOSS	máxima perda resistiva da PCB	1,25	m Ω
VIN	tensão de entrada do regulador	12	V
VLOAD	tensão de saída do regulador	de 0,8 a 1,6	V

O desvio máximo permitido em V_{LOAD} é +/-20mV. A partir de R_{LOSS} , tem-se $V_{LOAD} = V_{REF} - 1.25m \cdot I_{LOAD}$ (V). A magnitude de R_{LOSS} exige trilhas curtas e grossas, pois as correntes envolvidas atingem dezenas de ampères.

Devido ao MP possuir um consumo de corrente variável no tempo, podendo variar de 0 a 105A [6], este será representado por uma fonte de corrente na análise em regime transitório. Ainda de acordo com [6], o microprocessador exige que o CMP seja capaz de suprir I_{LOAD} com $SR = 100A/\mu s$, sem que $V_{LOAD} - V_{REF}$ ultrapasse V_{TOL} . Devido a aspectos construtivos de um CB e, conseqüentemente, do CMF, o SR de I_{LOAD} é imposto pelo capacitor de saída, praticamente. Diversas maneiras de controle de V_{LOAD} são conhecidas, com realimentação i) por tensão, medida na carga, e a partir desta o regulador compensa eventuais variações em V_{LOAD} , ou ii) por corrente, amostrada nos indutores, na qual V_{LOAD} é regulada a partir do valor de I_{L1} , I_{L2} , ..., I_{LN} [7 - 12]. A realimentação em tensão possui a vantagem de ser mais simples de ser elaborada. Porém, sua estrutura implica em uma resposta mais longa ao transiente de carga, como será visto mais adiante nessa seção. Em contrapartida, a realimentação em corrente proporciona respostas mais rápidas, porém de realização mais complexa, pois os sensores da corrente dos indutores necessitam compensação em temperatura, devido ao aquecimento dos mesmos com I_{LOAD} . O sensor de temperatura, comumente, se baseia em uma medida indireta da corrente, a partir da resistência parasita do indutor. Assim, o sensor deve permitir a medição da corrente, independentemente do aquecimento deste componente. Nesse trabalho, por simplicidade, optou-se pela realimentação em tensão, sendo estudada uma maneira de se obter uma resposta satisfatória ao transiente de carga.

Primordialmente, a estrutura do CMF é de um filtro passa-baixas, similar à do conversor *Buck* da Figura 2.1.2, a qual também mostra o modelamento de pequenos sinais, baseado no modelo da chave PWM de Vorpérian [4] para obtenção de sua função de transferência FT. No


 Figura 2.2.1: Modelamento de V_{LOAD} do CMF para um transitório de corrente

A corrente fornecida por C_{LOAD} é repostada pelo indutor, posteriormente ao transiente de carga. Como V_{TOL} é baixo, essa análise é importante para se assegurar que V_{LOAD} permaneça dentro de sua especificação. Os valores de C , ESL_C e ESR_C são deduzidos a seguir, supondo-se um pior caso de variação de I_{LOAD} , ou seja $SR = 100A/\mu s$ (Tabela 2.1.1).

Antes do transitório ($t < \Delta t$):

$$Q_O = C_{LOAD} V_{C_LOAD} \quad (2.2)$$

onde Q_O é a carga armazenada no capacitor, no instante anterior ao degrau de corrente, e V_{C_LOAD} é a tensão presente no componente ideal de C_{LOAD} , a partir do modelo da Figura 2.2.1.

Durante o transitório ($t = \Delta t$):

$$V_{LOAD}^* = V_{C_LOAD} - ESL_C \frac{dI_{LOAD}}{dt} - ESR_C I_{LOAD_MAX} \quad (2.3)$$

$$V_{LOAD}^* = V_{C_LOAD} - ESL_C \frac{I_{LOAD_MAX}}{\Delta t} - ESR_C I_{LOAD_MAX} \quad (2.4)$$

$$\Delta V_{LOAD} = V_{LOAD}^* - V_{C_LOAD} \quad (2.5)$$

onde V_{LOAD}^* é a tensão de saída após o transiente de carga.

Combinando-se (2.4) e (2.5), tem-se

$$\Delta V_{\text{LOAD}} = (V_{\text{C_LOAD}} - V_{\text{LOAD}}^*) - \text{ESL}_{\text{C}} \frac{I_{\text{LOAD_MAX}}}{\Delta t} - \text{ESR}_{\text{C}} I_{\text{LOAD_MAX}} \quad (2.6)$$

Após o transitório, a diferença de tensão nas componentes capacitiva, indutiva e resistiva de C_{LOAD} , respectivamente ΔV_{C} , ΔV_{ESLC} e ΔV_{ESRC} , é dada por

$$\Delta V_{\text{C}} = V_{\text{C_LOAD}} - V_{\text{LOAD}}^* \quad (2.7)$$

$$\Delta V_{\text{ESLC}} = \text{ESL}_{\text{C}} \frac{I_{\text{LOAD_MAX}}}{\Delta t} \quad (2.8)$$

$$\Delta V_{\text{ESRC}} = \text{ESR}_{\text{C}} I_{\text{LOAD_MAX}} \quad (2.9)$$

Substituindo (2.7), (2.8) e (2.9) em (2.6), tem-se

$$\Delta V_{\text{LOAD}} = \Delta V_{\text{C_LOAD}} - (\Delta V_{\text{ESLC}} + \Delta V_{\text{ESRC}}) \quad (2.10)$$

$$\Delta V_{\text{LOAD}} = \Delta V_{\text{C_LOAD}} - \Delta V_{\text{P}} \quad (2.11)$$

onde ΔV_{P} é a soma das quedas de tensão ocorridas em ESR_{C} e ESL_{C} .

Para modelar-se a queda de tensão em C_{LOAD} , associada à sua perda capacitiva total, define-se n_{CT} , ou fator de não idealidade total de C_{LOAD} , como

$$n_{\text{CT}} = \frac{\Delta V_{\text{C}}}{\Delta V_{\text{LOAD}}} \quad (2.12)$$

Caso $n_{\text{CT}} = 1$, o capacitor é ideal, sem perdas. Assim, na prática, $0 < n_{\text{CT}} < 1$. Substituindo-se (2.12) em (2.11),

$$\Delta V_{\text{P}} = (n_{\text{CT}} - 1) \Delta V_{\text{LOAD}} \quad (2.13)$$

O valor de ΔV_{C} pode ser obtido a partir da variação da quantidade de carga de C_{LOAD} ao alimentar o pico de corrente exigido pelo MP. Dessa forma

$$\Delta V_{C_LOAD} = \frac{-I_{LOAD_MAX} \cdot \Delta t}{2C_{LOAD}} \quad (2.14)$$

Substituindo-se (2.14) e (2.13) em (2.12), tem-se

$$\Delta V_{LOAD} = \frac{-I_{LOAD_MAX} \cdot \Delta t}{2C_{LOAD}} - (n_{CT} - 1)\Delta V_{LOAD} \quad (2.15)$$

$$\therefore C_{LOAD} = \frac{-I_{LOAD_MAX} \Delta t}{2n_{CT} \Delta V_{LOAD}} \quad (2.16)$$

Considerando $\Delta V_{LOAD} < 0$, trabalha-se com o módulo deste valor, chegando a

$$C_{LOAD} = \frac{I_{LOAD_MAX} \Delta t}{2n_{CT} \Delta V_{LOAD}} \quad (2.17)$$

Portanto, para capacitores de menor qualidade, com n_{CT} baixo, C_{LOAD} deve ser maior para proporcionar um mesmo ΔV_{LOAD} . O equacionamento das perdas capacitivas resulta, ainda, em

$$\Delta V_{ESRC} + \Delta V_{ESLC} = (1 - n_{CT})\Delta V_{LOAD} \quad (2.18)$$

Para se conhecer a influência de $ESRC$ e $ESLC$ em n_{CT} , define-se n_{CR} como o fator de não idealidade resistivo de C_{LOAD} . Esse fator indica o quanto $ESRC$ influi nas perdas totais de C_{LOAD} , sendo relacionado com ΔV_{ESRC} através de

$$n_{CR} = \frac{\Delta V_{ESRC}}{(1 - n_{CT})\Delta V_{LOAD}} \quad (2.19)$$

Assim, n_{CR} indica que as perdas em C_{LOAD} podem ser tanto puramente indutivas ($n_{CR} = 0$), puramente resistivas ($n_{CR} = 1$), ou ainda, uma combinação de ambas ($0 < n_{CR} < 1$). Substituindo (2.19) em (2.18), tem-se

$$ESL_C = \frac{(1 - n_{CR})(1 - n_{CT})\Delta V_{LOAD}\Delta t}{I_{LOAD_MAX}} \quad (2.20)$$

ou seja, quanto maior I_{LOAD} , menor deve ser ESL_C , sob pena de C_{LOAD} não suprir a corrente transitória ao MP em tempo hábil. A partir de (2.19), determina-se ESR_C , dado por

$$ESR_C = \frac{n_{CR}(1 - n_{CT})\Delta V_{LOAD}}{I_{LOAD_MAX}} \quad (2.21)$$

A partir da análise de C_{LOAD} , determina-se um valor máximo para as suas não-idealidades, de modo a escolher-se o componente comercial que melhor atenda às especificações do conversor. Normalizando-se as equações (2.17), (2.20) e (2.21), tem-se

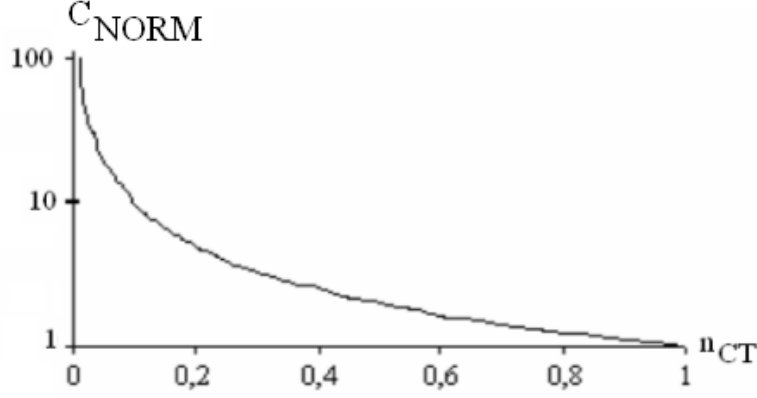
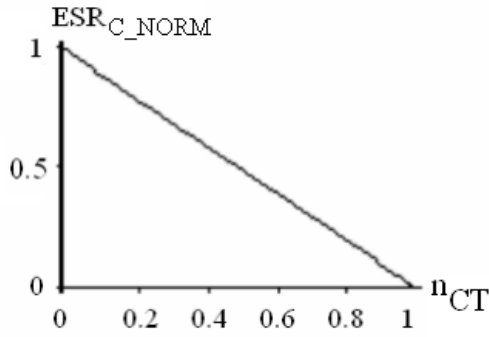
$$C_{NORM} = \frac{C_{LOAD}}{\frac{I_{LOAD_MAX}\Delta t}{2\Delta V_{LOAD}}} \quad (2.22)$$

$$ESL_{C_NORM} = \frac{ESL_C}{\frac{(1 - n_{CR})\Delta V_{LOAD}\Delta t}{I_{LOAD_MAX}}} \quad (2.23)$$

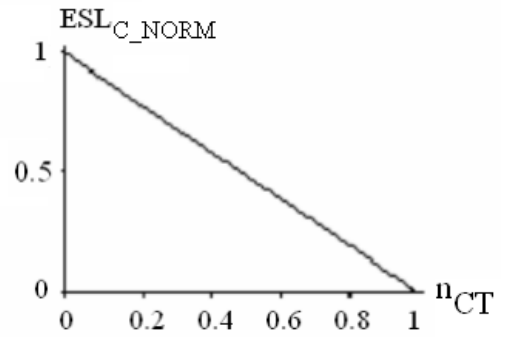
$$ESR_{C_NORM} = \frac{ESR_C}{\frac{(1 - n_{CR})\Delta V_{LOAD}}{I_{LOAD_MAX}}} \quad (2.24)$$

Assim, $C_{NORM} = 1 / n_{CT}$, e $ESL_{C_NORM} = ESR_{C_NORM} = (1 - n_{CT})$.

As Figuras 2.2.2 e 2.2.3 mostram, respectivamente, a dependência dos parâmetros normalizados de C_{LOAD} , ESR_C e ESL_C , de acordo com o fator n_{CT} . Percebe-se que, quanto menor a qualidade de C_{LOAD} , maior deverá ser seu valor para compensar suas perdas.


 Figura 2.2.2: Dependência de C_{NORM} em função de n_{CT} .


(a)



(b)

 Figura 2.2.3: Dependência de ESR_{C_NORM} (a) e ESL_{C_NORM} (b) em função de n_{CT} .

Trabalhar com $n_{CT} \rightarrow 1$ pode inviabilizar a escolha de C_{LOAD} , pois um componente comercial que possua perdas tão baixas pode ter alto custo, quando disponível no mercado. Assim, deve-se trabalhar com um n_{CT} pequeno, de modo a facilitar sua escolha. A curva da Figura 2.2.2 indica que C_{NORM} possui comportamento aproximadamente linear para $n_{CT} > 0,2$. Assim, este valor será adotado para determinar C_{LOAD} , sem o rigor de perdas extremamente baixas.

O valor de n_{CR} depende de especificações dos fabricantes de capacitores, mas também da PCB, já que a parte dominante de ESL se encontra nas trilhas de cobre. O valor otimizado de n_{CR} pode ser encontrado a partir de

$$N_{PC} = \frac{ESR_{C_U}}{ESR_C} = \frac{ESL_{C_U}}{ESL_C} = \frac{C}{C_U} \quad (2.24)$$

$$n_{CR} = \frac{ESRC_U}{ESRC_U + \frac{ESLC_U}{\Delta t}} \quad (2.25)$$

onde N_{PC} é o número de capacitores unitários e $ESRC_U$, $ESLC_U$ e C_U são os valores da ESR, ESL e de capacitância, respectivamente, de cada unidade. A componente ESL relaciona apenas as perdas relativas à PCB, caso $ESLC_U$ seja desprezado. Como margem de projeto, deve-se utilizar um número de capacitores acima de N_{PC} .

Após o fornecimento de I_{LOAD} através de C_{LOAD} , é importante que a carga do capacitor seja reposta o quanto antes pelos indutores. Incluindo suas perdas $ESRL$, tem-se o esquemático da Figura 2.2.4.

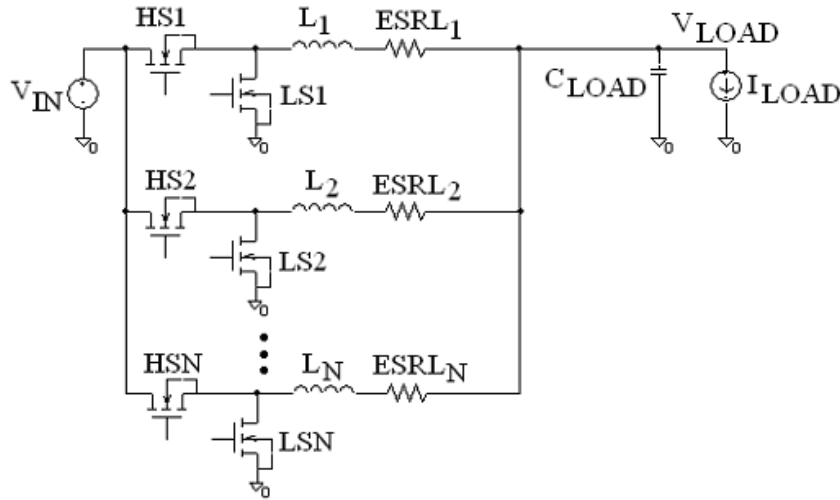


Figura 2.2.4: Esquemático do CMF com N células, para análise de L.

A Figura 2.2.5 mostra o modelo para pequenos sinais [4] do CMF com N células, em que o nó c é equipotencial a todos os dispositivos comutadores *High Side* (HS), e *Low Side* (LS). Assim, o cálculo de L e de $ESRL$ é feito com base na Figura 2.2.6, onde $L_{EQ} = L / N$ e $ESRL_{EQ} = ESRL / N$.

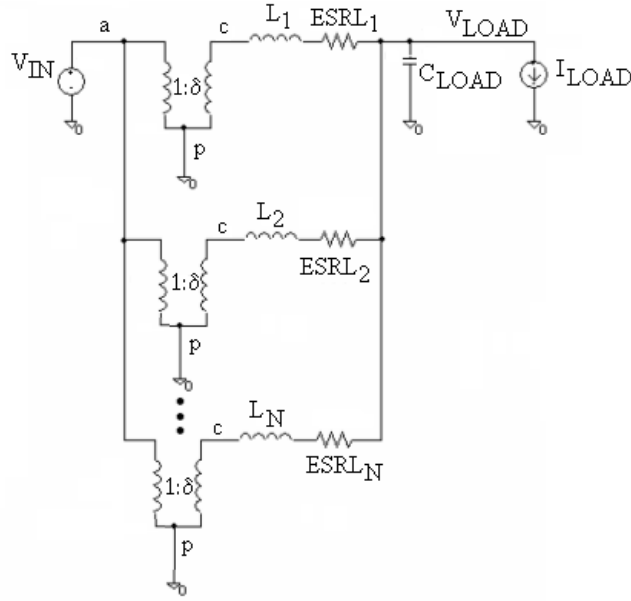


Figura 2.2.5: Modelo para análise AC do CMF.

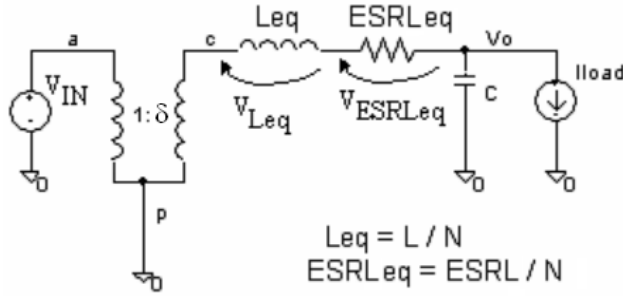


Figura 2.2.6: Circuito AC equivalente do CMF.

Para conhecer-se a influencia da resistência parasita de L nas perdas do CMF, considera-se, inicialmente, a condução de HS, e posteriormente, a de LS. Embora o valor de L permaneça constante, o mesmo não ocorre para ESRL, como discutido a seguir.

i) HS conduzindo:

$$V_{LEQ} = V_{IN} - V_{LOAD} - ESRL_{EQ} I_{LEQ} \quad (2.26)$$

$$V_{LEQ} = L_{EQ} \frac{I_{LOAD_MAX}}{\delta T_{CLK}} \quad (2.27)$$

onde $\delta = V_{LOAD}/V_{IN}$ corresponde ao ciclo de trabalho do CMF

Para modelar-se as perdas resistivas em L, define-se o fator de não-idealidade indutivo, n_{LR} , como

$$n_{LR} = \frac{V_{LEQ}}{(V_{IN} - V_{LOAD})} \quad (2.28)$$

o qual é definido no intervalo [0,1]. Quando $n_{LR} = 1$, tem-se um indutor ideal, com $ESRL = 0$, enquanto para $n_{LR} = 0$, tem-se uma situação hipotética de um componente simplesmente resistivo. Combinando-se (2.26) e (2.27) com (2.28), tem-se

$$\Delta V_{ESRLEQ} = (V_{IN} - V_{OUT})(1 - n_{LR}) \quad (2.29)$$

Substituindo (2.25) em (2.24),

$$L_{EQ} = \frac{n_{LR} (V_{IN} - V_{LOAD}) V_{LOAD}}{I_{LOAD_MAX} V_{IN} f_{CLK}} \quad (2.30)$$

onde f_{CLK} é a frequência de clock do conversor, sendo o inverso de T_{CLK} .

Sendo $L_{EQ} = L / N$ e $ESRL_{EQ} = ESRL / N$, tem-se

$$L = \frac{N n_{LR} (V_{IN} - V_{LOAD}) V_{LOAD}}{I_{LOAD_MAX} V_{IN} f_{CLK}} \quad (2.31)$$

$$ESRL = \frac{N (V_{IN} - V_{LOAD}) (1 - n_{LR})}{I_{LOAD_MAX}} \quad (2.32)$$

Quando HS ou LS está ligado, sua resistência de condução, R_{ON_HS} e R_{ON_LS} , respectivamente, é ligada em série com o seu respectivo indutor, influenciando no tempo de resposta do conversor. Sendo assim, R_{ON_HS} e R_{ON_LS} também devem ser considerados nessa análise. Logo, a resistência máxima efetiva do indutor durante o período em que HS é ligado, $ESRL_{HS}^*$, é dada por

$$ESRL^*_{HS} = \frac{N(V_{IN} - V_{OUT})(1 - n_L)}{I_{MAX}} - R_{ON_HS} \quad (2.33)$$

A equação (2.33) mostra o compromisso entre as perdas indutivas de L e R_{ON_HS} . Indutores com baixo n_{LR} implicam em HS com menor R_{ON} , fazendo este componente possuir uma elevada capacitância C_{GS} entre porta e fonte, exigindo mais corrente do acionador (*driver*), o que se traduz em maior dissipação e área de *layout*. Por outro lado, se L possuir baixas perdas, R_{ON_HS} pode ser maior, facilitando o projeto de seu *driver*.

ii) LS conduzindo:

Analogamente ao caso anterior, tem-se

$$V_{LEQ} + \Delta V_{ESRLEQ} = V_{LOAD} \quad (2.34)$$

Incluindo a variável n_{LR} , conforme definida para HS ligado, tem-se

$$L = \frac{N n_{LR} V_{LOAD} (V_{IN} - V_{LOAD})}{I_{LOAD_MAX} V_{IN} f_{CLK}} \quad (2.35)$$

Sendo $ESRL$, para este caso, dado por

$$ESRL = \frac{N(1 - n_{LR}) V_{LOAD}}{I_{LOAD_MAX}} \quad (2.36)$$

Deve-se, portanto, considerar-se o pior caso. E, como a equação (2.33) mostra que a $ESRL$ é $[(V_{IN} - V_{LOAD})/V_{LOAD}]$ vezes maior em relação a (2.36), esta última equação é a que deve ser utilizada. Incluindo a resistência de condução de LS, tem-se:

$$ESRL^*_{LS} = \frac{N(1 - n_{LR}) V_{LOAD}}{I_{LOAD_MAX}} - R_{ON_LS} \quad (2.37)$$

Capítulo 3

Projeto do Regulador.

Neste capítulo, serão detalhados o projeto e dimensionamento de cada circuito que compõe o conversor DC/DC multi-fases.

3.1 Considerações Iniciais.

A Figura 3.1.1 mostra o diagrama em blocos do conversor *buck* multi-fases, com controle PWM, brevemente descritos a seguir:

- Compensador em frequência (CFREQ): consiste em um amplificador operacional (*opamp*), conectado a uma malha de compensação composta por resistores e capacitores, estabilizando o regulador em frequência.
- Comparador com histerese (COMP): compara a tensão de saída de CFREQ com uma tensão de rampa V_{RAMPA} gerando, à saída, um sinal proporcional ao ciclo de trabalho do regulador. Possui uma histerese para evitar oscilações causadas por ruídos inerentes ao *chip*.
- Lógica de acionamento + *dead-time* (DT) – gera os sinais de controle para LS e HS, proporcionando o tempo-morto necessário entre o acionamento dos mesmos.
- *Driver* LS (DLS) e *Driver* HS (DHS): Os sinais de saída do *chip*, provenientes do DT, devem acionar os transistores HS e LS. Porém, possuem baixa capacidade de fornecimento de corrente, podendo causar atrasos importantes no acionamento dos comutadores, já que os circuitos acionadores de LS e HS são feitos com transistores bipolares, que necessitam de corrente quando em transição de corte para condução e vice-versa, sendo esta maior que a máxima corrente que o DT pode fornecer. Para evitar tais atrasos, os circuitos DLS e DHS compõem um circuito *buffer* dos sinais fornecidos pelo DT.

- *Bootstrap (BS)*: Eleva a tensão à saída de DHS a um valor acima de $V_{IN} = 12V$, para alimentação do *driver* de HS, de modo a polarizá-lo em sua região linear, com $V_{GS} = V_{IN}$.
- *Level shifter (LSH)*: realiza a conversão do nível da tensão à saída de DLS e DHS, corretamente comutando LS e HS. Tais componentes possuem uma tensão de limiar V_T de 3V. Sendo apenas 5V a alimentação do chip, e dos *drivers*, o deslocador eleva este nível de tensão a 12V, de modo que LS e HS, quando acionados, sejam polarizados em sua região triodo (linear).
- Gerador de rampa (GR): Gera os sinais de rampa, convenientemente defasados, para seus respectivos comparadores.
- Partida suave (*soft-start* - SS): Faz com que o regulador não danifique HS ou mesmo a PCB quando ligado, pois inicialmente $V_{LOAD} = 0$, ou seja, C_{LOAD} está descarregado. Se esta tensão atingir seu valor nominal em tempo muito curto, a corrente em C_{LOAD} assume valores muito altos, acima dos suportados pelo HS e pela PCB, podendo avariá-los. Assim, este bloco faz a tensão de referência aplicado ao bloco CFREQ ir de 0 a V_{REF} em um intervalo de tempo moderado, evitando-se um elevado dV_{LOAD}/dt no capacitor C_{LOAD} .

Os componentes $HS_1, HS_2, \dots, HS_N, LS_1, LS_2, \dots, LS_N, L_1, L_2, \dots, L_N, C_{LOAD}$, alguns componentes de CFREQ, os blocos DLS, DHS, BS e LSH são externos ao chip. Apesar de o processo de fabricação utilizado (AMS H35) permitir a integração de transistores de alta tensão (12V), a mesma não foi possível para BS e LSH, sendo esta limitação descrita no Capítulo 5.

Para se determinar o número N de células a serem integradas, recorre-se à Tabela 2.1, sendo que $I_{LOAD_MAX} = 105A$ e $SR = 100A/\mu s$. Reescrevendo a equação (2.1) para o CMF, sua função de transferência é dada por

$$\frac{V_{LOAD}}{V_C} = \frac{V_{IN}}{s^2 \frac{LC}{N} + s \frac{L}{NR_o} + 1} \quad (3.1)$$

indicando uma mudança na posição dos pólos do sistema, agora dependente de N . Para uma análise do valor otimizado de N , inicialmente definido como $2 \leq N \leq 6$, tem-se $V_{IN} = 12V$, $L = 0,4\mu H$, $40 \times C_U = 300\mu F$ e $R_O = 0,1\Omega$. Quando se aumenta N , a frequência de corte do CMF aumenta, sendo esta definida no ponto em que ocorre a inversão de fase da FT, definida aqui como f_{INV} . Vale ressaltar que a malha compensadora em frequência não está incluída nesta análise. A Figura 3.1.2 mostra uma comparação das FT's de um CB com um CMF. Uma frequência de corte maior torna o conversor mais rápido, pois seu tempo de resposta a variações na carga diminui. Valores mais baixos de f_{INV} implicam em malhas de realimentação de CFREQ com maiores valores de resistência e capacitância, tornando-se mais lentos, aumentando o tempo de resposta do regulador ao transiente de carga. Para o CB, $f_{INV} = 2,22kHz$, enquanto que para o CMF tem-se $f_{INV} = 5,4kHz @ N = 6$.

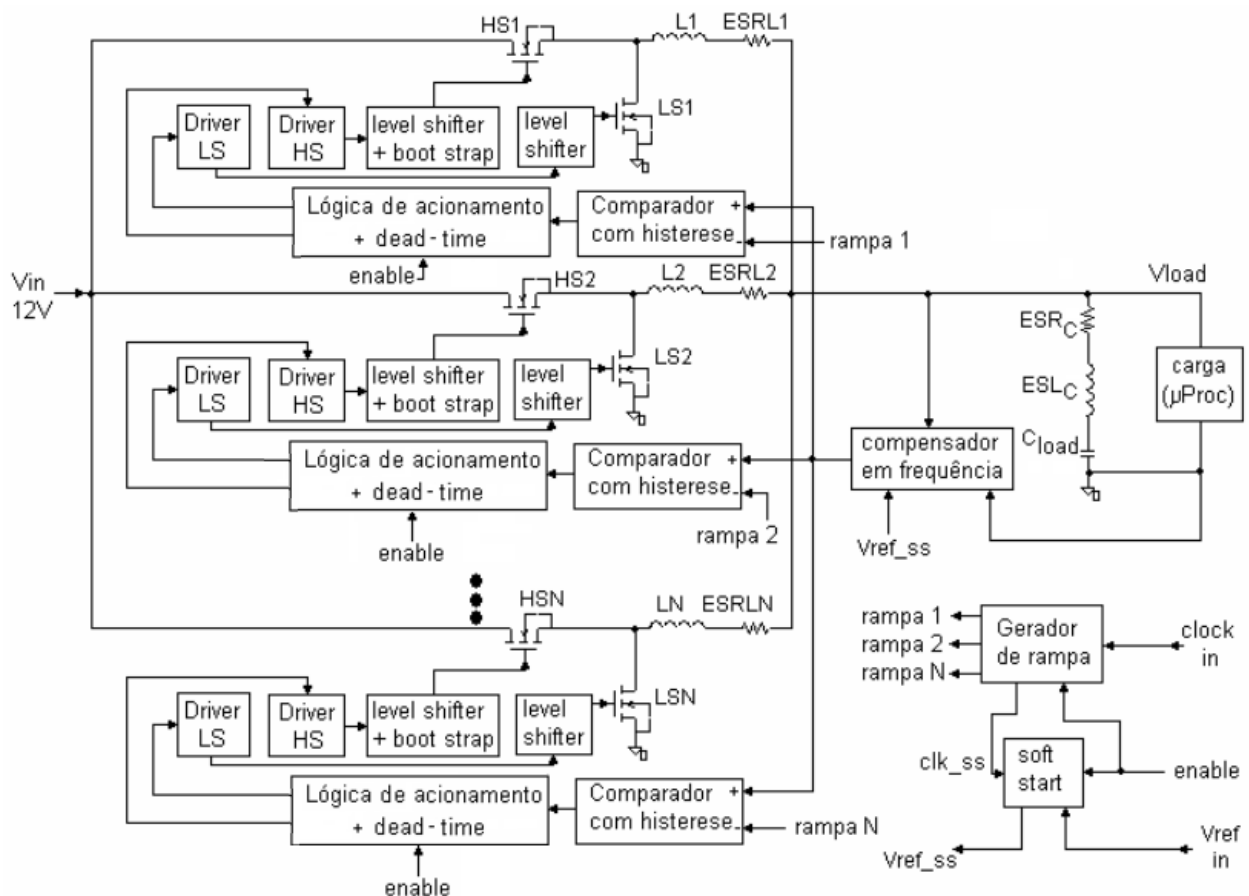


Figura 3.1.1: Diagrama em blocos da arquitetura CMF.

A Figura 3.1.1 mostra, também, que a realimentação em tensão é feita à saída do regulador, sendo assim, V_{LOAD} será regulado de acordo com V_{REF} , cabendo a malha de realimentação o papel de manter a saída regulada mesmo com a ocorrência de diferenças entre os indutores externos e descasamentos entre os comparadores com histerese. Caso isso ocorra, o ciclo de trabalho do HS e do LS de cada célula é modificado pela malha de realimentação de modo a impor $V_{LOAD} = V_{REF}$.

A Figura 3.1.3 compara as respostas transitórias de CB e CMF a um degrau de tensão aplicado a V_C . Nota-se que a resposta torna-se mais rápida com o aumento de N , pois $V(CMF)$ cresce, depois da ocorrência do degrau, a uma taxa maior para um N maior. Entretanto, o aumento em f_{INV} é menos evidente para $N > 5$. Assim, será imposto $N = 6$, o que implica numa corrente máxima de $I_{LOAD_MAX} / N = 17.5A$, em cada célula.

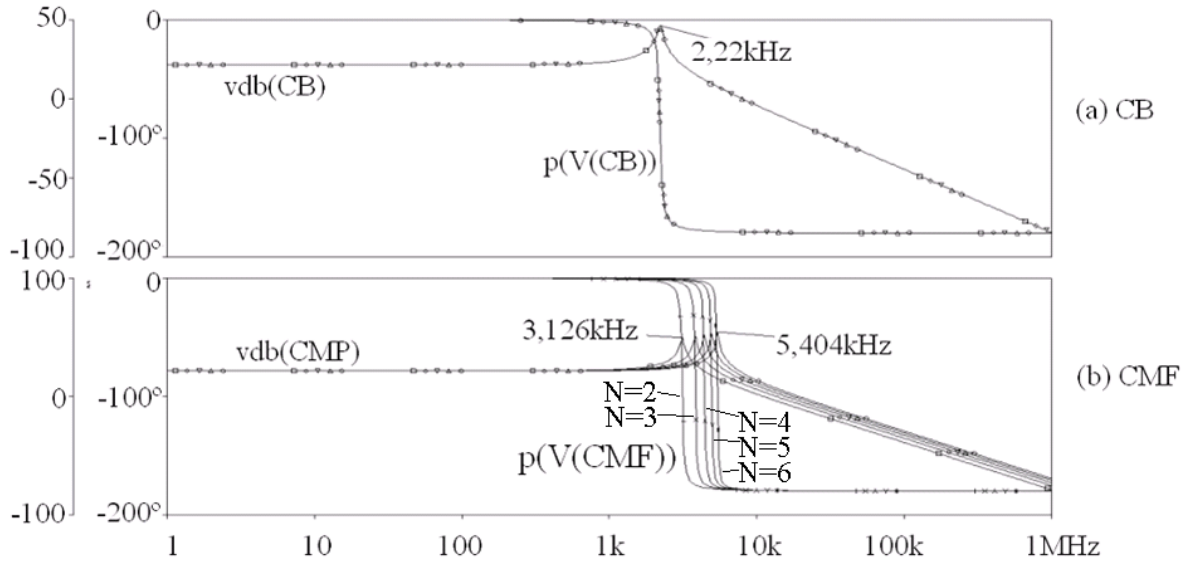
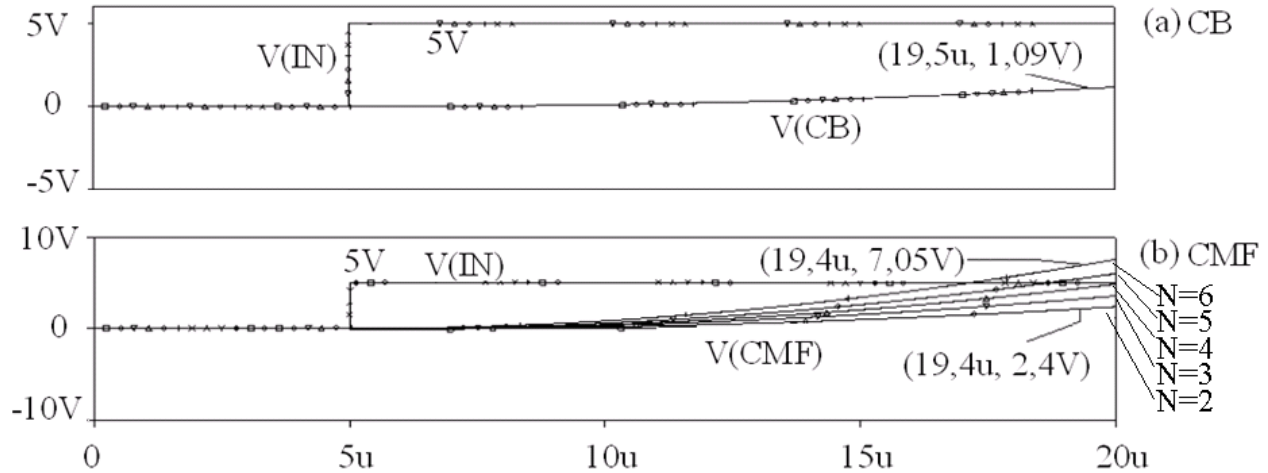


Figura 3.1.2: FT de um CB (a) e de um CMF (b) com $2 \leq N \leq 6$.


 Figura 3.1.3: Resposta de um CB (a) e de um CMF (b) a um degrau em V_{IN} .

A partir do *Data Sheet* de transistores de alta corrente, comumente utilizados em reguladores de tensão para microprocessadores [16 - 23], tem-se listados na Tabela 3.1.1 os parâmetros elétricos mais importantes desses componentes.

Tabela 3.1.1: Características de transistores MOS para comutação comerciais.

MOS	I_{ds_max} (A)	$r_{ds_on_max}$ (mohms)	V_t_max (V)	cap. Entrada (pF)
fds6688	16,0	9,0	3,0	3888
fds7766	17,0	6,0	3,0	4973
fds8870	18,0	7,2	2,5	4615
hat2165H	55,0	5,3	2,5	5180
hat2168H	30,0	13,5	2,5	1730
ipd12N03L	30,0	10,4	2,0	1550
irf7811W	13,0	12,0	1,0	2335
si7856dp	14,0	5,5	3,0	3333
si7860dp	11,0	11,0	3,0	333

Portanto, os transistores fds8870, hat2165H, hat2168H e ipd12N03L podem ser utilizados por possuírem a capacidade de corrente necessária. Outro critério de escolha é a capacitância de entrada (C_{GS}), pois esta determina a corrente de pico, que será exigida pelo seu respectivo LSH. Assim, será escolhido o transistor ipd12N03L como elemento comutador, por possuir o menor C_{GS} dentre os permitidos. Com $r_{DS_ON} = 10.4m\Omega$, tipicamente, e considerando uma corrente máxima de 18A, tem-se que a perda ôhmica máxima em cada componente é $P_{DISS_ON} = 10m.(18)^2 = 3.24W$.

3.2 Compensador em Freqüência – CFREQ.

O bloco CFREQ [24] tem seu diagrama esquemático mostrado na Figura 3.2.1. Ele consiste em um opamp, a ser considerado na seção 3.3, conectado a uma malha de realimentação, produzindo 3 pólos e 2 zeros na função de transferência FT do conversor. Para se determinar os resistores e capacitores da malha, é necessário levantar a FT do CMF, incluindo-se todas as perdas indutivas e capacitivas.

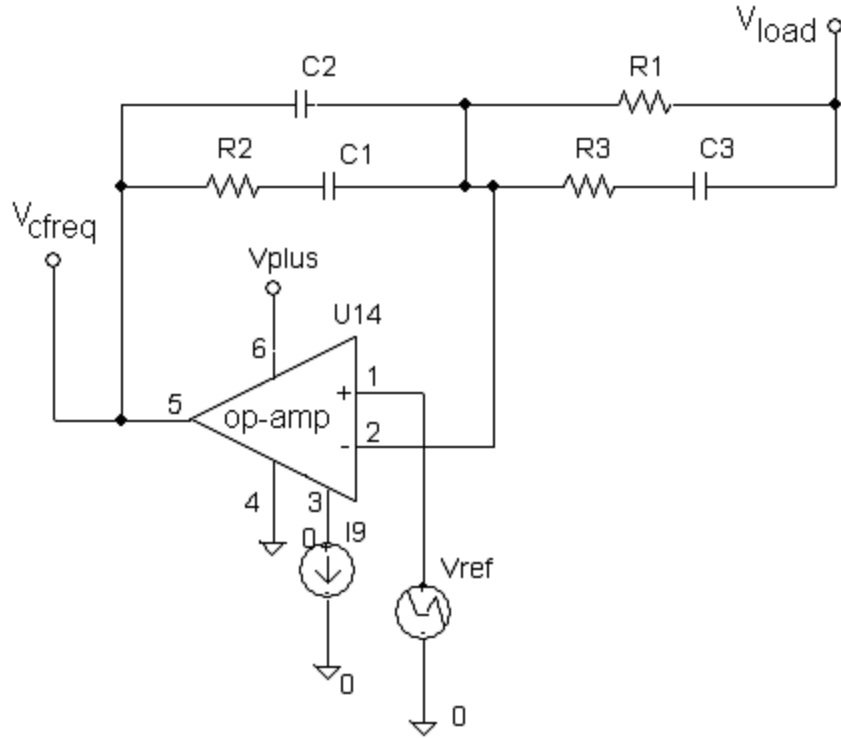


Figura 3.2.1: Diagrama em blocos de CFREQ.

Para cálculo de C_{LOAD} recorre-se à Tabela 2.1 e, para $n_{CT} = 0,2$, tem-se $C_{LOAD} = 12500\mu F$. A partir de [25], faz-se $n_{CR} = 1$ e, logo, $ESRC_U = 7m\Omega$. Assim, $ESL_C = 0$ e $ESR_C = 0,16m\Omega$. Para se obter $0,16m\Omega$, a partir da equação (2.22), impõe-se $N_{PC} = 44$, resultando $C_U = 285\mu F$. Utilizando-se valores comerciais, $C_U = 330\mu F$, tem-se $C_{LOAD} = 14520\mu F$, ou seja, 16% acima do valor calculado. Essa margem engloba variações nos valores de cada capacitor, bem como o efeito de perdas indutivas na PCB. Impondo-se $n_{LR} = 0,8$, $V_{LOAD} = 1V$ e $f_{REG} = 300kHz$, obtém-se $L = 0,146\mu H$ e $ESRL = 12m\Omega$. Como $R_{ON_LS} = \quad , \quad \Omega$, -se a equação (2.37) resulta em $ESRL_{LS}^* = \quad ,6 \quad \Omega$.

De posse dos valores de L , C_{LOAD} e de suas respectivas perdas, dimensiona-se os resistores e capacitores do CFREQ. Incluindo ESR_C e ESR_L , tem-se

$$\frac{V_{LOAD}}{V_C} = \frac{V_{IN} R_O (1 + s C R_O ESR_C)}{s^2 \left(\frac{L}{N} \right) C (R_O + ESR_C) + s \left(C \left(\left(\frac{ESR_L}{N} \right) R_O + ESR_C \left(\frac{ESR_L}{N} \right) + ESR_C R_O \right) + \left(\frac{L}{N} \right) \right) + R_O} \quad (3.2)$$

R_O foi parametrizado para se obter uma família de curvas, e assim determinar a condição de pior caso: menor ganho M e maior deslocamento de fase P do regulador, sendo que quanto mais próximo de -180° a fase estiver, um maior deslocamento deve ser feito pelo compensador. Fazendo R_O assumir os valores de 0.01, 0.1, 1, 2 e 5 ohms, tem-se, na Figura 3.2.2, a representação gráfica da equação (3.2), sendo que o pior caso corresponde ao menor R_O , pois nesse caso M é mínimo e P se aproxima mais de -180° . Portanto, os valores de M e P adotados serão os obtidos nessa condição.

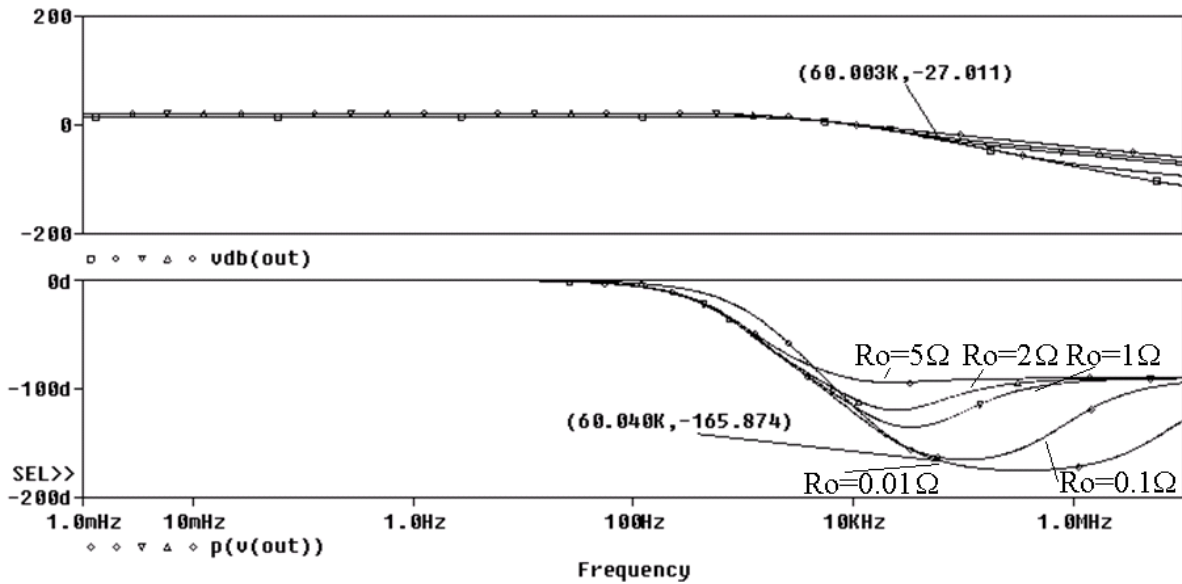


Figura 3.2.2: FT do CMF incluindo ESR_C e ESR_L .

De [24], segue as expressões para cálculo dos componentes do CFREQ. A frequência de corte f_{C_CFREQ} deve ser $f_{REG}/5$, ou seja, $f_{C_CFREQ} = 60\text{kHz}$. Assim, pela Figura 3.2.2, tem-se $M = -27\text{dB}$ e $P = -166^\circ$, resultando

$$\alpha = M - P - 90 \quad (3.3)$$

$$G = \frac{1}{10^{\frac{M}{20}}} \quad (3.4)$$

onde α é o ângulo de quanto o compensador deve avançar, M é a margem de fase desejada, adotada como 60° , e G é o ganho que CFREQ deve proporcionar para que o ganho em f_c seja unitário. Numericamente, tem-se $\alpha = 2,374\text{rad} = 136^\circ$ e $G = 22,4$.

Ainda, de [24], define-se o fator k como sendo a atenuação do módulo de v_{LOAD} / v_c da equação (3.2) em baixas frequências, e o seu ganho em altas frequências. Este fator é uma ferramenta matemática para definir a forma e a característica da FT do CFREQ. Assim, de [24],

$$k = \left(\tan\left(\frac{\alpha}{4} + \frac{\pi}{4}\right) \right)^2 \quad (3.5)$$

obtendo-se $k = 26,5$, o qual define os componentes da malha compensadora [24],

$$C_2 = \frac{1}{2\pi f_c G R_1} \quad (3.6)$$

$$C_1 = C_2 (k - 1) \quad (3.7)$$

$$R_2 = \frac{\sqrt{k}}{2\pi f_c C_1} \quad (3.8)$$

$$R_3 = \frac{R_1}{k - 1} \quad (3.9)$$

$$C_3 = \frac{1}{2\pi f_c R_3 \sqrt{k}} \quad (3.10)$$

Dessa forma, impondo-se $R_1 = 10\text{k}\Omega$, tem-se $R_2 = 39\text{k}\Omega$, $R_3 = 390\Omega$, $C_1 = 330\text{pF}$, $C_2 = 12\text{pF}$ e $C_3 = 1,2\text{nF}$, sendo todos os componentes calculados externos ao *chip*.

3.2.1 Estudo do tempo de resposta transiente de CFREQ

Comum a compensadores, e independentemente de sua ordem, há o inconveniente de sempre existir um resistor entre V_{LOAD} e a entrada inversora do opamp IN_M , contribuindo para o atraso na resposta de CFREQ a variações de carga. A Figura 3.2.1.1 mostra o esquemático simplificado deste bloco.

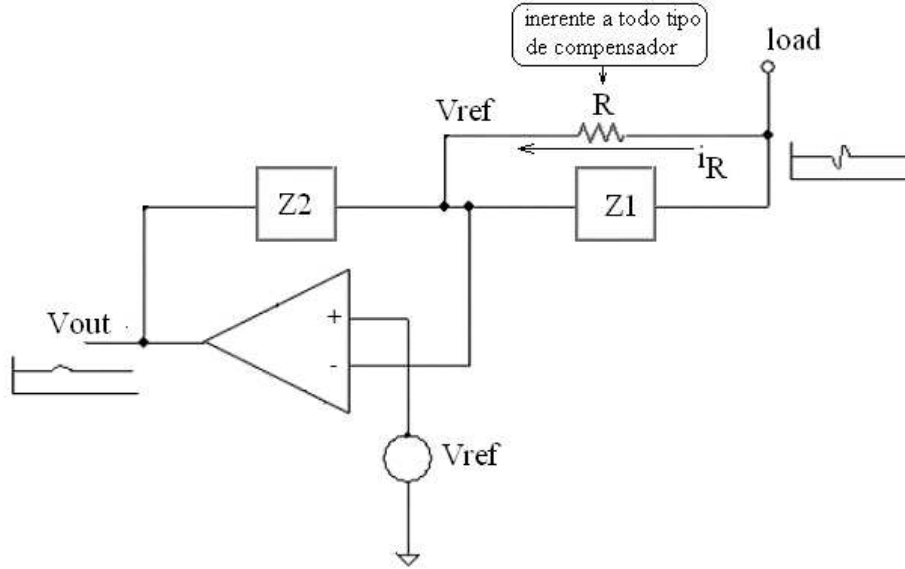


Figura 3.2.1.1: Esquemático simplificado de CFREQ.

Em regime permanente, tem-se $V_{LOAD} = V_{IN_M} = V_{REF}$. Porém, durante um transiente, surge uma corrente transitória I_R em R que faz IN_M não acompanhar o valor de V_{LOAD} , de modo que o opamp não perceba tal variação. Portanto, V_{IN_M} não detecta mudanças em V_{LOAD} , instantaneamente, sendo esse tipo de compensação considerado lento. Equacionando a malha entre V_{LOAD} e V_{IN_M} , tem-se

$$V_{REF} + RI_R = V_{LOAD} \quad (3.11)$$

Logo, V_{LOAD} sofre influência de I_R , e não apenas de V_{REF} , sendo este último imposto pelo opamp através do seu alto ganho em malha aberta. A corrente no resistor é apenas transitória e CFREQ deve modificar sua tensão de saída, V_{CFREQ} , de modo a corrigir V_{LOAD} . Porém, devido a uma recombinação das cargas entre os capacitores de CFREQ, geram-se correntes que acabam

por circular através de R, causando uma queda V_R . Para minimizar esse efeito, um circuito que possa medir V_R , de maneira a somá-la à tensão saída do opamp, V_{OUT_OPAMP} , foi proposto. Com isso, há uma mudança na tensão de entrada dos comparadores para geração do sinal PWM. Este circuito deve funcionar de maneira que, se V_{LOAD} aumentar, tem-se $V_R < 0$. Assim, quando somado com V_{OUT_OPAMP} , o resultado é um valor de V_{CFREQ} um pouco menor que V_{OUT_OPAMP} . Isso faz com que HS de cada célula seja desligado em um instante anterior ao que normalmente ocorreria, reduzindo o valor de V_{LOAD} . Caso $V_{LOAD} < V_{REF}$, tem-se $V_R > 0$, fazendo com que os comparadores liguem seus respectivos HS antecipadamente, aumentando V_{LOAD} .

Em regime permanente, $V_{CFREQ} = V_{LOAD} V_{P_RAMPA} / V_{IN}$, onde V_{P_RAMPA} é a tensão de pico da rampa, gerada pelo bloco GR, descrito na seção 3.6. Logo, para $V_{P_RAMPA} = 4V$, tem-se $V_{CFREQ} = 333,3mV$.

Como $V_{R_MAX} = V_{TOL} = +/-20mV$, percebe-se que o mesmo é muito menor que V_{CFREQ} . Logo, é importante dar-se um ganho em V_R para torná-lo mais influente, em relação a V_{CFREQ} . Através de simulação paramétrica, verificou-se que um valor de 1/3 de V_{CFREQ} é suficiente para minimizar os efeitos de V_R no tempo de resposta do CMF. Dessa forma

$$AV_R = \frac{V_{CFREQ}}{3} \quad (3.12)$$

onde A é o ganho necessário para tornar V_R influente o suficiente para se reduzir o tempo de resposta de CFREQ.

Portanto, tem-se $A = 5$, sendo o diagrama esquemático do bloco CFREQ modificado ilustrado na Figura 3.2.1.2. O circuito conectado aos nós A, B, e C constitui o “somador/subtrator” SSUB, descrito na seção 3.5, cuja FT é

$$V_{OUT} = V_A + 5(V_B - V_C) \quad (3.13)$$

Caso se queira utilizar o bloco CFREQ convencional, basta ligar o ponto A diretamente à entrada dos comparadores, excluindo SSUB da malha de realimentação do regulador. Isso é

importante para efeito de comparação de desempenho transiente, utilizando-se o bloco CFREQ tradicional e o proposto.

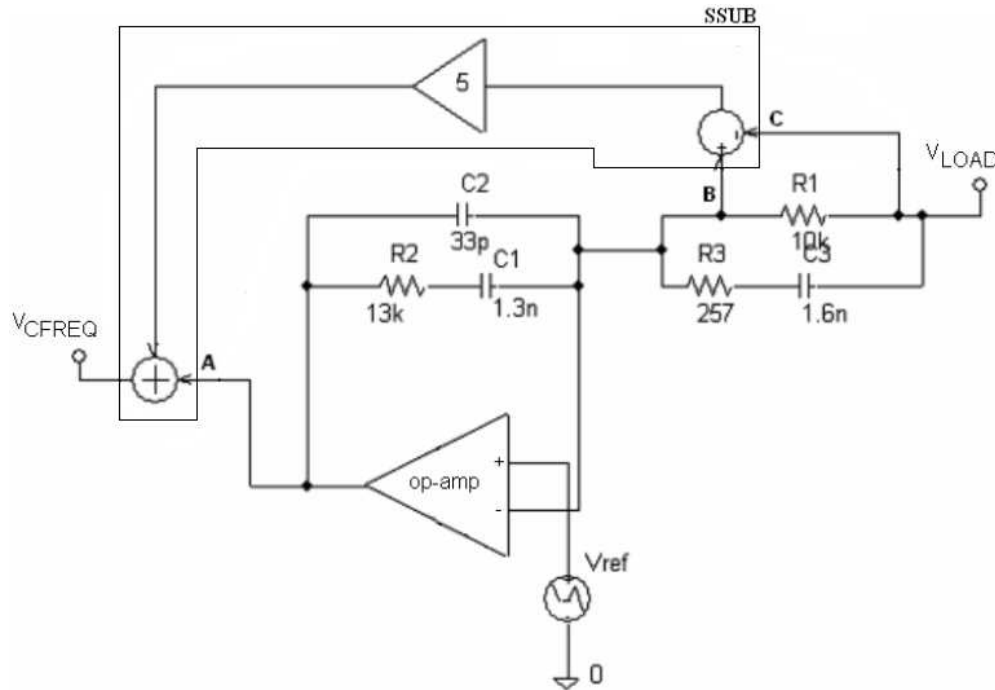


Figura 3.2.1.2: Diagrama final do bloco CFREQ.

3.3 Amplificador operacional – opamp

O esquemático do opamp é mostrado na Figura 3.3.1 [26], tendo como características importantes um alto ganho em malha aberta e baixa tensão de *offset*, para minimizar a diferença entre as tensões de saída e referência. Assim, transistores com comprimento de canal bem acima do mínimo permitido pelo processo de fabricação foram utilizados, de modo a reduzir o descasamento entre os componentes e, ainda, elevar o ganho.

O opamp possui um estágio de saída classe AB para alimentar cargas resistivas. Apesar da rede de realimentação não possuir nenhum resistor ligado a VSS, é importante a utilização deste estágio, pois alguns de seus capacitores possuem valores da ordem de nF. A corrente de polarização para este bloco vale $30\mu\text{A}$. M_3 e M_4 geram um zero a mais na função de transferência do opamp, de modo a melhorar a margem de fase na frequência de transição deste bloco.

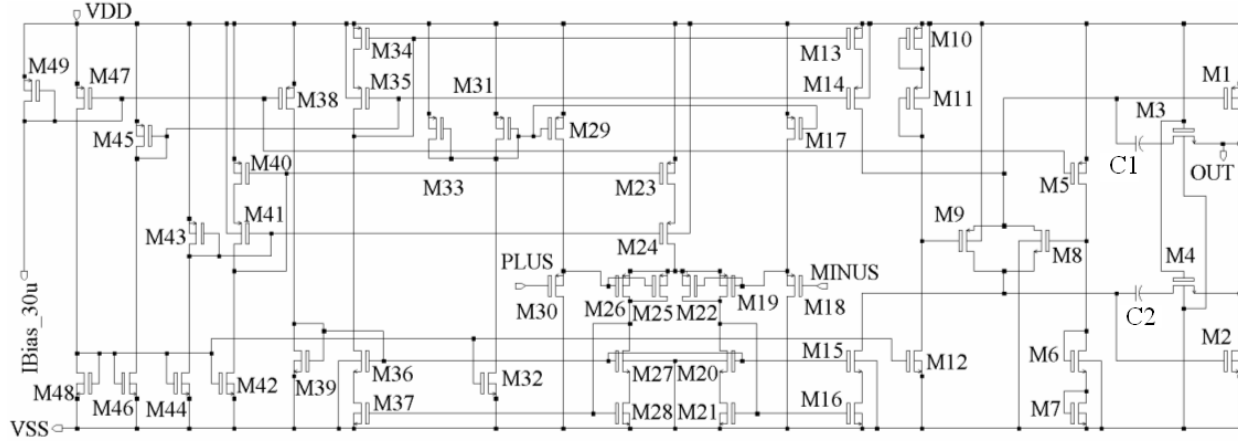


Figura 3.3.1: Esquemático do op-amp utilizado.

Os espelhos de corrente utilizados são do tipo *wide-swing* [26], com maior resistência dinâmica de saída, em comparação a um espelho simples. Os dispositivos M_{19} , M_{22} , M_{25} e M_{26} compõem o par diferencial do opamp, e são do tipo P para acomodar o modo-comum V_{CM} de 0,8 a 1,6V. M_{18} e M_{30} fazem o opamp manter-se funcional mesmo quando $V_{CM} \rightarrow V_{SS}$, que ocorre durante o período em que o bloco *soft-start* está ativo, pois $V_{LOAD} = 0$ nesta situação.

3.4 Comparador com Histerese - COMP.

Este circuito gera o sinal PWM para acionamento de HS e LS do conversor, a partir da comparação entre V_{CFREQ} e V_{RAMPA} . Enquanto $V_{CFREQ} > V_{RAMPA}$, a tensão de saída V_{COMP} deste bloco fica em nível alto, correspondendo à alimentação do chip $V_{CC_CHIP} = 5V$. Contrariamente, para $V_{RAMPA} > V_{CFREQ}$, V_{COMP} fica em nível baixo, e igual a V_{SS} . Impõe-se uma histerese $V_{HIST} = 30mV$, acima do ruído interno, estimado em 10-20mV. A Figura 3.4.1 mostra o esquemático do comparador utilizado [26], sendo que sua histerese é dada a seguir, impondo $M5$ e $M12$.

$$V_{HIST} = 2 \cdot \sqrt{\frac{I_{BIAS}}{\mu_{P_M4} C_{OX} (W/L)_{10}}} \frac{\sqrt{\alpha_H} - 1}{\sqrt{1 + \alpha_H}} \quad (3.14)$$

$$\text{Sendo } \alpha_H = \frac{(W/L)_8}{(W/L)_6} = \frac{(W/L)_{11}}{(W/L)_{13}}. \quad (3.15)$$

onde I_{BIAS} é a corrente de polarização do bloco, e α_H é a razão de aspecto entre M_6 e M_5 , assumindo $M_7 = M_6$ e $M_8 = M_9$. O valor de $I_{BIAS} = 30\mu A$ e a constante α_H foram escolhidos de modo a garantir-se $V_{HIST} = 30mV$, em caso típico. A porta lógica INV é descrita na seção 3.5.

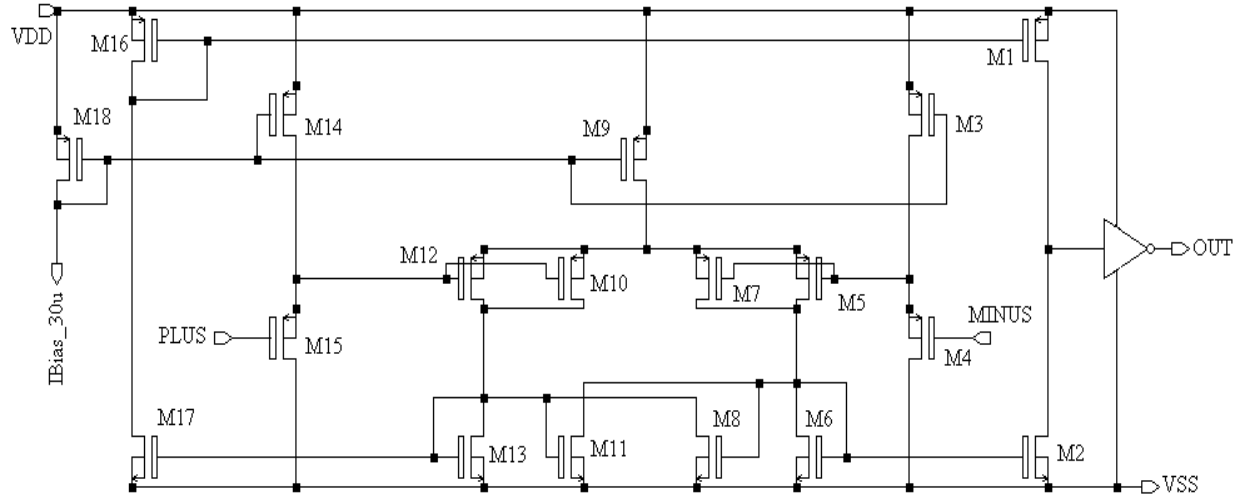


Figura 3.4.1: Esquemático do comparador.

Para que o COMP funcione corretamente, o mesmo deve operar dentro de um intervalo de tensão de modo-comum à entrada V_{CM_COMP} , obedecendo a

$$\frac{V_{REF_MIN} V_{P_RAMPA}}{V_{IN}} \leq V_{CM_COMP} \leq \frac{V_{REF_MAX} V_{P_RAMPA}}{V_{IN}} \quad (3.16)$$

ou seja, $0,2V \leq V_{CM_COMP} \leq V$. Para garantir-se que este bloco funcione corretamente nessas condições, dois estágios dreno-comum, composto por M_3 , M_4 , M_{14} e M_{15} , foram adicionados às entradas, evitando que M_6 , M_8 , M_{11} e M_{13} saiam da região de saturação.

3.5 Circuito Somador/Subtrator - SSUB.

Este bloco tem a função de melhorar o tempo de resposta da malha de realimentação, e consiste em três conversores V/I, sendo um deles correspondente a V_{OUT_OPAMP} e os demais

aplicados em cada um dos terminais de R_1 do bloco CFREQ. Após a conversão, os sinais são somados de maneira a atender a equação (3.13). A Figura 3.5.1 mostra o diagrama de blocos para o SSUB. Este bloco corresponde a três conversores tensão/corrente (V/I), sendo que dois deles possuem um estágio de ganho de corrente, multiplicando o valor desta por 5 para depois serem conveniente somados / subtraídos de maneira que, após a conversão desta corrente resultante em tensão (I/V), obtém-se à saída um sinal que obedece a equação (3.13). A Figura 3.5.2 mostra o esquemático de SSUB.

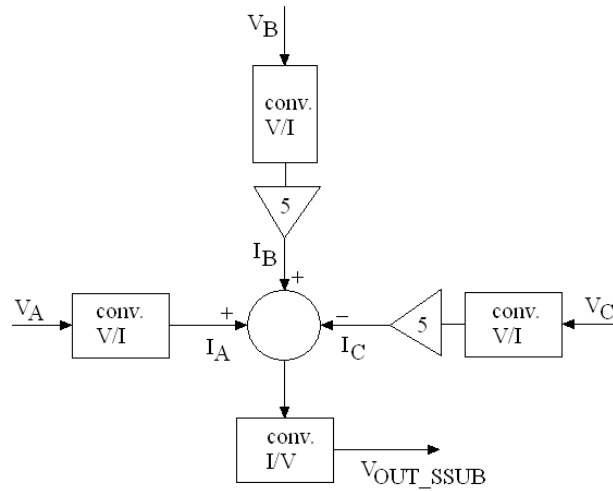


Figura 3.5.1: Diagrama de blocos de SSUB.

As entradas “A”, “B” e “C” correspondem a V_{OUT_OPAMP} , IN_M e V_{LOAD} , respectivamente. “B” e “C” fornecem ganho 5 vezes maior que “A”. Os dispositivos SS_OPAMP₁, M_4 , R_1 e R_2 , SS_OPAMP₂, M_{25} , R_8 e R_9 e SS_OPAMP₃, M_{34} e R_{10} a R_{14} formam o conversor V/I das entradas “C”, “B” e “A”, respectivamente. O Bloco SS_OPAMP consiste em um amplificador operacional sem estágio de saída, a ser descrito na seção 3.6.

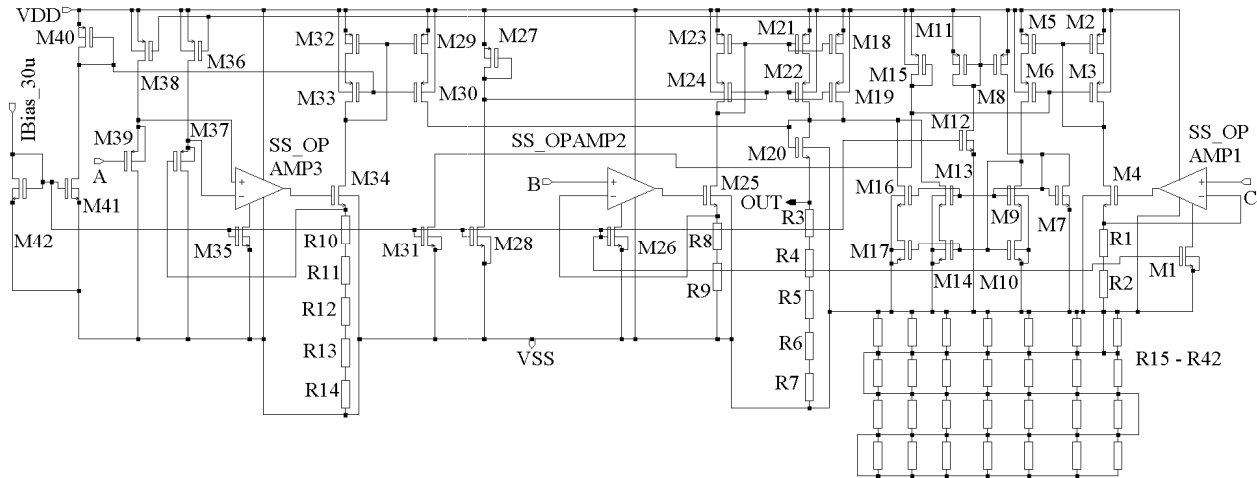


Figura 3.5.2: Esquemático do circuito SSUB.

Após a soma das correntes, a conversão em tensão é feita por M_{20} , em conjunto com $R_3 - R_7$. A tensão de polarização dos espelhos de corrente é gerada pelos transistores M_7 , M_{15} , M_{27} e M_{40} . O dispositivo M_{20} adiciona V_{T_N} à saída de M_{22} , de modo a evitar que o espelho de corrente formado por M_{13} , M_{14} , M_{16} e M_{17} saia da região de saturação, já que as tensões envolvidas são da ordem de centenas de mV.

3.6 Gerador de Rampa – GR.

O bloco GR é o responsável pela geração das rampas, devidamente defasadas, para os comparadores acionarem HS e LS corretamente. A tensão de rampa V_{RAMPA} para cada célula deve ser defasada para proporcionar a correta distribuição da corrente em cada indutor. A geração de V_{RAMPA} é baseada na carga de um capacitor com corrente constante, sendo sua tensão V_{CAP_GR} linear com o tempo. O diagrama em blocos para este bloco é mostrado na Figura 3.6.1. A Figura 3.6.2 mostra o esquemático do GR.

Uma maneira de se obter a correta defasagem entre as rampas é através do uso de um oscilador em anel, OA, formado por *flip-flops* FF's tipo D, sendo que apenas o primeiro possui entrada *preset*. Os demais possuem entrada *reset*, para garantir que o OA sempre tenha uma de suas saídas em nível alto no momento em que o regulador é ligado. O OA possui seis saídas (A – F), sendo uma para cada conjunto de capacitores C_{GR} , geradores do respectivo V_{RAMPA} . Portas lógicas aterram V_{RAMPA} apenas durante a transição de nível lógico da saída do seu respectivo FF.

Considerando, por exemplo, o sinal *ramp2*, quando a saída B do OA vai a nível alto, M_{20} é acionado, aterrando-se V_{CAP_GR} ($C_{25} - C_{30}$) somente durante a transição de nível de B, para evitar que o comportamento dinâmico do regulador seja dependente de f_{CLK} . Como o oscilador é em anel, tem-se $f_{CLK} = Nf_{REG} = 1,8\text{MHz}$. Assim, $V_{P_RAMPA} = I_{BIAS_GR} / (f_{REG}C_{GR})$, onde I_{BIAS_GR} é a corrente de polarização para este bloco. Impondo $I_{BIAS_GR} = 1\mu\text{A}$ e $V_{P_RAMPA} = 3\text{V}$, resulta em $C_{GR} = 0,9\text{pF}$, sendo este valor dividido em seis componentes idênticos, melhorando o casamento entre C_{GR} de todas as células.

As portas lógicas responsáveis pelo *reset* da saída *ramp1* possuem uma porta adicional, a NOR1, que serve para evitar um curto-circuito entre o espelho de corrente M_{26} e a chave M_{24} quando *reset* = 1.

As Figuras 3.6.3 e 3.6.4 mostram os diagramas dos FF's com *preset* e *reset*, respectivamente. São circuitos compostos basicamente por dois *latches* RS em configuração mestre-escravo. As portas lógicas utilizadas têm seus esquemáticos mostrados na Figura 3.6.5.

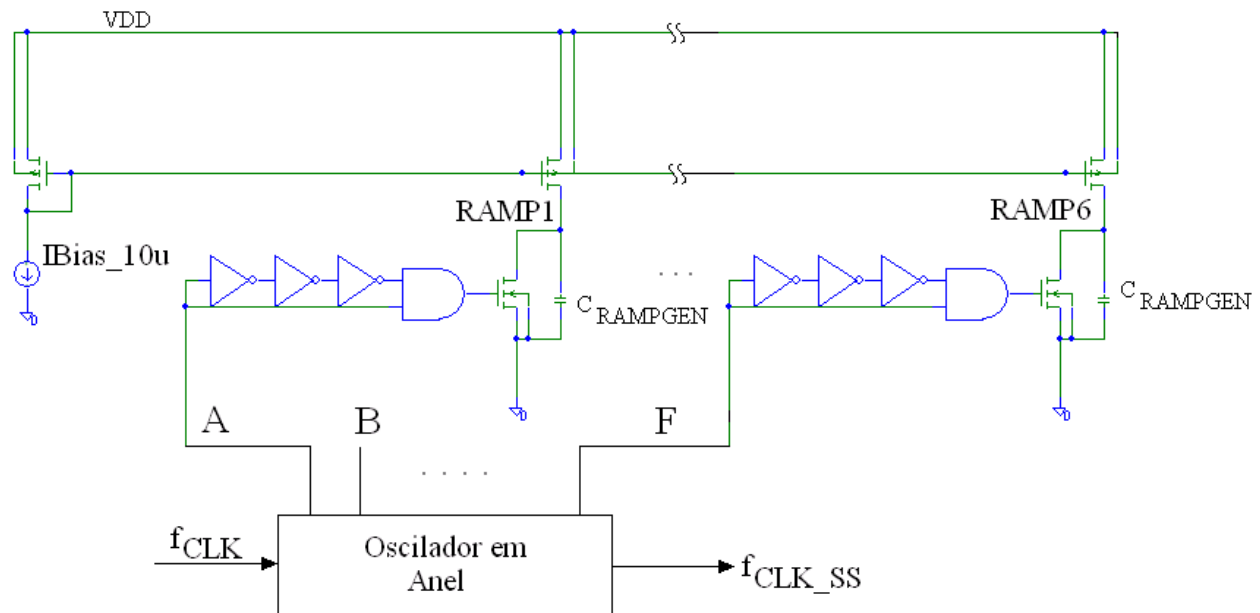


Figura 3.6.1: Diagrama em blocos para o gerador de rampa.

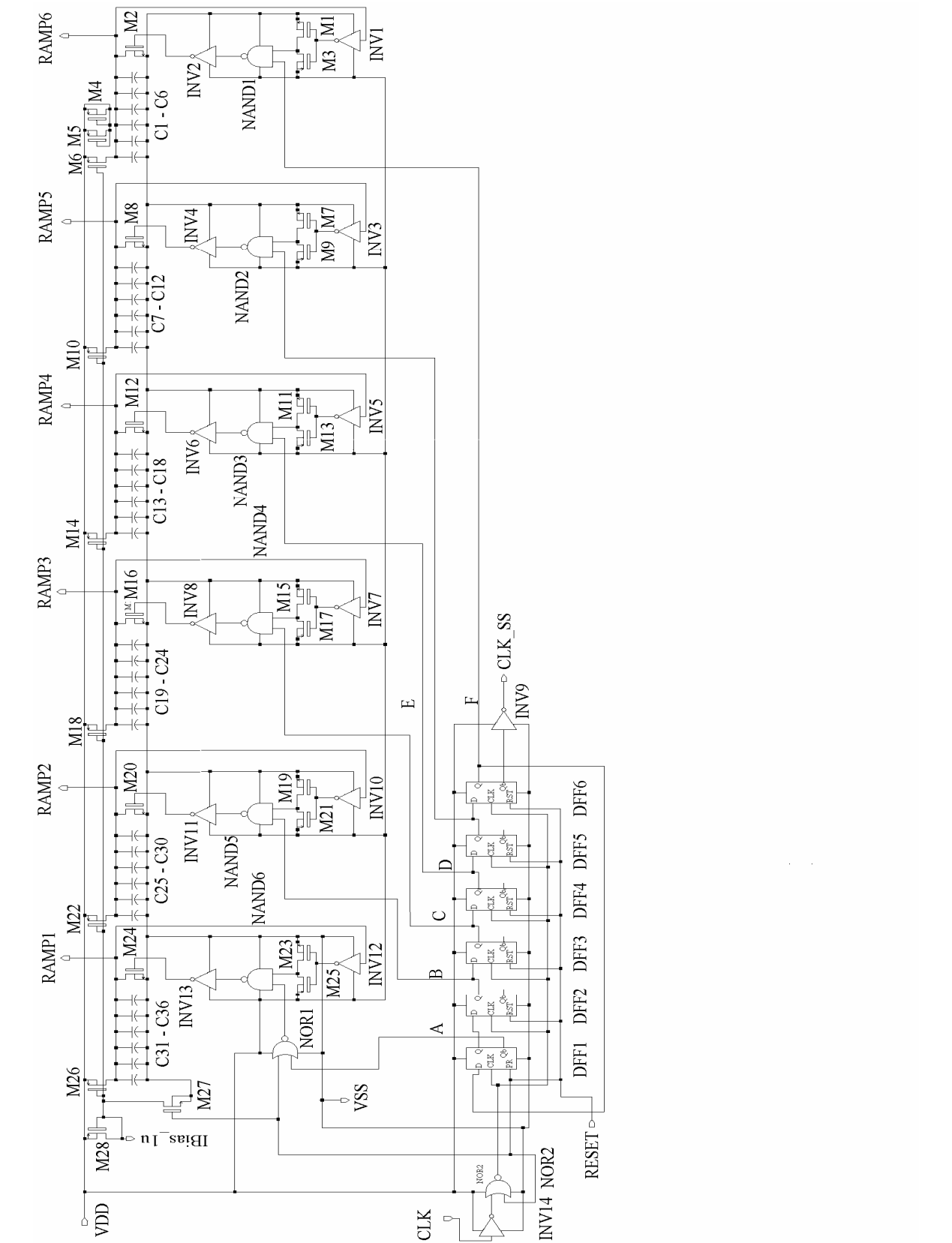


Figura 3.6.2: Diagrama do bloco gerador de rampa.

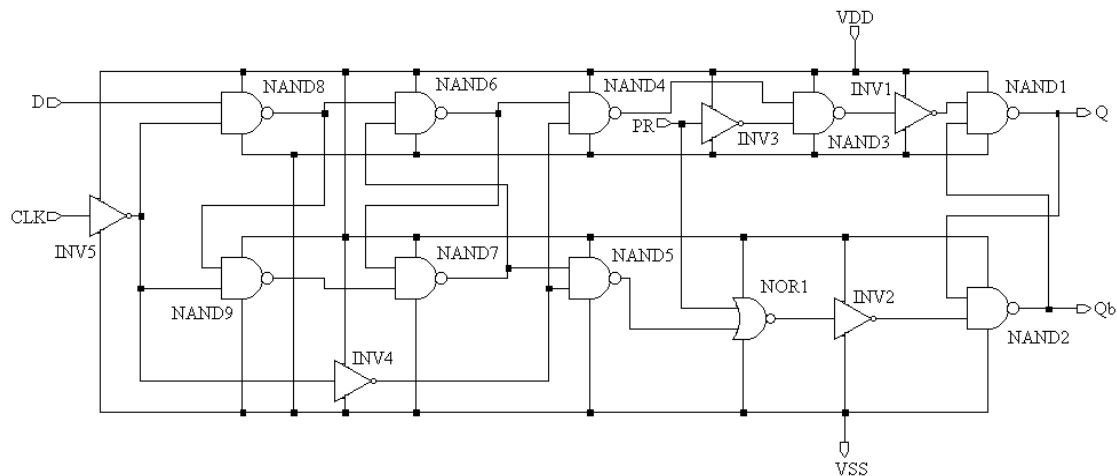


Figura 3.6.3: esquemático do *flip-flop* tipo D com preset.

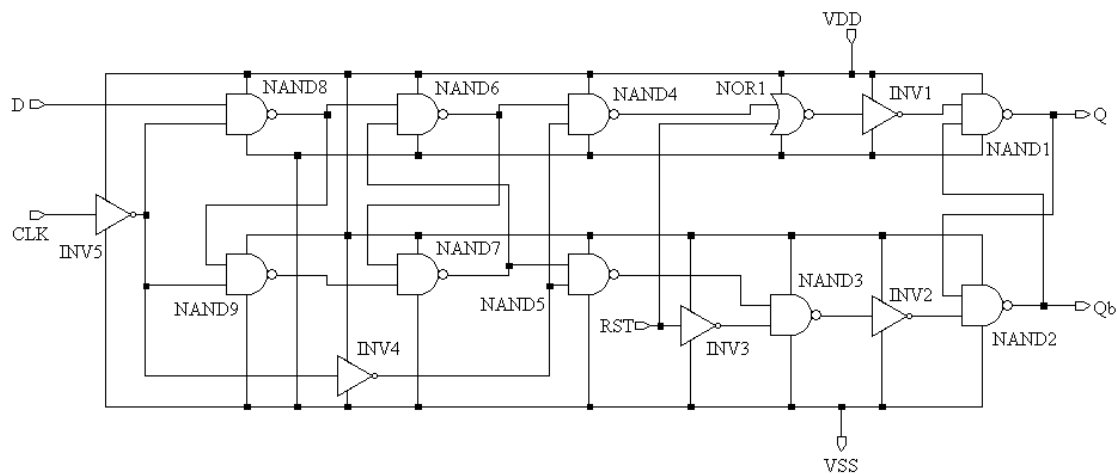


Figura 3.6.4: *Flip-flop* tipo D com reset.

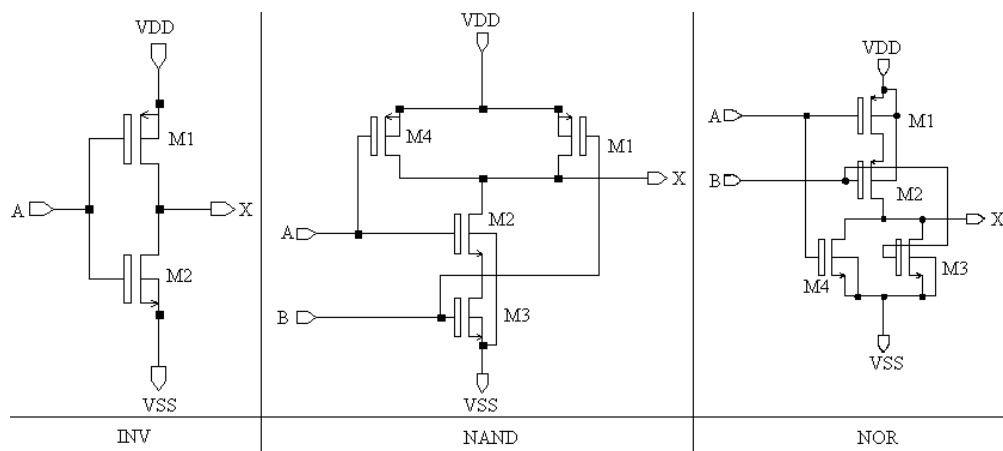


Figura 3.6.5: Esquemáticos das portas lógicas INV, NAND e NOR utilizadas.

3.7 Circuito de Partida Suave (*Soft-Start*) - SS.

O bloco SS é importante para evitar que HS seja danificado ao regulador ser ligado, pois nesse momento C_{LOAD} está descarregado. Enquanto $V_{LOAD} \ll V_{REF}$, as saídas dos comparadores são acionadas até que $V_{LOAD} = V_{REF}$, fazendo com que a corrente nos indutores alcance valores bem acima do máximo permitido pelo HS, podendo destruí-lo. Assim, é importante que na inicialização do regulador, V_{LOAD} não atinja V_{REF} em um curto intervalo de tempo, pois $i_{C_LOAD} = C(dV_{LOAD}/dt)$, onde i_{C_LOAD} é a corrente em C_{LOAD} . Como solução, V_{REF} é escalonado no tempo, fazendo com que V_{LOAD} o acompanhe de forma suave, poupando transistores, indutores e até mesmo a PCB.

A tensão de referência é aplicada à entrada do SS, sendo a sua saída V_{SS_OUT} aplicada à entrada não-inversora IN_P de CFREQ, evitando-se que os comparadores mantenham HS acionados por um longo intervalo. A partida suave é feita através de um conversor tensão-corrente, que escala V_{REF} digitalmente, sendo que um conversor I/V recompõe V_{REF} . O diagrama de blocos do SS é mostrado na Figura 3.7.1. O escalonamento de V_{REF} pode ser deduzido a partir da equação de carga de um capacitor, dado por

$$V_{STEP} = \frac{I_{HS_MAX}}{f_{CLK_SS} C_{OUT}} \quad (3.17)$$

onde I_{HS_MAX} é a máxima corrente permitida ao HS, V_{STEP} é o degrau de tensão que V_{SS_OUT} aumenta a cada incremento do contador e f_{CLK_SS} é a frequência de *clock* aplicada ao SS.

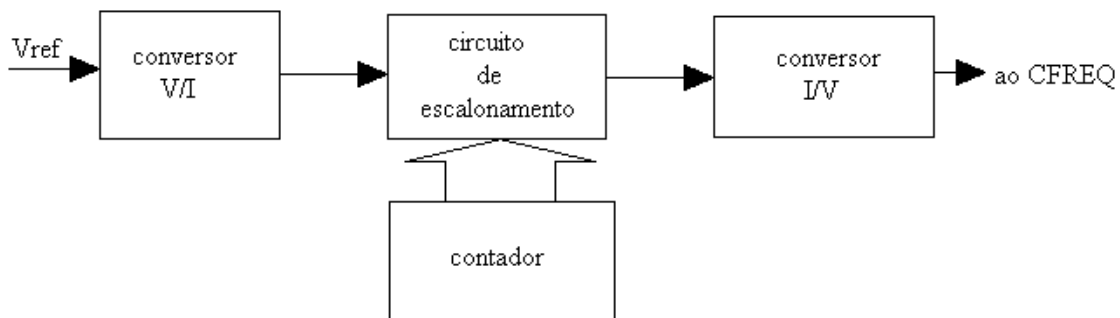


Figura 3.7.1: Diagrama em blocos do SS.

Os componentes HS e LS possuem corrente máxima de 30A. Em teoria, o sistema suportaria um máximo de $6 \times 30 = 180\text{A}$. Obviamente, este valor é muito alto, podendo danificar a PCB. Por razões de segurança, a corrente máxima I_{MAX} permitida ao regulador, do momento em que é habilitado até V_{LOAD} atingir V_{REF} , será imposta como 30% de $I_{\text{LOAD_MAX}}$. Assim, $I_{\text{MAX}} = 31,5\text{A}$. Da seção 3.6, $f_{\text{CLK_SS}} = 300\text{kHz}$, e sendo $C_{\text{LOAD}} = 12500\mu\text{F}$, tem-se que $V_{\text{STEP}} = 8,4\text{mV}$. O número de bits do contador é, então, dado por

$$\text{BITS} = \frac{\log\left(\frac{V_{\text{REF_MAX}}}{V_{\text{STEP}}}\right)}{\log(2)} \quad (3.18)$$

Para $V_{\text{REF_MAX}} = 1,6\text{V}$, tem-se um contador de 8 bits, resultando em 256 passos incrementais. O circuito de escalonamento é projetado para dividir $I_{\text{REF_SS}}$ por 2, sucessivamente, de modo que cada corrente dividida possa ser posteriormente somada para recompor V_{REF} em $V_{\text{OUT_SS}}$. A Figura 3.7.2 mostra o esquemático do SS.

O contador CS é síncrono, mostrado na Figura 3.7.3, para garantir maior imunidade a ruído, evitando contagens errôneas que possam causar picos de tensão em $V_{\text{OUT_SS}}$. Os FF's do CS foram aproveitados do bloco GR, sendo todos eles com *reset*. A Tabela 3.7.1 mostra a tabela da verdade para este circuito, sendo que, a partir da Figura 3.7.3, D_A a D_H , são as entradas D dos flip-flops D_{FF8} a D_{FF1} , respectivamente.

Na Tabela 3.7.2 tem-se a expressão booleana para cada entrada dos FFs, enquanto que na Figura 3.7.3 tem-se o esquemático completo do CS. A razão de aspecto é de $(4\mu\text{m}/0,5\mu\text{m})$ e de $(12\mu\text{m}/0,5\mu\text{m})$ para os transistores N e P, respectivamente.

Da Figura 3.7.2, o conversor V/I é composto por SS_OPAMP , M_{101} , R_2 e R_3 , gerando $I_{\text{REF_SS}}$ para o circuito de escalonamento, sendo que $I_{\text{REF_SS}} = V_{\text{REF}}/2R$, considerando $R_2 = R_3$. Assim, M_{99} faz o espelhamento dessa corrente para M_{96} , que produz $I_{\text{REF_SS}}$ caso M_{97} seja acionado pela saída A, circulando pelo resistor R_1 . Os transistores M_{88} a M_{92} , M_{94} e M_{95} produzem $I_{\text{REF_SS}}/2$, que irá circular pelo resistor R_1 caso M_{87} esteja ativado pela saída B. A divisão continua até chegar a $I_{\text{REF}}/128$ em M_3 , através do acionamento da saída H.

A conversão I/V é feita através do resistor R_1 , sendo que $R_1 = R_2 = R_3$, convertendo $I_{\text{REF_SS}}$ em tensão. A equação que determina $V_{\text{OUT_SS}}$ é dada por

$$V_{SS_OUT} = \left(A + \frac{B}{2} + \frac{C}{4} + \frac{D}{8} + \frac{E}{16} + \frac{F}{32} + \frac{G}{64} + \frac{H}{128} \right) \frac{V_{REF}}{2} \quad (3.19)$$

Quando todas as saídas estiverem em “1”, $V_{SS_OUT} = 0,996V_{REF}$. Assim, para que V_{IN_P} de CFREQ não carregue ruídos presentes no escalonamento, quando CS atinge 255_{10} , sua contagem pára, e todos os circuitos do SS não mais necessários, como o conversor V/I, são desativados, para redução do consumo. Além disso, $V_{OUT_SS} = V_{REF}$, pois M_{123} desliga, enquanto M_{124} liga. Assim, o SS é virtualmente desconectado do regulador, resultando em $V_{REF} = V_{IN_P}$. A duração T_{SS} da rampa de V_{REF} é o produto de T_{CLK_SS} por 256, o número de combinações possíveis do CS. Logo, $T_{SS} = 256/300k = 853\mu s$. O capacitor utilizado na saída apenas filtra eventuais picos de tensão que ocorrem durante o escalonamento de I_{REF_SS} .

Tabela 3.7.1: Tabela da verdade para projeto do CS de 8 bits.

clk	Da	Db	Dc	Dd	De	Df	Dg	Dh	A	B	C	D	E	F	G	H
↑	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
↑	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
↑	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0
↑	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	1
↑	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0
↑	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	1
↑	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	0
↑	0	0	0	0	1	0	0	0	0	0	0	0	0	1	1	1
.
.
.
↑	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	0
↑	1	1	1	1	1	1	1	0	1	1	1	1	1	1	0	1
↑	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
↑	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Tabela 3.7.2: Expressões booleanas para o contador síncrono.

Da =	$\overline{A.B.C.D.E.F.G.H} . A.B.C.D.E.F.G.H$	De =	$\overline{E.F.G.H} . E.F.G.H$
Db =	$\overline{B.C.D.E.F.G.H} . B.C.D.E.F.G.H$	Df =	$\overline{F.G.H} . F.G.H$
Dc =	$\overline{C.D.E.F.G.H} . C.D.E.F.G.H$	Dg =	$\overline{G.H} . G.H$
Dd =	$\overline{D.E.F.G.H} . D.E.F.G.H$	Dh =	\overline{H}

O bloco SS_OPAMP é um amplificador operacional mais simples que o opamp usado em CFREQ, como ilustrado na Figura 3.7.4.

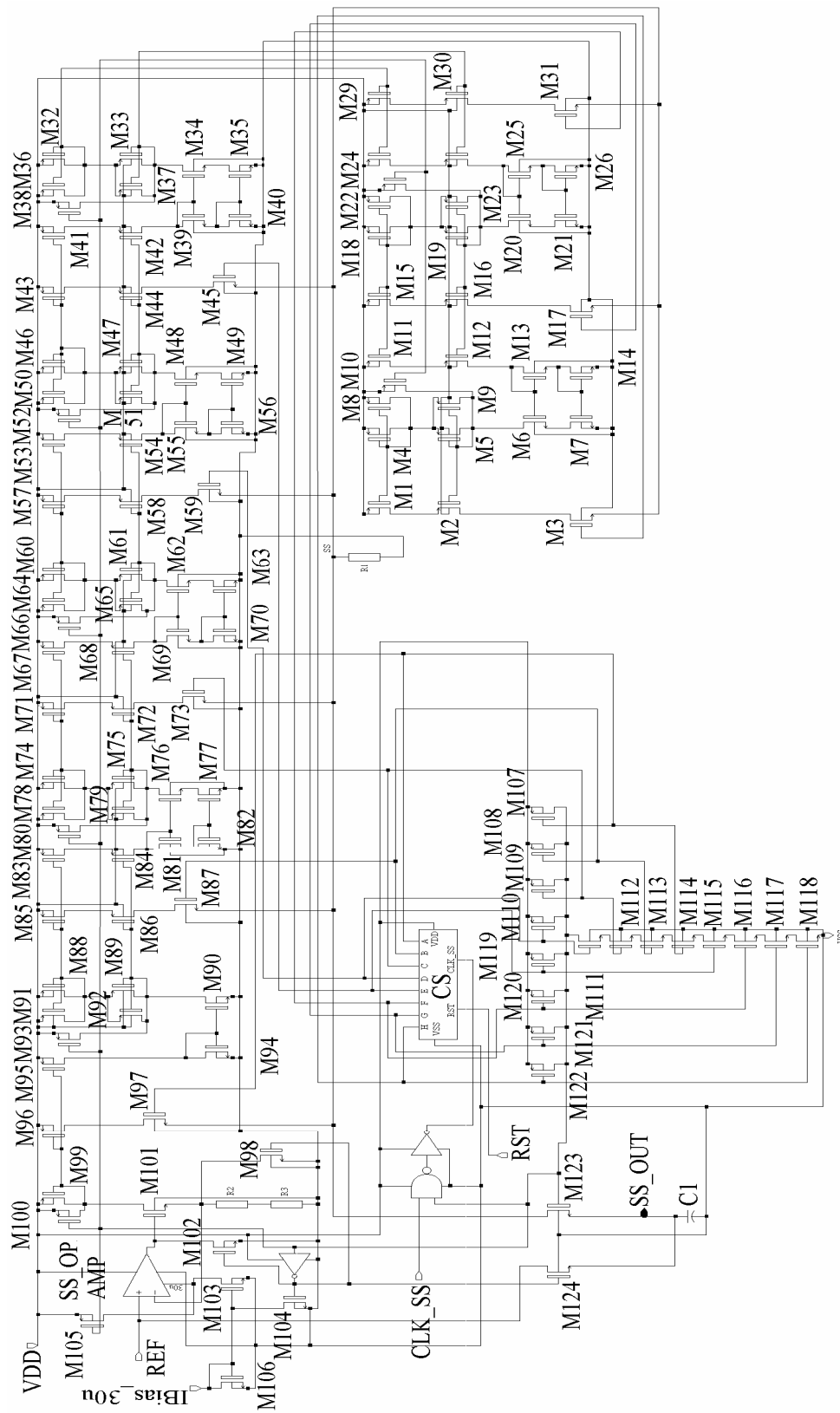


Figura 3.7.2: Esquemático do bloco SS.

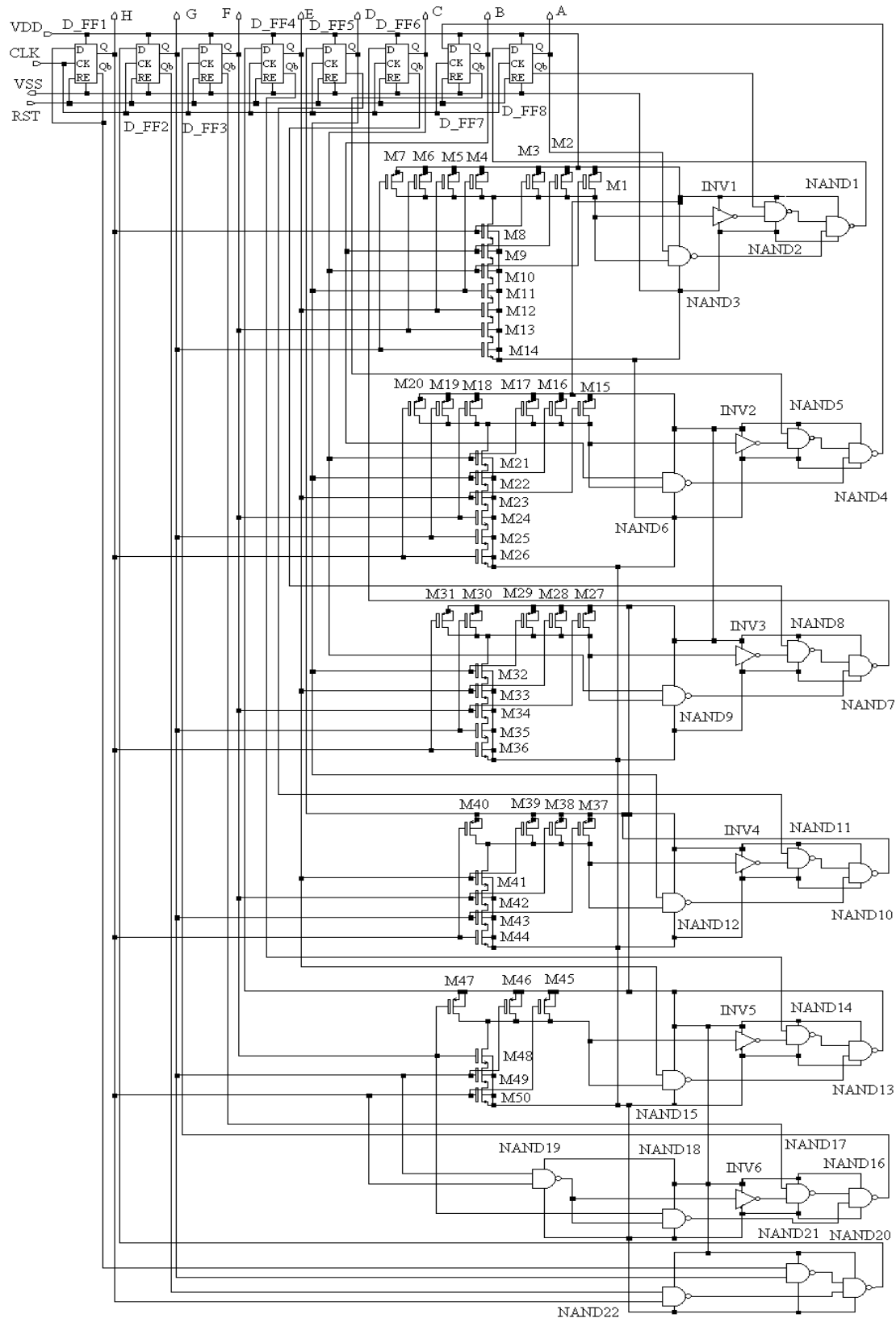


Figura 3.7.3: Diagrama do CS de 8 bits.

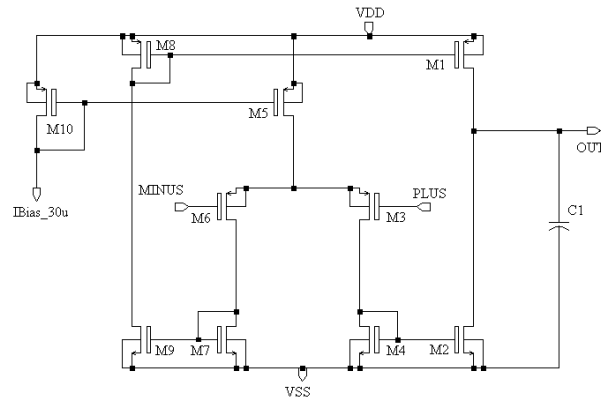


Figura 3.7.4: Esquemático do SS_OPAMP.

3.8 Lógica de acionamento + *dead-time* (DT).

A Figura 3.8.1 ilustra o esquemático do circuito para uma das N células do conversor. Quando IN estiver em nível lógico baixo, tem-se HS também em baixo. Assim, INV5 vai para alto, acionando M₁₀, iniciando-se a carga de C₁, com a corrente dada por IBias_10u. Após a carga de C₁, tem-se LS em alto. Contrariamente, para IN em alto, M₁₁ impõe nível baixo para LS. Ao mesmo tempo, C₂ começa a ser carregado através de IBias_10u. Após sua carga, HS vai a alto. O tempo de carga dos capacitores proporciona o tempo morto necessário para o correto acionamento dos comutadores. A Figura 3.8.2 mostra o esquemático completo do bloco DT

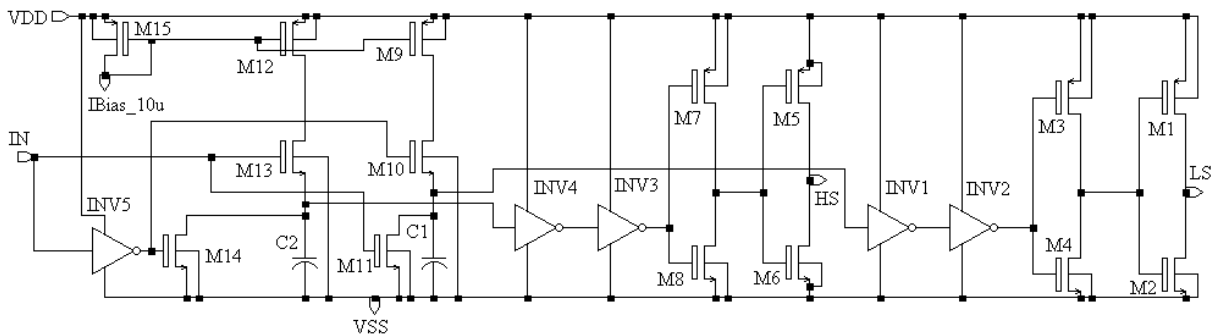


Figura 3.8.1: Diagrama do DT para HS e LS.

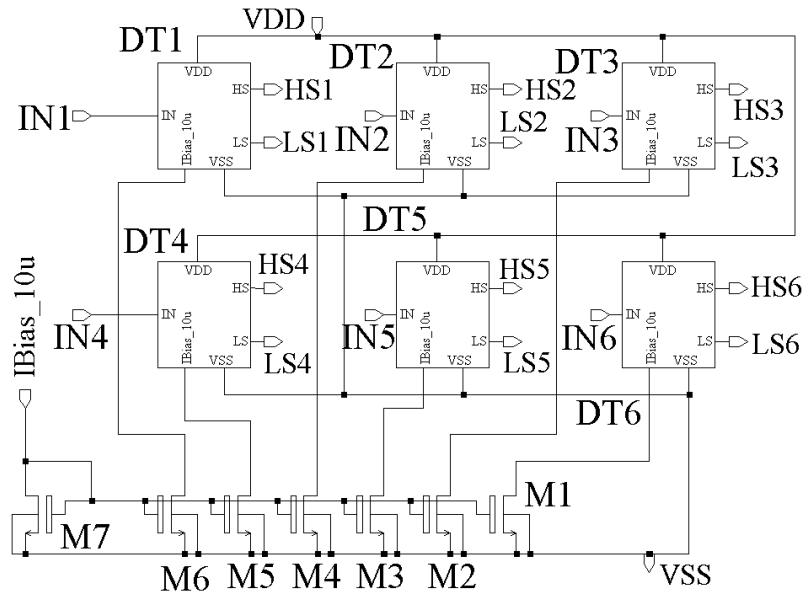


Figura 3.8.2: Esquemático completo do bloco DT.

3.9 Gerador das Correntes de Polarização - GCP.

O bloco GCP é o responsável pela alimentação dos diversos blocos que necessitam de uma referência de corrente, no caso, $30\mu\text{A}$. Os espelhos podem ser simples pelo fato de a alimentação desses blocos não ser crítica, já que cada um deles faz seu próprio espelhamento aos seus respectivos nós. A Figura 3.9.1 mostra o esquemático deste bloco.

Os geradores são compostos por sete drenos e duas fontes de corrente, a saber:

- Um dreno para cada comparador, totalizando seis.
- Um dreno para o opamp do CFREQ.
- Uma fonte para o SS.
- Uma fonte para o circuito SSUB.

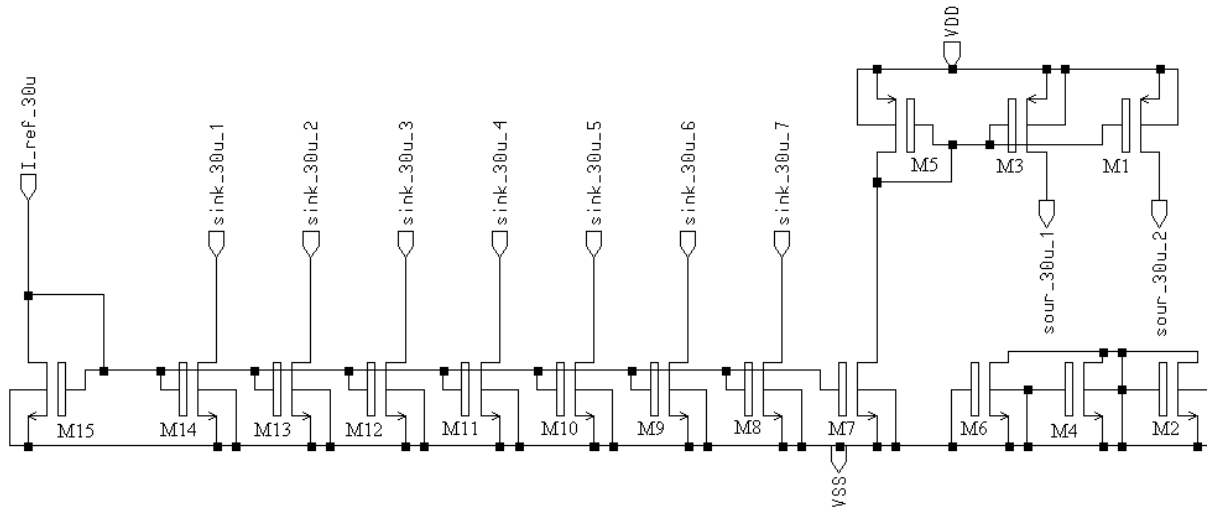


Figura 3.9.1: Diagrama do GCP.

3.10 Regulador.

O regulador, compreendendo os blocos descritos anteriormente, e componentes adicionais para reduzir o consumo quando *reset* estiver em nível lógico alto, tem seu esquemático mostrado na Figura 3.10.1. Também, são inseridos amplificadores operacionais, em configuração *buffer*, para monitoramento de nós críticos durante a caracterização experimental. O esquemático da figura 3.10.1 é a representação completa dos blocos que foram integrados e que são mostrados na Figura 3.1.1.

M₁ e M₃ colocam o GCP em alta impedância, cortando a entrada da corrente $I_{IN} = 30\mu A$, e desligando o sistema quando *reset* está em nível alto. Assim, todas as saídas LS são colocadas em nível alto, para garantir que $V_{LOAD} = VSS$, acompanhando corretamente V_{SS_OUT} . Os transistores M₂, M₄ - M₁₀ espelham IBias_30u, alimentando o GCP e os *buffers*. A Tabela 4.10.1 lista os *pads* do regulador, com uma breve descrição de cada um.

49

Tabela 3.10.1: Lista de *pads* do regulador, com descrição de cada um.

PAD nº	nome	descrição
1	LS5	saída para acionamento do comutador LS da célula 5
2	HS4	saída para acionamento do comutador HS da célula 4
3	LS4	saída para acionamento do comutador LS da célula 4
4	soft_start_out	saída bufferizada do circuito de partida suave
5	error_amp_out	saída do circuito amplificador de erro
6	IBias_10u	polarização em corrente com valor típico de 10uA
7	IBias_30u	polarização em corrente com valor típico de 30uA
8	in_minus_adder	entrada negativa do circuito somador/subtrator
9	in_minus_compensation	entrada negativa do circuito de compensação em frequência
10	comparators_in_plus	entrada positiva dos comparadores com histerese
11	VSS	terra do sistema
12	reset	inicia o sistema. Ativo em nível alto.
13	IBias_1u	polarização em corrente com valor típico de 1uA
14	clk_2meg	entrada de sinal quadrado com frequência de 2MHz (máx)
15	out_ramp1	saída de sinal do gerador de rampa correspondente a célula 1
16	out_comp1	saída do comparador com histerese da célula 1
17	compensation_adder_out	saída do circuito somador/subtrator
18	Vref	entrada da tensão de referência, entre 0,8 e 1,6V
19	HS2	saída para acionamento do comutador HS da célula 2
20	LS2	saída para acionamento do comutador LS da célula 2
21	HS1	saída para acionamento do comutador HS da célula 1
22	LS1	saída para acionamento do comutador LS da célula 1
23	HS3	saída para acionamento do comutador HS da célula 3
24	LS3	saída para acionamento do comutador LS da célula 3
25	VDD	entrada de alimentação de 5V
26	HS6	saída para acionamento do comutador HS da célula 6
27	LS6	saída para acionamento do comutador LS da célula 6
28	HS5	saída para acionamento do comutador HS da célula 5

Capítulo 4

Resultados de Simulação.

Nesta seção são mostrados os resultados típicos de simulação dos blocos projetados no Capítulo 3. Todas as dimensões de canal dos transistores são expressas em μm .

4.1 OPAMP.

As Figuras 4.1.1 e 4.1.2 mostram as análises típicas AC e DC, respectivamente, obtidas do circuito. O ganho típico em malha aberta vale $76,4\text{dB}$ @ $V_{\text{CM}} = 1\text{V}$, enquanto que o *offset* máximo é de 10mV @ $V_{\text{IN}} = 2,9\text{V}$, e a margem de fase vale $43,5^\circ$. A excursão máxima de sinal vai de 0 a $2,9\text{V}$, bem acima dos $1,6\text{V}$ especificados. A carga utilizada para esta simulação é um resistor de $1\text{k}\Omega$, em paralelo com um capacitor de 45pF , estimado como a soma de 20pF da PCB, 20pF da ponta de prova do osciloscópio e mais 5pF de capacitância do *pad* de saída. Esta carga foi considerada para verificar se o opamp é capaz de fornecer correntes da ordem de mA . Então, para a carga em questão, considerando a tensão de alimentação do chip, $V_{\text{DD_CHIP}} = 5\text{V}$, a corrente máxima de saída seria de 5mA se este bloco fosse *rail to rail*. Esta medida é importante para saber se o opamp é capaz de alimentar cargas capacitivas elevadas, já que a malha de compensação do bloco CFREQ possui capacitores da ordem de nF . A Tabela 4.1.1 mostra a razão de aspecto dos transistores utilizados.

Para verificar se o opamp está funcionando corretamente quando inserido no regulador, tem-se o esquemático da Figura 4.1.3, baseado em [24]. Nela, inclui-se no opamp a função de transferência da equação (3.2) e a malha de realimentação de CFREQ, ambas determinadas na seção 3.2. Não é necessária a utilização de SSUB, já que esta análise apenas considera o regime de operação permanente do regulador [24]. Fazendo a análise AC deste esquemático é possível extrair o valor de f_{CFREQ} e de α e compará-los com o que foi calculado na seção 3.2. L_{DECOUP} é utilizado para garantir o ponto de polarização DC do opamp e C_{COUP} tem a função de acoplar apenas o sinal AC da fonte v_{IN} , ligada de maneira a se extrair a função de transferência do regulador. A Figura 4.1.4 mostra o resultado obtido para esta simulação. A partir da Figura 4.1.4,

tem-se que o ganho em $f_{CFREQ} = 60\text{kHz}$ é de $-0,25\text{dB}$. Para α , considera-se seu módulo, sendo este igual a $141,4^\circ$. Da seção 3.2, o ganho em f_{CFREQ} é 0dB e $\alpha = 136^\circ$. O comportamento mostrado na Figura 4.1.4 é semelhante a exemplos mostrados em [24], logo, conclui-se que o opamp está funcionando corretamente para esta condição. Como o ganho do regulador diminui com a frequência, caso houver inversão de fase do opamp em uma frequência maior que f_{CFREQ} , esta não causa influência no desempenho do regulador, pois o ganho deste será abaixo da unidade. Assim, o regulador ainda se mantém estável caso esta hipótese ocorra.

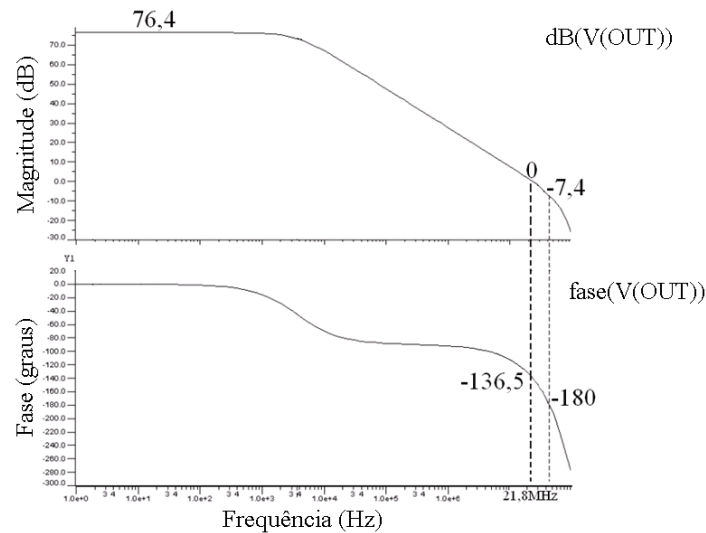


Figura 4.1.1: Análise AC típica do opamp.

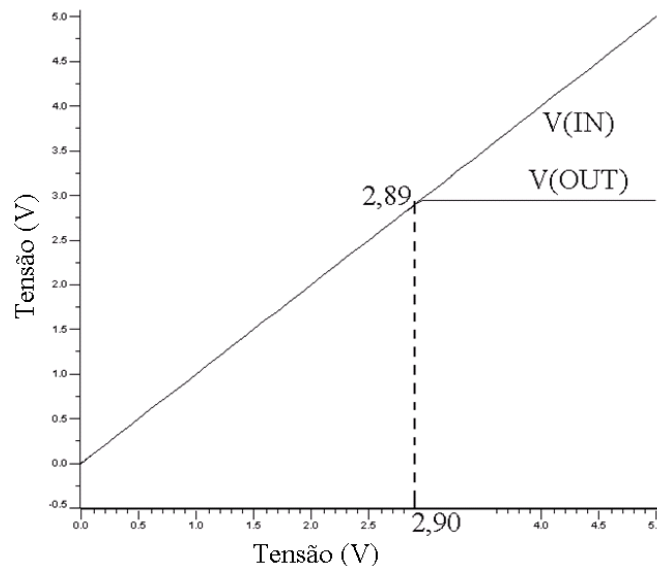


Figura 4.1.2: Análise DC do bloco opamp.

$$FT = \frac{\{Vin\} \{Ro\} (1 + s \{C\} \{Ro\} \{ESRc\})}{(\{L\} / \{N\}) \{C\} (\{Ro\} + \{ESRc\}) * s * s + s \{C\} ((\{ESRL\} / \{N\}) \{Ro\} + \{ESRc\} (\{ESRL\} / \{N\}) + \{ESRc\} \{Ro\}) + (\{L\} / \{N\}) + \{Ro\}}$$

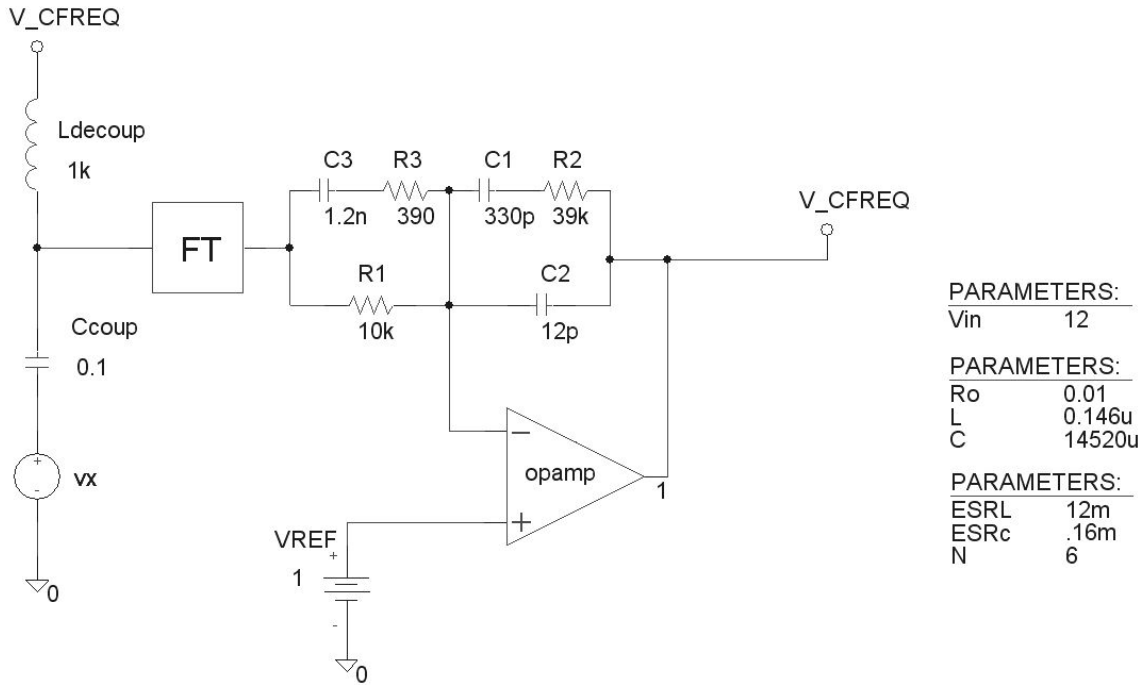


Figura 4.1.3: Esquemático para análise AC do opamp inserido no regulador.

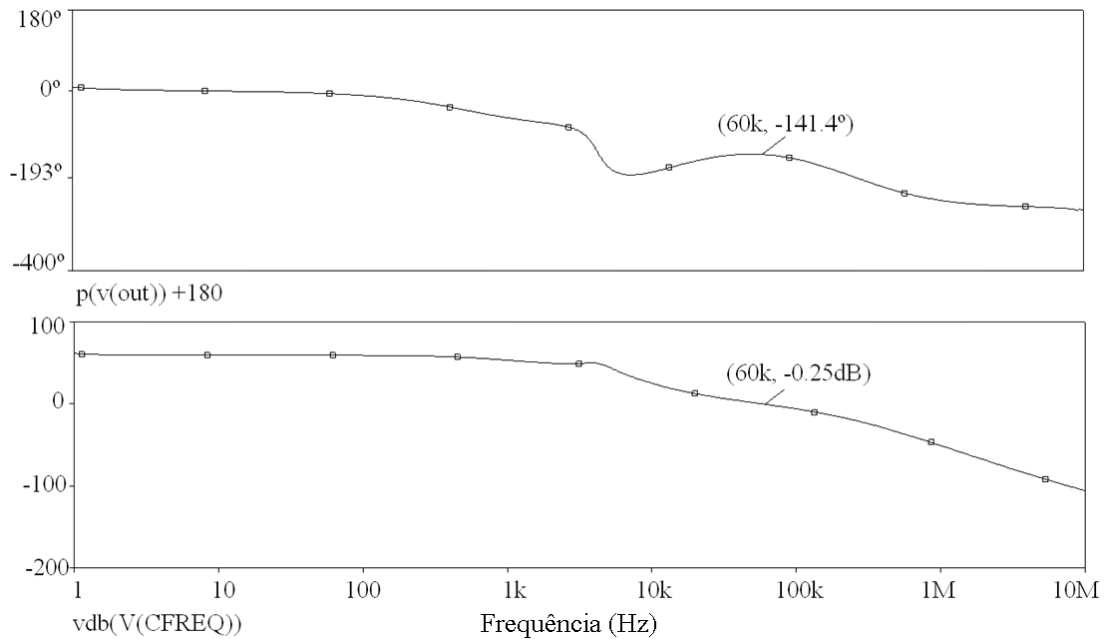


Figura 4.1.4: Análise AC para o opamp inserido no regulador.

Tabela 4.1.1: RA (μm) dos componentes do opamp.

componente	(W/L)	componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	120/1	M14	4/4	M27	8/3	M40	10/5
M2	40/1	M15	8/3	M28	9/3	M41	10/5
M3	0,6/1,5	M16	8/3	M29	18/3	M42	10/5
M4	0,6/1,5	M17	9/3	M30	9/3	M43	10/10
M5	10/5	M18	18/3	M31	9/3	M44	10/5
M6	20/2	M19	40/1,2	M32	10/5	M45	4/8
M7	40/1	M20	8/3	M33	9/3	M46	10/5
M8	20/2	M21	8/3	M34	4/4	M47	10/5
M9	60/2	M22	40/1,2	M35	4/4	M48	10/5
M10	120/1	M23	10/5	M36	8/3	M49	10/5
M11	60/2	M24	10/5	M37	8/3		
M12	10/5	M25	40/1,2	M38	10/5	componente	valor
M13	4/4	M26	40/1,2	M39	8/6	C1 = C2	0,35pF

4.2 Comparador.

A Figura 4.2.1 mostra o resultado típico de simulação da histerese do comparador. Tipicamente, obteve-se $V_{\text{HIST}} = 32,92\text{mV}$ @ $V_{\text{CM}} = 100\text{mV}$. A Tabela 4.2.1 mostra o dimensionamento dos transistores utilizados

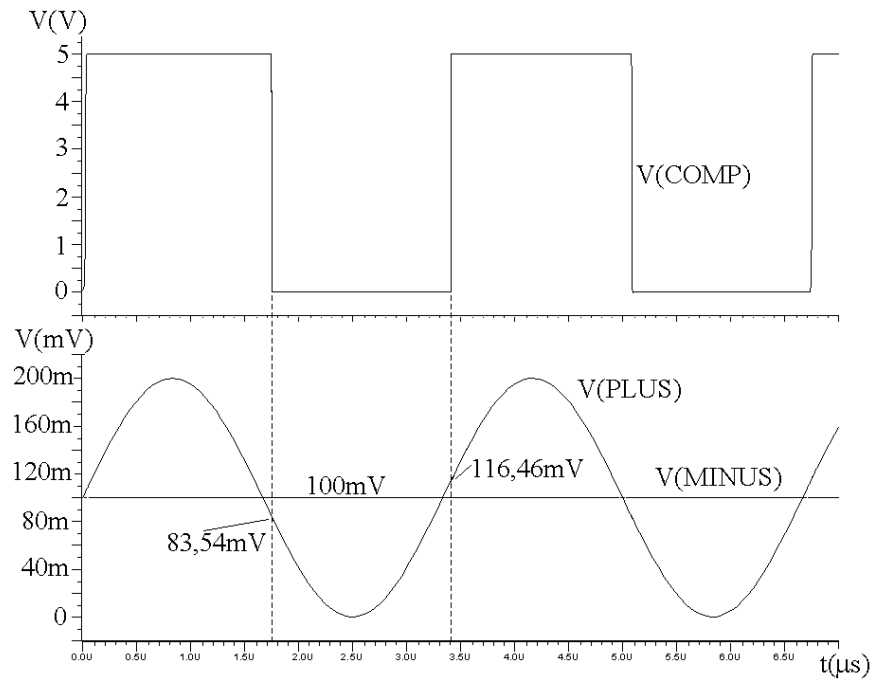
Figura 4.2.1: Forma de onda de V_{COMP} .

Tabela 4.2.1: Dimensionamento dos transistores do comparador

componente	(W/L)	componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	4/1	M6	10/0,9	M11	10/0,9	M16	4/1
M2	10/9	M7	40/0,9	M12	40/0,9	M17	10/0,9
M3	6/2	M8	10/0,9	M13	10/0,9	M18	6/2
M4	8/3	M9	6/2	M14	6/2		
M5	40/0,9	M10	40/0,9	M15	8/3		

4.3 Somador/Subtrator.

A Figura 4.3.1 mostra a simulação típica do bloco SSUB. As polarizações das entradas foram impostas em $V_A = 250\text{mV}$, $0,78\text{V} < V_B < 0,82\text{V}$, simulando um transiente de carga, e $V_C = 800\text{mV}$, seu valor mínimo. Os resultados nominais para a saída $V(\text{SSUB})$ são 250mV , 350mV e 150mV para $V_B = V_C$, $V_B - V_C = 20\text{mV}$ e $V_B - V_C = -20\text{mV}$, respectivamente, com erros percentuais de 2,72%, 1,51% e 5,7%. A Tabela 4.3.1 lista o dimensionamento dos transistores utilizados nesse bloco.

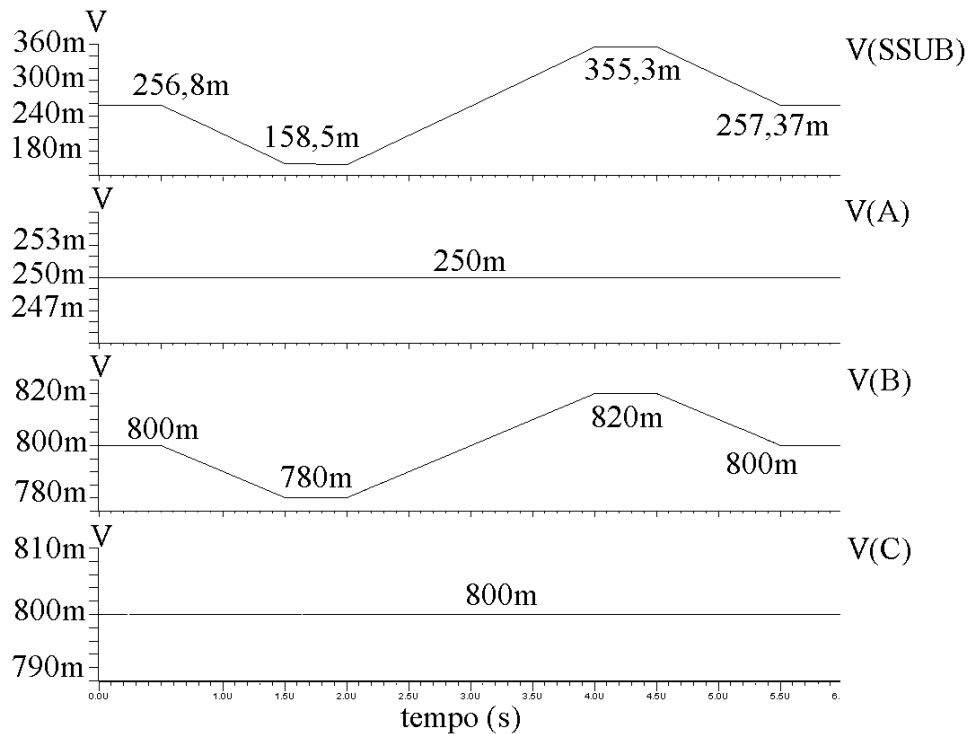


Figura 4.3.1: Resultado típico de simulação do SSUB.

Tabela 4.3.1: RA (μm) dos componentes do SSUB.

componente	(W/L)	componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	10/2	M13	12/2	M25	50/0,5	M37	10/2
M2	14/2	M14	12/2	M26	10/2	M38	8/1,5
M3	14/2	M15	14/8	M27	16/8	M39	10/2
M4	50/0,5	M16	12/2	M28	20/2	M40	16/12
M5	14/2	M17	12/2	M29	16/3	M41	10/2
M6	14/2	M18	16/2	M30	16/3	M42	10/2
M7	12/8	M19	16/2	M31	20/2		
M8	8/1,5	M20	10/2	M32	16/3		
M9	12/2	M21	16/2	M33	16/3		
M10	12/2	M22	16/2	M34	50/0,5	componente	valor
M11	8/1,5	M23	16/2	M35	10/2	R1 ~ R42	W=2, L=20 R = 13,3k Ω
M12	10/2	M24	16/2	M36	8/1,5		

4.4 Gerador de rampa.

A Figura 4.4.1 mostra a simulação típica para o bloco GR e, na Tabela 4.4.1, tem-se o dimensionamento dos dispositivos utilizados. Os FF's e as portas lógicas operaram corretamente em todas as simulações de variação de processo, com alteração apenas de centenas de pico segundos no tempo de propagação, não influenciando no desempenho do GR.

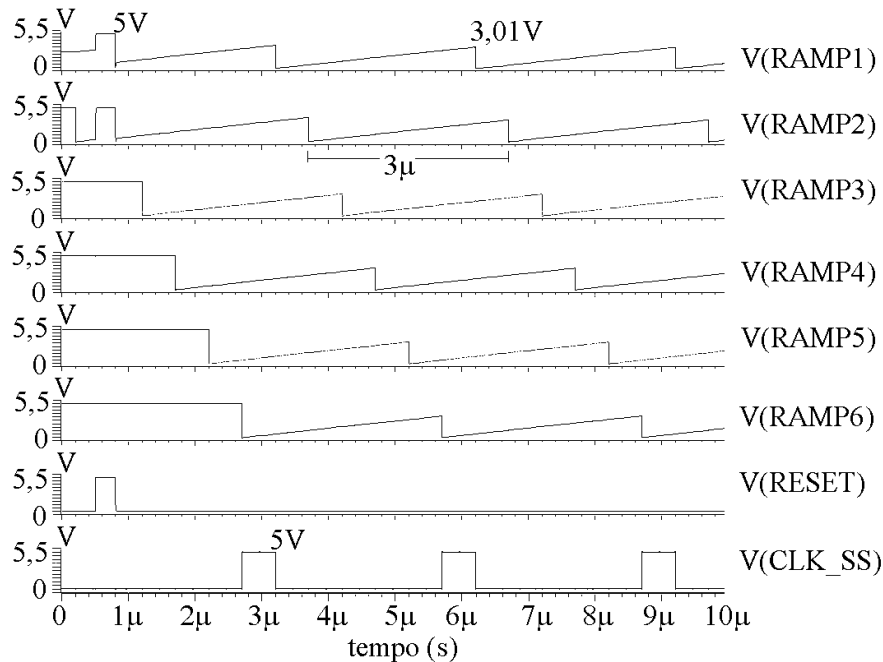


Figura 4.4.1: Formas de onda típicas do GR.

Tabela 4.4.1: RA (μm) dos componentes do bloco GR.

componente	(W/L)	componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	6/5	M9	18/5	M17	18/5	M25	18/5
M2	30/0,5	M10	10/2	M18	10/2	M26	10/2
M3	18/5	M11	6/5	M19	6/5	M27	5/0,5
M4	10/2	M12	30/0,5	M20	30/0,5	M28	10/2
M5	10/2	M13	18/5	M21	18/5		
M6	10/2	M14	10/2	M22	10/2		
M7	6/5	M15	6/5	M23	6/5	componente	valor
M8	30/0,5	M16	30/0,5	M24	30/0,5	C1 ~C36	0,15pF

4.5 Soft-Start.

A Figura 4.5.1 mostra a simulação típica do SS @ $V_{\text{REF}} = 1,6\text{V}$. A Tabela 4.5.1 mostra a razão de aspecto de todos os transistores, resistores e do capacitor utilizados no SS. O sinal de *clock* tem período de $3\mu\text{s}$, e V_{REF} atinge $1,6\text{V}$ em $768\mu\text{s}$.

A Tabela 4.5.2 lista as características elétricas típicas do bloco SS_OPAMP, considerando-se $V_{\text{CM}} = 1\text{V}$, e C_{LOAD} como sendo um transistor NMOSM com razão de aspecto de $(50\mu\text{m}/3\mu\text{m})$. A Tabela 4.5.3 mostra o dimensionamento dos componentes do SS_OPAMP.

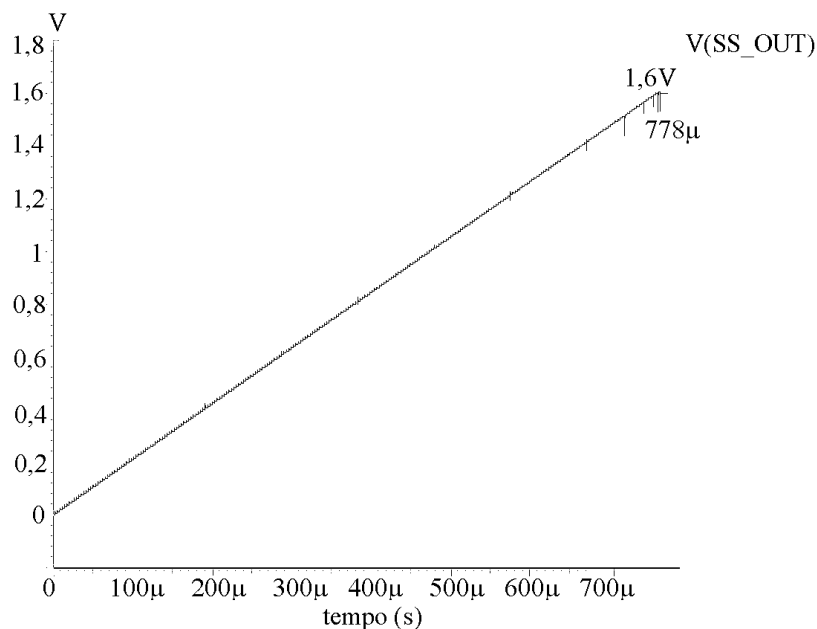


Figura 4.5.1: Tensão à saída do bloco SS.

Tabela 4.5.1: Características típicas do SS_OPAMP.

característica	valor	unidade
ganho em malha aberta	48,7	dB
frequência de transição	48,8	MHz
margem de fase	34	graus
margem de ganho	26,6	dB
excursão máx. entrada	0,3 ~ 4,4	V

Tabela 4.5.2: RA (μm) dos componentes do SS_OPAMP.

componente	(W/L)	componente	(W/L)
M1	120/1	M8	4/4
M2	40/1	M9	8/3
M3	0,6/1,5	M10	8/3
M4	0,6/1,5		
M5	10/5		
M6	20/2	componente	valor
M7	40/1	C1	0,1pF

Tabela 4.5.3: RA (μm) dos dispositivos do *soft-start*.

componente	(W/L)	componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	6/2	M33	6/2	M65	8/2	M97	5/0,5
M2	6/2	M34	4/2	M66	15/0,5	M98	5/0,5
M3	2/0,5	M35	4/2	M67	11/2	M99	16/7
M4	6/2	M36	6/2	M68	11/2	M100	15/0,5
M5	6/2	M37	6/2	M69	6/2	M101	50/0,5
M6	4/2	M38	15/0,5	M70	6/2	M102	5/0,5
M7	4/2	M39	4/2	M71	11/2	M103	10/2
M8	6/2	M40	4/2	M72	11/2	M104	5/0,5
M9	6/2	M41	6/2	M73	5/0,5	M105	15/0,5
M10	15/0,5	M42	6/2	M74	11/2	M106	10/2
M11	6/2	M43	6/2	M75	11/2	M107	15/0,5
M12	6/2	M44	6/2	M76	8/2	M108	15/0,5
M13	4/2	M45	2/0,5	M77	8/2	M109	15/0,5
M14	4/2	M46	6/2	M78	11/2	M110	15/0,5
M15	6/2	M47	6/2	M79	11/2	M111	5/0,5
M16	6/2	M48	4/2	M80	15/0,5	M112	5/0,5
M17	2/0,5	M49	4/2	M81	8/2	M113	5/0,5
M18	6/2	M50	6/2	M82	8/2	M114	5/0,5
M19	6/2	M51	6/2	M83	16/2	M115	5/0,5
M20	4/2	M52	15/0,5	M84	16/2	M116	5/0,5
M21	4/2	M53	8/2	M85	16/2	M117	5/0,5
M22	6/2	M54	8/2	M86	16/2	M118	5/0,5
M23	6/2	M55	4/2	M87	5/0,5	M119	15/0,5
M24	15/0,5	M56	4/2	M88	16/2	M120	15/0,5
M25	4/2	M57	8/2	M89	16/2	M121	15/0,5
M26	4/2	M58	8/2	M90	12/4	M122	15/0,5
M27	6/2	M59	2/0,5	M91	16/2	M123	0,5/20
M28	6/2	M60	8/2	M92	16/2	M124	10/0,5
M29	6/2	M61	8/2	M93	15/0,5		
M30	6/2	M62	6/2	M94	12/4	componente	valor
M31	2/0,5	M63	6/2	M95	16/7	R1, R2, R3	l=50, w=2, R = 33,3kΩ
M32	6/2	M64	8/2	M96	16/7		

4.6 Dead-Time.

A Figura 4.6.1 mostra uma simulação típica obtida para o bloco DT. O transistor HS é acionado 144,2ns depois do desligamento de LS, enquanto que LS liga 153,8ns depois que HS desliga. O valor do tempo morto pode ser alterado modificando-se IBias_10u, de maneira a prever variações do processo de fabricação. A Tabela 4.6.1 mostra o dimensionamento dos componentes utilizados nesse bloco.

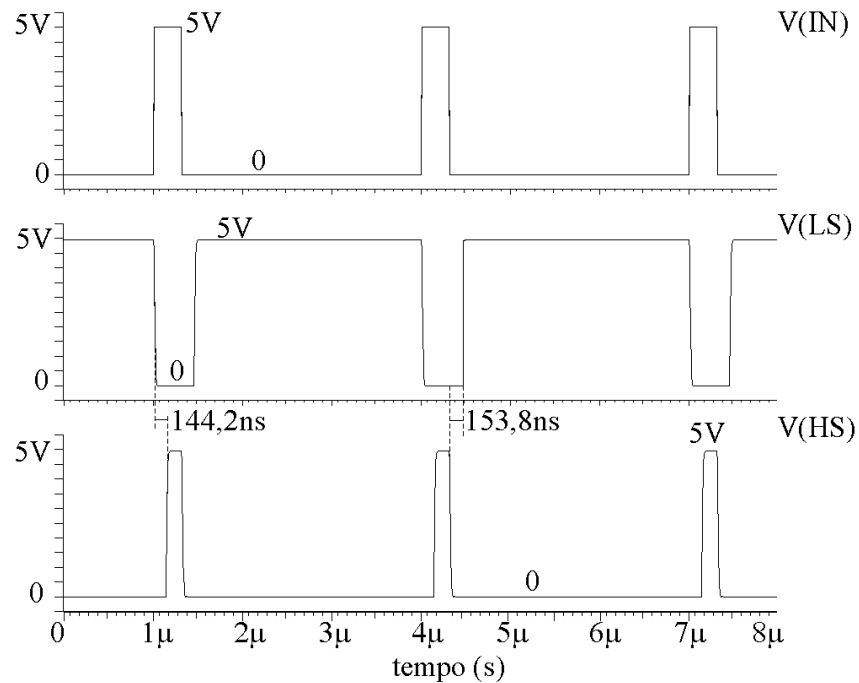


Figura 4.6.1: Simulação típica do DT para HS e LS.

Tabela 4.6.1: RA (μm) dos dispositivos do DT.

componente	(W/L)	componente	(W/L)	componente	(W/L)
M1	150/0,5	M7	60/0,5	M13	10/0,5
M2	50/0,5	M8	20/0,5	M14	10/0,5
M3	60/0,5	M9	8/2	M15	8/2
M4	20/0,5	M10	10/0,5		
M5	150/0,5	M11	10/0,5	componente	valor
M6	50/0,5	M12	8/2	C1, C2	16/3

4.7 Gerador das Correntes de Polarização.

Os resultados de simulação, incluindo variação de processo, mostraram que as tensões de dreno-fonte V_{DS} de M_8 a M_{14} , e fonte-dreno V_{SD} de M_1 e M_3 (Figura 3.9.1), devem possuir no mínimo 100mV e 200mV, respectivamente, para mantê-los saturados. Os transistores N e P possuem razão de aspecto ($10\mu\text{m}/4\mu\text{m}$) e ($10\mu\text{m}/5\mu\text{m}$), respectivamente.

4.8 Simulação *Post-Layout* do Regulador.

Esta seção detalha a simulação do regulador após o término do *layout*, já com a extração das componentes parasitas. Duas simulações são analisadas para confirmar a importância do bloco SSUB na redução da ondulação em V_{LOAD} : i) *sim1*, sem a inclusão desse bloco e ii) *sim2*, incluindo-o. Ambas simulações foram feitas em PSPICE, a partir de *netlist* gerado no Mentor Graphics. Os dispositivos HS e LS foram modelados como chaves ideais existentes neste simulador, tendo um diodo ligado em paralelo para simular o diodo de backbody do seu respectivo comutador, com o objetivo de melhorar a convergência durante a análise transiente. A Figura 4.8.1 mostra o esquemático utilizado, estando o *chip* configurado para operar com o bloco SSUB. Para simular o regulador sem o referido bloco, interconectam-se os pinos 5 e 10, deixando o pino 17 em aberto. Assim, V_{OUT_SSUB} não é aplicado à malha de realimentação do regulador.

Nas Figuras 4.8.2 e 4.8.3, tem-se as formas de onda de V_{LOAD} em função de I_{LOAD} , sem e com o SSUB, respectivamente. Foi utilizado como carga uma fonte de corrente indo de 0 a 100A em $1\mu\text{s}$. Os correspondentes valores de V_{OND_LOAD} são 32,564mV e 24,263mV, o que comprova a funcionalidade deste bloco, já que houve uma redução de V_{OND_LOAD} em 25,5% com sua inclusão no regulador. A Tabela 4.8.1 mostra as dimensões dos transistores M_1 - M_{10} , baseado na Figura 3.10.1.

Tabela 4.8.1: RA (μm) de M_1 - M_{10} do regulador.

componente	(W/L)	componente	(W/L)
M1	10/3	M6	10/3
M2	10/2	M7	10/3
M3	10/0,5	M8	10/3
M4	10/2	M9	10/3
M5	10/2	M10	10/3

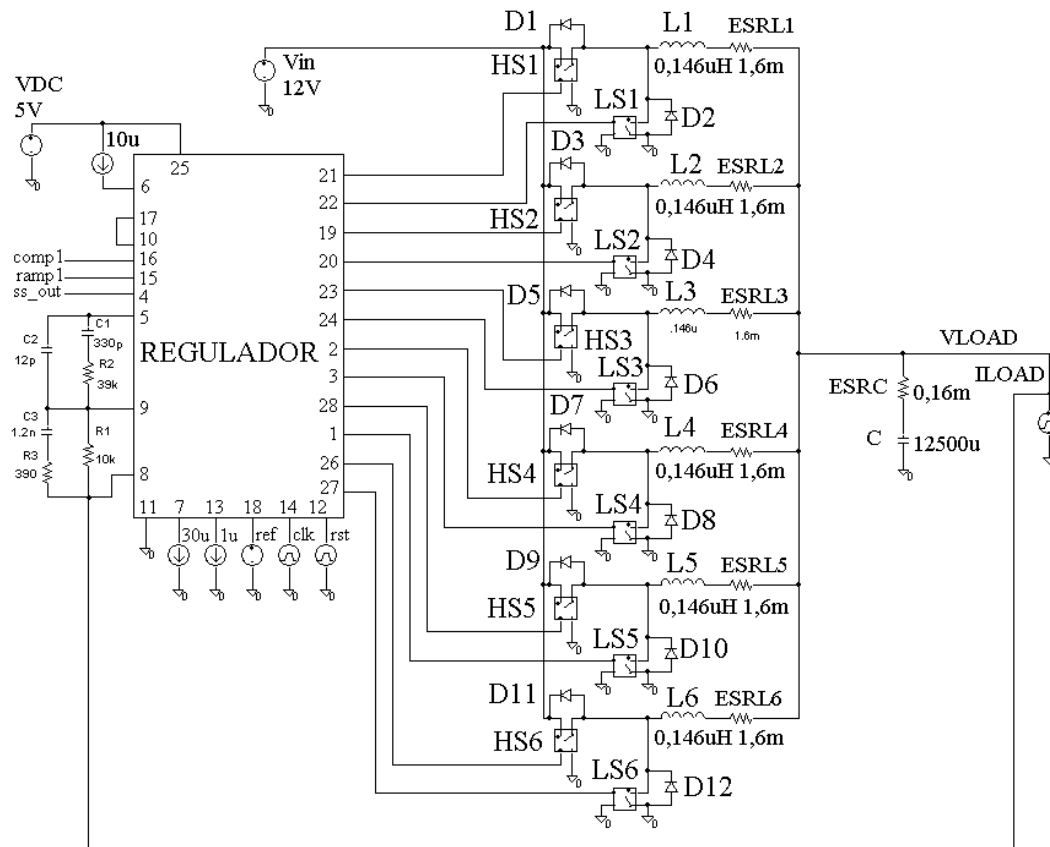


Figura 4.8.1: Esquemático do regulador para simulação *post-layout*.

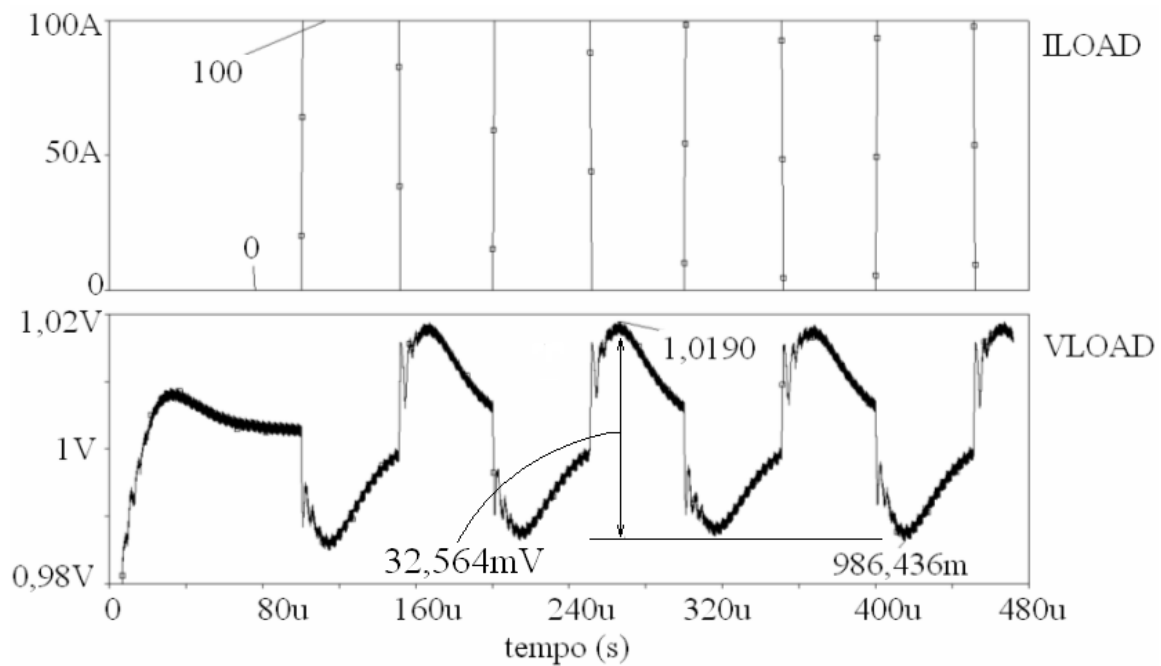


Figura 4.8.2: Ondulação em V_{LOAD} sem a inclusão de SSUB.

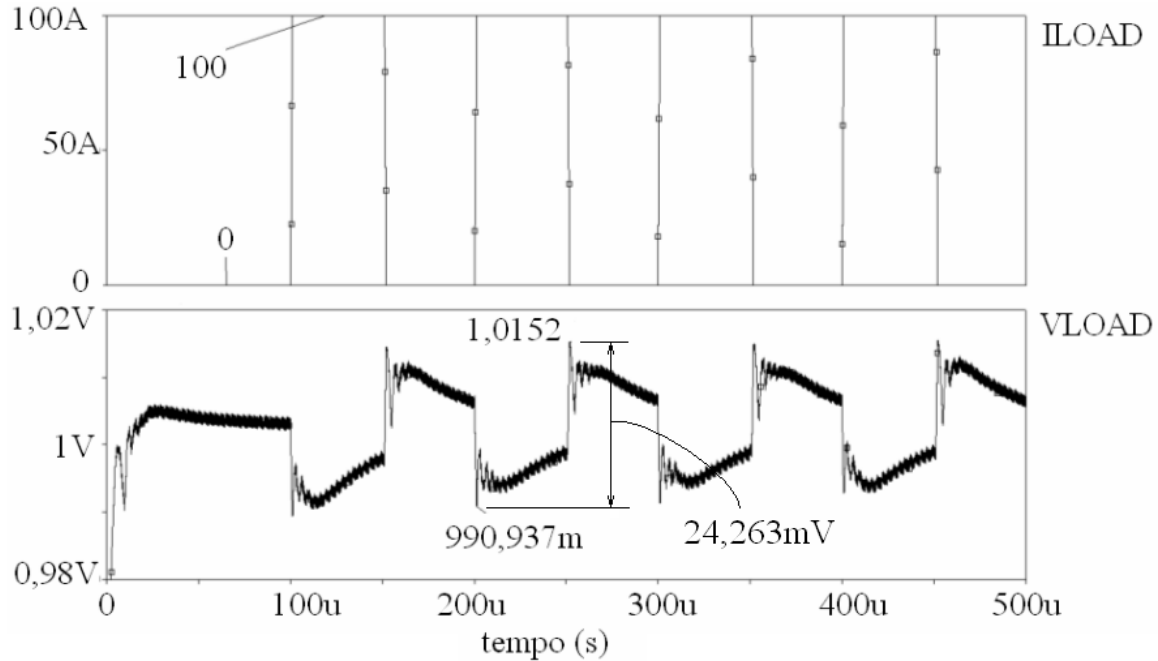


Figura 4.8.3: Ondulação em V_{LOAD} com a inclusão de SSUB.

Da literatura, tem-se alguns exemplos de valores de V_{OND_LOAD} para conversores CMF, embora não seja possível estabelecer uma comparação direta com este trabalho, já que as condições utilizadas de carga são diferentes. De [27] e de [28], tem-se $V_{OND_LOAD} = 50\text{mV}$, para I_{LOAD} variando de 0 a 20A com um SR de $1000\text{A}/\mu\text{s}$ em [27] e I_{LOAD} variando de 4 a 6A em $20\mu\text{s}$ em [28]. Uma comparação direta só é possível se as mesmas condições de carga forem utilizadas, ou seja, mesmo valor inicial e final do degrau de corrente, além de um mesmo SR. Em relação a chips comerciais, tem-se como exemplo os componentes MAX5037 da *Maxim*, LTC3730, da *Linear Technology* e CS5301 da *On Semiconductor* [29 – 31]. Cada fabricante especifica um valor para I_{LOAD_MAX} , I_{LOAD_MIN} e SR, logo, uma comparação direta também não é possível de se fazer. Porém, o valor de V_{OND_LOAD} verificado para todos os exemplos também é da ordem de mV. Logo, o regulador apresentado neste trabalho possui comportamento semelhante aos existentes, tanto na literatura quanto comercialmente.

Capítulo 5.

Resultados Experimentais.

Nessa seção serão apresentados e discutidos os resultados experimentais de caracterização do conversor DC/DC multi-fase, integrado através do PMU FAPESP.

A Figura 5.1 mostra a fotografia do chip. Os blocos opamp, comparador, SSUB, GR, SS e DT foram individualmente testados, e depois, interligados para se caracterizar o regulador, inserindo-se os circuitos DLS, DHS, seus respectivos indutores e C_{LOAD} .

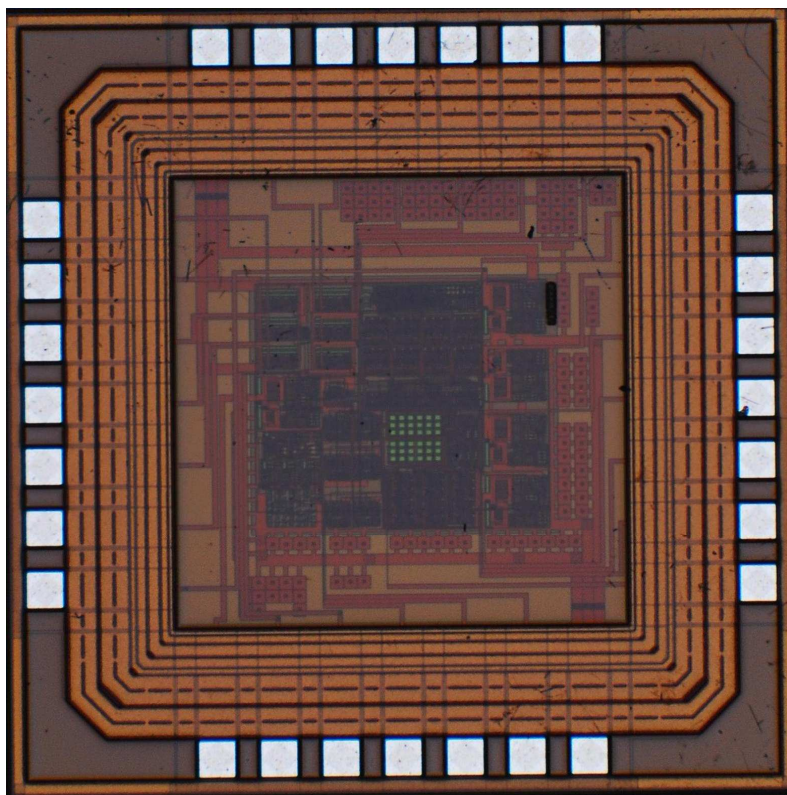


Figura 5.1: Fotografia do chip fabricado. (1603 μ m x 1603 μ m).

5.1 Opamp.

Os testes realizados neste bloco foram: resposta em frequência (ganho e fase), excursão DC e tensão de *offset* à entrada. As Figuras 5.1.1 e 5.1.2 mostram os resultados AC e DC,

respectivamente, considerando o opamp em malha aberta, sem a inclusão da malha compensadora em frequência. Utilizou-se $V_{CM} = 1V$ e resistência de carga R_L de $1k\Omega$. O melhor resultado foi obtido para $I_{Bias_30u} = 14\mu A$. Variações no processo de fabricação influenciaram a transcondutância dos transistores do opamp, além de seus respectivos V_T 's, modificando o comportamento DC do bloco, sendo estas as causas de se utilizar uma corrente tão diferente da simulada. O objetivo central do ajuste de I_{Bias_30u} foi obter a melhor excursão DC possível para o opamp. Para a análise AC foi utilizado um analisador de rede (*network analyzer*), com impedância de entrada de 50Ω . Sendo o opamp projetado para operar com $R_L = 1k\Omega$, um estágio de saída precisou ser projetado, sendo escolhida a configuração classe A, por simplicidade. O esquemático da estrutura para análise é mostrado na Figura 5.1.3.

Analisando-se a Figura 5.1.1 percebe-se que a inversão de fase de V_{OUT_OPAMP} ocorreu muito antes do esperado, em uma frequência cujo ganho ainda é positivo. Isso foi causado pela capacitância parasita da PCB ser maior que a estimada em projeto. Uma análise desta capacitância foi feita por simulação, utilizando-se o *netlist post-layout* extraído do *chip*. A fase do opamp inverte antes da frequência de transição f_T para valores de capacitância maiores que $90pF$. A Figura 5.1.4 mostra a fase do opamp atingindo 180° , com ganho ainda positivo. A amplitude do sinal de entrada ao circuito na análise AC é $2,24mV_{RMS}$, o que inviabilizou a medida de ganho em frequências menores do que $40kHz$ devido à grande influência do ruído presente. Pelo fato de a capacitância simulada de $90pF$ causar instabilidade, conclui-se que a margem de fase MF do opamp é fortemente afetada pela capacitância parasita da PCB, não sendo considerado em projeto. O valor medido da MF foi de $43,5^\circ$ e $-73,65^\circ$ em simulação e caracterização, respectivamente. A inversão de fase verificada não influencia o correto funcionamento do regulador, uma vez que o bloco CFREQ possui ganho muito inferior à unidade na frequência que ocorre a inversão de fase do opamp, como explicado na seção 4.1. A frequência de corte do bloco CFREQ (f_{C_CFREQ}) é de $60kHz$ (seção 4.2), enquanto que o opamp inverte a fase de sua saída a $6,8MHz$, duas décadas depois. Este problema apenas irá afetar a precisão do teste individual dos blocos dependentes do opamp em configuração *buffer*, mas isso não impede a validação funcional dos mesmos.

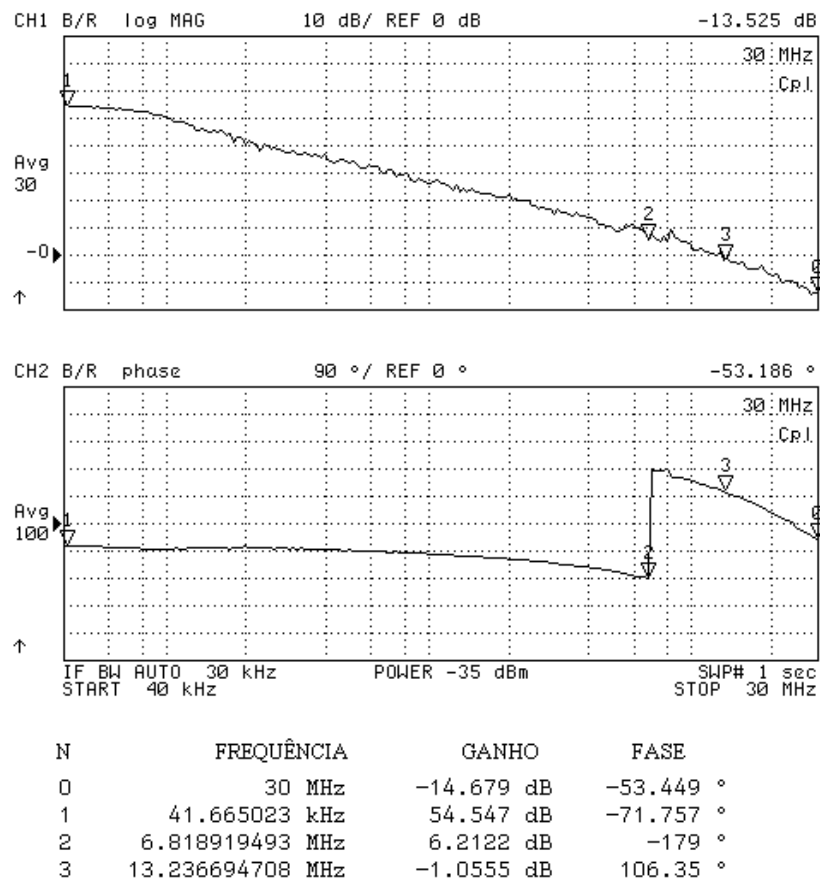


Figura 5.1.1: Resposta em frequência do opamp.

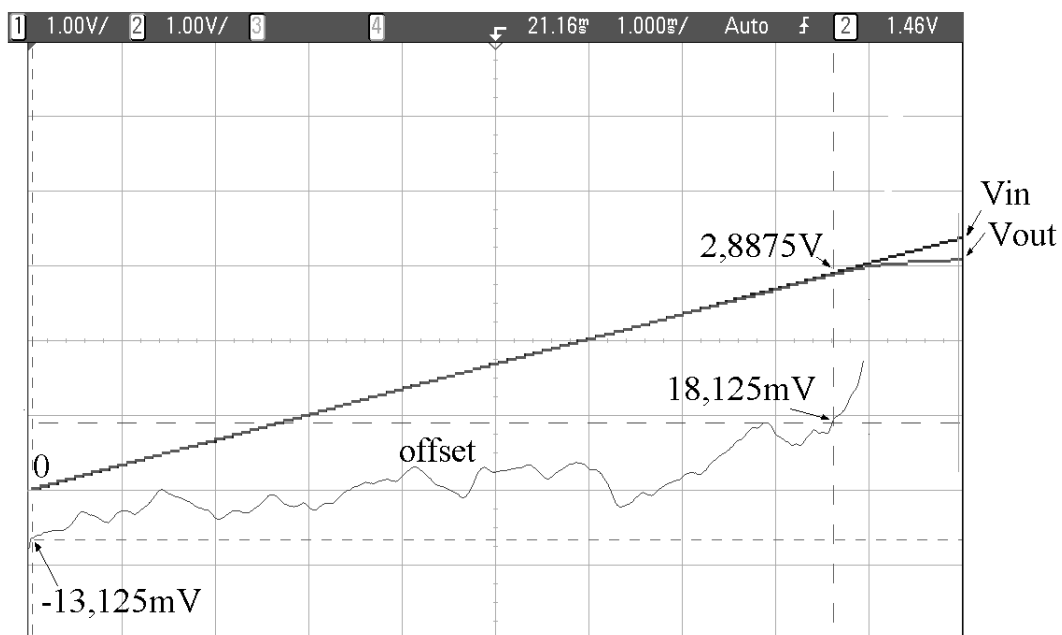


Figura 5.1.2: Excursão DC e análise de *offset* do opamp.

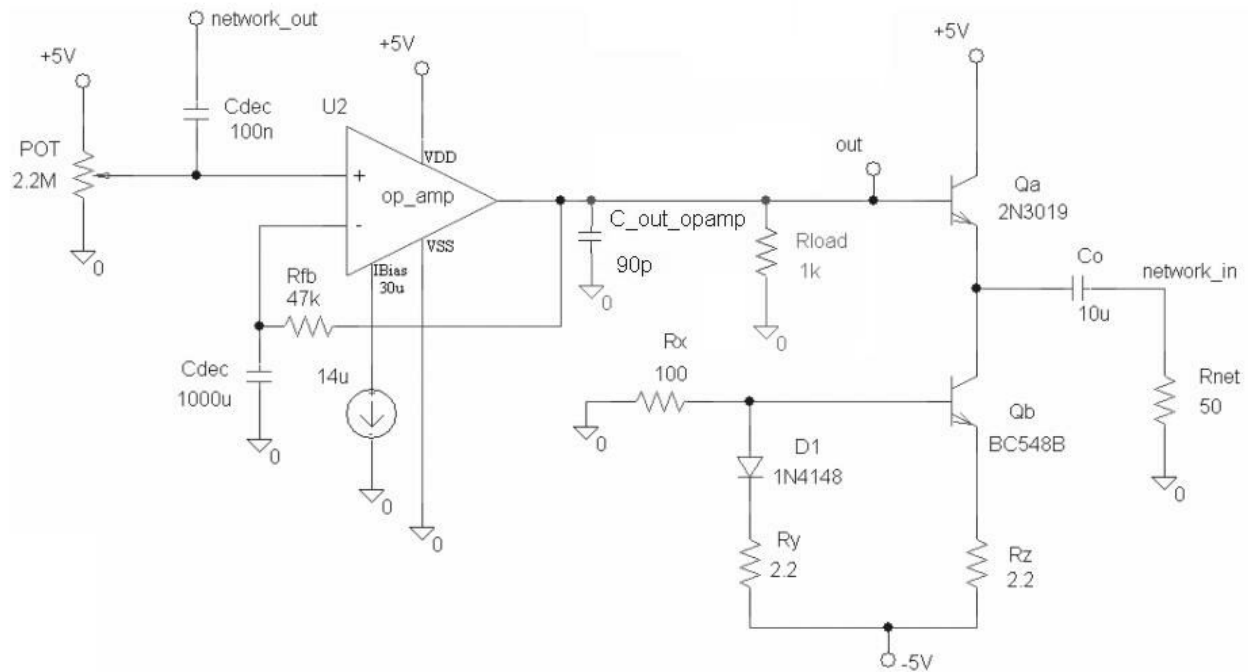


Figura 5.1.3: Estrutura *off-chip* para análise AC do opamp.

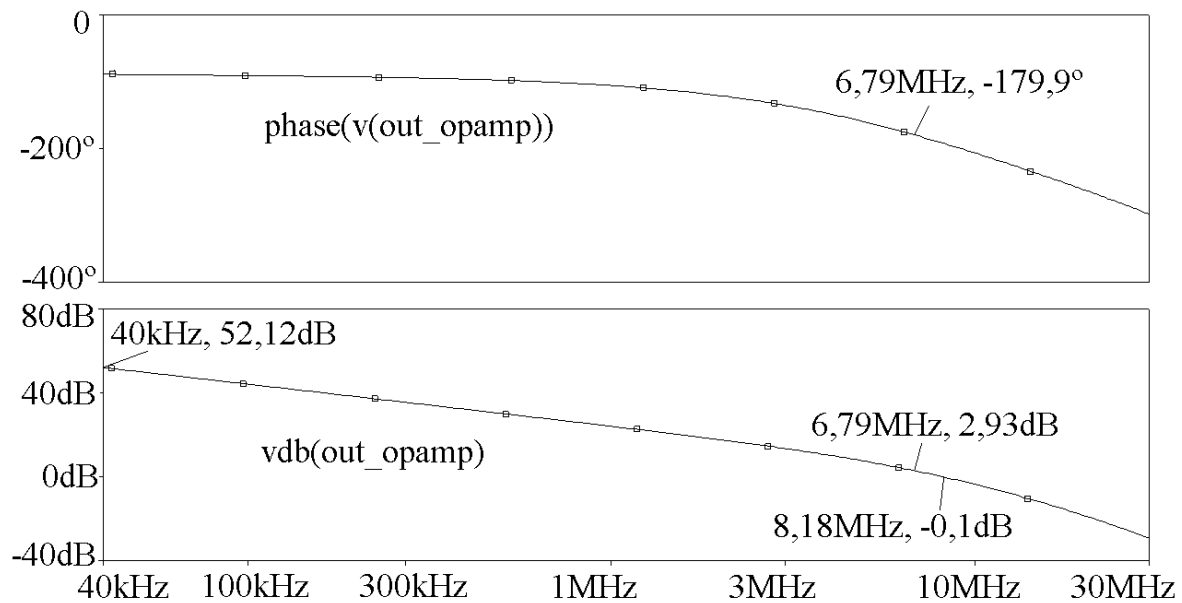


Figura 5.1.4: Análise AC do opamp com $C_{OUT_OPAMP} = 90\text{pF}$.

5.2 Comparador com histerese.

O resultado de caracterização foi obtido para o caso em que se obteve a menor influência de ruído e de eventuais oscilações do sinal medido, visto que a saída do comparador é isolada de seu *pad* através de um *buffer*. O valor de V_{CM} utilizado foi de 0,73V, enquanto que $IBias_30u = 9\mu A$. A Figura 5.2.1 mostra as formas de onda obtidas, com $V_{HIST} = 125mV$.

Para elaboração desta medida foi utilizada uma das rampas geradas internamente ao *chip*, *ramp1*, conectada à entrada não inversora de cada comparador, enquanto que a outra entrada é acessada através do pino 10 (*comparators_in_plus*). O sinal *ramp1* é acessado a partir do pino 15, sendo que há um *buffer* entre a saída do GR e seu respectivo *pad*.

A oscilação verificada pode ser atribuída à instabilidade do *buffer*, mas a mesma não afeta a transição de estado à saída do comparador muda de estado, já que nenhum *jitter* foi detectado. Da Figura 5.2.1, tem-se $V_{HIST} = 125mV$.

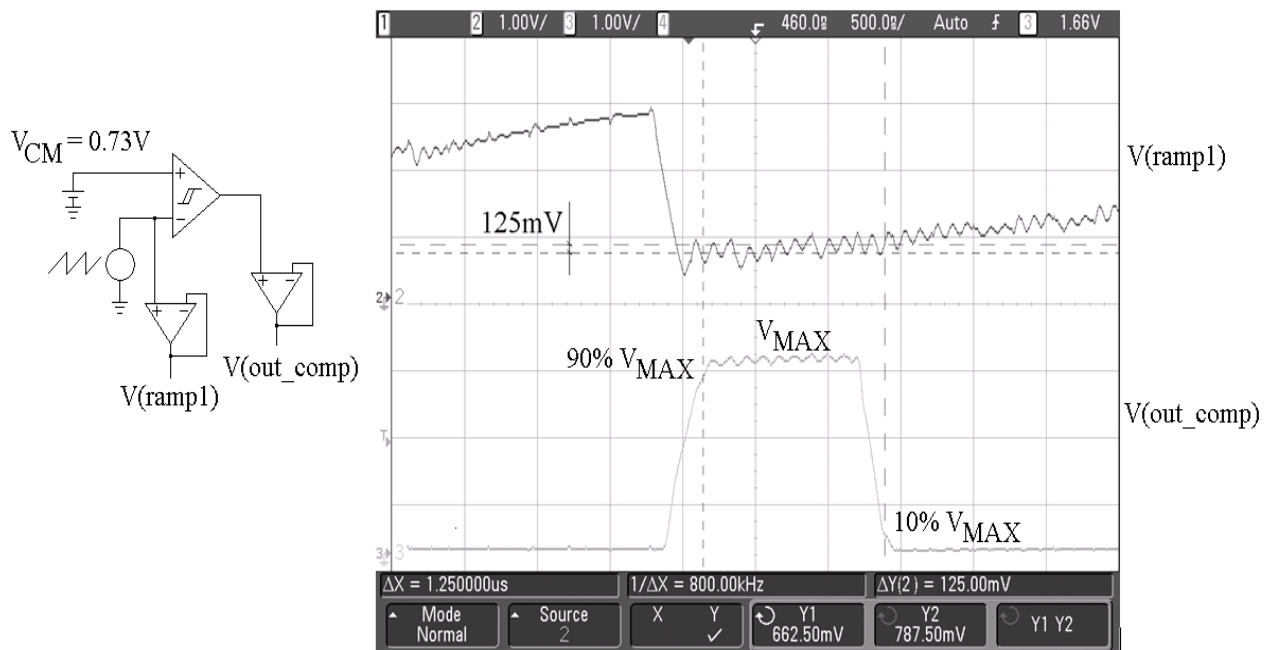


Figura 5.2.1: Caracterização experimental para V_{HIST} do comparador.

5.3 Circuito SSUB.

O circuito SSUB foi testado de modo a verificar que sua tensão de saída corresponde à expressão teórica dada na equação (3.13), seção 3.2.1: $V_{OUT} = V_A + 5(V_B - V_C)$. Dois cenários foram elaborados: i) cen1, em que $V_A = V_B = 250\text{mV}$ e $230\text{mV} < V_C < 270\text{mV}$ e ii) cen2, onde $V_A = V_B = 500\text{mV}$, e $475\text{mV} < V_C < 525\text{mV}$. Deve-se garantir que $V_A \leq V_{CC_CHIP} \cdot \delta_{MAX} = 5.1,6 / 12 = 665\text{mV}$. As Figuras 5.3.1 e 5.3.2 mostram os resultados experimentais para cen1 e cen2, respectivamente.

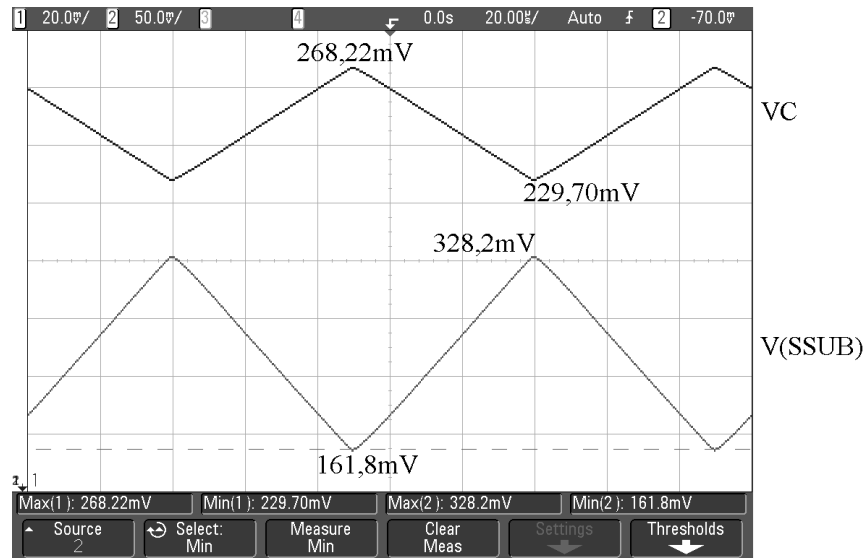


Figura 5.3.1: Resultado experimental para SSUB no cenário 1.

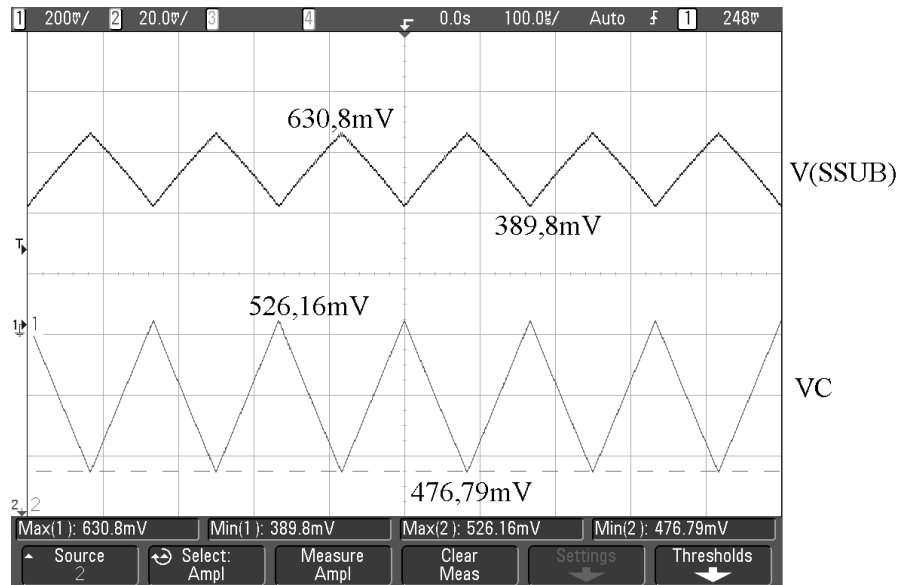


Figura 5.3.2: Caracterização de SSUB no cenário 2.

Considerando-se cen1, para $V_C = 268,22\text{mV}$ e $V_C = 229,7\text{mV}$, tem-se $V_{SSUB} = 161,8\text{mV}$ e $V_{SSUB} = 328,2\text{mV}$, respectivamente. O erro máximo entre simulação e medição é de 7,1%, resultado bastante satisfatório. Analogamente, para cen2, com $V_C = 526,16\text{mV}$ e $476,79\text{mV}$, tem-se $V_{SSUB} = 389,8\text{mV}$, e $V_{SSUB} = 630,8\text{mV}$, respectivamente. Obteve-se, também, um erro máximo satisfatório, abaixo de 10,9%.

5.4 Gerador de Rampa.

Para o teste do GR, extraiu-se, inicialmente, o valor do capacitor utilizado para geração da rampa. A Figura 5.4.1 mostra o resultado para a saída ramp1, que possui um opamp *buffer* entre seu pad e a saída correspondente do GR. A oscilação sobreposta deve-se à instabilidade do opamp, conforme discutido previamente. Para a polarização, foi utilizado $IBias_1u = 0,79\mu\text{A}$, menor que o $1\mu\text{A}$ teórico, apenas para evitar que V_{P_RAMPA} ultrapasse o máximo valor de excursão do *buffer*, tornando possível a sua medida. A frequência do sinal de *clock*, f_{CLK} , é de 1,8MHz.

Pelos resultados de caracterização, $\Delta V/\Delta t = 1,15\text{V}/1,66\mu\text{s} = 692,8\text{kV}/\mu\text{s}$. Assim, tem-se $C = 1,14\text{pF}$, ou seja, um valor 26,7% acima do típico simulado de 0,9pF. Tal variação já era prevista, e assim, conclui-se que o gerador funcionou satisfatoriamente mesmo com tal variação. A frequência medida foi de 301kHz, uma vez que o GR divide f_{CLK} por 6.

O sinal V_{RAMP1} sofreu interferências de f_{CLK} internamente ao *chip*, sendo isso causado principalmente por *crosstalk* entre as trilhas de metal existentes, já que o *clock* é um sinal digital, e a rampa é gerada em um ponto de alta impedância, facilitando o acoplamento entre *clk* e a saída RAMP1. Tal fato não foi detectado na simulação *post-layout*. A quarta harmônica de f_{CLK} possui frequência de 7,2MHz, para a qual a qual o opamp apresenta instabilidade.

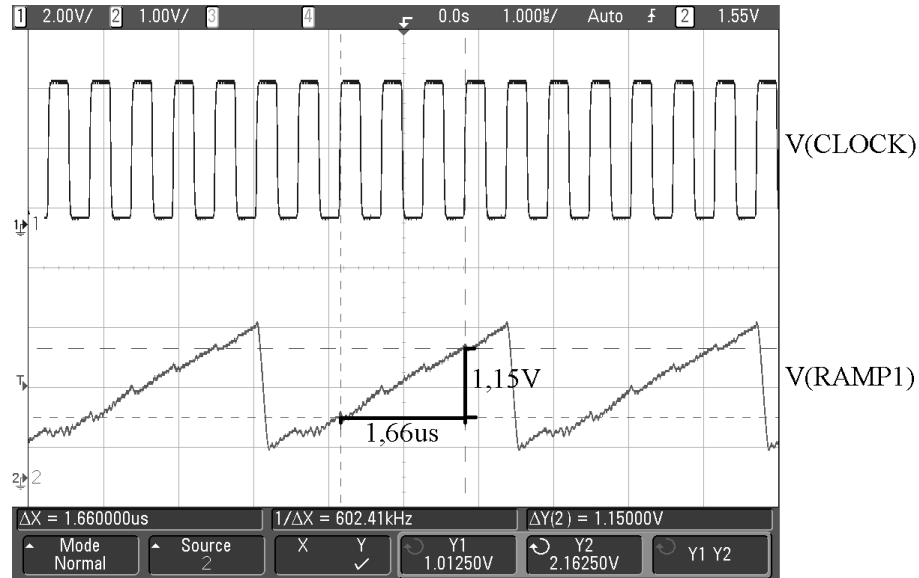


Figura 5.4.1: Resultado experimental para o gerador de rampa.

5.5 Soft-start.

Utilizou-se, para este bloco, a mesma frequência de *clock* do GR. Duas caracterizações foram feitas: i) car1, com $V_{REF} = 1,0V$ e ii) car2, com $V_{REF} = 1,6V$, sendo exibidas nas Figuras 5.5.1 e 5.5.2, respectivamente.

Para car1, o tempo T_{SS} que a tensão de saída necessita para ir de zero a V_{REF} é de $848\mu s$, resultado da multiplicação do período de *clock* T_{CLK} por 6, no bloco GR (seção 3.6) e depois por 256 no bloco SS (seção 3.7). Logo, $T_{SS} = (6.256)/(1,8.10^6) = 853,3\mu s$, 0,6% acima do valor medido. Neste caso, o *offset* é de 2,5mV de V_{OUT_SS} em relação a V_{REF} .

Para car2, tem-se um *offset* de 56mV, sendo que tal valor é devido à não-linearidade do *buffer*. Tal *offset* não foi detectado na etapa de simulação *post-layout*, já que $IBias_30u$ não precisou ser modificado nesta etapa. No entanto, esta corrente precisou ser reajustada na caracterização para SS_OPAMP funcionar adequadamente. Porém, tal erro não é aplicado ao bloco SSUB, pois o *buffer* é inserido após a saída de SS. Para car2, $T_{SS} = 850\mu s$, 0,4% abaixo do valor teórico de $853,3\mu s$.

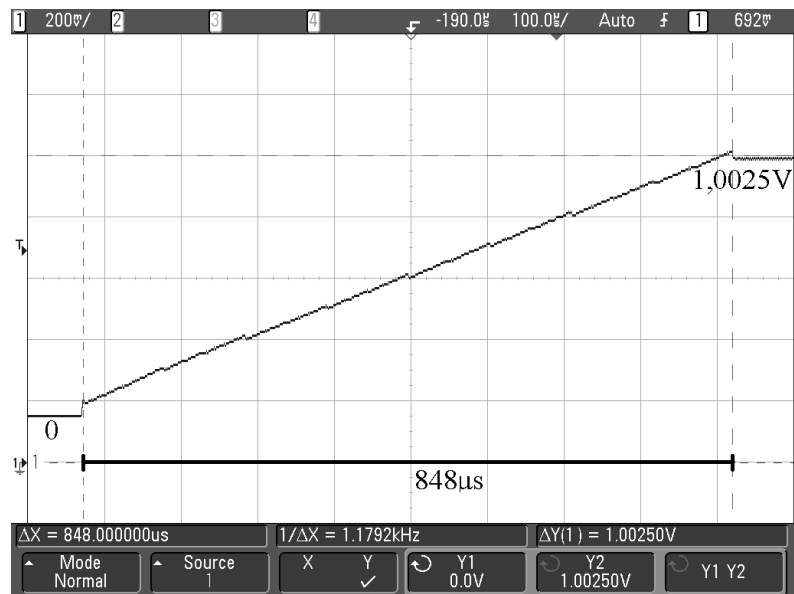


Figura 5.5.1: Resultado experimental do SS para car1.

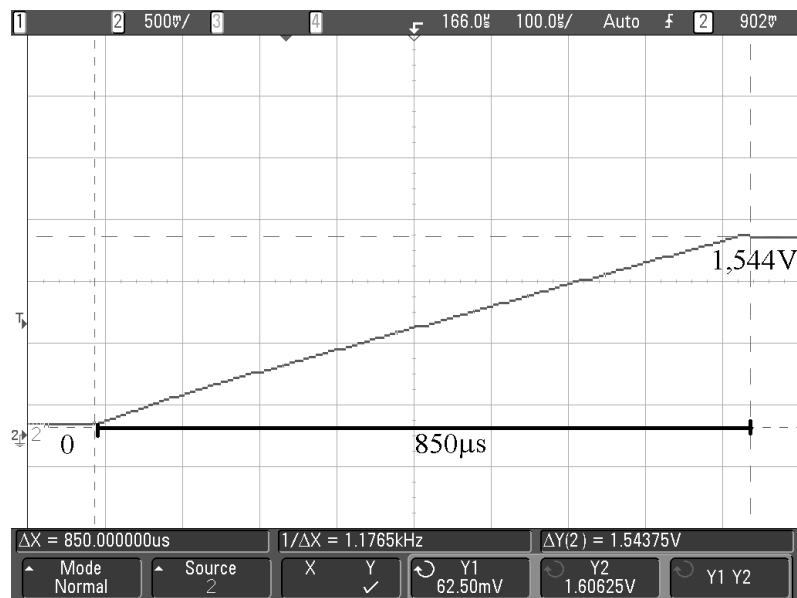


Figura 5.5.2: Resultado de caracterização para car2.

5.6 Dead-time.

Neste bloco foi caracterizado a duração do tempo morto T_M , com relação à corrente I_{Bias_10u} . Duas polarizações foram testadas (test1 e test2), em que $I_{Bias_10u} = 10\mu A$ e

$I_{Bias_10u} = 20\mu A$, respectivamente, de maneira a se verificar a linearidade do TM, sendo os resultados ilustrados nas Figuras 5.6.1 e 5.6.2. Para test1, o tempo $T_{DT_HS_LS}$ que HS demora para ser acionado, depois que LS é desligado, é de 112ns, enquanto que o tempo $T_{DT_LS_HS}$ que LS demora para ligar, depois que HS é desligado, é de 116ns. Para test2, tem-se $T_{DT_HS_LS} = T_{DT_LS_HS} = 60ns$.

Para test1, os resultados simulados são de 144,2ns e 153,8ns para $T_{DT_HS_LS}$ e $T_{DT_LS_HS}$, respectivamente. As medidas mostram que, ou o valor do capacitor é menor que o utilizado em simulação, ou a tensão de limiar dos inversores apresentam um desvio negativo, visto que o TM medido foi menor para ambos os casos. Comparando test2 com test1, percebe-se uma redução 51,7% para $T_{DT_HS_LS}$ e 53,6% para $T_{DT_LS_HS}$. Isto mostra que o DT possui uma boa linearidade em relação a I_{Bias_10u} .

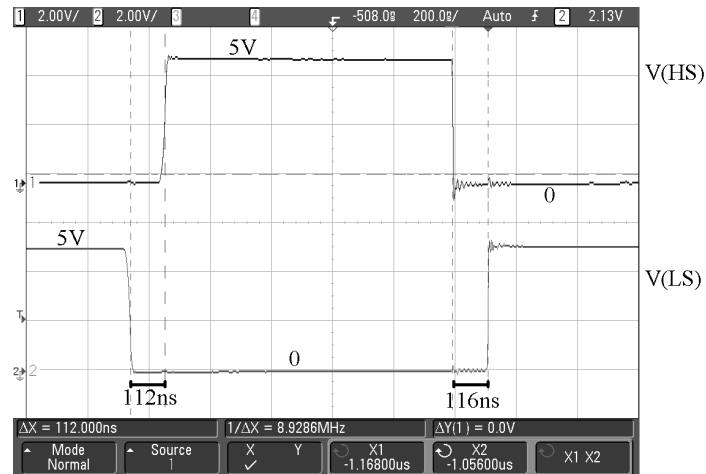


Figura 5.6.1: TM medido para $I_{Bias_10u} = 10\mu A$.

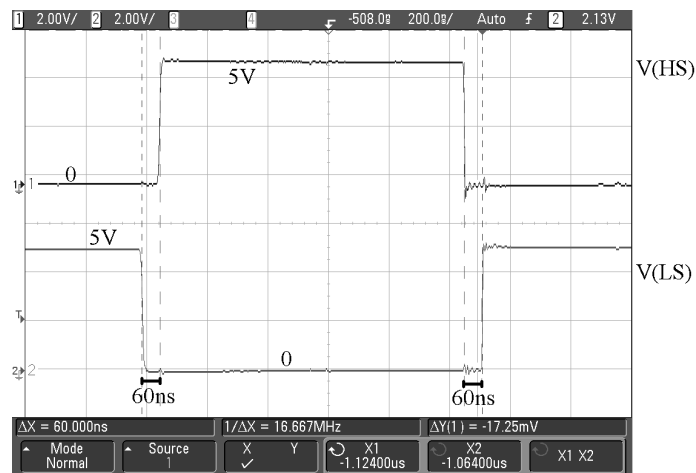


Figura 5.6.2: TM para $I_{Bias_10u} = 20\mu A$.

5.7 Regulador.

Para caracterizar o regulador, foi necessário reajustar IBias_30u, IBias_10u e IBias_1u, de modo a fazer o conversor funcionar adequadamente. Capacitâncias, resistências e indutâncias parasitas existentes no encapsulamento e PCB, assim como variações dos parâmetros dos componentes utilizados são as principais causas desses reajustes, já que os valores originais de polarização tornaram o regulador instável, danificando alguns transistores comutadores durante a caracterização. Para evitar outros danos, as correntes foram reajustadas. Para a carga R_L , utilizou-se uma resistência equivalente R_{L_EQ} de $57,5m\Omega$. Não foram utilizados valores menores devido às limitações na PCB, devido às longas trilhas por onde circulam altas correntes. Ainda, não foi possível utilizar-se um amperímetro para medição da corrente da carga, devido à influência de sua resistência série de $0,12\Omega$, o que praticamente triplicaria R_{L_EQ} . Logo, para $V_{LOAD} = 1V$, tem-se $I_{LOAD} = 17,4A$.

A Figura 5.7.1 mostra a forma de onda de V_{LOAD} sem e com a presença de SSUB na malha de realimentação do regulador, respectivamente, considerando $V_{REF} = 1V$ e $0 < I_{LOAD} < 17,4A$. A Figura 5.7.2 mostra a linearidade de V_{LOAD} em função de V_{REF} @ $I_{LOAD} = 0$.

Portanto, tem-se $R_{LOSS} = (1 - 0,97) / 17,4 = 1,72m\Omega$. Tem-se V_{OND_LOAD} igual $-41mV$ e $-1,6mV$, sem e com SSUB, respectivamente, o que atesta a boa funcionalidade de SSUB na redução de V_{OND_LOAD} . Os resultados foram acima do esperado, em relação aos valores simulados de ondulação.

V_{LOAD} acompanha V_{REF} de $165mV$ até $1,575V$ com um *offset* máximo de $13,18mV$, indicando boa linearidade. Como os MPs tendem a trabalhar com V_{LOAD} cada vez menor, a caracterização mostra que o regulador é capaz de alimentar cargas ainda menores que $0,8V$, possibilitando seu uso em especificações futuras de microprocessadores.

Os valores experimentais de IBias_30u, IBias_10u e IBias_1u foram, respectivamente, de $16,5\mu A$, $0,884\mu A$ e $0,874\mu A$, implicando em um desvio de 45%, 91,1% e 12,6% em relação ao projetado. Um problema relacionado ao bloco DHS foi o responsável pelo erro associado a IBias_10u. Essa anomalia, mostrada na Figura 6.7.3, não foi detectada na etapa de simulação, e pode ser atribuída à falta de um modelo mais acurado para os transistores HS e LS. Verifica-se que o DHS não é capaz de desligar o respectivo HS completamente, possuindo um V_{GS} residual de $1,5V$, resultando em uma corrente DC através de HS e LS. Como esta tensão residual fica

durante o período em que LS é ligado, aumentando-se o TM reduz-se o tempo de duração da corrente entre HS e LS, já que o tempo em que LS permanece ligado é reduzido. Como o TM é inversamente proporcional a I_{Bias_10u} , esta corrente foi significativamente reduzida.

Não foi possível a caracterização precisa de ESR_C , ESL_C e $ESRL$, devido aos seus pequenos valores, pois I_{LOAD_MAX} deve ser alto para que os equipamentos disponíveis as detectassem. Como a PCB e a fonte de alimentação possuem limitada capacidade de corrente, aliado ao fato de HS não se desligar completamente, não foi possível utilizar $I_{LOAD} > 17,4A$. Para efeito de estimativa, é possível apenas calcular n_{CT} . Da equação (2.14), considerando $C_{LOAD} = 40 \times 330\mu F$, $\Delta t = 1\mu s$, $\Delta V_O = 1,6mV$ (regulador com SSUB) e $I_{MAX} = 17,4A$, tem-se $n_C = 0,41$. Este resultado tem dois significados: ou realmente os capacitores estão com qualidade melhor do que o esperado (seção 3.1, onde $n_{CT} = 0,2$), ou o tempo de resposta do regulador, com a adição de SSUB, reduziu-se tanto que a resposta do regulador iniciou-se antes do transitório de carga terminar.

Na simulação *post-layout* da seção 4.8, para $0 < I_{LOAD} < 17,4A$, V_{OND_LOAD} é $-6mV$ e $-3mV$, sem e com o bloco SSUB, respectivamente, resultando em uma diferença de 583,3% e 46,7% entre a simulação e a caracterização. Logo, a inclusão de SSUB torna os resultados de simulação mais confiáveis.

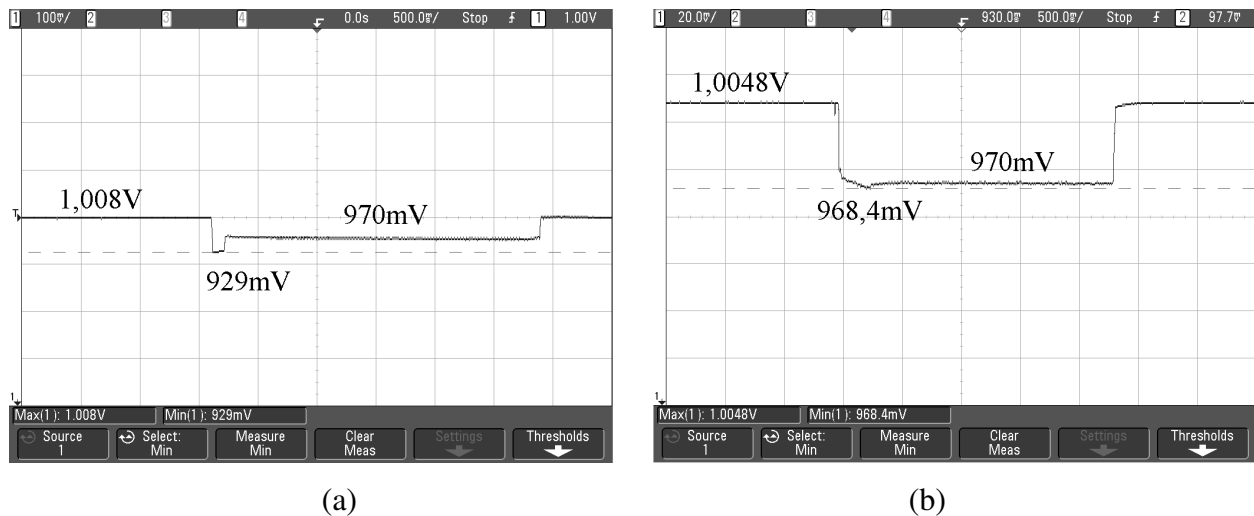


Figura 5.7.1: V_{LOAD} sem o bloco SSUB (a), e com SSUB (b).

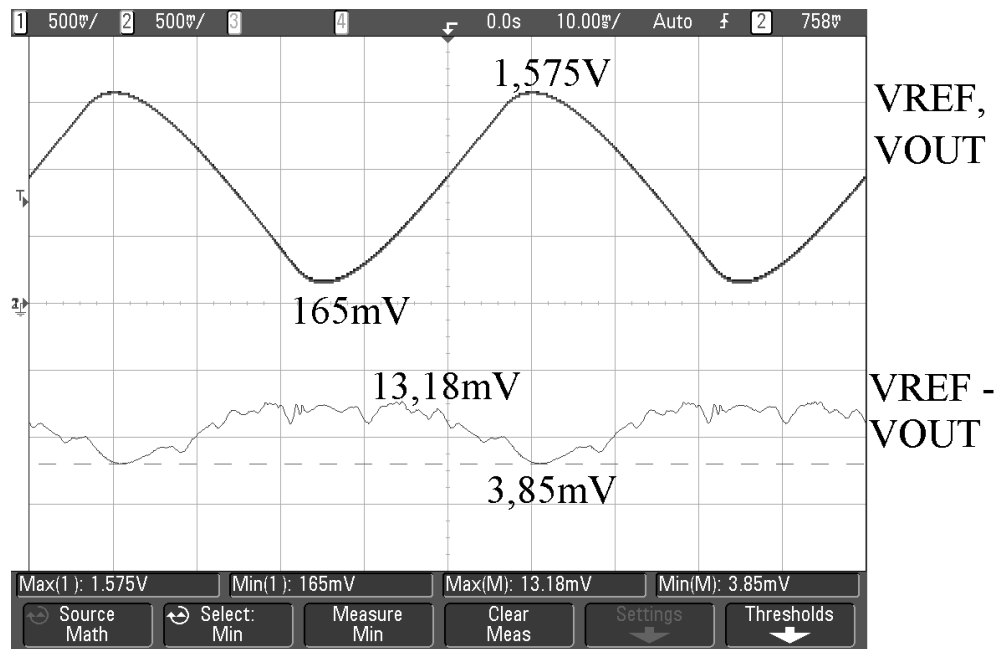


Figura 5.7.2: Linearidade de V_{LOAD} em função de V_{REF} .

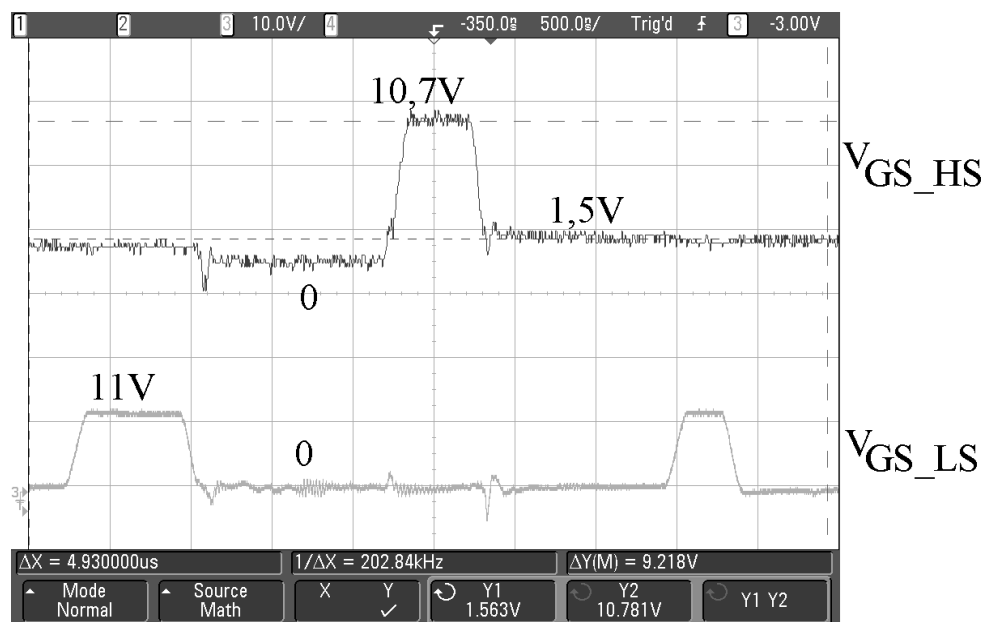


Figura 5.7.3: Forma de onda de V_{GS} de HS e LS.

Capítulo 6.

Conclusões e Perspectivas Futuras

O presente trabalho mostrou, através da análise de técnicas de reguladores chaveados, projeto, simulação, *layout* da topologia escolhida e sua caracterização experimental, o funcionamento de uma arquitetura de regulador de tensão aplicada aos Microprocessadores atuais. Foi mostrado que esta topologia provê suporte à evolução destes componentes, que requerem uma exigente regulação de carga ao mesmo tempo em que possuem consumo de corrente variável no tempo.

Todos os objetivos das etapas de análise, projeto, simulação e *layout* foram atingidos. Na etapa de caracterização foi encontrado um problema não previsto em simulação, porém, isto não impediu que o objetivo de se testar a arquitetura projetada fosse alcançado satisfatoriamente.

Foi demonstrado através da caracterização experimental, que a topologia estudada se mantém funcional mesmo com variações de processo maiores do que as previstas em simulação, sendo que a caracterização indicou, na seção 5.1, que a margem de fase do bloco opamp é o parâmetro mais sensível a tais variações, pois esta se mostrou muito aquém do pior caso analisado em simulação, feito na seção 4.1. O opamp, quando em malha aberta, apresentou uma instabilidade em frequência que não foi verificada na etapa de simulação, afetando todos os circuitos que dependem deste bloco quando utilizado como *buffer*, caso do comparador com histerese e do gerador de rampa (seções 5.2 e 5.4, respectivamente). Este fato foi causado pela capacitância à saída do opamp ter sido maior do que a estimada durante a etapa de simulação, sendo esta em 45pF, enquanto que experimentalmente foi verificado 90pF. Esta capacitância foi responsável por trazer um pólo deste bloco para uma região anterior à sua frequência de transição, fazendo com que a fase inverta antes do previsto. Porém, isso não afetou o funcionamento do regulador, pois sua frequência de corte (f_{CFREQ}) ocorre em um valor muito inferior à frequência em que ocorreu a inversão de fase do opamp, conforme foi previsto na simulação (seção 4.1) e comprovado pela caracterização do regulador (seção 5.7). Como $f_{CFREQ} = 60\text{kHz}$, frequências maiores que este valor resultam em um ganho do regulador menor que a unidade. Como a inversão de fase do opamp ocorreu a quase 7MHz, o ganho da arquitetura é muito menor que 1 nesta frequência, assim, uma eventual oscilação que possa ocorrer à saída do

opamp não é realimentada pelo regulador, portanto, não causando instabilidade. Porém, caso a inversão de fase do opamp ocorresse em uma frequência da mesma ordem de grandeza de f_{CFREQ} , o regulador poderia, sim, oscilar.

Uma comparação entre o que foi simulado e medido é mostrada na Tabela 6.1. As variações maiores mostram a necessidade de um modelamento mais preciso de certos componentes, principalmente no que se diz respeito à análise em frequência do simulador, já que as simulações *post-layout* do regulador (seção 4.8) não indicaram em nenhum momento, por exemplo, que a fase do opamp poderia ultrapassar 180° na frequência de ganho unitário quando configurado como buffer. Não é possível uma comparação direta entre os resultados obtidos neste trabalho com trabalhos existentes na Literatura, nem mesmo com reguladores vendidos no comércio, já que cada circuito é testado sob diferentes condições de carga. Porém, em geral, todos possuem um comportamento semelhante, já que a ondulação da tensão aplicada à carga varia algumas dezenas de mV enquanto a corrente varia algumas dezenas de ampères em um intervalo de tempo de poucos μs .

Devido ao problema encontrado no *level shifter* do HS, além do fato de a fonte de alimentação disponível ser limitada a no máximo 7A e da PCB ser volumosa, não foram possíveis as extrações dos parasitas ESR_C , ESL_C e $ESRL$ com precisão, pois, como suas magnitudes estão na casa de $m\Omega$, uma grande corrente de carga é necessária para se observar uma variação perceptível o suficiente pelo osciloscópio. Assim, não foi possível uma comparação entre os resultados simulados e caracterizados destes componentes, que influenciam em V_{OND_LOAD} . Apenas a resistência série da placa foi possível de ser medida, sendo este valor de $1,72m\Omega$. Isto indica que a placa ficou com uma resistência 37,6% maior que a especificação dada em [3], que é de $1,25m\Omega$ (seção 2.1). O fator de não idealidade capacitivo também foi calculado, sendo de 0,41, contra um valor teórico de 0,2, embora os dados experimentais apresentem um erro considerável para determinação deste fator.

O resultado experimental que mais diferiu do simulado foi a ondulação em V_{LOAD} quando não foi utilizada a técnica proposta na análise do compensador em frequência (seção 3.2.1). Os resultados de simulação indicaram V_{OND_LOAD} de -6mV quando I_{LOAD} vai de 0 a 17,4A. No entanto, a caracterização mostrou V_{OND_LOAD} de -41mV, 583,3% maior que o esperado, ultrapassando até mesmo a máxima especificação imposta em [4]. Isso indica que a queda de tensão no resistor R_1 do bloco CFREQ é fonte de imprecisões importantes na análise dinâmica do

regulador. Portanto, a técnica proposta na análise ajuda a tornar a análise AC da malha de realimentação mais realista, já que neste caso, V_{OND_LOAD} experimental é de -1,6mV, enquanto que a simulação mostrou -3mV, uma diferença de -46,7%.

Tabela 6.1: Resultados medidos *versus* simulados para os blocos do regulador.

bloco / item:	simulado	medido	unidade	variação %	comentários
ampop / freq. transição	21,8 (typ)	13,2	MHz	-39,4	capacitância à saída do amp-op maior que esperado
ampop / margem de fase	44 (typ)	< 0	°	-	capacitância à saída do amp-op maior que esperado
ampop / ganho em malha aberta	76,4	N/D	dB	-	ruidos impediram medidas em menos de 40kHz
ampop / ganho a 41,6kHz	52,15	54,55	dB	4,6	mínima freq. possível de se medir. Resultado satisfatório
ampop / excursão DC	de 0 a 2,89	de 0 a 2,88	V	-0,3	resultado altamente satisfatório
Comp / histerese	33	125	mV	278,8	margem de fase do opamp alterou resultado
SSUB/ Vout min @ caso 1	158,9	161,8	mV	1,8	caso 1: $V_a = V_b = 250\text{mV}$, $230\text{mV} < V_c < 270\text{mV}$ caso 2: $V_a = V_b = 500\text{mV}$, $475\text{mV} < V_c < 525\text{mV}$
SSUB / Vout max @ caso 1	351,5	328,2	mV	-6,6	
SSUB / Vout min @ caso 2	369,2	389,8	mV	5,6	
SSUB / Vout max @ caso 2	616,1	630,8	mV	2,4	
GR / capacitor	0,9	1,14	pF	26,7	variações de processo de fabricação causaram tanto desvio
GR / frequência	300	301	kHz	0,3	frequência de clock = 1,8MHz
SS / tempo de subida	853,3	848	µs	-0,6	frequência de clock = 1,8MHz
DT / T_DT_HS_LS	144,2	116	ns	-19,6	Ibias_10u = 10µA. Diferença causada por variações no capacitor
DT / T_DT_LS_HS	153,8	112	ns	-27,2	
regulador / ripple @ caso 1	-6	-41	mV	583,3	caso 1: sem SSUB. Iload = 18A
regulador / ripple @ caso 2	-3	-1,6	mV	-46,7	caso 2: com SSUB. Iload = 18A

Este trabalho introduziu, na seção 3.2.1, uma abordagem para o projeto de um conversor de tensão DC/DC aplicados a microprocessadores. Através do estudo das quedas de tensão nos componentes do compensador em frequência, foi possível encontrar soluções para reduzir o tempo de resposta do regulador ao transiente de carga, sem a necessidade de se amostrar as correntes dos indutores. Assim, torna-se possível manter o regulador operando dentro das margens de tolerância impostas apenas utilizando realimentação em tensão.

Uma carga com consumo altamente variável de corrente, e que exige baixas ondulações em sua tensão, necessita de uma análise criteriosa de todos os componentes que contribuem com V_{OND_LOAD} . Foi necessário desenvolver um novo método de determinação do capacitor e dos indutores de saída, na seção 2.2, que não foi encontrado na literatura. Tal desenvolvimento levou várias semanas de deduções e simulações para provar a validade do equacionamento. Nenhuma literatura pesquisada fez equacionamentos considerando a carga como uma fonte de corrente variável no tempo. E, pelos resultados de simulação, conclui-se que a análise é válida, pois a ondulação na saída ficou com um valor abaixo do máximo especificado pelo fabricante para um dos casos testados [4]. Para um CB, a capacitância calculada de C_{LOAD} teria que ser ainda maior que a análise feita para o CMF, devido ao CB ter um tempo de resposta a TCs bem maior. Assim, C_{LOAD} deve ser capaz de manter a ondulação máxima imposta pelo fabricante não apenas durante o transiente, mas até quando o indutor começar a recarregar o capacitor. Para o CMF, a recarga após a ocorrência do transiente ocorre num espaço de tempo bem menor que o CB, devido aos valores menores dos indutores, e pelo número de células existentes.

A topologia *buck* possui um compromisso entre velocidade de resposta a TCs e os valores dos seus capacitores e indutores. Cargas mais variáveis exigem indutores menores e capacitores maiores, com menores perdas parasitas, o que implica em um maior número de associações de capacitores em paralelo. E, para os indutores, valores muito pequenos causam alguns inconvenientes práticos, como a não possibilidade de se utilizar núcleos de ferrite, pois mesmo uma única espira em um núcleo deste tipo causa uma indutância maior do que a necessária. Assim, estes devem ser enrolados em núcleos de ar, porém, tal solução apresenta uma série de desvantagens, entre elas, a possibilidade de interferência nos outros indutores do regulador. Por isso a importância de montá-los em orientações espaciais diferentes para minimizar o fator de acoplamento entre eles. Aumentar o número de células, ou fases, ajuda a reduzir este problema, já que isso aumenta o valor individual de cada indutor, porém isso aumenta a complexidade do regulador.

A elaboração do esquemático dos circuitos foi cuidadosa, para evitar que variações nos parâmetros de processo impeçam seu funcionamento. As variações de processo utilizadas neste trabalho são listadas na Tabela 6.2. Capacitores e resistores *on-chip* podem ter variações de até 40% do seu valor nominal, além de 50% de variação no V_T dos transistores. Simulações de pior

caso são necessárias para previsão do comportamento dos circuitos em face de variações no processo.

Para uma futura implementação no mercado do regulador apresentado neste trabalho, é necessária uma análise mais cuidadosa da técnica proposta, para redução do tempo de resposta da malha de regulação a variações na carga. Um estudo detalhado da influência das variações de processo, *offset* causado por descasamentos entre dispositivos e ruído nas entradas A, B e C do bloco somador / subtrator é importante para saber quais as possíveis implicações destes parâmetros no correto funcionamento do regulador.

Tabela 6.2: Relação dos parâmetros de processo utilizados na simulação.

Variação	MOS	RES	CAP	Temp.	Alimentação
1	WP	MIN	MIN	MIN	MAX
2	WS	MAX	MAX	MIN	MIN
3	WS	MAX	MAX	MAX	MIN
4	WO	MIN	MIN	MIN	MAX
5	WO	MAX	MAX	MAX	MIN
6	WZ	MIN	MIN	MIN	MAX
7	WZ	MAX	MAX	MAX	MIN

Legenda:
WP: Worst case Power: Min V_t , máx μ
WS: Worst case Speed: Máx V_t , min μ
MIN: Minimum: Valor mínimo do parâmetro
MAX: Maximum: Valor máximo do parâmetro

7. Anexos

Anexo 1: *Layout* dos blocos projetados.

Nesta seção é detalhado o *layout* de todos os blocos projetados. Todas as medidas relativas ao tamanho dos blocos são dadas em μm .

As Figuras 7.1.1 a 7.1.4 mostram, respectivamente, os *layouts* dos blocos opamp, comparador com histerese, SSUB, GR, *soft-start*, *dead-time*, regulador sem a inclusão da estrutura de *PADS*, e o regulador com a estrutura de *PADS*. A Tabela 7.1 mostra as áreas ocupadas por cada bloco mostrado.

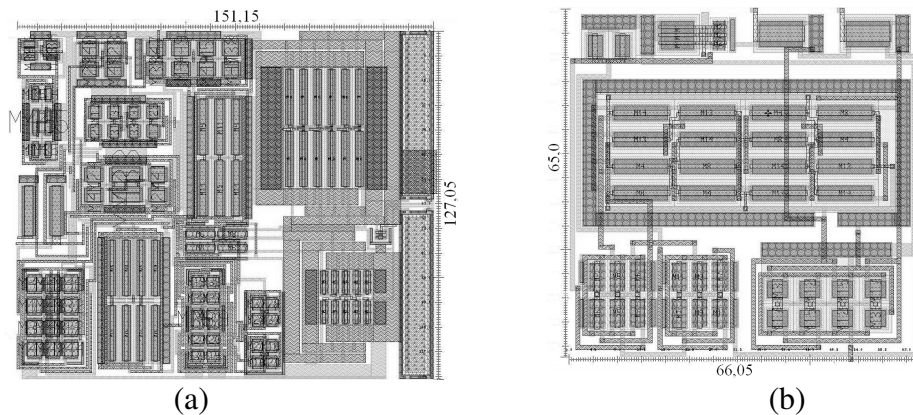


Figura 7.1.1: *Layout* dos blocos opamp (a) e comparador (b).

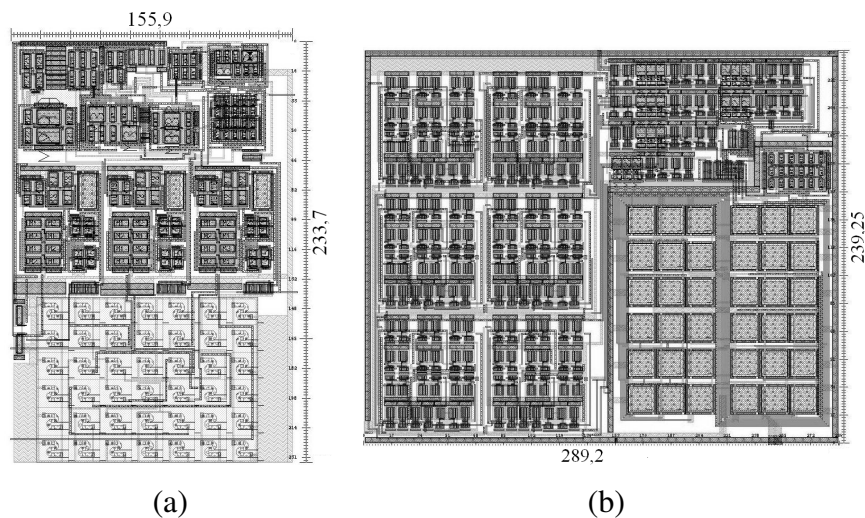


Figura 7.1.2: *Layout* dos blocos SSUB (a) e GR (b).

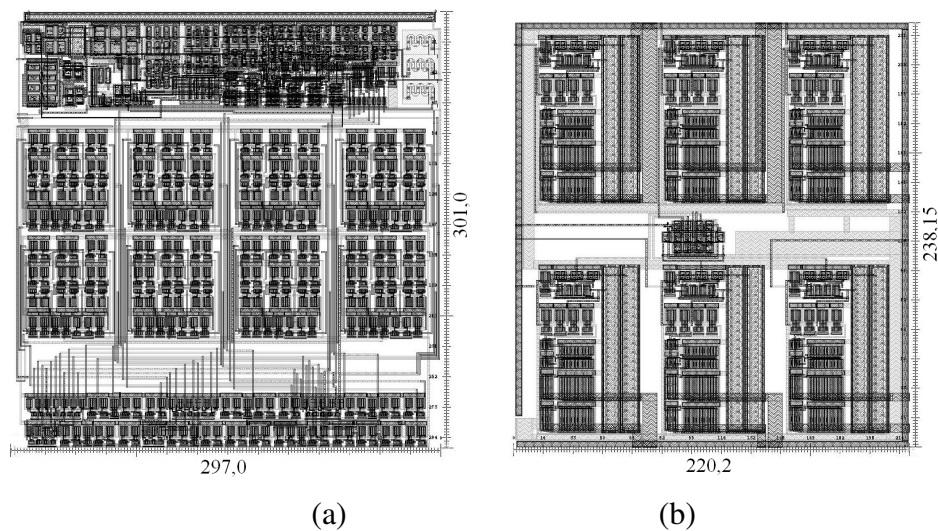


Figura 7.1.3: *Layout do soft-start (a) e dead-time (b).*

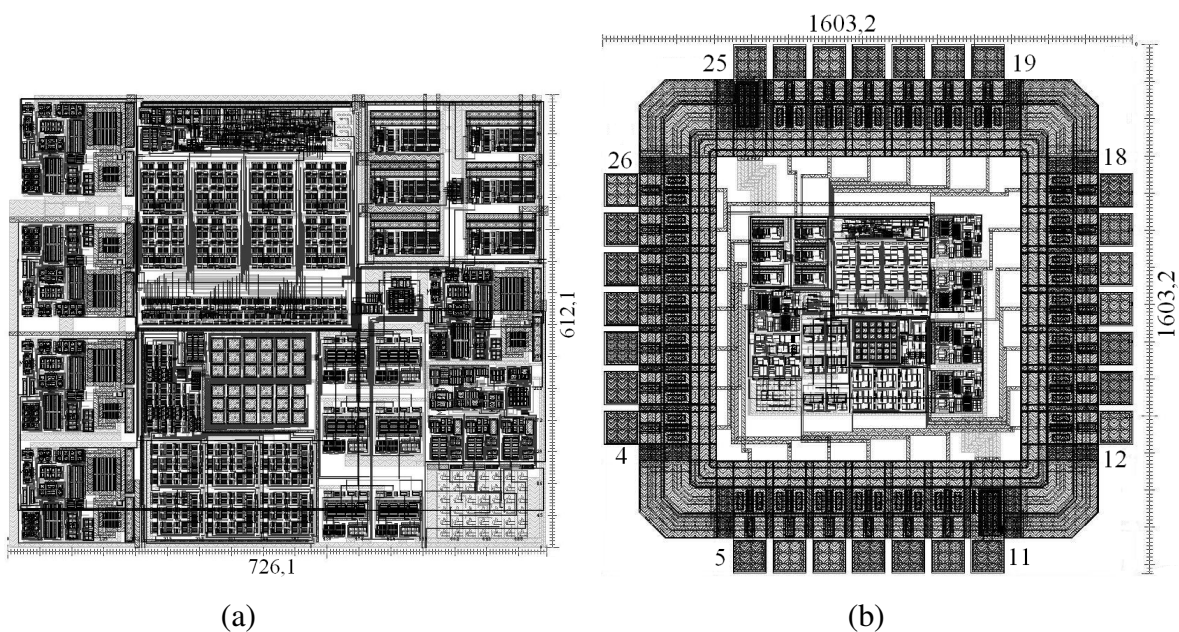


Figura 7.1.4: *Layout do regulador: sem os PADS (a) e com os PADS (b).*

Tabela 7.1: Área ocupada pelos blocos mostrados.

bloco	área	unidade
opamp	19203,61	μm^2
comp	4293,25	μm^2
SSUB	36433,83	μm^2
GR	69191,1	μm^2
soft-start	89397	μm^2
dead-time	52440,6	μm^2
regulador sem PADS	0,444	mm^2
regulador com PADS	2,57	mm^2

Anexo 2: Tabelas de Variação dos Circuitos em Função das Características do Processo.

7.2.1 Circuito opamp.

O circuito utilizado para teste do opamp em função das variações do processo de fabricação utilizado é mostrado na Figura 7.2.1.1. A Tabela 7.2.1.1 mostra os resultados obtidos destas simulações. A AMS disponibiliza 8 casos de variações de processo durante a simulação, sendo uma típica e outras 7 envolvendo variações de dispositivos MOS, resistores e capacitores.

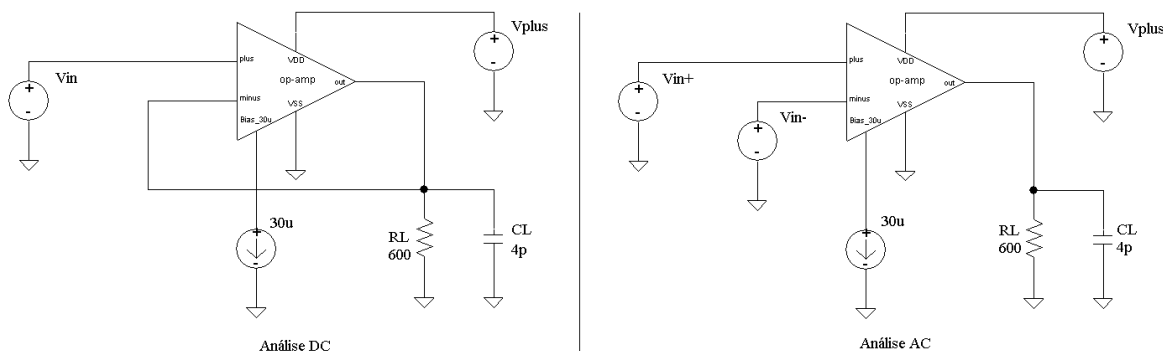


Figura 7.2.1.1: Esquemático para simulação do opamp.

Tabela 7.2.1.1: Parâmetros do opamp em função de variações no processo.

Error Amp: carga: RC paralelo: R = 600 Ω , C = 4pF. Vcm = 1V. Idc_max_load = 5mA @ Vout = 3V									
simulação	Vdd (V)	T (°C)	Av (dB)	F_3dB (kHz)	Fc (MHz)	marg. Fase (°)	marg. Ganho (dB)	exc. DC (V)	offset max (mV)
típica	5,0	27	76,4	3,7	21,8	36	7,4	0 - 2,9	11 @ Vcm = 2,8V
variação 1	5,5	-40	64,2	21,1	28,9	36	7,0	0 - 3,5	11 @ Vcm = 3,5V
variação 2	5,5	-40	70,3	7,3	20,0	41	9,1	0 - 2,9	16 @ Vcm = 2,9V
variação 3	5,5	-40	65,3	17,8	28,9	35	5,8	0 - 2,9	14 @ Vcm = 2,9V
variação 4	4,5	-40	96,2	0,2	14,7	57	9,6	0 - 1,9	22 @ Vcm = 1,9V
variação 5	4,5	125	74,2	2,3	13,2	58	7,3	0 - 2,6	23 @ Vcm = 2,6V
variação 6	4,5	125	70,5	3,8	12,1	57	10,9	0 - 2,6	22 @ Vcm = 2,6V
variação 7	4,5	125	60,8	18,3	26,5	36	3,5	0 - 3,3	23 @ Vcm = 3,3V

7.2.2 Comparador.

A Tabela 7.2.2.1 mostra a variação de V_{HIST} do comparador em função das simulações de variação do processo.

Tabela 7.2.2.1: Histerese de comp em função de variações no processo.

Comparador. Carga = C = 1pf. Vcm = 300mV			
simulação	Vdd (V)	T (°C)	V_hist (mV)
típica	5,0	27	33,0
variação 1	5,5	-40	24,6
variação 2	5,5	-40	31,6
variação 3	5,5	-40	31,4
variação 4	4,5	-40	39,0
variação 5	4,5	125	43,8
variação 6	4,5	125	37,0
variação 7	4,5	125	34,6

7.2.3 Gerador de rampa.

A Tabela 7.2.3.1 mostra a variação de V_{P_RAMPA} em função da variação do processo de fabricação. A frequência não foi afetada, pois o sinal de *clock* para o gerador é externo.

Tabela 7.2.3.1: Variação de V_{P_RAMPA} em função da variação do processo.

Gerador de Rampa. IBias10 μ = 10 μ A.			
simulação	Vdd (V)	T (°C)	Vramp_pico (V)
típica	5,0	27	3,0
variação 1	5,5	-40	3,3
variação 2	5,5	-40	3,3
variação 3	5,5	-40	3,3
variação 4	4,5	-40	2,7
variação 5	4,5	125	2,6
variação 6	4,5	125	2,6
variação 7	4,5	125	2,7

7.2.4 Circuito SSUB.

Este bloco foi testado em diferentes situações, a fim de se confirmar seu funcionamento. Inicialmente, foi testada a linearidade da entrada correspondente ao sinal originado do opamp durante o regime permanente, caso este em que não há queda de tensão entre a carga e a entrada inversora do CFREQ. A Figura 7.2.4.1 e a Tabela 7.2.4.1 mostram o esquemático e o resultado dessa simulação, respectivamente.

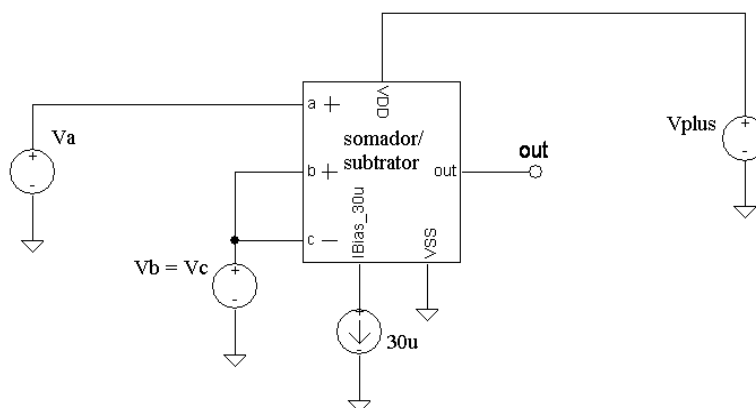


Figura 7.2.4.1: Simulação da linearidade de V_A do bloco SSUB.

Tabela 7.2.4.1: Comportamento de V_A do SSUB em função do processo de fabricação.

Somador/Subtrator. Exc. máx à entrada A @ $V_b = V_c = 1,6V$				
simulação	Vdd (V)	T (°C)	exc. DC (V)	erro à saída (mV)
típica	5,0	27	0 - 1,9	18
variação 1	5,5	-40	0 - 2,1	20
variação 2	5,5	-40	0 - 2,0	20
variação 3	5,5	-40	0 - 1,8	18
variação 4	4,5	-40	0 - 1,6	25
variação 5	4,5	125	0 - 1,4	16
variação 6	4,5	125	0,2 - 1,7	15
variação 7	4,5	125	0 - 1,5	15

A Figura 7.2.4.2 mostra o esquemático de outra simulação, de modo a verificar o *offset* de sua tensão de saída quando se varia a tensão entre as entradas B e C, simulando a queda de tensão em R_1 do bloco CFREQ, que ocorre durante um TC.

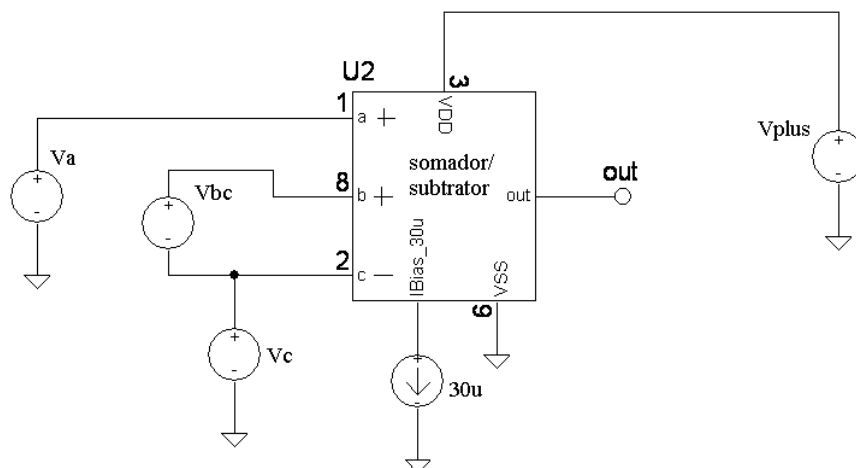


Figura 7.2.4.2: Simulação de *offset* à saída de SSUB em relação a $V_B - V_C$.

As Tabelas 7.2.4.2 e 7.2.4.3 mostram os resultados obtidos para duas situações diferentes: a primeira para o caso de a tensão no ponto A ser de 0,55V e no ponto C ser de 1,6V. E na segunda situação a tensão no ponto A vale 0,25V e no ponto C vale 0,8V.

Tabela 7.2.4.2: Primeira situação de *offset* à saída do bloco SSUB.

Somador/Subtrator. Offset à saída @ $V_a = 0,55V$, $V_c = 1,6V$					
simulação	Vdd (V)	T (°C)	Offset @ $V_{bc} = -30mV$	Offset @ $V_{bc}=0$	Offset @ $V_{bc} = +30mV$
típica	5,0	27	+3mV	-1mV	-3mV
variação 1	5,5	-40	+3mV	+1mV	-3mV
variação 2	5,5	-40	+4mV	-1mV	-7mV
variação 3	5,5	-40	+6mV	+2mV	-2mV
variação 4	4,5	-40	+1mV	-3mV	-7mV
variação 5	4,5	125	+4mV	+1mV	-3mV
variação 6	4,5	125	+3mV	-1mV	-7mV
variação 7	4,5	125	+4mV	+1mV	-2mV

Tabela 7.2.4.3: Segunda situação de *offset* à saída do bloco SSUB.

Somador/Subtrator. Offset à saída @ $V_a = 0,25V$, $V_c = 0,8V$					
simulação	Vdd (V)	T (°C)	Offset @ $V_{bc} = -30mV$	Offset @ $V_{bc}=0$	Offset @ $V_{bc} = +30mV$
típica	5,0	27	+8mV	+7mV	+6mV
variação 1	5,5	-40	+13mV	+11mV	+9mV
variação 2	5,5	-40	+11mV	+9mV	+8mV
variação 3	5,5	-40	+11mV	+9mV	+8mV
variação 4	4,5	-40	+4mV	+3mV	+3mV
variação 5	4,5	125	+5mV	+4mV	+3mV
variação 6	4,5	125	+11mV	+9mV	+9mV
variação 7	4,5	125	+6mV	+5mV	+3mV

7.2.5 SS_OPAMP

A Tabela 7.2.5.1 mostra a simulação do bloco SS_OPAMP em função de variações de processo. O critério para simulação deste circuito é o mesmo feito ao bloco opamp, com a diferença de a carga ser, nesse caso, a capacitância porta-fonte de um transistor NMOS com razão de aspect de (50 μm / 0,5 μm).

Tabela 7.2.5.1: Parâmetros do SS_OPAMP em função de variações do processo.

amp op soft start. $V_{cm} = 1V$, $C_{load} = NMOSM: W = 50u, L = 0,5u$							
simulação	Vdd (V)	T (°C)	Av (dB)	Ft (MHz)	marg. Fase (°)	marg. Ganho (dB)	exc. DC (V)
típica	5,0	27	48,7	48,8	34	26,6	0,3 - 4,4
variação 1	5,5	-40	46,5	66,4	35	24,5	0,3 - 4,9
variação 2	5,5	-40	46,4	59,5	31	24,3	0,4 - 4,9
variação 3	5,5	-40	47,4	60,0	39	26,7	0,3 - 4,6
variação 4	4,5	-40	50,0	48,9	34	26,0	0,3 - 3,6
variação 5	4,5	125	50,1	34,4	32	25,3	0,4 - 4,1
variação 6	4,5	125	49,0	40,5	29	21,4	0,6 - 4,4
variação 7	4,5	125	50,1	38,3	37	26,2	0,4 - 4,1

Anexo 3: Limitações do Processo de Fabricação AMS H35 e Soluções Adotadas

O bloco *dead-time* do regulador controla os dispositivos HS e LS. Porém, como estes possuem elevado C_{GS} , os *pads* conectados aos mesmos devem possuir boa capacidade de corrente. Além disso, seus transistores precisam ser capazes de suportar tensões $V_{IN} = 12V$. Como $f_{REG} = 300kHz$, os dispositivos do *chip* que atendam a estes requisitos também devem ter um tempo de resposta adequado. O processo de fabricação AMS H35, apesar de possuir transistores NMOSH capazes de operar a 20V, não suportam correntes elevadas. Ainda, nem há dados suficientes sobre a máxima corrente que pode circular pelos *pads*. Portanto, para contornar tais limitações, utiliza-se um *buffer* de corrente *off-chip*.

A solução encontrada foi elaborar um *driver* e um deslocador de tensão (*level shifter*), para LS e para HS, respectivamente os blocos DLS e DHS, pois a tensão de limiar destes transistores V_T é de 3V, enquanto que o *chip* é alimentado com apenas 5V. O *driver* consiste em um inversor 74LS04, que aciona o deslocador, baseado em um estágio de saída classe B, sendo mostrado na Figura 7.3.1.

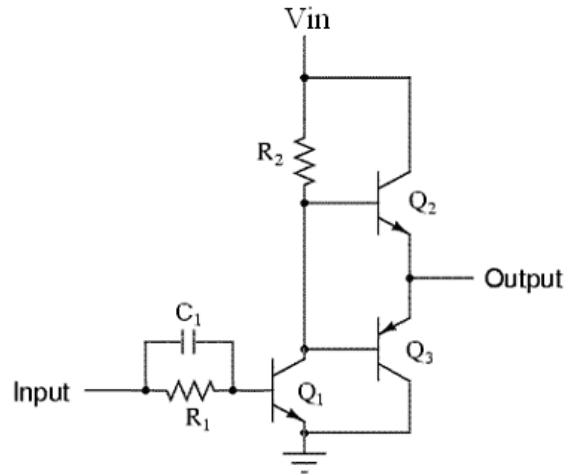


Figura 7.3.1: *Level-shifter* para acionamento do transistor LS.

Os dispositivos responsáveis por comutar LS são Q_2 e Q_3 . Dependendo do sinal de entrada *input*, Q_1 determina se Q_2 ou Q_3 irá conduzir. R_1 limita a corrente de base I_{B1} de Q_1 , para o caso de *input* = 5V. Devido à capacitância parasita associada à base, há um atraso para atingir-se o valor de condução de 0,7V. O capacitor C_1 reduz esse atraso, fazendo com que uma transição em *input* passe rapidamente para a base de Q_1 . Quando *input* se estabiliza em 5V, R_1 apenas limita o valor de I_{B1} .

Como $V_{IN} = 12V$, quando *input* = 0, Q_1 estará aberto, fazendo Q_2 conduzir e levando *output* a um valor próximo de V_{IN} (*output* $\cong V_{IN} - V_{BE_{Q2}} = 11,3V$). Inversamente, quando *input* = 5V, Q_1 conduz, reduzindo sua tensão de coletor, fazendo Q_3 conduzir e levando *output* a 0.

O resistor R_2 deve ser o menor possível para redução da constante de tempo, composta por R_2 e pelas capacitâncias associadas a Q_2 e Q_3 , devendo também limitar a corrente em Q_1 . A reatância X_{C1} de C_1 pode ser imposta como sendo uma fração de R_1 , na frequência de operação de *input*. Assim, fixando-se $IR_2 = 0,9I_{C_MAX_Q1}$, $X_{C1} = 0,1R_1$ e utilizando os transistores BC548 e BC558 [32 - 33] para $Q_1 - Q_3$, tem-se $R_1 = 4,7k\Omega$, $R_2 = 150\Omega$ e $C_1 = 1nF$.

A Figura 7.3.2 mostra o resultado típico de simulação do DLS, estando os componente 74LS04 e IPD12N03L conectados a *input* e *output*, respectivamente. Considera-se como pior caso de tensão de entrada um pulso com menor ciclo de trabalho, ou seja, $(0,8 / 12)3\mu = 200ns$.

O tempo de atraso do DLS para ligar e desligar seu *output* é de, respectivamente, 34ns e 59ns. Utilizando-
t Ω t V_{IN} e o dreno de LS, para simular seu acionamento, tem-se a Figura 7.3.3, na qual somente o tempo de atraso de comutação de LS é ilustrado.

Percebe-se, pela Figura 7.3.3, que o LS liga em um tempo desprezível, ocorrendo no momento em que $V_{GS} > V_T$. Porém, para este desligar, o atraso é de 24,4ns. Essa diferença de tempo pode causar a queima do par HS/LS, sendo que tal problema é corrigido pelo bloco *dead time*, através do ajuste de IBias_10u.

O *driver* para o transistor HS é semelhante ao DLS, com a diferença de ser alimentado com uma tensão proveniente de um circuito de *boot-strap* BS, pois a tensão de fonte do HS vai a V_{IN} quando este conduz. Assim, sua porta deve possuir uma tensão maior que V_{IN} para que possa conduzir na região linear. A Figura 7.3.4 mostra o esquemático do circuito DHS.

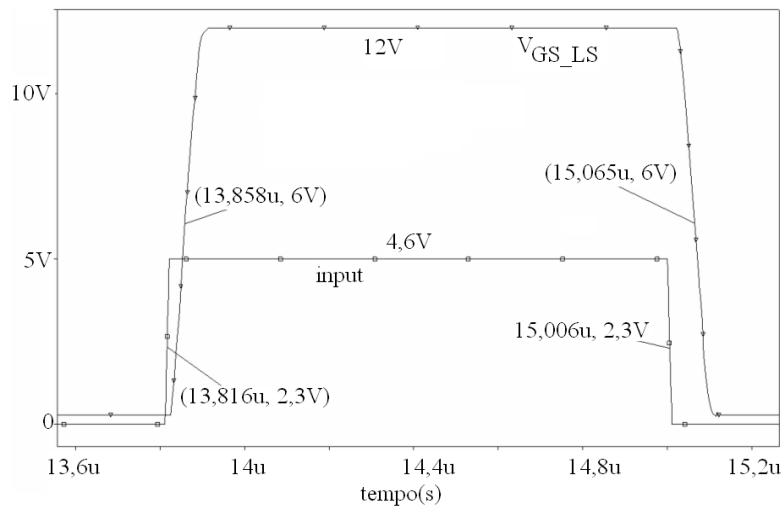


Figura 7.3.2: Resultado típico de simulação do DLS.

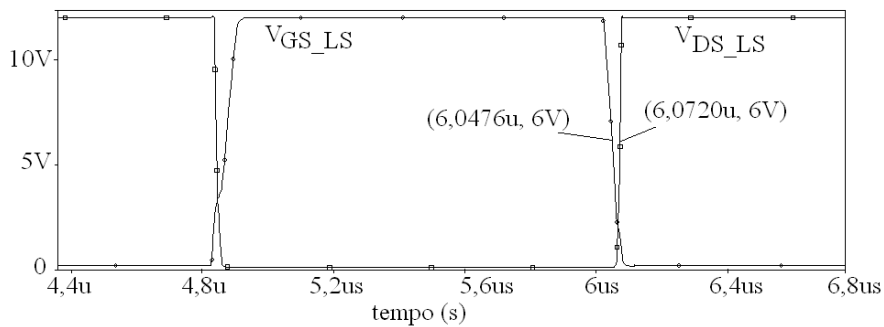


Figura 7.3.3: Atraso na comutação de LS.

BS é formado por C_2 e D_1 , ligados entre V_{IN} e o ponto comum aos comutadores HS e LS, V_{OUT} . Quando LS está ligado, HS está desligado; logo, a tensão V_{C2} no capacitor C_2 é igual a V_{IN} . Quando HS liga, LS desliga e $V_{OUT} = V_{IN}$. Como $V_{C2} = V_{IN}$, tem-se $V_{BOOT} = 2V_{IN}$, ou seja, V_{BOOT}

$= 24V$. O valor de C_2 é determinado a partir da corrente de pico I_P na porta de HS, do período Δt_{PICO} em que essa corrente dura, e da máxima queda de tensão ΔV permitida no capacitor. Aproximando a forma de onda de I_P por um triângulo, com período igual a Δt_{PICO} , tem-se a Figura 7.3.5. Assim, $C_2 = I_P \Delta t_{PICO} / 2 \Delta V$.

Dessa forma, para $I_P = 2A$, $\Delta t_{PICO} = 100ns$ e $\Delta V = 0,01.V_{IN} = 0,12V$, tem-se $C_2 = 1\mu F$. Como a tensão de trabalho deve ser maior que V_{IN} , um capacitor eletrolítico de 16V será utilizado.

A Figura 7.3.6 mostra a simulação do DHS, sendo que o tempo de atraso do bloco para ligar e desligar HS é 30ns e 92ns, respectivamente. Tais tempos devem ser considerados, em conjunto com o bloco DLS, para se determinar o valor de $IBias_{10u}$.

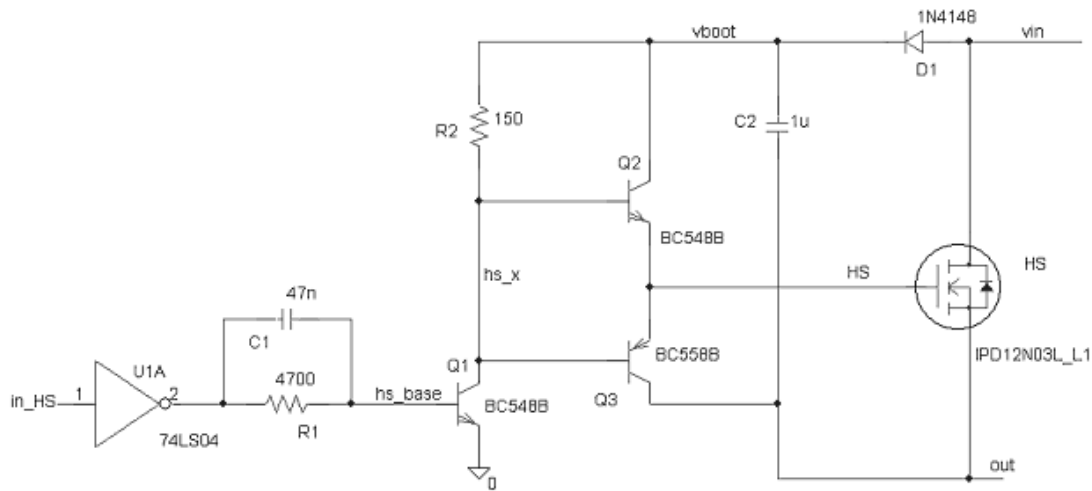


Figura 7.3.4: Esquemático do bloco DHS.

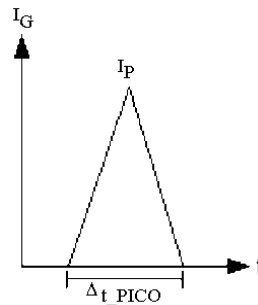


Figura 7.3.5: Modelo simplificado para I_P do HS.

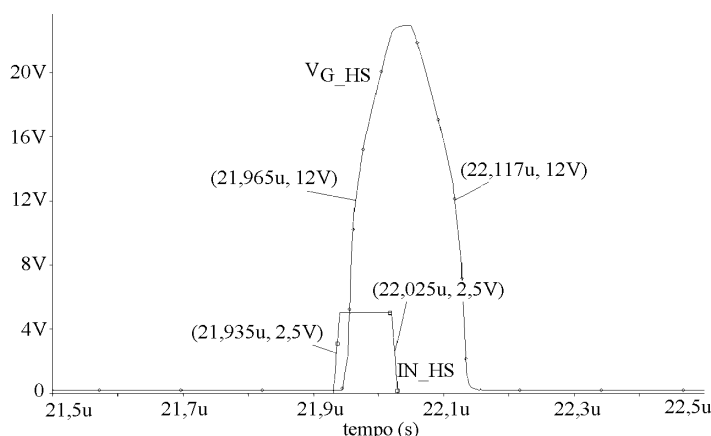


Figura 7.3.6: Resultado de simulação para o bloco DHS.

Anexo 4: *Layout* da Placa de Circuito Impresso (PCB).

A PCB deve ser projetada de modo a otimizar perdas resistivas e indutivas nas trilhas de cobre, principalmente nos pontos onde há circulação de correntes altas, como dreno e fonte dos transistores comutadores, indutores e capacitores de saída. Logo, tais componentes devem ser ligados próximos uns aos outros. Além disso, HS e LS devem ficar próximos de seus respectivos blocos DHS e DLS para evitar que resistências parasitas em série aumentem o atraso de comutação. As Figuras 7.4.1, 7.4.2 e 7.4.3 mostram a vista superior, a inferior e os componentes posicionados da PCB, respectivamente, para caracterização do regulador.

A Figura 7.4.4 mostra como os indutores devem ser posicionados na placa a partir da Figura 7.4.3. Eles não podem ser colocados na mesma orientação para evitar o acoplamento magnético entre eles. Os indutores mais próximos possuem seus núcleos feitos em orientações espaciais diferentes.

Como L possui baixo valor, ele é montado em núcleo de ar, possuindo poucas voltas. Através do uso de um *software*, chamado “calcbob” [34], é possível determinar a indutância resultante para indutores de núcleo de ar, cilíndricos e de camada única de espiras a partir do diâmetro do componente, diâmetro do fio e espaçamento entre as espiras. Com um diâmetro de 20mm, fio de 2mm de diâmetro e espaçamento entre espiras de 1,5mm, resultam em $L = 200\text{nH}$ caso o número de espiras seja igual a 3, além de uma $\text{ESRL} = 1,1\text{m}\Omega$.

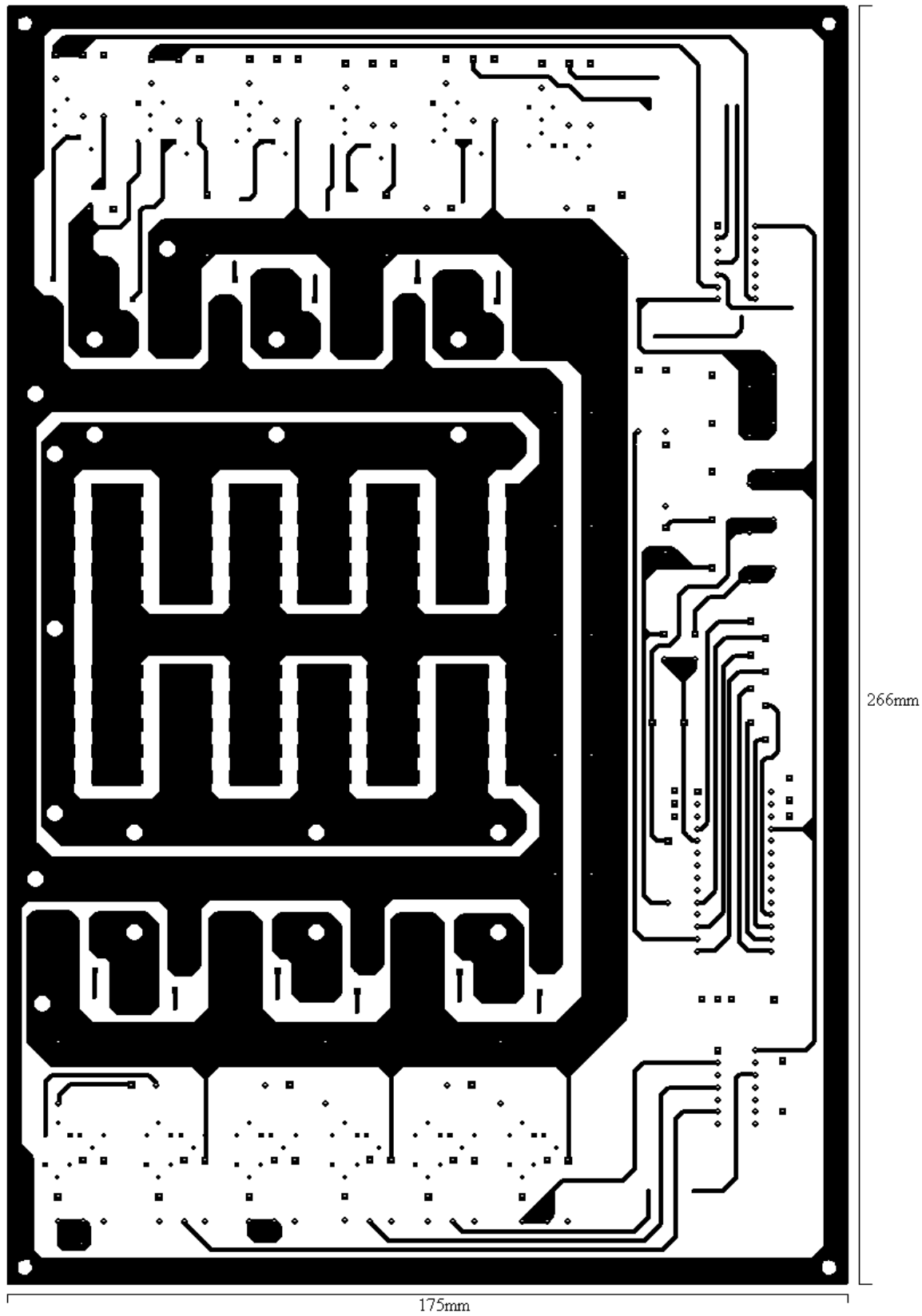


Figura 7.4.1: Vista superior da PCB.

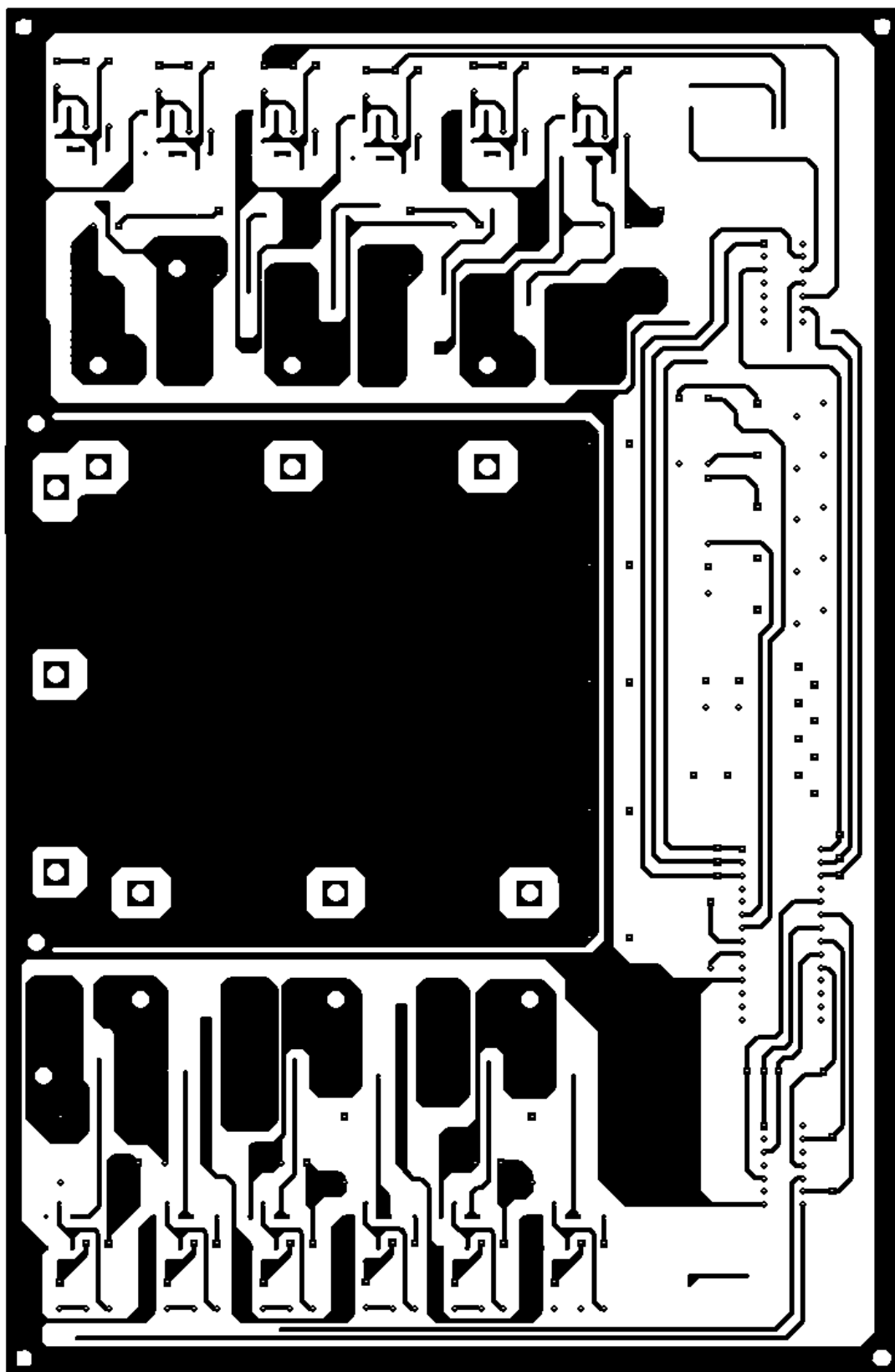


Figura 7.4.2: Vista inferior da PCB.

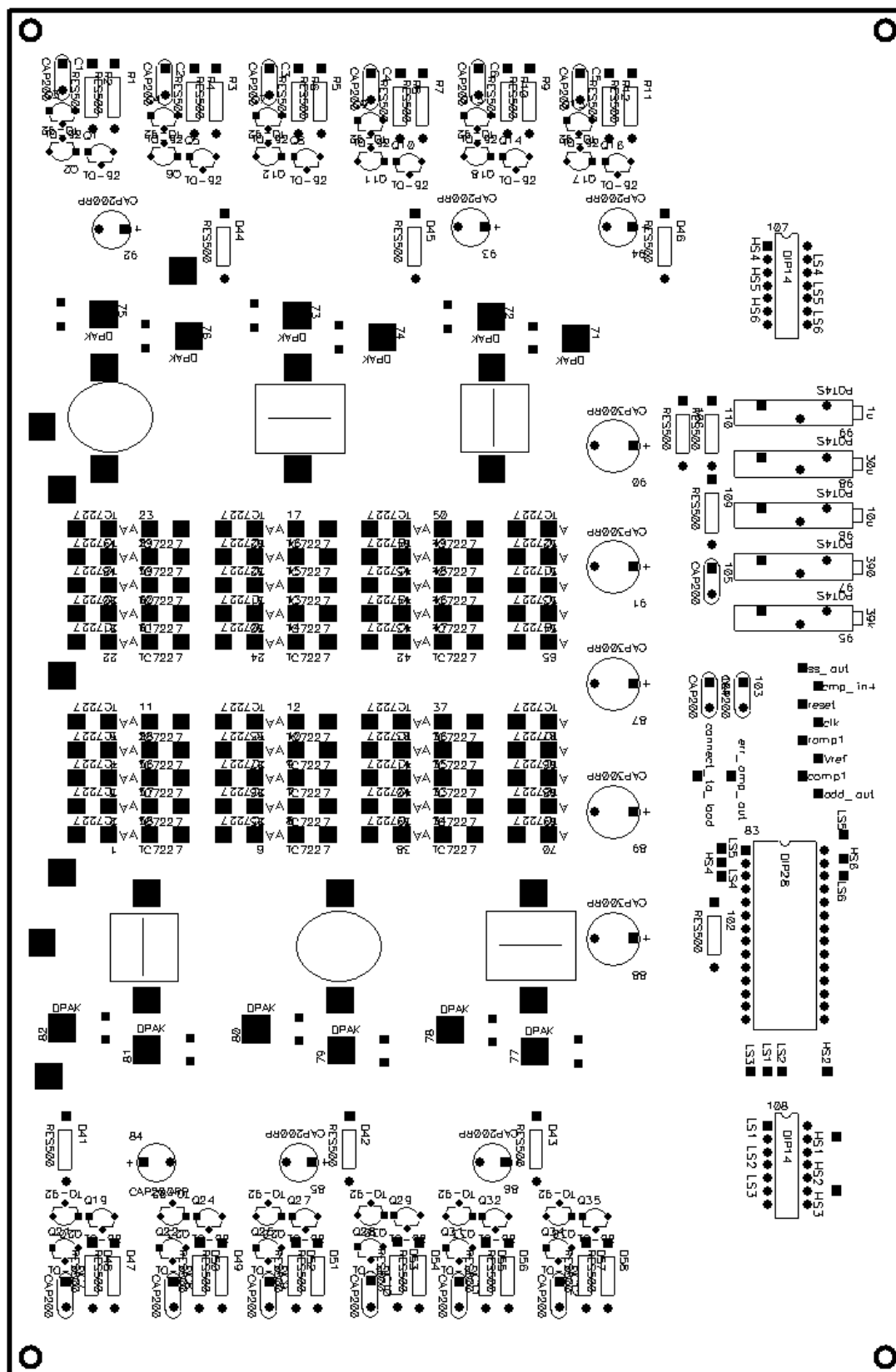


Figura 7.4.3: Vista superior com os componentes posicionados na placa.

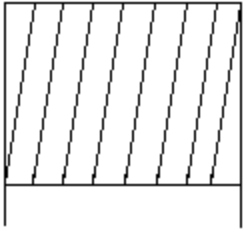

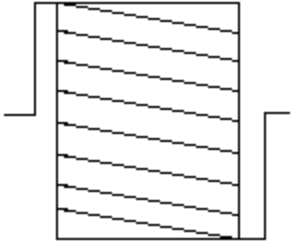


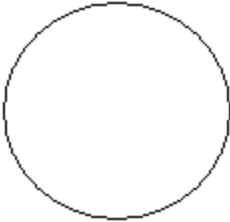
vista lateral do indutor	representação da montagem na placa
	
	
	

Figura 7.4.4: Representação da montagem dos indutores.

Referências Bibliográficas

- [1] Zhou, X.; Zhang, X.; Liu, J.; Wong, P.-L.; Chen, J.; Wu, H.-P.; Amoroso, L.; Lee, F. C. - *“Investigation of Candidate VRM Topologies for Future Microprocessors”*. IEEE - 1998.
- [2] Yao, K. *“High-Frequency and High-Performance VRM Design for the Next Generations of Processors”* Dissertation submitted to the Faculty of the Virginia Polytechnic Institute and State University in partial fulfillment of the requirements for the degree of Doctor of Philosophy in Electrical Engineering – April 14, 2004.
- [3] Deng, Q.; *“DC DC converters: regulated charge pump vs. inductor based”* – September 2006. Site: http://www.powerdesignindia.co.in/STATIC/PDF/200609/PDIOL_2006SEP07_SUPPLY_P_MNG_TA_01.pdf?SOURCES=DOWNLOAD
- [4] Mello, L. F. P. *“Análise e Projeto de Fontes Chaveadas”* – Érica, Ed. 1, 1996.
- [5] Wong, P.; Zhou X.; Chen J.; Wu H.; Lee F.C.; Chen D. Y. *“VRM Transient Study and Output Filter Design for Future Processors”* VPEC Seminar - 1997.
- [6] Intel; *“Voltage Regulator Module (VRM) 10.2L Guidelines”* – March 2005.
- [7] Guo, W.; Jain P. K. *“Analysis and Modeling of Voltage Mode Controlled Phase Current Balancing Technique for Multiphase Voltage Regulator to Power High Frequency Dynamic Load”*. IEEE 2009.
- [8] Singh, R. P.; Khambadkone, A. M. *“Current Sharing and Sensing in N-paralleled Converters using Single Current Sensor”*. IEEE 2008.
- [9] Jakobsen L. T.; Garcia O.; Oliver J. A.; Alou P.; Cobos J. A.; Andersen M. A. E. *“Interleaved Buck Converter with Variable Number of Active Phases and a Predictive Current Sharing Scheme”* IEEE 2008.
- [10] A. Giovanni Beccuti, A. G.; Papafotiou, G.; Morari M. *“Optimal Control of the Parallel Interleaved Buck dc-dc Converter”*. IEEE 2006.
- [11] Guo, W.; Jain, P. K. *“Small Signal Analysis and Modeling of a Voltage Mode Controlled Multiphase Voltage Regulator with Load Line Positioning and Phase Current Balancing”*. IEEE 2008.
- [12] Jakobsen, L. T; Andersen, M. A. E. *“Two-Phase Interleaved Buck Converter with a new Digital Self-Oscillating Modulator”* IEEE 2008.

- [13] Feng, Z.; Chen, M.; Zhang, Z.; Qian, Z. “*A Coupled Inductor Interleave with Low Input and Output Ripple*”. IEEE 2009.
- [14] Tao, C.; Shen, T.; Shen C. L. “*Interleaved Soft-Switching Buck Converter with Coupled Inductors*”. IEEE 2008.
- [15] Garinto, D. “*New Converter Architectures with Multiinterleaving Technique for Future Microprocessors*” IEEE 2006.
- [16] “*FDS7766 Datasheet*” – Fairchild Semiconductor – March 2003.
- [17] “*FDS8870 Datasheet*” – Fairchild Semiconductor – April 2005.
- [18] “*HAT2165H Datasheet*” – Renesas, Rev. 6.00 – September 2005.
- [19] “*HAT2168H Datasheet*” – Renesas, Rev. 7.00 – September 2005.
- [20] “*IPD12N03L Datasheet*” – Infineon Technologies – January 2003.
- [21] “*IRF7811W Datasheet*” – International Rectifier – March 2001.
- [22] “*SI7856DP Datasheet*” – Vishay Siliconix – April 2002.
- [23] “*SI7860DP Datasheet*” – Vishay Siliconix – April 2002.
- [24] Pomilio, J. A. “*Atualização em Fontes Chaveadas*”; FEEC 13/95; Fevereiro 2005. Link para as notas de curso: <http://www.dsce.fee.unicamp.br/~antenor/pdf/CAP10.pdf>.
- [25] “*Surface Mount Specialty Polimer Solid Aluminum Electrolytic Capacitors*” – NIC Components Corp. – site: www.lowesr.com.
- [26] Gregorian, R. “*CMOS Op-Amps and Comparators*”; John Wiley & Sons; 1999
- [27] Jakobsen, L. T.; Andersen, M. A. E. “*Two Phase Interleaved Buck Converter with a new Digital Self- Oscillating Modulator*”. The 7th International Conference on Power Electronics. Korea – 2007.
- [28] Jakobsen, L. T.; Garcia, O.; Oliver, J. A.; Alou, P.; Cobos, J. A.; Andersen, M. A. E. “*Interleaved Buck Converter with Variable Number of Active Phases and a Predictive Current Sharing Scheme*”. IEEE 2008.
- [29] “*MAX5037 Datasheet*” – MAXIM – Rev. 2, Apr/2003.
- [30] “*LTC3730 Datasheet*” – Linear Technology Corporation – 2002.
- [31] “*CS5301 Datasheet*” – On Semiconductor – Rev. 11 – 10/2002
- [32] “*BC548 Datasheet*” – Motorola Semiconductor Technical Data – 1996.
- [33] “*BC558 Datasheet*” – Motorola Semiconductor Technical Data – 1996.
- [34] CalcBob – Programa calculador de bobinas. Site: www.cpdee.ufmg.br/~elt/docs/CalcBob.zip